

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-164636  
(P2011-164636A)

(43) 公開日 平成23年8月25日(2011.8.25)

(51) Int.Cl.	F 1	テーマコード (参考)
<b>G09G 3/36</b> (2006.01)	G09G 3/36	2 H 1 9 3
<b>G09G 3/20</b> (2006.01)	G09G 3/20	5 C 00 6
<b>G02F 1/133</b> (2006.01)	G09G 3/20	5 C 05 8
<b>H04N 5/66</b> (2006.01)	G09G 3/20	5 C 08 0
	G09G 3/20	6 4 1 K

審査請求 有 請求項の数 4 O L (全 17 頁) 最終頁に続く

(21) 出願番号	特願2011-62380 (P2011-62380)	(71) 出願人	390019839 三星電子株式会社 Samsung Electronics Co., Ltd. 大韓民国京畿道水原市靈通区梅灘洞416 416, Maetan-dong, Yeongtong-gu, Suwon-si, Gyeonggi-do, Republic of Korea
(22) 出願日	平成23年3月22日 (2011.3.22)		
(62) 分割の表示	特願2003-98589 (P2003-98589) の分割		
原出願日	平成15年4月1日 (2003.4.1)		
(31) 優先権主張番号	2002-017793	(74) 代理人	100094145 弁理士 小野 由己男
(32) 優先日	平成14年4月1日 (2002.4.1)	(74) 代理人	100106367 弁理士 稲積 朋子
(33) 優先権主張国	韓国 (KR)		
(31) 優先権主張番号	2002-026218		
(32) 優先日	平成14年5月13日 (2002.5.13)		
(33) 優先権主張国	韓国 (KR)		

最終頁に続く

(54) 【発明の名称】フレームレート制御方法及びそのための液晶表示装置

## (57) 【要約】

【課題】表現可能な全階調の中で上位階調のガンマ歪曲が除去できる第1のフレームレート制御方法を提供する。

【解決手段】フレームレート制御方法は、入力される2進nビットの階調値で構成されるRGBデータを、eビット( $e = n + 1$ )に拡張し、連続する $2^d$ 個のフレーム内に、拡張RGBデータの下位dビットを除いた上位( $e - d$ )ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換し、 $2^d$ 個のフレームデータの中で最初半分であるノーマルフレームと、各フレームの画素配置を垂直方向に変えて得られる残り半分のフレームであるプラスフレームとを、毎フレームごとに互いに交互に表示されるようにフレームデータを再配置することを、各単位画素ブロック内においてRGBデータの下位dビットを除いた上位( $e - d$ )ビットが示す階調データとその直上位階調データの発生頻度が空間的に調整されるように配置する。

【選択図】図4

入力	従来FRC			Hi-FRC I				
	上位 6ビット	下位 2ビット	評価	入力	変換	上位 6ビット	下位 2ビット	評価
255	111111	11		255	252	111111	00	▲
254	111111	10	同一 輝度	254	251	111110	11	▲
253	111111	01		253	250	111110	10	▲
252	111111	00		252	249	111110	01	▲
251	111110	11	▲	251	248	111110	00	▲
250	111110	10	▲	250	247	111110	11	▲
*	*	*		*	*	*	*	
6	000001	10	▲	6	3	000000	11	▲
5	000001	01	▲	5	2	000000	10	▲
4	000001	00	▲	4	1	000000	01	▲
3	000000	11	▲	3	0	000000	00	
2	000000	10	▲	2	0	000000	00	
1	000000	01	▲	1	0	000000	00	
0	000000	00		0	0	000000	00	

同一  
輝度

## 【特許請求の範囲】

## 【請求項 1】

液晶表示装置外部のグラフィックソースからそれぞれ 2 進  $n$  ビットの階調値で構成される R G B データの入力を受ける第 1 段階と、

前記 R G B データが示す階調値を利用して  $e$  ビット ( $e > n + 1$ ) に R G B データを拡張する第 2 段階と、

前記拡張された R G B データの下位  $d$  ビットを抽出し、連続する  $2^d$  個のフレーム内に、前記拡張された R G B データの下位  $d$  ビットによって前記拡張 R G B データの下位  $d$  ビットを除いた上位 ( $e - d$ ) ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換する第 3 段階と、

前記第 3 段階で得られた  $2^d$  個のフレームデータの中で最初半分のフレームをノーマルフレーム、残り半分のフレームをプラスフレームと定義し、前記プラスフレームは各フレームの画素配置を垂直方向に変えて得られ、前記ノーマルフレームとプラスフレームは毎フレームごとに互いに交互に表示されるようにフレームデータを再配置する第 4 段階とを含み、

前記第 1 乃至第 4 段階は所定数の単位画素ブロックに対して行われ、各単位画素ブロック内では前記 R G B データの下位  $d$  ビットを除いた上位 ( $e - d$ ) ビットが示す階調データとその直上位階調データの発生頻度が空間的に調整されるように配置されることを特徴とする液晶表示装置のフレームレート制御方法。

## 【請求項 2】

前記所定数の画素ブロックは  $4 \times 2$  画素ブロックであることを特徴とする、請求項 1 に記載の液晶表示装置のフレームレート制御方法。

## 【請求項 3】

一つのフレームを構成しようとする表示画面において、所定の画素ブロック単位にノーマルフレーム又はプラスフレームの中の一つが表示されると同時に、前記画素ブロック単位に隣接した周辺の画素ブロックではノーマルフレーム又はプラスフレームの中の他の一つが表示されるように画素パターンを空間的に再配置する第 5 段階をさらに含むことを特徴とする、請求項 1 に記載の液晶表示装置のフレームレート制御方法。

## 【請求項 4】

前記所定の画素ブロック単位は  $4 \times 4$  画素ブロックであることを特徴とする、請求項 3 に記載の液晶表示装置のフレームレート制御方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明はフレームレート制御 (FRC:frame rate control) のための液晶表示装置及びその駆動方法に関し、さらに詳しくはグラフィックソースから入力される R G B データ (R G B 各色の画素データを言う) の構成ビット数より少いビット処理能力しか持たない R G B データ伝送系を使用する場合にも最高階調値近辺での色再現性低下を防止できる液晶表示装置及びその駆動方法に関する。

## 【背景技術】

## 【0002】

最近、パソコン (personal computer) やテレビなどの軽量化及び薄形化によって表示装置分野にも軽量化及び薄形化が要求されており、このような要求を充足させるために陰極線管 (CRT:cathode-ray tube) の代りに液晶表示装置 (LCD:liquid crystal display) のようなフラットパネル表示装置 (flat panel display) が開発されて様々な分野において実用化されている。

## 【0003】

液晶表示装置では二枚の基板の間に注入されている異方性誘電率を有する液晶物質に電界が印加され、この電界の強さを調節することによって基板を透過する光の量が制御されて所望の画像 (image) に対する表示が行われる。

## 【0004】

このような液晶表示装置には外部のグラフィックソース (graphic source) からレッド (red: 赤) 、グリーン (green: 緑) 、ブルー (blue: 青) の各  $n$  ビット RGB データが入力される。前記 RGB データは液晶表示装置の RGB データ伝送系、特にタイミング制御部でデータフォーマットを変換した後、駆動 IC (integrated circuit) で RGB データに相当するアナログ階調電圧 (gray voltage) が選択され、前記選択された階調電圧を液晶パネルに伝送し、各画素に印加することによって表示動作が行われる。

## 【0005】

一般に、前記グラフィックソースからタイミング制御部に入力される RGB データの構成ビット数と前記駆動 IC で処理可能なビット数とは同一である。現在、市場に発表されている液晶表示装置では  $n=8$  ビットの製品が普通である。しかし、8 ビットの RGB データを処理できる駆動 IC が高価であるため、それより少いビット処理能力しか持っていない駆動 IC を用いて、下位ビットを切り捨てるような液晶表示装置を設計することができれば、製品の原価を低くできる可能性がある。この場合、切り捨てた下位ビットが表現していた微細な階調は、複数フレームの当該画素データを1群として、群の中の少なくとも1 個のフレームの画素階調を、少なくとも駆動 IC が取り扱える最小階調段階だけ変化させて、フレーム群の平均画素階調を入力画素データの平均階調に近づける技術である。

10

## 【0006】

このような技術的必要に応じて提案された方法がフレームレート制御 (FRC:frame rate control) である。前記フレームレート制御はタイミング制御部に適用されることの多い技術であり、入力された  $n$  ビット構成の RGB データの中から駆動 IC で処理可能なビット数である ( $n-d$ ) ビットだけを取り出して表示できるようにフレームデータを再構成する技術である。ここで、 $d$  は切り捨てビット数を示す整数であり、入力 RGB データの最下位所定ビット数を示す。前記フレームレート制御方法によると、連続する  $2^d$  個 (‘ $2$  の  $d$  乗個’ と記すこともある) のフレーム内に、各フレームで RGB データの下位  $d$  ビットを利用して RGB データの ( $n-d$ ) ビットが示す階調値 ‘A’ (以下、‘A’とする) とその直上位階調である ‘ $A+1$ ’ のフレーム別発生頻度が調整されるようにフレームデータを変換する。これとともに、フレーム内の所定の画素単位、例えば、 $4 \times 2$  の画素単位でも前記二つの階調 ‘A’ と ‘ $A+1$ ’ のフレーム別発生頻度が空間的に調整されるように配置することによって、時間的及び空間的に画面表示を平均した時、 $n$  ビットの RGB データによって表示が行われたように認識されることがある。つまり、階調 ‘A’ と ‘ $A+1$ ’ の間で  $2^d$  個の微差階調を追加的に表示することができ、これは ( $n-d$ ) ビットの RGB データに  $d$  ビットを追加して  $n$  ビット RGB データによって表示することと同一な動作といえる。

20

30

## 【0007】

図 1 には  $n$  が 8 であり、 $d$  が 2 の場合のフレームレート制御を説明する図表が示されている。この場合、1 群のフレーム数は、 $2$  の  $2$  乗 = 4 (フレーム) である。

## 【0008】

図 1 には、近接した 8 画素のバランスを考慮しながら、同じ入力画面が 4 フレーム続いたと仮定した時の微差階調の表現例を示している。これは、4 フレーム期間中の下位 2 ビットの状態によって、 $4 \times 2$  画素ブロックでの各画素の表示状態が示されている。前記画素ブロックのうち、斜線のある画素は RGB データの 上位 6 ビットが示す階調値を再現表示し、斜線のない画素は前記 6 ビットが示す階調値に ‘1’ を足した値、つまり、その直上位階調の値を再現表示している。 $4 \times 2$  画素ブロックの上方に記した ‘o’ は ‘od d’ の略語であって、奇数番目列 (column) を示し、‘e’ は ‘even’ の略語で偶数番目列を示す。

40

## 【0009】

図 1 によれば、下位 2 ビットの 4 種類の状態は各々二つの階調値 ‘A’ と ‘ $A+1$ ’ の間の 4 種類の階調値を示し、‘00’ は ‘A’ 、‘01’ は ‘ $A+1/4$ ’ 、‘10’ は ‘ $A+2/4$ ’ 、‘11’ は ‘ $A+3/4$ ’ の階調値を各々示す。下位 2 ビットが ‘11’ であ

50

る場合について例を挙げて説明する。まず、空間的な観点から見る時、下位 2 ビットが ‘1 1’ であれば、8 個の画素を有する  $4 \times 2$  画素ブロックでは階調値 ‘A + 1’ が常に 6 個の画素で発生するようにデータが構成されている。また、時間的な観点から見る時、下位 2 ビットが ‘1 1’ であれば、例えば、‘0’ 列 ‘1’ 行の画素では階調値 ‘A + 1’ が 4 フレーム内に 3 回発生するようにデータが構成されている。したがって、時間的及び空間的に平均すれば、 $4 \times 2$  画素ブロックでは下位 2 ビットが ‘1 1’ である場合に、階調 ‘A’ に ‘3/4’ を足した階調が平均的に表示されたように認識することができる。

#### 【0010】

図 2 に、図 1 のフレームレート制御が適用される時の階調 (gray) に対する透過率 (transmittance) の関係を示す。階調に対する透過率の曲線を通常ガンマ曲線と呼ぶ。

10

#### 【0011】

しかし、前記従来のフレームレート制御方法では、図 2 に拡大して示したように、上位 4 つの階調でガンマの歪曲が存在し、これによって表示可能な色の数が減少する問題点がある。より詳細に説明すれば、入力 R G B データが 8 ビットでありながら出力データが 6 ビットに圧縮される場合、表示すべき全体階調数は  $2^8 = 256$  個である。しかし、上位 6 ビットを利用してフレームレート制御をすると、上位 4 つの階調では R G B データの上位 6 ビットが ‘111111 = 63’ になる。つまり、最高階調値が  $4 * 63 = 252$  で飽和し、どの画素も、どの時点も、前記の ‘A + 1’ を実現できない。フレームレート制御では任意の階調 ‘A’ とその上位階調 ‘A + 1’ の発生頻度を調節して R G B データが拡張されているように表現されるが、上記の場合には ‘111111’ の上位階調を実現できない。従ってフレームレート制御を適用することができず、表示すべき全体階調数のうち、上位 4 つの階調 (252, 253, 254, 255) は、共通の透過率を生じるように予め設定せざるを得ない。この結果、最上位 3 階調が失われて図 2 のようになる。これが上位階調でガンマ歪曲を起こす原因である。また、各原色の色 R, G, B が 253 個の階調を表現するので、R G B 合成によって表現できる全体色の数は  $253 \times 253 \times 253 = 16,194,277$  であり、これは理想的に表現可能な色の数  $256 \times 256 \times 256 = 16,777,216$  より 60 万余個足りない。このような現象は最高階調値近辺での色再現性低下をもたらすので、好ましくないものである。

20

#### 【0012】

一方、フレームレート制御が適用される液晶表示装置では画質劣化という問題点がある。たとえば、表示画面の下側は黒であり、上側は赤、緑、青、白の各々の最大明るさが出るように階調レベルを垂直に配置した画面を構成する場合、4 個の階調間隔で横線が表示される現象が発生する。このような画質劣化現象は、前記フレームレート制御と共に、1 フレーム単位に液晶印加極性を反転させる反転駆動方法が同時に適用されるために起こる。

30

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0013】

本発明は以上のような技術的背景から行われたものであって、表現可能な全階調の中で上位階調のガンマ歪曲が除去できる第 1 のフレームレート制御方法を提供することに第 1 目的がある。

40

#### 【課題を解決するための手段】

#### 【0014】

前記目的を達成するための本発明によるフレームレート制御方法は、液晶表示装置外部のグラフィックソースからそれぞれ 2 進  $n$  ビットの階調値で構成される R G B データの入力を受ける第 1 段階と、前記 R G B データが示す階調値を利用して  $e$  ビット ( $e = n + 1$ ) に R G B データを拡張する第 2 段階と、前記拡張された R G B データの下位  $d$  ビットを抽出し、連続する  $2^d$  個のフレーム内に、前記拡張された R G B データの下位  $d$  ビットによって前記拡張 R G B データの下位  $d$  ビットを除いた上位 ( $e - d$ ) ビットが示す階調データとその直上位階調データの発生頻度が調整されるようにフレームデータを変換する第

50

3段階と、前記第3段階で得られた2<sup>d</sup>個のフレームデータの中で最初半分のフレームをノーマルフレーム、残り半分のフレームをプラスフレームと定義し、前記プラスフレームは各フレームの画素配置を垂直方向に変えて得られ、前記ノーマルフレームとプラスフレームは毎フレームごとに互いに交互に表示されるようにフレームデータを再配置する第4段階とを含み、前記第1乃至第4段階は所定数の単位画素ブロックに対して行われ、各単位画素ブロック内では前記RGBデータの下位dビットを除いた上位(e-d)ビットが示す階調データとその直上位階調データの発生頻度が空間的に調整されるように配置されることを特徴とする液晶表示装置のフレームレート制御方法を含む。

## 【0015】

前記説明された本発明の目的、技術的構成及びその効果は次の実施例に関する説明を通じてより明白になる。

## 【発明の効果】

## 【0016】

本発明によるフレームレート制御方法は、下位階調に対して共通の輝度を適用することによって、視覚的によく識別できる上位階調でのガンマ歪曲を除去することができ、高輝度部の色相歪みを軽減するので、好ましい色再現が可能になる。

## 【図面の簡単な説明】

## 【0017】

【図1】従来の液晶表示装置でのフレームレート制御を説明するための図面である。

【図2】従来のフレームレート制御が適用される時のグレーに対する透過率の関係を示した図面である。

【図3】本発明による液晶表示装置の概略的な構成を示した図面である。

【図4】本発明の液晶表示装置のための第1のフレームレート制御方法を説明するための図面である。

【図5】図4に示す第1のフレームレート制御方法が適用される時のグレーに対する透過率の関係を示した図面である。

【図6】本発明の液晶表示装置のための第2のフレームレート制御方法を説明するための図面である。

【図7】図6に示す第2のフレームレート制御方法を実行するフローチャートである。

【図8a】前記図7のフローチャートにおいて拡張ビット算出のための数式2が適用される場合のガンマ特性を示したグラフである。

【図8b】前記図7のフローチャートにおいて拡張ビット算出のための数式2が適用される場合のガンマ特性を示したグラフである。

【図8c】前記図7のフローチャートにおいて拡張ビット算出のための数式2が適用される場合のガンマ特性を示したグラフである。

【図9a】前記図7のフローチャートにおいて拡張ビット算出のための数式3が適用される場合のガンマ特性を示したグラフである。

【図9b】前記図7のフローチャートにおいて拡張ビット算出のための数式3が適用される場合のガンマ特性を示したグラフである。

【図9c】前記図7のフローチャートにおいて拡張ビット算出のための数式3が適用される場合のガンマ特性を示したグラフである。

【図10a】前記図7のフローチャートにおいて拡張ビット算出のための数式4が適用される場合のガンマ特性を示したグラフである。

【図10b】前記図7のフローチャートにおいて拡張ビット算出のための数式4が適用される場合のガンマ特性を示したグラフである。

【図10c】前記図7のフローチャートにおいて拡張ビット算出のための数式4が適用される場合のガンマ特性を示したグラフである。

【図11】本発明による第3のフレームレート制御方法においてノーマルフレームとプラスフレームの概念を説明するための図面である。

【図12】本発明による第3のフレームレート制御方法においてノーマルフレームとプラ

10

20

30

40

50

スフレームが 1 フレーム毎に交互に表示されるように構成した画素パターンを示した図面である。

【図 13 a】連続する二つのフレームで空間的に  $4 \times 4$  画素ブロック単位にノーマルフレームとプラスフレームを混用して構成した画素パターンを示した図面である。

【図 13 b】連続する二つのフレームで空間的に  $4 \times 4$  画素ブロック単位にノーマルフレームとプラスフレームを混用して構成した画素パターンを示した図面である。

【図 14】本発明による第 3 のフレームレート制御方法において、プラスフレームとノーマルフレームが 1 フレーム毎に交互に表示されるように構成した画素パターンを示した図面である。

【図 15】本発明の第 3 のフレームレート制御方法によって赤及び緑色に対して時間的及び空間的にノーマルフレームとプラスフレームを配置した画素パターンを示した図面である。 10

【図 16】本発明の第 3 のフレームレート制御方法によって青色に対して時間的及び空間的にノーマルフレームとプラスフレームを配置した画素パターンを示した図面である。

【発明を実施するための形態】

【0018】

以下、添付した図面を参照して本発明の好ましい実施例を詳細に説明する。

【0019】

図 3 には本発明による液晶表示装置の概略的な構成が示されている。

【0020】

図 3 に示されているように、本発明による液晶表示装置は液晶パネル 1、ゲート駆動部 2、ソース駆動部 3、電圧発生部 4 及びタイミング制御部 5 からなる。 20

【0021】

前記液晶パネル 1 は互いに交差する複数のゲートライン及びデータラインと、各ゲートラインとデータラインが交差する領域に形成された画素で構成され、ゲートラインが順次に走査 (scanning) されるたびにアナログ階調電圧がデータラインを経て対応する画素に印加される。前記タイミング制御部 5 には外部のグラフィックソース (graphic source) から R G B データ、フレームの時点を示すデータイネーブル信号 (DE)、同期信号 (SYNC)、及びクロック信号 (CLK) が入力される。前記 R G B データはタイミング制御部 5 のデータ処理ブロック 5\_1 によってフレームレート制御と R G B データのタイミング再分配などのデータ処理が行われた後、ソース駆動部 3 に伝送される。また、前記タイミング制御部 5 の制御信号生成ブロック 5\_2 は、前記データイネーブル信号 (DE)、同期信号 (SYNC) 及びクロック信号 (CLK) を利用して表示動作を制御するための多様な制御信号を生成し各構成要素に伝送する。前記電圧発生部 4 はゲートラインを走査するためのゲートオン / オフ電圧を生成して前記ゲート駆動部 2 に出力すると同時に、画素印加電圧であるアナログ階調電圧を生成して前記ソース駆動部 3 に出力する。前記ソース駆動部 3 ではタイミング制御部 5 から伝送された R G B データによってそれに適したアナログ階調電圧を選択して前記液晶パネル 1 に印加する。 30

【0022】

次に、前記のように構成される液晶表示装置のタイミング制御部に適用される第 1 及び第 2 のフレームレート制御方法について説明する。 40

【0023】

図 4 には第 1 のフレームレート制御方法を説明するための図表を示す。

【0024】

本発明による第 1 のフレームレート制御方法は、従来のフレームレート制御を適用する時、図 2 のガンマ曲線を下方にシフトさせて、所定数の最下位階調に対して同一な輝度を適用することによって最上位階調でのガンマ歪曲補正のための余地を作る。言い換えれば、任意の  $n$  ビット R G B データの下位  $d$  ビット削除圧縮するフレームレート制御が行われる時、前記第 1 のフレームレート制御方法では、表現可能な  $2^n$  個の階調の中で最上位所定数の階調 (高輝度部分) に対して同一の輝度を適用するのではなく、最下位所定数の階

調（低輝度部分）に対して同一の輝度を適用する。つまり、上位階調では輝度が高くガンマ曲線の歪曲が容易に視認されるので、この領域のガンマ歪を正し、輝度が低くガンマ曲線の歪曲を認めにくい最下位階調に対しては同一輝度を適用する。これにより、全体としてのガンマ曲線歪曲が従来に比べて視覚的かつ相対的に低減できる。このような方法はRGB支援モニターに特に有利である。

【0025】

図4の図表は、8ビット入力RGBデータによる0乃至255の階調に対する輝度状況を示し、左半分は従来の方法、右は本発明の第1方法のデータである。備考欄の黒三角は輝度表示が正常であることを示す。右側、本発明のデータでは、各画素毎に入力データから‘3’を差し引いて負値を‘0’に変換する。つまり、最下位4つの階調を‘0’に変換し、残りの階調では全体的に正常な輝度となるように変換したデータが示されている。本発明の方法では同じ画面が4フレーム続くと仮定して、次に、連続する4つのフレームに‘A+1’階調を分配する方法を決定する。つまり、変換されたデータの下位2ビットを利用して上位6ビットが示す階調とその直上位階調（上位6ビットが示す階調に‘1’を加えた値、つまり、256階調のグレーでは‘4’を加えた値）の発生頻度を調整するようにRGBデータを変換させる。前記発生頻度の調整は従来のフレームレート制御方法と同様に行なわれる。ここで、下位4つの階調に対しては同一の輝度が現れるようにするために、下位4つの各階調に対しては‘000000’でだけ4つのフレームを構成する。

10

20

20

【0026】

図5には前記第1のフレームレート制御方法が適用される時のグレー（gray）に対する透過率の関係がグラフに示されている。

【0027】

前記図5に示されているように、上位階調でのガンマ歪曲が除去されており、下位階調でのガンマ歪曲は許容できる程度になる。

【0028】

しかし、このような第1のフレームレート制御方法においても、下位階調でのガンマ歪曲は存在し、これは表現可能な色数の減少につながる。

【0029】

本発明による第2のフレームレート制御方法は表現可能な色数の増加をその目的とする。

30

【0030】

図6には本発明による第2のフレームレート制御方法を説明するための図表が示されている。

【0031】

本発明による第2のフレームレート制御方法はnビットのRGBデータをeビットデータに拡張して、下位dビットによってRGBデータを変換させる方法である。例えば、n=8ビットのRGBデータが液晶表示装置のタイミング制御部に入力される場合、e=9ビットにデータを拡張して、下位3ビットによってRGBフレームデータを変換させる。ここで、8ビットRGBデータで構成される1フレームは6ビットRGBデータによって2<sup>d</sup>フレーム内の平均階調データで表現される。空間的には4×2画素ブロックを使用する。現在の技術状況では前記nが8ビットである場合が一般的であるが、10ビット、12ビットまたはそれ以上に拡張でき、前記dは3以上の整数、前記eは(n+1)以上の整数である。

40

【0032】

まず、図7のフローチャートを参照して本発明による第2のフレームレート制御方法の全体的な処理流れを説明する。

【0033】

動作が始まると(S1)、外部のグラフィックソースから液晶表示装置のタイミング制御部にnビットのRGBデータが入力される(S2)。次に、前記RGBデータが示す階調値

50

を利用した所定の数式によって拡張データが算出される(S3)。前記拡張データ算出のための数式については後記する。その後、前記拡張されたeビットの下位dビットデータを利用して上位(e-d)ビットデータを変換させて出力する(S4)。より具体的には、前記拡張されたRGBデータの下位dビットが抽出されて、連続する $2^d$ 個のフレーム内に、前記抽出されたRGBデータの下位dビットによって前記RGBデータの下位dビットを除いた(e-d)ビットが示す階調とその直上位階調の発生頻度が調整されるようにフレームデータが変換される。この時、前記過程が行われる各フレームの単位画素ブロックは $4 \times 2$ である。各単位画素ブロックでは前記拡張されたRGBデータの下位dビットを除いた(e-d)ビットが示す階調とその直上位階調の発生頻度が空間的に調整されるように配置される。

10

## 【0034】

このような過程によってフレームデータの生成が終了し(S5)、前記S2乃至S4段階の過程は入力される全てのフレームのRGBデータに対して行われる。

## 【0035】

図6の図表はnが8ビット、dが3ビット、eが9ビットである時の第2のフレームレート制御方法を説明する。

## 【0036】

前記図6に示すように、dビット、つまり、拡張されたRGBデータの下位3ビットによって連続する $2^d$ 個のフレーム内にフレームレート制御が行われる。図6で斜線で表示した画素はRGBデータの(e-d)ビット、つまり、上位6ビットが示す階調を表示し、斜線で表示されていない画素はRGBデータの(e-d)ビットが示す階調の直上位階調を表示する。つまり、(e-d)ビットが示す階調を‘A’とする時、斜線で表示されていない画素が表示する階調は‘A+1’である。

20

## 【0037】

図6で、下位3ビットは階調‘A’以上‘A+1’未満の $2^d$ 個の階調、つまり、 $2^3$ 個の階調を示し、より具体的に、‘000’は‘A+0/8’、‘001’は‘A+1/8’、‘010’は‘A+2/8’、‘011’は‘A+3/8’、‘100’は‘A+4/8’、‘101’は‘A+5/8’、‘110’は‘A+6/8’、‘111’は‘A+7/8’を各々示す。前記下位3ビットの状態によって、6ビットで表現できる階調‘A’と‘A+1’の発生頻度を調整することによって、8フレーム間の表示を時間的に平均すれば前記のように‘A’と‘A+1’の間の8段階の階調が表現できるようにしたことに本発明の特徴がある。

30

## 【0038】

より具体的に、下位3ビットの中で最下位ビットが‘0’である場合には、残り2ビットで従来のフレームレート制御と同様に8フレームを再構成する。下位3ビットの中で最下位ビットが‘1’である場合には、最初の4フレーム内には残り2ビットで従来のフレームレート制御と同様の4フレームを再構成し、その次の4フレーム内には残り2ビットに‘1’を足して従来のフレームレート制御と同様の4フレームを再構成する。

## 【0039】

例えば、下位3ビットの情報が‘101’であると仮定する。最初4フレームは既存のフレームレート制御と同様にフレームを再構成し、この時には‘10’の2ビット情報を利用する。その次の4フレーム間には‘101’の下位ビットが‘1’であるので‘10’に‘1’を足した値、つまり、‘11’を利用して従来のフレームレート制御と同様にフレームを再構成する。もし、下位3ビットの中で最下位ビットが‘0’であれば既存のフレームレート制御と同様にフレーム再構成が行われる。

40

## 【0040】

次に、nが8であり、eが9である時、前記第2のフレームレート制御方法で拡張ビットを算出する過程について説明する。

## 【0041】

まず、次の数式1は8ビットのRGBデータを9ビットに拡張するためのものである。

50

【 0 0 4 2 】

【数 1】

$$\left( \frac{63G}{255} \times 8 \right) \text{四捨五入} \quad \cdots (1)$$

【 0 0 4 3 】

前記数式 1 で G は入力される 8 ビット R G B データが示す 10 進数で表現された階調値であり、" ( ) 四捨五入" は括弧内の数の小数点以下を四捨五入するという意味である。入力 R G B データに対して前記数式 1 を適用すれば、計算結果の整数部として 9 ビットで示される数が算出される。このように算出された 9 ビットデータは先に説明した第 2 のフレームレート制御方法に利用される。前記数式 1 で、255 で割り算する過程は、ハードウェア・ロジックで実現する場合に計算量を増加させる問題があるが、逆数をかける方法で実現したり、ロジック内部にルックアップテーブル (look-up table) を備えることによって簡単に解決できる。もし若干の誤差を許せば、分母 = 256、分子 = 64 として (2 G) で近似でき、現実の操作はレジスターで 1 ビットだけシフトするだけでよいが、これでは高輝度部の飽和現象が残るから、(2 G - 6) で計算する方がよい。また、分母 = 256、分子 = 63 つまり (63 G / 32) としてもよい。要は、9 ビットのデータを使って、高輝度部に飽和現象や跳躍現象がなく、低輝度部の飽和現象が最小（または所定段階）になるような、カーブがなだらかで輝度反転が無く、計算時間の短い変換法を見出せばよいことである。

10

【 0 0 4 4 】

20

次に、8 ビットの R G B データを 9 ビットに拡張するための数式 2 を説明する。

【 0 0 4 5 】

【数 2】

$$\left. \begin{array}{l} \text{if } G=255, \quad G_{\text{Hi-FRC}}=504, \\ \text{else } G_{\text{Hi-FRC}}=\left( \frac{63G}{256} \times 8 \right) \text{四捨五入}=\left( \frac{63G}{32} \right) \text{四捨五入} \end{array} \right\} \cdots (2)$$

【 0 0 4 6 】

30

前記数式で  $G_{\text{Hi-FRC}}$  は 9 ビットに変換されたデータである。前記数式 1 には割算演算が含まれているので、実現するのには計算量が多い。数式をロジックで実現する時、8 の倍数で割ることが便利なので、数式 2 を適用することができる。前記数式 2 によれば、入力される R G B データの階調値が 255 であれば、 $G_{\text{Hi-FRC}}$  は、504 = 63 × 8 となるため、上位 6 ビットが "63 (十進数)" であり、下位 3 ビットが '000' の値となる。この階調値 255 が、6 ビットドライバー IC で出力できる最大の入力値となる。その他の階調では入力 R G B データに 63 だけをかけて、その結果を 5 ビットだけ下位ビットだけ方向にシフトすれば容易に得られる。図 8 a 乃至図 8 c のグラフには前記数式 2 を適用した場合の階調に対する輝度曲線と理想的な輝度曲線が比較して示されている。

【 0 0 4 7 】

40

図 8 a には全体階調と輝度との関係に対して数式 2 を適用した場合 (63 \* G / 32) と理想的な場合 (Ideal) が示されており、図 8 b には上位階調に対して前記二つの場合が示されており、図 8 c には下位階調に対して前記二つの場合が示されている。前記図 8 a 乃至図 8 c のグラフを見てみると、上位階調で理想的な場合と多少の差があるが、他の階調ではほとんど理想的な場合に近接することが分かる。

【 0 0 4 8 】

次に、8 ビットの R G B データを 9 ビットに拡張するための数式 3 を説明する。

【 0 0 4 9 】

## 【数3】

$$\left. \begin{array}{l}
 \text{if } G \leq 6, \quad G_{Hi-FRC} = G, \\
 \text{if } 7 < G < 255, \quad G_{Hi-FRC} = \left( \frac{64 \times (G+1)}{256} - 1 \right) \times 8 = 2G - 6, \\
 \text{if } G = 255, \quad G_{Hi-FRC} = 504
 \end{array} \right\} \cdots (3)$$

## 【0050】

前記数式3は割算演算が含まれていない簡単な数式である。

10

## 【0051】

図9aには全体階調と輝度との関係に対して数式3を適用した場合(2G-6)と理想的な場合(Ideal)が示されており、図9bには上位階調に対して前記二つの場合が示されており、図9cには下位階調に対して前記二つの場合が示されている。前記図9cに示されているように、下位階調で数式3を適用した場合と理想的な場合の差が大きいように見られるが、これはグラフのスケーリング(scaling)差によるもので、実際には大きな誤差がない。

## 【0052】

次に、8ビットのRGBデータを9ビットに拡張するための数式4を説明する。

20

## 【0053】

## 【数4】

$$\left. \begin{array}{l}
 \text{if } G = 255, \quad G_{Hi-FRC} = 504, \\
 \text{else } G_{Hi-FRC} = \left( \left( \frac{63 \times (G+1)}{256} - \frac{1}{8} \right) \times 8 \right) \text{ 四捨五入} = \left( \frac{63 \times (G+1)}{32} - 1 \right) \text{ 四捨五入}
 \end{array} \right\} \cdots (4)$$

## 【0054】

図10aには全体階調と輝度との関係に対して数式4を適用した場合(63(G+1)/32-1)と理想的な場合(Ideal)が示されており、図10bには上位階調に対して前記二つの場合が示されており、図10cには下位階調に対して前記二つの場合が示されている。

30

## 【0055】

前記数式4を適用した図10a乃至図10cから分かるように、数式4を適用すれば、全体的に誤差が少なく変換できるという長所がある。

## 【0056】

次に、8ビットのRGBデータを9ビットに拡張するための数式5を説明する。

## 【0057】

## 【数5】

$$\left. \begin{array}{l}
 \text{if } G \leq 8, \quad G_{Hi-FRC} = G, \\
 \text{if } 9 < G < 255, \quad G_{Hi-FRC} = 2G - 8, \\
 \text{if } G = 255, \quad G_{Hi-FRC} = 504
 \end{array} \right\} \cdots (5)$$

40

## 【0058】

前記数式5は前記数式1、2及び3と類似しており、タイミング制御部に入力される8ビットのRGBデータを9ビットに拡張するためのものである。

## 【0059】

次に、図11乃至16を参照して本発明による第3のフレームレート制御方法を説明する。

## 【0060】

50

本発明による第3のフレームレート制御方法は、画質劣化を減少させることをその目的とする。

【0061】

図11乃至14には本発明の第3のフレームレート制御方法を説明するための図表が示されている。

【0062】

本発明による第3のフレームレート制御方法は前述した第2のフレームレート制御方法により再構成された画素パターンに対して追加的に画素パターンを配置することに関する。基本的に、前記第3のフレームレート制御方法は前記図6に示した画素パターンを得るために過程をすべて含み、前記第2のフレームレート制御方法を遂行した結果に対する本発明の第3のフレームレート制御方法が適用される。また、図6に示された画素パターンは空間的な観点では $4 \times 2$ 画素ブロック、時間的な観点では8フレーム期間の画素パターンであって、第2のフレームレート制御方法によって既に画素パターンが再構成されたものであるので、前記第3フレームレート制御方法にもこのような前提条件が適用されないと仮定する。ここで、本発明が適用される基本画素単位を $4 \times 2$ 画素ブロックにしたことと、8フレーム画素パターンにしたことは本発明の原理から逸脱しない限度内で変更することができ、このことは当該技術分野で通常の知識を有する者であれば容易に行うことができる。前記第3フレームレート制御方法では、時間的な観点又は空間的な観点での第2フレームレート制御方法によって得られた画素パターンを、また、再配置することにより画質劣化を減少させることができる。

10

20

30

40

50

【0063】

図11に示した画素パターンでは“ノーマルフレーム”と“プラスフレーム”という概念が導入される。この概念は本発明で提案された用語であって、ノーマルフレームとは、本発明による第2のフレームレート制御方法が適用された画素パターンを有するフレームを表示するための画素データであり、プラスフレームとは、前記第2のフレームレート制御方法が適用された画素パターンにおいて上下方向に各画素の配置を変えたフレームを表示するための画素データのことである。つまり、図6の画素パターンに対して最初4個のフレームはノーマルフレームに構成し、その次の4個のフレームはプラスフレームに構成することによって、図11の画素パターンが得られる。単純に図6の画素パターンを前記4個のノーマルフレームと4個のプラスフレームが連続的に表示されるように再配置することだけでも、4個の階調レベル単位に横線が表示される画質劣化現象はある程度減少できる。

【0064】

しかし、本発明者は、画質を改善するための方法をさらに研究した結果、前記ノーマルフレームとプラスフレームが1フレーム単位に一つずつ交互に表示されるように8フレームを構成することが画質劣化を改善するのに一層効果的であるということを知った。

【0065】

図12にはノーマルフレームとプラスフレームが交互に表示されるように構成された画素パターンが示されている。

【0066】

しかし、前記図12に示された画素パターンによってもフリッカーを完全に解決することはできない。したがって、空間的にもノーマルフレームとプラスフレームを混用する方法を考えるようになった。つまり、1フレームを構成する表示画面で所定の画素ブロック単位にノーマルフレーム又はプラスフレームのうちのいずれかが表示されるようにし、その単位画素ブロックに隣接する画素ブロックではノーマルフレーム又はプラスフレームのうちの他のものを表示するようにする。例えば、任意の一つの単位画素ブロックでは図12の画素パターンの中でノーマルフレームが先に始まるようにし、それに隣接した他の単位画素ブロックではプラスフレームが先に始まるようにすれば、前記ノーマルフレームとプラスフレームの空間的な配置を行える。このようにする場合、1フレーム内でも空間的に前記ノーマルフレームとプラスフレームが混用されて表示されるので、フリッカー問題

を完全に解決できる。

【0067】

図13a及び13bには空間的な観点でノーマルフレームとプラスフレームを配置する一つの例が示されている。前記図13a及び13bの例において、一つのブロックは $4 \times 2$ 画素ブロックであり、斜線のブロックはプラスフレーム、斜線部分のないブロックはノーマルフレームである。図13aにはn番目フレームのための画素パターンが示されており、 $4 \times 4$ 画素ブロック単位にノーマルフレーム又はプラスフレームのうちの一つが該当画素ブロックでは同一に表示され、各単位画素ブロックとそれに隣接する単位画素ブロックにはノーマルフレーム又はプラスフレームが各々表示される。一方、図13bには( $n + 1$ )番目フレームのための画素パターンが示されており、前記図13aに示された画素パターンとは反対である。つまり、n番目フレームでノーマルフレームが表示されていた単位画素ブロックは( $n + 1$ )番目フレームでプラスフレームを表示し、n番目フレームでプラスフレームが表示されていた単位画素ブロックは( $n + 1$ )番目フレームでノーマルフレームを表示する。そして、図13bに示したように、( $n + 1$ )番目フレームではn番目フレームでとは反対にノーマルフレームとプラスフレームが配置されるように画素パターンが構成される。このように画素パターンを構成することにより、フリッカーと画質劣化の問題点を完全に解決することができる。

10

【0068】

図14の画素パターンはノーマルフレームとプラスフレームが交互に表示されるように画素パターンが構成されるという点では図12の画素パターンと類似しているが、プラスフレームとノーマルフレームの発生順序が図12の画素パターンとは反対である。つまり、時間的に1番目フレームではプラスフレームが表示され、その次のフレームではノーマルフレームが表示される。

20

【0069】

図15及び16には前記第3のフレームレート制御方法によって時間的及び空間的な観点で再配置された画素パターンが示されている。より具体的に、図15は特に赤及び緑色に対して時間的及び空間的な観点から再配置した画素パターンを示しており、図16は青色に対して時間的及び空間的な観点から再配置した画素パターンを示している。前記図15及び図16では $4 \times 4$ 画素ブロックが単位画素ブロックとなり、この単位画素ブロックはプラスフレームとノーマルフレームを交互に空間的に表示し、同様に時間的にもプラスフレームとノーマルフレームを交互に表示することを詳細に示している。既述のように、垂直方向に階調レベルを配置する時、横線が表示されることとは反転駆動と深く関連する。緑色では下に階調が暗くなる方向である時、横線がよく見え、赤及び青色では上に階調が暗くなる方向である時よく見えることは反転の極性に影響があることが分かる反証である。したがって、将来どのような反転駆動方法が適用されても、それによる影響を少なくするためにもう一つの方法を追加することができる。図15に示したものは赤/緑色に対する反転駆動方法であるとすれば、青色に対するものをこれと反対に $4 \times 4$ 画素ブロック内で上下を変えた形態で画素パターンを有するようにする。RGBが同一なFRC画素パターンを有するものより、異なるFRC画素パターンを有する方が画質が向上する。

30

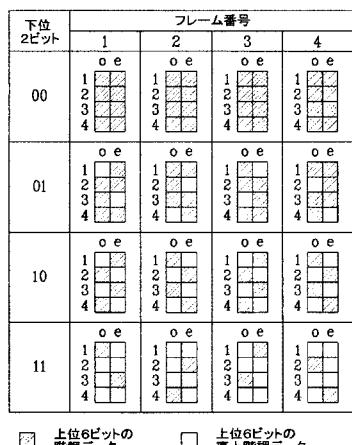
【符号の説明】

40

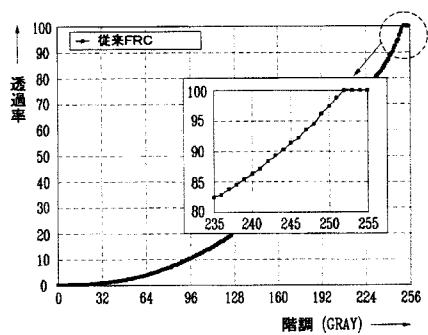
【0070】

- 1: 液晶パネル
- 2: ゲート駆動部
- 3: ソース駆動部
- 4: 電圧発生部
- 5: タイミング制御部
- 5 1: データ処理ブロック
- 5 2: 制御信号生成ブロック

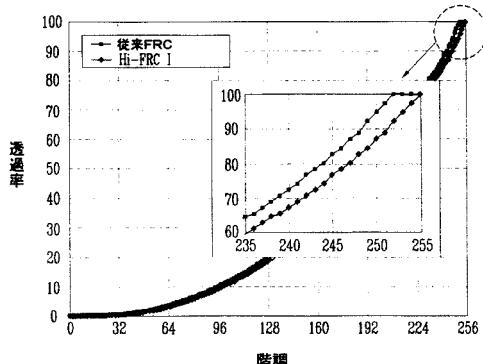
【 図 1 】



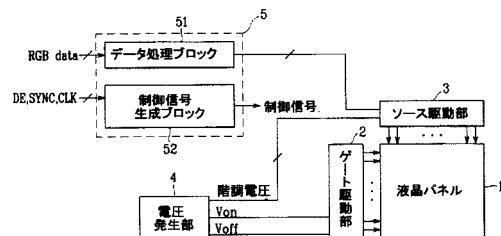
( 図 2 )



【 図 5 】



【 図 3 】

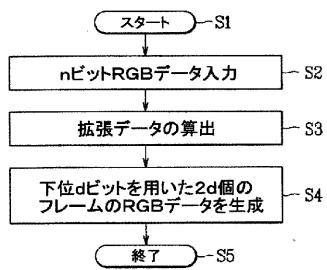


〔 义 4 〕

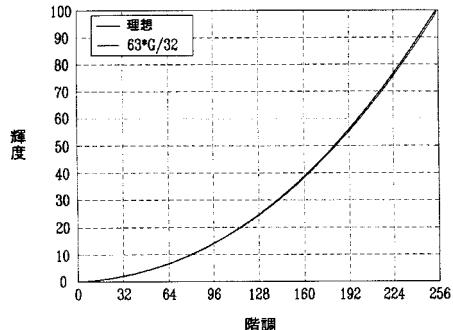
従来FRC				Hi-FRC I				
入力	上位6ビット	下位2ビット	評価	入力	変換	上位6ビット	下位2ビット	評価
255	111111	11	同一輝度	255	252	111111	00	▲
254	111111	10		254	251	111110	11	▲
253	111111	01		253	250	111110	10	▲
252	111111	00		252	249	111110	01	▲
251	111110	11		251	248	111110	00	▲
250	111110	10		250	247	111101	11	▲
*	*	*	*	*	*	*	*	*
6	000001	10	▲	6	3	000000	11	▲
5	000001	01	▲	5	2	000000	10	▲
4	000001	00	▲	4	1	000000	01	▲
3	000000	11	▲	3	0	000000	00	
2	000000	10	▲	2	0	000000	00	
1	000000	01	▲	1	0	000000	00	
0	000000	00		0	0	000000	00	

【 図 6 】

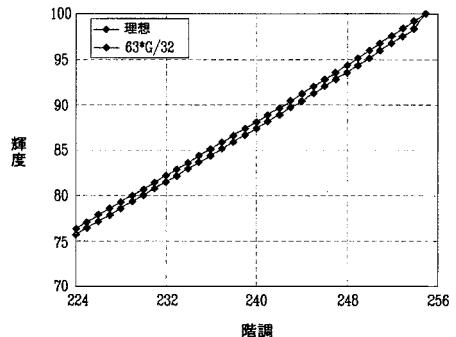
【図7】



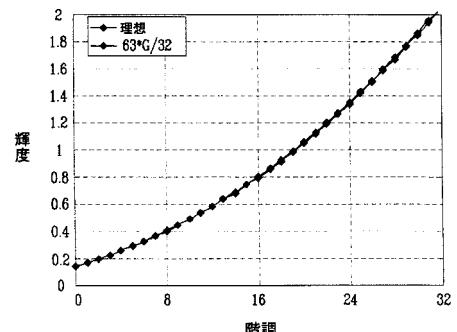
【図8 a】



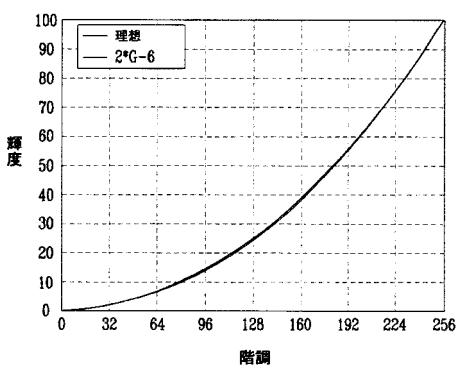
【図8 b】



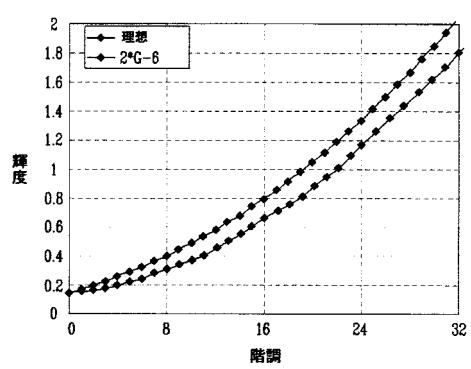
【図8 c】



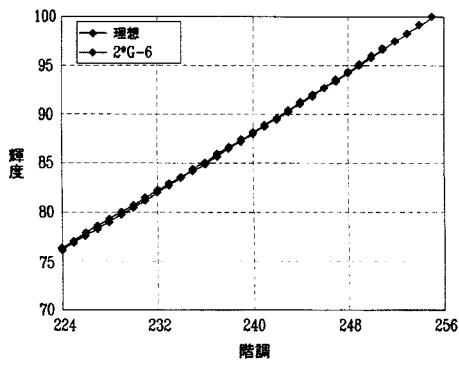
【図9 a】



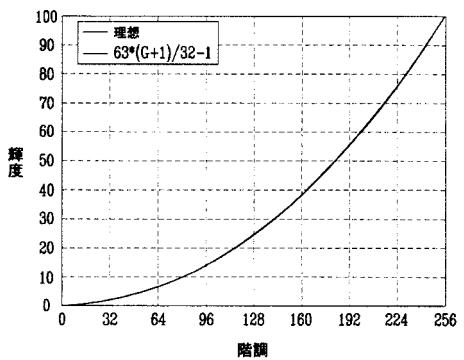
【図9 c】



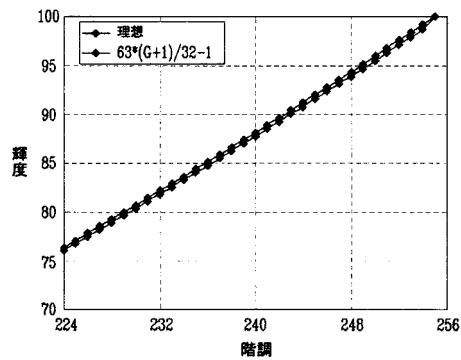
【図9 b】



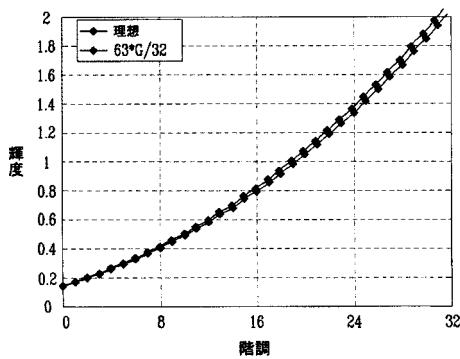
【図10 a】



【図 10 b】



【図 10 c】



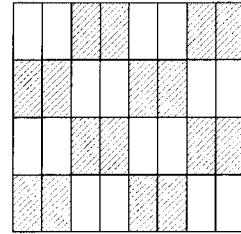
【図 11】

下位 3ビット	ノーマルフレーム				プラスフレーム			
	1	2	3	4	1	2	3	4
000	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4
010	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4
100	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4
110	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4
001	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4
011	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4
101	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4
111	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4

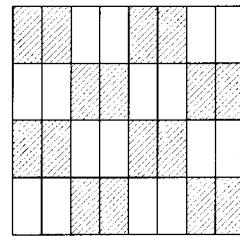
【図 12】

下位 3ビット	フレーム番号							
	1	2	3	4	5	6	7	8
000	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4
010	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4
100	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4
110	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4
001	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4
011	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4
101	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4
111	1 2 3 4	o e 1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4	1 2 3 4

【図 13 a】



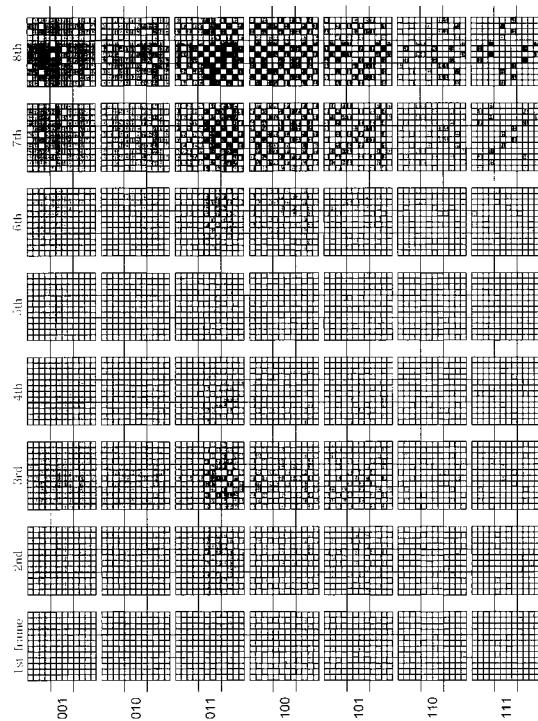
【図 13 b】



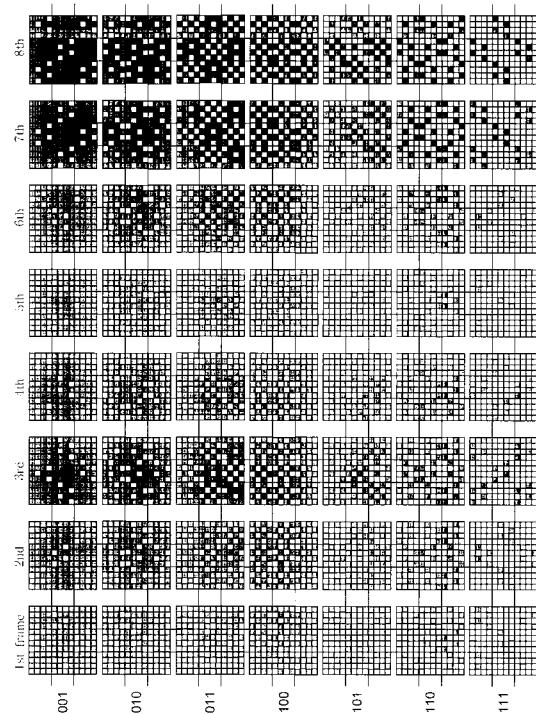
【図 1 4】

下位 3ビット	フレーム番号							
	1	2	3	4	5	6	7	8
000	1 2 3 4							
010	1 2 3 4							
100	1 2 3 4							
110	1 2 3 4							
001	1 2 3 4							
011	1 2 3 4							
101	1 2 3 4							
111	1 2 3 4							

【図 1 5】



【図 1 6】



## フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 2 F 1/133 5 5 0  
H 0 4 N 5/66 1 0 2 Z

(72)発明者 李 昇 祐

大韓民国ソウル市衿川区禿山1洞293-10番地禿山現代アパート102棟1008号

F ターム(参考) 2H193 ZA01 ZD24 ZD27 ZD29 ZE03

5C006 AA12 AA14 AA22 AF46 BB11 BC16

5C058 AA06 BA13 BA35

5C080 AA10 BB05 CC03 DD01 EE29 EE30 JJ01 JJ02 JJ05

专利名称(译)	帧率控制方法及其液晶显示装置		
公开(公告)号	<a href="#">JP2011164636A</a>	公开(公告)日	2011-08-25
申请号	JP2011062380	申请日	2011-03-22
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李昇祐		
发明人	李昇祐		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H04N5/66		
CPC分类号	G09G3/3611 G09G3/2022 G09G3/2055 G09G2320/0271 G09G2340/0428		
FI分类号	G09G3/36 G09G3/20.641.Q G09G3/20.641.E G09G3/20.641.G G09G3/20.641.K G02F1/133.550 H04N5/66.102.Z		
F-TERM分类号	2H193/ZA01 2H193/ZD24 2H193/ZD27 2H193/ZD29 2H193/ZE03 5C006/AA12 5C006/AA14 5C006 /AA22 5C006/AF46 5C006/BB11 5C006/BC16 5C058/AA06 5C058/BA13 5C058/BA35 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/EE29 5C080/EE30 5C080/JJ01 5C080/JJ02 5C080 /JJ05		
优先权	1020020017793 2002-04-01 KR 1020020026218 2002-05-13 KR		
其他公开文献	<a href="#">JP5410468B2</a>		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

要解决的问题：提供第一帧速率控制方法，其能够消除可以表示的所有灰度中的更高灰度的伽马失真。ŽSOLUTION：在帧速率控制方法中，由输入二进制n位的灰度值组成的RGB数据被扩展为e位（ $e \geq n+1$ ），帧数据被转换，以便由上（ed）位显示的灰度数据排除在连续的 $2^{SP}$ 帧中降低d位扩展RGB数据并调整直接更高灰度数据的生成频率，并且重新排列帧数据，使得正常帧是帧数据的前半部分。通过将每个帧的像素排列改变为垂直方向而获得的 $2 \times SP$ 个和正帧是剩余半帧，对于每个帧交替地相互显示。因此，执行布置使得在每个单位像素块中除了RGB数据的低d位之外的上（e-d）位所示的灰度数据和在更高灰度数据的生成频率被在空间上调整。Ž

入力	従来FRC			Hi-FRC I				
	上位 6ビット	下位 2ビット	評価	入力	変換	上位 6ビット	下位 2ビット	評価
255	111111	11	同一 輝度	255	252	111111	00	▲
254	111111	10		254	251	111110	11	▲
253	111111	01		253	250	111110	10	▲
252	111111	00		252	249	111110	01	▲
251	111110	11	▲	251	248	111110	00	▲
250	111110	10	▲	250	247	111101	11	▲
6	000001	10	▲	6	3	000000	11	▲
5	000001	01	▲	5	2	000000	10	▲
4	000001	00	▲	4	1	000000	01	▲
3	000000	11	▲	3	0	000000	00	
2	000000	10	▲	2	0	000000	00	
1	000000	01	▲	1	0	000000	00	
0	000000	00		0	0	000000	00	