

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-59682

(P2011-59682A)

(43) 公開日 平成23年3月24日(2011.3.24)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G09G 3/20 (2006.01)	G09G 3/20 621L	2H193
G09G 3/30 (2006.01)	G09G 3/30 J	5C006
G02F 1/133 (2006.01)	G02F 1/133 55O	5C080
H03K 19/0175 (2006.01)	H03K 19/00 1O1F	5C380
審査請求 有 請求項の数 10 O L (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2010-191767 (P2010-191767)
(22) 出願日 平成22年8月30日 (2010. 8. 30)
(62) 分割の表示 特願2001-133431 (P2001-133431)
の分割
原出願日 平成13年4月27日 (2001. 4. 27)

(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 浅見 宗広
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
(72) 発明者 長尾 祥
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
(72) 発明者 棚田 好文
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
Fターム(参考) 2H092 GA50 GA59 JA24 PA06
2H193 ZA04 ZF35 ZF44 ZF51 ZF52

最終頁に続く

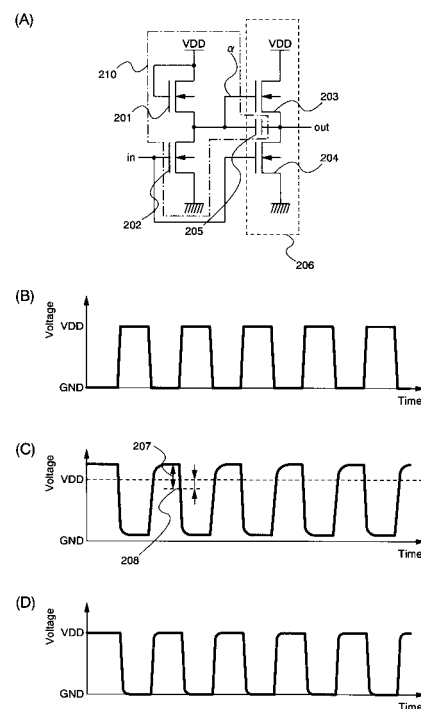
(54) 【発明の名称】 液晶表示装置及び電子機器

(57) 【要約】

【課題】 一導電型のTFTのみを用いて回路を構成することにより工程削減が可能であり、かつ出力信号の電圧振幅が正常に得られる表示装置の駆動回路を提供する。

【解決手段】 出力ノードに接続されているTFT203のゲート-ソース間に容量205を設け、TFT201、202からなる回路は、ノードαを浮遊状態とする機能を有する。ノードαが浮遊状態のとき、容量205によるTFT203のゲート-ソース間の容量結合を利用してノードαの電位をVDDよりも高い電位とし、これによって、TFTのしきい値に起因する振幅減衰が生ずることなく、正常にVDD-GND間の振幅を持った出力信号を得ることが出来る。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

第 1 の不純物領域が第 1 の電源と電氣的に接続された、第 1 のトランジスタと、
第 1 の不純物領域が第 2 の電源と電氣的に接続された、第 2 のトランジスタと、
第 1 の不純物領域が第 1 の電源と電氣的に接続された、第 3 のトランジスタと、
第 1 の不純物領域が第 2 の電源と電氣的に接続された、第 4 のトランジスタと、
容量とを有する表示装置の駆動回路であって、
前記第 1 乃至第 4 のトランジスタはいずれも同一導電型であり、
前記第 1 のトランジスタの第 2 の不純物領域と、前記第 2 のトランジスタの第 2 の不純物領域とはいずれも前記容量の一方の端子と電氣的に接続され、
前記第 3 のトランジスタの第 2 の不純物領域と、前記第 4 のトランジスタの第 2 の不純物領域と、前記第 1 のトランジスタのゲート電極とは、いずれも前記容量の他の一方の端子と電氣的に接続され、
前記第 2 のトランジスタのゲート電極と、前記第 4 のトランジスタのゲート電極は、入力信号線と電氣的に接続され、
前記第 3 のトランジスタのゲート電極は、前記第 1 の電源と電氣的に接続されていることを特徴とする表示装置の駆動回路。

10

【発明の詳細な説明】**【技術分野】****【0001】**

20

本発明は、表示装置の駆動回路に関する。さらに本発明は、前記表示装置の駆動回路を用いて作製された電子機器を含む。なお本明細書中、表示装置とは、画素に液晶素子を用いてなる液晶表示装置および、有機エレクトロルミネッセンス（ＥＬ）素子を始めたとした自発光素子を用いてなる発光表示装置を含むものとする。駆動回路とは、表示装置に配置された画素に映像信号を入力し、映像の表示を行うための処理を行う回路を指し、シフトレジスタ等を始めとするパルス回路や、アンプ等を始めとする増幅回路を含むものとする。

【背景技術】**【0002】**

30

近年、絶縁体上、特にガラス基板上に半導体薄膜を形成した表示装置、特に薄膜トランジスタ（以下、ＴＦＴと表記）を用いたアクティブマトリクス型表示装置の普及が顕著となっている。ＴＦＴを使用したアクティブマトリクス型表示装置は、マトリクス状に配置された数十万から数百万の画素を有し、各画素に配置されたＴＦＴによって各画素の電荷を制御することによって映像の表示を行っている。

【0003】

さらに最近の技術として、画素を構成する画素ＴＦＴの他に、画素部の周辺領域にＴＦＴを用いて駆動回路を同時形成するポリシリコンＴＦＴに関する技術が発展してきており、装置の小型化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大が著しいモバイル情報端末の表示部等に、表示装置は不可欠なデバイスとなってきた。

40

【0004】

表示装置の駆動回路としては、Ｎ型ＴＦＴとＰ型ＴＦＴを組み合わせたＣＭＯＳ回路が一般的に使用されている。ＣＭＯＳ回路の特徴として、論理が変わる（Ｈｉ電位からＬｏ電位へ、あるいはＬｏ電位からＨｉ電位へ）瞬間にのみ電流が流れ、ある論理の保持中には電流が流れない（実際には微小なリーク電流の存在がある）ため、回路全体での消費電流を低く抑えることが可能な点や、高速駆動に有利な点が挙げられる。

【0005】

液晶や自発光素子を用いた表示装置の需要は、モバイル電子機器の小型化、軽量化に伴って急速にその需要が増加しているが、歩留まり等の面から、その製造コストを十分に低く抑えることが難しい。今後の需要はさらに急速に増加することは容易に予測され、その

50

ため表示装置をより安価に供給できるようにすることが望まれている。

【発明の概要】

【発明が解決しようとする課題】

【0006】

絶縁体上に駆動回路を作製する方法としては、複数のフォトマスクを用いて、活性層、配線等のパターンを露光、エッチングを行って作りこんでいく方法が一般的であるが、このときの工程数の多さが製造コストに直接影響しているため、可能な限り少ない工程数で製造することが理想的である。そこで、従来CMOS回路によって構成されていた駆動回路を、N型もしくはP型のいずれか一方の導電型のみのTFTを用いて構成する。この方法により、イオンドーピング工程の一部を省略することが出来、さらにフォトマスクの枚数も削減することが出来る。

10

【0007】

(本発明以前の技術の問題点)

図9(A)は、従来一般的に用いられているCMOSインバータ(I)と、一極性のみのTFTを用いて構成したインバータ(II)(III)の例を示している。(II)はTFT負荷型のインバータ、(III)は抵抗負荷型のインバータである。以下に、それぞれの動作について述べる。

【0008】

図9(B)は、インバータに入力する信号の波形を示している。ここで、入力信号振幅は $V_{DD} - GND$ 間($GND < V_{DD}$)とする。具体的には $GND = 0[V]$ として考える。

20

【0009】

回路動作について説明する。なお、説明を明確かつ簡単にするため、回路を構成するN型TFTのしきい値電圧は、そのばらつきがないものとして一律(V_{thN})とする。また、P型TFTについても同様に、一律(V_{thP})とする。

【0010】

CMOSインバータに図9(B)のような信号が入力されると、入力信号の電位が H_i (V_{DD})のとき、P型TFT 901はOFFし、N型TFT 902がONすることにより、出力ノードの電位は L_o (GND)となる。逆に、入力信号の電位が L_o のとき、P型TFT 901がONし、N型TFT 902がOFFすることにより、出力ノードの電位は H_i となる(図9(C))。

30

【0011】

続いて、TFT負荷型インバータ(II)の動作について説明する。同じく図9(B)に示すような信号が入力される場合を考える。まず、入力信号が L_o のとき、N型TFT 904はOFFする。一方、負荷TFT 903は常に飽和動作していることから、出力ノードの電位は H_i 方向に引き上げられる。一方、入力信号が H_i のとき、N型TFT 904はONする。ここで、負荷TFT 903の電流能力よりも、N型TFT 904の電流能力を十分に高くしておくことにより、出力ノードの電位は L_o 方向に引き下げられる。

【0012】

抵抗負荷型インバータ(III)についても同様に、N型TFT 906のON抵抗値を、負荷抵抗 905の抵抗値よりも十分に低くしておくことにより、入力信号が H_i のときは、N型TFT 906がONすることにより、出力ノードは L_o 方向に引き下げられる。入力信号が L_o のときは、N型TFT 906はOFFし、出力ノードは H_i 方向に引き上げられる。

40

【0013】

ただし、TFT負荷型インバータや抵抗負荷型インバータを用いる際、以下のような問題点がある。図9(D)は、TFT負荷型インバータの出力波形を示したものであるが、出力が H_i のときに、907で示す分だけ V_{DD} よりも電位が低くなる。負荷TFT 903において、出力ノード側の端子をソース、電源 V_{DD} 側の端子をドレインとすると、ゲート電極とドレイン領域が接続されているので、このときのゲート電極の電位は V_{DD} で

50

ある。また、この負荷 T F T が O N しているための条件は、(T F T 9 0 3 のゲート - ソース間電圧 $> V_{thN}$) であるから、出力ノードの電位は、最大でも $(V_{DD} - V_{thN})$ までしか上昇しない。つまり、9 0 7 は V_{thN} に等しい。さらに、負荷 T F T 9 0 3 と N 型 T F T 9 0 4 の電流能力の比によっては、出力電位が L o 電位のとき、9 0 8 で示す分だけ G N D よりも電位が高くなる。これを十分に G N D に近づけるためには、負荷 T F T 9 0 3 に対し、N 型 T F T 9 0 4 の電流能力を十分に大きくする必要がある。同様に、図 9 (E) は抵抗負荷型インバータの出力波形を示したものであるが、負荷抵抗 9 0 5 の抵抗値と N 型 T F T 9 0 6 の O N 抵抗の比によっては、9 0 9 で示す分だけ電位が高くなる。つまり、ここに示した一極性のみの T F T を用いて構成したインバータを用いると、入力信号の振幅に対し、出力信号の振幅減衰が生ずることになる。駆動回路を構成するには、振幅が減衰することなく出力が得られなければならない。

10

【 0 0 1 4 】

本発明は、以上のような課題を鑑見てなされたものであり、一極性のみの T F T を用いて製造工程を削減することにより低コストで作製が可能であり、かつ振幅減衰のない出力を得ることが出来る表示装置の駆動回路を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 5 】

先程の図 9 (A) の (II) に示した T F T 負荷型インバータにおいて、出力信号の振幅が正常に $V_{DD} - G N D$ を取るための条件を考える。第 1 に、図 1 (A) のような回路において、出力信号の電位が L o となると、その電位を十分に G N D に近づけるためには、電源 V_{DD} - 出力ノード間の抵抗値に対し、電源 G N D - 出力ノード間の抵抗値が十分に低くなっていけばよい。すなわち、N 型 T F T 1 0 2 が O N している期間、N 型 T F T 1 0 1 が O F F していればよい。第 2 に、出力信号の電位が H i となると、その電位が V_{DD} に等しくするには、N 型 T F T 1 0 1 のゲート - ソース間電圧の絶対値が、 V_{thN} を常に上回っていればよい。つまり、出力ノードの H i 電位が V_{DD} となる条件を満たすには、N 型 T F T 1 0 1 のゲート電極の電位は $(V_{DD} + V_{thN})$ よりも高くなる必要がある。回路に供給される電源は V_{DD} 、G N D の 2 種類のみであるから、 V_{DD} よりも電位の高い第 3 の電源がない限り、条件を満たすことは出来ない。

20

【 0 0 1 6 】

そこで、本発明では以下のような手段を講じた。図 1 (B) に示すように、N 型 T F T 1 0 1 のゲート - ソース間に容量 1 0 3 を設ける。N 型 T F T 1 0 1 のゲート電極がある電位をもって浮遊状態となったとき、出力ノードの電位を上昇させると、この容量 1 0 3 による容量結合によって、出力ノードの電位上昇分に伴って、N 型 T F T 1 0 1 のゲート電極の電位も持ち上げられる。この効果を利用すれば、N 型 T F T 1 0 1 のゲート電極の電位を V_{DD} よりも高く (正確には、 $V_{DD} + V_{thN}$ よりも高く) することが可能となる。よって出力ノードの電位を十分に V_{DD} まで引き上げることが可能となる。

30

【 0 0 1 7 】

なお、図 1 (B) において示した容量 1 0 3 は、実際に容量部分を作製しても良いし、T F T 1 0 1 のゲート - ソース間に寄生する容量を利用するようにしても良い。

【 0 0 1 8 】

40

本発明の構成を以下に記す。

【 0 0 1 9 】

請求項 1 の記載によると、本発明の表示装置の駆動回路は、第 1 の不純物領域が第 1 の電源と電氣的に接続された、第 1 のトランジスタと、第 1 の不純物領域が第 2 の電源と電氣的に接続された、第 2 のトランジスタと、第 1 の不純物領域が第 1 の電源と電氣的に接続された、第 3 のトランジスタと、第 1 の不純物領域が第 2 の電源と電氣的に接続された、第 4 のトランジスタと、容量とを有する表示装置の駆動回路であって、前記第 1 乃至第 4 のトランジスタはいずれも同一導電型であり、前記第 1 のトランジスタの第 2 の不純物領域と、前記第 2 のトランジスタの第 2 の不純物領域とはいずれも前記容量の一方の端子と電氣的に接続され、前記第 3 のトランジスタの第 2 の不純物領域と、前記第

50

4のトランジスタの第2の不純物領域と、前記第1のトランジスタのゲート電極とは、いずれも前記容量の他の一方の端子と電氣的に接続され、前記第2のトランジスタのゲート電極と、前記第4のトランジスタのゲート電極は、入力信号線と電氣的に接続され、前記第3のトランジスタのゲート電極は、前記第1の電源と電氣的に接続されていることを特徴としている。

【0020】

請求項2の記載によると、本発明の表示装置の駆動回路は、第1の不純物領域が第1の電源と電氣的に接続された、第1のトランジスタと、第1の不純物領域が第2の電源と電氣的に接続された、第2のトランジスタと、第1の不純物領域が第1の電源と電氣的に接続された、第3のトランジスタと、第1の不純物領域が第2の電源と電氣的に接続された、第4のトランジスタと、容量とを有する表示装置の駆動回路であって、前記第1乃至第4のトランジスタはいずれも同一導電型であり、前記第1のトランジスタの第2の不純物領域と、前記第2のトランジスタの第2の不純物領域とはいずれも前記容量の一方の端子と電氣的に接続され、前記第3のトランジスタの第2の不純物領域と、前記第4のトランジスタの第2の不純物領域と、前記第1のトランジスタのゲート電極とは、いずれも前記容量の他の一方の端子と電氣的に接続され、前記第2のトランジスタのゲート電極と、前記第4のトランジスタのゲート電極は、第1の入力信号線と電氣的に接続され、前記第3のトランジスタのゲート電極は、第2の入力信号線と電氣的に接続されていることを特徴としている。

10

【0021】

請求項3の記載によると、本発明の表示装置の駆動回路は、請求項2において、前記第2の入力信号線は、前記第1の入力信号線に入力される信号の反転信号が入力される信号線であることを特徴としている。

20

【0022】

請求項4の記載によると、本発明の表示装置の駆動回路は、請求項1もしくは請求項2において、前記容量は、前記第1のトランジスタのゲート電極と、前記不純物領域のうちいずれか一方との間の容量を用いることを特徴としている。

【0023】

請求項5の記載によると、本発明の表示装置の駆動回路は、請求項1もしくは請求項2において、前記容量は、活性層材料、ゲート電極を構成する材料、あるいは配線材料のうちのいずれか2つの材料を用いて構成された容量であることを特徴としている。

30

【0024】

請求項6の記載によると、本発明の表示装置の駆動回路は、請求項1乃至請求項5のいずれか1項において、前記一導電型とは、Nチャネル型であることを特徴としている。

【0025】

請求項7の記載によると、本発明の表示装置の駆動回路は、請求項1乃至請求項5のいずれか1項において、前記一導電型とは、Pチャネル型であることを特徴としている。

【0026】

請求項8の記載によると、本発明の表示装置の駆動回路は、請求項6において、前記入力信号がH_i電位のときの電位は第3の電源電位に等しく、L_o電位のときの電位は第4の電源電位に等しいとき、第2の電源電位 第4の電源電位 < 第3の電源電位 第1の電源電位を満たすことを特徴としている。

40

【0027】

請求項9の記載によると、本発明の表示装置の駆動回路は、請求項7において、前記入力信号がH_i電位のときの電位は第3の電源電位に等しく、L_o電位のときの電位は第4の電源電位に等しいとき、第1の電源電位 第4の電源電位 < 第3の電源電位 第2の電源電位を満たすことを特徴としている。

【0028】

50

請求項 10 の記載によると、本発明の表示装置の駆動回路は、請求項 1 乃至請求項 9 のいずれか 1 項において、前記表示装置の駆動回路は、インバータ、バッファ、あるいはレベルシフタであること、あるいはインバータ、バッファあるいはレベルシフタの構成要件となっていることを特徴としている。

【発明の効果】

【0029】

本発明の表示装置の駆動回路によって、表示装置の駆動回路および画素部を、一導電型の TFT のみによって構成することが可能となり、表示装置の作製工程を削減することによって、低コスト化、歩留まりの向上に寄与し、より安価に表示装置の供給が可能となる。

10

【図面の簡単な説明】

【0030】

【図 1】本発明の表示装置の駆動回路の動作原理を説明する図。

【図 2】本発明の表示装置の駆動回路の基本的形態であるインバータとその入出力信号の波形を示す図。

【図 3】本発明の表示装置の駆動回路の基本的形態であるインバータを複数段接続して用いる場合の接続例を示す図。

【図 4】本発明の表示装置の駆動回路の実施例として示したレベルシフタとその入出力信号の波形を示す図。

【図 5】レベルシフタの動作についての説明図およびレベルシフタの構成例を示す図。

20

【図 6】反転信号を有する場合の 2 入力型レベルシフタの構成例を示す図。

【図 7】本発明を適用して作製した表示装置の概略図。

【図 8】本発明の表示装置の駆動回路の電子機器への適用例を示す図。

【図 9】従来型 CMOS インバータと負荷型インバータの構成と、それぞれの入出力信号の波形を示す図。

【図 10】4 TFT 型のインバータと 3 TFT 型のインバータにおける入力信号と回路動作を説明する図。

【発明を実施するための形態】

【0031】

図 2 (A) は、本発明の表示装置の駆動回路の 1 形態を示したものであり、インバータとして機能する回路である。N 型 TFT 201 ~ 204 および容量 205 によって構成されており、点線枠 206 で囲われた部分が、図 1 (A) に示した回路に相当する。点線枠 210 で囲われた部分が、出力振幅補償回路を構成している。出力振幅補償回路 210 は、N 型 TFT 203 のゲート電極に浮遊状態を作り出すことを目的としたものであり、同一の機能を有する限り、図 2 (A) の構成に限定しない。

30

【0032】

図 2 (A) の回路において、入力信号は N 型 TFT 202 および N 型 TFT 204 のゲート電極に入力される。N 型 TFT 201 は負荷として機能し、N 型 TFT 201、202 によって構成される回路からの出力 (図 2 (A) 中、このノードを α とおく) が、N 型 TFT 203 のゲート電極に入力される。

40

【0033】

回路の動作詳細について順を追って説明する。なお、電源電位は VDD および GND、入力信号の振幅も VDD (Hi) - GND (Lo) とする。まず、入力信号の電位が Hi のとき、N 型 TFT 202、204 が ON する。ここで、N 型 TFT 201 はゲート電極とドレイン領域とが接続されているため飽和動作しているが、N 型 TFT 202 の電流能力を N 型 TFT 201 の電流能力よりも十分に高くすることによって、ノード α の電位は GND 側に引き下げられる。これにより、N 型 TFT 203 が OFF し、出力ノードには Lo 電位が出力される。

【0034】

50

続いて、入力信号の電位が L_o のとき、 N 型 $TFT202$ 、 204 が OFF する。これにより、ノード α の電位は、 VDD 側に引き上げられ、その電位が $(VDD - V_{thN})$ となったところで一旦浮遊状態となる。一方、ノード α の電位が上昇を始めると、やがて N 型 $TFT203$ が ON し、出力ノードの電位が VDD 側に引き上げられる。ノード α が浮遊状態となったとき、依然出力ノードの電位は上昇を続けているため、 N 型 $TFT203$ のゲート - ソース間容量 205 の存在によって、出力ノードの電位上昇に伴い、浮遊状態にあるノード α の電位も上昇する。これにより、ノード α の電位が、 $(VDD + V_{thN})$ よりも高い電位となることが出来る。よって、出力ノードには H_i 電位が出力され、このときの電位は VDD に等しくなる。

【0035】

10

以上のような動作により、出力信号の振幅は、入力信号の振幅に対して減衰なく得られる。このように、2点間の容量結合を利用して電位を引き上げる方法をブートストラップ法という。図2(B)は、図2(A)に示した回路の入力信号の波形を示したものであり、図2(C)は、ノード α における電位の波形を示したものであり、図2(D)は出力信号の波形を示したものである。図2(C)中、 208 で示される電位は、 VDD よりも V_{thN} だけ低下した電位であり、ブートストラップによって、 207 で示す分だけ、ノード α の電位が引き上げられる。結果、図2(D)に示すように、出力ノードが H_i 電位の時、その電位は VDD まで上昇し、 $VDD - GND$ 間の振幅を有する出力信号を得ることが出来る。

【0036】

20

ところで、本発明の表示装置の駆動回路においては、ブートストラップ法による出力信号の振幅補償を動作の基本としているが、そのとき、容量結合を利用する TFT のゲート電極が浮遊状態となっていることが前提となる。図10は、ブートストラップ法を利用した回路の構成例を挙げているが、図10(A)は本発明の表示装置の駆動回路の基本構成を示しているが、ノード α が浮遊状態となっていることにより、 $TFT1003$ のゲート - ソース間の容量 1005 を利用してノード α の電位を引き上げ、それによって出力信号の振幅を補償する。図10(B)は3個の TFT からなる回路を示しているが、こちらについても同様に、ノード β が浮遊状態となっていることにより、 $TFT1007$ のゲート - ソース間容量 1009 を利用してノード β の電位を引き上げ、それによって出力信号の振幅を補償する。

30

【0037】

続いて、入力信号の振幅と電源電位について考える。今、高電位側の電源電位は VDD 、低電位側の電源電位は GND であり、入力信号 (in) の振幅は $VDD - GND$ であり、 inb は入力信号の反転信号である。ここで、 in 、 inb の振幅がそれぞれ $VDD3 - GND$ (ただし、 $GND < V_{thN} < VDD3 < VDD - V_{thN}$) である場合のノード α 、ノード β の状態について考える。図10(A)において、 inb が H_i のとき、 N 型 $TFT1001$ のゲート電極電位は $VDD3$ となる。 $V_{thN} < VDD3$ であるから、 N 型 $TFT1001$ は ON し、ノード α の電位は VDD 側に引き上げられ、その電位が $(VDD3 - V_{thN})$ となったところで浮遊状態となる。つまり、 inb の H_i 電位が V_{thN} を上回っていれば、ノード α は確実に浮遊状態となることが出来、ブートストラップによって N 型 $TFT1003$ のゲート電極電位を引き上げる動作が可能となる。一方、図10(B)においては、 N 型 $TFT1006$ のゲート電極電位は常に VDD であるから、 inb が H_i のとき、ノード β の電位は $VDD3$ まで引き上げられる。ただし今、 $VDD3 < VDD - V_{thN}$ であるから、 N 型 $TFT1006$ は入力信号の電位に関わらず常に ON の状態を取る。よってノード β は浮遊状態とはならない。故に、ブートストラップによってノード β の電位を引き上げることが出来ないことになる。つまり、図10(B)に示した回路の場合、ノード β が浮遊状態となるためには、 inb の L_o 電位が GND であるとき、少なくとも H_i 電位が $(VDD - V_{thN})$ 以上にあるという最低条件があるため、低電圧駆動や TFT の特性ばらつきの面を考えると不利である。

40

【0038】

50

このように、入力信号の振幅が電源電圧よりも小さい場合の、ある特定の条件下では、図 10 (B) のような構成ではノード β に浮遊状態を与えられない可能性が考えられるのに対し、本発明で示した図 10 (A) の構成であれば、確実にノード α を浮遊状態に出来るメリットがある。

【0039】

以下に、本発明の実施例について記載する。

【実施例 1】

【0040】

図 3 (A) は、本発明の表示装置の駆動回路の一形態であるインバータを複数段接続した回路を示している。表示装置の駆動回路等においては、このような回路をバッファとして用いることが多い。ここで、図 3 (A) のような回路を用いる場合、以下のようなデメリットが挙げられる。

10

【0041】

図 3 (A) において、入力信号が H_i のとき、N 型 TFT 302 が ON する。ここで、N 型 TFT 301 は、ゲート - ドレイン間を短絡した負荷として機能しており、常に飽和動作しているため、N 型 TFT 302 が ON することによって、VDD - GND 間に貫通電流が流れる。これは、各段の TFT 303、304 および 305、306 においても同様であり、消費電流が大きくなってしまう。

【0042】

このような問題を回避するための例として、図 3 (B) に示すような、2 入力型のインバータを用いる方法が挙げられる。このような回路の場合、VDD - GND 間に配置されている TFT は、入力信号の極性が常に逆であることから、排他的動作をするため、貫通電流が流れない。

20

【0043】

ただし、図 3 (B) の回路を用いる場合、入力信号として、反転、非反転の 2 相の信号を用意する必要がある。

【0044】

そこで、双方を組み合わせた形として、図 3 (C) に示すように、先頭段には本発明の 1 入力型インバータを用い、2 段目以降は 2 入力型インバータを用いる。2 段目の入力、一方には前段の出力信号を、もう一方には前段の入力信号を入力すればよい。これにより、1 入力型であり、かつ貫通電流を最小限に抑えたバッファとして用いることが出来る。

30

【実施例 2】

【0045】

本発明の表示装置の駆動回路は、回路に供給する電源電位として、入力信号の振幅電位と異なる電位を与えることにより、レベルシフタとして機能させることも容易である。以下にその例を示す。

【0046】

まず、電源電位として、GND、VDD1、VDD2 の 3 電位を考え、それぞれの大小関係は、 $GND < VDD1 < VDD2$ とする。このとき、GND - VDD1 間の振幅を有する信号を入力し、GND - VDD2 間の振幅に変換して取り出す場合を例として考える。

40

【0047】

図 4 (A) に例を示す。回路の構成は実施形態および実施例 1 と同様で良い。入力信号の振幅が GND - VDD1 間であり、N 型 TFT 401、403 の不純物領域の一端に接続される電源の電位を VDD2 としている。

【0048】

回路の動作について説明する。入力信号の波形を図 4 (B) に示す。GND - VDD1 間の振幅をもった信号が、N 型 TFT 402 および 404 のゲート電極に入力される。入力信号が H_i 電位であるとき、N 型 TFT 402、404 が ON し、ノード α における電

50

位がGND側に引き下げられ、N型TFT403はOFFする。よって出力ノードにおける電位はLo電位となる。

【0049】

入力信号がLo電位であるとき、N型TFT402、404がOFFし、ノードαにおける電位がVDD2側に引き上げられる。したがってN型TFT403がONし、出力ノードの電位が上昇する。一方、ノードαにおいては、その電位が(VDD2 - N型TFT403のしきい値電圧の絶対値)となったところで浮遊状態となる。その後、出力ノードの電位上昇に伴い、N型TFT403のゲート - ソース間に存在する容量結合405によってノードαの電位はさらに引き上げられ、VDD2よりも高い電位をとる(図4(C))。よって、出力ノードの電位はHi電位となり、GND - VDD2間の振幅を持った信号が出力される(図4(D)実線)。

10

【0050】

本実施例で示した回路がレベルシフタとして容易に扱うことが出来る理由として、高電位側電源(VDD2)に接続されたTFT401、403のゲート電極には、低電圧振幅の信号入力がない点が挙げられる。図5(A)に示す2入力型の回路において、高電位側電源(VDD2)に接続されたTFT501に低電圧振幅の信号を入力しても、ノードβの電位はVDD1付近までしか上昇することができない。したがってTFT503もまた、十分にONすることが出来ず、容量結合を用いてTFT503のゲート電極電位を持ち上げることが出来ないため、正常動作が望めない。

20

【0051】

よって、本実施例にて示したレベルシフタの直後にかかる負荷が大きく、バッファ等の構成を必要とする場合には、図5(B)のように、1入力型の回路を2段用いて、その後の入力信号の振幅を全て高電圧振幅とする必要がある。図5(B)においては、低電圧振幅の信号が入力されるTFTは、点線枠506で囲まれた部分のTFTに限られ、1入力型の回路を2段重ねることによって、3段目の2入力(TFT507、508のゲート電極への入力)はいずれも高電圧振幅の信号が入力されるため、正常に動作することが出来る。

【0052】

また、振幅変換を行う信号が反転信号を有している場合、互いの出力信号を、次段の反転入力として用いる構成としても良い。図6に例を示す。入力信号はin、inbであり、それぞれTFT602、614のゲート電極に入力される。

30

レベルシフタ1段目650の出力は、2段目のTFT606、617に入力され、660の出力は、2段目のTFT605、618に入力される。2段目への入力信号は、いずれも高電圧振幅の信号であるから、以後は正常にバッファとして機能し、最終段より、出力信号Out、outbを得る。

【実施例3】

【0053】

本実施例においては、本発明の表示装置の駆動回路を用いて表示装置を作製した例について説明する。

40

【0054】

図7は、表示装置の概略図である。基板700上に、ソース信号線駆動回路701、ゲート信号線駆動回路702および画素部703を一体形成にて作製している。画素部において、点線枠710で囲まれた部分が1画素である。図の例では、液晶表示装置の画素を示しており、1個のTFT(以後、画素TFTと表記する)によって液晶素子の一電極に印加される電荷の制御を行っている。ソース信号線駆動回路701、ゲート信号線駆動回路702への信号入力は、フレキシブルプリント基板(Flexible Print Circuit: FPC)704を介して、外部より供給される。

【0055】

本実施例にて示す表示装置は、本発明の表示装置の駆動回路を用いて構成することにより、画素部を含む表示装置全体を構成する駆動回路を、画素TFTと同一の極性を有する

50

一極性のＴＦＴ（例えばＮ型ＴＦＴ）のみを用いて作製している。これにより、半導体層にＰ型を付与するイオンドーピング工程を省略することが可能となり、製造コストの削減や歩留まり向上等に寄与することが出来る。

【００５６】

なお、本実施例の表示装置を構成したＴＦＴの極性はＮ型であるが、Ｐ型ＴＦＴのみを用いて駆動回路および画素ＴＦＴを構成することも、本発明によってももちろん可能となる。この場合は、省略されるイオンドーピング工程は、半導体層にＮ型を付与する工程であることを付記する。また、本発明は液晶表示装置のみならず、絶縁体上に駆動回路を一体形成して作製する装置ならばいずれの物にも適用が可能である。

【実施例４】

10

【００５７】

本発明の表示装置の駆動回路は、様々な電子機器に用いられている表示装置の作製に適用が可能である。このような電子機器には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ、携帯電話等が挙げられる。それらの一例を図８に示す。

【００５８】

図８（Ａ）は液晶ディスプレイ（ＬＣＤ）であり、筐体３００１、支持台３００２、表示部３００３等により構成されている。本発明の表示装置の駆動回路は、表示部３００３の作製に適用が可能である。

【００５９】

20

図８（Ｂ）はビデオカメラであり、本体３０１１、表示部３０１２、音声入力部３０１３、操作スイッチ３０１４、バッテリー３０１５、受像部３０１６等により構成されている。本発明の表示装置の駆動回路は、表示部３０１２の作製に適用が可能である。

【００６０】

図８（Ｃ）はノート型のパーソナルコンピュータであり、本体３０２１、筐体３０２２、表示部３０２３、キーボード３０２４等により構成されている。本発明の表示装置の駆動回路は、表示部３０２３の作製に適用が可能である。

【００６１】

図８（Ｄ）は携帯情報端末であり、本体３０３１、スタイラス３０３２、表示部３０３３、操作ボタン３０３４、外部インターフェイス３０３５等により構成されている。本発明の表示装置の駆動回路は、表示部３０３３の作製に適用が可能である。

30

【００６２】

図８（Ｅ）は音響再生装置、具体的には車載用のオーディオ装置であり、本体３０４１、表示部３０４２、操作スイッチ３０４３、３０４４等により構成されている。本発明の表示装置の駆動回路は表示部３０４２の作製に適用が可能である。また、本実施例では車載用オーディオ装置を例に挙げたが、携帯型もしくは家庭用のオーディオ装置に用いても良い。

【００６３】

図８（Ｆ）はデジタルカメラであり、本体３０５１、表示部（Ａ）３０５２、接眼部３０５３、操作スイッチ３０５４、表示部（Ｂ）３０５５、バッテリー３０５６等により構成されている。本発明の表示装置の駆動回路は、表示部（Ａ）３０５２および表示部（Ｂ）３０５５の作製に適用が可能である。

40

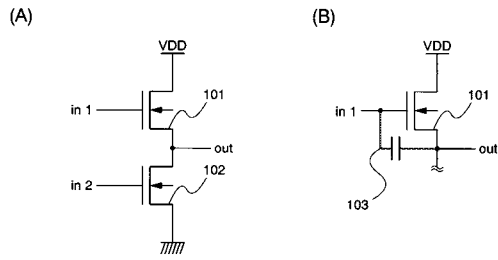
【００６４】

図８（Ｇ）は携帯電話であり、本体３０６１、音声出力部３０６２、音声入力部３０６３、表示部３０６４、操作スイッチ３０６５、アンテナ３０６６等により構成されている。本発明の表示装置の駆動回路は、表示部３０６４の作製に適用が可能である。

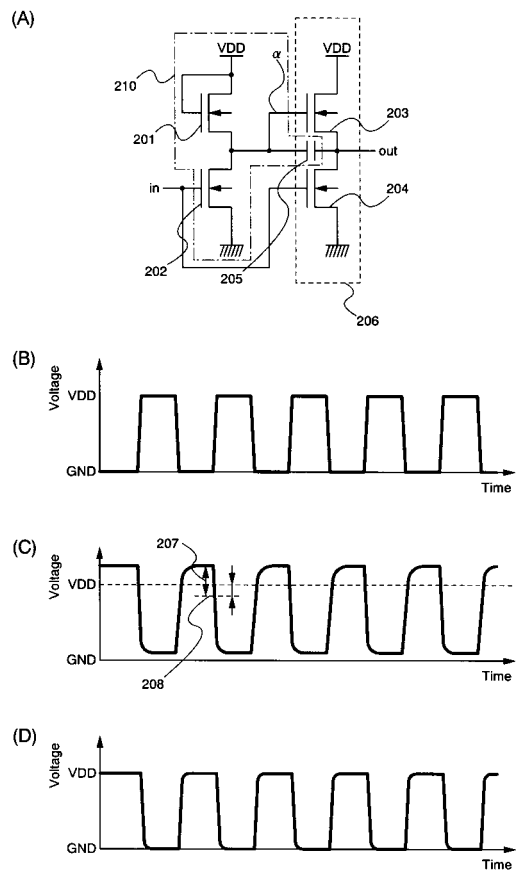
【００６５】

なお、本実施例に示した例はごく一例であり、これらの用途に限定しないことを付記する。

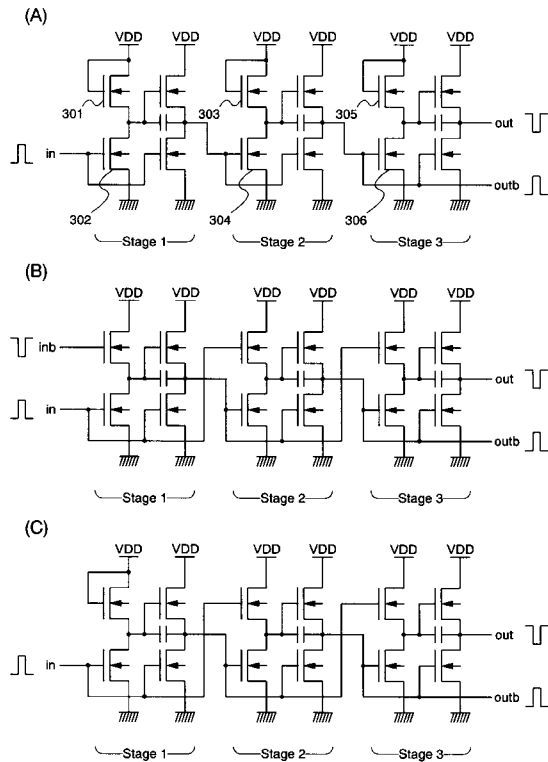
【図 1】



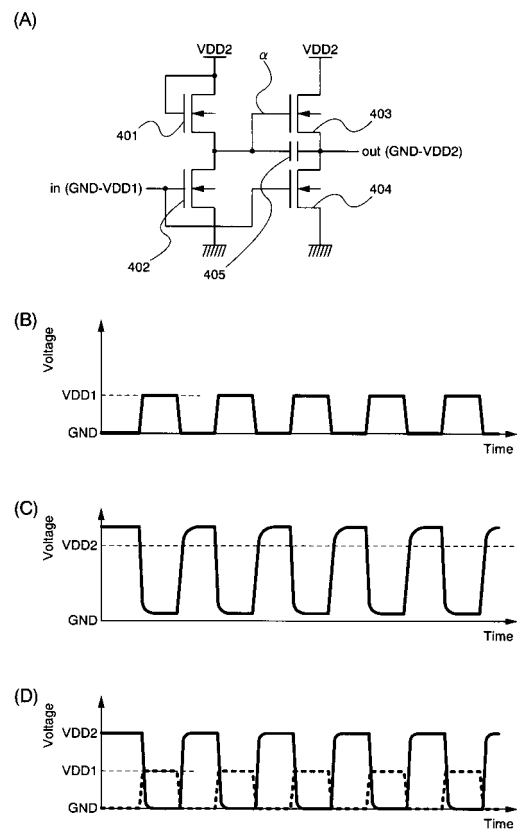
【図 2】



【図 3】

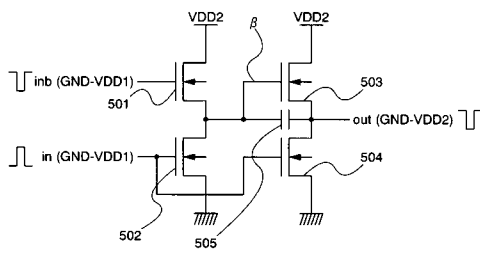


【図 4】

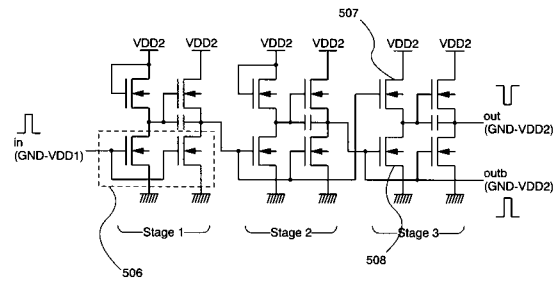


【図 5】

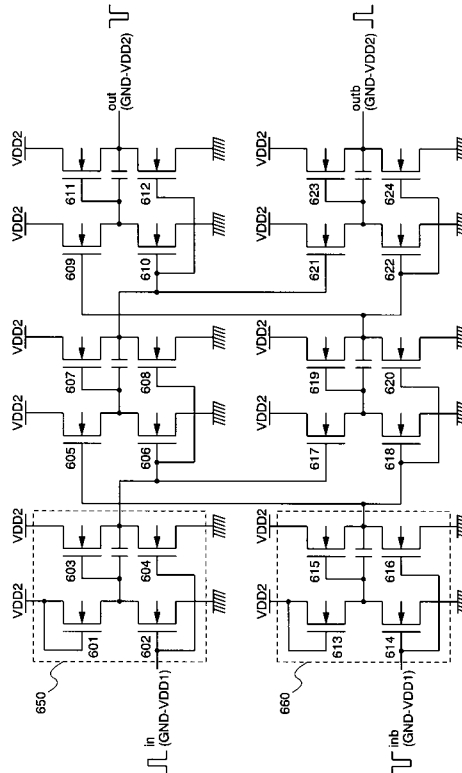
(A)



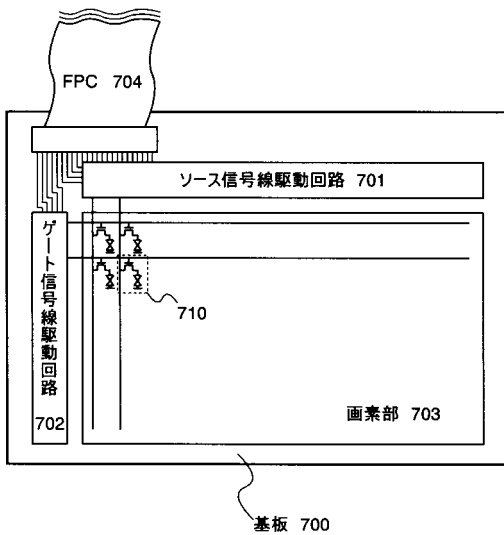
(B)



【図 6】

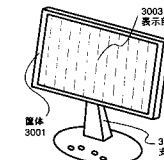


【図 7】

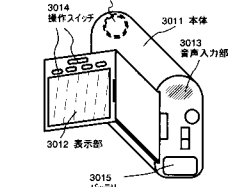


【図 8】

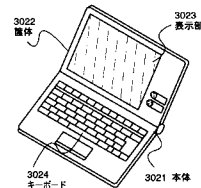
(A)



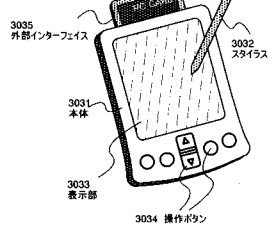
(B)



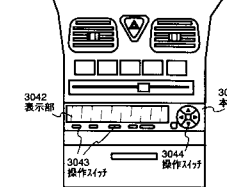
(C)



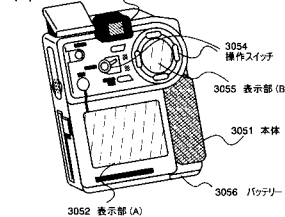
(D)



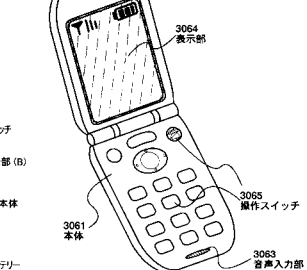
(E)



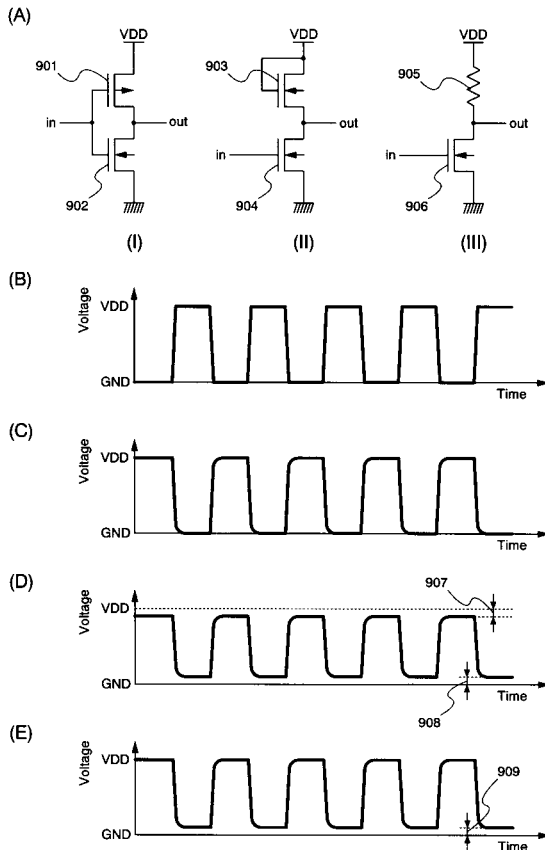
(F)



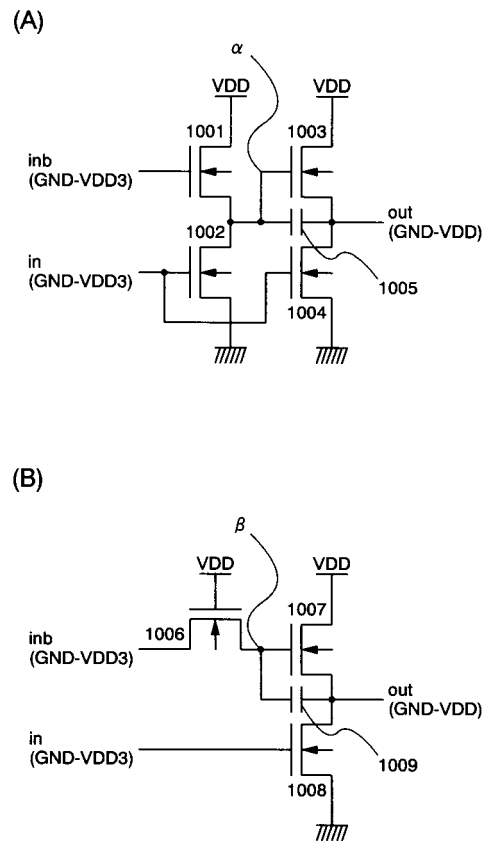
(G)



【図 9】



【図 10】



【手続補正書】

【提出日】平成22年9月24日(2010.9.24)

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

液晶素子を含む画素、第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ及び第 4 のトランジスタを有し、

前記第 1 のトランジスタ、前記第 2 のトランジスタ、前記第 3 のトランジスタ及び前記第 4 のトランジスタの各々の導電型は同じであり、

前記第 1 のトランジスタのゲートは、前記第 3 のトランジスタのソース又はドレインの一方に電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線に電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのソース又はドレインの一方に電氣的に接続され、

前記第 2 のトランジスタのゲートは、前記第 4 のトランジスタのゲートに電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、第 2 の配線に電氣的に接続され、

前記第 3 のトランジスタのゲートは、前記第 3 のトランジスタのソース又はドレインの他方に電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 4 のトランジスタのソース又はドレインの一方に電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 2 の配線に電氣的に接続されていることを特徴とする液晶表示装置。

【請求項 2】

請求項 1 において、

前記第 1 のトランジスタ、前記第 2 のトランジスタ、前記第 3 のトランジスタ及び前記第 4 のトランジスタは、それぞれ、薄膜トランジスタであることを特徴とする液晶表示装置。

【請求項 3】

請求項 1 又は請求項 2 において、

前記第 1 のトランジスタ、前記第 2 のトランジスタ、前記第 3 のトランジスタ及び前記第 4 のトランジスタは、同じ絶縁体上に設けられていることを特徴とする液晶表示装置。

【請求項 4】

請求項 1 又は請求項 2 において、

前記画素、前記第 1 のトランジスタ、前記第 2 のトランジスタ、前記第 3 のトランジスタ及び前記第 4 のトランジスタは、同じガラス基板上に設けられていることを特徴とする液晶表示装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 のトランジスタのゲートと、前記第 1 のトランジスタのソース又はドレインの他方との間に容量素子を有することを特徴とする液晶表示装置。

【請求項 6】

請求項 5 において、

前記容量素子は、前記第 1 のトランジスタの活性層の材料、前記第 1 のトランジスタのゲートを構成する材料および配線材料のうちのいずれか 2 つの材料を含むことを特徴とする液晶表示装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、

前記導電型は、Nチャネル型であることを特徴とする液晶表示装置。

【請求項 8】

請求項 1 乃至請求項 6 のいずれか一項において、

前記導電型は、Pチャネル型であることを特徴とする液晶表示装置。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一項に記載の前記液晶表示装置を有する電子機器。

【請求項 10】

請求項 1 乃至請求項 8 のいずれか一項に記載の前記液晶表示装置と操作スイッチを有する電子機器。

 フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 3 K 17/687 (2006.01)		H 0 3 K 17/687	E	5 J 0 5 5
G 0 2 F 1/1368 (2006.01)		G 0 2 F 1/1368		5 J 0 5 6

F ターム(参考)

5C006	BB16	BC20	BF03	BF25	BF27	BF34	BF37	BF46	BF50	FA51
5C080	AA06	AA10	BB05	DD22	DD27	FF01	FF11	JJ03	JJ04	KK01
	KK07	KK43	KK47							
5C380	AA01	AB06	AB18	AB23	AC07	AC08	AC09	AC11	AC12	BA01
	BA29	CF07	CF22	CF23	CF24	CF43				
5J055	AX08	AX44	BX16	CX29	DX20	DX72	DX83	EY10	EY21	EZ68
	GX01	GX10								
5J056	AA05	BB12	BB59	CC28	DD12	DD27	DD51	EE15	FF08	FF09

专利名称(译)	液晶表示装置及び电子机器		
公开(公告)号	JP2011059682A	公开(公告)日	2011-03-24
申请号	JP2010191767	申请日	2010-08-30
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	浅見宗広 長尾祥 棚田好文		
发明人	浅見 宗広 長尾 祥 棚田 好文		
IPC分类号	G09G3/36 G09G3/20 G09G3/30 G02F1/133 H03K19/0175 H03K17/687 G02F1/1368		
FI分类号	G09G3/36 G09G3/20.621.L G09G3/30.J G02F1/133.550 H03K19/00.101.F H03K17/687.E G02F1/1368 G09G3/20.621.Z G09G3/3225 H03K19/0175.220		
F-TERM分类号	2H092/GA50 2H092/GA59 2H092/JA24 2H092/PA06 2H193/ZA04 2H193/ZF35 2H193/ZF44 2H193/ZF51 2H193/ZF52 5C006/BB16 5C006/BC20 5C006/BF03 5C006/BF25 5C006/BF27 5C006/BF34 5C006/BF37 5C006/BF46 5C006/BF50 5C006/FA51 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD22 5C080/DD27 5C080/FF01 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/KK01 5C080/KK07 5C080/KK43 5C080/KK47 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB23 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA01 5C380/BA29 5C380/CF07 5C380/CF22 5C380/CF23 5C380/CF24 5C380/CF43 5J055/AX08 5J055/AX44 5J055/BX16 5J055/CX29 5J055/DX20 5J055/DX72 5J055/DX83 5J055/EY10 5J055/EY21 5J055/EZ68 5J055/GX01 5J055/GX10 5J056/AA05 5J056/BB12 5J056/BB59 5J056/CC28 5J056/DD12 5J056/DD27 5J056/DD51 5J056/EE15 5J056/FF08 5J056/FF09 2H192/AA24 2H192/FA73 2H192/FB02		
其他公开文献	JP4860765B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供显示装置的驱动电路，该显示装置仅使用一种导电类型的TFT构成，以便能够减少工艺并且能够正常地获得输出信号的电压幅度。解决方案：在驱动电路中，在连接到输出节点的TFT 203的栅极和源极之间提供电容205，并且包括TFT 201和202的电路具有将节点 α 设置为浮置状态的功能。当节点 α 处于浮置状态时，通过电容205在TFT 203的栅极和源极之间的电容耦合用于使节点 α 的电位高于VDD，使得输出信号具有在由于TFT的阈值，可以正常获得VDD和GND而没有幅度衰减。

