

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-59492

(P2011-59492A)

(43) 公開日 平成23年3月24日(2011.3.24)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 633G	5C080
H04L 25/02 (2006.01)	G09G 3/20 611A	5K029
	G09G 3/20 633D	
	G09G 3/20 633E	
審査請求 未請求 請求項の数 8 O L (全 20 頁) 最終頁に続く		

(21) 出願番号 特願2009-210478 (P2009-210478)
 (22) 出願日 平成21年9月11日 (2009.9.11)

(71) 出願人 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100103894
 弁理士 冢入 健
 (72) 発明者 南 忠生
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内
 Fターム(参考) 5C006 AA28 AF24 BC14 BC16 BC24
 BF03 FA32 FA48
 5C080 AA10 BB05 CC06 DD07 DD12
 DD26 JJ02 JJ03 JJ04
 5K029 AA08 BB03 DD28

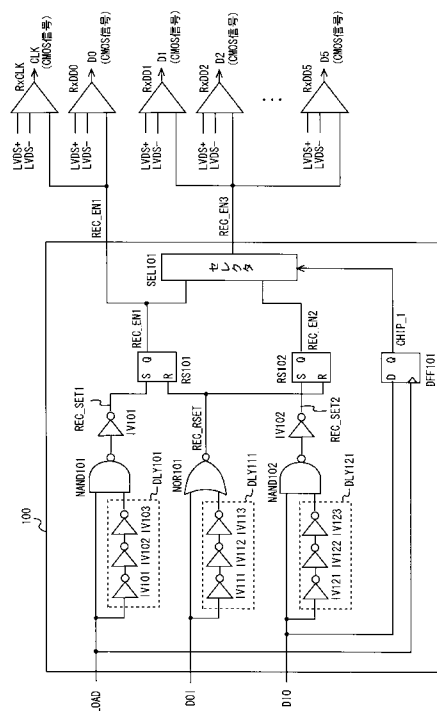
(54) 【発明の名称】 表示装置のソースドライバ及びその制御方法

(57) 【要約】

【課題】消費電力が大きかった。

【解決手段】本発明は、カスケード接続され、前段から入力するカスケード信号に対応して所定の期間、コントローラからmini-LVDSインターフェイスで伝送される複数の信号に応じて表示装置の信号線を駆動するソースドライバであって、前記複数の信号のうち第1の信号を受信する第1の受信回路と、前記複数の信号のうち第2の信号を受信する第2の受信回路と、前記第1及び第2の受信回路を、それぞれアクティブ状態もしくはスタンバイ状態に制御するイネーブル制御回路と、を有し、前記イネーブル制御回路は、前記前段から入力するカスケード信号に応じて、前記第2の受信回路をアクティブ状態にし、当該ソースドライバが次段に出力するカスケード信号に応じて前記第1及び第2の受信回路をスタンバイ状態とするソースドライバである。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

カスケード接続され、前段から入力するカスケード信号に対応して所定の期間、コントローラからmini-LVDSインターフェイスで伝送される複数の信号に応じて表示装置の信号線を駆動するソースドライバであって、

前記複数の信号のうち第1の信号を受信する第1の受信回路と、

前記複数の信号のうち第2の信号を受信する第2の受信回路と、

前記第1及び第2の受信回路を、それぞれアクティブ状態もしくはスタンバイ状態に制御するイネーブル制御回路と、を有し、

前記イネーブル制御回路は、前記前段から入力するカスケード信号に応じて、前記第2の受信回路をアクティブ状態にし、当該ソースドライバが次段に出力するカスケード信号に応じて前記第1及び第2の受信回路をスタンバイ状態とするソースドライバ。

10

【請求項 2】

前記イネーブル制御回路は、当該ソースドライバを起動させるための起動信号を前記コントローラから入力すると、前記起動信号に応じて前記第1の受信回路をアクティブ状態とする

請求項1に記載のソースドライバ。

【請求項 3】

前記起動信号は、1水平期間毎に出力されるストローク信号である

20

請求項2に記載のソースドライバ。

【請求項 4】

前記第1の受信回路が受信する第1の信号は、当該ソースドライバの動作クロックを生成するためのクロック信号である

請求項1～請求項3のいずれか1項に記載のソースドライバ。

【請求項 5】

前記第1の受信回路が受信する第1の信号は、当該ソースドライバをリセットするリセットデータ信号が含まれる

請求項1～請求項3のいずれか1項に記載のソースドライバ。

30

【請求項 6】

前段から入力するカスケード信号を入力してから所定の期間後に、当該ソースドライバが次段に出力するカスケード信号を生成するカスケード信号生成回路を有する

請求項1～請求項5のいずれか1項に記載のソースドライバ。

【請求項 7】

前記イネーブル制御回路は、第1および第2のRSラッチ回路と、セクタと、を有し、

前記第1のRSラッチ回路は、セット端子に入力する前記起動信号に対応した第1のパルス信号と、リセット端子に入力する前記カスケード信号生成回路が生成した次段に出力するカスケード信号に対応した第2のパルス信号とに応じて、第1のイネーブル信号を生成し、

40

前記第2のRSラッチ回路は、セット端子に入力する前記前段から入力するカスケード信号に応じた第3のパルス信号と、リセット端子に入力する前記第2のパルス信号とに応じて、第2のイネーブル信号を生成し、

前記セクタは、前記起動信号と前記前段から入力するカスケード信号とに応じたセレクト信号に応じて、前記第1もしくは第2のイネーブル信号を選択して第3のイネーブル信号として出力し、

前記第1のイネーブル信号は、前記第1の受信回路をアクティブ状態もしくはスタンバイ状態に制御し、

前記第3のイネーブル信号は、前記第2の受信回路をアクティブ状態もしくはスタンバイ状態に制御する

50

請求項 1 ~ 請求項 6 のいずれか 1 項に記載のソースドライバ。

【請求項 8】

カスケード接続され、前段が出力するカスケード信号が活性化されると、所定の期間、コントローラから *mini-LVDS* インターフェイスで伝送される複数の信号に応じて表示装置の信号線を駆動するソースドライバの制御方法であって、

前記ソースドライバが前記複数の信号のうち第 1 の信号を受信する第 1 の受信回路と、前記複数の信号のうち第 2 の信号を受信する第 2 の受信回路と、を有しており、

前記前段が出力するカスケード信号に応じて、前記第 2 の受信回路をアクティブ状態にし、前記ソースドライバが次段に出力するカスケード信号に応じて前記第 1 及び第 2 の受信回路をスタンバイ状態とする

ソースドライバの制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置のソースドライバ及びその制御方法に関するものである。

【背景技術】

【0002】

液晶ディスプレイ等の平面表示装置は、近年大型化が進んでいる。大型平面表示装置は、ソースドライバと呼ばれる IC (Integrated Circuit) を用いて信号線を駆動する。1 つあたりのソースドライバにより駆動可能な信号線には限界がある。よって、大型化や高精細化が進んだ平面表示装置には、図 6 に示すようにカスケード接続された複数のソースドライバを有しており、順次複数のソースドライバを動作させ、1 水平ライン分の全信号線を駆動する。

【0003】

図 6 に示すように平面表示装置 1 は、コントローラ 11 と、ソースドライバ IC 1 ~ IC 4 と、ディスプレイ 12 とを有する。コントローラ 11 は、クロック信号 CLK と、ロード信号 LOAD と、データ信号 DD0 ~ DD5 を各ソースドライバに送信している。クロック信号 CLK は、ソースドライバ IC 1 ~ IC 4 の動作クロックを生成するための信号である。データ信号 DD0 ~ DD5 は、画素データである。ソースドライバ IC 1 ~ IC 4 は、このデータ信号 DD0 ~ DD5 に応じた画素駆動信号をディスプレイ 12 に出力する。ロード信号 LOAD は、順次ソースドライバ IC 1 ~ IC 4 が行うデータ信号 DD0 ~ DD5 の取り込み動作を行わせるストロブ信号である。このロード信号 LOAD は、1 水平期間毎にコントローラ 11 からソースドライバ IC 1 ~ IC 4 に出力される。なお、図 6 の例では図面の簡略化のためソースドライバを 4 つに限定しているが、更に複数であってもよい。

【0004】

各ソースドライバは、クロック信号 CLK と、ロード信号 LOAD と、データ信号 DD0 ~ DD5 を入力する。各ソースドライバは、画素データであるデータ信号 DD0 ~ DD5 を順次ラッチする。各ソースドライバが行うデータ信号 DD0 ~ DD5 のラッチ動作は、前段ソースドライバから出力されるカスケード信号 DOI に応じて行われる。但し、初段ソースドライバは、電源電圧端子 VDD からハイレベルの論理信号を前段のカスケード信号 DOI として入力する。

【0005】

上述したように大型化や高精細化が進んでおり、1 水平ラインの画素数も増大化している。このため、コントローラと各ソースドライバ間を伝送するデータ信号等の高速転送が必要となっている。液晶ディスプレイでは、このコントローラと各ソースドライバ間高速転送用のインターフェイスとして *mini-LVDS* が一般的に用いられている。この *mini-LVDS* のインターフェイス規格は、図 7 に示すような、LVDS (Low voltage differential signaling) で、データ信号やクロック信号を送信回路、受信回路間で行き取りする。

10

20

30

40

50

【 0 0 0 6 】

図 7 に示すように、L V D S ではコントローラ 1 0 が有する送信回路 T x と、ソースドライバ I C 1 ~ I C 4 が有する受信回路 R x 間を、差動信号が流れる信号バス L V D S +、L V D S - で伝送する。送信回路 T x は、信号バス L V D S +、終端抵抗 R 1、L V D S - 間に電流を流し、受信回路 R x は、終端抵抗 R 1 の両端に生じる電位差の極性に依りて受信信号の論理値を判定する。このような構成とすることで、信号バス L V D S +、L V D S - 間のカップリングにより E M I (Electro Magnetic Interference) 等のノイズ対策が行える。

【 0 0 0 7 】

図 8 に、ソースドライバ I C 1 ~ I C 4 のブロック構成図を示す。なお、ソースドライバ I C 1 ~ I C 4 は、基本的に同様の構成であるため、以下ではソースドライバ I C 1 の構成を説明する。図 8 に示すように、ソースドライバ I C 1 は、受信回路 R x D D 0 ~ R x D D 5、R x C L K と、イネーブル制御回路 2 1 と、4 分周回路 2 2 と、D O I 信号生成回路 2 3 と、データレジスタ 2 4 とを有する。

【 0 0 0 8 】

受信回路 R x D D 0 ~ R x D D 5、R x C L K は、それぞれ図 7 の受信回路 R x のようにコントローラ 1 1 からの V L D S 信号を受信する。受信回路 R x D D 0 ~ R x D D 5、R x C L K は、それぞれ V L D S 信号であるデータ信号 D D 0 ~ D D 5、クロック信号 C L K を受信する。なお、受信回路 R x D D 0 ~ R x D D 5、R x C L K は、受信した信号を C M O S 信号レベルにして後段回路に出力する。

【 0 0 0 9 】

イネーブル制御回路 2 1 は、受信回路 R x D D 0 ~ R x D D 5、R x C L K をアクティブもしくはスタンバイとするようイネーブル信号 R E C _ E N により制御する。構成は後述する。

【 0 0 1 0 】

4 分周回路 2 2 は、受信回路 R x C L K が出力した C M O S 信号レベルのクロック信号 C L K を 4 分周する。この 4 分周化されたクロック信号は、ソースドライバ I C 1 の内部の動作クロックとして利用される。このことにより、ソースドライバ I C 1 は、消費電力を低減している。以下、4 分周化されたクロック信号を内部動作クロック信号と称す。また、4 分周回路 2 2 も、イネーブル制御回路 2 1 のイネーブル信号 R E C _ E N に依りてアクティブもしくはスタンバイが制御される。

【 0 0 1 1 】

D O I 信号生成回路 2 3 は、例えば、ハイレベルのカスケード信号 D I O を入力すると、所定のクロック数後に、所定の期間ハイレベルのカスケード信号 D O I を出力する。D O I 信号生成回路 2 3 は、シフトレジスタ 3 0 を有する。シフトレジスタ 3 0 は、受信回路 R x C L K が出力したクロック信号 C L K を、所定のクロック数カウントする。D O I 信号生成回路 2 3 の動作の一例を以下に簡単に説明する。

【 0 0 1 2 】

D O I 信号生成回路 2 3 は、ハイレベルのカスケード信号 D I O を入力すると、シフトレジスタ 3 0 を動作させ、シフトレジスタ 3 0 が所定のクロック数をカウントしたらハイレベルのカスケード信号 D O I を所定の期間出力する。このカスケード信号 D O I がハイレベルとなる所定の期間は、例えば、動作クロック 1 周期分である。

【 0 0 1 3 】

ここで、イネーブル制御回路 2 1 の構成を図 9 に示す。図 9 に示すように、イネーブル制御回路 2 1 は、ディレイ回路 D L Y 1、D L Y 2 と、N A N D 回路 N A N D 1 と、N O R 回路 N O R 1 と、インバータ回路 I V 1 と、R S ラッチ回路 R S 1 とを有する。

【 0 0 1 4 】

ディレイ回路 D L Y 1 は、インバータ回路 I V 1 1 ~ I V 1 3 を有する。インバータ回路 I V 1 1 ~ I V 1 3 は、それぞれ順に直列接続されたインバータチェーンを構成する。初段のインバータ回路 I V 1 1 は、ロード信号 L O A D を入力する。そして、所定の期間

10

20

30

40

50

遅延したロード信号 $LOAD$ を最終段のインバータ回路 $IV13$ が出力する。

【0015】

$NAND$ 回路 $NAND1$ は、一方の入力にロード信号 $LOAD$ 、他方の入力にインバータ回路 $IV13$ が出力する所定の期間遅延したロード信号 $LOAD$ を入力する。そして、その演算結果をインバータ回路 $IV1$ に出力する。インバータ回路 $IV1$ は、 $NAND$ 回路 $NAND1$ の出力信号を反転し、 REC_SET 信号として出力する。よって、 REC_SET 信号は、ロード信号 $LOAD$ の立ち上がりエッジから、ディレイ回路 $DLY1$ で発生する遅延量分ハイレベルとなるパルス信号となる。

【0016】

ディレイ回路 $DLY2$ は、インバータ回路 $IV21 \sim IV23$ を有する。インバータ回路 $IV21 \sim IV23$ は、それぞれ順に直列接続されたインバータチェーンを構成する。初段のインバータ回路 $IV21$ は、カスケード信号 DOI を入力する。そして、所定の期間遅延したカスケード信号 DOI を最終段のインバータ回路 $IV23$ が出力する。

10

【0017】

NOR 回路 $NOR1$ は、一方の入力にカスケード信号 DOI 、他方の入力にインバータ回路 $IV23$ が出力する所定の期間遅延したカスケード信号 DOI を入力する。そして、その演算結果を REC_RSET 信号として出力する。よって、 REC_RSET 信号は、カスケード信号 DOI の立ち下がりエッジから、ディレイ回路 $DLY2$ で発生する遅延量分ハイレベルとなるパルス信号となる。

20

【0018】

RS ラッチ回路 $RS1$ は、セット端子 S に REC_SET 信号を入力し、リセット端子 R に REC_RSET 信号を入力する。そして、 REC_SET 信号、 REC_RSET 信号に応じて、イネーブル信号 REC_EN を出力する。更に詳細には、 RS ラッチ回路 $RS1$ は、ハイレベルの REC_SET 信号が入力されると出力端子 Q からハイレベルのイネーブル信号 REC_EN を出力し、ハイレベルの REC_RSET 信号が入力されると出力端子 Q からロウレベルのイネーブル信号 REC_EN を出力する。

30

【0019】

図10に、受信回路 $RxD0 \sim RxD5$ 、 $RxCCLK$ の回路構成を示す。なお、受信回路 $RxD0 \sim RxD5$ 、 $RxCCLK$ は、基本的に同様の構成であるため、以下では受信回路 $RxD0$ の構成を説明する。図10に示すように、 $PMOS$ トランジスタ $MP1 \sim MP6$ と、 $NMOS$ トランジスタ $MN1 \sim MN8$ と、 $NAND$ 回路 $NAND31$ と、インバータ回路 $IV31$ と、電流源 $CC31$ とを有する。

40

【0020】

電流源 $CC31$ と、 $PMOS$ トランジスタ $MP1 \sim MP2$ とで、 LVD 信号を入力する差動段が構成される。 $PMOS$ トランジスタ $MP3 \sim MP6$ と、 $NMOS$ トランジスタ $MN5 \sim MN8$ とで、上記差動段からの信号を増幅する増幅段が構成される。この増幅段からは、 $CMOS$ レベルの信号が出力される。

【0021】

イネーブル信号 REC_EN がハイレベルの場合、 LVD 信号が $CMOS$ レベルの信号となって出力される。逆に、イネーブル信号 REC_EN がロウレベルの場合、 $NMOS$ トランジスタ $MN1 \sim MN4$ は、電源電圧端子 VDD と接地電圧端子 VSS 間の電流経路を遮断する。また、ロウレベルのイネーブル信号 REC_EN により $NAND$ 回路 $NAND31$ の出力がハイレベルに固定される。このため、インバータ回路 $IV31$ の出力、つまり、受信回路 $RxD0$ の出力がロウレベルに固定され受信回路 $RxD0$ がスタンバイとなる。つまり、受信回路 $RxD0$ は、イネーブル信号 REC_EN に応じて、アクティブ、スタンバイを制御される。

40

【0022】

図11～図13に、ソースドライバ $IC1 \sim IC4$ の動作を示すタイミングチャートを示す。なお、図11～図13の時間で同一符号のものは、同一の時刻を示すものとする。また、時刻 $t1$ 以前では、全てのソースドライバの受信回路 $RxCCLK$ 、 $RxD0 \sim R$

50

× D D 5 がスタンバイ状態であるとする。

【 0 0 2 3 】

時刻 t_1 において、ハイレベルのロード信号 L O A D がソースドライバ I C 1 ~ I C 4 に入力される。それぞれのソースドライバのイネーブル制御回路 2 1 において、このロード信号 L O A D の立ち上がりエッジに応じて、パルス信号の R E C _ S E T 信号が生成される。この R E C _ S E T 信号により、ハイレベルのイネーブル信号 R E C _ E N が R S ラッチ回路 R S 1 から出力される。そして、このイネーブル信号 R E C _ E N に応じて、それぞれのソースドライバの受信回路 R x C L K 、 R x D D 0 ~ R x D D 5 がアクティブ状態となる。

【 0 0 2 4 】

時刻 t_2 において、全てのソースドライバが、ハイレベルのデータ信号 D D 0 をリセットデータ R S T として取り込む。 m i n i - L V D S インターフェイスでは、受信回路 R x がアクティブ状態になった後、クロック信号 C L K の 4 周期分 (期間 T 1) ハイレベルのデータ信号 D D 0 を上記リセットデータ R S T としている。

【 0 0 2 5 】

それぞれのソースドライバは、リセットデータ R S T を受信後、時刻 t_3 のタイミングで、4 分周回路 2 2 から内部動作クロック信号を出力する。この内部動作クロック信号に応じてそれぞれのソースドライバが動作を行う。また、ソースドライバ I C 1 は、カスケード信号 D I O がハイレベルであるため、クロック信号 C L K の立ち上がり、立ち下がりエッジのタイミングでデータ信号 D D 0 ~ D D 5 のデータの取り込みを開始する。ここで、上述のようにデータの取り込みがクロック信号 C L K の立ち上がり、立ち下がりエッジのタイミングで行われるため、データ信号線 1 つあたり、内部動作クロック 1 周期で 8 ビットのデータが取り込まれる。

【 0 0 2 6 】

ここで、1 つのソースドライバあたり、 $(m \times 6) / 8$ 本 ($m : 4$ の倍数) の画素信号線を駆動する場合、クロック信号 C L K の m 回目のエッジタイミングで、この 1 つのソースドライバのデータ取り込みが完了する。このため、ソースドライバ I C 1 は、時刻 t_3 の 1 回目のクロック信号 C L K のエッジから時刻 t_5 の m 回目のクロック信号 C L K のエッジまでの期間、エッジ毎にデータ信号 D D 0 ~ D D 5 のデータを取り込むことになる。

【 0 0 2 7 】

時刻 t_4 で、ソースドライバ I C 1 のシフトレジスタ 3 0 が $m - 3$ 回目のクロック信号 C L K のエッジをカウントし、所定のカウンタ数になったことを D O I 信号生成回路 2 3 に知らせる。そして、ソースドライバ I C 1 の D O I 信号生成回路 2 3 は、このタイミングでカスケード信号 D O I をハイレベルに立ち上げる。なお、このソースドライバ I C 1 のカスケード信号 D O I は、ソースドライバ I C 2 のカスケード信号 D I O となる。

【 0 0 2 8 】

時刻 t_4 から内部動作クロックの 1 周期分後の時刻 t_7 でソースドライバ I C 1 の D O I 信号生成回路 2 3 が、カスケード信号 D O I をロウレベルに立ち下げる。また、ソースドライバ I C 1 のイネーブル制御回路 2 1 では、この立ち下がりエッジに応じ、パルス信号の R E C _ R S E T 信号が生成される。この R E C _ R S E T 信号により、ロウレベルのイネーブル信号 R E C _ E N が R S ラッチ回路 R S 1 から出力される。そして、このロウレベルのイネーブル信号 R E C _ E N に応じて、ソースドライバ I C 1 の受信回路 R x C L K 、 R x D D 0 ~ R x D D 5 がスタンバイ状態となる。また、内部動作クロックを生成する 4 分周回路 2 2 もスタンバイ状態となる。よって、ソースドライバ I C 1 がスタンバイ状態となる。

【 0 0 2 9 】

一方、ハイレベルのカスケード信号 D I O を入力したソースドライバ I C 2 では、時刻 t_6 の内部動作クロックの立ち上がりエッジから、クロック信号 C L K のエッジ毎にデータ信号 D D 0 ~ D D 5 のデータを取り込み始める。なお、時刻 t_6 のクロック信号 C L K のエッジは、 $m + 1$ 回目である。よって、ソースドライバ I C 2 は、時刻 t_6 の $m + 1$ 回

10

20

30

40

50

目のクロック信号 C L K のエッジから時刻 t_9 の $2m$ 回目のクロック信号 C L K のエッジまでの期間、エッジ毎にデータ信号 D D 0 ~ D D 5 のデータを取り込む。また、時刻 t_6 から、ソースドライバ I C 2 のシフトレジスタ 3 0 が、クロック信号 C L K のエッジのカウントを開始する。

【 0 0 3 0 】

時刻 t_8 で、ソースドライバ I C 2 のシフトレジスタ 3 0 が $m - 3$ 回目のクロック信号 C L K のエッジをカウントし、所定のカウンタ数になったことを D O I 信号生成回路 2 3 に知らせる。そして、ソースドライバ I C 2 の D O I 信号生成回路 2 3 は、このタイミングでカスケード信号 D O I をハイレベルに立ち上げる。なお、このソースドライバ I C 2 のカスケード信号 D O I は、ソースドライバ I C 3 のカスケード信号 D I O となる。

10

【 0 0 3 1 】

時刻 t_8 から内部動作クロックの 1 周期分後の時刻 t_{11} でソースドライバ I C 2 の D O I 信号生成回路 2 3 が、カスケード信号 D O I をロウレベルに立ち下げる。また、ソースドライバ I C 2 のイネーブル制御回路 2 1 では、この立ち下がりエッジに応じ、パルス信号の R E C _ R S E T 信号が生成される。この R E C _ R S E T 信号により、ロウレベルのイネーブル信号 R E C _ E N が R S ラッチ回路 R S 1 から出力される。そして、このロウレベルのイネーブル信号 R E C _ E N に応じて、ソースドライバ I C 2 の受信回路 R x C L K、R x D D 0 ~ R x D D 5 がスタンバイ状態となる。また、内部動作クロックを生成する 4 分周回路 2 2 もスタンバイ状態となる。よって、ソースドライバ I C 2 がスタンバイ状態となる。

20

【 0 0 3 2 】

以下、ソースドライバ I C 3、I C 4 も同様の動作を行う。つまり、ハイレベルのカスケード信号 D I O を入力したソースドライバ I C 3 では、時刻 t_{10} の内部動作クロックの立ち上がりエッジから、クロック信号 C L K のエッジ毎にデータ信号 D D 0 ~ D D 5 のデータを取り込み始める。なお、時刻 t_{10} のクロック信号 C L K のエッジは、 $2m + 1$ 回目である。よって、ソースドライバ I C 3 は、時刻 t_{10} の $2m + 1$ 回目のクロック信号 C L K のエッジから時刻 t_{13} の $3m$ 回目のクロック信号 C L K のエッジまでの期間、エッジ毎にデータ信号 D D 0 ~ D D 5 のデータを取り込む。また、時刻 t_{10} から、ソースドライバ I C 3 のシフトレジスタ 3 0 が、クロック信号 C L K のエッジのカウントを開始する。

30

【 0 0 3 3 】

時刻 t_{12} で、ソースドライバ I C 3 のシフトレジスタ 3 0 が $m - 3$ 回目のクロック信号 C L K のエッジをカウントし、所定のカウンタ数になったことを D O I 信号生成回路 2 3 に知らせる。そして、ソースドライバ I C 3 の D O I 信号生成回路 2 3 は、このタイミングでカスケード信号 D O I をハイレベルに立ち上げる。なお、このソースドライバ I C 3 のカスケード信号 D O I は、ソースドライバ I C 4 のカスケード信号 D I O となる。

【 0 0 3 4 】

時刻 t_{12} から内部動作クロックの 1 周期分後の時刻 t_{15} でソースドライバ I C 3 の D O I 信号生成回路 2 3 が、カスケード信号 D O I をロウレベルに立ち下げる。また、ソースドライバ I C 3 のイネーブル制御回路 2 1 では、この立ち下がりエッジに応じ、パルス信号の R E C _ R S E T 信号が生成される。この R E C _ R S E T 信号により、ロウレベルのイネーブル信号 R E C _ E N が R S ラッチ回路 R S 1 から出力される。そして、このロウレベルのイネーブル信号 R E C _ E N に応じて、ソースドライバ I C 3 の受信回路 R x C L K、R x D D 0 ~ R x D D 5 がスタンバイ状態となる。また、内部動作クロックを生成する 4 分周回路 2 2 もスタンバイ状態となる。よって、ソースドライバ I C 3 がスタンバイ状態となる。

40

【 0 0 3 5 】

ハイレベルのカスケード信号 D I O を入力したソースドライバ I C 4 では、時刻 t_{14} の内部動作クロックの立ち上がりエッジから、クロック信号 C L K のエッジ毎にデータ信号 D D 0 ~ D D 5 のデータを取り込み始める。なお、時刻 t_{14} のクロック信号 C L K の

50

エッジは、 $3m + 1$ 回目である。よって、ソースドライバ IC 4 は、時刻 t_{14} の $3m + 1$ 回目のクロック信号 CLK のエッジから時刻 t_{17} の $4m$ 回目のクロック信号 CLK のエッジまでの期間、エッジ毎にデータ信号 $DD0 \sim DD5$ のデータを取り込む。また、時刻 t_{14} から、ソースドライバ IC 4 のシフトレジスタ 30 が、クロック信号 CLK のエッジのカウントを開始する。

【0036】

時刻 t_{16} で、ソースドライバ IC 4 のシフトレジスタ 30 が $m - 3$ 回目のクロック信号 CLK のエッジをカウントし、所定のカウンタ数になったことを DOI 信号生成回路 23 に知らせる。そして、ソースドライバ IC 4 の DOI 信号生成回路 23 は、このタイミングでカスケード信号 DOI をハイレベルに立ち上げる。なお、このソースドライバ IC 4 のカスケード信号 DOI は、次段のソースドライバのカスケード信号 DIO となる。

10

【0037】

時刻 t_{16} から内部動作クロックの 1 周期分後の時刻 t_{19} でソースドライバ IC 4 の DOI 信号生成回路 23 が、カスケード信号 DOI をロウレベルに立ち下げる。また、ソースドライバ IC 4 のイネーブル制御回路 21 では、この立ち下がりエッジに応じ、パルス信号の REC__RESET 信号が生成される。この REC__RESET 信号により、ロウレベルのイネーブル信号 REC__EN が RS ラッチ回路 RS1 から出力される。そして、このロウレベルのイネーブル信号 REC__EN に応じて、ソースドライバ IC 4 の受信回路 $R \times CLK$ 、 $R \times DD0 \sim R \times DD5$ がスタンバイ状態となる。また、内部動作クロックを生成する 4 分周回路 22 もスタンバイ状態となる。よって、ソースドライバ IC 4 がスタンバイ状態となる。

20

【0038】

なお、ソースドライバがカスケード接続された液晶表示装置の技術が特許文献 1 に開示されている。

【先行技術文献】

【特許文献】

【0039】

【特許文献 1】特開 2005 - 284217 号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0040】

ここで、従来の平面表示装置 1 において、ソースドライバ IC 1 ~ IC 4 の受信回路 $R \times CLK$ 、 $R \times DD0 \sim R \times DD5$ は、図 11 ~ 図 13 に示すように時刻 t_1 からアクティブ状態となっている。これは、mini-LVDS インターフェイス規格上、クロック信号 CLK やリセットデータ RST を受信する各ソースドライバの受信回路 $R \times DD0$ 、 $R \times CLK$ が時刻 t_1 からアクティブ状態となることに起因する。

【0041】

しかし、カスケード接続されたソースドライバ IC 1 ~ IC 4 は、ハイレベルのカスケード信号 DIO が入力されるまでは、受信回路 $R \times DD0$ 、 $R \times CLK$ 以外の受信回路 $R \times DD1 \sim R \times DD5$ がアクティブ状態となる必要がなく、不要な電力が消費されていることになる。しかも、スタンバイ状態のソースドライバにおいて、高精細化、大型化した液晶ディスプレイ装置等において、ソースドライバの消費電力は大きくなる一方である。このため、ソースドライバの消費電力の低減化のため、上記のような無駄な消費電力を削減する必要がある。

40

【課題を解決するための手段】

【0042】

本発明は、カスケード接続され、前段から入力するカスケード信号に対応して所定の期間、コントローラから mini-LVDS インターフェイスで伝送される複数の信号に応じて表示装置の信号線を駆動するソースドライバであって、前記複数の信号のうち第 1 の信号を受信する第 1 の受信回路と、前記複数の信号のうち第 2 の信号を受信する第 2 の受

50

信回路と、前記第 1 及び第 2 の受信回路を、それぞれアクティブ状態もしくはスタンバイ状態に制御するイネーブル制御回路と、を有し、前記イネーブル制御回路は、前記前段から入力するカスケード信号に応じて、前記第 2 の受信回路をアクティブ状態にし、当該ソースドライバが次段に出力するカスケード信号に応じて前記第 1 及び第 2 の受信回路をスタンバイ状態とするソースドライバである。

【0043】

本発明にかかるソースドライバによれば、前段から入力するカスケード信号に応じて、第 2 の受信回路をアクティブ状態にし、当該ソースドライバが次段に出力するカスケード信号に応じて第 2 の受信回路をスタンバイ状態とすることができる。このため、カスケード接続されたソースドライバにおいて、アクティブ状態となる必要がない期間、第 2 の受信回路をスタンバイ状態とし、ソースドライバの消費電力を削減することができる。

10

【発明の効果】

【0044】

本発明にかかるソースドライバによれば、消費電力の低減化が可能となる。

【図面の簡単な説明】

【0045】

【図 1】実施の形態にかかるソースドライバのブロック構成の一例である。

【図 2】実施の形態にかかるソースドライバのイネーブル制御回路の一例である。

【図 3】実施の形態にかかる表示装置の動作を説明するタイミングチャートである。

【図 4】実施の形態にかかる表示装置の動作を説明するタイミングチャートである。

20

【図 5】実施の形態にかかる表示装置の動作を説明するタイミングチャートである。

【図 6】一般的な表示装置のブロック構成である。

【図 7】L V D S インターフェイスを説明するための回路図である。

【図 8】従来のソースドライバのブロック構成である。

【図 9】従来のソースドライバのイネーブル制御回路である。

【図 10】受信回路の回路構成である。

【図 11】従来の表示装置の動作を説明するタイミングチャートである。

【図 12】従来の表示装置の動作を説明するタイミングチャートである。

【図 13】従来の表示装置の動作を説明するタイミングチャートである。

30

【発明を実施するための形態】

【0046】

発明の実施の形態

【0047】

以下、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。この実施の形態は、本発明を液晶表示装置のソースドライバ I C 1 0 1 ~ I C 1 0 4 に適用したものである。なお、液晶表示装置のブロック構成は、図 6 と同様なため説明は省略する。よって、図 6 のソースドライバ I C 1 ~ I C 4 が、本実施の形態のソースドライバ I C 1 0 1 ~ I C 1 0 4 に置き換えられた構成となっている。

【0048】

ソースドライバ I C 1 0 1 ~ I C 1 0 4 のブロック構成図を示す。なお、ソースドライバ I C 1 0 1 ~ I C 1 0 4 は、同様の構成であるため、以下ではソースドライバ I C 1 0 1 の構成を説明する。

40

【0049】

図 1 に示すように、ソースドライバ I C 1 0 1 は、受信回路 R x D D 0 ~ R x D D 5、R x C L K と、イネーブル制御回路 1 0 0 と、4 分周回路 2 2 と、D O I 信号生成回路 2 3 と、データレジスタ 2 4 とを有する。なお、図 1 に示された符号のうち、図 8 と同じ符号を付した構成は、図 8 と同じか又は類似の構成を示している。ソースドライバ I C 1 0 1 とソースドライバ I C 1 とで異なる点はイネーブル制御回路 1 0 0 である。よって、本実施の形態では、その部分を重点的に説明する。

【0050】

50

図 1 に示すように、イネーブル制御回路 100 が、後述するイネーブル信号 REC__EN1 と REC__EN3 とを出力する。そのイネーブル信号 REC__EN1 が受信回路 RxCCLK と RxD D0 に入力される。また、イネーブル信号 REC__EN3 が受信回路 RxD D1 ~ RxD D5 に入力される。以後、本実施の形態では、本発明の特徴部分であるイネーブル制御回路 100 を中心に説明を行う。

【0051】

イネーブル制御回路 100 の構成を図 2 に示す。図 2 に示すように、イネーブル制御回路 100 は、ディレイ回路 DLY101、DLY111、DLY121 と、NAND 回路 NAND101、102 と、NOR 回路 NOR101 と、インバータ回路 IV101、IV102 と、RS ラッチ回路 RS101、RS102 と、D フリップフロップ DFF101 と、セクタ SEL101 とを有する。

10

【0052】

ディレイ回路 DLY101 は、インバータ回路 IV101 ~ IV103 を有する。インバータ回路 IV101 ~ IV103 は、それぞれ順に直列接続されたインバータチェーンを構成する。初段のインバータ回路 IV101 は、ロード信号 LOAD を入力する。そして、所定の期間遅延したロード信号 LOAD を最終段のインバータ回路 IV103 が出力する。

【0053】

NAND 回路 NAND101 は、一方の入力にロード信号 LOAD、他方の入力にインバータ回路 IV103 が出力する所定の期間遅延したロード信号 LOAD を入力する。そして、その演算結果をインバータ回路 IV101 に出力する。インバータ回路 IV101 は、NAND 回路 NAND101 の出力信号を反転し、REC__SET1 信号として出力する。よって、REC__SET1 信号は、ロード信号 LOAD の立ち上がりエッジから、ディレイ回路 DLY101 で発生する遅延量分ハイレベルとなるパルス信号となる。

20

【0054】

ディレイ回路 DLY111 は、インバータ回路 IV111 ~ IV113 を有する。インバータ回路 IV111 ~ IV113 は、それぞれ順に直列接続されたインバータチェーンを構成する。初段のインバータ回路 IV111 は、カスケード信号 DOI を入力する。そして、所定の期間遅延したカスケード信号 DOI を最終段のインバータ回路 IV113 が出力する。

30

【0055】

NOR 回路 NOR101 は、一方の入力にカスケード信号 DOI、他方の入力にインバータ回路 IV113 が出力する所定の期間遅延したカスケード信号 DOI を入力する。そして、その演算結果を REC__RSET 信号として出力する。よって、REC__RSET 信号は、カスケード信号 DOI の立ち下がりエッジから、ディレイ回路 DLY111 で発生する遅延量分ハイレベルとなるパルス信号となる。

【0056】

ディレイ回路 DLY121 は、インバータ回路 IV121 ~ IV123 を有する。インバータ回路 IV121 ~ IV123 は、それぞれ順に直列接続されたインバータチェーンを構成する。初段のインバータ回路 IV121 は、カスケード信号 DIO を入力する。そして、所定の期間遅延したカスケード信号 DIO を最終段のインバータ回路 IV123 が出力する。

40

【0057】

NAND 回路 NAND103 は、一方の入力にカスケード信号 DIO、他方の入力にインバータ回路 IV123 が出力する所定の期間遅延したカスケード信号 DIO を入力する。そして、その演算結果をインバータ回路 IV102 に出力する。インバータ回路 IV102 は、NAND 回路 NAND102 の出力信号を反転し、REC__SET2 信号として出力する。よって、REC__SET2 信号は、カスケード信号 DIO の立ち上がりエッジから、ディレイ回路 DLY121 で発生する遅延量分ハイレベルとなるパルス信号となる。

50

【 0 0 5 8 】

R S ラッチ回路 R S 1 0 1 は、セット端子 S に R E C _ S E T 1 信号を入力し、リセット端子 R に R E C _ R S E T 信号を入力する。そして、R E C _ S E T 1 信号、R E C _ R S E T 信号に応じて、イネーブル信号 R E C _ E N 1 を出力する。更に詳細には、R S ラッチ回路 R S 1 0 1 は、ハイレベルの R E C _ S E T 1 信号が入力されると出力端子 Q からハイレベルのイネーブル信号 R E C _ E N 1 を出力し、ハイレベルの R E C _ R S E T 信号が入力されると出力端子 Q からロウレベルのイネーブル信号 R E C _ E N 1 を出力する。

【 0 0 5 9 】

R S ラッチ回路 R S 1 0 2 は、セット端子 S に R E C _ S E T 2 信号を入力し、リセット端子 R に R E C _ R S E T 信号を入力する。そして、R E C _ S E T 2 信号、R E C _ R S E T 信号に応じて、イネーブル信号 R E C _ E N 2 を出力する。更に詳細には、R S ラッチ回路 R S 1 0 2 は、ハイレベルの R E C _ S E T 2 信号が入力されると出力端子 Q からハイレベルのイネーブル信号 R E C _ E N 2 を出力し、ハイレベルの R E C _ R S E T 信号が入力されると出力端子 Q からロウレベルのイネーブル信号 R E C _ E N 2 を出力する。

【 0 0 6 0 】

D フリップフロップ D F F 1 0 1 は、データ入力端子 D にカスケード信号 D I O 、クロック入力端子にロード信号 L O A D を入力する。ロード信号 L O A D の立ち上がりエッジに応じて、カスケード信号 D I O をラッチする。そして、そのラッチした値をデータ出力端子 Q から C H I P _ 1 信号として出力する。

【 0 0 6 1 】

よって、ソースドライバ I C 1 の D フリップフロップ D F F 1 0 1 は、カスケード信号 D I O が常にハイレベル（電源電圧 V D D ）となっており、ロード信号 L O A D がハイレベルに立ち上がるタイミングで、ハイレベルの C H I P _ 1 信号を出力する。その他のソースドライバ I C 2 ~ I C 4 の D フリップフロップ D F F 1 0 1 は、ロード信号 L O A D がハイレベルに立ち上がるタイミングで、カスケード信号 D I O がロウレベルであるため、ロウレベルの C H I P _ 1 信号を出力する。

【 0 0 6 2 】

セクタ S E L 1 0 1 は、一方の入力にイネーブル信号 R E C _ E N 1 、他方の入力にイネーブル信号 R E C _ E N 2 を入力する。そして、C H I P _ 1 信号の値に応じて、イネーブル信号 R E C _ E N 1 、R E C _ E N 2 のうち 1 つを選択して、イネーブル信号 R E C _ E N 3 信号として出力する。更に詳細には、C H I P _ 1 信号がハイレベル（値が「1」）の場合、イネーブル信号 R E C _ E N 1 をイネーブル信号 R E C _ E N 3 として出力、C H I P _ 1 信号がロウレベル（値が「0」）の場合、イネーブル信号 R E C _ E N 2 をイネーブル信号 R E C _ E N 3 として出力する。ここで、上述したように、C H I P _ 1 信号がハイレベルとなるのは、ソースドライバ I C 1 だけである。よって、ソースドライバ I C 1 だけが、イネーブル信号 R E C _ E N 1 をイネーブル信号 R E C _ E N 3 として出力する。その他のソースドライバ I C 2 ~ I C 4 では、イネーブル信号 R E C _ E N 2 がイネーブル信号 R E C _ E N 3 として出力される。

【 0 0 6 3 】

以上のように、イネーブル制御回路 1 0 0 はイネーブル信号 R E C _ E N 1 及び R E C _ E N 3 を出力する。イネーブル信号 R E C _ E N 1 は、受信回路 R x C L K 、R x D D 0 が入力し、イネーブル信号 R E C _ E N 3 は、受信回路 R x D D 1 ~ R x D D 5 が入力する。よって、受信回路 R x C L K 、R x D D 0 は、イネーブル信号 R E C _ E N 1 に応じて、アクティブ状態、スタンバイ状態が制御される。また、受信回路 R x D D 1 ~ R x D D 5 は、イネーブル信号 R E C _ E N 3 に応じて、アクティブ状態、スタンバイ状態が制御される。

【 0 0 6 4 】

図 3 ~ 図 5 に、本実施の形態のイネーブル制御回路 1 0 0 を有するソースドライバ I C

1 ~ I C 4 の動作を示すタイミングチャートを示す。なお、図 3 ~ 図 5 の時間で同一符号のものは、同一の時刻を示すものとする。また、時刻 t 1 以前では、全てのソースドライバの受信回路 R x C L K、R x D D 0 ~ R x D D 5 がスタンバイ状態であるとする。

【 0 0 6 5 】

時刻 t 1 において、ハイレベルのロード信号 L O A D がソースドライバ I C 1 ~ I C 4 に入力される。それぞれのソースドライバのイネーブル制御回路 1 0 0 において、このロード信号 L O A D の立ち上がりエッジに応じて、パルス信号の R E C _ S E T 1 信号が生成される。この R E C _ S E T 1 信号により、ハイレベルのイネーブル信号 R E C _ E N 1 が R S ラッチ回路 R S 1 0 1 から出力される。そして、このイネーブル信号 R E C _ E N 1 に応じて、全てのソースドライバの受信回路 R x C L K、R x D D 0 がアクティブ状態となる。

10

【 0 0 6 6 】

また、この時刻 t 1 において、ソースドライバ I C 1 の C H I P _ 1 は、ハイレベルである。このことから、セクタ S E L 1 0 1 は、イネーブル信号 R E C _ E N 1 を選択する。このため、ソースドライバ I C 1 のイネーブル信号 R E C _ E N 3 は、上記ハイレベルのイネーブル信号 R E C _ E N 1 となる。よって、ソースドライバ I C 1 の受信回路 R x D D 1 ~ R x D D 5 もアクティブ状態となる。一方、その他の I C 2 ~ I C 4 の C H I P _ 1 は、ロウレベルである。このため、ソースドライバ I C 2 ~ I C 4 のイネーブル信号 R E C _ E N 3 は、上記ロウレベルのイネーブル信号 R E C _ E N 2 となる。よって、ソースドライバ I C 2 ~ I C 4 の受信回路 R x D D 1 ~ R x D D 5 は、スタンバイ状態のままである。

20

【 0 0 6 7 】

時刻 t 2 において、全てのソースドライバの受信回路 R x D D 0 が、ハイレベルのデータ信号 D D 0 をリセットデータ R S T として取り込む。m i n i - L V D S インターフェイスでは、受信回路 R x がアクティブ状態になった後、クロック信号 C L K の 4 周期分 (期間 T 1) ハイレベルのデータ信号 D D 0 を上記リセットデータ R S T としている。全てのソースドライバは、リセットデータ R S T を受信後、時刻 t 3 のタイミングで、4 分周回路 2 2 から内部動作クロック信号を出力する。この内部動作クロック信号に応じてそれぞれのソースドライバが動作を行う。

【 0 0 6 8 】

30

また、ソースドライバ I C 1 は、カスケード信号 D I O がハイレベルであるため、クロック信号 C L K の立ち上がり、立ち下がりエッジのタイミングでデータ信号 D D 0 ~ D D 5 のデータの取り込みを開始する。ここで、上述のようにデータの取り込みがクロック信号 C L K の立ち上がり、立ち下がりエッジのタイミングで行われるため、データ信号線 1 つあたり、内部動作クロック 1 周期で 8 ビットのデータが取り込まれる。

【 0 0 6 9 】

ここで、1 つのソースドライバあたり、(m x 6) / 8 本 (m : 4 の倍数) の画素信号線を駆動する場合、クロック信号 C L K の m 回目のエッジタイミングで、この 1 つのソースドライバのデータ取り込みが完了する。このため、図 3 に示すように、ソースドライバ I C 1 は、時刻 t 3 の 1 回目のクロック信号 C L K のエッジから時刻 t 5 の m 回目のクロック信号 C L K のエッジまでの期間、エッジ毎にデータ信号 D D 0 ~ D D 5 のデータを取り込むことになる。

40

【 0 0 7 0 】

時刻 t 4 で、ソースドライバ I C 1 のシフトレジスタ 3 0 が m - 3 回目のクロック信号 C L K のエッジをカウントし、所定のカウンタ数になったことを D O I 信号生成回路 2 3 に知らせる。そして、ソースドライバ I C 1 の D O I 信号生成回路 2 3 は、このタイミングでカスケード信号 D O I をハイレベルに立ち上げる。なお、このソースドライバ I C 1 のカスケード信号 D O I は、ソースドライバ I C 2 のカスケード信号 D I O となる。

【 0 0 7 1 】

時刻 t 4 から内部動作クロックの 1 周期分後の時刻 t 7 で、ソースドライバ I C 1 の D

50

O I 信号生成回路 2 3 が、カスケード信号 D O I をロウレベルに立ち下げる。また、ソースドライバ I C 1 のイネーブル制御回路 2 1 では、この立ち下がりエッジに応じ、パルス信号の R E C _ R S E T 信号が生成される。この R E C _ R S E T 信号により、ロウレベルのイネーブル信号 R E C _ E N 1 が R S ラッチ回路 R S 1 0 1 から出力される。そして、このロウレベルのイネーブル信号 R E C _ E N 1 に応じて、ソースドライバ I C 1 の受信回路 R x C L K、R x D D 0 がスタンバイ状態となる。更に、ロウレベルのイネーブル信号 R E C _ E N 1 がイネーブル信号 R E C _ E N 3 としてセクタ S E L 1 0 1 から出力される。このため、受信回路 R x D D 1 ~ R x D D 5 も、同様にスタンバイ状態となる。また、内部動作クロックを生成する 4 分周回路 2 2 もスタンバイ状態となる。よって、ソースドライバ I C 1 がスタンバイ状態となる。

10

【 0 0 7 2 】

一方、ソースドライバ I C 2 は、時刻 t 4 にハイレベルのカスケード信号 D I O を入力する。ソースドライバ I C 2 のイネーブル制御回路 1 0 0 において、このカスケード信号 D I O の立ち上がりエッジに応じて、パルス信号の R E C _ S E T 2 信号が生成される。この R E C _ S E T 2 信号により、ハイレベルのイネーブル信号 R E C _ E N 2 が R S ラッチ回路 R S 1 0 2 から出力される。ここで、上述したようにソースドライバ I C 2 の C H I P _ 1 信号は、ロウレベルである。このため、セクタ S E L 1 0 1 は、イネーブル信号 R E C _ E N 2 を選択している。つまり、R E C _ E N 2 = R E C _ E N 3 である。このため、ソースドライバ I C 2 のイネーブル信号 R E C _ E N 3 も当然、ハイレベルに立ち上がり、ソースドライバ I C 2 の受信回路 R x D D 1 ~ R x D D 5 がアクティブ状態となる。

20

【 0 0 7 3 】

その後、ハイレベルのカスケード信号 D I O を入力したソースドライバ I C 2 では、時刻 t 6 の内部動作クロックの立ち上がりエッジから、クロック信号 C L K のエッジ毎にデータ信号 D D 0 ~ D D 5 のデータを取り込み始める。なお、時刻 t 6 のクロック信号 C L K のエッジは、m + 1 回目である。よって、ソースドライバ I C 2 は、時刻 t 6 の m + 1 回目のクロック信号 C L K のエッジから時刻 t 9 の 2 m 回目のクロック信号 C L K のエッジまでの期間、エッジ毎にデータ信号 D D 0 ~ D D 5 のデータを取り込む。また、時刻 t 6 から、ソースドライバ I C 2 のシフトレジスタ 3 0 が、クロック信号 C L K のエッジのカウントを開始する。

30

【 0 0 7 4 】

時刻 t 8 で、ソースドライバ I C 2 のシフトレジスタ 3 0 が m - 3 回目のクロック信号 C L K のエッジをカウントし、所定のカウンタ数になったことを D O I 信号生成回路 2 3 に知らせる。そして、ソースドライバ I C 2 の D O I 信号生成回路 2 3 は、このタイミングでカスケード信号 D O I をハイレベルに立ち上げる。なお、このソースドライバ I C 2 のカスケード信号 D O I は、ソースドライバ I C 3 のカスケード信号 D I O となる。

【 0 0 7 5 】

時刻 t 8 から内部動作クロックの 1 周期分後の時刻 t 1 1 でソースドライバ I C 2 の D O I 信号生成回路 2 3 が、カスケード信号 D O I をロウレベルに立ち下げる。また、ソースドライバ I C 2 のイネーブル制御回路 2 1 では、この立ち下がりエッジに応じ、パルス信号の R E C _ R S E T 信号が生成される。この R E C _ R S E T 信号により、ロウレベルのイネーブル信号 R E C _ E N 1 が R S ラッチ回路 R S 1 0 1 から出力される。また、R E C _ R S E T 信号により、ロウレベルのイネーブル信号 R E C _ E N 2 が R S ラッチ回路 R S 1 0 1 から出力される。そして、これらのロウレベルのイネーブル信号 R E C _ E N 1 に応じて、ソースドライバ I C 2 の受信回路 R x C L K、R x D D 0 がスタンバイ状態となる。更に、ロウレベルのイネーブル信号 R E C _ E N 2 がイネーブル信号 R E C _ E N 3 としてセクタ S E L 1 0 1 から出力される。このため、受信回路 R x D D 1 ~ R x D D 5 も、同様にスタンバイ状態となる。また、内部動作クロックを生成する 4 分周回路 2 2 もスタンバイ状態となる。よって、ソースドライバ I C 2 がスタンバイ状態となる。

40

50

【 0 0 7 6 】

以下、ソースドライバ I C 3、I C 4 もソースドライバ I C 2 と同様の動作を行う。つまり、図 4（及び図 3）に示すように、ソースドライバ I C 3 は、時刻 t_8 にハイレベルのカスケード信号 D I O を入力する。そして、ソースドライバ I C 3 のイネーブル制御回路 1 0 0 において、このカスケード信号 D I O の立ち上がりエッジに応じて、パルス信号の R E C _ S E T 2 信号が生成される。この R E C _ S E T 2 信号により、ハイレベルのイネーブル信号 R E C _ E N 2 が R S ラッチ回路 R S 1 0 2 から出力される。ソースドライバ I C 3 の C H I P _ 1 信号がロウレベルであるため、セレクト S E L 1 0 1 は、イネーブル信号 R E C _ E N 2 を選択している。つまり、R E C _ E N 2 = R E C _ E N 3 である。このため、ソースドライバ I C 2 のイネーブル信号 R E C _ E N 3 も当然、ハイレベルに立ち上がり、ソースドライバ I C 3 の受信回路 R x D D 1 ~ R x D D 5 がアクティブ状態となる。

10

【 0 0 7 7 】

更に、ハイレベルのカスケード信号 D I O を入力したソースドライバ I C 3 では、時刻 t_{10} の内部動作クロックの立ち上がりエッジから、クロック信号 C L K のエッジ毎にデータ信号 D D 0 ~ D D 5 のデータを取り込み始める。なお、時刻 t_{10} のクロック信号 C L K のエッジは、 $2m + 1$ 回目である。よって、ソースドライバ I C 3 は、時刻 t_{10} の $2m + 1$ 回目のクロック信号 C L K のエッジから時刻 t_{13} の $3m$ 回目のクロック信号 C L K のエッジまでの期間、エッジ毎にデータ信号 D D 0 ~ D D 5 のデータを取り込む。また、時刻 t_{10} から、ソースドライバ I C 3 のシフトレジスタ 3 0 が、クロック信号 C L K のエッジのカウントを開始する。

20

【 0 0 7 8 】

時刻 t_{12} で、ソースドライバ I C 3 のシフトレジスタ 3 0 が $m - 3$ 回目のクロック信号 C L K のエッジをカウントし、所定のカウンタ数になったことを D O I 信号生成回路 2 3 に知らせる。そして、ソースドライバ I C 3 の D O I 信号生成回路 2 3 は、このタイミングでカスケード信号 D O I をハイレベルに立ち上げる。なお、このソースドライバ I C 3 のカスケード信号 D O I は、ソースドライバ I C 4 のカスケード信号 D I O となる。

【 0 0 7 9 】

時刻 t_{12} から内部動作クロックの 1 周期分後の時刻 t_{15} でソースドライバ I C 2 の D O I 信号生成回路 2 3 が、カスケード信号 D O I をロウレベルに立ち下げる。また、ソースドライバ I C 3 のイネーブル制御回路 2 1 では、この立ち下がりエッジに応じ、パルス信号の R E C _ R S E T 信号が生成される。この R E C _ R S E T 信号により、ロウレベルのイネーブル信号 R E C _ E N 1 が R S ラッチ回路 R S 1 0 1 から出力される。また、同じく R E C _ R S E T 信号により、ロウレベルのイネーブル信号 R E C _ E N 2 が R S ラッチ回路 R S 1 0 1 から出力される。そして、ロウレベルのイネーブル信号 R E C _ E N 1 に応じて、ソースドライバ I C 3 の受信回路 R x C L K、R x D D 0 がスタンバイ状態となる。更に、ロウレベルのイネーブル信号 R E C _ E N 2 がイネーブル信号 R E C _ E N 3 としてセレクト S E L 1 0 1 から出力される。このため、受信回路 R x D D 1 ~ R x D D 5 も、スタンバイ状態となる。また、内部動作クロックを生成する 4 分周回路 2 2 もスタンバイ状態となる。よって、ソースドライバ I C 3 がスタンバイ状態となる。

30

40

【 0 0 8 0 】

また、図 5（及び図 4）に示すように、ソースドライバ I C 4 は、時刻 t_{12} にハイレベルのカスケード信号 D I O を入力する。そして、ソースドライバ I C 4 のイネーブル制御回路 1 0 0 において、このカスケード信号 D I O の立ち上がりエッジに応じて、パルス信号の R E C _ S E T 2 信号が生成される。この R E C _ S E T 2 信号により、ハイレベルのイネーブル信号 R E C _ E N 2 が R S ラッチ回路 R S 1 0 2 から出力される。ソースドライバ I C 3 の C H I P _ 1 信号がロウレベルであるため、セレクト S E L 1 0 1 は、イネーブル信号 R E C _ E N 2 を選択している。つまり、R E C _ E N 2 = R E C _ E N 3 である。このため、ソースドライバ I C 2 のイネーブル信号 R E C _ E N 3 も当然、ハイレベルに立ち上がり、ソースドライバ I C 3 の受信回路 R x D D 1 ~ R x D D 5 がアク

50

ティブ状態となる。

【0081】

更に、ハイレベルのカスケード信号DIOを入力したソースドライバIC4では、時刻t14の内部動作クロックの立ち上がりエッジから、クロック信号CLKのエッジ毎にデータ信号DD0~DD5のデータを取り込み始める。なお、時刻t14のクロック信号CLKのエッジは、3m+1回目である。よって、ソースドライバIC4は、時刻t14の3m+1回目のクロック信号CLKのエッジから時刻t17の4m回目のクロック信号CLKのエッジまでの期間、エッジ毎にデータ信号DD0~DD5のデータを取り込む。また、時刻t14から、ソースドライバIC4のシフトレジスタ30が、クロック信号CLKのエッジのカウントを開始する。

10

【0082】

時刻t16で、ソースドライバIC4のシフトレジスタ30がm-3回目のクロック信号CLKのエッジをカウントし、所定のカウンタ数になったことをDOI信号生成回路23に知らせる。そして、ソースドライバIC4のDOI信号生成回路23は、このタイミングでカスケード信号DOIをハイレベルに立ち上げる。なお、このソースドライバIC4のカスケード信号DOIは、次段のソースドライバのカスケード信号DIOとなる。

【0083】

時刻t16から内部動作クロックの1周期分後の時刻t19でソースドライバIC4のDOI信号生成回路23が、カスケード信号DOIをロウレベルに立ち下げる。また、ソースドライバIC4のイネーブル制御回路21では、この立ち下がりエッジに応じ、パルス信号のREC__RESET信号が生成される。このREC__RESET信号により、ロウレベルのイネーブル信号REC__EN1がRSラッチ回路RS101から出力される。また、同じくREC__RESET信号により、ロウレベルのイネーブル信号REC__EN2がRSラッチ回路RS101から出力される。そして、ロウレベルのイネーブル信号REC__EN1に応じて、ソースドライバIC4の受信回路RxCCLK、RxD0がスタンバイ状態となる。更に、ロウレベルのイネーブル信号REC__EN2がイネーブル信号REC__EN3としてセレクタSEL101から出力される。このため、受信回路RxD1~RxD5も、スタンバイ状態となる。また、内部動作クロックを生成する4分周回路22もスタンバイ状態となる。よって、ソースドライバIC4がスタンバイ状態となる。

20

【0084】

ここで、従来の平面表示装置1において、ソースドライバIC1~IC4の受信回路RxCCLK、RxD0~RxD5は、図11~図13に示すように時刻t1からアクティブ状態となっていた。これは、mini-LVDSインターフェイス規格上、クロック信号CLKやリセットデータRSTを受信する各ソースドライバの受信回路RxD0、RxCCLKが時刻t1からアクティブ状態となることに起因する。

30

【0085】

そして、各ソースドライバに、ハイレベルのカスケード信号DIOが入力されるまで、受信回路RxD0、RxCCLK以外の受信回路RxD1~RxD5がアクティブ状態となる必要がないにもかかわらず、従来の平面表示装置1では、時刻t1からずっとアクティブ状態となっていた。このため、ソースドライバIC2~IC4で不要な電力が消費されていた。

40

【0086】

しかし、本実施の形態の平面表示装置のソースドライバでは、上述したような構成のイネーブル制御回路100を有し、各ソースドライバに、ハイレベルのカスケード信号DIOが入力されるまで、受信回路RxD1~RxD5をスタンバイ状態とすることが可能である。このため、従来のソースドライバと比較して、消費電力の低減化が可能となる。

【0087】

なお、本発明は上記実施の形態に限られたものでなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、送信回路と受信回路間のインターフェイスをmini

50

- LVDSとすること限定しない。例えば、上記実施の形態では、受信回路R×DD0がリセットデータRSTを受信するため全てのソースドライバで時刻t1からアクティブ状態となっていた。しかし、このようなプロトコルに従わなくてよい場合は、受信回路R×DD0をR×DD1～R×DD5と同様、ハイレベルのカスケード信号DIOが入力されるまで、スタンバイ状態としてもよい。

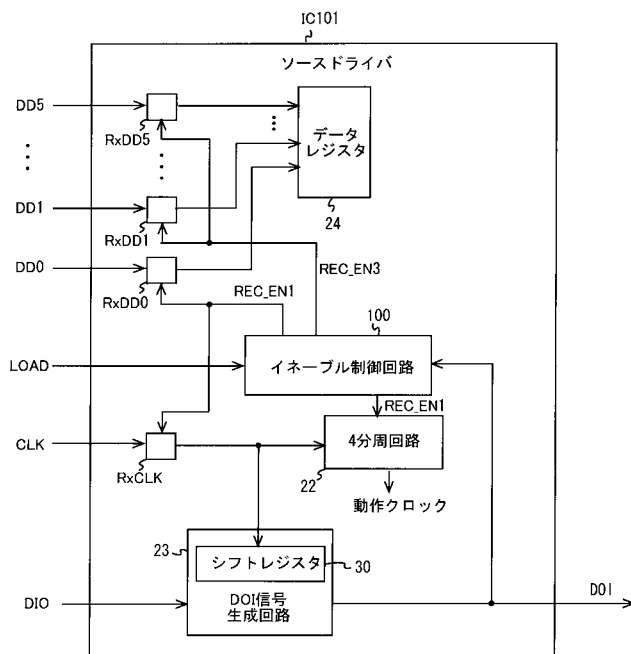
【符号の説明】

【0088】

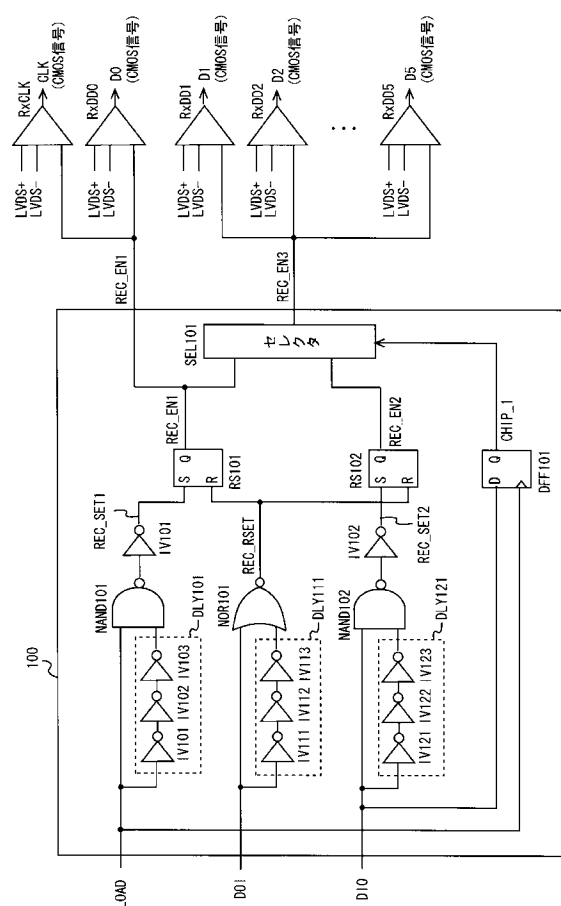
100 イネーブル制御回路
 DLY101、DLY111、DLY121 デレイ回路
 NAND101、NAND102 NAND回路
 NOR101 NOR回路
 IV101、IV102 インバータ回路
 RS101、RS102 RSラッチ回路
 DFF101 Dフリップフロップ
 SEL101 セレクタ
 R×CLK、R×DD0～R×DD5 受信回路

10

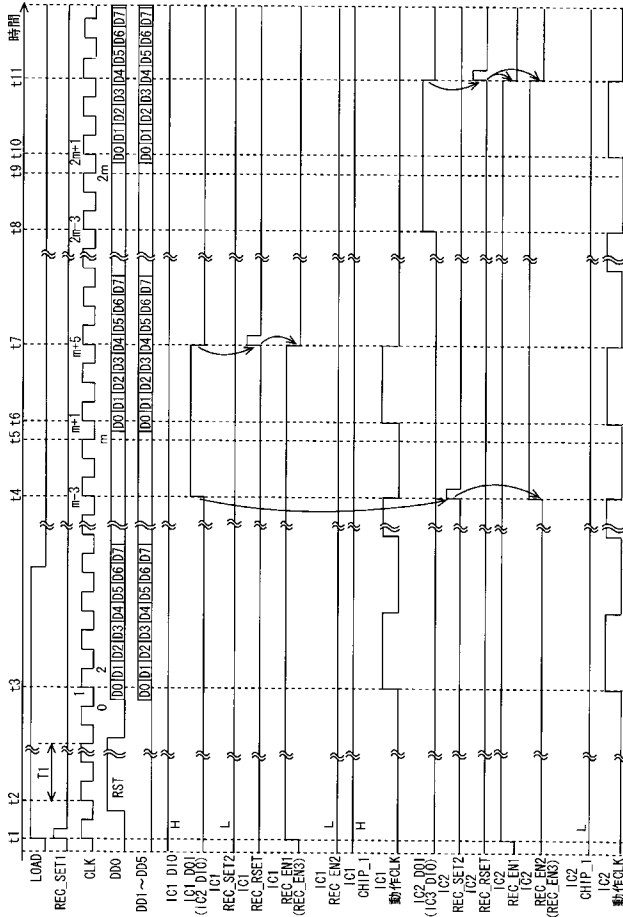
【図1】



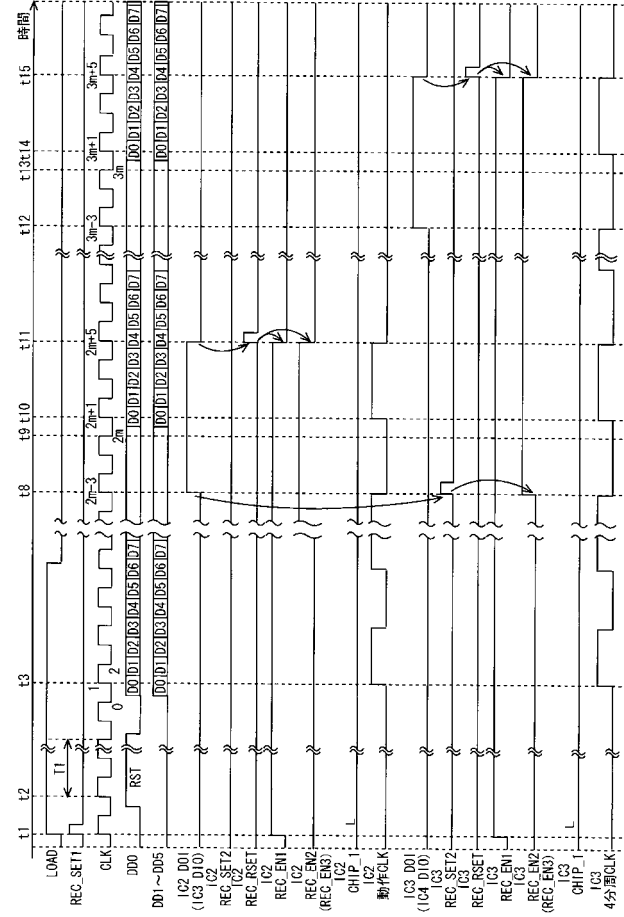
【図2】



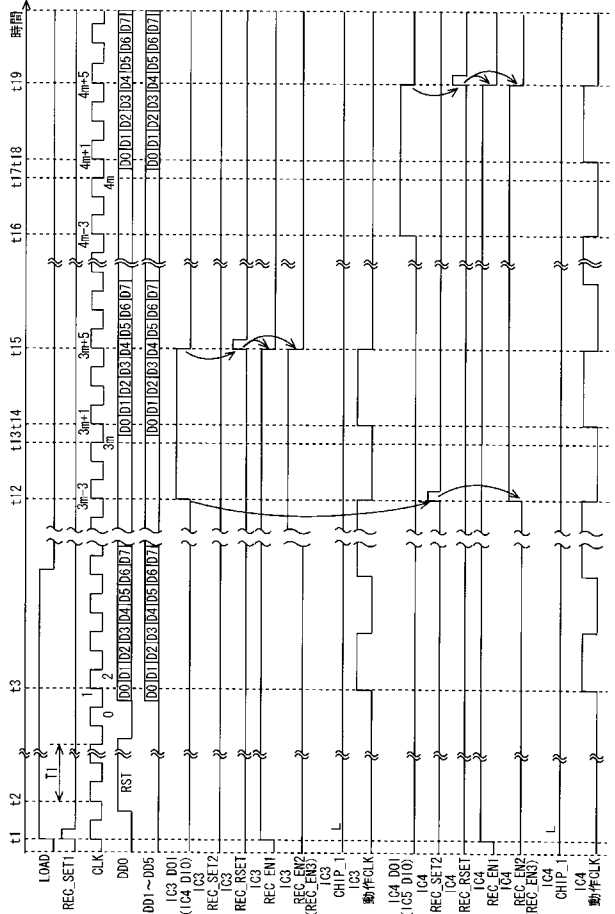
【図 3】



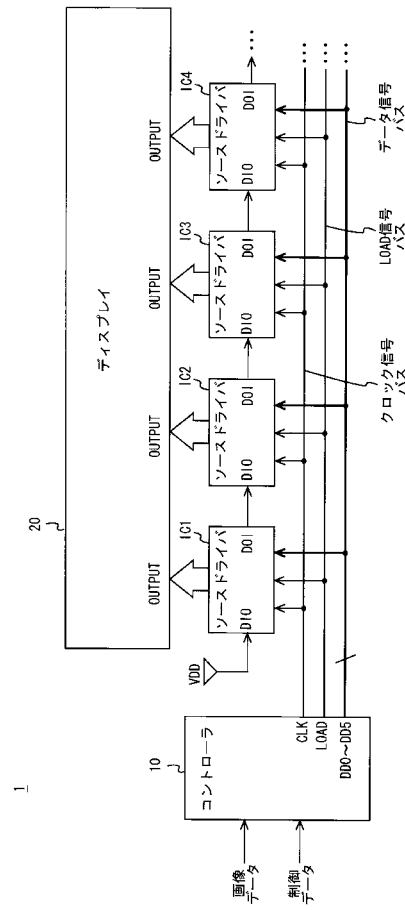
【図 4】



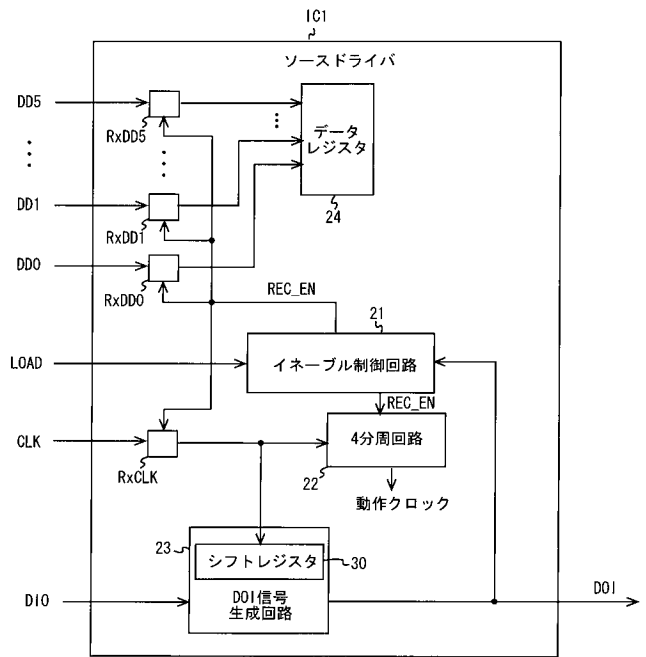
【図 5】



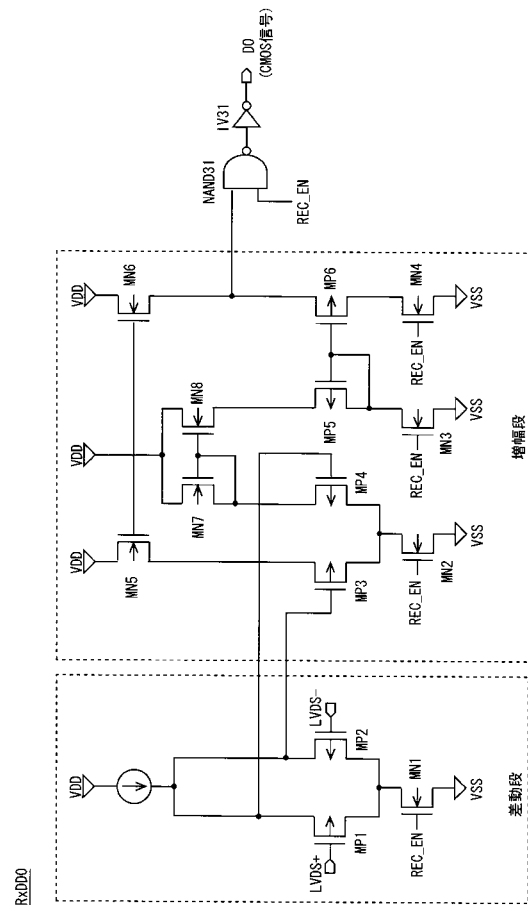
【図 6】



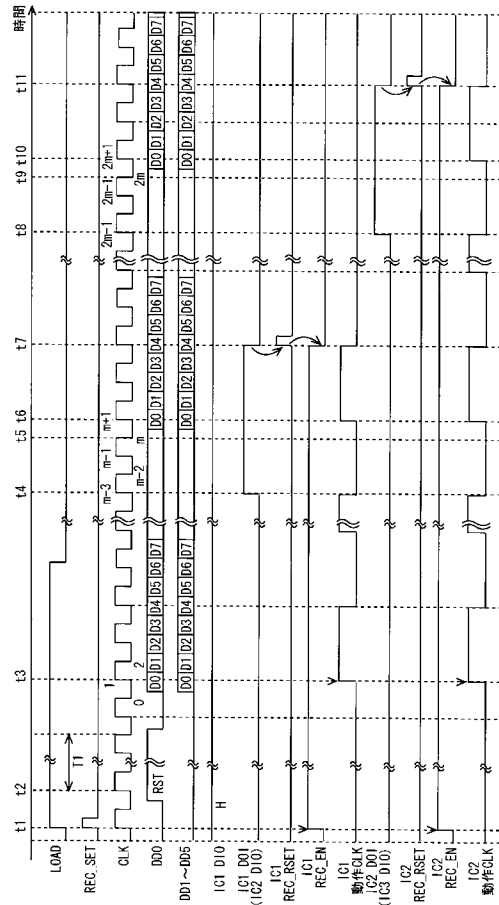
【 図 8 】



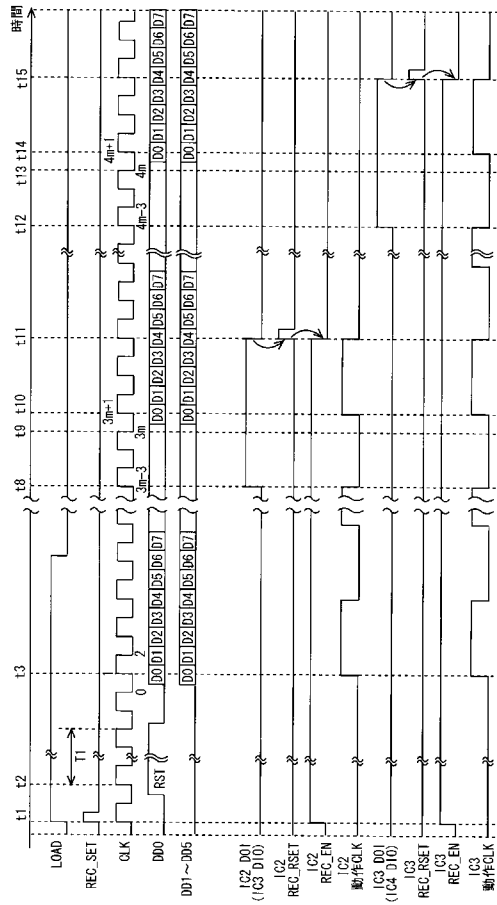
【 ㊦ 1 0 】



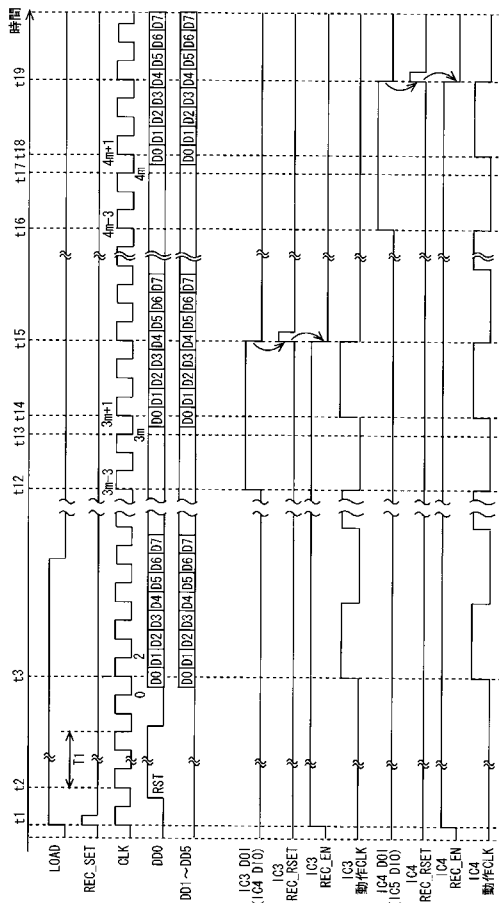
【図 1 1】



【図 1 2】



【図 1 3】



フロントページの続き

(51) Int. Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 3 3 U
G 0 9 G	3/20	6 1 2 J
G 0 9 G	3/20	6 2 3 A
H 0 4 L	25/02	S

专利名称(译)	显示装置的源极驱动器及其控制方法		
公开(公告)号	JP2011059492A	公开(公告)日	2011-03-24
申请号	JP2009210478	申请日	2009-09-11
[标]申请(专利权)人(译)	瑞萨电子株式会社		
申请(专利权)人(译)	瑞萨电子公司		
[标]发明人	南忠生		
发明人	南 忠生		
IPC分类号	G09G3/36 G09G3/20 H04L25/02		
CPC分类号	G09G3/3688 G09G2370/08		
FI分类号	G09G3/36 G09G3/20.633.G G09G3/20.611.A G09G3/20.633.D G09G3/20.633.E G09G3/20.633.U G09G3/20.612.J G09G3/20.623.A H04L25/02.S		
F-TERM分类号	5C006/AA28 5C006/AF24 5C006/BC14 5C006/BC16 5C006/BC24 5C006/BF03 5C006/FA32 5C006/FA48 5C080/AA10 5C080/BB05 5C080/CC06 5C080/DD07 5C080/DD12 5C080/DD26 5C080/JJ02 5C080/JJ03 5C080/JJ04 5K029/AA08 5K029/BB03 5K029/DD28		
外部链接	Espacenet		

摘要(译)

[问题]功耗高。根据本发明，根据与从前一级输入的级联信号相对应的预定时间段的预定时间段，从控制器通过微型LVDS接口发送的级联连接的多个信号驱动显示装置的信号线。源极驱动器，用于接收多个信号中的第一信号的第一接收电路，用于接收多个信号中的第二信号的第二接收电路，第一和使能控制电路，分别将第二接收电路控制为活动状态或待机状态，其中，使能控制电路根据从前级输入的级联信号来激活第二接收电路。源极驱动器响应于源极驱动器输出到下一级的级联信号而将第一接收电路和第二接收电路置于待机状态。[选择图]图2

