

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-164982

(P2010-164982A)

(43) 公開日 平成22年7月29日(2010.7.29)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H193
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 622E	5C006
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 670E	5C080
	G09G 3/20 622B	
	G02F 1/133 550	

審査請求 有 請求項の数 4 O L (全 15 頁)

(21) 出願番号 特願2010-35717 (P2010-35717)  
 (22) 出願日 平成22年2月22日 (2010. 2. 22)  
 (62) 分割の表示 特願2003-417594 (P2003-417594) の分割  
 原出願日 平成15年12月16日 (2003.12.16)  
 (31) 優先権主張番号 2002-080815  
 (32) 優先日 平成14年12月17日 (2002.12.17)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839  
 三星電子株式会社  
 SAMSUNG ELECTRONICS CO., LTD.  
 大韓民国京畿道水原市靈通区梅灘洞416  
 416, Maetan-dong, Yeongtong-gu, Suwon-si, Gyeonggi-do 442-742 (KR)  
 (74) 代理人 100094145  
 弁理士 小野 由己男  
 (74) 代理人 100106367  
 弁理士 稲積 朋子

最終頁に続く

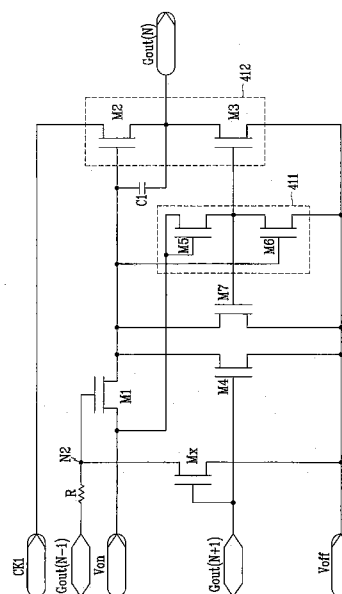
(54) 【発明の名称】 表示装置の駆動装置

(57) 【要約】

【課題】本発明は画像信号の異常発生の際に生じるラッチアップ現象を防止する液晶表示装置の駆動装置に関する。

【解決手段】本発明のゲート駆動部は、一列に連結された複数のシフトレジスタを含み、各シフトレジスタは蓄電器と、バッファートランジスタ及びプルダウントランジスタを含む。プルダウントランジスタは、バッファートランジスタの入力端子に連結され、前段シフトレジスタの出力によりバッファートランジスタがターンオンされる場合、後段シフトレジスタの出力によりプルダウントランジスタがターンオンされて、前記第1電圧がバッファートランジスタを通じて蓄電器に充電できないようにすることによりラッチアップ現象を防止する。

【選択図】 図5



## 【特許請求の範囲】

## 【請求項 1】

スイッチング素子を各々有する複数の画素を含む表示装置の駆動装置であって、  
 一列に配列された複数のシフトレジスタを有するゲート駆動部を含み、  
 前記各シフトレジスタは蓄電器の充電及び放電により定まる出力を送出し、  
 前記蓄電器の充電が後段シフトレジスタの出力またはこれに同期する信号によって遮断  
 されたり、前記蓄電器の放電が前段シフトレジスタの出力またはこれに同期する信号によ  
 って遮断され、

前記各シフトレジスタは、

前記前段シフトレジスタの出力またはこれに同期する信号によって前記蓄電器に印加さ  
 れる第 1 電圧をスイッチングする第 1 スwitching素子と、

前記後段シフトレジスタの出力またはこれに同期する信号によって前記蓄電器に印加さ  
 れる第 2 電圧をスイッチングする第 2 スwitching素子と、

前記第 1 電圧または前記第 2 電圧のいずれか一つを遮断する電圧遮断部と、  
 を含み、

前記電圧遮断部は、前記後段シフトレジスタの出力またはこれに同期する信号によって  
 前記第 1 スwitching素子の制御端子の入力を前記第 2 電圧にプルダウンする、表示装置  
 の駆動装置。

## 【請求項 2】

前記電圧遮断部は、

前記前段シフトレジスタの出力と前記第 1 スwitching素子との間に連結されている抵  
 抗性素子と、

前記抵抗性素子と前記第 2 電圧との間に連結され、前記後段シフトレジスタの出力また  
 はこれに同期する信号が入力される制御端子と、

を有する第 3 スwitching素子を含む請求項 1 に記載の表示装置の駆動装置。

## 【請求項 3】

前記第 1 電圧はスイッチング素子のしきい電圧より大きく、前記第 2 電圧はスイッチン  
 グ素子のしきい電圧より小さい請求項 1 に記載の表示装置の駆動装置。

## 【請求項 4】

前記シフトレジスタは前記表示装置と同一な基板上に形成される請求項 1 に記載の表示  
 装置の駆動装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は表示装置の駆動装置に関する。

## 【背景技術】

## 【0002】

液晶表示装置やエレクトロルミネセンス（EL）表示装置等は、行列状に配列された複  
 数の画素を含む。各画素は画像信号を選択的に受け入れるスイッチング素子を含み、スイ  
 ッチング素子としてはMOS型トランジスタなど主に三端子素子が使用される。このよう  
 な表示装置は、スイッチング素子に連結された複数のゲート線と複数のデータ線を含む。  
 各ゲート線はスイッチング素子を各々ターンオンさせるゲートオン電圧を伝達し、各デー  
 タ線はターンオンされたスイッチング素子を通じて各画素に画像信号を伝達する。このよ  
 うな表示装置は、ゲート線にゲートオン電圧を印加するゲート駆動部とデータ線に画像信  
 号を印加するデータ駆動部及びこれらを制御する信号制御部を含む。

## 【0003】

ゲート駆動部は信号制御部からの垂直同期開始信号によりゲートオン電圧の出力を開始  
 し、一列に配列されたゲート線に順次にゲートオン電圧を印加する。このように順次にゲ  
 ートオン電圧を出力するために、従来のゲート駆動部はゲート線に各々連結される複数の  
 シフトレジスタを含む。第 1 のシフトレジスタは垂直同期開始信号とクロック信号に同期

10

20

30

40

50

してゲートオン電圧の出力を開始し、第2のシフトレジスタからは前段シフトレジスタの出力電圧とクロック信号に同期してゲートオン電圧の出力を開始する。各シフトレジスタのゲートオン電圧出力の終了は後段シフトレジスタの出力開始時点と密接な関係がある。

【0004】

さらに詳細には、従来のゲート駆動部の各シフトレジスタは入力方向のSRラッチと出力方向のANDゲートを含む。SRラッチは前段ゲート出力、すなわち前段シフトレジスタの出力が入力されるセット入力端子と、後段ゲート出力、すなわち後段シフトレジスタの出力が入力されるリセット入力端子を有する。ANDゲートはSRラッチの出力とクロック信号を二つの入力としてゲート信号を生成して出力する。

【0005】

セット端子に入力される前段ゲート出力とリセット端子に入力される後段ゲート出力が全てLow(“0”)である初期状態では、SRラッチの出力もLowである。後段ゲート出力がLowを維持する間、前段ゲート出力がHigh(“1”)に変われば、SRラッチの出力もHighに変わる。後段ゲート出力が継続してLowを維持する間、前段ゲート出力が再びLowに変わってもSRラッチの出力は変化しない。前段ゲート出力がLowを維持する間、後段ゲート出力がHighに変われば、SRラッチの出力はHighからLowに変わる。結局、SRラッチの出力は前段ゲート出力がLowからHighに変わる時点から後段ゲート出力がLowからHighに変わる時点までHighを維持し、そのとき以外はLowとなる。

【0006】

ANDゲートは、SRラッチの出力とクロック信号の全てがHighの時のみにHighのゲート出力を生成する。詳しくは、ゲート出力はSRラッチの出力がHighの間、クロック信号がLowからHighに変わる時にHighとなり、クロック信号がLowになったりSRラッチの出力がLowになれば、Lowに変わる。

【0007】

このような従来のゲート駆動部では言わばラッチアップ現象が生ずる。SRラッチの出力はセット入力とリセット入力が各々(0、0)、(1、0)、(0、1)である時はよく定義されているが、(1、1)である時は定義されていない。例えば、前段ゲート出力と後段ゲート出力が二つともHighの時はシフトレジスタがうまく作動しない問題がある。

【0008】

特に、表示装置の特性上、表示装置には様々な画像モードが選択的に入力され、この画像モードの画像信号フォーマットが異なれば、画像モードが変更する遷移期間の間にこのような現象が生ずることがある。

【0009】

例えば、有効データ区間を定義するデータイネーブルDE信号の周期が短くなったり、無効データ区間であるにもかかわらずデータイネーブル信号が有効データ区間であるかのように動作したり、それと逆の動作をする場合がある。前者の場合には、シフトレジスタのリセット時間が不十分だったり、後者の場合には垂直同期開始信号が多数発生することやその幅が長くなることがある。こうなると、二つ以上のシフトレジスタが同時にゲートオン電圧を出力する。その結果、画面異常の発生やクロック信号を開閉するスイッチとゲートオフ電圧を開閉するスイッチが同時にターンオンされて短絡される問題、そしてガラス基板上に形成される信号線または電力線が過負荷で配線が切断される現象が現れる。

【発明の概要】

【発明が解決しようとする課題】

【0010】

本発明が目的とする技術的課題は、このようなラッチアップ現象が防止できる表示装置の駆動装置を提供することである。

【課題を解決するための手段】

【0011】

10

20

30

40

50

このような技術的課題を解決するための本発明の特徴は、各々スイッチング素子を有する複数の画素を含む表示装置を駆動する装置である。本発明による表示装置の駆動装置は、各々スイッチング素子を有する複数の画素を含み、一列に配列された複数のシフトレジスタを有するゲート駆動部を含む。前記各シフトレジスタは蓄電器の充電及び放電により定まる出力を送出し、前記蓄電器の充電が後段シフトレジスタの出力またはこれに同期する信号によって遮断されたり、前記蓄電器の放電が前段シフトレジスタの出力またはこれに同期する信号によって遮断されることが好ましい。

【0012】

また、前記各シフトレジスタは前記前段シフトレジスタの出力またはこれに同期する信号によって前記蓄電器に印加される第1電圧をスイッチングする第1スイッチング素子と、前記後段シフトレジスタの出力またはこれに同期する信号によって前記蓄電器に印加される第2電圧をスイッチングする第2スイッチング素子、そして前記第1電圧または前記第2電圧のいずれか一つを遮断する電圧遮断部を含むことが好ましい。

10

【0013】

前記電圧遮断部は、前記後段シフトレジスタの出力またはこれに同期する信号によって前記第1スイッチング素子の制御端子の入力を前記第2電圧にプルダウンする。この時、前記電圧遮断部は前記前段シフトレジスタの出力と前記第1スイッチング素子との間に連結される抵抗性素子、そして前記抵抗性素子と前記第2電圧との間に連結され、前記後段シフトレジスタの出力またはこれに同期する信号が入力される制御端子を有する第3スイッチング素子を含む。

20

前記第1電圧はスイッチング素子のしきい電圧より大きく、前記第2電圧はスイッチング素子のしきい電圧より小さいことが好ましい。また、前記シフトレジスタは前記表示装置と同一な基板上に形成されることが好ましい。

【発明の効果】

【0014】

本発明によれば、後段ゲート出力または前段ゲート出力を利用してゲートオン電圧をプルダウンしたり、バッファートランジスタまたは放電トランジスタを十分にターンオンさせないことにより、蓄電器で充電と放電が同時に起こる現象を防止できる。

【図面の簡単な説明】

【0015】

【図1】本発明の一実施例による液晶表示装置のブロック図である。

30

【図2】本発明の一実施例による液晶表示装置の1画素の回路図である。

【図3】本発明の一実施例によるゲート駆動部のブロック図である。

【図4】本発明の一実施例によるゲート駆動部シフトレジスタ回路図である。

【図5】本発明の他の実施例によるゲート駆動部シフトレジスタ回路図である。

【図6】本発明の他の実施例によるゲート駆動部シフトレジスタ回路図である。

【図7a】本発明の一実施例によるゲート駆動部シフトレジスタのタイミング図である(1)。

40

【図7b】本発明の一実施例によるゲート駆動部シフトレジスタのタイミング図である(2)。

【図8a】本発明の一実施例によるゲート駆動部の信号波形図である。

【図8b】従来のゲート駆動部の信号波形図である。

【発明を実施するための形態】

【0016】

添付した図面を参照して本発明の実施例に対して本発明の属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。まず、本発明の実施例による液晶表示装置に対して図面を参照して詳細に説明する。

【0017】

図1は本発明の一実施例による液晶表示装置のブロック図で、図2は本発明の一実施例による液晶表示装置の1画素に対する等価回路図である。図1に示すように、本発明の一

50

実施例による液晶表示装置は、液晶表示板組立体300及びこれに連結されたゲート駆動部400、データ駆動部500、データ駆動部500に連結された階調電圧生成部800、そしてこれらを制御する信号制御部600を含む。

【0018】

液晶表示板組立体300は等価回路から見て、複数の表示信号線( $G_1 - G_n$ 、 $D_1 - D_m$ )とこれに連結されて大略行列状に配列された複数の画素を含む。表示信号線( $G_1 - G_n$ 、 $D_1 - D_m$ )はゲート信号(“走査信号”ともいう。)を伝達する複数のゲート線( $G_1 - G_n$ )とデータ信号を伝達するデータ信号線またはデータ線( $D_1 - D_m$ )を含む。ゲート線( $G_1 - G_n$ )は大略行方向に延びて互いにほぼ平行で、データ線( $D_1 - D_m$ )は大略列方向に延びて互いにほぼ平行である。

10

【0019】

各画素は、表示信号線( $G_1 - G_n$ 、 $D_1 - D_m$ )に連結されたスイッチング素子Qと、これに連結された液晶蓄電器Clc及び維持蓄電器Cstを含む。維持蓄電器Cstは必要によって省略できる。

【0020】

スイッチング素子Qは下部表示板100に備えられた三端子素子として、その制御端子及び入力端子は各々ゲート線( $G_1 - G_n$ )及びデータ線( $D_1 - D_m$ )に連結され、出力端子は液晶蓄電器Clc及び維持蓄電器Cstに連結されている。

【0021】

液晶蓄電器Clcは下部表示板100の画素電極190と上部表示板200の共通電極270を二つの端子として、二つの電極190、270間の液晶層3は誘電体として機能する。画素電極190はスイッチング素子Qに連結され、共通電極270は上部表示板200の前面に形成されて共通電圧Vcomの印加を受ける。図2とは異なって、共通電極270が下部表示板100に備えられる場合もあるが、この場合は二つの電極190、270が全て線形または棒形で形成される。

20

【0022】

維持蓄電器Cstは下部表示板100に備えられた別個の信号線(図示せず)と画素電極190が重なって構成され、この別個の信号線には共通電圧Vcom等の定められた電圧が印加される。しかし、維持蓄電器Cstは画素電極190が絶縁体を媒介としてすぐ上に配置された前段ゲート線と重なって構成されることもできる。

30

【0023】

一方、色表示を実現するためには各画素が色相を表出できなければならないが、これは画素電極190に対応する領域に赤色、緑色、または青色の色フィルター230を備えることにより可能となる。図2で、色フィルター230は上部表示板200の該当領域に形成されているが、下部表示板100の画素電極190上のまたは下に形成されても良い。

【0024】

液晶分子は、画素電極190と共通電極270が生成する電場の変化によりその配列を変える。そして、これによって液晶層3を通過する光の偏光が変化する。このような偏光の変化は表示板100、200に付着された偏光子(図示せず)によって光の透過率変化として現れる。

40

【0025】

階調電圧生成部800は液晶表示装置の輝度に係わる複数の正極性(+)、負極性(-)の階調電圧( $V_+$ 、 $V_-$ )を生成する。

【0026】

ゲート駆動部400は液晶表示板組立体300のゲート線( $G_1 - G_n$ )に連結され、外部からのゲートオン電圧Vonとゲートオフ電圧Voffの組み合わせからなるゲート信号をゲート線( $G_1 - G_n$ )に印加する。

【0027】

データ駆動部500は階調電圧生成部800からの階調電圧( $V_+$ 、 $V_-$ )を選択してデータ信号として画素に印加する。

50

## 【 0 0 2 8 】

信号制御部 6 0 0 はゲート駆動部 4 0 0 及びデータ駆動部 5 0 0 などの動作を制御する制御信号を生成し、各該当する制御信号をゲート駆動部 4 0 0 及びデータ駆動部 5 0 0 に提供する。

## 【 0 0 2 9 】

以下、このような液晶表示装置の表示動作についてさらに詳細に説明する。

## 【 0 0 3 0 】

信号制御部 6 0 0 は外部のグラフィック制御機（図示せず）から R G B 映像信号 R、G、B 及びその表示を制御する入力制御信号、例えば垂直同期信号 V s y n c と水平同期信号 H s y n c、メインクロック M C L K、データインーブル信号 D E などの提供を受ける。信号制御部 6 0 0 は入力制御信号に基づいて、ゲート制御信号 C O N T 1 及びデータ制御信号 C O N T 2 などを生成し、映像信号 R、G、B を液晶表示板組立体 3 0 0 の動作条件に合わせて適合処理した後、ゲート制御信号 C O N T 1 をゲート駆動部 4 0 0 に送出し、データ制御信号 C O N T 2 及び処理した映像信号 R'、G'、B' はデータ駆動部 5 0 0 に送出する。

10

## 【 0 0 3 1 】

ゲート制御信号 C O N T 1 はゲートオンパルス（ゲート信号の H i g h 区間）の出力開始を指示する垂直同期開始信号 S T V と、ゲートオンパルスの出力時期を制御するゲートクロック信号 C P V 及びゲートオンパルスの幅を限定する出力インーブル信号 O E などを含む。

20

## 【 0 0 3 2 】

データ制御信号 C O N T 2 は映像データ R'、G'、B' の入力開始を指示する水平同期開始信号 S T H とデータ線 ( D <sub>1</sub> - D <sub>m</sub> ) に当該データ電圧の印加を指示するロード信号

L O A D、共通電圧 V c o m に対するデータ電圧の極性（以下、“共通電圧に対するデータ電圧の極性”を単に“データ電圧の極性”と称する。）を反転させる反転信号 R V S 及びデータクロック信号 H C L K などを含む。

## 【 0 0 3 3 】

階調電圧生成部 8 0 0 は、液晶表示装置の輝度に係わる複数の階調電圧を生成してデータ駆動部 5 0 0 に印加する。

30

## 【 0 0 3 4 】

データ駆動部 5 0 0 は、信号制御部 6 0 0 からのデータ制御信号 C O N T 2 により一つの行の画素に対応する映像データ R'、G'、B' を順次に受信する。そして、階調電圧生成部 8 0 0 からの階調電圧のうち各映像データ R'、G'、B' に対応する階調電圧を選択することによって映像データ R'、G'、B' を該当データ電圧に変換する。

## 【 0 0 3 5 】

ゲート駆動部 4 0 0 は信号制御部 6 0 0 からのゲート制御信号 C O N T 1 によりゲートオン電圧 V o n をゲート線 ( G <sub>1</sub> - G <sub>n</sub> ) に印加し、このゲート線 ( G <sub>1</sub> - G <sub>n</sub> ) に連結されたスイッチング素子 Q をターンオンさせる。

## 【 0 0 3 6 】

一つのゲート線 ( G <sub>1</sub> - G <sub>n</sub> ) にゲートオン電圧 V o n が印加され、これに連結された一つの行のスイッチング素子 Q がターンオンの間（この期間を“1 H”または“1 水平周期”といい、水平同期信号 H s y n c、データインーブル信号 D E、ゲートクロック C P V の一周期と同一である。）、データ駆動部 4 0 0 は各データ電圧を当該データ線 ( D <sub>1</sub> - D <sub>m</sub> ) に供給する。データ線 ( D <sub>1</sub> - D <sub>m</sub> ) に供給されたデータ電圧はターンオンされたスイッチング素子 Q を通じて該当画素に印加される。

40

## 【 0 0 3 7 】

次は、ゲート駆動部の構造と動作について図 3 乃至図 6 を参照してさらに詳しく説明する。

## 【 0 0 3 8 】

50

図3は本発明の一実施例によるゲート駆動部のブロック図である。図3に示すように、ゲート駆動部400は一系列に配列された複数のシフトレジスタ410を含み、シフトレジスタ410は画素のスイッチング素子と同一工程により形成され、同一な基板上に集積できる。

#### 【0039】

各シフトレジスタ410は前段ゲート出力 $G_{out}(N-1)$ と後段ゲート出力 $G_{out}(N+1)$ に基づき、クロック信号 $CK1$ 、 $CK2$ に同期してゲート出力 $G_{out}(N)$ を生成する。隣接したシフトレジスタ410は互いに異なるクロック信号 $CK1$ 、 $CK2$ を受信するが、二つのクロック信号 $CK1$ 、 $CK2$ は位相が逆であって $2H$ の周期を有する。各クロック信号 $CK1$ 、 $CK2$ は、画素のスイッチング素子 $Q$ を駆動することができるように、 $High$ の場合はゲートオン電圧 $V_{on}$ で、 $Low$ の場合はゲートオフ電圧 $V_{off}$ である。スイッチング素子 $Q$ が非晶質シリコンTFTであれば、ゲートオン電圧 $V_{on}$ の大きさは $20V$ 以上で、ゲートオフ電圧 $V_{off}$ の大きさは $-10V$ 以下である。

10

#### 【0040】

図4は本発明の一実施例によるゲート駆動部のシフトレジスタの詳細回路図で、図5及び図6は本発明の他の実施例によるゲート駆動部のシフトレジスタの詳細回路図である。

#### 【0041】

図4乃至図6に示したシフトレジスタ410は、 $N$ 番目のシフトレジスタで、前段ゲート出力 $G_{out}(N-1)$ 、後段ゲート出力 $G_{out}(N+1)$ 、クロック信号 $CK1$ 以外にもゲートオン電圧 $V_{on}$ 及びゲートオフ電圧 $V_{off}$ が入力される。図4の場合、ゲートオン電圧 $V_{on}$ が抵抗 $R$ を通じて入力され、図5の場合には、前段ゲート出力 $G_{out}(N-1)$ が抵抗 $R$ を通じて入力され、図6の場合には、後段ゲート出力 $G_{out}(N+1)$ が抵抗 $R$ を通じて入力される。

20

#### 【0042】

本実施例によるシフトレジスタ410は、複数のNMOSトランジスタ $M1-M7$ 、 $Mx$ 、抵抗 $R$ 及び蓄電器 $C1$ を含む。しかし、NMOSトランジスタの代わりにPMOSトランジスタを使用することもできる。また、蓄電器 $C1$ 及び抵抗 $R$ は説明を容易にするために等価回路で示したが、実際の蓄電器 $C1$ は、工程の時に形成されるゲートとドレーン/ソースとの間の寄生容量であり得、抵抗 $R$ はトランジスタのような能動型抵抗性素子であり得る。

30

#### 【0043】

クロック信号 $CK1$ とゲートオフ電圧 $V_{off}$ の間には、第1及び第2駆動トランジスタ $M2$ 、 $M3$ が直列に連結されている。蓄電器 $C1$ は、二つの駆動トランジスタ $M2$ 、 $M3$ 間の接点と第1駆動トランジスタ $M2$ のゲートとの間に連結されている。第1駆動トランジスタ $M2$ のゲートとゲートオン電圧 $V_{on}$ の間にはバッファートランジスタ $M1$ が連結されており、バッファートランジスタ $M1$ のゲートは前段ゲート出力 $G_{out}(N-1)$ に連結されている。ゲートオン電圧 $V_{on}$ とゲートオフ電圧 $V_{off}$ の間には第1及び第2インバートランジスタ $M5$ 、 $M6$ が直列に連結されている。第1インバートランジスタ $M5$ のゲートはソースと連結され、第2インバートランジスタ $M6$ のゲートはバッファートランジスタ $M1$ の出力端に連結されている。第2駆動トランジスタ $M3$ のゲートは第1インバートランジスタ $M5$ と第2インバートランジスタ $M6$ との間の接点に連結されている。ゲートオフ電圧 $V_{off}$ とバッファートランジスタ $M1$ の出力端子の間には、放電トランジスタ $M4$ 及びホールドトランジスタ $M7$ が並列に連結されており、放電トランジスタ $M4$ のゲートは後段ゲート出力 $G_{out}(N+1)$ に、ホールドトランジスタ $M7$ のゲートは第2駆動トランジスタ $M3$ のゲートに連結されている。

40

#### 【0044】

図4で、ゲートオン電圧 $V_{on}$ とゲートオフ電圧 $V_{off}$ の間にプルダウントランジスタ $Mx$ が連結され、プルダウントランジスタ $Mx$ のゲートは後段ゲート出力 $G_{out}(N+1)$ に連結されている。

50

## 【 0 0 4 5 】

図 5 で、前段ゲート出力  $G_{out}(N-1)$  とゲートオフ電圧  $V_{off}$  との間にプルダウントランジスタ  $M_x$  が連結され、プルダウントランジスタ  $M_x$  のゲートは後段ゲート出力  $G_{out}(N+1)$  に連結されている。その他の構成は、図 4 と同様である。

## 【 0 0 4 6 】

図 6 で、後段ゲート出力  $G_{out}(N+1)$  とゲートオフ電圧  $V_{off}$  との間にプルダウントランジスタ  $M_x$  が連結され、プルダウントランジスタ  $M_x$  のゲートは前段ゲート出力  $G_{out}(N-1)$  に連結されている。また、前段ゲート出力  $G_{out}(N-1)$  が抵抗  $R$  を通じて入力される。その他の構成は、図 4 と同様である。

## 【 0 0 4 7 】

このようなゲート駆動部の動作について図 7 a 及び図 7 b を参照して詳細に説明する。図 7 は本発明の一実施例によるゲート駆動部シフトレジスタのタイミング図で、図 7 a は正常動作時のタイミング図で、図 7 b は異常動作時のタイミング図である。後段ゲート出力  $G_{out}(N+1)$  が抵抗  $R$  を通じて入力される。その他の構成は、図 4 と同様である。

10

## 【 0 0 4 8 】

まず、第 1 及び第 2 インバータトランジスタ  $M_5$ 、 $M_6$  の動作について簡単に説明してから全体動作について説明する。図 6 に関しては別途説明する。

## 【 0 0 4 9 】

図 4 及び図 5 を参照すれば、プルダウントランジスタ  $M_x$  が OFF 状態であれば、第 1 インバータトランジスタ  $M_5$  のゲートには常にゲートオン電圧  $V_{on}$  が印加されるのでターンオン状態が維持される。この状態で、第 1 インバータトランジスタ  $M_5$  と第 2 インバータトランジスタ  $M_6$  の接点電圧は、第 2 インバータトランジスタ  $M_6$  が OFF 状態であれば、ゲートオン電圧  $V_{on}$  とほぼ同一である。そして、第 2 インバータトランジスタ  $M_6$  が ON 状態であれば、二つのトランジスタ  $M_5$ 、 $M_6$  のターンオン時の抵抗状態の抵抗値により分圧された電圧値を有する。つまり、二つのトランジスタ  $M_5$ 、 $M_6$  のターンオン時の抵抗値が同一であれば、ゲートオン電圧  $V_{on}$  とゲートオフ電圧  $V_{off}$  の中間程の電圧値を有する。よって、ホールドトランジスタ  $M_7$  と第 2 駆動トランジスタ  $M_3$  は、第 2 インバータトランジスタ  $M_6$  が OFF であればターンオンされ、その反対であればターンオフされる。

20

30

## 【 0 0 5 0 】

前段ゲート出力  $G_{out}(N-1)$  と後段ゲート出力  $G_{out}(N+1)$  が全て Low である初期状態では、バッファートランジスタ  $M_1$  はターンオフ状態である。また、バッファートランジスタ  $M_1$ 、プルダウントランジスタ  $M_x$  及び第 2 インバータトランジスタ  $M_6$  はターンオフ状態である。一方、第 2 駆動トランジスタ  $M_3$  とホールドトランジスタ  $M_7$  はターンオン状態である。ホールドトランジスタ  $M_7$  がターンオンされれば、第 1 駆動トランジスタ  $M_2$  のゲートにゲートオフ電圧  $V_{off}$  が印加されて、第 1 駆動トランジスタ  $M_2$  はターンオフの状態となる。よって、ゲート出力  $G_{out}(N)$  は Low 状態となる。

## 【 0 0 5 1 】

後段ゲート出力  $G_{out}(N+1)$  は Low 状態を維持し、前段ゲート出力  $G_{out}(N-1)$  が High になれば、バッファートランジスタ  $M_1$  がターンオンされる。これにより、第 1 駆動トランジスタ  $M_2$  と第 2 インバータトランジスタ  $M_6$  がターンオンされ、第 2 駆動トランジスタ  $M_3$  及びホールドトランジスタ  $M_7$  はターンオフされる。従って、クロック信号  $CK_1$  が、ゲート出力  $G_{out}(N)$  として出力される。クロック信号  $CK_1$  が Low であればゲート出力  $G_{out}(N)$  も Low である。よって、蓄電器  $C_1$  に大略ゲートオン電圧  $V_{on}$  程の電圧が印加されて、その分の電圧が充電される。このとき、蓄電器  $C_1$  は、ゲートオン電圧  $V_{on}$  と “ Low ” のクロック信号  $CK_1$  とが両端に印加されている。

40

## 【 0 0 5 2 】

50

後段ゲート出力  $G_{out}(N+1)$  は  $Low$  状態を維持し、前段ゲート出力  $G_{out}(N-1)$  が再び  $Low$  に変われば、蓄電器  $C_1$  に充電された電圧のため第 1 駆動トランジスタ  $M_2$  は依然としてターンオン状態を維持する。ところが、クロック信号も  $High$  に変わるためゲート出力  $G_{out}(N)$  は  $High$  状態となる。そして、蓄電器  $C_1$  に充電された電圧を維持するためには、第 1 駆動トランジスタ  $M_2$  のゲートに印加される電圧はさらに高い状態を維持する。例えば、蓄電器  $C_1$  に  $V_{on}$  の電圧が充電されている場合、クロック信号  $CK_1$  が “  $High$  ” に変化することにより、第 1 駆動トランジスタ  $M_2$  のゲートに印加される電圧は、 $V_{on} + High$  となる。これは、蓄電器  $C_1$  に充電されている電圧  $V_{on}$  が維持されることにより、カップリングにより第 1 駆動トランジスタ  $M_2$  のゲートに印加される電圧が上昇するためである。

10

## 【0053】

従って、第 2 インバータトランジスタ  $M_6$  がターンオンされ、これにより第 2 駆動トランジスタ  $M_3$  とホールドトランジスタ  $M_7$  は  $OFF$  状態をそのまま維持する。

## 【0054】

前段ゲート出力  $G_{out}(N-1)$  は  $Low$  状態を維持し、後段ゲート出力  $G_{out}(N+1)$  が  $High$  になれば放電トランジスタ  $M_4$  がターンオンされ、これにより第 2 インバータトランジスタ  $M_6$  がターンオフされ、第 2 駆動トランジスタ  $M_3$  とホールドトランジスタ  $M_7$  はターンオンされる。これにより、蓄電器  $C_1$  の両端全部にゲートオフ電圧  $V_{off}$  が印加されるため、蓄電器  $C_1$  に充電された電圧が放電されると同時に第 1 駆動トランジスタ  $M_2$  がターンオフされ、ゲート出力  $G_{out}(N)$  は  $Low$  となる。

20

## 【0055】

一方、前述のように、各ゲート出力  $G_{out}(N)$  は該当クロック信号の上昇面に同期して  $High$  となる。ところが、図 7 a のように現在シフトレジスタに入力されるクロック信号が  $CK_1$  であれば、前段及び後段シフトレジスタに入力されるクロック信号は  $CK_1$  の反転信号である  $CK_2$  であるので、前段及び後段ゲート出力  $G_{out}(N-1)$ 、 $G_{out}(N+1)$  はクロック信号  $CK_2$  の上昇面に同期して  $High$  となる。結局、前段及び後段ゲート出力  $G_{out}(N-1)$ 、 $G_{out}(N+1)$  は、クロック信号  $CK_1$  の下降面に同期して  $High$  になるわけである。各ゲート出力の  $High$  区間は  $1H$  であるので、結局前段、現在及び後段ゲート出力  $G_{out}(N-1)$ 、 $G_{out}(N)$ 、 $G_{out}(N+1)$  は連続して  $High$  状態に変わる。

30

## 【0056】

前記の前段及び後段ゲート出力信号  $G_{out}(N-1)$ 、 $G_{out}(N+1)$  の代わりに、これに各々同期する別の信号が入力されても良い。

## 【0057】

一方、図 7 b に示すように、ある理由で垂直同期開始信号  $STV$  または前段ゲート出力  $G_{out}(N-1)$  の  $High$  区間が長くなって  $2H$  を越えたとする。よって、 $G_{out}(N+1)$  が  $High$  になった後、前段ゲート出力  $G_{out}$  が  $(N-1)Low$  になるとする。後段ゲート出力  $G_{out}(N+1)$  が  $Low$  を維持する間は、バッファートランジスタ  $M_1$  は引続きターンオン状態を維持する。従って、ゲート出力  $G_{out}(N)$  はクロック信号  $CK_1$  と同一状態になるので、 $1H$  が経過してクロック信号  $CK_1$  が  $High$  に変わればゲート出力  $G_{out}(N)$  も  $High$  状態となる。 $2H$  が経過してクロック信号  $CK_1$  が  $Low$  になれば蓄電器  $C_1$  は再び充電動作を開始する。同時に、後段ゲート出力  $G_{out}(N+1)$  が  $High$  となる。後段ゲート出力  $G_{out}(N+1)$  が  $High$  であるため、プルダウントランジスタ  $M_x$  はターンオン状態となる。

40

## 【0058】

図 4 に示した実施例の場合、前段ゲート出力  $G_{out}(N-1)$  が依然として  $High$  状態であるときに、後段ゲート出力  $G_{out}(N+1)$  が  $High$  になり、クロック信号  $CK_1$  が  $Low$  になった時、バッファートランジスタ  $M_1$  はターンオンされた状態を維持する。このとき、プルダウントランジスタ  $M_x$  が設けられていないと、 $N1$  ノードは  $V_{on}$  に維持され、第 1 駆動トランジスタ  $M_2$  のゲートに  $V_{on}$  が印加され続ける。よって

50

、蓄電器C1は、クロック信号CK1がLowに変化するにもかかわらず充電動作を継続しようとする。しかし、プルダウントランジスタMxのターンオンによりゲートオン電圧Vonの入力側の接点N1にゲートオフ電圧Voffが印加される。このとき、クロック信号CK1がLowであるため、蓄電器C1の両端にかかる電圧が同一になり電圧差が無くなる。これにより、蓄電器C1は充電動作を中止し、ゲート出力Gout(N)はLowとなる。以上より、クロック信号のLowへの変化に伴い、充電器C1の状態も充電から放電へと変化する。つまり、バッファートランジスタM1、プルダウントランジスタMx及び放電トランジスタM4がONするため、充電器C1における充電が阻止されて放電がなされる。

【0059】

図5に示した実施例の場合、プルダウントランジスタMxのターンオンによりバッファートランジスタM1のゲートにゲートオフ電圧Voffがかかる。これにより、バッファートランジスタM1がターンオフされ、ゲート出力Gout(N)もLowとなる。

【0060】

結局、プルダウントランジスタMxは、後段ゲート出力Gout(N+1)がHighになれば、蓄電器C1に供給されるゲートオン電圧Vonを遮断することによってこれ以上の充電を防止する。そして、第2駆動トランジスタM2をターンオフさせてクロック信号CK1の出力を防止すると同時にゲートオフ電圧Voffを出力させる役割をする。そのため、映像信号の異常発生により前段ゲート出力Gout(N-1)と後段ゲート出力Gout(N+1)が同時にHighになる場合でも、プルダウントランジスタMxを配置して、蓄電器C1で充電と放電が同時に起こる現象を防止し、ラッチアップを防止することができる。

【0061】

ここで、蓄電器C1に供給されるゲートオン電圧Vonの遮断は、図4のようにゲートオン電圧Vonの代わりにゲートオフ電圧VoffをバッファートランジスタM1に供給したり、図5のようにゲートオン電圧Vonを伝達するスイッチング素子であるバッファートランジスタM1をターンオフさせる方法で実施される。

【0062】

前記説明では、トランジスタがターンオン状態で抵抗を有しないものと記載したが、印加される電圧に応じてモストランジスタは抵抗としての役割もすることを考慮しなければならない。

【0063】

プルダウントランジスタMxのターンオン時の抵抗Rxを考慮すれば、接点N1、N2の電圧は抵抗Rと抵抗Rxの比により決定されるため、抵抗Rの大きさを抵抗Rxの大きさより極めて大きくして、接点N1、N2にかかる電圧がゲートオフ電圧Voffに近似するようにすることが好ましい。

【0064】

しかし、抵抗RはプルダウントランジスタMxがターンオフされている状態では、殆ど電圧降下なしにゲートオン電圧Vonを伝達しなければならないので、一般的な抵抗素子でなくトランジスタのような能動素子であることが好ましい。

【0065】

また、図5に示した実施例の場合、プルダウントランジスタMxがターンオンされれば、バッファートランジスタM1は完全にターンオフされるのではなく接点N2の電圧によりプルダウン状態になると言える。この場合、蓄電器C1にかかる電圧V(C1)は、次の式(1)により決定される。

【0066】

$$V(C1) = R_{on} / (R_{on} + R_{down}) \times V_{on} \quad \dots (1)$$

ここで、Ronは放電トランジスタM4のターンオン時の抵抗値で、RdownはバッファートランジスタM1のプルダウン時の電圧である。この電圧は、次式(2)に示すようにインバータトランジスタM6のしきい電圧Vthより小さく、第2駆動トランジスタ

10

20

30

40

50

M3がターンオン状態になることによりゲート出力Gout(N)はLowにならない。つまり、インパタトランジスタM6がターンオンされて第2駆動トランジスタM3がターンオフされないようにしなければならない。

【0067】

$$R_{on} / (R_{on} + R_{down}) \times V_{on} < V_{th} \quad \dots (2)$$

従って、前記式(2)のように抵抗Rの大きさを決定する。この場合にも、接点N2の電位ができるだけゲートオフ電圧Voffに近似するように、抵抗R値をプルダウントランジスタMxの内部抵抗Rx値より極めて大きくすることが好ましい。

【0068】

次に、図6を参照して本発明の他の実施例について説明する。

10

【0069】

図示したように、プルダウントランジスタMxは後段ゲート出力Gout(N+1)とゲートオフ電圧Voffとの間に連結されており、その制御端子は前段ゲート出力Gout(N-1)に連結されている。

【0070】

図4及び図5に示した実施例では、バッファートランジスタM1の入力端子と制御端子に各々連結されるプルダウントランジスタMxを連結し、蓄電器C1に供給されるゲートオン電圧Vonを遮断することにより充電を防止する。これとは異なって、図6に示した実施例では、放電トランジスタM4の制御端子にプルダウントランジスタMxを連結し、蓄電器C1に供給されるゲートオフ電圧Voffを遮断することによって蓄電器C1の放電を防止するものである。

20

【0071】

バッファートランジスタM1と放電トランジスタM4以外のトランジスタに対する動作の説明は前述した内容と同様であるため省略する。

【0072】

以下、二つのトランジスタの動作を中心に説明する。

【0073】

前述のように、後段ゲート出力Gout(N+1)がHighの場合、放電トランジスタM4はターンオン状態であるので蓄電器C1が放電される。この時、前段ゲート出力Gout(N-1)がHighになればプルダウントランジスタMxがターンオンされ、これにより放電トランジスタM4の入力端子N3の電圧はゲートオフ電圧Voffにプルダウンされて、放電トランジスタM4がターンオフされる。

30

【0074】

これと共に、バッファートランジスタM1の制御端子にもHigh電圧が入力されて、バッファートランジスタM1がターンオンされる。これにより蓄電器C1にゲートオン電圧Vonが印加され充電を開始する。つまり、バッファートランジスタM1がONし、プルダウントランジスタMxがONし、放電トランジスタM4がOFFするため、充電器C1における放電が阻止されて充電がなされる。

【0075】

抵抗Rの値は、図4及び図5に示した実施例と同様に、プルダウントランジスタターンオンの時の抵抗Rxを考慮して、接点N3にかかる電圧がゲートオフ電圧Voffに近似するように、抵抗Rの値を抵抗Rxより極めて大きくすることが好ましい。

40

【0076】

図8aは本発明の一つの実施例によるゲート駆動部の信号波形図で、図8bは従来のゲート駆動部の信号波形図である。図8には、垂直同期開始信号のHigh区間が2Hより大きい場合における、4種類のゲート出力(V(OUT2)、V(OUT3)、V(U795:3)、V(R368:2))の信号波形が示されている。

【0077】

図8a及び8bに示すように、垂直同期開始信号のHigh区間が2Hより大きい場合、従来のゲート駆動部では信号が重複する等の異常信号が生成されるが、本発明の一実施

50

例によるゲート駆動部においては、前記のような問題がなく正常なゲート出力が生成されることが分かる。

【0078】

このような方式により、映像信号の異常発生により前段ゲート出力と後段ゲート出力が同時にHighになる場合でも、プルダウントランジスタMxを配置して、蓄電器C1で充電と放電が同時に起こる現象を防止することができる。

【0079】

以上、本発明の好ましい実施例について詳細に説明したが、本発明の権利範囲はこれに限定されず、請求の範囲で定義している本発明の基本概念を利用した当業者の多様な変形及び改良形態も本発明の権利範囲に属するものである。例えば、能動行列状の駆動方法を採択する場合は、有機電界発光表示装置のような平板表示装置にも適用することができる。

10

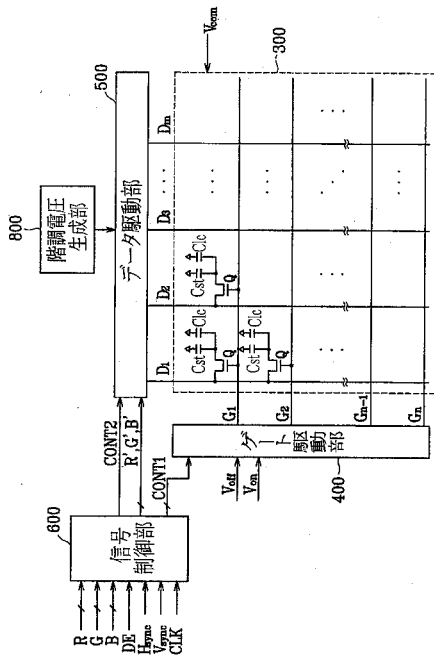
【符号の説明】

【0080】

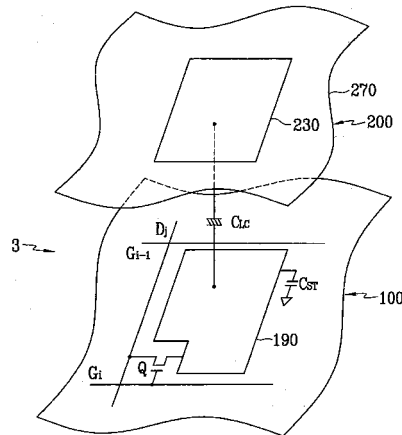
- 3 液晶層
- 100、200 表示板
- 190 画素電極
- 230 色フィルター
- 270 共通電極
- 300 液晶表示板組立体
- 400 ゲート駆動部
- 410 シフトレジスタ
- 500 データ駆動部
- 600 信号制御部
- 800 階調電圧生成部

20

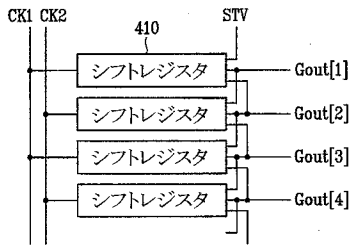
【図1】



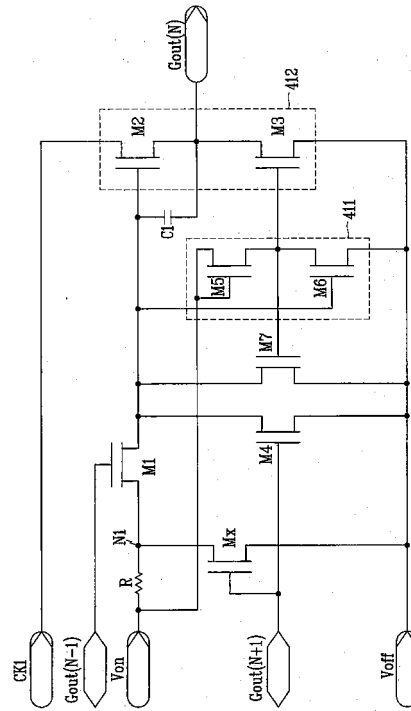
【図2】



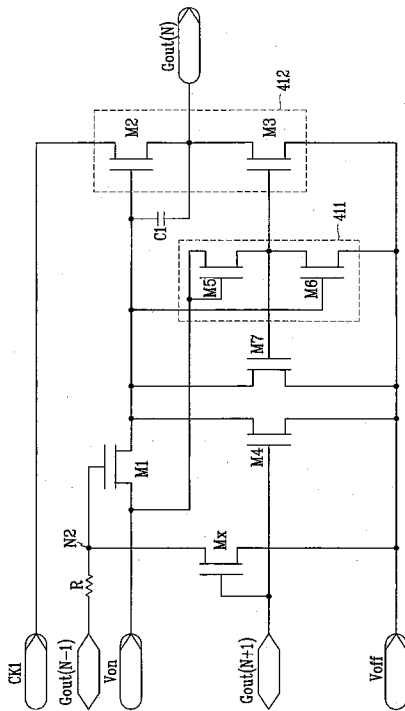
【 図 3 】



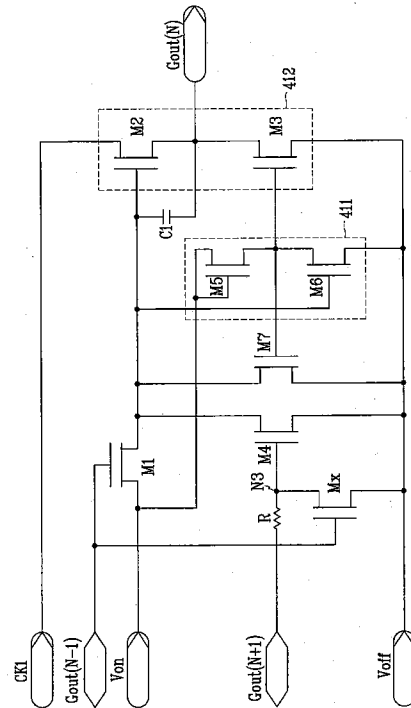
【 図 4 】



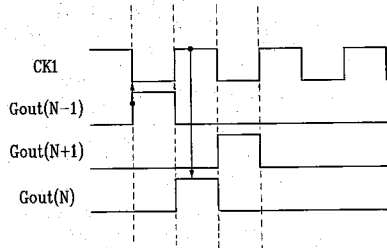
【 図 5 】



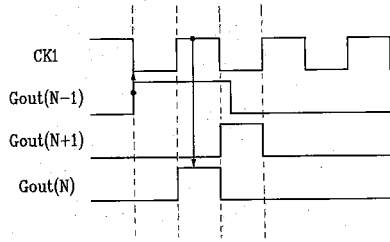
【 図 6 】



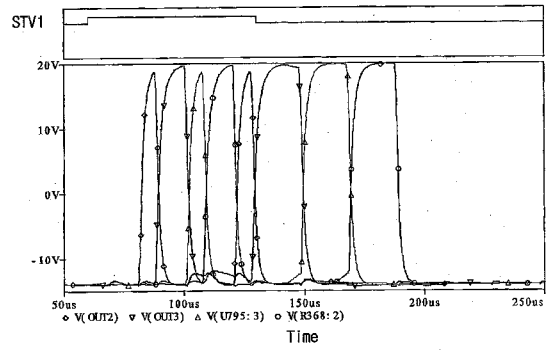
【 図 7 a 】



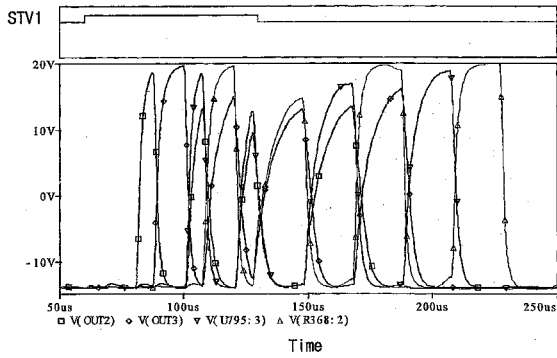
【 図 7 b 】



【 図 8 a 】



【 図 8 b 】



---

フロントページの続き

(72)発明者 文 勝 煥

大韓民国京畿道龍仁市水枝邑上 ヒョン 里現代アイパーク 6次アパート 205棟 1504号

Fターム(参考) 2H193 ZA05 ZC04 ZC24 ZF32

5C006 AC22 AF42 AF68 BB16 BC03 BC20 BF03 BF34 FA08

5C080 AA10 BB05 DD09 FF01 FF11 JJ02 JJ03 JJ04

专利名称(译)	显示装置的驱动装置		
公开(公告)号	<a href="#">JP2010164982A</a>	公开(公告)日	2010-07-29
申请号	JP2010035717	申请日	2010-02-22
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	文勝煥		
发明人	文勝煥		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G09G3/30 G09G3/32 G11C19/00 G11C19/18 G11C19/28 H01L51/50		
CPC分类号	G09G3/3677 G09G3/20 G09G3/2011 G09G3/3208 G09G2300/0417 G09G2300/0842 G09G2310/0267 G09G2310/08 G09G2330/08 G11C19/184		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.670.E G09G3/20.622.B G02F1/133.550 G11C19/00 G11C19/00.G G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H193/ZA05 2H193/ZC04 2H193/ZC24 2H193/ZF32 5C006/AC22 5C006/AF42 5C006/AF68 5C006/BB16 5C006/BC03 5C006/BC20 5C006/BF03 5C006/BF34 5C006/FA08 5C080/AA10 5C080/BB05 5C080/DD09 5C080/FF01 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5B074/AA01 5B074/CA01		
优先权	1020020080815 2002-12-17 KR		
其他公开文献	JP5253434B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种用于驱动液晶显示装置的装置，该装置在图像信号发生异常时防止闩锁现象。解决方案：栅极驱动部分包括以阵列连接的多个移位寄存器，并且每个移位寄存器包括电容器，缓冲晶体管和下拉晶体管。下拉晶体管连接到缓冲晶体管的输入端子。当缓冲晶体管通过前一级移位寄存器的输出导通时，下拉晶体管通过后级移位寄存器的输出导通，以通过电容器向电容器充电第一电压缓冲晶体管不可能，从而防止了闩锁现象。 ㄹ

