

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号
特開2010-140023
(P2010-140023A)

(43) 公開日 平成22年6月24日 (2010. 6. 24)

(51) Int.Cl.	F I	テーマコード (参考)
G 0 9 G 3/36 (2006.01)	G O 9 G 3/36	2 H 1 9 3
G 0 9 G 3/20 (2006.01)	G O 9 G 3/20 6 2 4 B	5 C 0 0 6
G 0 9 G 3/30 (2006.01)	G O 9 G 3/20 6 2 2 E	5 C 0 8 0
G O 2 F 1/133 (2006.01)	G O 9 G 3/20 6 2 3 H	5 C 3 8 0
G 1 1 C 19/00 (2006.01)	G O 9 G 3/20 6 2 1 M	
審査請求 未請求 請求項の数 11 O L (全 56 頁) 最終頁に続く		

(21) 出願番号 特願2009-257642 (P2009-257642)	(71) 出願人 000153878
(22) 出願日 平成21年11月11日 (2009. 11. 11)	株式会社半導体エネルギー研究所
(31) 優先権主張番号 特願2008-292197 (P2008-292197)	神奈川県厚木市長谷 3 9 8 番地
(32) 優先日 平成20年11月14日 (2008. 11. 14)	(72) 発明者 木村 肇
(33) 優先権主張国 日本国 (JP)	神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
F ターム (参考) 2H193 ZA04 ZA13 ZF23 ZF32 ZG02	
ZG12 ZG14 ZQ06 ZQ07 ZQ08	
ZQ09 ZQ11 ZQ13 ZQ14 ZQ16	
ZQ17 ZQ24 ZQ26 ZR02 ZR12	
5C006 AA12 AA16 AA22 AF50 AF51	
AF72 BB16 BC03 BC06 BC11	
BC20 BF03 BF04 BF33 BF34	
BF42 EB04 EB05 FA33 FA42	
FA46 FA47	
最終頁に続く	

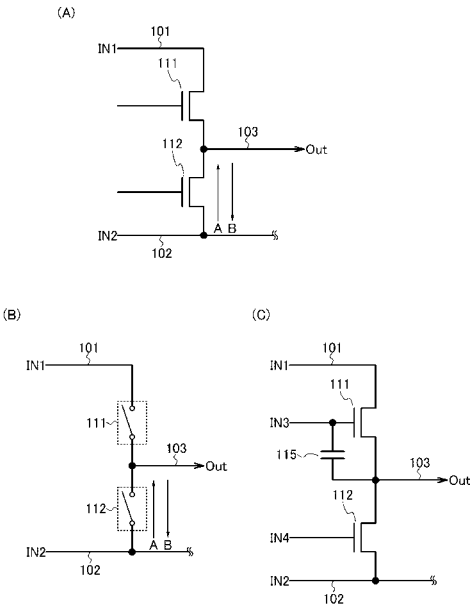
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 トランジスタの劣化に伴う回路の動作不良を抑制することを目的の一とする。

【解決手段】 画素や回路中で、ある特定レベルの信号（Lレベル信号）を出力し続けるトランジスタにおいて、当該トランジスタを流れる電流の方向を入れ替える（反転させる）構成とする。つまり、トランジスタの第1の端子と第2の端子（ソース又はドレインとなる端子）に加わる電圧の大小関係を任意の期間毎に入れ替えることにより、ソースとドレインを任意の期間毎に切り替える構成とする。具体的には、トランジスタを有する回路において、ある特定レベルの信号（Lレベル信号）を出力し続ける部分では、当該特定レベルの信号として、互いに異なる複数の電位を有するLレベル信号（任意の期間毎に電位が変化するLレベル信号）を用いる。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

ソース又はドレインの一方が第 1 の配線と電氣的に接続され、他方が第 3 の配線と電氣的に接続された第 1 のトランジスタと、

ソース又はドレインの一方が第 2 の配線と電氣的に接続され、他方が前記第 3 の配線と電氣的に接続された第 2 のトランジスタと、

ゲートが前記第 3 の配線に電氣的に接続され、前記第 3 の配線に供給される選択信号によりオンとなり且つ非選択信号によりオフとなる第 3 のトランジスタとを有し、

前記選択信号は、前記第 1 のトランジスタがオンしている期間に前記第 1 の配線から前記第 3 の配線へ供給され、

前記非選択信号は、前記第 2 のトランジスタがオンしている期間に前記第 2 の配線から前記第 3 の配線へ供給され、

前記選択信号又は前記非選択信号の少なくとも一方は、所定の期間毎に電位が変化する信号であることを特徴とする液晶表示装置。

【請求項 2】

請求項 1 において、

前記非選択信号は、少なくとも前記第 2 のトランジスタがオンしている期間に電位が変化する信号であることを特徴とする液晶表示装置。

【請求項 3】

請求項 1 において、

前記選択信号は、少なくとも前記第 1 のトランジスタがオンしている期間に電位が変化する信号であることを特徴とする液晶表示装置。

【請求項 4】

ソース又はドレインの一方が第 1 の配線と電氣的に接続され、他方が第 3 の配線と電氣的に接続された第 1 のトランジスタと、

ソース又はドレインの一方が第 2 の配線と電氣的に接続され、他方が前記第 3 の配線と電氣的に接続され、且つ互いに並列に設けられた複数の第 2 のトランジスタと、

ゲートが前記第 3 の配線に電氣的に接続され、前記第 3 の配線に供給される選択信号によりオンとなり且つ非選択信号によりオフとなる第 3 のトランジスタとを有し、

前記選択信号は、前記第 1 のトランジスタがオンしている期間に前記第 1 の配線から前記第 3 の配線へ供給され、

前記非選択信号は、所定の期間毎に電位が変化する信号であり、前記複数の第 2 のトランジスタのいずれかがオンしている期間に前記第 2 の配線から第 3 の配線へ供給されることを特徴とする液晶表示装置。

【請求項 5】

請求項 4 において、

前記非選択信号は、少なくとも前記複数の第 2 のトランジスタのいずれかがオンしている期間に電位が変化する信号であることを特徴とする液晶表示装置。

【請求項 6】

請求項 4 又は請求項 5 において、

前記複数の第 2 のトランジスタが、それぞれ所定の順番にオンとオフを交互に繰り返すことを特徴とする液晶表示装置。

【請求項 7】

請求項 4 乃至請求項 6 のいずれか一項において、

前記複数の第 2 のトランジスタを流れる電流の方向が入れ替わることを特徴とする液晶表示装置。

【請求項 8】

ソース又はドレインの一方が第 1 の配線と電氣的に接続され、他方が第 3 の配線と電氣的に接続された第 1 のトランジスタと、

ソース又はドレインの一方が第 2 の配線と電氣的に接続され、他方が前記第 3 の配線と

10

20

30

40

50

電氣的に接続された第 2 のトランジスタと、

ソース又はドレインの一方が第 4 の配線と電氣的に接続され、他方が前記第 3 の配線と電氣的に接続された第 4 のトランジスタと、

ゲートが前記第 3 の配線に電氣的に接続され、前記第 3 の配線に供給される選択信号によりオンとなり且つ非選択信号によりオフとなる第 3 のトランジスタとを有し、

前記選択信号は、前記第 1 のトランジスタがオンしている期間に前記第 1 の配線から前記第 3 の配線へ供給され、

前記非選択信号は、前記第 2 のトランジスタがオンしている期間又は前記第 4 のトランジスタがオンしている期間に、前記第 2 の配線又は前記第 4 の配線から前記第 3 の配線へ供給され、

前記第 2 の配線及び前記第 4 の配線には互いに異なる電位が印加され、

所定の期間毎に前記第 2 の配線に印加される電位と前記第 4 の配線に印加される電位が入れ替わることを特徴とする液晶表示装置。

【請求項 9】

請求項 8 において、

前記第 2 のトランジスタ及び前記第 4 のトランジスタを流れる電流の方向が入れ替わることを特徴とする液晶表示装置。

【請求項 10】

請求項 1 乃至請求項 9 のいずれか一項において、

前記第 3 のトランジスタのソース又はドレインの一方が、画素電極に電氣的に接続されていることを特徴とする液晶表示装置。

【請求項 11】

請求項 1 乃至請求項 10 のいずれか一項において、

前記第 1 のトランジスタ、前記第 2 のトランジスタ及び前記第 3 のトランジスタは、アモルファスシリコン又は微結晶シリコンをチャンネル形成領域とするトランジスタであることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置に関し、特にトランジスタを用いて構成される半導体装置又はその動作方法に関する。また、半導体装置を適用した表示装置及び当該表示装置を具備する電子機器に関する。

【背景技術】

【0002】

近年、液晶表示装置や発光装置などの表示装置に関する開発が活発に進められている。特に、絶縁体上に非単結晶半導体により形成されたトランジスタを用いて、画素回路やシフトレジスタ回路等を含む駆動回路（以下、内部回路という）を一体形成する技術は、低消費電力化、低コスト化、信頼性の向上、狭額縁化等に大きく貢献するため、活発に開発が進められている。絶縁体上に形成された内部回路は、FPC（Flexible printed circuit）等を介して絶縁体の外に配置されたコントローラ IC 等（以下、外部回路という）に接続され、その動作が制御されている。

【0003】

また、絶縁体上に一体形成された内部回路として、非単結晶半導体のトランジスタを用いて構成されるシフトレジスタ回路が考案されている（特許文献 1 参照）。

【0004】

しかし、上記シフトレジスタ回路は、出力端子がフローティング状態になる期間があるため、ノイズが出力端子に発生しやすく、出力端子に発生したノイズによりシフトレジスタ回路が誤動作するという問題を抱えていた。

【0005】

上記問題点を解決するために、出力端子がフローティング状態にならないシフトレジスタ

10

20

30

40

50

回路が考案されている。例えば、特許文献2では、いわゆるスタティック駆動によって、シフトレジスタ回路を動作することが提案されている。この場合、シフトレジスタ回路は、出力端子がフローティング状態にならないため、出力端子に発生するノイズを減らすことができる。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】国際公開第95/31804号パンフレット

【特許文献2】特開2004-78172号公報

【発明の概要】

10

【発明が解決しようとする課題】

【0007】

上記特許文献2に示すようにスタティック駆動で動作させる場合、その動作期間が選択信号を出力する選択期間と、非選択信号を出力する非選択期間とに分かれる。この動作期間のうちほとんどの期間が非選択期間になる。選択信号が高電位（ハイレベル信号）である場合には、非選択期間において、出力端子にトランジスタを介して非選択信号（低電位（ロウレベル信号））を供給している。つまり、出力端子に低電位を供給するためのトランジスタは、回路の動作期間のうちほとんどの期間においてオン状態となっている。

【0008】

非単結晶半導体を用いて作製されるトランジスタは、オンしている時間や印加する電位にしたがって劣化することが知られている。トランジスタが劣化すると、例えば、しきい値電圧がプラス側へシフトするしきい値電圧シフトが起こり、回路の動作不良が生じる問題がある。

20

【0009】

また、シフトレジスタ回路やラッチ回路等のデジタル回路は、画素やアナログスイッチ（例えば、トランスファークロスタック）等と違って電流が流れる向きが固定されている場合が多い。つまり、トランジスタのソースとドレインが固定化されているため、ドレイン側に電界が集中し、トランジスタが劣化しやすくなっている。

【0010】

このような問題点に鑑み、トランジスタの劣化を低減することを目的の一とする。又は、トランジスタの劣化に伴う回路の動作不良を抑制することを目的の一とする。又は、トランジスタを有する回路の信頼性を向上させることを目的の一とする。

30

【課題を解決するための手段】

【0011】

トランジスタの劣化を低減するために、画素や回路中で、ある特定レベルの信号（例えば、Lレベル信号（ロウレベル信号））を出力し続けるトランジスタにおいて、当該トランジスタを流れる電流の方向を入れ替える（反転させる）構成とする。つまり、トランジスタの第1の端子と第2の端子（ソース又はドレインとなる端子）に加わる電圧の大小関係を任意の期間毎に入れ替えることにより、ソースとドレインを任意の期間毎に切り替える構成とする。

40

【0012】

そのため、トランジスタを有する回路において、ある特定レベルの信号（例えば、Lレベル信号）を出力し続ける部分では、当該特定レベルの信号として、互いに異なる複数の電位を有するLレベル信号（任意の期間毎に電位が変化するLレベル信号）を用いる。例えば、あるトランジスタを介してLレベル信号を出力し続ける場合、Lレベル信号として、電位が V_{LH} からなる第1の電位と、電位が V_{LL} からなる第2の電位（ $V_{LH} > V_{LL}$ ）が任意の期間毎に切り替わる信号を用いることができる。つまり、電位が変化する信号をLレベル信号として用い、トランジスタを流れる電流の方向を入れ替える（ソースとドレインを入れ替える）ことによって、ソース側又はドレイン側への電界の集中を抑制し、トランジスタの劣化を低減させる。

50

【0013】

なお、第1の電位 (V_{LH}) と第2の電位 (V_{LL}) は、回路においてLレベル信号として機能すればどのような電位としてもよい。例えば、Lレベル信号が回路において非選択信号となる場合には、第1の電位と第2の電位が非選択信号として機能するように電位を設定すればよい。また、複数の電位として、3つ以上の電位を設定してもよい。

【0014】

また、トランジスタを介してHレベル信号（ハイレベル信号）が出力し続ける場合には、Hレベル信号として、電位が V_{HH} からなる第1の電位と、電位が V_{HL} からなる第2の電位 ($V_{HH} > V_{HL}$) が任意の期間に切り替わる信号を用いる。なお、第1の電位 (V_{HH}) と第2の電位 (V_{HL}) は、回路においてHレベル信号として機能すればどのような電位としてもよい。例えば、Hレベル信号が回路において選択信号となる場合には、第1の電位と第2の電位が選択信号として機能するように電位を設定すればよい。

10

【0015】

また、開示する発明の一例は、ソース又はドレインの一方が第1の配線と電氣的に接続され、他方が第3の配線と電氣的に接続された第1のトランジスタと、ソース又はドレインの一方が第2の配線と電氣的に接続され、他方が第3の配線と電氣的に接続された第2のトランジスタと、ゲートが第3の配線に電氣的に接続され、第3の配線に供給される選択信号によりオンとなり且つ非選択信号によりオフとなる第3のトランジスタとを有し、選択信号が第1のトランジスタがオンしている期間に第1の配線から第3の配線へ供給され、非選択信号が第2のトランジスタがオンしている期間に第2の配線から第3の配線へ供給され、選択信号又は非選択信号の少なくとも一方が所定の期間毎に電位が変化する信号であることを特徴としている。

20

【0016】

また、開示する発明の一例は、ソース又はドレインの一方が第1の配線と電氣的に接続され、他方が第3の配線と電氣的に接続された第1のトランジスタと、ソース又はドレインの一方が第2の配線と電氣的に接続され、他方が第3の配線と電氣的に接続され、且つ互いに並列に設けられた複数の第2のトランジスタと、ゲートが第3の配線に電氣的に接続され、第3の配線に供給される選択信号によりオンとなり且つ非選択信号によりオフとなる第3のトランジスタとを有し、選択信号が第1のトランジスタがオンしている期間に第1の配線から第3の配線へ供給され、非選択信号が所定の期間毎に電位が変化する信号であって、複数の第2のトランジスタのいずれかがオンしている期間に第2の配線から第3の配線へ供給されることを特徴としている。

30

【0017】

また、開示する発明の一例は、ソース又はドレインの一方が第1の配線と電氣的に接続され、他方が第3の配線と電氣的に接続された第1のトランジスタと、ソース又はドレインの一方が第2の配線と電氣的に接続され、他方が第3の配線と電氣的に接続された第2のトランジスタと、ソース又はドレインの一方が第4の配線と電氣的に接続され、他方が第3の配線と電氣的に接続された第4のトランジスタと、ゲートが第3の配線に電氣的に接続され、第3の配線に供給される選択信号によりオンとなり且つ非選択信号によりオフとなる第3のトランジスタとを有し、選択信号が第1のトランジスタがオンしている期間に第1の配線から第3の配線へ供給され、非選択信号が第2のトランジスタがオンしている期間又は第4のトランジスタがオンしている期間に第2の配線又は第4の配線から第3の配線へ供給され、第2の配線及び第4の配線には互いに異なる電位が印加され、且つ第2の配線に印加される電位と第4の配線に印加される電位が入れ替わることを特徴としている。

40

【0018】

本明細書において、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流を抑えたい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を有するトランジスタ

50

タやマルチゲート構造を有するトランジスタ等がある。または、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（ V_{ss} 、 GND 、 $0V$ など）の電位に近い値で動作する場合はNチャネル型トランジスタを用いることが望ましい。反対に、ソース端子の電位が、高電位側電源（ V_{dd} など）の電位に近い値で動作する場合はPチャネル型トランジスタを用いることが望ましい。なぜなら、Nチャネル型トランジスタではソース端子が低電位側電源の電位に近い値で動作するとき、Pチャネル型トランジスタではソース端子が高電位側電源の電位に近い値で動作するとき、ゲートとソースの間の電圧の絶対値を大きくできるため、スイッチとして、より正確な動作を行うことができるからである。さらに、トランジスタがソースフォロワ動作をしてしまうことが少ないため、出力電圧の大きさが小さくなってしまいうことが少ないからである。

10

【0019】

なお、Nチャネル型トランジスタとPチャネル型トランジスタの両方を用いて、CMOS型のスイッチをスイッチとして用いてもよい。CMOS型のスイッチにすると、Pチャネル型トランジスタまたはNチャネル型トランジスタのどちらか一方のトランジスタが導通すれば電流が流れるため、スイッチとして機能しやすくなる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることが出来る。さらに、スイッチをオンまたはオフさせるための信号の電圧振幅値を小さくすることが出来るので、消費電力を小さくすることも出来る。

【0020】

なお、スイッチとしてトランジスタを用いる場合、スイッチは、入力端子（ソース端子またはドレイン端子の一方）と、出力端子（ソース端子またはドレイン端子の他方）と、導通を制御する端子（ゲート端子）とを有している。一方、スイッチとしてダイオードを用いる場合、スイッチは、導通を制御する端子を有していない場合がある。そのため、トランジスタよりもダイオードをスイッチとして用いた方が、端子を制御するための配線を少なくすることが出来る。

20

【0021】

なお、「AとBとが接続されている」と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

30

【0022】

例えば、AとBとが電氣的に接続されている場合として、AとBとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が、AとBとの間に1個以上接続されていてもよい。あるいは、AとBとが機能的に接続されている場合として、AとBとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、AとBとの間に1個以上接続されていてもよい。例えば、AとBとの間に別の回路を挟んでいても、Aから出力された信号がBへ伝達される場合は、AとBとは機能的に接続されているものとする。

40

【0023】

なお、「AとBとが電氣的に接続されている」と明示的に記載する場合は、AとBとが電氣的に接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合）と、AとBとが機能的に接続されている場合（つまり、AとBとの間に別の回路を挟んで機能的に接続されている場合）と、AとBとが直接接続されている場合（

50

つまり、AとBとの間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

【0024】

なお、表示素子、表示素子を有する装置である表示装置、発光素子、発光素子を有する装置である発光装置は、様々な形態を用いることができる。例えば、表示素子、表示装置、発光素子または発光装置としては、EL（エレクトロルミネッセンス）素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、LED（白色LED、赤色LED、緑色LED、青色LEDなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイパネル（PDP）、デジタルマイクロミラーデバイス（DMD）、圧電セラミックディスプレイ、カーボンナノチューブ、などを用いることができる。これらは、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有することができる。なお、EL素子を用いた表示装置としてはELディスプレイなどがある。電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（FED）やSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）などがある。液晶素子を用いた表示装置としては液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）などがある。電子インクや電気泳動素子を用いた表示装置としては電子ペーパーなどがある。

10

20

【0025】

なお、EL素子とは、陽極と、陰極と、陽極と陰極との間に挟まれたEL層とを有する素子である。なお、EL層としては、1重項励起子からの発光（蛍光）を利用するもの、3重項励起子からの発光（燐光）を利用するもの、1重項励起子からの発光（蛍光）を利用するものと3重項励起子からの発光（燐光）を利用するものを含むもの、有機物によって形成されたもの、無機物によって形成されたもの、有機物によって形成されたものと無機物によって形成されたものを含むもの、高分子の材料、低分子の材料、高分子の材料と低分子の材料とを含むものなどを有することができる。ただし、これに限定されず、EL素子として様々なものを有することができる。

30

【0026】

なお、電子放出素子とは、陰極に高電界を集中して電子を引き出す素子である。例えば、電子放出素子として、スピント型、カーボンナノチューブ（CNT）型、金属—絶縁体—金属を積層したMIM（Metal—Insulator—Metal）型、金属—絶縁体—半導体を積層したMIS（Metal—Insulator—Semiconductor）型、MOS型、シリコン型、薄膜ダイオード型、ダイヤモンド型、金属—絶縁体—半導体—金属型等の薄膜型、HEED型、EL型、ポーラスシリコン型、表面伝導（SCE）型などを有することができる。ただし、これに限定されず、電子放出素子として様々なものを有することができる。

【0027】

なお、液晶素子とは、液晶の光学的変調作用によって光の透過または非透過を制御する素子であり、一对の電極、及び液晶により構成される。なお、液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界又は斜め方向の電界を含む）によって制御される。なお、液晶素子としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、リオトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（PDLC）、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、プラズマアドレス液晶（PALC）、バナナ型液晶などを挙げることができる。また、液晶の駆動方式としては、TN（Twisted Nematic）モード、STN（Super Twisted Nematic）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Swi

40

50

tching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASV (Advanced Super View) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optically Compensated Birefringence) モード、ECB (Electrically Controlled Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、PDLC (Polymer Dispersed Liquid Crystal) モード、ゲストホストモード、ブルー相 (Blue Phase) モードなどを用いることができる。ただし、これに限定されず、液晶素子及びその駆動方式として様々なものを用いることができる。

【0028】

なお、電子ペーパーとしては、分子により表示されるもの（光学異方性、染料分子配向など）、粒子により表示されるもの（電気泳動、粒子移動、粒子回転、相変化など）、フィルム的一端が移動することにより表示されるもの、分子の発色／相変化により表示されるもの、分子の光吸収により表示されるもの、電子とホールが結合して自発光により表示されるものなどのことをいう。例えば、電子ペーパーの表示方法として、マイクロカプセル型電気泳動、水平移動型電気泳動、垂直移動型電気泳動、球状ツイストボール、磁気ツイストボール、円柱ツイストボール方式、帯電トナー、電子粉流体、磁気泳動型、磁気感熱式、エレクトロウェットティング、光散乱（透明／白濁変化）、コレステリック液晶／光導電層、コレステリック液晶、双安定性ネマチック液晶、強誘電性液晶、2色性色素・液晶分散型、可動フィルム、ロイコ染料による発消色、フォトクロミック、エレクトロクロミック、エレクトロデポジション、フレキシブル有機ELなどを用いることができる。ただし、これに限定されず、電子ペーパー及びその表示方法として様々なものを用いることができる。ここで、マイクロカプセル型電気泳動を用いることによって、電気泳動方式の欠点である泳動粒子の凝集、沈殿を解決することができる。電子粉流体は、高速応答性、高反射率、広視野角、低消費電力、メモリー性などのメリットを有する。

【0029】

なお、プラズマディスプレイパネルは、電極を表面に形成した基板と、電極及び微小な溝を表面に形成し且つ溝内に蛍光体層を形成した基板とを狭い間隔で対向させて、希ガスを封入した構造を有する。あるいは、プラズマチューブを上下からフィルム状の電極で挟み込んだ構造とすることも可能である。プラズマチューブとは、ガラスチューブ内に、放電ガス、RGBそれぞれの蛍光体などを封止したものである。プラズマディスプレイパネルは、電極間に電圧をかけることによって紫外線を発生させ、蛍光体を光らせることで、表示を行うことができる。なお、放電方式としては、DC型とAC型があり、どちらを用いてもよい。ここで、プラズマディスプレイパネルの駆動方式としては、AWS (Address While Sustain) 駆動、サブフレームをリセット期間、アドレス期間、維持期間に分割するADS (Address Display Separated) 駆動、CLEAR (HI-CONTRAST & LOW ENERGY ADDRESS & REDUCTION OF FALSE CONTOUR SEQUENCE) 駆動、ALIS (Alternate Lighting of Surfaces) 方式、TERES (Technology of Reciprocal Sustainer) 駆動などを用いることができる。ただし、これに限定されず、プラズマディスプレイパネルの駆動方式として様々なものを用いることができる。

【0030】

なお、光源を必要とする表示装置、例えば、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）、グレーティングライトバルブ (GLV) を用いた表示装置、デジタルマイクロミラーデバイス (DMD) を用いた表示装置などの光源としては、エレクト

ロルミネッセンス、冷陰極管、熱陰極管、LED、レーザー光源、水銀ランプなどを用いることができる。ただし、これに限定されず、光源として様々なものを用いることができる。

【0031】

なお、トランジスタとして、様々な形態のトランジスタを用いることが出来る。よって、用いるトランジスタの種類に限定はない。例えば、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、ナノクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体膜を有する薄膜トランジスタ（TFET）などを用いることが出来る。TFETを用いる場合、様々なメリットがある。例えば、単結晶シリコンの場合よりも低い温度で製造できるため、製造コストの削減、又は製造装置の大型化を図ることができる。製造装置を大きくできるため、大型基板上に製造できる。そのため、同時に多くの個数の表示装置を製造できるため、低コストで製造できる。さらに、製造温度が低いため、耐熱性の弱い基板を用いることができる。そのため、透光性を有する基板上にトランジスタを製造できる。そして、透光性を有する基板上のトランジスタを用いて表示素子での光の透過を制御することが出来る。あるいは、トランジスタの膜厚が薄いため、トランジスタを構成する膜の一部は、光を透過させることが出来る。そのため、開口率が向上させることができる。

10

【0032】

なお、多結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。その結果、ゲートドライバ回路（走査線駆動回路）やソースドライバ回路（信号線駆動回路）、信号処理回路（信号生成回路、ガンマ補正回路、DA変換回路など）を基板上に一体形成することが出来る。

20

【0033】

なお、微結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。このとき、レーザー照射を行うことなく、熱処理を加えるだけで、結晶性を向上させることも可能である。その結果、ソースドライバ回路の一部（アナログスイッチなど）およびゲートドライバ回路（走査線駆動回路）を基板上に一体形成することが出来る。さらに、結晶化のためにレーザー照射を行わない場合は、シリコンの結晶性のムラを抑えることができる。そのため、画質の向上した画像を表示することが出来る。

30

【0034】

ただし、触媒（ニッケルなど）を用いずに、多結晶シリコンや微結晶シリコンを製造することは可能である。

【0035】

なお、シリコンの結晶性を、多結晶または微結晶などへと向上させることは、パネル全体で行うことが望ましいが、それに限定されない。パネルの一部の領域のみにおいて、シリコンの結晶性を向上させてもよい。選択的に結晶性を向上させることは、レーザー光を選択的に照射することなどにより可能である。例えば、画素以外の領域である周辺回路領域にのみ、レーザー光を照射してもよい。または、ゲートドライバ回路、ソースドライバ回路等の領域にのみ、レーザー光を照射してもよい。あるいは、ソースドライバ回路の一部（例えば、アナログスイッチ）の領域にのみ、レーザー光を照射してもよい。その結果、回路を高速に動作させる必要がある領域にのみ、シリコンの結晶化を向上させることができる。画素領域は、高速に動作させる必要性が低いため、結晶性が向上されなくても、問題なく画素回路を動作させることが出来る。結晶性を向上させる領域が少なく済むため、製造工程も短くすることが出来、スループットが向上し、製造コストを低減させることが出来る。必要とされる製造装置の数も少ない数で製造できるため、製造コストを低減させることが出来る。

40

【0036】

または、半導体基板やSOI基板などを用いてトランジスタを形成することが出来る。こ

50

れらにより、特性やサイズや形状などのバラツキが少なく、電流供給能力が高く、サイズの小さいトランジスタを製造することができる。これらのトランジスタを用いると、回路の低消費電力化、又は回路の高集積化を図ることができる。

【0037】

または、酸化亜鉛（ZnO）、インジウムとガリウムと亜鉛を含む酸化物（InGaZnO）、シリコンゲルマニウム（SiGe）、砒化ガリウム（GaAs）、酸化インジウム酸化亜鉛（IZO）、インジウム錫酸化物（ITO）、酸化錫（SnO）などの化合物半導体または酸化物半導体を有するトランジスタや、さらに、これらの化合物半導体または酸化物半導体を薄膜化した薄膜トランジスタなどを用いることが出来る。これらにより、製造温度を低くでき、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成することが出来る。なお、これらの化合物半導体または酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることも出来る。例えば、これらの化合物半導体または酸化物半導体を抵抗素子、画素電極、透光性を有する電極として用いることができる。さらに、それらをトランジスタと同時に成膜又は形成できるため、コストを低減できる。

10

【0038】

または、インクジェットや印刷法を用いて形成したトランジスタなどを用いることが出来る。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することができる。マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することが出来る。さらに、レジストを用いる必要がないので、材料費が安くなり、工程数を削減できる。さらに、必要な部分にのみ膜を付けるため、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストにできる。

20

【0039】

または、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。これらにより、曲げることが可能な基板上にトランジスタを形成することが出来る。このような基板を用いた半導体装置は、衝撃に対して強くすることができる。

【0040】

さらに、様々な構造のトランジスタを用いることができる。例えば、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどをトランジスタとして用いることが出来る。MOS型トランジスタを用いることにより、トランジスタのサイズを小さくすることが出来る。よって、複数のトランジスタを搭載することができる。バイポーラトランジスタを用いることにより、大きな電流を流すことが出来る。よって、高速に回路を動作させることができる。

30

【0041】

なお、MOS型トランジスタ、バイポーラトランジスタなどを1つの基板に混在させて形成してもよい。これにより、低消費電力、小型化、高速動作などを実現することが出来る。

【0042】

なお、トランジスタの構成は、様々な形態をとることができ、特定の構成に限定されない。例えば、ゲート電極が2個以上のマルチゲート構造を適用することができる。マルチゲート構造にすると、チャネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構成となる。マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上（信頼性の向上）を図ることができる。あるいは、マルチゲート構造により、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、電圧・電流特性の傾きをフラットにすることができる。電圧・電流特性の傾きがフラットである特性を利用すると、理想的な電流源回路や、非常に高い抵抗値をもつ能動負荷を実現することが出来る。その結果、特性のよい差動回路やカレントミラー回路を実現することが出来る。

40

50

【0043】

別の例として、チャンネルの上下にゲート電極が配置されている構造を適用することができる。チャンネルの上下にゲート電極が配置されている構造にすることにより、チャンネル領域が増えるため、電流値の増加を図ることができる。または、チャンネルの上下にゲート電極が配置されている構造にすることにより、空乏層ができやすくなるため、S値の改善を図ることができる。なお、チャンネルの上下にゲート電極が配置される構成にすることにより、複数のトランジスタが並列に接続されたような構成となる。

【0044】

チャンネル領域の上にゲート電極が配置されている構造、チャンネル領域の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャンネル領域を複数の領域に分けた構造、チャンネル領域を並列に接続した構造、またはチャンネル領域が直列に接続する構成も適用できる。さらに、チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なっている構造も適用できる。チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なる構造にすることによって、チャンネル領域の一部に電荷が溜まることにより動作が不安定になることを防ぐことができる。あるいは、LDD領域を設けた構造を適用できる。LDD領域を設けることにより、オフ電流の低減、又はトランジスタの耐圧向上（信頼性の向上）を図ることができる。あるいは、LDD領域を設けることにより、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、電圧・電流特性の傾きをフラットにすることができる。

【0045】

なお、トランジスタは、様々なタイプを用いることができ、様々な基板を用いて形成することができる。したがって、所定の機能を実現させるために必要な回路の全てを、同一の基板に形成することも可能である。例えば、所定の機能を実現させるために必要な回路の全てを、ガラス基板、プラスチック基板、単結晶基板、またはSOI基板などの様々な基板を用いて形成することも可能である。所定の機能を実現させるために必要な回路の全てが同じ基板を用いて形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。あるいは、所定の機能を実現させるために必要な回路の一部が、ある基板に形成され、所定の機能を実現させるために必要な回路の別の一部が、別の基板に形成されていることも可能である。つまり、所定の機能を実現させるために必要な回路の全てが同じ基板を用いて形成されていなくてもよい。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板上にトランジスタにより形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板に形成され、単結晶基板を用いて形成されたトランジスタで構成されたICチップをCOG (Chip On Glass) でガラス基板に接続して、ガラス基板上にそのICチップを配置することも可能である。あるいは、そのICチップをTAB (Tape Automated Bonding) やプリント基板を用いてガラス基板と接続することも可能である。このように、回路の一部が同じ基板に形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。あるいは、駆動電圧が高い部分及び駆動周波数が高い部分の回路は、消費電力が大きくなってしまうので、そのような部分の回路は同じ基板に形成せず、そのかわりに、例えば、単結晶基板にその部分の回路を形成して、その回路で構成されたICチップを用いるようにすれば、消費電力の増加を防ぐことができる。

【0046】

なお、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、R (赤) G (緑) B (青) の色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。なお、色要素は、三色に限定されず、三色以上を用いても良いし、RGB以外の色を用いても良い。例えば、白色を加えて、RGBW (Wは白) としても可能である。あるいは、RGBに、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色な

どを一色以上追加することも可能である。あるいは、例えば、RGBの中の少なくとも一色に類似した色を、RGBに追加することも可能である。例えば、R、G、B1、B2としてもよい。B1とB2とは、どちらも青色であるが、波長が異なっている。同様に、R1、R2、G、Bとすることも可能である。このような色要素を用いることにより、より実物に近い表示を行うことができる。このような色要素を用いることにより、消費電力を低減することが出来る。別の例としては、一つの色要素について、複数の領域を用いて明るさを制御する場合は、その領域一つ分を一画素とすることも可能である。よって、一例として、面積階調を行う場合または副画素（サブ画素）を有している場合、一つの色要素につき、明るさを制御する領域が複数あり、その全体で階調を表現するが、明るさを制御する領域の一つ分を一画素とすることも可能である。よって、その場合は、一つの色要素は、複数の画素で構成されることとなる。あるいは、明るさを制御する領域が一つの色要素の中に複数あっても、それらをまとめて、一つの色要素を1画素としてもよい。よって、その場合は、一つの色要素は、一つの画素で構成されることとなる。あるいは、一つの色要素について、複数の領域を用いて明るさを制御する場合、画素によって、表示に寄与する領域の大きさが異なっている場合がある。あるいは、一つの色要素につき複数ある、明るさを制御する領域において、各々に供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。つまり、一つの色要素について、複数個ある領域が各々有する画素電極の電位が、各々異なっていることも可能である。その結果、液晶分子に加わる電圧が各画素電極によって各々異なる。よって、視野角を広くすることが出来る。

10

【0047】

20

なお、一画素（三色分）と明示的に記載する場合は、RとGとBの三画素分を一画素と考える場合であるとする。一画素（一色分）と明示的に記載する場合は、一つの色要素につき、複数の領域がある場合、それらをまとめて一画素と考える場合であるとする。

【0048】

なお、画素は、マトリクス状に配置（配列）されている場合がある。ここで、画素がマトリクスに配置（配列）されているとは、縦方向もしくは横方向において、画素が直線上に並んで配置されている、又はギザギザな線上に配置されている場合を含む。よって、例えば三色の色要素（例えばRGB）でフルカラー表示を行う場合に、ストライプ配置されている場合、又は三つの色要素のドットがデルタ配置されている場合も含む。さらに、ベイヤー配置されている場合も含む。なお、色要素のドット毎にその表示領域の大きさが異な

30

【0049】

なお、画素に能動素子を有するアクティブマトリクス方式、または、画素に能動素子を有しないパッシブマトリクス方式を用いることが出来る。

【0050】

アクティブマトリクス方式では、能動素子（アクティブ素子、非線形素子）として、トランジスタだけでなく、さまざまな能動素子（アクティブ素子、非線形素子）を用いることが出来る。例えば、MIM（Metal Insulator Metal）やTFD（Thin Film Diode）などを用いることも可能である。これらの素子は、製造工程が少ないため、製造コストの低減、又は歩留まりの向上を図ることができる。さらに、素子のサイズが小さいため、開口率を向上させることができ、低消費電力化や高輝度化をはかることが出来る。

40

【0051】

なお、アクティブマトリクス方式以外のものとして、能動素子（アクティブ素子、非線形素子）を用いないパッシブマトリクス型を用いることも可能である。能動素子（アクティブ素子、非線形素子）を用いないため、製造工程が少なく、製造コストの低減、又は歩留まりの向上を図ることができる。能動素子（アクティブ素子、非線形素子）を用いないため、開口率を向上させることができ、低消費電力化や高輝度化をはかることが出来る。

【0052】

50

なお、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域とチャンネル領域とソース領域とを介して電流を流すことが出来る。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。あるいは、それぞれを第1電極、第2電極と表記する場合がある。あるいは、第1領域、第2領域と表記する場合がある。

【0053】

なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第1端子、第2端子などと表記する場合がある。

【0054】

なお、ゲートとは、ゲート電極とゲート配線（ゲート線、ゲート信号線、走査線、走査信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ゲート電極とは、チャンネル領域を形成する半導体と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことを言う。なお、ゲート電極の一部は、LDD（Lightly Doped Drain）領域またはソース領域（またはドレイン領域）と、ゲート絶縁膜を介してオーバーラップしている場合もある。ゲート配線とは、各トランジスタのゲート電極の間を接続するための配線、各画素の有するゲート電極の間を接続するための配線、又はゲート電極と別の配線とを接続するための配線のことを言う。

【0055】

なお、ソースとは、ソース領域とソース電極とソース配線（ソース線、ソース信号線、データ線、データ信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ソース領域とは、P型不純物（ボロンやガリウムなど）やN型不純物（リンやヒ素など）が多く含まれる半導体領域のことを言う。従って、少しだけP型不純物やN型不純物が含まれる領域、いわゆる、LDD（Lightly Doped Drain）領域は、ソース領域には含まれない。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電氣的に接続されて配置されている部分の導電層のことを言う。ただし、ソース電極は、ソース領域も含んでソース電極と呼ぶこともある。ソース配線とは、各トランジスタのソース電極の間を接続するための配線、各画素の有するソース電極の間を接続するための配線、又はソース電極と別の配線とを接続するための配線のことを言う。

【0056】

なお、ドレインについては、ソースと同様である。

【0057】

なお、半導体装置とは半導体素子（トランジスタ、ダイオード、サイリスタなど）を含む回路を有する装置のことをいう。さらに、半導体特性を利用することで機能しうる装置全般を半導体装置と呼んでもよい。または、半導体材料を有する装置のことを半導体装置と言う。

【0058】

なお、表示装置とは、表示素子を有する装置のことを言う。なお、表示装置は、表示素子を含む複数の画素を含んでも良い。なお、表示装置は、複数の画素を駆動させる周辺駆動回路を含んでも良い。なお、複数の画素を駆動させる周辺駆動回路は、複数の画素と同一基板上に形成されてもよい。なお、表示装置は、ワイヤボンディングやバンプなどによって基板上に配置された周辺駆動回路、いわゆる、チップオンガラス（COG）で接続されたICチップ、または、TABなどで接続されたICチップを含んでも良い。なお、表示装置は、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたフレキシブルプリントサーキット（FPC）を含んでもよい。なお、表示装置は、フレキシブルプリントサーキット（FPC）などを介して接続され、ICチップ

プ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたプリント配線基板（PWB）を含んでいても良い。なお、表示装置は、偏光板または位相差板などの光学シートを含んでいても良い。なお、表示装置は、照明装置、筐体、音声入出力装置、光センサなどを含んでいても良い。

【0059】

なお、照明装置は、バックライトユニット、導光板、プリズムシート、拡散シート、反射シート、光源（LED、冷陰極管など）、冷却装置（水冷式、空冷式）などを有していても良い。

【0060】

なお、発光装置とは、発光素子などを有している装置のことをいう。表示素子として発光素子を有している場合は、発光装置は、表示装置の具体例の一つである。

10

【0061】

なお、反射装置とは、光反射素子、光回折素子、光反射電極などを有している装置のことをいう。

【0062】

なお、液晶表示装置とは、液晶素子を有している表示装置をいう。液晶表示装置には、直視型、投写型、透過型、反射型、半透過型などがある。

【0063】

なお、駆動装置とは、半導体素子、電気回路、電子回路を有する装置のことを言う。例えば、ソース信号線から画素内への信号の入力を制御するトランジスタ（選択用トランジスタ、スイッチング用トランジスタなどと呼ぶことがある）、画素電極に電圧または電流を供給するトランジスタ、発光素子に電圧または電流を供給するトランジスタなどは、駆動装置の一例である。さらに、ゲート信号線に信号を供給する回路（ゲートドライバ、ゲート線駆動回路などと呼ぶことがある）、ソース信号線に信号を供給する回路（ソースドライバ、ソース線駆動回路などと呼ぶことがある）などは、駆動装置の一例である。

20

【0064】

なお、表示装置、半導体装置、照明装置、冷却装置、発光装置、反射装置、駆動装置などは、互いに重複して有している場合がある。例えば、表示装置が、半導体装置および発光装置を有している場合がある。あるいは、半導体装置が、表示装置および駆動装置を有している場合がある。

30

【発明の効果】

【0065】

本明細書で開示する発明の一態様により、トランジスタの劣化を低減することができる。

【0066】

また、本明細書で開示する発明の一態様により、トランジスタの劣化に伴う回路の動作不良を抑制することができる。

【0067】

また、本明細書で開示する発明の一態様により、トランジスタを有する回路の信頼性を向上させることができる。

【図面の簡単な説明】

40

【0068】

【図1】半導体装置の一例を示す図。

【図2】半導体装置及びその動作を説明する図。

【図3】半導体装置及びその動作を説明する図。

【図4】半導体装置及びその動作を説明する図。

【図5】半導体装置の一例を示す図。

【図6】半導体装置の動作の一例を説明する図。

【図7】半導体装置の動作の一例を説明する図。

【図8】半導体装置の動作の一例を説明する図。

【図9】半導体装置の動作の一例を説明する図。

50

- 【図 1 0】半導体装置の動作の一例を説明する図。
【図 1 1】半導体装置の動作の一例を説明する図。
【図 1 2】半導体装置の一例を示す図。
【図 1 3】半導体装置の動作の一例を説明する図。
【図 1 4】半導体装置の動作の一例を説明する図。
【図 1 5】半導体装置の動作の一例を説明する図。
【図 1 6】半導体装置の一例を示す図。
【図 1 7】半導体装置の一例を示す図。
【図 1 8】半導体装置の一例を示す図。
【図 1 9】半導体装置の一例を示す図。
【図 2 0】半導体装置の一例を示す図。
【図 2 1】半導体装置の一例を示す図。
【図 2 2】半導体装置の一例を示す図。
【図 2 3】半導体装置の一例を示す図。
【図 2 4】半導体装置の一例を示す図。
【図 2 5】半導体装置の一例を示す図。
【図 2 6】半導体装置の一例を示す図。
【図 2 7】半導体装置の一例を示す図。
【図 2 8】半導体装置の使用形態を示す図。
【発明を実施するための形態】

10

【0069】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同一部分又は同様な機能を有する部分は異なる図面間で共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

20

【0070】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び／又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

30

【0071】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【0072】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

40

【0073】

なお、ある一つの実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、抵抗素子など）、導電層、絶縁層、半導体層、有機材料、無機材料、部品、基板、モジュール、装置、固体、液体、気体、動作方法、製造方法などが単数又は複数記載された図面（断面図、平面図、回路図、ブロック図、フローチャート、工程図、斜視図、立面図、配置図、タイミングチャート、構造図、模式図、グラフ、表、光路図、ベクト

50

ル図、状態図、波形図、写真、化学式など）または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。一例としては、 N 個（ N は整数）の回路素子（トランジスタ、容量素子等）を有して構成される回路図から、 M 個（ M は整数で、 $M < N$ ）の回路素子（トランジスタ、容量素子等）を抜き出して、発明の一態様を構成することは可能である。別の一例としては、 N 個（ N は整数）の層を有して構成される断面図から、 M 個（ M は整数で、 $M < N$ ）の層を抜き出して、発明の一態様を構成することは可能である。別の一例としては、 N 個（ N は整数）の要素を有して構成されるフローチャートから、 M 個（ M は整数で、 $M < N$ ）の要素を抜き出して、発明の一態様を構成することは可能である。

【0074】

10

なお、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念を導き出すことは、当業者であれば容易に理解される。したがって、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

【0075】

なお、少なくとも図に記載した内容（図の中の一部でもよい）は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。したがって、ある内容について、図に記載されていれば、文章を用いて述べていなくても、その内容は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。同様に、図の一部を取り出した図についても、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

20

【0076】

なお、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。特に、端子の接続先が複数の場合には、その端子の接続先を特定の箇所に限定する必要はない。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

30

【0077】

なお、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

【0078】

（実施の形態1）

40

本実施の形態では、トランジスタを具備する半導体装置の一例に関して説明する。

【0079】

本実施の形態で示す半導体装置は、トランジスタの劣化を低減するために、トランジスタが導通（On（オン））している期間に当該トランジスタを流れる電流の方向を入れ替える（反転させる）構成となっている。つまり、トランジスタが導通している期間に当該トランジスタの第1の端子と第2の端子（ソース又はドレインとなる端子）に加わる電圧の大小関係を任意の期間毎に入れ替えることにより、ソースとドレインを任意の期間毎に切り替える構成とする。以下に、具体的な回路構成及び動作について図面を参照して説明する。

【0080】

50

本実施の形態で示す半導体装置は、配線101と配線103の間に設けられたトランジスタ111と、配線102と配線103の間に設けられたトランジスタ112とを少なくとも有している（図1（A）参照）。

【0081】

トランジスタ111は、ソース又はドレインの一方が配線101に電氣的に接続され、他方が配線103に電氣的に接続されている。トランジスタ111がオンすることにより、配線101に入力される信号（IN1）が配線103に供給される。トランジスタ112は、ソース又はドレインの一方が配線102に電氣的に接続され、他方が配線103に電氣的に接続されている。トランジスタ112がオンすることにより、配線102に入力される信号（IN2）が配線103に供給される。

10

【0082】

つまり、配線103には、配線101に入力される信号（IN1）に対応する第1の信号、又は配線102に入力される信号（IN2）に対応する第2の信号が供給される。

【0083】

例えば、第1の信号として高電位（ハイ（H）レベル信号）、第2の信号として低電位（ロウ（L）レベル信号）を用い、トランジスタ111及びトランジスタ112のオン又はオフを制御することにより、配線103にHレベル信号又はLレベル信号を選択的に出力できる。また、図2（A）に示すように、配線103にトランジスタのゲートを接続し、配線103からHレベル信号又はLレベル信号を出力することにより、当該トランジスタのオン又はオフを制御することができる。

20

【0084】

なお、図1では、トランジスタ111及びトランジスタ112は、Nチャネル型で設けた場合を示しているが、Pチャネル型で設けてもよい。又は、トランジスタ111とトランジスタ112の極性が異なってもよいし、各トランジスタをCMOSで設けてもよい。また、トランジスタ111は配線101と配線103との間のスイッチとして機能し、トランジスタ112は配線102と配線103との間のスイッチとして機能し得る（図1（B）参照）。

【0085】

本実施の形態では、図1に示した構成において、トランジスタ111とトランジスタ112の少なくとも一方について、当該トランジスタを流れる電流の方向を入れ替える構成とする。つまり、トランジスタ111とトランジスタ112の少なくとも一方について、トランジスタのソース又はドレインとなる端子である第1の端子と第2の端子に加わる電圧の大小関係を任意の期間毎に入れ替える（ソースとドレインを入れ替える）構成とする。

30

【0086】

特に、回路の動作時において、長い期間オン状態を維持するトランジスタについて、当該トランジスタを流れる電流の方向を入れ替える構成とすることが好ましい。例えば、図1（A）において、トランジスタ112が長い期間オン状態を維持する場合には、少なくとも当該トランジスタ112を流れる電流の方向（A方向又はB方向）を入れ替える構成とする。つまり、トランジスタ112の第1の端子と第2の端子に加わる電圧の大小関係を期間毎に入れ替える（ソースとドレインを入れ替える）構成とする。

40

【0087】

以下に、具体的な動作方法に関して図2、図3を参照して説明する。

【0088】

以下の説明においては、配線103にNチャネル型のトランジスタ121のゲートが電氣的に接続されている構成（例えば、配線103がゲート線として機能する場合）について説明する（図2（A）参照）。また、配線102に入力する信号として、電位が所定の期間毎に変化する信号を用いることによって、トランジスタ112がオンしている期間に当該トランジスタ112を流れる電流の方向を入れ替える場合について説明する。

【0089】

図2（B）～（F）はそれぞれ、配線103に供給される信号（Out）、配線101に

50

入力される信号（ $IN1$ ）、配線102に入力される信号（ $IN2$ ）、トランジスタ111のゲートに入力される信号（ $IN3$ ）、トランジスタ112のゲートに入力される信号（ $IN4$ ）を示している。もちろん、これらの信号（ $IN1 \sim IN4$ ）は一例であり、図2に示した信号に限られない。

【0090】

まず、期間T1において、トランジスタ111のゲートに当該トランジスタ111をオンさせる信号（ $IN3$ ）が入力される。その結果、トランジスタ111がオン状態となり、配線101に入力された信号（ $IN1$ ）に対応する第1の信号（ここでは、Hレベル信号（トランジスタ121をオンさせる選択信号））がトランジスタ111を介して配線103に供給される。そして、配線103に接続されているトランジスタ121のゲートに選択信号が入力され、トランジスタ121がオンする（図3（A）参照）。 10

【0091】

期間T1において、トランジスタ111のゲートに入力される信号（ $IN3$ ）の電位が V_H の場合、トランジスタ111のしきい値を V_{th} とすると、配線103に出力される信号の電位は $V_H - V_{th}$ となる。配線103に出力される信号の電位を V_H とするためには、期間T1においてトランジスタ111のゲートを浮遊状態とし、ブートストラップ動作を行うことによって、トランジスタ111のゲートに入力する信号（ $IN3$ ）の電位を $V_H + V_{th}$ より大きくすればよい。もちろん、配線103に出力される信号の電位を V_H とするために、トランジスタ111のゲートに入力する信号（ $IN3$ ）の電位をあらかじめ $V_H + V_{th}$ より大きくなるように設定（例えば、 $V_H + V_{th} + \alpha$ ）してもよい。 20

【0092】

また、期間T1において、トランジスタ112は、非導通（オフ状態）となっている。但し、これに限定されず、配線103に選択信号が出力されるのであれば、トランジスタ112がオンとなってもよい。この場合、配線102に入力される信号（ $IN2$ ）の電位が V_H となっていることが好ましい。

【0093】

また、期間T1よりも前の期間において、トランジスタ111がオンしていてもよい。この場合には、配線101に入力される信号は、Lレベル信号になっていることが望ましい。

【0094】

次に、期間T2になると、トランジスタ112のゲートに当該トランジスタ112をオンさせる信号（ $IN4$ ）が入力される。このとき、トランジスタ112において、配線102に接続されている端子の電位（この場合、 V_{LL} ）は配線103に接続されている端子の電位（この場合、 V_H ）より低くなるため、配線102に接続されている端子がソースとなり、配線103に接続されている端子がドレインとなる。その結果、トランジスタ112において、ゲートとソース間の電位 $V_{gsB} = V_H - V_{LL}$ がトランジスタ112のしきい値より大きくなるため、トランジスタ112がオン状態となり、配線102に入力された信号（ $IN2$ ）に対応する第2の信号（ここでは、トランジスタ121をオフさせる非選択信号、電位 V_{LL} ）がトランジスタ112を介して配線103に供給される。 30

【0095】

そして、配線103に接続されているトランジスタ121のゲートに非選択信号が供給され、トランジスタ121がオフする。なお、トランジスタ111は、期間T2において、オフ状態となっている。ただし、これに限定されず、 $IN1$ が V_{LL} になるならトランジスタ111がオン状態となってもよい。 40

【0096】

このように、期間T2では、トランジスタ112において、配線102に接続されている端子の電位が配線103に接続されている端子の電位より低くなることにより、配線102に接続されている端子がソースとなり、配線103に接続されている端子がドレインとなり、電流はドレインからソース（図2（A）中B方向）に流れる（図3（B）参照）。 50

【0097】

次に、期間 T_3 になると、トランジスタ 111 はオフ状態を維持し、配線 102 に入力される信号 (IN2) の電位が V_{LL} から V_{LH} ($V_{LL} < V_{LH}$) に変化する。このとき、トランジスタ 112 において、配線 102 に接続されている端子の電位 (この場合、 V_{LH}) が配線 103 に接続されている端子の電位 (この場合、 V_{LL}) より高くなるため、配線 102 に接続されている端子がドレインとなり、配線 103 に接続されている端子がソースとなる。トランジスタ 112 において、ゲートとソース間の電位 $V_{gsA} = V_H - V_{LH}$ がトランジスタ 112 のしきい値より大きい状態を維持するため、トランジスタ 112 がオン状態を維持し、配線 102 に入力された信号 (IN2) に対応する第 2 の信号 (ここでは、トランジスタ 121 をオフさせる非選択信号、電位 V_{LH}) がトランジスタ 112 を介して配線 103 に供給される。

10

【0098】

そして、配線 103 に接続されているトランジスタ 121 のゲートには非選択信号が入力されるため、トランジスタ 121 がオフ状態を維持する。ここで、電位 V_{LH} と電位 V_{LL} は互いに異なり、且つトランジスタ 121 のゲートに印加されても当該トランジスタ 121 をオンさせない電位である。例えば、トランジスタ 121 のソース又はドレインにおいて最も低い電位を V_{min} 、最も高い電圧を V_{max} 、トランジスタ 121 のしきい値電圧を V_{th} としたとき、 $V_{LH} - V_{min} < V_{th}$ 、 $V_H - V_{max} > V_{th}$ を満たす関係とすればよい。

【0099】

このように、期間 T_3 では、トランジスタ 112 において、配線 102 に接続されている端子の電位が配線 103 に接続されている端子の電位より高くなることにより、配線 102 に接続されている端子がドレインとなり、配線 103 に接続されている端子がソースとなり、電流はドレインからソース (図 2 (A) 中 A 方向) に流れる (図 3 (C) 参照)。

20

【0100】

続く期間 $T_n \sim$ 期間 $T_{(n+1)}$ においては、期間 $T_2 \sim$ 期間 T_3 の動作を繰り返すため、配線 103 には所定の期間毎に電位 V_{LL} と電位 V_{LH} が切り替わる第 2 の信号が供給され (ここでは、電位が V_{LH} である信号、偶数の期間に電位が V_{LL} である信号が供給される)、トランジスタ 121 はオフ状態を維持する。また、トランジスタ 112 は、オン状態を維持するが、電流の方向が入れ替わる構成となる (図 3 (D) (E) 参照)。

【0101】

つまり、本実施の形態では、L レベル信号を出力し続けるトランジスタ 112 に、任意の期間毎に電位が変化する L レベル信号 (非選択信号) を入力することによって、トランジスタ 112 においてソース又はドレインとなる 2 つの端子の電圧の大小関係を入れ替え、トランジスタ 112 を流れる電流の方向を入れ替えている。

30

【0102】

このように、トランジスタ 112 を流れる電流の方向を入れ替える (ソースとドレインを入れ替える) 構成とすることにより、トランジスタ 121 を安定してオフさせるためにトランジスタ 112 を長い期間オン状態とする場合であっても、トランジスタ 112 のチャネル部 (ドレイン端) での電界の集中を緩和し、トランジスタ 112 の劣化を低減することができる。その結果、トランジスタの劣化に伴う回路の動作不良を抑制し、信頼性を向上することができる。

40

【0103】

特に、トランジスタとしてアモルファスシリコンや微結晶シリコン (マイクロクリスタル、ナノクリスタル) をチャネル形成領域とする場合には、回路の動作期間において長い期間オン状態を維持するトランジスタを図 2、図 3 で示したように動作させることはトランジスタの劣化の低減に有効となる。なお、アモルファスシリコンや微結晶シリコン以外であっても、例えば、ポリシリコン、酸化物半導体 (ZnO 、 $IGZO$ ($InGaZnO$) 等)、有機半導体、カーボンナノチューブ等をチャネル形成領域とする場合であってもトランジスタの劣化の低減に有効となる。

【0104】

50

なお、図 2 では、L レベル信号として、電位が V_{LH} からなる第 1 の電位と、電位が V_{LL} からなる第 2 の電位 ($V_{LH} > V_{LL}$) が任意の期間毎に切り替わる信号を用いた場合を示したが、配線 102 に入力する信号は、互いに電位が異なる 2 種類の信号に限られない。トランジスタ 121 をオンさせない電位であれば、互いに異なる 3 種類以上の電位を組み合わせるとランジスタ 112 に入力してもよい。

【0105】

また、上記図 2 では、配線 102 に電位が V_{LH} からなる第 1 の電位と、電位が V_{LL} からなる第 2 の電位を同じ期間交互に繰り返し入力する場合を示したが、第 1 の電位と第 2 の電位を入力する期間は任意に設定することができる。また、配線 102 に電位が V_{LH} からなる第 1 の電位と、電位が V_{LL} からなる第 2 の電位を同じ期間交互に繰り返し入力する場合であっても、その周期は任意に設定することができる。

10

【0106】

また、図 2 で示した信号 (IN1 ~ IN4) は一例に過ぎず、これに限られない。例えば、上記図 2 では配線 101 に一定電位の信号を入力する場合 (例えば、配線 101 を電源線に接続する場合) を示したが、配線 101 に他の信号 (例えば、クロック信号) を入力してもよい。また、上記図 2 では期間 T2 ~ 期間 Tn において、トランジスタ 111 がオフ状態となる場合を示したが、配線 101 から L レベル信号が供給される場合には、トランジスタ 111 をオン状態とする期間を設けてもよい。

【0107】

また、期間 T1 において、トランジスタ 112 のゲートに入力する信号 (IN4) の電位を V_{LL} とした場合を示したが、トランジスタ 112 がオフとなるのであればこれに限られない。例えば、トランジスタ 112 のゲートに入力する信号 (IN4) の電位として V_{LL} より低い電位としてもよい。この場合、トランジスタ 112 がオフの際に、Vgs を 0V より小さくすることができるため、当該トランジスタ 112 の劣化を効果的に抑制することができる。

20

【0108】

また、上記図 2 では、期間 T2 ~ 期間 Tn において、トランジスタ 112 がオン状態を維持する場合を示したが、これに限られない。例えば、期間 T2 ~ 期間 Tn のある期間においてトランジスタ 112 をオフとする構成としてもよい。つまり、トランジスタ 112 がオンしている期間とオフしている期間を組み合わせ、さらに、オンしている期間では当該トランジスタ 112 を流れる電流の向きを入れ替える構成とする。この場合、トランジスタ 112 の劣化をより効果的に抑制することができる。なお、トランジスタ 112 をオフする期間において配線 102 と配線 103 の電位は等しくてもよいし、異なってもよい。また、トランジスタ 112 をオフとする期間は特に限定されないが、制御のしやすさからトランジスタ 112 をオンする期間とオフする期間をほぼ等しくすることが好ましい。

30

【0109】

また、本実施の形態で示す半導体装置は、上述したように、トランジスタ 111 のゲートを一時的に浮遊状態とすることによって、トランジスタ 111 のゲートとソース間の容量結合を利用するブートストラップ動作を適用した回路構成とすることができる。この場合、図 1 (C) に示すように、トランジスタ 111 のゲートと、ソース又はドレインの一方の間に容量素子 115 を設けた構成としてもよい。容量素子 115 を設けることにより、安定してブートストラップ動作を行うことができる。なお、トランジスタ 111 のゲートと、ソース又はドレインとの間に十分な寄生容量が生じる場合には、容量素子 115 を設けずにブートストラップ動作を行うことも可能である。

40

【0110】

また、本実施の形態では、L レベル信号を出力し続けるトランジスタ 112 を流れる電流の方向を入れ替える構成を例に挙げたが、トランジスタ 111 が L レベル信号を出力し続ける場合には、トランジスタ 111 を流れる電流の方向を入れ替える構成とすればよい。この場合、配線 101 に入力する信号 (IN1) として、電位が V_{LH} からなる第 1 の電

50

位と、電位が $V_{L L}$ からなる第 2 の電位 ($V_{L H} > V_{L L}$) が任意の期間毎に切り替わる信号を用いることができる。

【0111】

また、トランジスタ 112 (又はトランジスタ 111) が H レベル信号を出力し続ける場合には、当該トランジスタ 112 (又はトランジスタ 111) を流れる電流の方向を入れ替える構成とすればよい。この場合、配線 102 (又は配線 101) に入力する信号として、電位が $V_{H H}$ からなる第 1 の電位と、電位が $V_{H L}$ からなる第 2 の電位 ($V_{H H} > V_{H L}$) が任意の期間に切り替わる信号を用いることができる。

【0112】

もちろん、トランジスタ 111 とトランジスタ 112 の双方において、電流の方向が入れ替わる構成としてもよい。例えば、トランジスタ 111 を介して配線 101 から配線 103 に H レベル信号が供給され、トランジスタ 112 を介して配線 102 から配線 103 に L レベル信号が供給される場合、配線 101 に入力する信号 (IN1) として電位が $V_{H H}$ からなる第 1 の電位と、電位が $V_{H L}$ からなる第 2 の電位が任意の期間毎に切り替わる信号を用い、配線 102 に入力する信号 (IN2) として電位が $V_{L H}$ からなる第 1 の電位と、電位が $V_{L L}$ からなる第 2 の電位が任意の期間毎に切り替わる信号を用いることができる。

【0113】

また、本実施の形態では、トランジスタ 111、トランジスタ 112 及びトランジスタ 121 を N チャネル型のトランジスタで設けた場合を示したが、P チャネル型のトランジスタで設けてもよい (図 4 (A) ~ (F) 参照)。P チャネル型のトランジスタで設けた場合には、配線 102 に入力する信号として、電位が $V_{H H}$ からなる第 1 の電位と、電位が $V_{H L}$ からなる第 2 の電位 ($V_{H H} > V_{H L}$) が任意の期間に切り替わる信号を用いることによって、トランジスタ 112 を流れる電流の方向が入れ替わるように動作させることができる。その結果、トランジスタ 112 の劣化を低減し回路の動作不良を抑制することができる。なお、図 4 では、トランジスタ 111、トランジスタ 112 及びトランジスタ 121 を P チャネル型のトランジスタで設けた場合を示したが、トランジスタ 121 を N チャネル型のトランジスタで設けてもよい。

【0114】

なお、本実施の形態で示した構成は、本明細書で示した他の構成 (他の実施の形態で示した構成を含む) と適宜組み合わせて実施することができる。

【0115】

(実施の形態 2)

本実施の形態では、上記実施の形態と異なる構成を有する半導体装置の一例に関し図面を参照して説明する。

【0116】

本実施の形態で示す半導体装置は、配線 101 と配線 103 の間に設けられたトランジスタ 111 と、配線 102 と配線 103 の間に互いに並列して設けられた複数のトランジスタ 112 a、112 b とを少なくとも具備している (図 5 (A) 参照)。つまり、図 5 (A) に示す構成は、図 1 で示した構成にトランジスタ 112 b を追加した構成となっている (図 5 のトランジスタ 112 a が図 1 のトランジスタ 112 に対応している)。なお、図 5 (A) では、2 個のトランジスタ (トランジスタ 112 a、112 b) を並列して設けた場合を示したが、トランジスタの数は 3 個以上設けてもよい。

【0117】

トランジスタ 112 a、112 b は、ソース又はドレインの一方が配線 102 に電氣的に接続され、他方が配線 103 に接続されており、互いに並列に設けられている。そのため、トランジスタ 112 a、112 b の少なくとも一方がオンすることにより、配線 102 に入力される信号 (IN2) が配線 103 に供給される。

【0118】

配線 103 には、配線 101 に入力される信号 (IN1) に対応する第 1 の信号、又は配

10

20

30

40

50

線 1 0 2 に入力される信号 (I N 2) に対応する第 2 の信号が供給される。

【 0 1 1 9 】

なお、図 5 では、トランジスタ 1 1 1、トランジスタ 1 1 2 a、1 1 2 b は、N チャネル型で設けた場合を示しているが、P チャネル型で設けてもよいし、CMOS で設けてもよい。また、トランジスタ 1 1 1 は、配線 1 0 1 と配線 1 0 3 との間のスイッチとして機能し、トランジスタ 1 1 2 a、1 1 2 b は配線 1 0 2 と配線 1 0 3 との間のスイッチとして機能する (図 5 (B) 参照)。

【 0 1 2 0 】

本実施の形態では、並列に設けられた複数のトランジスタ (図 5 では、トランジスタ 1 1 2 a、1 1 2 b) のオンとオフを交互に行う。そして、複数のトランジスタを流れる電流の方向を入れ替える構成 (トランジスタのソース又はドレインとなる端子に加わる電圧の大小関係を期間毎に入れ替える (ソースとドレインを入れ替える) 構成) とする。つまり、並列に設けられた複数のトランジスタのオンとオフとを制御する。そして、複数のトランジスタを流れる電流の方向を制御することにより、トランジスタのチャネル部 (ドレイン端) での電界の集中を緩和し劣化を低減する。

【 0 1 2 1 】

以下に、具体的な動作方法に関して図面を参照して説明する。

【 0 1 2 2 】

[I N 2 の周期が I N 4、I N 5 の周期より小さい場合の動作]

図 6 (A) ~ (F) はそれぞれ、配線 1 0 3 から出力される信号 (O u t)、配線 1 0 1 に入力される信号 (I N 1)、配線 1 0 2 に入力される信号 (I N 2)、トランジスタ 1 1 1 のゲートに入力される信号 (I N 3)、トランジスタ 1 1 2 a のゲートに入力される信号 (I N 4)、トランジスタ 1 1 2 b のゲートに入力される信号 (I N 5) を示している。図 6 では、配線 1 0 2 に入力される信号 (I N 2) の周期がトランジスタ 1 1 2 a、1 1 2 b のゲートに入力される信号 (I N 4、I N 5) の $1/2$ である場合を示している。もちろん、入力される信号 (I N 1 ~ I N 5) は一例であり、これらに限定されるものでない。

【 0 1 2 3 】

また、図 6 (G) は、トランジスタ 1 1 2 a、トランジスタ 1 1 2 b の電流の流れる向きを示しており、 A_1 、 A_2 、 B_1 、 B_2 はそれぞれ図 5 に示した方向に対応している。また、トランジスタがオフして電流が流れない期間は×で示している。

【 0 1 2 4 】

まず、期間 T 1 において、トランジスタ 1 1 1 のゲートに当該トランジスタ 1 1 1 をオンさせる信号 (I N 3) が入力される。その結果、トランジスタ 1 1 1 がオン状態となり、配線 1 0 1 に入力された信号 (I N 1) に対応する第 1 の信号 (ここでは、H レベル信号 (選択信号)) がトランジスタ 1 1 1 を介して配線 1 0 3 に供給される。配線 1 0 3 にトランジスタ 1 2 1 のゲートが接続されている場合 (図 5 (C) 参照) には、当該配線 1 0 3 に接続されているトランジスタ 1 2 1 のゲートに選択信号が入力され、トランジスタ 1 2 1 がオンする。

【 0 1 2 5 】

期間 T 1 において、トランジスタ 1 1 1 のゲートに入力される信号 (I N 3) の電位が V_H の場合、トランジスタ 1 1 1 のしきい値を V_{th} とすると、配線 1 0 3 に出力される信号の電位は $V_H - V_{th}$ となる。この場合、配線 1 0 3 に出力される信号の電位を V_H とするためには、期間 T 1 においてトランジスタ 1 1 1 のゲートを浮遊状態とし、ブートストラップ動作を行う構成とすればよい。もちろん、配線 1 0 3 に出力される信号の電位を V_H とするためには、トランジスタ 1 1 1 のゲートに入力する信号 (I N 3) の電位をあらかじめ $V_H + V_{th}$ 以上に設定してもよい。

【 0 1 2 6 】

また、期間 T 1 において、トランジスタ 1 1 2 a、1 1 2 b は、オフ状態となっている。但し、これに限定されず、配線 1 0 3 に選択信号が出力されるのであれば、トランジスタ

10

20

30

40

50

1 1 2 a、1 1 2 bがオンとなってもよい。この場合、配線 1 0 2 に入力される信号 (I N 2) の電位が V_H となっていることが好ましい。

【 0 1 2 7 】

次に、期間 T 2 になると、トランジスタ 1 1 2 a のゲートに当該トランジスタ 1 1 2 a をオンさせる信号 (I N 4) が入力される。このとき、トランジスタ 1 1 2 a において、配線 1 0 2 に接続されている端子の電位 (この場合、 $V_{L L}$) が配線 1 0 3 に接続されている端子の電位 (この場合、 V_H) より低くなるため、配線 1 0 2 に接続されている端子がソースとなり、配線 1 0 3 に接続されている端子がドレインとなる。その結果、トランジスタ 1 1 2 a において、ゲートとソース間の電位 $V_{gs B} = V_H - V_{L L}$ がトランジスタ 1 1 2 a のしきい値より大きくなるため、トランジスタ 1 1 2 a がオン状態となり、配線 1 0 2 に入力された信号 (I N 2) に対応する電位が $V_{L L}$ の第 2 の信号 (非選択信号) がトランジスタ 1 1 2 a を介して配線 1 0 3 に供給される。

10

【 0 1 2 8 】

配線 1 0 3 にトランジスタ 1 2 1 のゲートが接続されている場合には、当該配線 1 0 3 に接続されているトランジスタ 1 2 1 のゲートに非選択信号が入力され、トランジスタ 1 2 1 がオフする。

【 0 1 2 9 】

続いて、期間 T 2 の後半になると、配線 1 0 2 に入力される信号 (I N 2) の電位が変化 (ここでは、 $V_{L L}$ から $V_{L H}$ に変化) する。このとき、トランジスタ 1 1 2 a において、配線 1 0 2 に接続されている端子の電位 (この場合、 $V_{L H}$) が配線 1 0 3 に接続されている端子の電位 (この場合、 $V_{L L}$) より高くなるため、配線 1 0 2 に接続されている端子がドレインとなり、配線 1 0 3 に接続されている端子がソースとなる。その結果、トランジスタ 1 1 2 a において、ゲートとソース間の電位 $V_{gs A} = V_H - V_{L L}$ がトランジスタ 1 1 2 a のしきい値より大きくなるため、トランジスタ 1 1 2 a がオン状態を維持し、配線 1 0 2 に入力された信号 (I N 2) に対応する電位が $V_{L H}$ の第 2 の信号 (非選択信号) がトランジスタ 1 1 2 a を介して配線 1 0 3 に供給される。

20

【 0 1 3 0 】

配線 1 0 3 にトランジスタ 1 2 1 のゲートが接続されている場合には、当該配線 1 0 3 に接続されているトランジスタ 1 2 1 のゲートに非選択信号が入力されるため、トランジスタ 1 2 1 はオフを維持する。

30

【 0 1 3 1 】

このように、期間 T 2 の前半では、トランジスタ 1 1 2 a において、配線 1 0 2 に接続されている端子の電位が配線 1 0 3 に接続されている端子の電位より低くなることにより、配線 1 0 2 に接続されている端子がソースとなり、配線 1 0 3 に接続されている端子がドレインとなり、電流はドレインからソース (図 5 中 B_1 方向) に流れる。一方、期間 T 2 の後半では、トランジスタ 1 1 2 a において、配線 1 0 2 に接続されている端子の電位が配線 1 0 3 に接続されている端子の電位より高くなることにより、配線 1 0 2 に接続されている端子がドレインとなり、配線 1 0 3 に接続されている端子がソースとなり、電流はドレインからソース (図 5 中 A_1 方向) に流れる。

【 0 1 3 2 】

次に、期間 T 3 になると、トランジスタ 1 1 2 a がオフし、トランジスタ 1 1 2 b のゲートに当該トランジスタ 1 1 2 b をオンさせる信号 (I N 5) が入力される。このとき、トランジスタ 1 1 2 b において、配線 1 0 2 に接続されている端子の電位 (この場合、 $V_{L L}$) が配線 1 0 3 に接続されている端子の電位 (この場合、 $V_{L H}$) より低くなるため、配線 1 0 2 に接続されている端子がソースとなり、配線 1 0 3 に接続されている端子がドレインとなる。その結果、トランジスタ 1 1 2 b において、ゲートとソース間の電位 $V_{gs B} = V_H - V_{L L}$ がトランジスタ 1 1 2 b のしきい値より大きくなるため、トランジスタ 1 1 2 b がオン状態となり、配線 1 0 2 に入力された信号 (I N 2) に対応する電位 $V_{L L}$ の第 2 の信号 (非選択信号) がトランジスタ 1 1 2 b を介して配線 1 0 3 に供給される。

40

50

【0133】

配線103にトランジスタ121のゲートが接続されている場合には、当該配線103に接続されているトランジスタ121のゲートに非選択信号が入力されるため、トランジスタ121はオフを維持する。

【0134】

続いて、期間T3の後半になると、配線102に入力される信号(IN2)の電位が変化(ここでは、 V_{LL} から V_{LH} に変化)する。このとき、トランジスタ112bにおいて、配線102に接続されている端子の電位(この場合、 V_{LH})が配線103に接続されている端子の電位(この場合、 V_{LL})より高くなるため、配線102に接続されている端子がドレインとなり、配線103に接続されている端子がソースとなる。その結果、トランジスタ112bにおいて、ゲートとソース間の電位 $V_{gsA} = V_H - V_{LL}$ がトランジスタ112bのしきい値より大きくなるため、トランジスタ112bがオン状態を維持し、配線102に入力された信号(IN2)に対応する電位 V_{LH} の第2の信号(非選択信号)がトランジスタ112bを介して配線103に供給される。

10

【0135】

配線103にトランジスタ121のゲートが接続されている場合には、当該配線103に接続されているトランジスタ121のゲートに非選択信号が入力されるため、トランジスタ121はオフを維持する。

【0136】

このように、期間T3の前半では、トランジスタ112bにおいて、配線102に接続されている端子の電位が配線103に接続されている端子の電位より低くなることにより、配線102に接続されている端子がソースとなり、配線103に接続されている端子がドレインとなり、電流はドレインからソース(図5中 B_2 方向)に流れる。一方、期間T3の後半では、トランジスタ112bにおいて、配線102に接続されている端子の電位が配線103に接続されている端子の電位より高くなることにより、配線102に接続されている端子がドレインとなり、配線103に接続されている端子がソースとなり、電流はドレインからソース(図5中 A_2 方向)に流れる。

20

【0137】

続く期間T4～期間Tnにおいては、期間T2又は期間T3と同様の動作を行う。

【0138】

期間T3～期間Tnにおいて、トランジスタ112aがオンのとき、オンしている期間のうち前半の期間に配線102から電位が V_{LL} である第2の信号が配線103に供給され、オンしている期間のうち後半の期間に配線102から電位が V_{LH} である第2の信号が配線103に供給される。そのため、トランジスタ112aがオンしている期間のうち前半の期間は、配線102に接続されている端子がソースとなり、配線103に接続されている端子がドレインとなり、電流はドレインからソース(図5中 B_1 方向)に流れる。また、トランジスタ112aがオンしている期間のうち後半の期間は、配線102に接続されている端子がドレインとなり、配線103に接続されている端子がソースとなり、電流はドレインからソース(図5中 A_1 方向)に流れる。

30

【0139】

また、トランジスタ112aがオンしている期間(トランジスタ112bがオフしている期間)のうち後半の期間は、配線102の電位が V_{LH} となるため、トランジスタ112bにおいてゲートとソース間電圧(V_{gs})が負($V_{gs} < 0V$)となる。このように、トランジスタ112bにおいて、ゲートとソース間電圧(V_{gs})が負($V_{gs} < 0V$)となる期間を設けることにより、トランジスタの劣化を効果的に抑制することができる。

40

【0140】

期間T3～期間Tnにおいて、トランジスタ112bがオンのとき、オンしている期間のうち前半の期間に配線102から電位が V_{LL} である第2の信号が配線103に供給され、オンしている期間のうち後半の期間に配線102から電位が V_{LH} である第2の信号が配線103に供給される。そのため、トランジスタ112bがオンしている期間のうち前

50

半の期間は、配線 102 に接続されている端子がソースとなり、配線 103 に接続されている端子がドレインとなり、電流はドレインからソース（図 5 中 B_2 方向）に流れる。また、トランジスタ 112b がオンしている期間のうち後半の期間は、配線 102 に接続されている端子がドレインとなり、配線 103 に接続されている端子がソースとなり、電流はドレインからソース（図 5 中 A_2 方向）に流れる。

【0141】

また、トランジスタ 112b がオンしている期間（トランジスタ 112a がオフしている期間）のうち後半の期間は、配線 102 の電位が V_{LH} となるため、トランジスタ 112a においてゲートとソース間電圧（ V_{gs} ）が負（ $V_{gs} < 0V$ ）となる。このように、トランジスタ 112a において、ゲートとソース間電圧（ V_{gs} ）が負（ $V_{gs} < 0V$ ）となる期間を設けることにより、トランジスタの劣化を効果的に抑制することができる。

10

【0142】

このように、並列に設けられた複数のトランジスタのオンとオフを交互に行い、トランジスタがオンしている期間に当該トランジスタを流れる電流の方向を入れ替える（トランジスタの第 1 の端子と第 2 の端子（ソース又はドレインとなる端子）に加わる電圧の大小関係を期間毎に入れ替える（ソースとドレインを入れ替える））構成とすることにより、トランジスタのチャネル部（ドレイン端）での電界の集中を緩和し劣化を低減することができる。その結果、トランジスタの劣化に伴う回路の動作不良を抑制し、信頼性を向上することができる。

【0143】

また、図 6 に示すようにトランジスタ 112a、トランジスタ 112b において、オンする期間とオフする期間をほぼ等しくすることが制御のしやすさの点から好ましい。この場合、トランジスタ 112a、トランジスタ 112b がオンしている期間のうち半分の期間毎にトランジスタを流れる電流の向きを変えることができる。

20

【0144】

なお、図 6 では、並列に設けられた複数のトランジスタ（トランジスタ 112a、トランジスタ 112b）が交互にオンとオフする場合を示したが、トランジスタ 112a とトランジスタ 112b のオンとオフの期間が一部重なるように動作させてもよい。つまり、トランジスタ 112a とトランジスタ 112b の双方がオンしている期間や双方がオフしている期間を設けてもよい。

30

【0145】

また、図 6 では、配線 102 に入力される信号（ $IN2$ ）の周期がトランジスタ 112a、112b のゲートに入力される信号（ $IN4$ 、 $IN5$ ）の $1/2$ である場合を示したがこれに限られず、 $1/2$ より小さくてもよいし大きくてもよい。また、図 6 において、配線 102 に入力される信号（ $IN2$ ）の位相をずらしてもよく、例えば、配線 102 に入力される信号（ $IN2$ ）を $1/2$ 又は $1/4$ 周期だけ位相をずらしてもよい。

【0146】

また、図 5 に示した構造の動作において、配線 102 に入力される信号（ $IN2$ ）の周期はトランジスタ 112a、112b のゲートに入力される信号（ $IN4$ 、 $IN5$ ）の周期より小さい場合に限られない。以下に、配線 102 に入力される信号（ $IN2$ ）の周期がトランジスタ 112a、112b のゲートに入力される信号（ $IN4$ 、 $IN5$ ）の周期と同じ場合、大きい場合について図面を参照して説明する。

40

【0147】

[$IN2$ の周期が $IN4$ 、 $IN5$ の周期より大きい場合の動作]

以下の説明において、図 7、図 8 の（A）～（F）はそれぞれ、配線 103 から出力される信号（ Out ）、配線 101 に入力される信号（ $IN1$ ）、配線 102 に入力される信号（ $IN2$ ）、トランジスタ 111 のゲートに入力される信号（ $IN3$ ）、トランジスタ 112a のゲートに入力される信号（ $IN4$ ）、トランジスタ 112b のゲートに入力される信号（ $IN5$ ）を示している。図 7、図 8 では、配線 102 に入力される信号（ $IN2$ ）の周期がトランジスタ 112a、112b のゲートに入力される信号（ $IN4$ 、 IN

50

5) より大きい場合 (IN 2 の周期が IN 4、IN 5 の周期の 2 倍の場合) を示している。もちろん、入力される信号 (IN 1 ~ IN 5) は一例であり、これらに限定されるものでない。

【0148】

また、図 7、図 8 の (G) は、トランジスタ 112 a、トランジスタ 112 b の電流の流れる向きを示しており、 A_1 、 A_2 、 B_1 、 B_2 はそれぞれ図 5 に示した方向に対応している。また、トランジスタがオフして電流が流れない期間は×で示している。また、トランジスタがオンしているが電流が流れない期間は—で示している。

【0149】

まず、期間 T 1 において、トランジスタ 111 のゲートにトランジスタ 111 をオンさせる信号 (IN 3) が入力される。ここでは、上記図 6 の期間 T 1 と同様に動作する。

10

【0150】

次に、期間 T 2 になると、トランジスタ 112 a のゲートに当該トランジスタ 112 a をオンさせる信号 (IN 4) が入力される。このとき、トランジスタ 112 a において配線 102 に接続されている端子の電位 (この場合、 V_{LL}) は配線 103 に接続されている端子の電位 (この場合、 V_H) より低くなるため、配線 102 に接続されている端子がソースとなり、配線 103 に接続されている端子がドレインとなる。その結果、トランジスタ 112 a において、ゲートとソース間の電位 $V_{gsB} = V_H - V_{LL}$ がトランジスタ 112 a のしきい値より大きくなるため、トランジスタ 112 a がオン状態となり、配線 102 に入力された信号 (IN 2) に対応する電位が V_{LL} の第 2 の信号 (非選択信号) がトランジスタ 112 a を介して配線 103 に供給される。

20

【0151】

配線 103 にトランジスタ 121 のゲートが接続されている場合 (図 5 (C) 参照) には、当該配線 103 に接続されているトランジスタ 121 のゲートに非選択信号が入力され、トランジスタ 121 がオフする。

【0152】

このように、期間 T 2 では、トランジスタ 112 a において、配線 102 に接続されている端子の電位が配線 103 に接続されている端子の電位より低くなることにより、配線 102 に接続されている端子がソースとなり、配線 103 に接続されている端子がドレインとなり、電流はドレインからソース (図 5 中 B_1 方向) に流れる。

30

【0153】

次に、期間 T 3 になると、トランジスタ 112 a のゲートに当該トランジスタ 112 a をオフさせる信号 (IN 4) が入力され、トランジスタ 112 b のゲートに当該トランジスタ 112 b をオンさせる信号 (IN 5) が入力され、トランジスタ 112 a とトランジスタ 112 b のオンとオフが入れ替わる。このとき、トランジスタ 112 b において、配線 102 に接続されている端子の電位 (この場合、 V_{LH}) が配線 103 に接続されている端子の電位 (この場合、 V_{LL}) より高くなるため、配線 102 に接続されている端子がドレインとなり、配線 103 に接続されている端子がソースとなる。その結果、トランジスタ 112 b において、ゲートとソース間の電位 $V_{gsA} = V_H - V_{LL}$ がトランジスタ 112 b のしきい値より大きくなるため、トランジスタ 112 b がオン状態となり、配線 102 に入力された信号 (IN 2) に対応する電位が V_{LH} の第 2 の信号 (非選択信号) がトランジスタ 112 b を介して配線 103 に供給される。

40

【0154】

このように、期間 T 3 では、トランジスタ 112 b において、配線 103 に接続されている端子の電位が配線 102 に接続されている端子の電位より低くなることにより、配線 103 に接続されている端子がソースとなり、配線 102 に接続されている端子がドレインとなり、電流はドレインからソース (図 5 中 A_2 方向) に流れる。

【0155】

また、期間 T 3 では、トランジスタ 112 a において、ゲートとソース間電圧 (V_{gs}) が負 ($V_{gs} < 0V$) となる。このように、トランジスタ 112 a において、ゲートとソ

50

ース間電圧 (V_{gs}) が負 ($V_{gs} < 0V$) となる期間を設けることにより、 $V_{gs} = 0V$ となる場合と比較してトランジスタの劣化を効果的に抑制することができる。

【0156】

次に、期間 T_4 になると、トランジスタ $112a$ のゲートに当該トランジスタ $112a$ をオンさせる信号 (IN_4) が入力され、トランジスタ $112b$ のゲートに当該トランジスタ $112b$ をオフさせる信号 (IN_5) が入力され、トランジスタ $112a$ とトランジスタ $112b$ のオンとオフが入れ替わる。また、配線 102 の電位が V_{LH} を保持するため、配線 103 の電位も V_{LH} を維持する。従って、トランジスタ $112a$ においては、配線 102 に接続されている端子の電位と配線 103 に接続されている端子の電位とが等しくなるため、トランジスタ $112a$ には電流は流れない。

10

【0157】

次に、期間 T_5 になると、トランジスタ $112a$ のゲートに当該トランジスタ $112a$ をオフさせる信号 (IN_4) が入力され、トランジスタ $112b$ のゲートに当該トランジスタ $112b$ をオンさせる信号 (IN_5) が入力され、トランジスタ $112a$ とトランジスタ $112b$ のオンとオフが入れ替わる。このとき、トランジスタ $112b$ において、配線 102 に接続されている端子の電位 (この場合、 V_{LL}) が配線 103 に接続されている端子の電位 (この場合、 V_{LH}) より低くなるため、配線 102 に接続されている端子がソースとなり、配線 103 に接続されている端子がドレインとなる。その結果、トランジスタ $112b$ において、ゲートとソース間の電位 $V_{gsB} = V_H - V_{LL}$ がトランジスタ $112b$ のしきい値より大きくなるため、トランジスタ $112b$ がオン状態となり、配線 102 に入力された信号 (IN_2) に対応する電位が V_{LL} の第2の信号 (非選択信号) がトランジスタ $112b$ を介して配線 103 に供給される。

20

【0158】

このように、期間 T_5 では、トランジスタ $112b$ において、配線 102 に接続されている端子の電位が配線 103 に接続されている端子の電位より低くなることにより、配線 102 に接続されている端子がソースとなり、配線 103 に接続されている端子がドレインとなり、電流はドレインからソース (図5中 B_2 方向) に流れる。

【0159】

続く期間 $T_6 \sim$ 期間 T_n においては、期間 $T_2 \sim$ 期間 T_5 の動作を繰り返すため、トランジスタ 111 はオフ状態を維持し、トランジスタ $112a$ 、 $112b$ は交互にオンとなり、配線 103 には電位 V_{LH} と、電位 V_{LL} が任意の期間毎に切り替わる信号が入力される。そのため、配線 103 にトランジスタ 121 のゲートが接続されている場合には、当該トランジスタ 121 が安定してオフ状態を維持する。

30

【0160】

なお、図7に示した動作方法では、トランジスタ $112a$ を流れる電流の方向を入れ替える (ソースとドレインを入れ替える) ことができない。従って、ある期間毎に、配線 102 に入力される信号 (IN_2) の周期をずらし、トランジスタ $112a$ を流れる電流の方向を入れ替える構成とすることが好ましい。

【0161】

図8は、配線 102 に入力される信号 (IN_2) をずらすことにより、トランジスタ $112a$ を流れる電流の方向を入れ替える構成とした場合を示している。図8に示した動作では、トランジスタ $112b$ を流れる電流の方向を入れ替える (ソースとドレインを入れ替える) ことができない。従って、回路の動作時において、図7に示した動作と図8に示した動作を期間毎に切り替えることによって、配線 102 に入力される信号 (IN_2) の周期をトランジスタ $112a$ 、 $112b$ のゲートに入力される信号 (IN_4 、 IN_5) より大きくした場合であってもトランジスタ $112a$ 及びトランジスタ $112b$ の劣化を低減することができる。

40

【0162】

図7、図8では、並列に設けられた複数のトランジスタ (トランジスタ $112a$ 、トランジスタ $112b$) が交互にオンとオフする場合を示したが、トランジスタ $112a$ とトラ

50

ンジスタ 1 1 2 b のオンとオフの期間が一部重なるように動作させてもよい。つまり、トランジスタ 1 1 2 a とトランジスタ 1 1 2 b の双方がオンしている期間や双方がオフしている期間を設けてもよい。

【0163】

また、図 7、図 8 では、配線 1 0 2 に入力される信号 (IN 2) の周期がトランジスタ 1 1 2 a、1 1 2 b のゲートに入力される信号 (IN 4、IN 5) の 2 倍である場合を示したがこれに限られず、2 倍より小さくてもよいし大きくてもよい。

【0164】

[IN 2 の周期が IN 4、IN 5 の周期と等しい場合の動作]

以下の説明において、図 9、図 10 の (A) ~ (F) はそれぞれ、配線 1 0 3 から出力される信号 (Out)、配線 1 0 1 に入力される信号 (IN 1)、配線 1 0 2 に入力される信号 (IN 2)、トランジスタ 1 1 1 のゲートに入力される信号 (IN 3)、トランジスタ 1 1 2 a のゲートに入力される信号 (IN 4)、トランジスタ 1 1 2 b のゲートに入力される信号 (IN 5) を示している。図 9、図 10 では、配線 1 0 2 に入力される信号 (IN 2) の周期がトランジスタ 1 1 2 a、1 1 2 b のゲートに入力される信号 (IN 4、IN 5) の周期と等しい場合を示している。もちろん、入力される信号 (IN 1 ~ IN 5) は一例であり、これらに限定されるものでない。

【0165】

また、図 9、図 10 の (G) は、トランジスタ 1 1 2 a、トランジスタ 1 1 2 b の電流の流れる向きを示しており、 A_1 、 A_2 、 B_1 、 B_2 はそれぞれ図 5 に示した方向に対応している。また、トランジスタがオフして電流が流れない期間は $\times$ で示している。また、トランジスタがオンしているが電流が流れない期間は $-$ で示している。

【0166】

本実施の形態では、図 9 に示す動作と図 10 に示す動作を任意の期間毎に交互に行うことにより、トランジスタを動作させる。

【0167】

まず、ある期間 $T_{x1} \sim T_{xn}$ では、トランジスタ 1 1 2 a がオンのときに配線 1 0 2 から電位が V_{LL} である第 2 の信号が配線 1 0 3 に供給され、トランジスタ 1 1 2 b がオンのときに配線 1 0 2 から電位が V_{LH} である第 2 の信号が配線 1 0 3 に供給される (図 9 参照)。

【0168】

そのため、期間 $T_{x1} \sim$ 期間 T_{xn} では、トランジスタ 1 1 2 a がオンのとき、トランジスタ 1 1 2 a において配線 1 0 2 に接続されている端子がソースとなり、配線 1 0 3 に接続されている端子がドレインとなり、電流はドレインからソース (図 5 中 B_1 方向) に流れる。また、トランジスタ 1 1 2 b がオンのとき、トランジスタ 1 1 2 b において配線 1 0 3 に接続されている端子がソースとなり、配線 1 0 2 に接続されている端子がドレインとなり、電流はドレインからソース (図 5 中 A_2 方向) に流れる。また、トランジスタ 1 1 2 a がオフの場合に、当該トランジスタ 1 1 2 a においてゲートとソース間電圧 (V_{gs}) を負 ($V_{gs} < 0V$) とすることができるため、 $V_{gs} = 0V$ となる場合と比較してトランジスタの劣化を効果的に抑制することができる。

【0169】

なお、トランジスタ 1 1 2 a、トランジスタ 1 1 2 b において、電流が流れることにより、配線 1 0 2 に接続されている端子の電位と配線 1 0 3 に接続されている端子の電位が等しくなった場合には、ソースとドレインの区別がなくなる。

【0170】

別の期間 $T_{y1} \sim$ 期間 T_{yn} では、トランジスタ 1 1 2 a がオンのときに配線 1 0 2 から電位が V_{LH} である第 2 の信号が配線 1 0 3 に供給され、トランジスタ 1 1 2 b がオンのときに配線 1 0 2 から電位が V_{LL} である第 2 の信号が配線 1 0 3 に供給される (図 10 参照)。

【0171】

そのため、期間 T_{y1} ～ 期間 T_{yn} では、トランジスタ 112a がオンのとき、トランジスタ 112a において配線 102 に接続されている端子がドレインとなり、配線 103 に接続されている端子がソースとなり、電流はドレインからソース（図 5 中 A_1 方向）に流れる。また、トランジスタ 112b がオンのとき、トランジスタ 112b において配線 103 に接続されている端子がドレインとなり、配線 102 に接続されている端子がソースとなり、電流はドレインからソース（図 5 中 B_2 方向）に流れる。また、トランジスタ 112b がオフの場合に、当該トランジスタ 112b においてゲートとソース間電圧（ V_{gs} ）を負（ $V_{gs} < 0V$ ）とすることができるため、 $V_{gs} = 0V$ となる場合と比較してトランジスタの劣化を効果的に抑制することができる。

【0172】

従って、任意の期間毎に、配線 102 に入力される信号（ $IN2$ ）の周期をずらし（例えば、反転させ）、図 9 の動作と図 10 の動作を組み合わせる行うことにより（例えば、図 11 参照）、トランジスタ 112a、トランジスタ 112b をそれぞれ流れる電流の方向を入れ替える（トランジスタのソース又はドレインとなる端子に加わる電圧の大小関係を期間毎に入れ替える（ソースとドレインを入れ替える））構成とすることができる。その結果、トランジスタ 112a 及びトランジスタ 112b のチャンネル部（ドレイン端）での電界の集中を緩和し劣化を低減することができる。さらに、並列に設けられた複数のトランジスタ（トランジスタ 112a、トランジスタ 112b）のオンとオフを交互に行うことによって、トランジスタの劣化を抑制することができる。

【0173】

任意の期間としては、例えば、本実施の形態における半導体装置を表示装置のゲートドライバとして適用する場合、1 フレーム期間毎に図 9 に示す動作と図 10 に示す動作を切り替えて行うことができる。

【0174】

なお、図 9、図 10 では、配線 102 に入力される信号（ $IN2$ ）とトランジスタ 112a、112b のゲートに入力される信号（ $IN4$ 、 $IN5$ ）の立ち上がり及び立ち下がりと同じタイミングで行う場合を示しているが、これに限られず、例えば、配線 102 に入力される信号（ $IN2$ ）の周期を $1/4$ 周期だけ位相をずらして動作させてもよい。

【0175】

本実施の形態で示したように、並列に設けられた複数のトランジスタのオンとオフを交互に行うと共に、当該複数のトランジスタを流れる電流の方向を入れ替える（トランジスタのソース又はドレインとなる端子に加わる電圧の大小関係を期間毎に入れ替える（ソースとドレインを入れ替える））構成とすることによって、トランジスタのチャンネル部（ドレイン端）での電界の集中を緩和し、トランジスタの劣化を効果的に抑制することが可能となる。

【0176】

なお、本実施の形態では、トランジスタ 111、トランジスタ 112a、トランジスタ 112b 及びトランジスタ 121 を N チャンネル型のトランジスタで設けた場合を示したが、P チャンネル型のトランジスタで設けてもよい。この場合も、トランジスタ 112a、112b を流れる電流の方向が入れ替わるように動作させることにより、トランジスタの劣化を低減し回路の動作不良を抑制することができる。

【0177】

また、本実施の形態では、回路の動作時において L レベル信号を出力し続ける構成としたが、H レベル信号を出力し続ける場合には、配線 101 と配線 103 の間に互いに並列して設けられた複数のトランジスタを設け、配線 101 に入力する信号として、電位が V_{LH} からなる第 1 の電位と、電位が V_{LL} からなる第 2 の電位が任意の期間毎に切り替わる信号を用いる構成とすることができる。

【0178】

なお、本実施の形態で示した構成は、本明細書で示した他の構成（他の実施の形態で示した構成を含む）と適宜組み合わせる実施することができる。

【0179】

(実施の形態3)

本実施の形態では、上記実施の形態と異なる構成を有する半導体装置の一例に関し図面を参照して説明する。

【0180】

本実施の形態で示す半導体装置は、配線101と配線103の間に設けられたトランジスタ111と、配線102と配線103の間に設けられたトランジスタ112と、配線104と配線103の間に設けられたトランジスタ114とを少なくとも具備している(図12(A)参照)。

【0181】

トランジスタ114は、ソース又はドレインの一方が配線104に電氣的に接続され、他方が配線103に接続されている。つまり、図12に示す構成は、図5で示した構成に配線104を追加し、更に図5のトランジスタ112bのソース又はドレインの一方を配線102ではなく配線104に電氣的に接続した構成となっている。そのため、トランジスタ114がオンすることにより、配線104に入力される信号(IN6)が配線103に供給される。

【0182】

そのため、配線103には、配線101に入力される信号(IN1)に対応する第1の信号、配線102に入力される信号(IN2)に対応する第2の信号、又は配線104に入力される信号(IN6)に対応する第3の信号が供給される。

【0183】

このように、配線102と配線104を分けて設けることによって、トランジスタ112とトランジスタ114に同時に異なる信号を供給することができる。その結果、信号の周波数を低減させ、消費電力を下げる事が可能となる。

【0184】

なお、図12では、トランジスタ111、トランジスタ112、トランジスタ114は、Nチャネル型で設けた場合を示しているが、Pチャネル型で設けてもよいし、CMOSで設けてもよい。また、トランジスタ111は、配線101と配線103との間のスイッチとして機能し、トランジスタ112は配線102と配線103との間のスイッチとして機能し、トランジスタ114は配線104と配線103との間のスイッチとして機能する(図12(B)参照)。

【0185】

本実施の形態では、特定の信号(例えば、非選択信号)を配線103に供給し続ける場合において、ソース又はドレインの一方がそれぞれ配線103に接続され、他方がそれぞれ異なる配線に接続された複数のトランジスタ(図12では、トランジスタ112、114)のオンとオフを交互に行うと共に、当該複数のトランジスタを流れる電流の方向を入れ替える(トランジスタのソース又はドレインとなる端子に加わる電圧の大小関係を期間毎に入れ替える(ソースとドレインを入れ替える))構成とする。つまり、複数のトランジスタのオンとオフとを制御し、且つ流れる電流の方向を制御することにより、トランジスタのチャンネル部(ドレイン端)での電界の集中を緩和し劣化を低減する。

【0186】

以下に、具体的な動作方法に関して図面を参照して説明する。

【0187】

以下の説明において、図13、図14の(A)～(G)はそれぞれ、配線103から出力される信号(Out)、配線101に入力される信号(IN1)、配線102に入力される信号(IN2)、配線104に入力される信号(IN6)、トランジスタ111のゲートに入力される信号(IN3)、トランジスタ112のゲートに入力される信号(IN4)、トランジスタ114のゲートに入力される信号(IN5)を示している。もちろん、入力される信号(IN1～IN6)は一例であり、これらに限定されるものでない。

【0188】

また、図 13、図 14 の (H) は、トランジスタ 112、トランジスタ 114 の電流の流れの向きを示しており、 A_1 、 A_2 、 B_1 、 B_2 はそれぞれ図 12 に示した方向に対応している。また、トランジスタがオフして電流が流れない期間は×で示している。また、トランジスタがオンしているが電流が流れない期間は－で示している。

【0189】

図 13、図 14 では、配線 102 と配線 104 にそれぞれ電位 V_{LL} と電位 V_{LH} を任意の期間毎に切り替えて印加する。以下の説明では、配線 102 に電位 V_{LL} を印加し、配線 104 に電位 V_{LH} を印加する期間 T_{x1} ～期間 T_{xn} と、配線 102 に V_{LH} を印加し、配線 104 に V_{LL} を印加する期間 T_{y1} ～期間 T_{yn} を任意の期間毎に切り替えて動作させる場合について示す。

10

【0190】

まず、期間 T_{x1} ～ T_{xn} では、トランジスタ 111 がオンのとき（期間 T_{x1} ）、配線 101 に入力された信号（ $IN1$ ）に対応する第 1 の信号（ここでは、H レベル信号（選択信号））が配線 103 に供給される。配線 103 にトランジスタ 121 のゲートが接続されている場合（図 12 (C) 参照）には、当該配線 103 に接続されているトランジスタ 121 のゲートに選択信号が入力され、当該トランジスタ 121 がオンする。

【0191】

また、期間 T_{x1} ～ T_{xn} において、トランジスタ 112 がオンのとき（ここでは、期間 T_{x2} 、 T_{x4} 、 T_{x6} 、 T_{x8} 、 T_{xn} ）に配線 102 から電位が V_{LL} である第 2 の信号が配線 103 に供給され、トランジスタ 114 がオンのとき（ここでは、期間 T_{x3} 、 T_{x5} 、 T_{x7} ）に配線 104 から電位が V_{LH} である第 3 の信号が配線 103 に供給される（図 13 参照）。配線 103 にトランジスタ 121 のゲートが接続されている場合（図 12 (C) 参照）には、当該トランジスタ 121 がオフする。

20

【0192】

そのため、期間 T_{x1} ～期間 T_{xn} では、トランジスタ 112 がオンのとき、トランジスタ 112 において配線 102 に接続されている端子がソースとなり、配線 103 に接続されている端子がドレインとなり、電流はドレインからソース（図 12 中 B_1 方向）に流れる。また、トランジスタ 114 がオンのとき、トランジスタ 114 において配線 103 に接続されている端子がソースとなり、配線 102 に接続されている端子がドレインとなり、電流はドレインからソース（図 12 中 A_2 方向）に流れる。

30

【0193】

別の期間 T_{y1} ～期間 T_{yn} においては、トランジスタ 112 がオンのとき（ここでは、期間 T_{y4} 、 T_{y6} 、 T_{y8} 、 T_{yn} ）に配線 102 から電位が V_{LH} である第 2 の信号が配線 103 に供給され、トランジスタ 114 がオンのとき（ここでは、期間 T_{y3} 、 T_{y5} 、 T_{y7} ）に配線 104 から電位が V_{LL} である第 3 の信号が配線 103 に供給される（図 14 参照）。

【0194】

そのため、期間 T_{y1} ～期間 T_{yn} では、トランジスタ 112 がオンのとき、トランジスタ 112 において配線 102 に接続されている端子がドレインとなり、配線 103 に接続されている端子がソースとなり、電流はドレインからソース（図 12 中 A_1 方向）に流れる。また、トランジスタ 114 がオンのとき、トランジスタ 114 において配線 103 に接続されている端子がドレインとなり、配線 104 に接続されている端子がソースとなり、電流はドレインからソース（図 12 中 B_2 方向）に流れる。

40

【0195】

従って、配線 102 に入力される信号（ $IN2$ ）と配線 104 に入力される信号（ $IN6$ ）を任意の期間毎に反転させ、図 13 の動作と図 14 の動作を組み合わせる行うことにより（例えば、図 15 参照）、トランジスタ 112、トランジスタ 114 をそれぞれ流れる電流の方向を入れ替える（トランジスタのソース又はドレインとなる端子に加わる電圧の大小関係を期間毎に入れ替える（ソースとドレインを入れ替える））構成とすることができ。その結果、トランジスタ 112 及びトランジスタ 114 のチャンネル部（ドレイン端

50

）での電界の集中を緩和し劣化を低減することができる。さらに、複数のトランジスタ（トランジスタ１１２、トランジスタ１１４）のオンとオフを交互に行うことによって、トランジスタの劣化を抑制することができる。

【０１９６】

任意の期間としては、例えば、本実施の形態における半導体装置を表示装置のゲートドライバとして適用する場合、１フレーム期間毎に図１３に示す動作と図１４に示す動作を切り替えて行うことができる。

【０１９７】

また、本実施の形態で示す構成を用いることにより、複数の電位からなる特定の信号（例えば、非選択信号）を配線１０３に供給し続ける場合であっても、配線１０２、配線１０４を定電位とすることができるため、低消費電力化を図ることができる。

10

【０１９８】

なお、本実施の形態で示した構成は、本明細書で示した他の構成（他の実施の形態で示した構成を含む）と適宜組み合わせる実施することができる。

【０１９９】

（実施の形態４）

本実施の形態では、上記実施の形態で示した構成の使用形態に関し図面を参照して説明する。

【０２００】

上記実施の形態で示した構成は、走査線駆動回路（ゲートドライバ）、信号線駆動回路（ソースドライバ）及び画素部を有する表示装置において、走査線駆動回路及び／又は信号線駆動回路に適用することができる（図１６参照）。

20

【０２０１】

図１７に、上記実施の形態１で示した構成を表示装置のゲートドライバに適用する場合を示す。図１７では、複数の画素が設けられた液晶表示装置のゲートドライバに上記実施の形態１で示した構成を適用する場合を示している。

【０２０２】

複数の画素にそれぞれ設けられたトランジスタ１２１は、ゲートがゲート線として機能する配線１０３ａ～１０３ｃのいずれかに電氣的に接続され、ソース又はドレインの一方がソース線として機能する配線１４１ａ～１４１ｃのいずれかに電氣的に接続され、他方が画素電極１２５に電氣的に接続されている。また、画素電極１２５と対向電極１２６の間に液晶材料が設けられた構成となっている。なお、図１７では、配線１０１ａ～１０１ｃをそれぞれ電氣的に独立して設けた構成を示したが、共通化して設けてもよい。

30

【０２０３】

また、トランジスタ１２１をオンさせるには、トランジスタ１１１を介して配線１０１ａ～１０１ｃから選択信号となるＨレベル信号を供給し、トランジスタ１２１をオフさせるには、トランジスタ１１２を介して配線１０２から非選択信号となるＬレベル信号を供給すればよい。

【０２０４】

線順次方式のように各行の画素を選択してデータを書き込んでいく場合には、各画素に設けられたトランジスタ１２１をオンさせた後、当該トランジスタ１２１をオフさせる非選択信号をトランジスタ１２１のゲートに供給する必要がある。特に、トランジスタ１２１を安定してオフ状態とするには、トランジスタ１１２を介して配線１０３ａ～１０３ｃに非選択信号を所定の期間供給し続けることが有効となる。

40

【０２０５】

ここでは、上記実施の形態１で示したように、配線１０２に非選択信号となる複数のＬレベル信号を入力し、トランジスタ１１２がオンしている期間において当該トランジスタ１１２を流れる電流の方向を入れ替える構成とすることにより、トランジスタ１１２の劣化を低減することができる。その結果、各画素に設けられたトランジスタ１２１を安定してオフさせると共に、トランジスタ１１２の劣化に伴う回路の動作不良を抑制することがで

50

きる。

【0206】

特に、トランジスタとしてアモルファスシリコンや微結晶シリコンをチャンネル形成領域とする場合には、回路の動作期間において長い期間オン状態を維持するトランジスタの劣化を低減することは回路の動作不良の抑制に有効となる。

【0207】

また、図17では、ゲートドライバに設けられたトランジスタ111、トランジスタ112、画素に設けられたトランジスタ121を全てNチャンネル型で設けた場合を示したが、Pチャンネル型で設けてもよいし、CMOSで設けることも可能である。

【0208】

また、図17では、ゲートドライバに上記実施の形態1で示した構成を適用する場合を示したがこれに限られず、上記実施の形態2、実施の形態3で示した構成を適用することができる。

【0209】

上記実施の形態2で示した構成を適用する場合には、図17において、ソース又はドレインの一方が配線102に電氣的に接続され、他方が配線103a（又は配線103b、配線103c）に接続され且つトランジスタ112と並列するトランジスタ112bを設ければよい（図18参照）。

【0210】

また、上記実施の形態3で示した構成を適用する場合には、図17において、配線104を新たに設け、ソース又はドレインの一方が配線104に電氣的に接続され、他方が配線103a（又は配線103b、配線103c）に接続されるトランジスタ114を設ければよい（図19参照）。

【0211】

なお、図19では、トランジスタ112のソース又はドレインの一方を配線102と電氣的に接続させ且つトランジスタ114のソース又はドレインの一方を配線104と電氣的に接続させる場合と、トランジスタ112のソース又はドレインの一方を配線104と電氣的に接続させ且つトランジスタ114のソース又はドレインの一方を配線102と電氣的に接続させる場合を、行方向において交互に設ける構成を示しているが限られない。全ての行において、トランジスタ112のソース又はドレインの一方を配線102と電氣的に接続させ且つトランジスタ114のソース又はドレインの一方を配線104と電氣的に接続させてもよいし、トランジスタ112のソース又はドレインの一方を配線104と電氣的に接続させ且つトランジスタ114のソース又はドレインの一方を配線102と電氣的に接続させてもよい。

【0212】

また、図17～図19では、液晶表示装置に適用する場合を示したが、上記実施の形態で示した構成は、他の表示装置（有機EL表示装置等）のゲートドライバ及び／又はソースドライバにも適用可能である。例えば、図20に示すように、画素にトランジスタ121、トランジスタ128及び発光素子129が設けられた有機EL表示装置のゲートドライバとして適用することができる。

【0213】

図20において、複数の画素にそれぞれ設けられたトランジスタ121は、ゲートが配線103a～103cのいずれかに電氣的に接続され、ソース又はドレインの一方がトランジスタ128のゲートに電氣的に接続されている。なお、トランジスタ121は、スイッチングトランジスタと呼ばれることがある。また、トランジスタ128は、ソース又はドレインの一方が配線142a、142bのいずれかに電氣的に接続され、他方が発光素子129の一方の電極に電氣的に接続されている。なお、トランジスタ128は、駆動トランジスタと呼ばれることがある。

【0214】

なお、図17～図20で示した回路構成は一例であり、他の回路構成を適用することも可

10

20

30

40

50

能である。

【0215】

次に、駆動回路に適用可能な回路構成について説明する。

【0216】

トランジスタ111のゲートに他のトランジスタ（ここでは、トランジスタ161）のソース又はドレインの一方を電氣的に接続させた構成とすることができる（図21（A）参照）。また、図21（A）の構成において、トランジスタ111のゲートに他のトランジスタ（ここでは、トランジスタ162）のソース又はドレインの一方を電氣的に接続させた構成とすることができる（図21（B）参照）。また、図21（A）の構成において、トランジスタ112のゲートに他のトランジスタ（ここでは、トランジスタ163）のソ

10

【0217】

なお、図21（B）において、トランジスタ162のソース又はドレインの他方が接続されている配線は配線102と電氣的に接続されていてもよいし、トランジスタ112とトランジスタ162のゲートが同一の配線に電氣的に接続される構成としてもよい。

【0218】

また、図21（A）～（C）において、トランジスタ161のゲートをドレインに電氣的に接続（ダイオード接続）した構成としてもよい（図22（A）～（C）参照）。

【0219】

次に、ゲートドライバとして適用する場合の具体的な回路構成について詳細に説明する。

20

【0220】

図23を参照して、ゲートドライバを構成するシフトレジスタの一構成例について説明する。なお、図23では、シフトレジスタにおける第n段の構成を示す。

【0221】

第n段は、第1のトランジスタ201～第7のトランジスタ207、容量素子208から構成されている。なお、図23では、第1のトランジスタ201～第7のトランジスタ207をNチャネル型で設けた場合を示しているが、Pチャネル型で設けてもよい。

【0222】

第1のトランジスタ201は、ゲートが第2のトランジスタ202のソース、第3のトランジスタ203のソース又はドレインの一方、第4のトランジスタ204のソース又はドレインの一方及び第5のトランジスタ205のゲートに電氣的に接続され、ソース又はドレインの一方が配線212aに電氣的に接続され、他方が第3のトランジスタ203のゲート、第6のトランジスタ206のゲート及び容量素子208の一方の電極に電氣的に接続されている。

30

【0223】

第2のトランジスタ202は、ゲートがドレインに電氣的に接続（ダイオード接続）され、ソースが第1のトランジスタ201のゲート及び第5のトランジスタ205のゲートに電氣的に接続されている。また、ドレインにn-1段から出力された信号が入力される。

【0224】

第3のトランジスタ203は、ゲートが第1のトランジスタ201のソース又はドレインの他方及び容量素子208の一方の電極に電氣的に接続され、ソース又はドレインの一方が第5のトランジスタ205のゲートに電氣的に接続され、他方が配線212aに電氣的に接続されている。

40

【0225】

第4のトランジスタ204は、ゲートにn+1段から出力された信号が入力され、ソース又はドレインの一方が第5のトランジスタ205のゲートに電氣的に接続され、他方が配線212aに電氣的に接続されている。

【0226】

第5のトランジスタ205は、ゲートが第1のトランジスタ201のゲート、第2のトラ

50

ンジスタ 202 のソース、第 3 のトランジスタ 203 のソース又はドレインの一方及び第 4 のトランジスタ 204 のソース又はドレインの一方に電氣的に接続され、ソース又はドレインの一方が配線 211 に電氣的に接続され、他方が配線 213 と電氣的に接続されている。

【0227】

第 6 のトランジスタ 206 は、ゲートが第 1 のトランジスタ 201 のソース又はドレインの他方及び容量素子 208 の一方の電極に電氣的に接続され、ソース又はドレインの一方が配線 212b に電氣的に接続され、他方が配線 213 に電氣的に接続されている。

【0228】

第 7 のトランジスタ 207 は、ゲートにクロック反転信号 (CLKB) が入力され、ソース又はドレインの一方に配線 212c が電氣的に接続され、他方が配線 213 に電氣的に接続されている。

【0229】

容量素子 208 は、一方の電極が第 3 のトランジスタ 203 のゲート及び第 6 のトランジスタ 206 のゲートに電氣的に接続され、他方の電極が配線 211 に電氣的に接続されている。

【0230】

配線 211 には、クロック信号 (CLK) が入力され、配線 212a ~ 212c には、L レベル信号又は電位が変化する L レベル信号が入力される。なお、各配線に入力される信号はこれに限られず適宜選択することができる。

【0231】

図 23 に示す構成において、n 段のゲートを選択する期間以外の期間 (画素に非選択信号を供給する非選択期間) には、第 3 のトランジスタ 203 及び第 6 のトランジスタ 206 と、第 7 のトランジスタ 207 が交互にオンして動作する。そのため、上記実施の形態で示したように、配線 212b、212c に電位が変化する L レベル信号を入力し、第 6 のトランジスタ 206、第 7 のトランジスタ 207 を流れる電流の方向を入れ替える (ソースとドレインを入れ替える) ことによって、ソース側又はドレイン側への電界の集中を抑制し、トランジスタの劣化を低減することができる。また、配線 212a に電位が変化する L レベル信号を入力することにより、第 3 のトランジスタ 203 を流れる電流の方向を入れ替える (ソースとドレインを入れ替える) 構成としてもよい。

【0232】

なお、配線 212a、配線 212b、配線 212c のうち、少なくとも 2 つの配線が電氣的に接続された構成としてもよい。配線 212b と配線 212c を電氣的に接続する場合には、第 6 のトランジスタ 206 と第 7 のトランジスタ 207 は、上記図 5 におけるトランジスタ 112a、トランジスタ 112b として機能する。また、配線 212b と配線 212c を電氣的に独立させてそれぞれ異なる信号を供給する場合には、第 6 のトランジスタ 206 と第 7 のトランジスタ 207 は、図 12 におけるトランジスタ 112、トランジスタ 114 として機能する。

【0233】

なお、ゲートドライバとして適用可能な回路構成は図 23 に限られない。例えば、図 24 に示すように、第 1 のトランジスタ 221 ~ 第 12 のトランジスタ 232 を各段 (ここでは、n 段) に有する構成としてもよい。

【0234】

図 24 において、第 1 のトランジスタ 221 は、ゲートに n-1 段からの出力信号が入力され、ソース又はドレインの一方が配線 241 に電氣的に接続され、他方が第 4 のトランジスタ 224 のゲート、第 8 のトランジスタ 228 のゲート、第 9 のトランジスタ 229 のゲート及び第 11 のトランジスタ 231 のゲートに電氣的に接続されている。また、第 2 のトランジスタ 222 は、ゲートに n+1 段からの出力信号が入力され、ソース又はドレインの一方が配線 242a に電氣的に接続され、他方が第 4 のトランジスタ 224 のゲート、第 8 のトランジスタ 228 のゲート、第 9 のトランジスタ 229 のゲート及び第 1

10

20

30

40

50

1のトランジスタ231のゲートに電氣的に接続されている。また、第3のトランジスタ223は、ゲートがドレインに電氣的に接続（ダイオード接続）され、ソースが第5のトランジスタ225のゲートに電氣的に接続され、ドレインが配線241と電氣的に接続されている。また、第4のトランジスタ224は、ソース又はドレインの一方が配線242aに電氣的に接続され、他方が第5のトランジスタ225のゲートに電氣的に接続されている。

【0235】

また、第5のトランジスタ225は、ソース又はドレインの一方が配線241に電氣的に接続され、他方が第7のトランジスタ227のゲート、第10のトランジスタ230のゲート及び第12のトランジスタ232のゲートに電氣的に接続されている。また、第6のトランジスタ226は、ゲートに $n-1$ 段からの出力信号が入力され、ソース又はドレインの一方が配線242aに電氣的に接続され、他方が第7のトランジスタ227のゲート、第10のトランジスタ230のゲート及び第12のトランジスタ232のゲートに電氣的に接続されている。また、第7のトランジスタ227は、ソース又はドレインの一方が配線242aに電氣的に接続され、他方が第4のトランジスタ224のゲート、第8のトランジスタ228のゲート、第9のトランジスタ229のゲート及び第11のトランジスタ231のゲートに電氣的に接続されている。第8のトランジスタ228は、ソース又はドレインの一方が配線242aに電氣的に接続され、他方が第7のトランジスタ227のゲート、第10のトランジスタ230のゲート及び第12のトランジスタ232のゲートに電氣的に接続されている。

【0236】

また、第9のトランジスタ229は、ソース又はドレインの一方にクロック信号（CLK）又はクロック反転信号（CLKB）が入力される。また、第10のトランジスタ230は、ソース又はドレインの一方が配線242bに電氣的に接続されている。また、第11のトランジスタ231は、ソース又はドレインの一方にクロック信号又はクロック反転信号が入力され、他方が配線243に電氣的に接続されている。また、第12のトランジスタ232は、ソース又はドレインの一方が配線242bに電氣的に接続され、他方が配線243に電氣的に接続されている。

【0237】

図24に示す構成において、非選択期間には、第7のトランジスタ227、第10のトランジスタ230及び第12のトランジスタ232がオン状態を維持する。そのため、配線242a、配線242bにLレベル信号又は電位が変化するLレベル信号を入力し、第7のトランジスタ227、第10のトランジスタ230及び第12のトランジスタ232を流れる電流の方向を入れ替える（ソースとドレインを入れ替える）ことによって、ソース側又はドレイン側への電界の集中を抑制し、トランジスタの劣化を低減することができる。

【0238】

なお、図24において、第1のトランジスタ221～第12のトランジスタ232をNチャンネル型で設けた場合を示しているが、Pチャンネル型で設けてもよい。また、第9のトランジスタ229及び第10のトランジスタ230を設けずに、配線243から出力される信号を $n-1$ 段及び $n+1$ 段に出力してもよい。また、配線242aと配線242bを電氣的に接続する構成としてもよい。また、配線241に電位が変化するHレベル信号を入力してもよい。この場合、第5のトランジスタ225を流れる電流の方向を入れ替える（ソースとドレインを入れ替える）ことによって、ソース側又はドレイン側への電界の集中を抑制し、トランジスタの劣化を低減することができる。なお、図24において、各配線に入力される信号はこれに限られず適宜選択することができる。

【0239】

他にも、図25に示すように第1のトランジスタ251～第5のトランジスタ255を各段（ここでは、 n 段）に有する構成としてもよい。

【0240】

図 25 において、第 1 のトランジスタ 251 は、ゲートにクロック反転信号 (CLKB) が入力され、ソース又はドレインの一方に $n-1$ 段からの出力信号が入力され、他方が第 4 のトランジスタ 254 のゲートに電氣的に接続されている。また、第 2 のトランジスタ 252 は、ゲートが配線 263 に電氣的に接続され、ソース又はドレインの一方が配線 262a と電氣的に接続され、他方が第 5 のトランジスタ 255 のゲートと電氣的に接続されている。また、第 3 のトランジスタ 253 は、ゲートにクロック反転信号 (CLKB) が入力され、ソース又はドレインの一方が配線 264 と電氣的に接続され、他方が第 5 のトランジスタ 255 のゲートと電氣的に接続されている。また、第 4 のトランジスタ 254 は、ゲートが第 1 のトランジスタ 251 のソース又はドレインの他方と電氣的に接続され、ソース又はドレインの一方にクロック信号 (CLK) が入力され、他方が配線 263 と電氣的に接続されている。また、第 5 のトランジスタ 255 は、ソース又はドレインの一方が配線 262b と電氣的に接続され、他方が配線 263 と電氣的に接続されている。

10

【0241】

図 25 に示す構成において、非選択期間には、第 5 のトランジスタ 255 がオン状態を維持する。そのため、配線 262b に電位が変化する H レベル信号を入力し、第 5 のトランジスタ 255 を流れる電流の方向を入れ替える (ソースとドレインを入れ替える) ことによって、ソース側又はドレイン側への電界の集中を抑制し、トランジスタの劣化を低減することができる。

【0242】

なお、図 25 において、第 1 のトランジスタ 251 ~ 第 5 のトランジスタ 255 を P チャネル型で設けた場合を示しているが、N チャネル型で設けてもよい。また、配線 262a と配線 262b は電氣的に接続する構成としてもよい。また、図 25 において、各配線に入力される信号はこれに限られず適宜選択することができる。

20

【0243】

他にも、図 26 に示すように第 1 のトランジスタ 271 ~ 第 10 のトランジスタ 280 を各段 (ここでは、 n 段) に有する構成としてもよい。

【0244】

図 26 において、第 1 のトランジスタ 271 は、ゲートに第 1 のクロック信号が入力され、ソース又はドレインの一方に第 1 の入力信号が入力され、他方が第 8 のトランジスタ 278 のゲートと電氣的に接続されている。また、第 2 のトランジスタ 272 は、ゲートに第 2 のクロック信号が入力され、ソース又はドレインの一方に第 2 の入力信号が入力され、他方が第 8 のトランジスタ 278 のゲートと電氣的に接続されている。また、第 3 のトランジスタ 273 は、ソース又はドレインの一方が配線 282a に電氣的に接続され、他方が第 8 のトランジスタ 278 のゲートと電氣的に接続されている。また、第 4 のトランジスタ 274 は、ソース又はドレインの一方が配線 282a に電氣的に接続され、他方が第 5 のトランジスタ 275 のソース又はドレインの一方及び第 6 のトランジスタ 276 のソース又はドレインの一方に電氣的に接続されている。また、第 5 のトランジスタ 275 は、ゲートに第 3 のクロック信号が入力され、ソース又はドレインの一方が第 4 のトランジスタ 274 のソース又はドレインの他方に電氣的に接続され、他方が第 8 のトランジスタ 278 のゲートと電氣的に接続されている。

30

【0245】

また、第 6 のトランジスタ 276 は、ゲートが配線 281 に電氣的に接続され、ソース又はドレインの一方が第 4 のトランジスタ 274 のソース又はドレインの他方に電氣的に接続され、他方が第 9 のトランジスタ 279 のゲートと電氣的に接続されている。また、第 7 のトランジスタ 277 は、ゲートがドレインに電氣的に接続 (ダイオード接続) され、ソースが第 3 のトランジスタ 273 のゲート、第 4 のトランジスタ 274 のゲート及び第 10 のトランジスタ 280 のゲートに電氣的に接続され、ドレインに第 3 のクロック信号が入力される。第 8 のトランジスタ 278 は、ソース又はドレインの一方が配線 282a に電氣的に接続され、他方が第 3 のトランジスタ 273 のゲート、第 4 のトランジスタ 274 のゲート及び第 10 のトランジスタ 280 のゲートに電氣的に接続されている。また

40

50

、第 9 のトランジスタ 279 は、ソース又はドレインの一方に第 4 のクロック信号が入力され、他方が配線 283 と電氣的に接続されている。また、第 10 のトランジスタ 280 は、ソース又はドレインの一方が配線 282 b に電氣的に接続され、他方が配線 283 に電氣的に接続されている。

【0246】

図 26 に示す構成において、非選択期間には、第 10 のトランジスタ 280 がオン状態を維持する。そのため、配線 282 b に電位が変化する H レベル信号を入力し、第 10 のトランジスタ 280 を流れる電流の方向を入れ替える（ソースとドレインを入れ替える）ことによって、ソース側又はドレイン側への電界の集中を抑制し、トランジスタの劣化を低減することができる。

10

【0247】

なお、図 26 において、第 1 のトランジスタ 271 ～第 10 のトランジスタ 280 を P チャンネル型で設けた場合を示しているが、N チャンネル型で設けてもよい。また、配線 282 a と配線 282 b は電氣的に接続する構成としてもよい。また、図 26 において、各配線に入力される信号はこれに限られず適宜選択することができる。

【0248】

なお、本実施の形態では、上記実施の形態で示した構成をゲートドライバやソースドライバ等の駆動回路に適用する場合を示したが、これに限られない。他にも、容量線の電位を制御する場合、共通電極の電位を制御する場合にも適用可能である。

【0249】

なお、本実施の形態で示した構成は、本明細書で示した他の構成（他の実施の形態で示した構成を含む）と適宜組み合わせる実施することができる。

20

【0250】

（実施の形態 5）

本実施の形態においては、上記実施の形態で示した回路に適用可能なトランジスタの構造について説明する。トランジスタは、トランジスタが有する半導体層に用いる材料によって大きく分類されることができる。半導体層に用いる材料としては、主成分としてシリコンが含まれるシリコン系材料と、主成分としてシリコンを含まない非シリコン系材料に分類できる。シリコン系材料には、アモルファスシリコン（a-Si:H）、マイクロクリスタルシリコン（ μ c-Si）、ポリシリコン（p-Si）、単結晶シリコン（c-Si）等が挙げられる。非シリコン系材料としては、砒化ガリウム（GaAs）等の化合物半導体、酸化亜鉛（ZnO）、インジウムとガリウムと亜鉛を含む酸化物（InGaZnO）等の酸化物半導体等が挙げられる。

30

【0251】

アモルファスシリコンまたはマイクロクリスタルシリコンをトランジスタの半導体層として用いる場合は、トランジスタの特性の均一性が高く、かつ、製造コストが小さいという利点がある。特に、対角の長さが 500 mm を超えるような大型の基板にトランジスタを作製する場合に有効である。以下に、半導体層としてアモルファスシリコンまたはマイクロクリスタルシリコンを用いるトランジスタおよび容量素子の構造の一例について説明する。

40

【0252】

図 27（A）は、トップゲート型のトランジスタの断面構造及び容量素子の断面構造を示す図である。

【0253】

基板 5141 上に第 1 の絶縁膜（絶縁膜 5142）が形成される。第 1 の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ下地膜としての機能を有することができる。なお、第 1 の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ SiO_xN_y ）などの単層、又はこれらの積層を用いることができる。特に、窒化シリコン膜は緻密な膜であり、高いバリア性を有するため、第 1 の絶縁膜には窒化シリコンが含まれることが好ましい。なお、第 1 の

50

絶縁膜は必ずしも形成されなくても良い。第1の絶縁膜が形成されない場合は、工程数の削減、製造コストの低減および歩留まりの向上を図ることができる。

【0254】

第1の絶縁膜上に、第1の導電層（導電層5143、導電層5144及び導電層5145）が形成される。導電層5143は、トランジスタ5158のソース及びドレインの一方として機能する部分を含む。導電層5144は、トランジスタ5158のソース及びドレインの他方として機能する部分を含む。導電層5145は、容量素子5159の第1の電極として機能する部分を含む。なお、第1の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層膜を用いることができる。

10

【0255】

導電層5143及び導電層5144の上部に、第1の半導体層（半導体層5146及び半導体層5147）が形成される。半導体層5146は、ソースとドレインの一方として機能する部分を含む。半導体層5147は、ソースとドレインの他方として機能する部分を含む。なお、第1の半導体層としては、リン等を含んだシリコン等を用いることができる。

【0256】

導電層5143と導電層5144との間であって、かつ第1の絶縁膜上に、第2の半導体層（半導体層5148）が形成される。そして、半導体層5148の一部は、導電層5143上及び導電層5144上まで延長されている。半導体層5148は、トランジスタ5158のチャネル領域として機能する部分を含む。なお、第2の半導体層としては、アモルファスシリコン（a-Si:H）等の非結晶性を有する半導体層、又は微結晶シリコン（ $\mu c-Si$ ）等の半導体層などを用いることができる。

20

【0257】

少なくとも半導体層5148及び導電層5145を覆うように、第2の絶縁膜（絶縁膜5149及び絶縁膜5150）が形成される。第2の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第2の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ SiO_xN_y ）などの単層、又はこれらの積層を用いることができる。

【0258】

なお、第2の半導体層に接する部分の第2の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、第2の半導体層と第2の絶縁膜とが接する界面におけるトラップ準位が少なくなるからである。

30

【0259】

なお、第2の絶縁膜がMoと接する場合、Moと接する部分の第2の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はMoを酸化させないからである。

【0260】

第2の絶縁膜上に、第2の導電層（導電層5151及び導電層5152）が形成される。導電層5151は、トランジスタ5158のゲート電極として機能する部分を含む。導電層5152は、容量素子5159の第2の電極、又は配線としての機能を有する。なお、第2の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層膜を用いることができる。

40

【0261】

なお、第2の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されてもよい。

【0262】

図27（B）は、逆スタガ型（ボトムゲート型）のトランジスタの断面構造及び容量素子の断面構造を示す図である。特に、図27（B）に示すトランジスタは、チャネルエッチ

50

型と呼ばれる構造である。

【0263】

基板5161上に第1の絶縁膜（絶縁膜5162）が形成される。第1の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ下地膜としての機能を有することができる。なお、第1の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ SiO_xN_y ）などの単層、又はこれらの積層を用いることができる。特に、窒化シリコン膜は緻密な膜であり、高いバリア性を有するため、第1の絶縁膜には窒化シリコンが含まれることが好ましい。なお、第1の絶縁膜は必ずしも形成されなくても良い。第1の絶縁膜が形成されない場合は、工程数の削減、製造コストの低減および歩留まりの向上を図ることができる。

10

【0264】

第1の絶縁膜上に、第1の導電層（導電層5163及び導電層5164）が形成される。導電層5163は、トランジスタ5178のゲート電極として機能する部分を含む。導電層5164は、容量素子5179の第1の電極として機能する部分を含む。なお、第1の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【0265】

少なくとも第1の導電層を覆うように、第2の絶縁膜（絶縁膜5165）が形成される。第2の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第2の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ SiO_xN_y ）などの単層、又はこれらの積層を用いることができる。

20

【0266】

なお、半導体層に接する部分の第2の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、半導体層と第2の絶縁膜とが接する界面におけるトラップ準位が少なくなるからである。

【0267】

なお、第2の絶縁膜がMoと接する場合、Moと接する部分の第2の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はMoを酸化させないからである。

30

【0268】

第2の絶縁膜上のうち第1の導電層と重なって形成される部分の一部に、フォトリソグラフィ法、インクジェット法又は印刷法などによって、第1の半導体層（半導体層5166）が形成される。そして、半導体層5166の一部は、第2の絶縁膜上のうち第1の導電層と重なって形成されていない部分まで延長されている。半導体層5166は、トランジスタ5178のチャネル領域として機能する部分を含む。なお、半導体層5166としては、アモルファスシリコン（ a-Si:H ）等の非結晶性を有する半導体層、又は微結晶シリコン（ $\mu\text{c-Si}$ ）等の半導体層などを用いることができる。

【0269】

第1の半導体層上の一部に、第2の半導体層（半導体層5167及び半導体層5168）が形成される。半導体層5167は、ソースとドレインの一方として機能する部分を含む。半導体層5168は、ソースとドレインの他方として機能する部分を含む。なお、第2の半導体層としては、リン等を含んだシリコン等を用いることができる。

40

【0270】

第2の半導体層上及び第2の絶縁膜上に、第2の導電層（導電層5169、導電層5170及び導電層5171）が形成される。導電層5169は、トランジスタ5178のソースとドレインの一方として機能する部分を含む。導電層5170は、トランジスタ5178のソースとドレインの他方として機能する部分を含む。導電層5171は、容量素子5179の第2の電極として機能する部分を含む。なお、第2の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、

50

Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【0271】

なお、第2の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されてもよい。

【0272】

なお、チャネルエッチ型のトランジスタの製造工程において、第1の半導体層及び第2の半導体層は連続して成膜されることができる。そして、第1の半導体層及び第2の半導体層は、同じマスクを用いて形成されることができる。

【0273】

さらに、第2の導電層が形成された後で、第2の導電層をマスクとして用いて第2の半導体層の一部を除去することができる。または、第2の導電層に用いたマスクと同じマスクを用いて第2の半導体層の一部を除去することで、トランジスタのチャネル領域を形成することができる。こうすることで、第2の半導体層の一部を除去するためだけの新たなマスクを用いる必要がないため、製造工程が簡単となり、製造コストが低減できる。ここで、除去される第2の半導体層の下部に形成されている第1の半導体層の一部がトランジスタのチャネル領域となる。

【0274】

図27（C）は、逆スタガ型（ボトムゲート型）のトランジスタの断面構造及び容量素子の断面構造を示す図である。特に、図27（C）に示すトランジスタは、チャネル保護型（エッチストップ型）と呼ばれる構造である。

【0275】

基板5181上に第1の絶縁膜（絶縁膜5182）が形成される。第1の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ下地膜としての機能を有することができる。なお、第1の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ SiO_xN_y ）などの単層、又はこれらの積層を用いることができる。特に、窒化シリコン膜は緻密な膜であり、高いバリア性を有するため、第1の絶縁膜には窒化シリコンが含まれることが好ましい。なお、第1の絶縁膜は必ずしも形成されなくても良い。第1の絶縁膜が形成されない場合は、工程数の削減、製造コストの低減および歩留まりの向上を図ることができる。

【0276】

第1の絶縁膜上に、第1の導電層（導電層5183及び導電層5184）が形成される。導電層5183は、トランジスタ5198のゲート電極として機能する部分を含む。導電層5184は、容量素子5199の第1の電極として機能する部分を含む。なお、第1の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【0277】

少なくとも第1の導電層を覆うように、第2の絶縁膜（絶縁膜5185）が形成される。第2の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第2の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ SiO_xN_y ）などの単層、又はこれらの積層を用いることができる。

【0278】

なお、半導体層に接する部分の第2の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、半導体層と第2の絶縁膜とが接する界面におけるトラップ準位が少なくなるからである。

【0279】

なお、第2の絶縁膜がMoと接する場合、Moと接する部分の第2の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はMoを酸化させないからである。

10

20

30

40

50

【0280】

第2の絶縁膜上のうち第1の導電層と重なって形成される部分の一部に、フォトリソグラフィ法、インクジェット法又は印刷法などによって、第1の半導体層（半導体層5186）が形成される。そして、半導体層5188の一部は、第2の絶縁膜上のうち第1の導電層と重なって形成されていない部分まで延長されている。半導体層5186は、トランジスタ5198のチャンネル領域として機能する部分を含む。なお、半導体層5186としては、アモルファスシリコン（a-Si:H）等の非結晶性を有する半導体層、又は微結晶シリコン（ μ c-Si）等の半導体層などを用いることができる。

【0281】

第1の半導体層上の一部に、第3の絶縁膜（絶縁膜5192）が形成される。絶縁膜5192は、トランジスタ5198のチャンネル領域がエッチングによって除去されることを防止する機能を有する。つまり、絶縁膜5192は、チャンネル保護膜（エッチストップ膜）として機能する。なお、第3の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ SiO_xN_y ）などの単層、又はこれらの積層を用いることができる。

10

【0282】

第1の半導体層上の一部及び第3の絶縁膜上の一部に、第2の半導体層（半導体層5187及び半導体層5188）が形成される。半導体層5187は、ソースとドレインの一方として機能する部分を含む。半導体層5188は、ソースとドレインの他方として機能する部分を含む。なお、第2の半導体層としては、リン等を含んだシリコン等を用いることができる。

20

【0283】

第2の半導体層上に、第2の導電層（導電層5189、導電層5190及び導電層5191）が形成される。導電層5189は、トランジスタ5198のソースとドレインの一方として機能する部分を含む。導電層5190は、トランジスタ5198のソースとドレインの他方として機能する部分を含む。導電層5191は、容量素子5199の第2の電極として機能する部分を含む。なお、第2の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

30

【0284】

なお、第2の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されてもよい。

【0285】

次に、ポリシリコンをトランジスタの半導体層として用いる場合は、トランジスタの移動度が高く、かつ、製造コストが小さいという利点がある。さらに、特性の経年劣化が小さいため、信頼性の高い装置を得ることができる。以下に、半導体層としてポリシリコンを用いるトランジスタおよび容量素子の構造の一例について説明する。

【0286】

図27（D）は、ボトムゲート型のトランジスタの断面構造及び容量素子の断面構造を示す図である。

40

【0287】

基板5201上に第1の絶縁膜（絶縁膜5202）が形成される。第1の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ下地膜としての機能を有することができる。なお、第1の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ SiO_xN_y ）などの単層、又はこれらの積層を用いることができる。特に、窒化シリコン膜は緻密な膜であり、高いバリア性を有するため、第1の絶縁膜には窒化シリコンが含まれることが好ましい。なお、第1の絶縁膜は必ずしも形成されなくても良い。第1の絶縁膜が形成されない場合は、工程数の削減、製造コストの低減および歩留まりの向上を図ることができる。

50

【0288】

第1の絶縁膜上に、第1の導電層（導電層5203及び導電層5204）が形成される。導電層5203は、トランジスタ5218のゲート電極として機能する部分を含む。導電層5204は、容量素子5219の第1の電極として機能する部分を含む。なお、第1の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【0289】

少なくとも第1の導電層を覆うように、第2の絶縁膜（絶縁膜5214）が形成される。第2の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第2の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ SiO_xN_y ）などの単層、又はこれらの積層を用いることができる。

10

【0290】

なお、半導体層に接する部分の第2の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、半導体層と第2の絶縁膜とが接する界面におけるトラップ準位が少なくなるからである。

【0291】

なお、第2の絶縁膜がMoと接する場合、Moと接する部分の第2の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はMoを酸化させないからである。

20

【0292】

第2の絶縁膜上のうち第1の導電層と重なって形成される部分の一部に、フォトリソグラフィ法、インクジェット法又は印刷法などによって、半導体層が形成される。そして、半導体層の一部は、第2の絶縁膜上のうち第1の導電層と重なって形成されていない部分まで延長されている。半導体層は、チャンネル形成領域（チャンネル形成領域5210）、Lightly Doped Drain（LDD）領域（LDD領域5208、LDD領域5209）、不純物領域（不純物領域5205、不純物領域5206、不純物領域5207）を有している。チャンネル形成領域5210は、トランジスタ5218のチャンネル形成領域として機能する。LDD領域5208及びLDD領域5209は、トランジスタ5218のLDD領域として機能する。なお、LDD領域5208及びLDD領域5209が形成されることによって、トランジスタのドレインに高電界がかかることを抑制できるため、トランジスタの信頼性を向上できる。ただし、LDD領域は形成されなくてもよい。この場合は、製造工程を簡単にすることができるため、製造コストを低減できる。不純物領域5205は、トランジスタ5218のソース及びドレインの一方として機能する部分を含む。不純物領域5206は、トランジスタ5218のソース及びドレインの他方として機能する部分を含む。不純物領域5207は、容量素子5219の第2の電極として機能する部分を含む。

30

【0293】

第3の絶縁膜（絶縁膜5211）の一部には、選択的にコンタクトホールが形成される。絶縁膜5211は、層間膜としての機能を有する。第3の絶縁膜としては、無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）あるいは、低誘電率の有機化合物材料（感光性又は非感光性の有機樹脂材料）などを用いることができる。あるいは、シロキサンを含む材料を用いることもできる。なお、シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される材料である。置換基として、有機基（例えばアルキル基、芳香族炭化水素）やフルオロ基を用いてもよい。あるいは、有機基は、フルオロ基を有していてもよい。

40

【0294】

第3の絶縁膜上に、第2の導電層（導電層5212及び導電層5213）が形成される。導電層5212は、第3の絶縁膜に形成されたコンタクトホールを介してトランジスタ5218のソースまたはドレインの他方と電氣的に接続されている。したがって、導電層5

50

212は、トランジスタ5218のソースまたはドレインの他方として機能する部分を含む。導電層5213と導電層5204とが、図示しない部分において電氣的に接続されている場合は、導電層5213は容量素子5219の第1の電極として機能する部分を含む。あるいは、導電層5213が不純物領域5207と図示しない部分において電氣的に接続されている場合は、導電層5213は容量素子5219の第2の電極として機能する部分を含む。あるいは、導電層5213が導電層5204及び不純物領域5207と電氣的に接続されていない場合は、容量素子5219とは別の容量素子が形成される。この容量素子は、導電層5213、不純物領域5207及び絶縁膜5211がそれぞれ容量素子の第1の電極、第2の電極、絶縁膜として用いられる構成である。なお、第2の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

10

【0295】

なお、第2の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されてもよい。

【0296】

なお、半導体層としてポリシリコンを用いるトランジスタにおいても、トップゲート型のトランジスタとすることができる。

【0297】

なお、本実施の形態で示した構成は、本明細書で示した他の構成（他の実施の形態で示した構成を含む）と適宜組み合わせて実施することができる。

20

【0298】

（実施の形態6）

本実施の形態では、上記実施の形態で示した表示装置を適用した様々な電子機器について、図面を参照して説明する。

【0299】

上記実施の形態で示した表示装置を適用した電子機器として、テレビジョン、ビデオカメラ、デジタルカメラなどのカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、ノート型コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルバーサタイルディスク（DVD）等の記録媒体を再生し、その画像を表示しうる表示装置を備えた装置）、照明器具などが挙げられる。これらの電子機器の具体例を図28に示す。

30

【0300】

図28（A）は表示装置であり、筐体8001、支持台8002、表示部8003、スピーカ部8004、ビデオ入力端子8005等を含む。上記実施の形態で示した構成を表示部8003に用いることにより作製される。なお、表示装置は、パーソナルコンピュータ用、TV放送受信用、広告表示用などの全ての情報表示用装置が含まれる。上記実施の形態で示した表示装置を適用することで、信頼性を向上させた表示装置を提供することができる。

40

【0301】

図28（B）はコンピュータであり、筐体8102、表示部8103、キーボード8104、外部接続ポート8105、ポインティングデバイス8106等を含む。なお、コンピュータは、上記実施の形態で示した構成を表示部8103に用いることにより作製される。上記実施の形態で示した表示装置を適用することで、信頼性を向上させたコンピュータを提供することができる。

【0302】

図28（C）はビデオカメラであり、表示部8202、外部接続ポート8204、リモコン受信部8205、受像部8206、操作キー8209等を含む。なお、ビデオカメラは

50

、上記実施の形態で示した構成を表示部 8 2 0 2 に用いることにより作製される。上記実施の形態で示した表示装置を適用することで、信頼性を向上させたビデオカメラを提供することができる。

【0303】

図 2 8 (D) は携帯電話であり、表示部 8 4 0 3、音声入力部 8 4 0 4、音声出力部 8 4 0 5、操作キー 8 4 0 6、外部接続ポート 8 4 0 7 等を含む。なお、携帯電話は、上記実施の形態で示した構成を表示部 8 4 0 3 に用いることにより作製される。また、赤外線通信機能、テレビ受信機能等を備えた携帯電話としてもよい。上記実施の形態で示した表示装置を適用することで、信頼性を向上させた携帯電話を提供することができる。

【0304】

図 2 8 (E) は卓上照明器具であり、照明部 8 3 0 1、傘 8 3 0 2、可変アーム 8 3 0 3、スイッチ 8 3 0 5 等を含む。なお、卓上照明器具は、上記実施の形態で示した構成を照明部 8 3 0 1 に用いることにより作製される。なお、照明器具には天井固定型の照明器具または壁掛け型の照明器具なども含まれる。上記実施の形態で示した表示装置を適用することで、信頼性を向上させた卓上照明器具を提供することができる。

【0305】

以上のようにして、上記実施の形態で示した表示装置を適用して電子機器や照明器具を得ることができる。上記実施の形態で示した表示装置の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。

【0306】

なお、本実施の形態で示した構成は、本明細書で示した他の構成（他の実施の形態で示した構成を含む）と適宜組み合わせる実施することができる。

【符号の説明】

【0307】

1 0 1	配線
1 0 2	配線
1 0 3	配線
1 0 4	配線
1 1 1	トランジスタ
1 1 2	トランジスタ
1 1 4	トランジスタ
1 1 5	容量素子
1 2 1	トランジスタ
1 2 2	トランジスタ
1 2 5	画素電極
1 2 6	対向電極
1 2 8	トランジスタ
1 2 9	発光素子
1 6 1	トランジスタ
1 6 2	トランジスタ
1 6 3	トランジスタ
2 0 1	トランジスタ
2 0 2	トランジスタ
2 0 3	トランジスタ
2 0 4	トランジスタ
2 0 5	トランジスタ
2 0 6	トランジスタ
2 0 7	トランジスタ
2 0 8	容量素子
2 1 1	配線

10

20

30

40

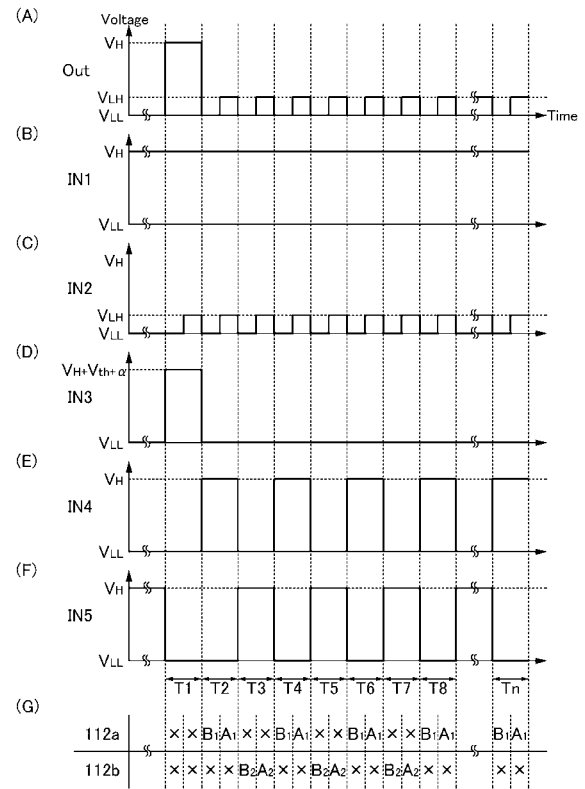
50

2 1 3	配線	
2 2 1	トランジスタ	
2 2 2	トランジスタ	
2 2 3	トランジスタ	
2 2 4	トランジスタ	
2 2 5	トランジスタ	
2 2 6	トランジスタ	
2 2 7	トランジスタ	
2 2 8	トランジスタ	
2 2 9	トランジスタ	10
2 3 0	トランジスタ	
2 3 1	トランジスタ	
2 3 2	トランジスタ	
2 4 1	配線	
2 4 3	配線	
2 5 1	トランジスタ	
2 5 2	トランジスタ	
2 5 3	トランジスタ	
2 5 4	トランジスタ	
2 5 5	トランジスタ	20
2 6 3	配線	
2 6 4	配線	
2 7 1	トランジスタ	
2 7 2	トランジスタ	
2 7 3	トランジスタ	
2 7 4	トランジスタ	
2 7 5	トランジスタ	
2 7 6	トランジスタ	
2 7 7	トランジスタ	
2 7 8	トランジスタ	30
2 7 9	トランジスタ	
2 8 0	トランジスタ	
2 8 1	配線	
2 8 3	配線	
1 0 1 a	配線	
1 0 3 a	配線	
1 0 3 b	配線	
1 0 3 c	配線	
1 1 2 a	トランジスタ	
1 1 2 b	トランジスタ	40
1 4 1 a	配線	
1 4 2 a	配線	
2 1 2 a	配線	
2 1 2 b	配線	
2 1 2 c	配線	
2 4 2 a	配線	
2 4 2 b	配線	
2 6 2 a	配線	
2 6 2 b	配線	
2 8 2 a	配線	50

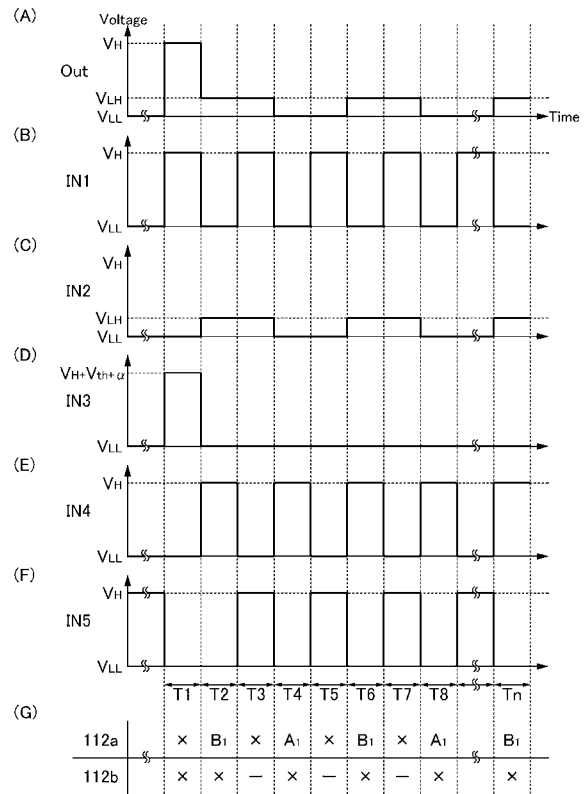
2 8 2 b	配線	
5 1 4 1	基板	
5 1 4 2	絶縁膜	
5 1 4 3	導電層	
5 1 4 4	導電層	
5 1 4 5	導電層	
5 1 4 6	半導体層	
5 1 4 7	半導体層	
5 1 4 8	半導体層	
5 1 4 9	絶縁膜	10
5 1 5 0	絶縁膜	
5 1 5 1	導電層	
5 1 5 2	導電層	
5 1 5 8	トランジスタ	
5 1 5 9	容量素子	
5 1 6 1	基板	
5 1 6 2	絶縁膜	
5 1 6 3	導電層	
5 1 6 4	導電層	
5 1 6 5	絶縁膜	20
5 1 6 6	半導体層	
5 1 6 7	半導体層	
5 1 6 8	半導体層	
5 1 6 9	導電層	
5 1 7 0	導電層	
5 1 7 1	導電層	
5 1 7 8	トランジスタ	
5 1 7 9	容量素子	
5 1 8 1	基板	
5 1 8 2	絶縁膜	30
5 1 8 3	導電層	
5 1 8 4	導電層	
5 1 8 5	絶縁膜	
5 1 8 6	半導体層	
5 1 8 7	半導体層	
5 1 8 8	半導体層	
5 1 8 9	導電層	
5 1 9 0	導電層	
5 1 9 1	導電層	
5 1 9 2	絶縁膜	40
5 1 9 8	トランジスタ	
5 1 9 9	容量素子	
5 2 0 1	基板	
5 2 0 2	絶縁膜	
5 2 0 3	導電層	
5 2 0 4	導電層	
5 2 0 5	不純物領域	
5 2 0 5	不純物領域	
5 2 0 6	不純物領域	
5 2 0 7	不純物領域	50

5 2 0 8	L D D 領域	
5 2 0 9	L D D 領域	
5 2 1 0	チャネル形成領域	
5 2 1 1	絶縁膜	
5 2 1 1	絶縁膜	
5 2 1 2	導電層	
5 2 1 3	導電層	
5 2 1 4	絶縁膜	
5 2 1 8	トランジスタ	
5 2 1 9	容量素子	10
8 0 0 1	筐体	
8 0 0 2	支持台	
8 0 0 3	表示部	
8 0 0 4	スピーカー部	
8 0 0 5	ビデオ入力端子	
8 1 0 2	筐体	
8 1 0 3	表示部	
8 1 0 4	キーボード	
8 1 0 5	外部接続ポート	
8 1 0 6	ポインティングデバイス	20
8 2 0 2	表示部	
8 2 0 4	外部接続ポート	
8 2 0 5	リモコン受信部	
8 2 0 6	受像部	
8 2 0 9	操作キー	
8 3 0 1	照明部	
8 3 0 2	傘	
8 3 0 3	可変アーム	
8 3 0 5	スイッチ	
8 4 0 3	表示部	30
8 4 0 4	音声入力部	
8 4 0 6	操作キー	
8 4 0 7	外部接続ポート	

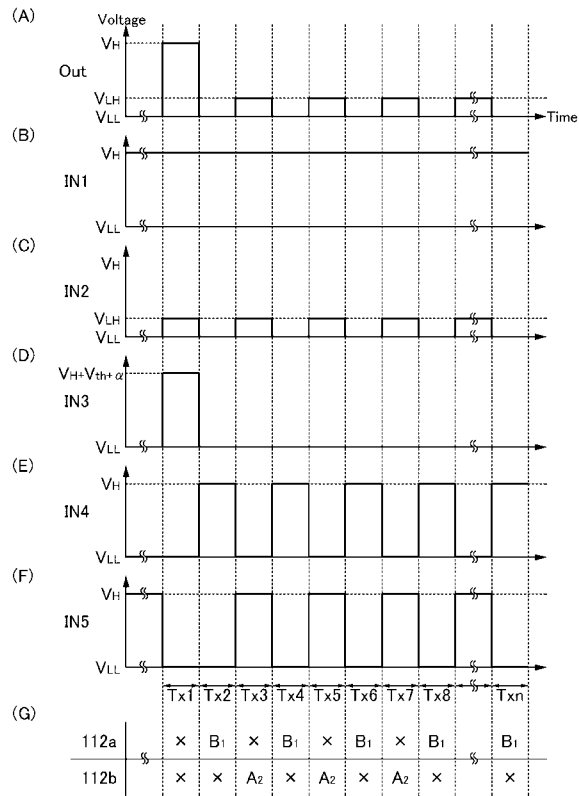
【図 6】



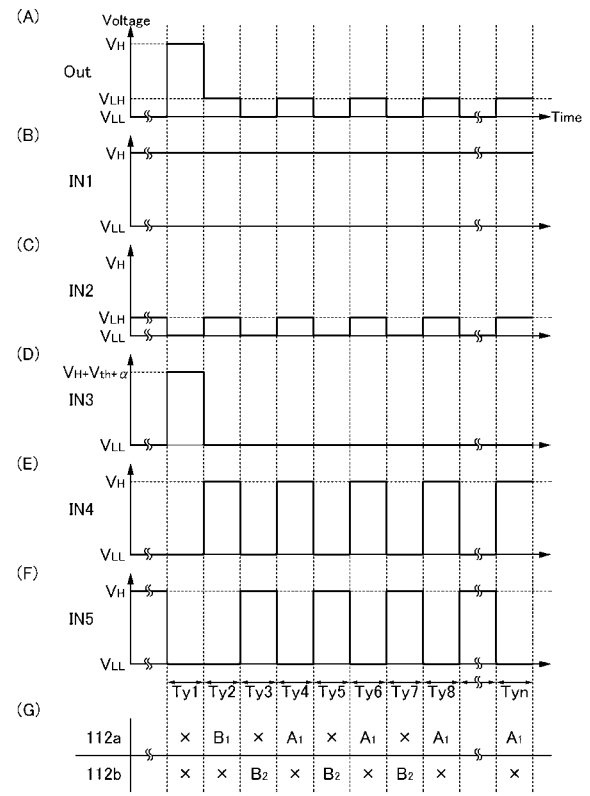
【図 8】



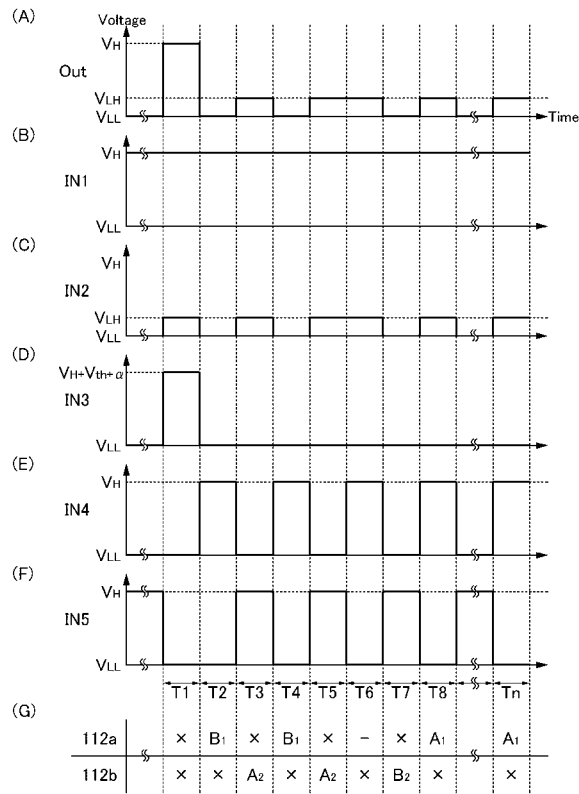
【図 9】



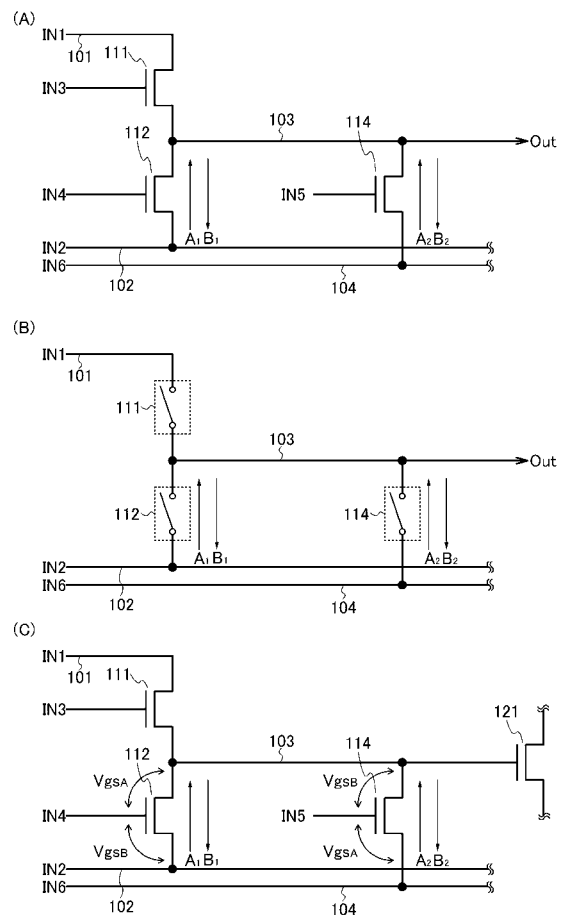
【図 10】



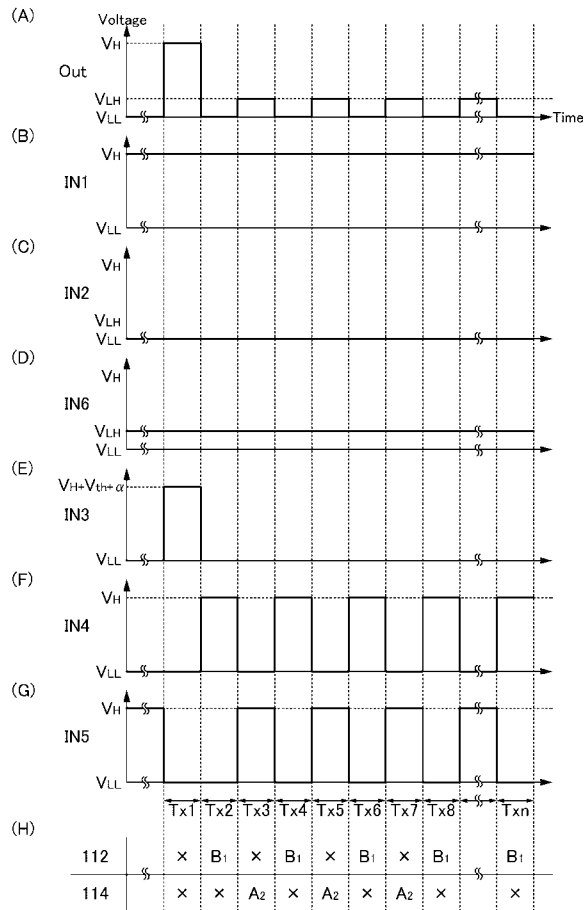
【図 11】



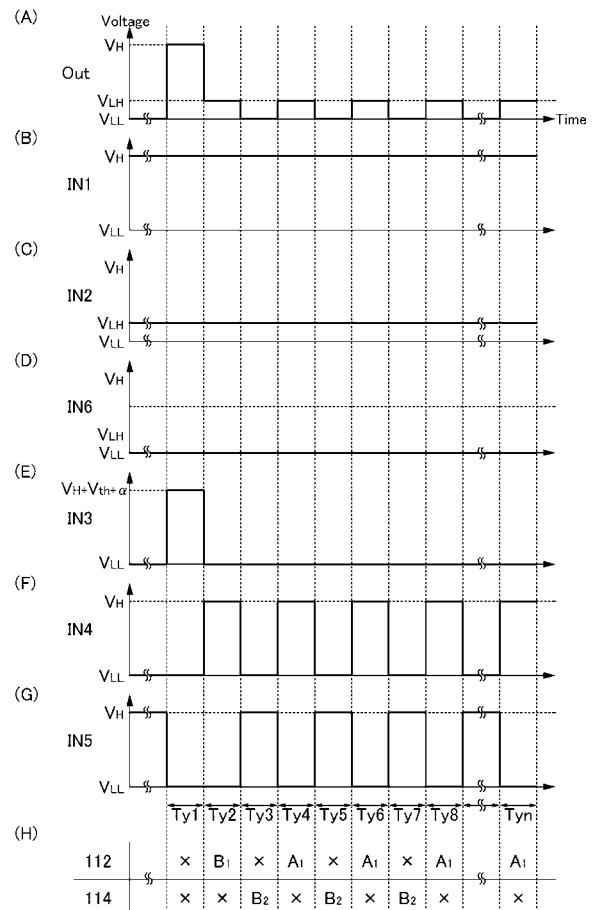
【図 12】



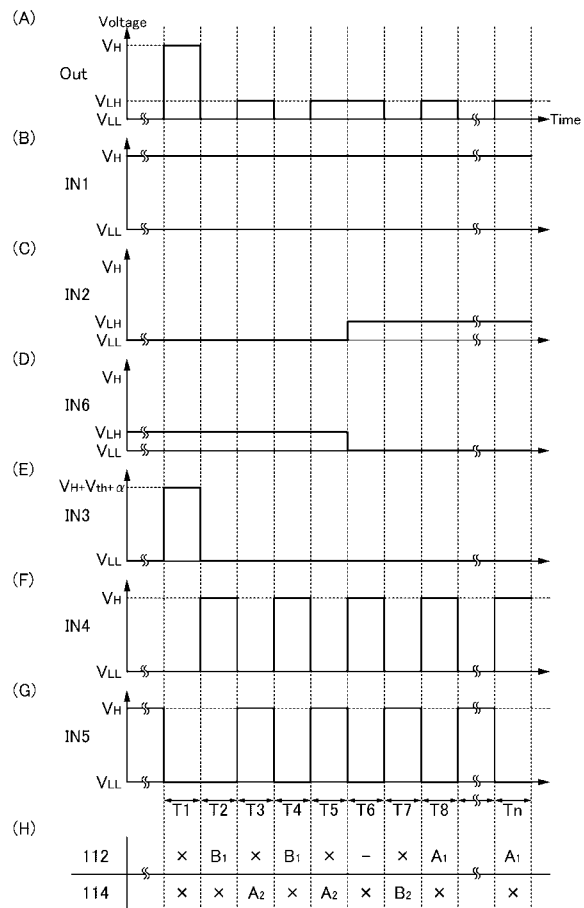
【図 1 3】



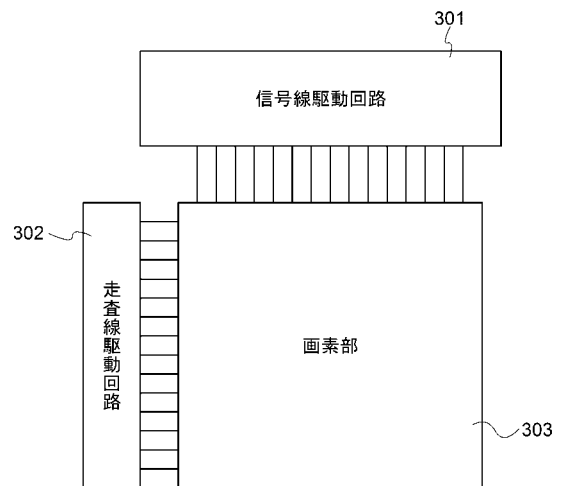
【図 1 4】



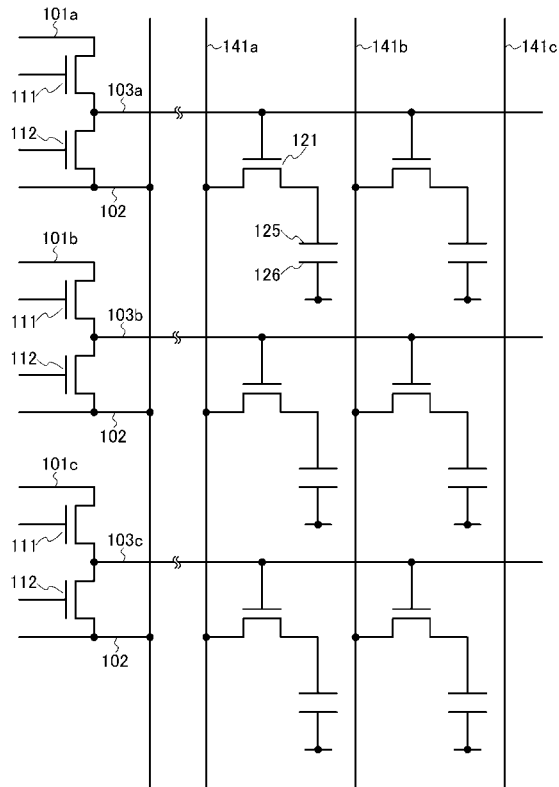
【図 1 5】



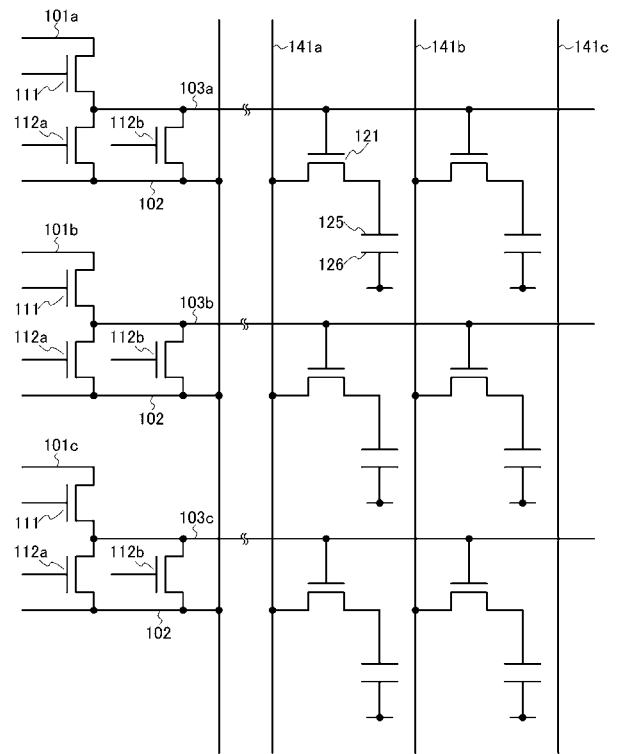
【図 1 6】



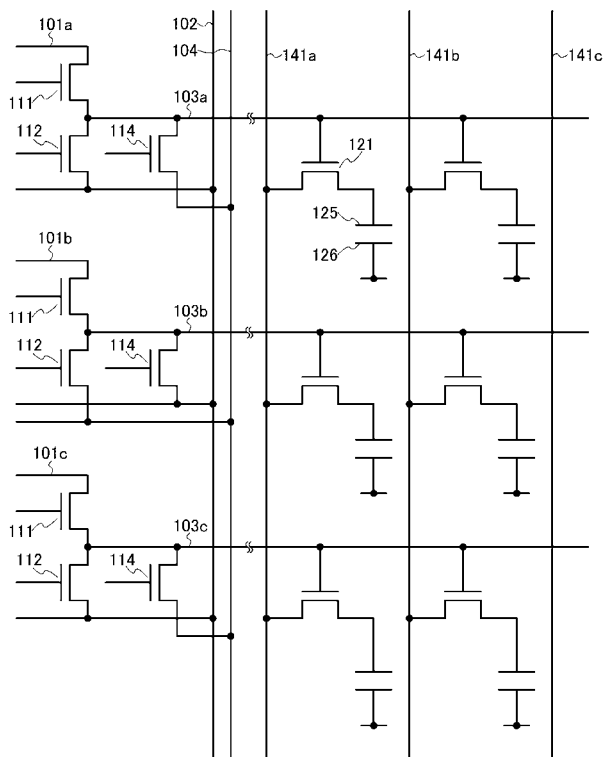
【図 17】



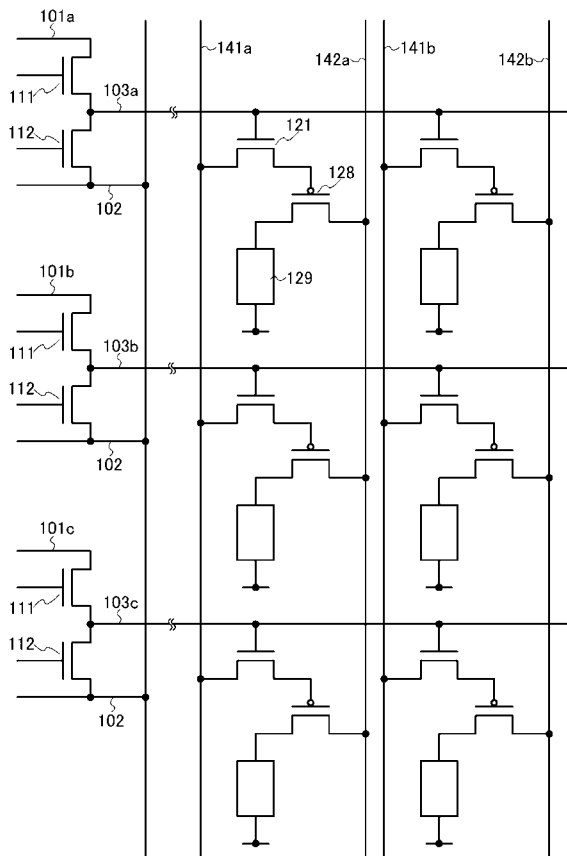
【図 18】



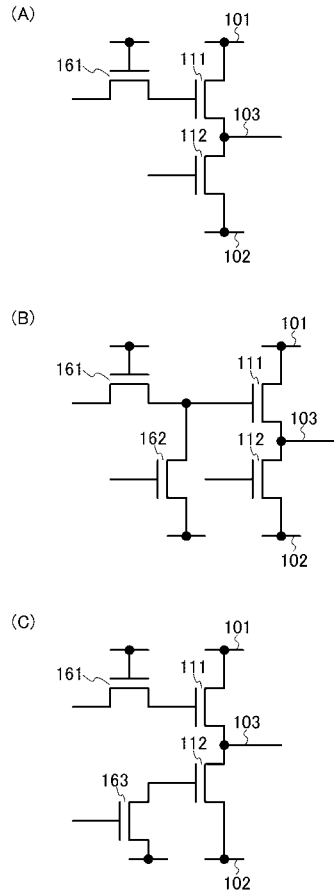
【図 19】



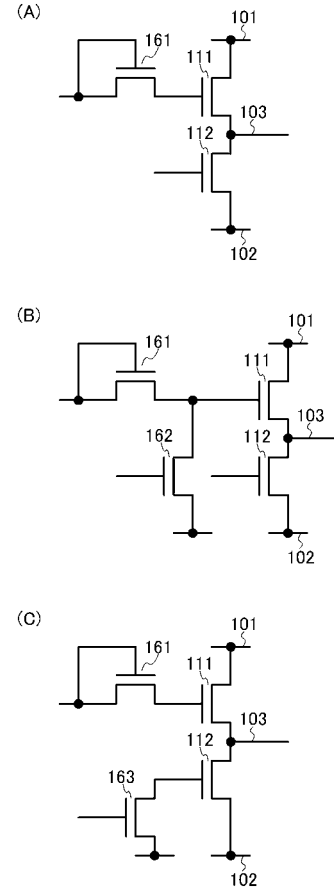
【図 20】



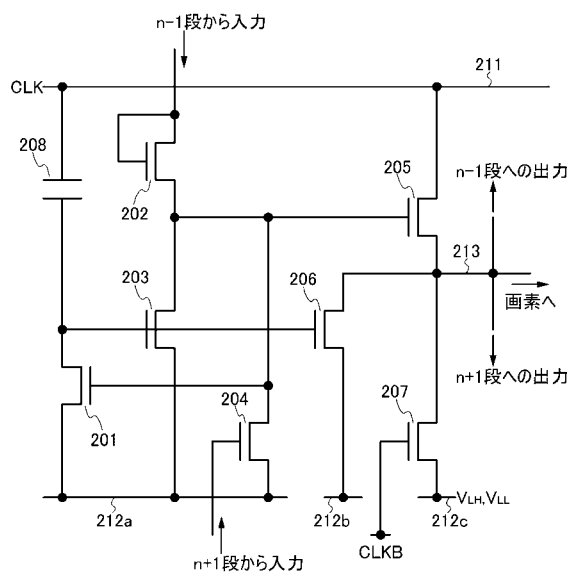
【図 2 1】



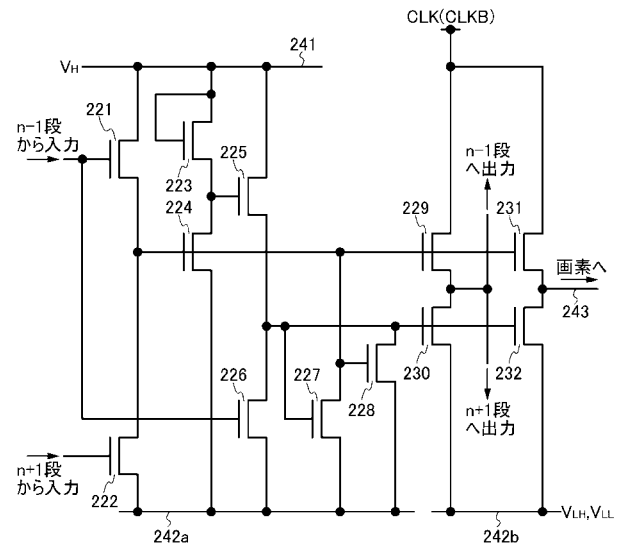
【図 2 2】



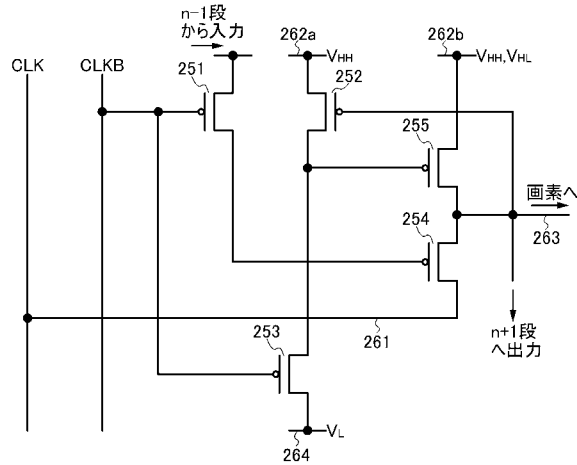
【図 2 3】



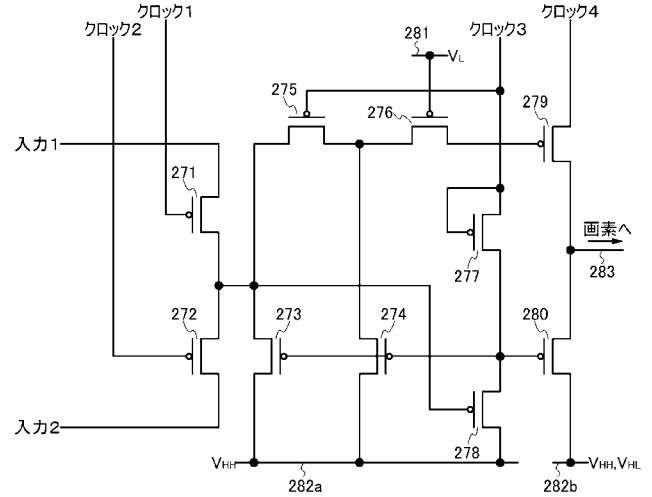
【図 2 4】



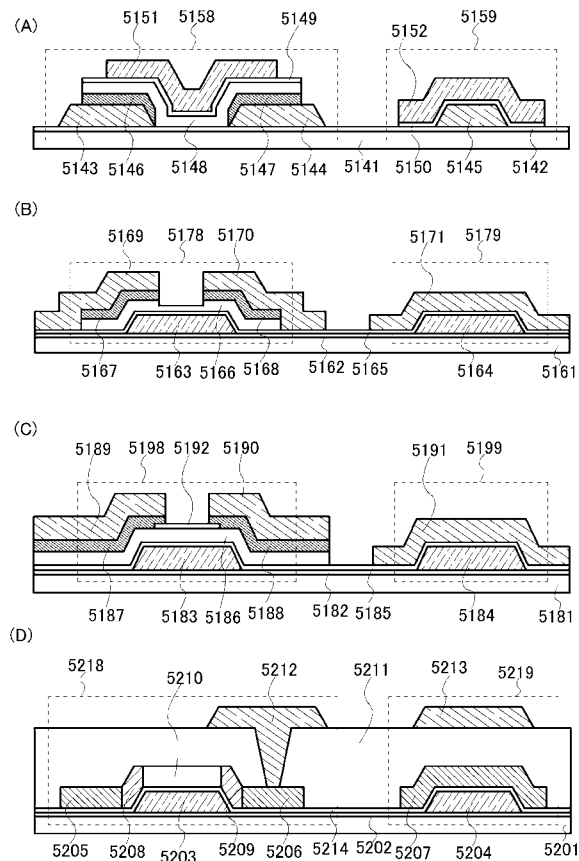
【図 25】



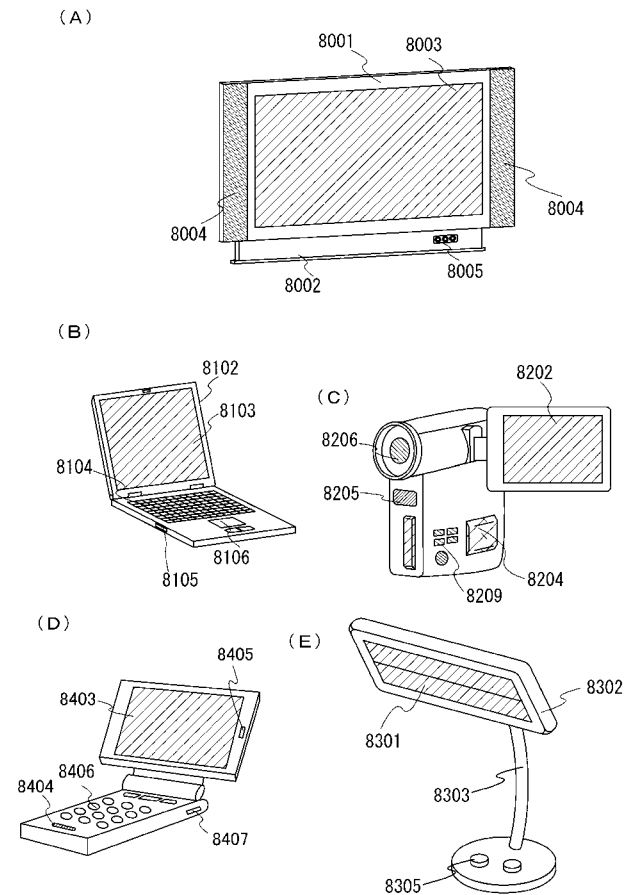
【図 26】



【図 27】



【図 28】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)

G 1 1 C 19/28 (2006.01)

G 0 9 G 3/20 6 8 0 G
 G 0 9 G 3/20 6 7 0 E
 G 0 9 G 3/20 6 7 0 J
 G 0 9 G 3/20 6 7 0 K
 G 0 9 G 3/30 H
 G 0 2 F 1/133 5 5 0
 G 1 1 C 19/00 J
 G 1 1 C 19/00 G
 G 1 1 C 19/28 D

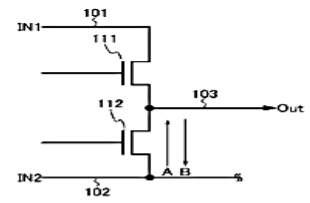
F ターム(参考) 5C080 AA06 AA10 BB05 CC03 DD03 DD24 DD25 DD26 DD28 DD29
 EE29 FF11 FF12 JJ02 JJ03 JJ04 JJ06 KK04 KK07 KK23
 KK43 KK50
 5C380 AA02 AA03 AB05 AB06 AB18 AB22 AB23 AB34 AB36 AB37
 AB41 AB46 AC04 AC07 AC08 AC09 AC11 AC12 AC13 AC18
 BA01 BA05 BA12 BA28 BD10 CB14 CC02 CC26 CC33 CD072
 CE05 CF07 CF09 CF22 DA11 HA03 HA05

专利名称(译)	液晶表示装置		
公开(公告)号	JP2010140023A	公开(公告)日	2010-06-24
申请号	JP2009257642	申请日	2009-11-11
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	木村肇		
发明人	木村 肇		
IPC分类号	G09G3/36 G09G3/20 G09G3/30 G02F1/133 G11C19/00 G11C19/28		
CPC分类号	G09G3/20 G09G3/3233 G09G3/3677 G09G2300/0408 G09G2300/0417 G09G2300/0847 G09G2310/0254 G09G2310/0267 G09G2310/0286 G09G2310/0291 G09G2310/08 G09G2320/043 G11C19/28 G09G3/3648 G09G2230/00 G02F1/133528 G02F1/136286 G02F2001/133638 H01L51/0554 H01L51/0575		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.622.E G09G3/20.623.H G09G3/20.621.M G09G3/20.680.G G09G3/20.670.E G09G3/20.670.J G09G3/20.670.K G09G3/30.H G02F1/133.550 G11C19/00.J G11C19/00.G G11C19/28.D G11C19/00 G11C19/28.230		
F-TERM分类号	2H193/ZA04 2H193/ZA13 2H193/ZF23 2H193/ZF32 2H193/ZG02 2H193/ZG12 2H193/ZG14 2H193/ZQ06 2H193/ZQ07 2H193/ZQ08 2H193/ZQ09 2H193/ZQ11 2H193/ZQ13 2H193/ZQ14 2H193/ZQ16 2H193/ZQ17 2H193/ZQ24 2H193/ZQ26 2H193/ZR02 2H193/ZR12 5C006/AA12 5C006/AA16 5C006/AA22 5C006/AF50 5C006/AF51 5C006/AF72 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF33 5C006/BF34 5C006/BF42 5C006/EB04 5C006/EB05 5C006/FA33 5C006/FA42 5C006/FA46 5C006/FA47 5C080/AA06 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD24 5C080/DD25 5C080/DD26 5C080/DD28 5C080/DD29 5C080/EE29 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK04 5C080/KK07 5C080/KK23 5C080/KK43 5C080/KK50 5C380/AA02 5C380/AA03 5C380/AB05 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB34 5C380/AB36 5C380/AB37 5C380/AB41 5C380/AB46 5C380/AC04 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/AC18 5C380/BA01 5C380/BA05 5C380/BA12 5C380/BA28 5C380/BD10 5C380/CB14 5C380/CC02 5C380/CC26 5C380/CC33 5C380/CD072 5C380/CE05 5C380/CF07 5C380/CF09 5C380/CF22 5C380/DA11 5C380/HA03 5C380/HA05 5B074/AA01 5B074/AA02 5B074/AA03 5B074/CA01 5B074/EA01		
优先权	2008292197 2008-11-14 JP		
其他公开文献	JP2010140023A5 JP5386313B2		
外部链接	Espacenet		

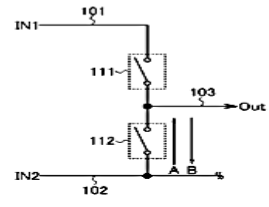
摘要(译)

要解决的问题：抑制由于晶体管劣化引起的电路故障。ŽSOLUTION：在像素或电路中连续输出具有一定电平（L电平信号）的信号的晶体管中，流过晶体管的电流方向改变（反转）。也就是说，通过在每个给定时段改变施加到第一端子和第二端子（用作源极和漏极的端子）的电压电平，每隔给定时段切换源极和漏极。具体地，在包括晶体管的电路中连续输出具有一定电平（L电平信号）的信号的部分中，使用具有多个不同电位的L电平信号（电位每隔给定时间改变的L电平信号）。作为具有一定水平的信号。Ž

(A)



(B)



(C)

