

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02011/152120

発行日 平成25年7月25日(2013.7.25)

(43) 国際公開日 平成23年12月8日(2011.12.8)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G09G 3/20 (2006.01)	G09G 3/20 R	2H193
G02F 1/133 (2006.01)	G09G 3/20 611A	5C006
G02F 1/1368 (2006.01)	G09G 3/20 611C	5C080
	G09G 3/20 622E	
審査請求 有 予備審査請求 未請求 (全 32 頁) 最終頁に続く		

出願番号	特願2012-518281 (P2012-518281)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2011/058764		シャープ株式会社
(22) 国際出願日	平成23年4月7日(2011.4.7)		大阪府大阪市阿倍野区長池町22番22号
(31) 優先権主張番号	特願2010-125548 (P2010-125548)	(74) 代理人	100104695
(32) 優先日	平成22年6月1日(2010.6.1)		弁理士 島田 明宏
(33) 優先権主張国	日本国(JP)	(74) 代理人	100121348
			弁理士 川原 健児
		(74) 代理人	100148459
			弁理士 河本 悟
		(72) 発明者	鷲尾 一
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		Fターム(参考)	2H092 GA21 GA50 GA60 JA23 JB43 NA26 PA06
		最終頁に続く	

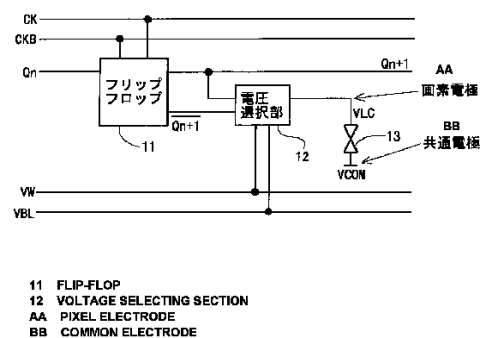
(54) 【発明の名称】 表示装置

(57) 【要約】

本発明は、パネル基板上の回路面積を低減しつつ、メモリを用いた駆動による低消費電力化を実現することのできる表示装置を提供することを目的とする。

表示装置の画素メモリ部には、各画素メモリユニットに対応するように、フリップフロップ(11)と、フリップフロップ(11)からの出力信号(Q_{n+1} , $Q_n + 1B$)に応じて白色表示用電圧(VW)または黒色表示用電圧(VBL)のいずれかを選択する電圧選択部(12)と、電圧選択部(12)によって選択された電圧を各フリップフロップ(11)に対応する画素の表示状態に反映させるための液晶容量(13)とが設けられる。また、画素メモリ部内の複数の画素メモリユニットのそれぞれに含まれるフリップフロップ(11)が直列に接続されることによって、シフトレジスタ(110)が構成される。

【図1】



【特許請求の範囲】

【請求項 1】

m 個 (m は正の整数) の画素にそれぞれ対応するように設けられクロック信号に基づき入力データが順次に転送されるように直列に接続された m 個のフリップフロップからなるシフトレジスタと、

各フリップフロップに対応するように設けられ、各フリップフロップからの出力信号の論理値に応じて第 1 電圧または第 2 電圧のいずれかを選択する電圧選択部と、

各フリップフロップに対応するように設けられ、前記電圧選択部によって選択された電圧を各フリップフロップに対応する画素の表示状態に反映させるための表示素子部とを備えることを特徴とする、表示装置。

10

【請求項 2】

各フリップフロップは、

入力信号を取り込んで転送用データとして保持する第 1 ラッチ部と、

前記転送用データを取り込んで出力用データとして保持するとともに前記出力用データに基づいて前記出力信号を出力する第 2 ラッチ部とを含むこと特徴とする、請求項 1 に記載の表示装置。

【請求項 3】

前記第 1 ラッチ部は、

入力端子に前記入力信号が与えられる、前記クロック信号に基づいて動作する第 1 クロックインバータと、

20

入力端子が前記第 1 クロックインバータの出力端子に接続された第 1 インバータと

、
入力端子が前記第 1 インバータの出力端子に接続され、出力端子が前記第 1 インバータの入力端子に接続された、前記クロック信号に基づいて動作する第 2 クロックインバータと
からなり、

前記第 2 ラッチ部は、

入力端子が前記第 1 インバータの出力端子に接続された、前記クロック信号に基づいて動作する第 3 クロックインバータと、

入力端子が前記第 3 クロックインバータの出力端子に接続された第 2 インバータと

30

、
入力端子が前記第 2 インバータの出力端子に接続され、出力端子が前記第 2 インバータの入力端子に接続された、前記クロック信号に基づいて動作する第 4 クロックインバータと
からなり、

前記第 2 インバータの出力端子から前記出力信号が出力されることを特徴とする、請求項 2 に記載の表示装置。

【請求項 4】

前記第 1 ラッチ部は、

入力端子に前記入力信号が与えられる、前記クロック信号に基づいて動作する第 1 クロックインバータと、

40

一端が前記第 1 クロックインバータの出力端子に接続され、他端に所定電位が与えられる容量と
からなり、

前記第 2 ラッチ部は、

入力端子が前記第 1 クロックインバータの出力端子に接続された、前記クロック信号に基づいて動作する第 3 クロックインバータと、

入力端子が前記第 3 クロックインバータの出力端子に接続された第 2 インバータと

、
入力端子が前記第 2 インバータの出力端子に接続され、出力端子が前記第 2 インバー

50

タの入力端子に接続された、前記クロック信号に基づいて動作する第４クロックドインバータと
からなり、

前記第２インバータの出力端子から前記出力信号が出力されることを特徴とする、請求項２に記載の表示装置。

【請求項５】

前記 m 個のフリップフロップに対応する m 個のデータが前記入力データとして前記シフトレジスタに与えられ、

前記 m 個のデータがそれぞれ対応するフリップフロップに含まれる前記第１ラッチ部に前記転送用データとして保持された後、前記クロック信号の動作が停止すること特徴とする、請求項２に記載の表示装置。

10

【請求項６】

各フリップフロップに対応するように設けられた白色表示機能部を更に備え、

前記 m 個のフリップフロップに対応する m 個のデータが前記入力データとして前記シフトレジスタに与えられ、

前記白色表示機能部は、前記 m 個のデータがそれぞれ対応するフリップフロップに含まれる前記第１ラッチ部に前記転送用データとして保持されるまでの期間、各画素の表示状態を白色表示で維持すること特徴とする、請求項２に記載の表示装置。

【請求項７】

前記白色表示機能部は、

20

各画素の表示状態を白色表示で維持するか否かを示す指示信号に基づいて前記表示素子部に前記出力信号を与えるか否かを制御するための第１スイッチと、

前記指示信号に基づいて前記表示素子部に白色表示用の電圧を与えるか否かを制御するための第２スイッチと
を備え、

前記指示信号の論理値に応じて前記出力信号または前記白色表示用の電圧のいずれかが前記表示素子部に与えられることを特徴とする、請求項６に記載の表示装置。

【請求項８】

制御信号に基づいて入力電圧の大きさを制御する電圧制御部を更に備え、

前記表示素子部において、画素の表示状態は、前記電圧選択部によって選択された電圧と所定の第３電圧との差に基づいて変化し、

30

前記電圧制御部は、前記入力電圧として前記第１電圧および前記第２電圧を受け取り、前記制御信号が予め定められたレベルになっている時に、前記第１電圧および前記第２電圧を前記第３電圧と同じ大きさにすることを特徴とする、請求項１に記載の表示装置。

【請求項９】

前記 m 個の画素および前記 m 個のフリップフロップは i 行× j 列のマトリクス状に構成され、

各行において隣接するフリップフロップは互いに接続され、

連続する任意の３行に着目したとき、１行目の j 列目のフリップフロップと２行目の j 列目のフリップフロップとが接続されるとともに２行目の１列目のフリップフロップと３行目の１列目のフリップフロップとが接続され、または、１行目の１列目のフリップフロップと２行目の１列目のフリップフロップとが接続されるとともに２行目の j 列目のフリップフロップと３行目の j 列目のフリップフロップとが接続されていることを特徴とする、請求項１に記載の表示装置。

40

【請求項１０】

前記 m 個の画素および前記 m 個のフリップフロップは i 行× j 列のマトリクス状に構成され、

各行において隣接するフリップフロップは互いに接続され、

連続する任意の２行に着目したとき、１行目の j 列目のフリップフロップと２行目の１列目のフリップフロップとが接続されていることを特徴とする、請求項１に記載の表示装

50

置。

【請求項 1 1】

各画素は、 n 個 (n は 2 以上の整数) の副画素によって構成され、

前記フリップフロップは、各画素に含まれる n 個の副画素にそれぞれ対応するように設けられ、

各画素に対応する n 個のフリップフロップが互いに異なるシフトレジスタを構成するように、前記シフトレジスタは n 個設けられ、

前記 n 個のシフトレジスタには、前記入力データとして互いに異なるデータが与えられることを特徴とする、請求項 1 に記載の表示装置。

【請求項 1 2】

各画素に含まれる n 個の副画素を形成する n 個の画素電極の面積が互いに異なることを特徴とする、請求項 1 1 に記載の表示装置。

【請求項 1 3】

各画素は、赤色、緑色、および青色にそれぞれ対応する 3 個の副画素によって構成され、

、

前記 3 個の副画素にそれぞれ対応する 3 個のシフトレジスタには、前記入力データとして赤色用のデータ、緑色用のデータ、および青色用のデータがそれぞれ与えられることを特徴とする、請求項 1 1 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、特に、各画素に対応するようにメモリ機能が設けられている表示装置に関する。

【背景技術】

【0002】

近年、液晶表示装置に関し、消費電力の低減を図るために各画素に対応するようにメモリ機能が設けられているものがある。このような装置は「メモリ液晶ディスプレイ」あるいは単に「メモリ液晶」などと呼ばれている。一般に、メモリ液晶ディスプレイにおいては、各画素につき 1 ビットのデータの保持が可能となっており、同じ内容の画像や変化の少ない画像が長時間表示される際に、メモリに保持されたデータを用いた画像表示が行われる。メモリ液晶ディスプレイでは、メモリへのデータの書き込みが一旦行われると、当該メモリに書き込まれたデータの内容は次に書き換えられるまで保持される。このため、画像の内容が変化する前後の期間以外の期間には、ほとんど電力は消費されない。その結果、メモリ機能を有さない液晶表示装置と比較して消費電力が低減されている。

【0003】

図 2 3 は、従来のメモリ液晶ディスプレイの概略構成を示すブロック図である。このメモリ液晶ディスプレイは、画素メモリ部 9 0 と、画素メモリ部 9 0 を駆動するためのゲートドライバ 9 2 およびソースドライバ 9 3 と、外部から各種信号等を受け取るための端子部 9 1 とによって構成されている。画素メモリ部 9 0、端子部 9 1、ゲートドライバ 9 2、およびソースドライバ 9 3 はパネル基板 9 0 0 上に形成されている。画素メモリ部 9 0 においては、上述したように、各画素につき 1 ビットのデータの保持が可能となっている。このような構成において、ゲートドライバ 9 2 およびソースドライバ 9 3 が動作することによって、画素メモリ部 9 0 内の各画素に対応するメモリに表示画像に応じたデータが格納される。そして、メモリに格納されたデータに基づいて画像が表示される。

【0004】

なお、本件発明に関連して、日本の特開 2 0 0 7 - 2 8 6 2 3 7 号公報には、図 2 4 に示す構成の画素メモリ回路を備えた表示装置の発明が開示されている。この表示装置においては、RGB のサブ画素毎ではなく、RGB の 3 つのサブ画素からなる画素ユニット毎に画素メモリ回路が設けられている。これにより、回路面積の増大を抑制しつつ、メモリを用いた駆動による低消費電力化が実現されている。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0005】

【特許文献1】日本の特開2007-286237号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

従来のメモリ液晶ディスプレイは、メモリ機能を有さない一般的な液晶表示装置と同様、ゲートドライバやソースドライバを備えている。ゲートドライバ92やソースドライバ93は、図23に示したように、画素メモリ部90の周辺領域に形成されている。このため、装置の小型化を図ったとき、パネル全体のサイズに対する表示領域（画素メモリ部90が形成されている領域に相当する）の占める割合が比較的小さくなり、製品のデザイン性が損なわれてしまう。

10

【0007】

そこで、本発明は、パネル基板上の回路面積を低減しつつ、メモリを用いた駆動による低消費電力化を実現することのできる表示装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の第1の局面は、 m 個（ m は正の整数）の画素にそれぞれ対応するように設けられクロック信号に基づき入力データが順次に転送されるように直列に接続された m 個のフリップフロップからなるシフトレジスタと、

20

各フリップフロップに対応するように設けられ、各フリップフロップからの出力信号の論理値に応じて第1電圧または第2電圧のいずれかを選択する電圧選択部と、

各フリップフロップに対応するように設けられ、前記電圧選択部によって選択された電圧を各フリップフロップに対応する画素の表示状態に反映させるための表示素子部とを備えることを特徴とする。

【0009】

本発明の第2の局面は、本発明の第1の局面において、

各フリップフロップは、

入力信号を取り込んで転送用データとして保持する第1ラッチ部と、

30

前記転送用データを取り込んで出力用データとして保持するとともに前記出力用データに基づいて前記出力信号を出力する第2ラッチ部とを含むこと特徴とする。

【0010】

本発明の第3の局面は、本発明の第2の局面において、

前記第1ラッチ部は、

入力端子に前記入力信号が与えられる、前記クロック信号に基づいて動作する第1クロックドインバータと、

入力端子が前記第1クロックドインバータの出力端子に接続された第1インバータと、

40

入力端子が前記第1インバータの出力端子に接続され、出力端子が前記第1インバータの入力端子に接続された、前記クロック信号に基づいて動作する第2クロックドインバータと

からなり、

前記第2ラッチ部は、

入力端子が前記第1インバータの出力端子に接続された、前記クロック信号に基づいて動作する第3クロックドインバータと、

入力端子が前記第3クロックドインバータの出力端子に接続された第2インバータと

、

入力端子が前記第2インバータの出力端子に接続され、出力端子が前記第2インバー

50

タの入力端子に接続された、前記クロック信号に基づいて動作する第４クロックドインバータと

からなり、

前記第２インバータの出力端子から前記出力信号が出力されることを特徴とする。

【００１１】

本発明の第４の局面は、本発明の第２の局面において、

前記第１ラッチ部は、

入力端子に前記入力信号が与えられる、前記クロック信号に基づいて動作する第１クロックドインバータと、

一端が前記第１クロックドインバータの出力端子に接続され、他端に所定電位が与えられる容量と

からなり、

前記第２ラッチ部は、

入力端子が前記第１クロックドインバータの出力端子に接続された、前記クロック信号に基づいて動作する第３クロックドインバータと、

入力端子が前記第３クロックドインバータの出力端子に接続された第２インバータと

、
入力端子が前記第２インバータの出力端子に接続され、出力端子が前記第２インバータの入力端子に接続された、前記クロック信号に基づいて動作する第４クロックドインバータと

からなり、

前記第２インバータの出力端子から前記出力信号が出力されることを特徴とする。

【００１２】

本発明の第５の局面は、本発明の第２の局面において、

前記ｍ個のフリップフロップに対応するｍ個のデータが前記入力データとして前記シフトレジスタに与えられ、

前記ｍ個のデータがそれぞれ対応するフリップフロップに含まれる前記第１ラッチ部に前記転送用データとして保持された後、前記クロック信号の動作が停止すること特徴とする。

【００１３】

本発明の第６の局面は、本発明の第２の局面において、

各フリップフロップに対応するように設けられた白色表示機能部を更に備え、

前記ｍ個のフリップフロップに対応するｍ個のデータが前記入力データとして前記シフトレジスタに与えられ、

前記白色表示機能部は、前記ｍ個のデータがそれぞれ対応するフリップフロップに含まれる前記第１ラッチ部に前記転送用データとして保持されるまでの期間、各画素の表示状態を白色表示で維持すること特徴とする。

【００１４】

本発明の第７の局面は、本発明の第６の局面において、

前記白色表示機能部は、

各画素の表示状態を白色表示で維持するか否かを示す指示信号に基づいて前記表示素子部に前記出力信号を与えるか否かを制御するための第１スイッチと、

前記指示信号に基づいて前記表示素子部に白色表示用の電圧を与えるか否かを制御するための第２スイッチと
を備え、

前記指示信号の論理値に応じて前記出力信号または前記白色表示用の電圧のいずれかが前記表示素子部に与えられることを特徴とする。

【００１５】

本発明の第８の局面は、本発明の第１の局面において、

制御信号に基づいて入力電圧の大きさを制御する電圧制御部を更に備え、

前記表示素子部において、画素の表示状態は、前記電圧選択部によって選択された電圧と所定の第3電圧との差に基づいて変化し、

前記電圧制御部は、前記入力電圧として前記第1電圧および前記第2電圧を受け取り、前記制御信号が予め定められたレベルになっている時に、前記第1電圧および前記第2電圧を前記第3電圧と同じ大きさにすることを特徴とする。

【0016】

本発明の第9の局面は、本発明の第1の局面において、

前記m個の画素および前記m個のフリップフロップはi行×j列のマトリクス状に構成され、

各行において隣接するフリップフロップは互いに接続され、

連続する任意の3行に着目したとき、1行目のj列目のフリップフロップと2行目のj列目のフリップフロップとが接続されるとともに2行目の1列目のフリップフロップと3行目の1列目のフリップフロップとが接続され、または、1行目の1列目のフリップフロップと2行目の1列目のフリップフロップとが接続されるとともに2行目のj列目のフリップフロップと3行目のj列目のフリップフロップとが接続されていることを特徴とする。

【0017】

本発明の第10の局面は、本発明の第1の局面において、

前記m個の画素および前記m個のフリップフロップはi行×j列のマトリクス状に構成され、

各行において隣接するフリップフロップは互いに接続され、

連続する任意の2行に着目したとき、1行目のj列目のフリップフロップと2行目の1列目のフリップフロップとが接続されていることを特徴とする。

【0018】

本発明の第11の局面は、本発明の第1の局面において、

各画素は、n個（nは2以上の整数）の副画素によって構成され、

前記フリップフロップは、各画素に含まれるn個の副画素にそれぞれ対応するように設けられ、

各画素に対応するn個のフリップフロップが互いに異なるシフトレジスタを構成するように、前記シフトレジスタはn個設けられ、

前記n個のシフトレジスタには、前記入力データとして互いに異なるデータが与えられることを特徴とする。

【0019】

本発明の第12の局面は、本発明の第11の局面において、

各画素に含まれるn個の副画素を形成するn個の画素電極の面積が互いに異なることを特徴とする。

【0020】

本発明の第13の局面は、本発明の第11の局面において、

各画素は、赤色、緑色、および青色にそれぞれ対応する3個の副画素によって構成され、

前記3個の副画素にそれぞれ対応する3個のシフトレジスタには、前記入力データとして赤色用のデータ、緑色用のデータ、および青色用のデータがそれぞれ与えられることを特徴とする。

【発明の効果】

【0021】

本発明の第1の局面によれば、表示装置には、各画素に対応するように設けられたフリップフロップが直列に接続されることによって構成されたシフトレジスタと、各フリップフロップからの出力信号に応じて2つの電圧のいずれかを選択する電圧選択部と、電圧選択部によって選択された電圧を各フリップフロップに対応する画素の表示状態に反映させるための表示素子部とが設けられている。フリップフロップは1ビットのデータの保持が

10

20

30

40

50

可能であるので、各フリップフロップにおいて、入力データを次段のフリップフロップに転送しつつ、当該入力データを電圧選択部に与えることにより対応する画素の表示状態を当該入力データに基づく表示状態にすることが可能となる。すなわち、従来の一般的な表示装置に設けられている駆動回路（走査信号線駆動回路、映像信号線駆動回路）を備えることなく、表示画像用のデータをシフトレジスタに与えることによって、シフトレジスタを構成する全てのフリップフロップ（すなわち各画素に対応するメモリ）に表示画像に対応するデータを与えることができる。ここで、各フリップフロップにおいてラッチされたデータの内容は次に書き換えられるまで保持されるので、不必要に電力が消費されることなく同じ内容の画像を表示し続けることが可能となる。以上より、従来と比較して回路面積を低減しつつ、メモリを用いた駆動による低消費電力化が可能な表示装置が実現される。

10

【 0 0 2 2 】

本発明の第 2 の局面によれば、本発明の第 1 の局面と同様、従来と比較して回路面積を低減しつつ、メモリを用いた駆動による低消費電力化が可能な表示装置が実現される。

【 0 0 2 3 】

本発明の第 3 の局面によれば、本発明の第 1 の局面と同様、従来と比較して回路面積を低減しつつ、メモリを用いた駆動による低消費電力化が可能な表示装置が実現される。

【 0 0 2 4 】

本発明の第 4 の局面によれば、各フリップフロップの第 1 ラッチ部は、1 個のクロックドインバータと 1 個の容量とによって構成されている。このため、比較的少ない数のトランジスタでフリップフロップが実現されるので、パネル基板上の回路面積を効果的に低減することが可能となる。

20

【 0 0 2 5 】

本発明の第 5 の局面によれば、シフトレジスタを構成する全てのフリップフロップに表示画像に対応するデータが保持された後、クロック信号の動作は停止する。このため、同じ内容の画像の表示が継続している期間中、クロック信号に起因する電力消費が無くなり、消費電力が効果的に低減される。

【 0 0 2 6 】

本発明の第 6 の局面によれば、シフトレジスタを構成するフリップフロップの全てに表示画像に基づくデータが保持されるまでの期間、全ての画素の表示状態は白色表示となる。このため、画像が表示される際あるいは画像の内容が変化する際には、全画面白色表示が行われた後、表示すべき画像が表示される。これにより、ノイズが視認されにくくなる。

30

【 0 0 2 7 】

本発明の第 7 の局面によれば、比較的簡易な構成の回路を備えることによって、画像が表示される際あるいは画像の内容が変化する際のノイズの発生が抑制される。

【 0 0 2 8 】

本発明の第 8 の局面によれば、シフトレジスタを構成するフリップフロップの全てに表示画像に基づくデータが保持されるまでの期間、制御信号を予め定められたレベルにしておくことによって、全ての画素の表示状態を白色表示（ノーマリーホワイト方式の場合）または黒色表示（ノーマリーブラック方式の場合）にすることが可能となる。このため、画像が表示される際あるいは画像の内容が変化する際、全画面白色表示または全画面黒色表示が行われた後に表示すべき画像を表示することが可能となる。これにより、ノイズが視認されにくくなる。

40

【 0 0 2 9 】

本発明の第 9 の局面によれば、隣接するフリップフロップ間を接続する配線の面積が小さくなるので、メモリを用いた駆動のための回路面積が効果的に低減される。

【 0 0 3 0 】

本発明の第 10 の局面によれば、画素およびフリップフロップがマトリクス状に配置されている表示装置において、シフトレジスタに与えられたデータは全ての行で同じ方向に

50

転送される。このため、各フリップフロップに保持されるべき表示画像用のデータの生成が容易となる。

【0031】

本発明の第11の局面によれば、1つの画素は複数個の副画素によって構成され、副画素毎に表示状態を白色表示または黒色表示にすることができる。これにより、メモリを用いた駆動による低消費電力化が可能な表示装置において、中間調表示が可能となる。

【0032】

本発明の第12の局面によれば、 n 個の画素電極についての面積比を調整することによって、中間調の明るさを調整することができる。また、 n 個の画素電極の面積を同じにする場合と比較して、表示可能な階調の数が大きくなる。

10

【0033】

本発明の第13の局面によれば、3個の副画素にそれぞれ対応するようカラーフィルタや色表示機能を備えることによって、カラー表示が可能となる。これにより、メモリを用いた駆動による低消費電力化が可能なカラー表示装置が実現される。

【図面の簡単な説明】

【0034】

【図1】本発明の一実施形態に係る液晶表示装置における画素メモリユニットの構成を示すブロック図である。

【図2】上記実施形態において、液晶表示装置の概略構成を示すブロック図である。

【図3】上記実施形態において、画素メモリ部の構成を示すブロック図である。

20

【図4】上記実施形態において、フリップフロップによって構成されるシフトレジスタについて説明するための図である。

【図5】上記実施形態において、フリップフロップの具体的な構成例を示す回路図である。

。

【図6】上記実施形態において、電圧選択部の具体的な構成例を示す回路図である。

【図7】上記実施形態において、画素メモリ部の駆動方法について説明するための信号波形図である。

【図8】上記実施形態において、画素メモリ部の駆動方法について説明するための信号波形図である。

【図9】上記実施形態において、液晶印加電圧と透過率との関係を示す図である。

30

【図10】上記実施形態における表示画像例を示す図である。

【図11】上記実施形態において、画素メモリ部の駆動方法について説明するための信号波形図である。

【図12】上記実施形態における表示画像例を示す図である。

【図13】上記実施形態の第1の変形例における画素メモリ部の構成を示すブロック図である。

【図14】上記実施形態の第2の変形例における画素メモリ部の構成を示すブロック図である。

【図15】上記実施形態の第3の変形例における画素メモリ部の構成を示すブロック図である。

40

【図16】AおよびBは、上記実施形態の第3の変形例において、2個の副画素の画素電極の面積を互いに異ならせる例を示す図である。

【図17】AおよびBは、上記実施形態の第3の変形例において、2個の副画素の画素電極の面積を互いに異ならせる例を示す図である。

【図18】上記実施形態の第4の変形例において、白色表示回路の具体的な構成例を示す回路図である。

【図19】上記実施形態の第5の変形例における画素メモリ部および電圧制御回路の構成を示すブロック図である。

【図20】上記実施形態の第5の変形例において、電圧制御回路の具体的な構成例を示す回路図である。

50

【図 2 1】上記実施形態の第 5 の変形例において、電圧制御回路の動作について説明するための信号波形図である。

【図 2 2】上記実施形態の第 6 の変形例において、フリップフロップの具体的な構成例を示す回路図である。

【図 2 3】従来のメモリ液晶ディスプレイの概略構成を示すブロック図である。

【図 2 4】日本の特開 2 0 0 7 - 2 8 6 2 3 7 号公報に開示された表示装置における画素メモリ回路の構成を示す回路図である。

【発明を実施するための形態】

【0035】

以下、添付図面を参照しつつ、本発明の一実施形態について説明する。

10

【0036】

< 1 . 液晶表示装置の概略構成 >

図 2 は、本発明の一実施形態に係る液晶表示装置の概略構成を示すブロック図である。図 2 に示すように、この液晶表示装置は、画素メモリ部 1 0 と端子部 1 9 とが形成されるパネル基板 1 0 0 と、パネル基板 1 0 0 の外部（例えばフレキシブル回路基板）に設けられる画素メモリ駆動部 2 0 0 とによって構成されている。画素メモリ部 1 0 には、 i 行 $\times$ j 列で構成された画素メモリユニット P M U が含まれている。なお、1 つの画素メモリユニット P M U が 1 画素分の構成要素となっている。画素メモリユニット P M U は 1 ビットのデータの保持が可能となっており、各画素メモリユニット P M U に保持されたデータの値に応じて画像が表示される。端子部 1 9 には、画素メモリ駆動部 2 0 0 からパネル基板 1 0 0 へと延びる信号配線とパネル基板 1 0 0 内に配設された信号配線とを接続するための端子が設けられている。画素メモリ駆動部 2 0 0 は、画素メモリユニット P M U を動作させるための信号等を画素メモリ部 1 0 に供給する。なお、以下においては、画素メモリ部 1 0 は 9 個（3 行 $\times$ 3 列）の画素メモリユニット P M U からなるものと仮定する。

20

【0037】

図 3 は、画素メモリ部 1 0 の構成を示すブロック図である。図 3 に示すように、画素メモリ部 1 0 には 9 個の画素メモリユニット P M U (1) ~ P M U (9) が含まれている。それら全ての画素メモリユニット P M U (1) ~ P M U (9) には、共通的に、2 相のクロック信号 C K , C K B と、画素の表示状態を白色表示にするための白色表示用電圧 V W と、画素の表示状態を黒色表示にするための黒色表示用電圧 V B L とが与えられる。また、画素メモリユニット P M U (1) には、画素の表示状態を指定するための表示用データ D A T A が与えられる。

30

【0038】

ところで、各画素メモリユニット P M U には、1 ビットのデータを保持することができるフリップフロップが含まれている。そして、画素メモリユニット P M U (1) ~ P M U (9) のそれぞれに含まれるフリップフロップ 1 1 (1) ~ 1 1 (9) が図 4 に示すように直列に接続されることによって、シフトレジスタ 1 1 0 が構成されている。従って、画素メモリユニット P M U (1) に与えられた表示用データ D A T A は、クロック信号 C K , C K B に基づいて、画素メモリユニット P M U (2) ~ P M U (9) に順次に転送される。

40

【0039】

また、本実施形態においては、図 3 に示すように、1 行目の 3 列目の画素メモリユニット P M U (3) 内のフリップフロップと 2 行目の 3 列目の画素メモリユニット P M U (4) 内のフリップフロップとが接続され、2 行目の 1 列目の画素メモリユニット P M U (6) 内のフリップフロップと 3 行目の 1 列目の画素メモリユニット P M U (7) 内のフリップフロップとが接続されている。

【0040】

< 2 . 画素メモリユニットの構成および動作概要 >

図 1 は、画素メモリユニット P M U の構成を示すブロック図である。図 1 に示すように、画素メモリユニット P M U は、フリップフロップ 1 1 と電圧選択部 1 2 と液晶容量 1 3

50

とを備えている。フリップフロップ 11 は、信号 Q_n （前段のフリップフロップ 11 からの出力信号）を入力信号として受け取り、クロック信号 CK 、 CKB に基づき「信号 $Q_n + 1$ 」と「信号 $Q_n + 1$ の論理反転信号」とを出力信号として出力する。なお、以下においては、「信号 $Q_n + 1$ の論理反転信号」のことを「信号 $Q_n + 1B$ 」と表す。電圧選択部 12 は、信号 $Q_n + 1$ と信号 $Q_n + 1B$ とに基づいて白色表示用電圧 VW または黒色表示用電圧 VB_L のいずれかを選択し、その選択した電圧を画素電極電圧 VL_C として出力する。液晶容量 13 は画素電極と共通電極とによって形成されており、画素電極電圧 VL_C と共通電極電圧 V_{COM} との差に応じて画素の表示状態が変化する。

【0041】

図 5 は、フリップフロップ 11 の具体的な構成例を示す回路図である。このフリップフロップ 11 は、信号 Q_n を取り込んで転送用データとして保持するための第 1 ラッチ部 111 と、転送用データを取り込んで出力用データとして保持するとともに出力用データに基づいて信号 $Q_n + 1$ と信号 $Q_n + 1B$ とを出力するための第 2 ラッチ部 112 とによって構成されている。

【0042】

第 1 ラッチ部 111 は、入力端子に信号 Q_n が与えられるクロックドインバータ（以下、「第 1 クロックドインバータ」という。）141 と、入力端子が第 1 クロックドインバータ 141 の出力端子に接続されたインバータ（以下、「第 1 インバータ」という。）142 と、入力端子が第 1 インバータ 142 の出力端子に接続されるとともに出力端子が第 1 インバータ 142 の入力端子に接続されたクロックドインバータ（以下、「第 2 クロックドインバータ」という。）143 とによって構成されている。なお、第 1 インバータ 142 の出力端子は、後述する第 3 クロックドインバータ 146 の入力端子にも接続されている。

【0043】

第 2 ラッチ部 112 は、入力端子が第 1 インバータ 142 の出力端子に接続されたクロックドインバータ（以下、「第 3 クロックドインバータ」という。）146 と、入力端子が第 3 クロックドインバータ 146 の出力端子に接続されたインバータ（以下、「第 2 インバータ」という。）147 と、入力端子が第 2 インバータ 147 の出力端子に接続されるとともに出力端子が第 2 インバータ 147 の入力端子に接続されたクロックドインバータ（以下、「第 4 クロックドインバータ」という。）148 とによって構成されている。なお、信号 $Q_n + 1$ は第 2 インバータ 147 の出力端子から出力され、信号 $Q_n + 1B$ は第 4 クロックドインバータ 148 の出力端子から出力される。

【0044】

なお、第 1 クロックドインバータ 141 および第 4 クロックドインバータ 148 については、クロック信号 CK がハイレベルかつクロック信号 CKB がローレベルの時にはインバータとして機能し、クロック信号 CK がローレベルかつクロック信号 CKB がハイレベルの時には入力端子 - 出力端子間が電氣的に切り離される。また、第 2 クロックドインバータ 143 および第 3 クロックドインバータ 146 については、クロック信号 CK がハイレベルかつクロック信号 CKB がローレベルの時には入力端子 - 出力端子間が電氣的に切り離され、クロック信号 CK がローレベルかつクロック信号 CKB がハイレベルの時にはインバータとして機能する。

【0045】

以上のような構成により、このフリップフロップ 11 では、クロック信号 CK がハイレベルかつクロック信号 CKB がローレベルとなっている期間中に与えられる信号 Q_n の値が転送用データとして第 1 ラッチ部 111 に保持される。そして、クロック信号 CK がハイレベルからローレベルに変化し、かつ、クロック信号 CKB がローレベルからハイレベルに変化するタイミングで、転送用データとして第 1 ラッチ部 111 に保持されている信号 Q_n の値が信号 $Q_n + 1$ の波形として現れる。また、転送用データは第 2 ラッチ部 112 に保持されるため、信号 $Q_n + 1$ の波形は、次に、クロック信号 CK がハイレベルからローレベルに変化し、かつ、クロック信号 CKB がローレベルからハイレベルに変化する

10

20

30

40

50

時点まで維持される。

【 0 0 4 6 】

図 6 は、電圧選択部 1 2 の具体的な構成例を示す回路図である。この電圧選択部 1 2 には、P 型 T F T と N 型 T F T とからなる C M O S スイッチ 1 2 1 , 1 2 2 が含まれている。C M O S スイッチ 1 2 1 については、入力端子には白色表示用電圧 V W が与えられ、出力端子は画素電極に接続されている。C M O S スイッチ 1 2 1 の N 型 T F T のゲート端子には信号 Q_{n+1} が与えられ、C M O S スイッチ 1 2 1 の P 型 T F T のゲート端子には信号 $Q_{n+1} B$ が与えられる。C M O S スイッチ 1 2 2 については、入力端子には黒色表示用電圧 V B L が与えられ、出力端子は画素電極に接続されている。C M O S スイッチ 1 2 2 の N 型 T F T のゲート端子には信号 $Q_{n+1} B$ が与えられ、C M O S スイッチ 1 2 2 の P 型 T F T のゲート端子には信号 Q_{n+1} が与えられる。以上のような構成により、信号 Q_{n+1} がハイレベルかつ信号 $Q_{n+1} B$ がローレベルの時には、C M O S スイッチ 1 2 1 がオン状態かつ C M O S スイッチ 1 2 2 がオフ状態となり、白色表示用電圧 V W が画素電極に与えられる。一方、信号 Q_{n+1} がローレベルかつ信号 $Q_{n+1} B$ がハイレベルの時には、C M O S スイッチ 1 2 1 がオフ状態かつ C M O S スイッチ 1 2 2 がオン状態となり、黒色表示用電圧 V B L が画素電極に与えられる。

10

【 0 0 4 7 】

< 3 . 駆動方法 >

【 0 0 4 8 】

次に、図 4 および図 7 を参照しつつ、本実施形態における画素メモリ部 1 0 の駆動方法について説明する。なお、図 7 に示す信号波形図の先頭の波形に付した符号は、各時点に表示用データ D A T A によってフリップフロップ 1 1 (1) に入力されている 1 ビットのデータを本説明において識別するための符号である。図 7 では、例えば、時点 t_5 から時点 t_6 までの期間には表示用データ D A T A によって「データ D 5」がフリップフロップ 1 1 (1) に入力されることが示されている。

20

【 0 0 4 9 】

時点 t_1 においては、表示用データ D A T A としてデータ D 1 がフリップフロップ 1 1 (1) に入力されている。時点 t_1 には、クロック信号 C K がハイレベルからローレベルに変化し、かつ、クロック信号 C K B がローレベルからハイレベルに変化する。このため、データ D 1 の値に基づいて、フリップフロップ 1 1 (1) の出力信号 Q 1 がハイレベルとなる。なお、出力信号 Q 1 は、電圧選択部 1 2 (図 6 参照) に与えられるとともに、フリップフロップ 1 1 (2) にも与えられる。

30

【 0 0 5 0 】

時点 t_2 においては、表示用データ D A T A としてデータ D 2 がフリップフロップ 1 1 (1) に入力されている。フリップフロップ 1 1 (1) からの出力信号 Q 1 はフリップフロップ 1 1 (2) に与えられているので、この時、データ D 1 がフリップフロップ 1 1 (2) に入力されている。また、時点 t_2 には、時点 t_1 と同様、クロック信号 C K がハイレベルからローレベルに変化し、かつ、クロック信号 C K B がローレベルからハイレベルに変化する。これにより、データ D 2 の値に基づいて、フリップフロップ 1 1 (1) の出力信号 Q 1 はハイレベルで維持され、データ D 1 の値に基づいて、フリップフロップ 1 1 (2) の出力信号 Q 2 はハイレベルとなる。

40

【 0 0 5 1 】

以上のようにして、時点 t_3 以降においても、表示用データ D A T A としてフリップフロップ 1 1 (1) に入力されたデータが順次にフリップフロップ 1 1 (2) ~ 1 1 (9) へと転送されていく。これにより、表示用データ D A T A としてのデータ D 1 ~ D 9 のフリップフロップ 1 1 (1) への入力の終了後には、フリップフロップ 1 1 (1) の出力信号 Q 1 のレベルはデータ D 9 に基づくレベルとなり、フリップフロップ 1 1 (2) の出力信号 Q 2 のレベルはデータ D 8 に基づくレベルとなり、・・・、フリップフロップ 1 1 (9) の出力信号 Q 9 のレベルはデータ D 1 に基づくレベルとなる。なお、表示用データ D A T A としてのデータ D 1 ~ D 9 の全てが、対応するフリップフロップ内の第 1 ラッチ部

50

1 1 1 に保持された後、クロック信号 C K , C K B の動作は停止する。

【 0 0 5 2 】

フリップフロップ 1 1 (1) ~ 1 1 (9) からは上記出力信号 Q 1 ~ Q 9 およびそれらの論理反転信号が出力される。それらの信号は、各フリップフロップ 1 1 に対応する電圧選択部 1 2 に与えられる。ここで、図 8 を参照しつつ、電圧選択部 1 2 に与えられる白色表示用電圧 V W および黒色表示用電圧 V B L の波形について説明する。共通電極電圧 V C O M については所定期間毎にハイレベルとローレベルとが交互に繰り返されている。白色表示用電圧 V W と共通電極電圧 V C O M とは位相が同じにされている。黒色表示用電圧 V B L と共通電極電圧 V C O M とは位相が 1 8 0 度ずらされている。白色表示用電圧 V W および黒色表示用電圧 V B L のハイレベル側の電位は共通電極電圧 V C O M のハイレベル側の電位とほぼ等しくされている。白色表示用電圧 V W および黒色表示用電圧 V B L のローレベル側の電位は共通電極電圧 V C O M のローレベル側の電位とほぼ等しくされている。以上より、白色表示用電圧 V W の電位と共通電極電圧 V C O M の電位との差はほぼ 0 で維持される。一方、黒色表示用電圧 V B L の電位と共通電極電圧 V C O M の電位との差は黒色表示用電圧 V B L の振幅にほぼ相当する大きさに維持される。

10

【 0 0 5 3 】

図 9 は、液晶印加電圧と透過率との関係を示す図である。なお、図 9 に示す関係は、ノーマリーホワイト方式が採用されている液晶表示装置におけるものである。図 9 より、液晶印加電圧が小さいほど透過率は大きくなって液晶印加電圧が大きいほど透過率が小さくなるのが把握される。図 9 において、電圧 V a は白色表示用電圧 V W の電位と共通電極電圧 V C O M の電位との差に相当し、電圧 V b は黒色表示用電圧 V B L の電位と共通電極電圧 V C O M の電位との差に相当する。また、上述したように、信号 Q n + 1 がハイレベルかつ信号 Q n + 1 B がローレベルの時には白色表示用電圧 V W が画素電極に与えられ、信号 Q n + 1 がローレベルかつ信号 Q n + 1 B がハイレベルの時には黒色表示用電圧 V B L が画素電極に与えられる（図 6 参照）。画素電極に白色表示用電圧 V W が与えられた画素メモリユニット P M U においては画素の表示状態が白色表示とされる。画素電極に黒色表示用電圧 V B L が与えられた画素メモリユニット P M U においては画素の表示状態が黒色表示とされる。

20

【 0 0 5 4 】

以上より、図 7 に示したような波形の表示用データ D A T A が画素メモリ駆動部 2 0 0 から画素メモリ部 1 0 に与えられたときには、フリップフロップ 1 1 (1) , 1 1 (4) , 1 1 (5) , 1 1 (7) , 1 1 (8) , および 1 1 (9) の出力信号 Q 1 , Q 4 , Q 5 , Q 7 , Q 8 , および Q 9 はハイレベルとなり、フリップフロップ 1 1 (2) , 1 1 (3) , および 1 1 (6) の出力信号 Q 2 , Q 3 , および Q 6 はローレベルとなる。その結果、図 1 0 に示すように、画素メモリユニット P M U (1) , P M U (4) , P M U (5) , P M U (7) , P M U (8) , および P M U (9) に対応する画素の表示状態は白色表示となり、画素メモリユニット P M U (2) , P M U (3) , および P M U (6) に対応する画素の表示状態は黒色表示となる。

30

【 0 0 5 5 】

また、図 1 1 に示すような波形の表示用データ D A T A が画素メモリ駆動部 2 0 0 から画素メモリ部 1 0 に与えられたときには、フリップフロップ 1 1 (2) , 1 1 (4) , 1 1 (6) , および 1 1 (8) の出力信号 Q 2 , Q 4 , Q 6 , および Q 8 はハイレベルとなり、フリップフロップ 1 1 (1) , 1 1 (3) , 1 1 (5) , 1 1 (7) , および 1 1 (9) の出力信号 Q 1 , Q 3 , Q 5 , Q 7 , および Q 9 はローレベルとなる。その結果、図 1 2 に示すように、画素メモリユニット P M U (2) , P M U (4) , P M U (6) , および P M U (8) に対応する画素の表示状態は白色表示となり、画素メモリユニット P M U (1) , P M U (3) , P M U (5) , P M U (7) , および P M U (9) に対応する画素の表示状態は黒色表示となる。

40

【 0 0 5 6 】

< 4 . 効果 >

50

本実施形態によれば、各画素メモリユニットPMUに対応するように、画素メモリユニットPMU内のフリップフロップ11からの出力信号に応じて白色表示用電圧VWまたは黒色表示用電圧VBLのいずれかを選択する電圧選択部12と、電圧選択部12によって選択された電圧を各フリップフロップ11に対応する画素の表示状態に反映させるための液晶容量13とが設けられている。また、画素メモリ部10内の複数の画素メモリユニットPMUのそれぞれに含まれるフリップフロップ11が直列に接続されることによって、シフトレジスタ110が構成されている。フリップフロップ11は1ビットのデータの保持が可能であるので、各フリップフロップ11において、入力データを次段のフリップフロップ11に転送しつつ、対応する画素の表示状態を入力データに基づく表示状態にすることが可能となる。すなわち、ゲートドライバやソースドライバを備えることなく、シフトレジスタ110に表示用データDATAを与えることによって全ての画素メモリユニットPMU内のフリップフロップ11に表示画像に対応するデータを与えることができる。各フリップフロップ11においてラッチされたデータの内容は次に書き換えられるまで保持されるので、不必要に電力が消費されることなく同じ内容の画像を表示し続けることが可能となる。以上のように、従来と比較してパネル基板上の回路面積を低減しつつ、メモリを用いた駆動による低消費電力化が可能な液晶表示装置が実現される。

10

20

30

40

50

【0057】

また、本実施形態によれば、全ての画素メモリユニットPMU内のフリップフロップ11に表示画像に対応するデータが保持された後、クロック信号CK, CKBの動作は停止する。このため、同じ内容の画像の表示が継続している期間中、クロック信号CK, CKBに起因する電力消費が無くなり、消費電力が効果的に低減される。

【0058】

< 5. 変形例 >

以下、上記実施形態の変形例について説明する。

【0059】

< 5. 1 第1の変形例 >

図13は、上記実施形態の第1の変形例における画素メモリ部10の構成を示すブロック図である。本変形例においては、1行目の3列目の画素メモリユニットPMU(13)内のフリップフロップ11と2行目の1列目の画素メモリユニットPMU(14)内のフリップフロップ11とが接続され、2行目の3列目の画素メモリユニットPMU(16)内のフリップフロップ11と3行目の1列目の画素メモリユニットPMU(17)内のフリップフロップ11とが接続されている。従って、表示用データDATAは全ての行で同じ方向に転送される。このため、奇数行目と偶数行目とで表示用データDATAの転送方向が異なる上記実施形態と比較して、表示用データDATAの生成が容易となる。

【0060】

< 5. 2 第2の変形例 >

図14は、上記実施形態の第2の変形例における画素メモリ部10の構成を示すブロック図である。本変形例においては、画素メモリ部10に含まれる全ての画素メモリユニットPMU内のフリップフロップ11によって1つのシフトレジスタが構成されるのではなく、各行の全ての画素メモリユニットPMU内のフリップフロップ11によって1つのシフトレジスタが構成されている。従って、本変形例においては、画素メモリ部10には3つのシフトレジスタが含まれている。また、本変形例においては、表示用データDATAをサンプリングするためのサンプリング回路15が画素メモリ部10内に設けられている。このサンプリング回路15は、画素メモリユニットPMU(21)~PMU(23)内のフリップフロップ11に保持されるべきデータが表示用データDATAとして与えられている時には当該表示用データDATAを画素メモリユニットPMU(21)に与え、画素メモリユニットPMU(24)~PMU(26)内のフリップフロップ11に保持されるべきデータが表示用データDATAとして与えられている時には当該表示用データDATAを画素メモリユニットPMU(24)に与え、画素メモリユニットPMU(27)~PMU(29)内のフリップフロップ11に保持されるべきデータが表示用データDATA

Aとして与えられている時には当該表示用データDATAを画素メモリユニットPMU(27)に与える。このようにして、本変形例によっても、表示画像に対応するデータを画素メモリ部10に含まれる全ての画素メモリユニットPMU内のフリップフロップ11に格納することができる。

【0061】

< 5.3 第3の変形例 >

図15は、上記実施形態の第3の変形例における画素メモリ部10の構成を示すブロック図である。本変形例においては、1つの画素は2つの副画素によって構成されている。なお、ここでは、一方の副画素に対応して設けられている画素メモリユニットのことを「第1画素メモリユニット」といい、他方の副画素に対応して設けられている画素メモリユニットのことを「第2画素メモリユニット」という。

10

【0062】

図15に示すように、画素メモリ部10には9個の第1画素メモリユニットPMU1(1)~PMU1(9)と9個の第2画素メモリユニットPMU2(1)~PMU2(9)とが含まれている。クロック信号CK,CKB,白色表示用電圧VW,および黒色表示用電圧VBLについては、第1画素メモリユニットPMU1(1)~PMU1(9)および第2画素メモリユニットPMU2(1)~PMU2(9)に共通的に与えられる。表示用データについては、第1画素メモリユニットPMU1(1)と第2画素メモリユニットPMU2(1)とに異なるデータが与えられる。図15においては、第1画素メモリユニットPMU1(1)に与えられる表示用データには符号DATA1を付し、第2画素メモリユニットPMU2(1)に与えられる表示用データには符号DATA2を付している。また、第1画素メモリユニットPMU1(1)~PMU1(9)に含まれるフリップフロップによって1つのシフトレジスタが構成され、第2画素メモリユニットPMU2(1)~PMU2(9)に含まれるフリップフロップによって別の1つのシフトレジスタが構成されている。すなわち、本変形例においては、2系統のシフトレジスタが設けられている。

20

【0063】

このような構成において、第1画素メモリユニットPMU1(1)~PMU1(9)内のフリップフロップおよび第2画素メモリユニットPMU2(1)~PMU2(9)内のフリップフロップに上記実施形態と同様にして1ビットのデータを保持させることによって、各画素について、第1画素メモリユニットPMU1に対応する副画素(以下、「第1副画素」という。)の表示状態と第2画素メモリユニットPMU2に対応する副画素(以下、「第2副画素」という。)の表示状態とを独立して制御することが可能となる。このため、本変形例によると、中間調表示が可能となる。

30

【0064】

ところで、第1副画素を形成する画素電極と第2副画素を形成する画素電極との面積比を様々な値にすることによって、面積階調による様々な中間調表示が可能となる。例えば、第1副画素を形成する画素電極E1と第2副画素を形成する画素電極E2とを図16Aに示すようにパネル基板上に形成することができる。このとき、画素電極E1については、第1画素メモリユニットPMU1内のフリップフロップに保持されたデータに基づく電圧が印加され、画素電極E2については、第2画素メモリユニットPMU2内のフリップフロップに保持されたデータに基づく電圧が印加される。画素電極E1に白色表示用電圧VWが印加され、画素電極E2に黒色表示用電圧VBLが印加された場合、画素の表示状態は図16Bに示すようなものとなる。ここで、画素電極E1および画素電極E2の双方に白色表示用電圧VWを印加することもできる。また、画素電極E1および画素電極E2の双方に黒色表示用電圧VBLを印加することもできる。さらに、画素電極E1に黒色表示用電圧VBLを印加して画素電極E2に白色表示用電圧VWを印加することもできる。このように、画素電極E1の面積と画素電極E2の面積とを異ならせることによって、4階調の階調表示が可能となる。

40

【0065】

また、例えば、図17Aに示すように、第2副画素を形成する画素電極E4が第1副画

50

素を形成する画素電極 E 3 に取り囲まれるよう、画素電極 E 3 と画素電極 E 4 とをパネル基板上に形成することもできる。ここで、画素電極 E 3 に白色表示用電圧 V W が印加され、画素電極 E 4 に黒色表示用電圧 V B L が印加された場合、画素の表示状態は図 1 7 B に示すようなものとなる。

【 0 0 6 6 】

なお、1つの画素内の副画素の構成については上述した例には限定されない。例えば、1つの画素が3個以上の副画素によって構成されていても良い。また、複数の副画素を形成する複数の画素電極について、面積比や位置関係をさまざまなものにすることができる。

【 0 0 6 7 】

さらに、カラーフィルタが形成されている表示装置や色表示機能を有する表示装置（例えば有機 E L 表示装置）において、1つの画素を3個の副画素によって構成し、それら3個の副画素に対応する3系統のシフトレジスタに R（赤色）、G（緑色）、および B（青色）のデータをそれぞれ与えるようにしても良い。これにより、カラー表示が可能となる。

【 0 0 6 8 】

< 5 . 4 第 4 の変形例 >

上記実施形態においては、表示用データ D A T A として1ビットのデータがフリップフロップ 1 1（1）に入力される毎に、9個の画素によって表示される画像が変化する。このような画像の変化はノイズとして視認される。そこで、本変形例においては、全てのフリップフロップ内の第1ラッチ部 1 1 1 にそれぞれ対応するデータが保持されるまでの期間、全ての画素の表示状態を白色表示とする回路（以下、「白色表示回路」という。）が設けられている。なお、本変形例においては、この白色表示回路によって白色表示機能が実現されている。

【 0 0 6 9 】

図 1 8 は、白色表示回路 1 6 の具体的な構成例を示す回路図である。この白色表示回路 1 6 は、P 型 T F T と N 型 T F T とからなる2個の C M O S スイッチ 1 6 1、1 6 2 と、1個のインバータ 1 6 3 とによって構成されている。C M O S スイッチ 1 6 1 については、入力端子には白色表示用電圧 V W が与えられ、出力端子は画素電極に接続されている。C M O S スイッチ 1 6 1 の N 型 T F T のゲート端子には指示信号 S が与えられ、C M O S スイッチ 1 6 1 の P 型 T F T のゲート端子はインバータ 1 6 3 の出力端子に接続されている。C M O S スイッチ 1 6 2 については、入力端子には信号 Q n + 1 が与えられ、出力端子は画素電極に接続されている。C M O S スイッチ 1 6 2 の N 型 T F T のゲート端子はインバータ 1 6 3 の出力端子に接続され、C M O S スイッチ 1 6 2 の P 型 T F T のゲート端子には指示信号 S が与えられている。インバータ 1 6 3 については、入力端子には指示信号 S が与えられ、出力端子は C M O S スイッチ 1 6 1 の P 型 T F T のゲート端子および C M O S スイッチ 1 6 2 の N 型 T F T のゲート端子に接続されている。

【 0 0 7 0 】

以上のような構成において、指示信号 S がハイレベルであれば、C M O S スイッチ 1 6 1 はオン状態となり、C M O S スイッチ 1 6 2 はオフ状態となる。これにより、白色表示用電圧 V W が画素電極に与えられる。一方、指示信号 S がローレベルであれば、C M O S スイッチ 1 6 1 はオフ状態となり、C M O S スイッチ 1 6 2 はオン状態となる。これにより、信号 Q n + 1（各フリップフロップからの出力信号 Q 1 ~ Q 9）が画素電極に与えられる。

【 0 0 7 1 】

ここで、全てのフリップフロップ内の第1ラッチ部 1 1 1 にそれぞれ対応するデータが保持されるまでの期間（図 7 および図 1 1 の時点 t 1 から時点 t 9 までの期間）には指示信号はハイレベルとされ、それ以降の期間（図 7 および図 1 1 の時点 t 9 以降の期間）には指示信号はローレベルとされる。このため、画像が表示される際あるいは画像の内容が変化する際には、全画面白色表示が行われた後、表示すべき画像が表示される。これによ

10

20

30

40

50

り、ノイズが視認されにくくなる。

【0072】

< 5.5 第5の変形例 >

上記第4の変形例においては、各画素に対応するように画素メモリ部10内に白色表示回路16が設けられていた。これに対して、本変形例においては、図19に示すように、全ての画素の表示状態を白色表示にするための構成要素として、画素メモリ部10の外部に電圧制御回路17が設けられている。電圧制御回路17には、白色表示用電圧VWin, 黒色表示用電圧VBLin, 共通電極電圧VCOMin, および制御信号Sが入力される。そして、電圧制御回路17は、制御信号Sに基づき、白色表示用電圧VW, 黒色表示用電圧VBL, および共通電極電圧VCOMを出力する。

10

【0073】

図20は、電圧制御回路17の具体的な構成例を示す回路図である。この電圧制御回路17は、1個のインバータ171と、P型TFTとN型TFTとからなる4個のCMOSSスイッチ172~175とによって構成されている。インバータ171については、入力端子には制御信号Sが与えられ、出力端子は、CMOSSスイッチ172のN型TFTのゲート端子, CMOSスイッチ173のP型TFTのゲート端子, CMOSスイッチ174のN型TFTのゲート端子, およびCMOSSスイッチ175のP型TFTのゲート端子に接続されている。CMOSSスイッチ172については、入力端子には白色表示用電圧VWinが与えられ、出力端子は白色表示用電圧VWを伝達するための配線に接続されている。CMOSSスイッチ172のN型TFTのゲート端子はインバータ171の出力端子に接続され、CMOSSスイッチ172のP型TFTのゲート端子には制御信号Sが与えられている。CMOSSスイッチ173については、入力端子には共通電極電圧VCOMinが与えられ、出力端子は白色表示用電圧VWを伝達するための配線に接続されている。CMOSSスイッチ173のP型TFTのゲート端子はインバータ171の出力端子に接続され、CMOSSスイッチ173のN型TFTのゲート端子には制御信号Sが与えられている。CMOSSスイッチ174については、入力端子には黒色表示用電圧VBLinが与えられ、出力端子は黒色表示用電圧VBLを伝達するための配線に接続されている。CMOSSスイッチ174のN型TFTのゲート端子はインバータ171の出力端子に接続され、CMOSSスイッチ174のP型TFTのゲート端子には制御信号Sが与えられている。CMOSSスイッチ175については、入力端子には共通電極電圧VCOMinが与えられ、出力端子は黒色表示用電圧VBLを伝達するための配線に接続されている。CMOSSスイッチ175のP型TFTのゲート端子はインバータ171の出力端子に接続され、CMOSSスイッチ175のN型TFTのゲート端子には制御信号Sが与えられている。

20

30

【0074】

以上のような構成において、制御信号Sがハイレベルであれば、CMOSSスイッチ173, 175はオン状態となり、CMOSSスイッチ172, 174はオフ状態となる。これにより、共通電極電圧VCOMinが白色表示用電圧VWとして画素メモリ部10に与えられるとともに、共通電極電圧VCOMinが黒色表示用電圧VBLとして画素メモリ部10に与えられる。このとき、白色表示用電圧VW, 黒色表示用電圧VBL, および共通電極電圧VCOMの大きさ(電位)が同じになるので、ノーマリーホワイト方式が採用されている液晶表示装置においては、全ての画素の表示状態は白色表示となる。一方、制御信号Sがローレベルであれば、CMOSSスイッチ172, 174はオン状態となり、CMOSSスイッチ173, 175はオフ状態となる。これにより、白色表示用電圧VWinが白色表示用電圧VWとして画素メモリ部10に与えられるとともに、黒色表示用電圧VBLinが黒色表示用電圧VBLとして画素メモリ部10に与えられる。このとき、画素の表示状態は、フリップフロップに保持されたデータに基づくものとなる。なお、ノーマリーブラック方式が採用されている液晶表示装置においては、制御信号Sがハイレベルとなっている時、全ての画素の表示状態は黒色表示となる。

40

【0075】

ここで、図21に示すように、全てのフリップフロップ内の第1ラッチ部111(図5

50

参照)にそれぞれ対応するデータが保持されるまでの期間については制御信号Sをハイレベルとし、それ以降の期間については制御信号Sをローレベルとすれば良い。これにより、上記第4の変形例と同様、画像が表示される際あるいは画像の内容が変化する際には、全画面白色表示が行われた後、表示すべき画像が表示される。これにより、ノイズが視認されにくくなる。さらに、本変形例においては、画素の表示状態を白色表示にするための回路を画素毎に備える必要はないので、比較的簡易な構成で画素の表示状態を制御することが可能となる。

【0076】

< 5.6 第6の変形例 >

図22は、上記実施形態の第6の変形例におけるフリップフロップの具体的な構成例を示す回路図である。このフリップフロップは、上記実施形態と同様、信号Q_nを取り込んで転送用データとして保持するための第1ラッチ部113と、転送用データを取り込んで出力用データとして保持するとともに出力用データに基づいて信号Q_{n+1}と信号Q_{n+1B}とを出力するための第2ラッチ部114とによって構成されている。

【0077】

第1ラッチ部113は、入力端子に信号Q_nが与えられる第1クロックインバータ141と、一端が第1クロックインバータ141の出力端子に接続され他端が接地された容量144とによって構成されている。なお、第1クロックインバータ141の出力端子は、後述する第3クロックインバータ146の入力端子にも接続されている。

【0078】

第2ラッチ部114は、入力端子が第1クロックインバータ141の出力端子に接続された第3クロックインバータ146と、入力端子が第3クロックインバータ146の出力端子に接続された第2インバータ147と、入力端子が第2インバータ147の出力端子に接続されるとともに出力端子が第2インバータ147の入力端子に接続された第4クロックインバータ148とによって構成されている。なお、信号Q_{n+1}は第3クロックインバータ146の出力端子から出力され、信号Q_{n+1B}は第2インバータ147の出力端子から出力される。

【0079】

以上のような構成により、このフリップフロップでは、クロック信号CKがハイレベルかつクロック信号CKBがローレベルとなっている期間中に与えられる信号Q_nの値に応じて容量144に電荷が蓄積される。本変形例においては、電荷の蓄積によって容量144の両端間に生じる電位差が転送用データとしての役割を果たす。そして、クロック信号CKがハイレベルからローレベルに変化し、かつ、クロック信号CKBがローレベルからハイレベルに変化するタイミングで、転送用データとして第1ラッチ部113に保持されている信号Q_nの値が信号Q_{n+1}の波形として現れる。また、転送用データは第2ラッチ部114に保持されるため、信号Q_{n+1}の波形は、次に、クロック信号CKがハイレベルからローレベルに変化し、かつ、クロック信号CKBがローレベルからハイレベルに変化する時点まで維持される。

【0080】

本変形例によれば、第1ラッチ部113に含まれるトランジスタの数が上記実施形態と比較して6個少ない。このため、パネル基板上の回路面積を更に低減しつつ、メモリを用いた駆動による低消費電力化を実現することのできる表示装置を安価に提供することが可能となる。

【0081】

< 6.その他 >

上記各実施形態においては液晶表示装置を例に挙げて説明したが、本発明はこれに限定されない。有機EL(Electro Luminescence)等の他の表示装置にも本発明を適用することができる。

【符号の説明】

【0082】

10

20

30

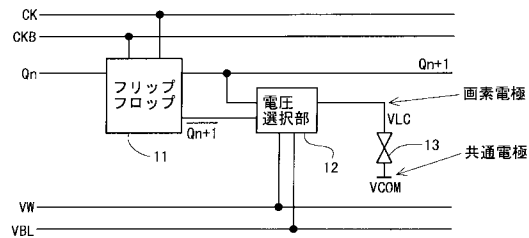
40

50

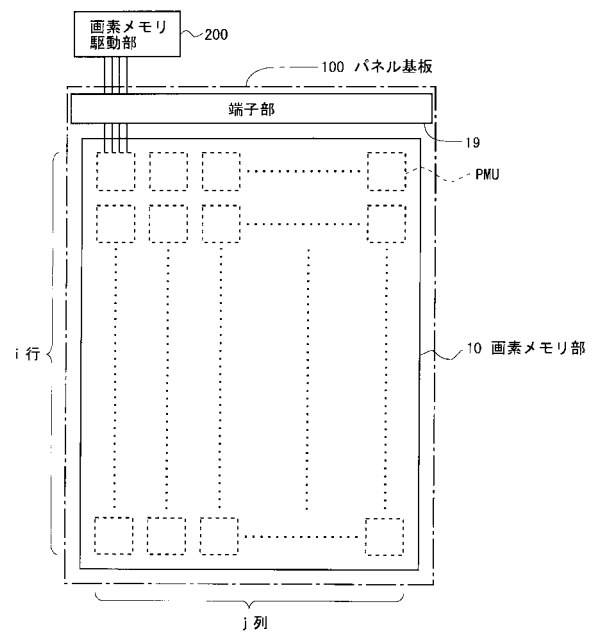
1 0 ... 画素メモリ部
 1 1 , 1 1 (1) ~ 1 1 (9) ... フリップフロップ
 1 2 ... 電圧選択部
 1 3 ... 液晶容量
 1 6 ... 白色表示回路
 1 7 ... 電圧制御回路
 1 9 ... 端子部
 1 0 0 ... パネル基板
 1 1 1 , 1 1 3 ... 第 1 ラッチ部
 1 1 2 , 1 1 4 ... 第 2 ラッチ部
 2 0 0 ... 画素メモリ駆動部
 P M U , P M U (1) ~ P M U (9) ... 画素メモリユニット
 C K , C K B ... クロック信号
 V B L ... 黒色表示用電圧
 V W ... 白色表示用電圧
 V C O M ... 共通電極電圧
 V L C ... 画素電極電圧

10

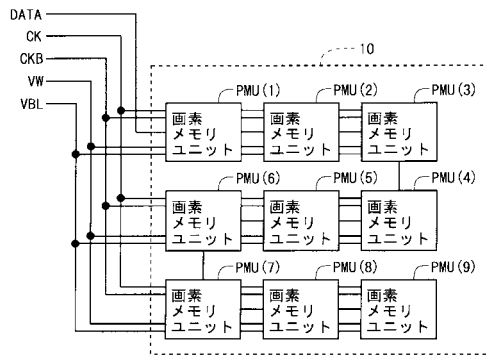
【 図 1 】



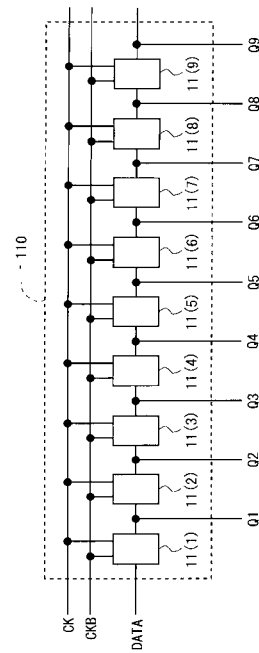
【 図 2 】



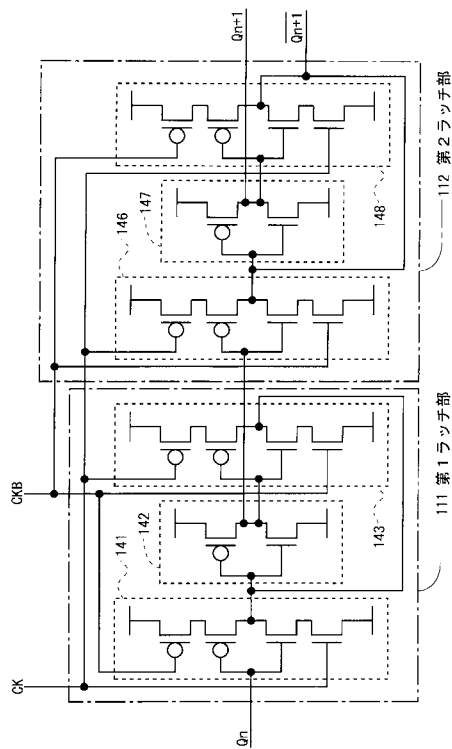
【図 3】



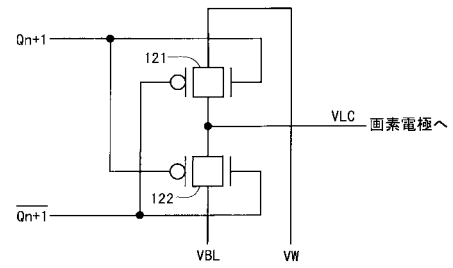
【図 4】



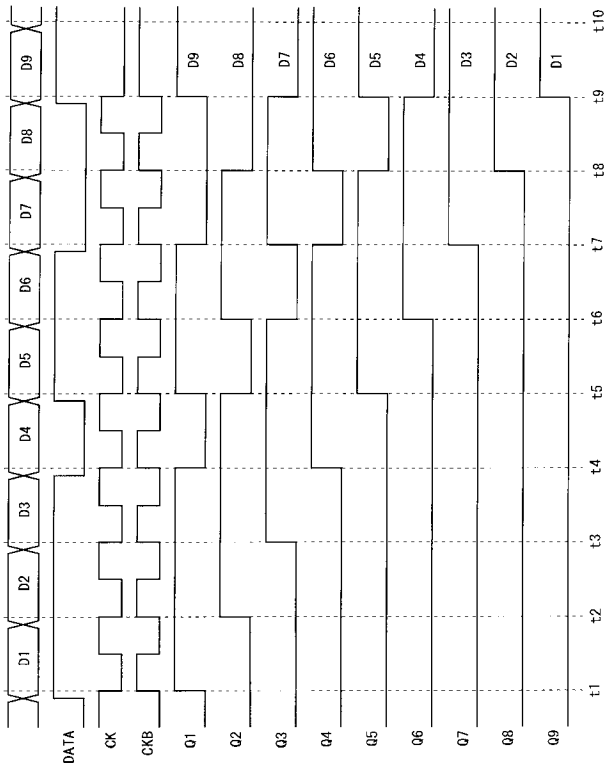
【図 5】



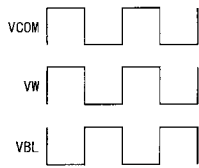
【図 6】



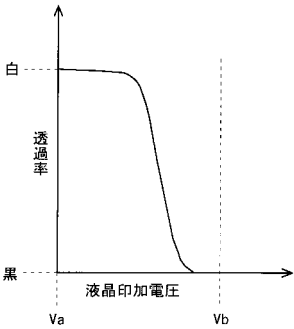
【 7 】



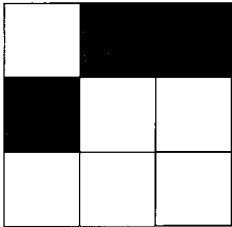
【 8 】



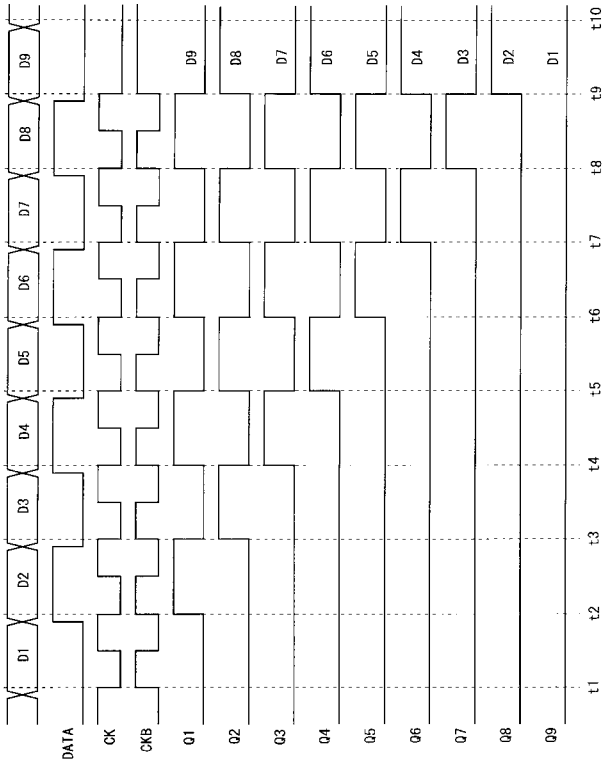
【 9 】



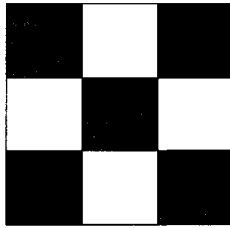
【 1 0 】



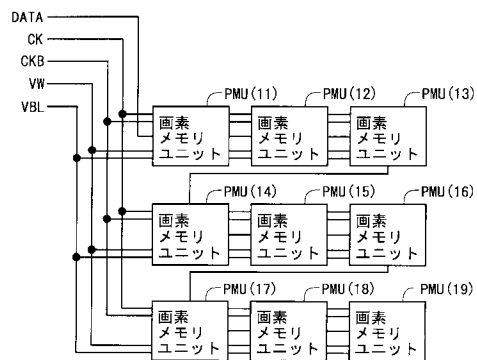
【 1 1 】



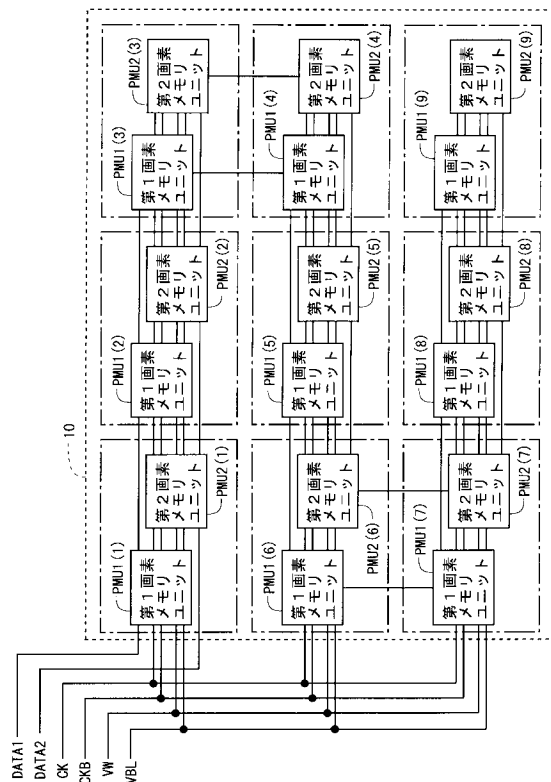
【図 1 2】



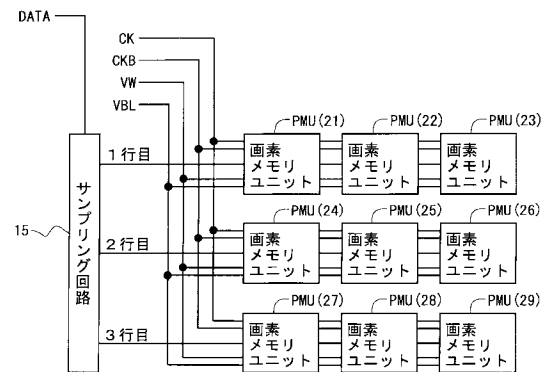
【図 1 3】



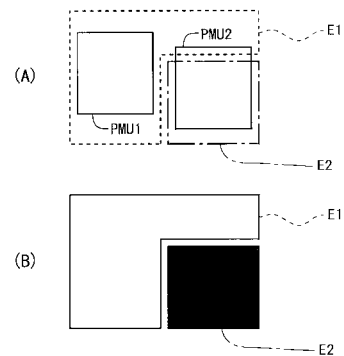
【図 1 5】



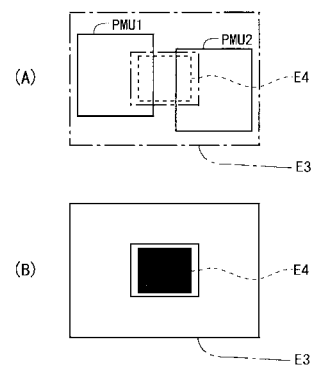
【図 1 4】



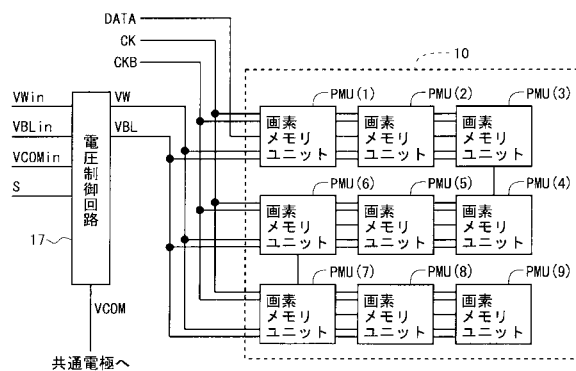
【図 1 6】



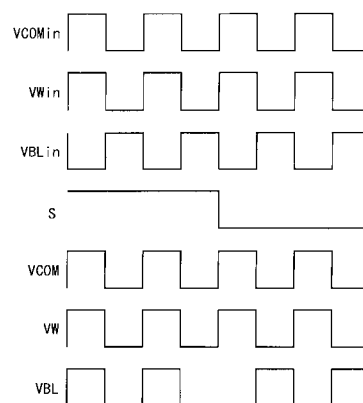
【図 1 7】



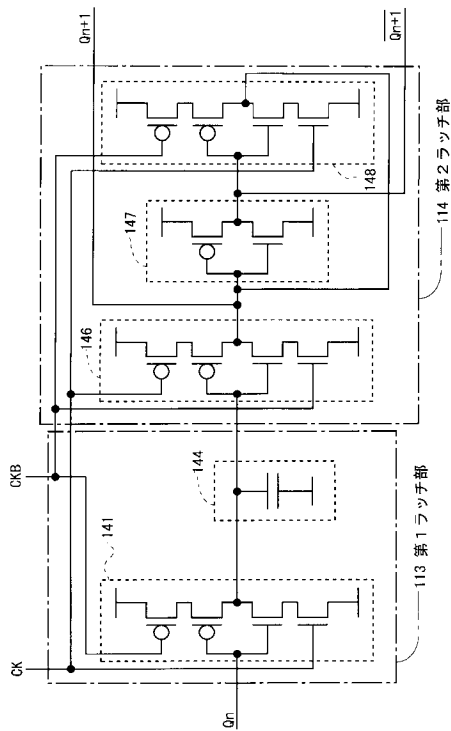
【 圖 1 9 】



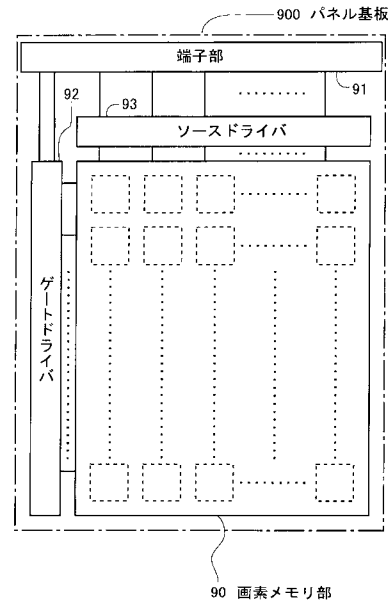
【 図 2 1 】



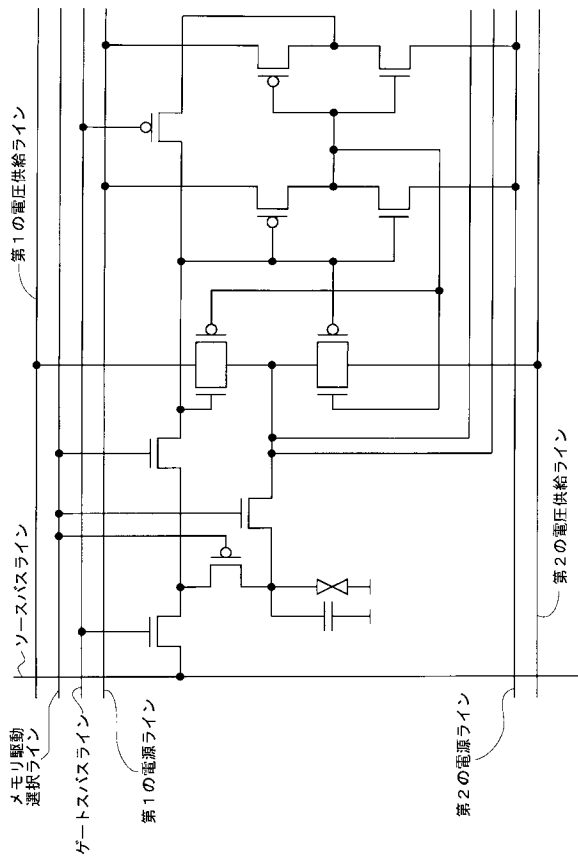
【図 2 2】



【図 2 3】



【図 2 4】



【手続補正書】

【提出日】平成24年9月4日(2012.9.4)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項1

【補正方法】変更

【補正の内容】

【請求項1】

m個(mは正の整数)の画素にそれぞれ対応するように設けられクロック信号に基づき入力データが順次に転送されるように直列に接続されたm個のフリップフロップからなるシフトレジスタと、

前記m個のフリップフロップと1対1で対応するように設けられ、第1電圧および第2電圧の2つだけの電圧から、各フリップフロップからの出力信号の論理値に応じて前記第1電圧または前記第2電圧のいずれかを選択するm個の電圧選択部と、

前記m個のフリップフロップと1対1で対応するように設けられ、前記電圧選択部によって選択された電圧を各フリップフロップに対応する画素の表示状態に反映させるためのm個の表示素子部と

を備えることを特徴とする、表示装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

本発明の第1の局面は、m個(mは正の整数)の画素にそれぞれ対応するように設けられクロック信号に基づき入力データが順次に転送されるように直列に接続されたm個のフリップフロップからなるシフトレジスタと、

前記m個のフリップフロップと1対1で対応するように設けられ、第1電圧および第2電圧の2つだけの電圧から、各フリップフロップからの出力信号の論理値に応じて前記第1電圧または前記第2電圧のいずれかを選択するm個の電圧選択部と、

前記m個のフリップフロップと1対1で対応するように設けられ、前記電圧選択部によって選択された電圧を各フリップフロップに対応する画素の表示状態に反映させるためのm個の表示素子部と

を備えることを特徴とする表示装置である。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/058764

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01) i, G02F1/133(2006.01) i, G09G3/20(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2004-334105 A (Seiko Epson Corp.), 25 November 2004 (25.11.2004), paragraphs [0076] to [0099]; fig. 8 & US 2005-0001803 A1 & US 2007-0296670 A1 & CN 1551063 A	1-2, 5, 8, 11-13 3-4

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 June, 2011 (17.06.11)Date of mailing of the international search report
28 June, 2011 (28.06.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/058764

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-5, 8 and 11-13

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/058764

Continuation of Box No.III of continuation of first sheet(2)

Invention group 1: The inventions in claims 1, 2, 3, 4, 5, 8, 11, 12 and 13

A display device wherein a shift register composed of m-number of flip-flops, a voltage selection section, and a display element section are provided, and each flip-flop includes a first latch section and a second latch section.

The inventions in claims 3 and 4 relate to the circuit configuration inside of a latch section, the invention in claim 5 relates to storage of well-known data in a latch section, the invention in claim 8 is the invention wherein merely a well-known technology of having a voltage value correspond to a predetermined value is applied, and the inventions in claims 11, 12 and 13 are the inventions wherein merely a well-known technology of dividing a pixel into sub-pixels that respectively correspond to red, green and blue, and having the sizes and the data of respective sub-pixels different from each other is applied. Therefore, the above-mentioned inventions are all classified into the invention group 1.

Invention group 2: The inventions in claims 6 and 7

A display device wherein a shift register composed of m-number of flip-flops, a voltage selection section, and a display element section are provided, and each flip-flop includes a first latch section and a second latch section, and a white color display functional section that corresponds to each flip-flop so as to correspond to each flop-flop is also provided.

Invention group 3: The inventions in claims 9 and 10

A display device wherein a shift register composed of m-number of flip-flops, a voltage selection section, and a display element section are provided, and m-number of pixels and m-number of flip-flops are configured in matrix of i rows and j columns.

Document 1 (JP 2004-334105 A (Seiko Epson Corp.), 25 November 2004 (25.11.2004) discloses a feature of having a shift register composed of a plurality of flip-flops, holding a plurality of voltage states, since gradation data is held in the flip-flops, and having the values that have been held in the flip-flops held in a latch section, and performing display by driving each data line. The document also discloses first and second data latching whereby input signals are taken in, and first and second line latching whereby the input signals are held as data to be outputted, and the data is outputted to the display section.

Therefore, the inventions in claims 1 and 2 do not appear to be novel to the inventions in document 1, and do not have a special technical feature. Judging from the special technical feature of the dependent claims of claim 1 at the time when the request of payment of additional search fees was made, the claims includes the three inventions (invention groups) as stated above.

The inventions not having a special technical feature in claims 1 and 2, the inventions in claims 3 and 4 having a special technical feature added to the inventions in claims 1 and 2, and the inventions in claims 5, 8 and 11-13, having merely the well-known technology applied to the inventions not having a special technical feature in claims 1 and 2 are all classified into the same invention group, i.e., the invention group 1.

国際調査報告		国際出願番号 PCT/JP2011/058764	
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G09G3/36, G02F1/133, G09G3/20			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2011年 日本国実用新案登録公報 1996-2011年 日本国登録実用新案公報 1994-2011年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X	JP 2004-334105 A（セイコーエプソン株式会社） 2004.11.25, 段落【0076】-【0099】、図8	1-2, 5, 8, 11-13	
A	& US 2005-0001803 A1 & US 2007-0296670 A1 & CN 1551063 A	3-4	
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 17.06.2011		国際調査報告の発送日 28.06.2011	
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 一宮 誠	2G 9511 電話番号 03-3581-1101 内線 3226

国際調査報告

国際出願番号 PCT/J P 2 0 1 1 / 0 5 8 7 6 4

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査することを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるときの国際調査機関は認めた。

特別ページに記載。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

請求項 1 - 5, 8, 11 - 13

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

様式PCT/ISA/210（第1ページの続葉（2））（2009年7月）

(第Ⅲ欄の続き)

発明1：請求項1，2，3，4，5，8，11，12，13に係る発明

m個のフリップフロップからなるシフトレジスタと、電圧選択部と、表示素子部とを備え、各フリップフロップが、第1ラッチ部と、第2ラッチ部とを含む表示装置。

なお、請求項3，4に係る発明は、いずれもラッチ部の内部の回路構成に関するものであり、請求項5に係る発明はラッチ部における周知のデータの保持に関するものであり、請求項8に係る発明は、電圧の値を所定の値に合わせるという周知技術を適用したものにすぎず、請求項11，12，13に係る発明は、画素を赤色、緑色、青色にそれぞれ対応する副画素に分け、それぞれの副画素の大きさやデータを異ならせるという周知技術を適用したものにすぎないため、いずれも発明1に区分する。

発明2：請求項6，7に係る発明

m個のフリップフロップからなるシフトレジスタと、電圧選択部と、表示素子部とを備え、各フリップフロップが、第1ラッチ部と、第2ラッチ部とを含み、各フリップフロップに対応するように設けられた白色表示機能部を更に備えた表示装置。

発明3：請求項9，10に係る発明

m個のフリップフロップからなるシフトレジスタと、電圧選択部と、表示素子部とを備え、m個の画素およびm個のフリップフロップが、i行×j列のマトリクス状に構成された表示装置。

文献1（JP 2004-334105 A（セイコーエプソン株式会社），2004.11.25）には、複数のフリップフロップからなるシフトレジスタを有し、各フリップフロップには階調データが保持されていることから、複数の電圧の状態を保持しており、そのフリップフロップに保持された値が、ラッチ部に保持されて、各データ線を駆動して表示を行うことが記載されている。また、入力信号を取り込む第1及び第2のデータラッチと、出力用データとして保持して表示部に出力する第1及び第2のラインラッチについても記載されている。

したがって、請求項1，2に係る発明は、文献1に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。そこで、請求項1の従属請求項について手数料の追加納付命令時点での特別な技術的特徴を判断すると、上記のように請求の範囲には3の発明（群）が含まれる。

なお、特別な技術的特徴を有しない請求項1，2に係る発明、それらに特別な技術的特徴を付加した請求項3，4に係る発明、特別な技術的特徴を有しない請求項1，2に係る発明に、単に周知技術を適用したものにすぎない、請求項5，8，11-13に係る発明は、いずれも同一の発明区分として発明1に区分する。

フロントページの続き

(51) Int. Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 8 0 H
G 0 2 F	1/133	5 5 0
G 0 2 F	1/1368	

(81) 指定国 AP (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, IL, IN, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

F ターム (参考) 2H193 ZA04 ZA19 ZB07 ZB16 ZD01 ZD11 ZD23 ZD27 ZF21 ZF32
ZF33 ZF43
5C006 AA22 AF11 BB16 BC06 BF03 BF04 BF06 BF27 BF34 BF50
FA32 FA41 FA47
5C080 AA06 AA10 BB05 CC03 DD01 DD12 DD23 DD26 FF11 HH09
JJ02 JJ03 JJ04

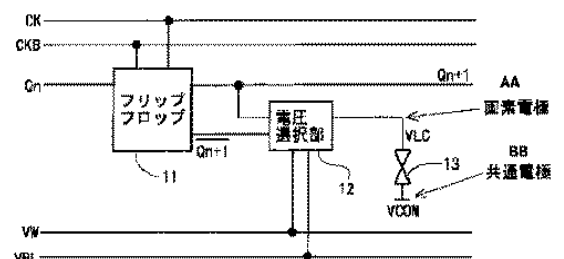
(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	表示装置		
公开(公告)号	JPWO2011152120A1	公开(公告)日	2013-07-25
申请号	JP2012518281	申请日	2011-04-07
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	鷲尾一		
发明人	鷲尾 一		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G02F1/1368		
CPC分类号	G09G3/2085 G09G3/3614 G09G3/3648 G09G2300/0857 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.R G09G3/20.611.A G09G3/20.611.C G09G3/20.622.E G09G3/20.623.H G09G3/20.623.G G09G3/20.624.B G09G3/20.621.M G09G3/20.680.H G02F1/133.550 G02F1/1368		
F-TERM分类号	2H092/GA21 2H092/GA50 2H092/GA60 2H092/JA23 2H092/JB43 2H092/NA26 2H092/PA06 2H193/ZA04 2H193/ZA19 2H193/ZB07 2H193/ZB16 2H193/ZD01 2H193/ZD11 2H193/ZD23 2H193/ZD27 2H193/ZF21 2H193/ZF32 2H193/ZF33 2H193/ZF43 5C006/AA22 5C006/AF11 5C006/BB16 5C006/BC06 5C006/BF03 5C006/BF04 5C006/BF06 5C006/BF27 5C006/BF34 5C006/BF50 5C006/FA32 5C006/FA41 5C006/FA47 5C080/AA06 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD12 5C080/DD23 5C080/DD26 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	岛田彰 川原贤治 川本悟		
优先权	2010125548 2010-06-01 JP		
其他公开文献	JP5631391B2		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种显示装置，该显示装置能够通过减小面板基板上的电路面积的同时通过使用存储器进行驱动来实现低功耗。在显示装置的像素存储部分中，根据触发器（11）和来自触发器（11）的输出信号（ $Q_n + 1$ ， $Q_n + 1B$ ）来执行白色显示，以对应于每个像素存储单元。选择电压（VW）或黑色显示电压（VBL）的电压选择单元（12），以及由电压选择单元（12）选择的电压被显示在与每个触发器（11）相对应的像素上。提供用于反射状态的液晶电容器（13）。此外，通过将像素存储单元中的多个像素存储单元的每一个中包括的触发器（11）串行连接来配置移位寄存器（110）。

【图1】



11 FLIP-FLOP
12 VOLTAGE SELECTING SECTION
AA PIXEL ELECTRODE
BB COMMON ELECTRODE