

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6514375号
(P6514375)

(45) 発行日 令和1年5月15日(2019.5.15)

(24) 登録日 平成31年4月19日(2019.4.19)

(51) Int.Cl. F I
GO2F 1/1368 (2006.01) GO2F 1/1368
GO2F 1/1343 (2006.01) GO2F 1/1343
HO1L 29/786 (2006.01) HO1L 29/78 618B

請求項の数 2 (全 58 頁)

<p>(21) 出願番号 特願2018-6106 (P2018-6106) (22) 出願日 平成30年1月18日 (2018.1.18) (62) 分割の表示 特願2016-177263 (P2016-177263) の分割 原出願日 平成22年12月1日 (2010.12.1) (65) 公開番号 特開2018-87994 (P2018-87994A) (43) 公開日 平成30年6月7日 (2018.6.7) 審査請求日 平成30年2月13日 (2018.2.13) (31) 優先権主張番号 特願2009-277088 (P2009-277088) (32) 優先日 平成21年12月4日 (2009.12.4) (33) 優先権主張国 日本国 (JP)</p>	<p>(73) 特許権者 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地 (72) 発明者 山崎 舜平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 (72) 発明者 木村 肇 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 (72) 発明者 西 毅 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 審査官 右田 昌士</p>
---	--

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

画素部と、駆動回路と、を有し、
前記画素部は、トランジスタと、表示素子と、を有し、
前記トランジスタは、酸化物半導体層と、ゲート絶縁膜と、ゲート電極と、を有し、
前記駆動回路は、前記画素部に信号を書き込む機能を有し、
前記画素部に静止画を表示させる際に前記駆動回路から前記表示素子に前記信号を書き込む頻度は、前記画素部に動画を表示させる際に前記駆動回路から前記表示素子に前記信号を書き込む頻度より低く、

前記トランジスタのオフ電流は、チャンネル幅 1 μm に換算し、ドレイン電圧が 1 V、ゲート電圧が - 5 V から - 20 V であるときに 1×10^{-17} A / μm 以下であることを特徴とする表示装置。

【請求項2】

請求項1において、
 前記酸化物半導体層は、In、Ga、及びZnを有することを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関する。または、当該表示装置を具備する電子機器に関する。

【背景技術】

【0002】

表示装置として、液晶表示装置や、エレクトロルミネッセンス素子を用いたエレクトロルミネッセンス表示装置（以下、「EL表示装置」という。）が知られている。液晶表示装置としては、ネマチック液晶と呼ばれる液晶を用いた表示装置が主流であるが、近年、ブルー相を示す液晶材料を用いた表示装置が注目されている（例えば、特許文献1参照）。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】国際公開第05/090520号パンフレット

10

【発明の概要】

【発明が解決しようとする課題】

【0004】

ブルー相を示す液晶材料を用いた表示装置は、高速応答性、高視野角、配向膜が不要であるといった特徴を有する。一方で、ブルー相を示す液晶材料を用いた表示装置は、他の液晶表示装置と比較して駆動電圧が非常に高いという課題がある。この結果、スイッチング素子としてトランジスタを用い、ブルー相を示す液晶材料を用いたアクティブマトリクス型の液晶表示装置の場合、トランジスタの高いドレイン耐圧を確保することが要求される。また、駆動電圧が非常に高いため、消費電力が大きくなってしまう。

【0005】

20

本発明の一態様は、ブルー相を示す液晶材料を利用した表示装置において、信頼性の高い表示装置を提供することを課題とする。または、ブルー相を示す液晶材料を利用した表示装置において、消費電力の低い表示装置を提供することを課題とする。なお、本発明の一態様は、上述した複数の課題のうち、少なくとも一つを解決することができればよい。

【課題を解決するための手段】

【0006】

上記問題を鑑み、本発明の一態様は、表示装置の各画素に、高純度の酸化物半導体を用いたトランジスタを少なくとも有することを特徴とする。ここで、本明細書における「高純度の酸化物半導体」は、酸化物半導体における水素が極力低減されているものであって、真性又は実質的に真性な半導体を指す。高純度の酸化物半導体の一例としては、含有する水素濃度が少なくとも $5 \times 10^{19} / \text{cm}^3$ 以下であって、好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} / \text{cm}^3$ 以下、または $1 \times 10^{16} / \text{cm}^3$ 未満である酸化物半導体である。そして、キャリア濃度が、 $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、または $6.0 \times 10^{10} / \text{cm}^3$ 未満である酸化物半導体膜をチャネル形成領域に用いてトランジスタを構成する。なお、酸化物半導体層中の水素濃度測定は、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectroscopy）で行えばよい。

30

【0007】

本発明の一態様は、トランジスタを含む画素が設けられた画素部を有する第1の基板と、前記第1の基板と対向する第2の基板と、前記第1の基板及び前記第2の基板の間に配置された液晶層とを有し、前記液晶層は、ブルー相を示す液晶材料を有し、前記トランジスタは、ゲートが走査線に電氣的に接続され、ソースまたはドレインの一方が信号線に電氣的に接続され、ソースまたはドレインの他方が電極に電氣的に接続され、前記トランジスタは、水素濃度が $5 \times 10^{19} / \text{cm}^3$ 以下である酸化物半導体層を有することを特徴とする表示装置である。

40

【0008】

また、本発明の一態様は、トランジスタを含む画素が設けられた画素部を有する第1の基板と、前記第1の基板と対向する第2の基板と、前記第1の基板及び前記第2の基板の間に配置された液晶層と、デジタルビデオ信号をアナログビデオ信号に変換する容量分割

50

型のデジタルアナログコンバータとを有し、前記液晶層は、ブルー相を示す液晶材料を有し、前記トランジスタは、ゲートが走査線に電氣的に接続され、ソースまたはドレインの一方が信号線に電氣的に接続され、ソースまたはドレインの他方が電極に電氣的に接続され、前記トランジスタは、水素濃度が $5 \times 10^{19} / \text{cm}^3$ 以下である酸化物半導体層を有し、前記アナログビデオ信号は、前記信号線及び前記トランジスタを介して前記電極に入力されることを特徴とする表示装置である。

【0009】

また、本発明の一態様は、前記表示装置が静止画像を表示する期間の間に、前記画素部に含まれる全ての走査線に供給される信号の出力が停止される期間を有することを特徴とする。

10

【0010】

また、本発明の一態様は、トランジスタを含む画素が設けられた画素部を有する第1の基板と、前記第1の基板と対向する第2の基板と、前記第1の基板及び前記第2の基板の間に配置された液晶層とを有し、前記液晶層は、ブルー相を示す液晶材料を有し、前記画素部を駆動する駆動回路部と、前記駆動回路部を駆動する制御信号、及び前記画素に供給する画像信号を生成する信号生成回路と、前記画像信号をフレーム期間毎に記憶する記憶回路と、前記記憶回路で前記フレーム期間毎に記憶された画像信号のうち、連続するフレーム期間の画像信号の差分を検出する比較回路と、前記比較回路で差分を検出した際に前記連続するフレーム期間の画像信号を選択して出力する選択回路と、前記比較回路で差分を検出した際に前記制御信号及び前記選択回路より出力される画像信号の前記駆動回路部への供給を行い、前記比較回路で差分を検出しない際に前記制御信号を前記駆動回路部への供給を停止する表示制御回路とを有し、前記トランジスタは、水素濃度が $5 \times 10^{19} / \text{cm}^3$ 以下である酸化物半導体層を有することを特徴とする表示装置である。

20

【0011】

また、本発明の一態様は、前記制御信号が、高電源電位、低電源電位、クロック信号、スタートパルス信号、またはリセット信号であることを特徴とする。

【0012】

また、本発明の一態様は、前記酸化物半導体層のキャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 未満であることを特徴とする。

【0013】

また、本発明の一態様は、前記酸化物半導体層のバンドギャップが 2 eV 以上であることを特徴とする。

30

【0014】

また、本発明の一態様は、前記ブルー相を示す液晶材料の固有抵抗は、 $1 \times 10^9 \text{ } \Omega \cdot \text{cm}$ 以上であることを特徴とする。

【0015】

また、本発明の一態様は、前記表示装置を具備する電子機器である。

【0016】

なお、本明細書において、「液晶材料」とは、液晶を含む混合物をさす。そして、ブルー相を示す液晶材料は、液晶及びカイラル剤を含む。液晶は、サーモトロピック液晶、低分子液晶、高分子液晶、強誘電液晶、または反強誘電液晶等を用いる。カイラル剤は、液晶を螺旋構造に配向させ、ブルー相を発現させるために用いる。例えば、5重量%以上のカイラル剤を混合させた液晶材料を液晶層に用いる。

40

【0017】

なお、トランジスタは、その構造上、ソースとドレインの区別が困難である。さらに、回路の動作によっては、電位の高低が入れ替わる場合もある。したがって、本明細書中では、ソースとドレインは特に特定せず、第1の電極（または第1端子）、第2の電極（または第2端子）と記述する。例えば、第1の電極がソースである場合には、第2の電極とはドレインを指し、逆に第1の電極がドレインである場合には、第2の電極とはソースを指すものとする。

50

【0018】

なお、本明細書において、「開口率」とは、単位面積に対し、光が通過する領域の面積の比率について表したものであり、光を透過しない部材が占める領域が広がると、開口率が低下し、光を透過する部材が占める領域が広がると開口率が向上することとなる。表示装置では、画素電極に重畳する配線、容量線の占める面積、及びトランジスタのサイズを小さくすることで開口率が向上することとなる。

【0019】

また、本明細書において、「AとBとが接続されている」と記載する場合は、AとBとが電氣的に接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合）と、AとBとが機能的に接続されている場合（つまり、AとBとの間に別の回路を挟んで機能的に接続されている場合）と、AとBとが直接接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。なお、A、Bは、それぞれ対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層等）であるものとする。

【0020】

また、本明細書にて用いる第1、第2、第3、乃至第N（Nは自然数）という序数は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。例えば、「第1のトランジスタ」と本明細書で記載していても、他の構成要素と混同を生じない範囲において「第2のトランジスタ」と読み替えることが可能である。

【発明の効果】

【0021】

本発明の一態様によれば、各画素に設けられるスイッチング素子として、高純度の酸化物半導体を用いたトランジスタを用いている。高純度の酸化物半導体を用いたトランジスタは、安定した電気特性を有している。例えば、100V以上、好ましくは500V、さらに好ましくは1kV以上のドレイン耐圧を有せしめることが可能である。このため、ブルー相を示す液晶材料を利用した表示装置のように駆動電圧が高い場合であっても、そのようなトランジスタを用いることにより、信頼性の高い表示装置を提供することができる。

【0022】

それに加えて、高純度の酸化物半導体を用いたトランジスタは、オフ電流を 1×10^{-16} A以下、好ましくは 1×10^{-17} A以下、さらに好ましくは 1×10^{-18} A以下に低減することができる。このため、保持容量で電圧を保持できる期間を長く取ることができるので、静止画像を表示する際の消費電力を抑制することができる。

【0023】

また、静止画像と動画像を判定し、静止画像を表示する期間において駆動回路部の動作を停止させることにより、表示装置の消費電力を更に抑制することができる。

【図面の簡単な説明】

【0024】

【図1】表示装置の構成の一例を示す図。

【図2】画素の構成の一例を示す等価回路図。

【図3】表示装置のブロック図の一例を示す図。

【図4】画素に対する書き込み期間と保持期間の関係をj示す図。

【図5】画素の構成の一例を示す断面図。

【図6】画素の構成の一例を示す断面図。

【図7】画素の構成の一例を示す断面図。

【図8】表示装置のブロック図の一例を示す図。

【図9】駆動回路の一例を示す図。

【図10】駆動回路のタイミングチャートを示す図。

【図11】駆動回路の一例を示す図。

【図12】駆動回路に供給される信号の供給及び停止の手順の一例を示す図。

10

20

30

40

50

- 【図 1 3】トランジスタの一例を示す平面図及び断面図。
 【図 1 4】トランジスタの作製方法の一例を示す断面図。
 【図 1 5】トランジスタの作製方法の一例を示す断面図。
 【図 1 6】トランジスタの作製方法の一例を示す断面図。
 【図 1 7】トランジスタの作製方法の一例を示す断面図。
 【図 1 8】液晶表示パネルの一例を示す平面図及び断面図。
 【図 1 9】電子機器を示す図。
 【図 2 0】電子機器を示す図。
 【図 2 1】エネルギーバンドを示す図。
 【図 2 2】酸化物半導体を用いたトランジスタを示す図。
 【図 2 3】エネルギーバンドを示す図。
 【図 2 4】エネルギーバンドを示す図。
 【図 2 5】トランジスタの電気特性を示す図。
 【図 2 6】ブルー相を示す液晶材料の電圧に対する透過率特性を示す図。
 【図 2 7】容量分割型のデジタルアナログコンバータの回路構成の一例を示す図。
 【発明を実施するための形態】

【 0 0 2 5 】

本発明の一態様に係る実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更しうることは当業者であれば容易に理解される。従って、実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の一態様において、同じ物を指し示す符号は異なる図面間において共通とする。

【 0 0 2 6 】

なお、以下に説明する実施の形態において、特に断りがない限り、本明細書に記載されている他の実施形態と適宜組み合わせる実施することが可能である。

【 0 0 2 7 】

(実施の形態 1)

本実施の形態では、本発明の一態様である表示装置の一例について説明する。特に、表示装置の画素部に設けられる画素の構成の一例について説明する。

【 0 0 2 8 】

図 1 は、本発明の一態様である表示装置の構成の一例を示す図である。図 1 に示すように、表示装置には、複数の画素 2 0 1 がマトリクス状に配置された画素部 2 0 2 が基板 2 0 0 上に設けられている。そして、表示装置は、複数の画素 2 0 1 を駆動する回路として、走査線駆動回路 2 0 3 (第 1 の駆動回路) 及び信号線駆動回路 2 0 4 (第 2 の駆動回路) を有する。画素 2 0 1 は、走査線駆動回路 2 0 3 に電氣的に接続された第 1 の配線 1 0 1 (走査線) によって供給される走査信号により、各行ごとに選択状態か、非選択状態かが決定される。また、走査信号によって選択されている画素 2 0 1 は、信号線駆動回路 2 0 4 に電氣的に接続された第 2 の配線 1 0 2 A (信号線) によって、第 2 の配線 1 0 2 A からビデオ電圧 (映像信号、画像信号、ビデオ信号、またはビデオデータともいう) が供給される。

【 0 0 2 9 】

なお、図 1 においては、走査線駆動回路 2 0 3 及び信号線駆動回路 2 0 4 が基板 2 0 0 上に設けられる構成を示しているが、本発明はこの構成に限定されない。すなわち、走査線駆動回路 2 0 3 または信号線駆動回路 2 0 4 のいずれか一方が基板 2 0 0 上に設けられており、他方は別途実装されていてもよい。また、画素部 2 0 2 のみが基板 2 0 0 上に設けられており、走査線駆動回路 2 0 3 及び信号線駆動回路 2 0 4 は別途実装されていてもよい。

【 0 0 3 0 】

また、図 1 においては、複数の画素 2 0 1 がマトリクス状に配置 (ストライプ配置) されている例を示しているが、本発明はこの構成に限定されない。すなわち、画素 2 0 1 の

10

20

30

40

50

配置構成として、ストライプ配置だけでなく、デルタ配置、ペイヤー配置等を採用することができる。

【0031】

また、画素部202における表示方式は、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、RGB(Rは赤、Gは緑、Bは青を表す)の三色に限定されない。例えば、RGBW(Wは白を表す)、又はRGBに、イエロー、シアン、マゼンタ等を一色以上追加したものがある。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。ただし、本発明はカラー表示の表示装置に限定されるものではなく、モノクロ表示の表示装置に適用することもできる。

10

【0032】

また、図1において、第1の配線101及び第2の配線102Aの本数が、それぞれ画素の行方向及び列方向の数に1対1で対応したものを示しているが、本発明はこの構成に限定されない。例えば、隣り合う画素間で、第1の配線101または第2の配線102Aを共有して画素201を駆動する構成としてもよい。

【0033】

図2(A)は、図1における画素201の構成の一例を示す等価回路図である。

【0034】

画素6400には、トランジスタ(以下、スイッチング用トランジスタと呼ぶことがある)6401と、液晶素子6402と、容量素子6403が設けられている。液晶素子6402は、一対の電極(画素電極及び対向電極)間にブルー相を示す液晶材料を挟んだ構成を有する。

20

【0035】

トランジスタ6401は、ゲートが走査線6406に電氣的に接続され、ソースまたはドレインの一方が信号線6405に電氣的に接続され、ソースまたはドレインの他方が画素電極に電氣的に接続されている。ここで、本実施の形態においては、トランジスタ6401として高純度の酸化物半導体層を有するトランジスタを用いている。このとき、トランジスタ6401はnチャネル型のトランジスタである。

【0036】

容量素子6403は、一対の電極間に絶縁層を誘電体として挟むことにより構成されている。そして、容量素子6403の大きさは、画素部に配置される薄膜トランジスタのリーク電流等を考慮して、所定の期間の間電荷を保持できるように設定される。容量素子6403の大きさは、トランジスタ6401のオフ電流等を考慮して設定すればよい。本実施の形態では、トランジスタ6401として高純度の酸化物半導体層を有するトランジスタを用いていることにより、各画素における液晶容量に対して1/3以下、好ましくは1/5以下の容量の大きさを有する容量を設ければ充分である。

30

【0037】

なお、図2(A)においてはトランジスタ6401のソースまたはドレインの他方が容量素子6403に電氣的に接続される構成としているが、本発明はこの構成に限定されず、図2(B)に示すように容量素子6403を設けない構成とすることもできる。すなわち、本発明においては、トランジスタ6401として高純度の酸化物半導体層を有するトランジスタを用いており、トランジスタ6401のオフ電流が十分に低減されているため、液晶材料を一対の電極間に挟んで形成される液晶容量等でも電圧を保持できる期間を十分に長く取ることができる。さらに、本実施の形態における表示装置は透過型または半透過型であるため、容量素子6403を設けない構成とすることにより、開口率を向上させることができる。

40

【0038】

次に、画素201におけるトランジスタ6401の平面図及び断面図の一例を図5に示す。図5に示すトランジスタ420は、トランジスタ6401に対応するものであり、ボトムゲート型の構造である。また、チャンネル領域となる酸化物半導体層403に対して下

50

側に配線（ゲート電極）401を有し、酸化物半導体層403を間に挟んで配線401と反対側に、配線（ソース電極及びドレイン電極の一方）405a、及び配線（ソース電極及びドレイン電極の他方）405bを有するため、逆スタガ型のトランジスタとも呼ばれる。

【0039】

第1の基板441上に設けられている配線401は、トランジスタ420のゲート電極として機能する。そして、配線401は、走査線そのものであってもよいし、走査線そのものではないが走査線に電氣的に接続されている配線であってもよい。

【0040】

また、配線401を覆うようにゲート絶縁層402が設けられている。そして、ゲート絶縁層402上には酸化物半導体層403が設けられている。そして、酸化物半導体層403上には、配線405a、及び配線405bが設けられている。配線405a、及び配線405bは、酸化物半導体層403に電氣的に接続されており、一方がソース電極として機能し、他方がドレイン電極として機能する。なお、配線405aは、信号線そのものであってもよいし、信号線そのものではないが信号線に電氣的に接続されている電極であってもよい。

10

【0041】

また、トランジスタ420を覆うように絶縁膜413が設けられている。絶縁膜413には開口部が形成されており、この開口部において第1の電極447と配線405bとが電氣的に接続されている。なお、図5(B)においては、絶縁膜413が第1の絶縁膜407、第2の絶縁膜409、第3の絶縁膜417の3層構造となっているが、この構成に限定されるものではない。すなわち、絶縁膜413は、単層構造でもよいし、2層構造でもよいし、3層以上の積層構造でもよい。

20

【0042】

次に、酸化物半導体層403について詳細に説明する。

【0043】

本実施の形態で用いる酸化物半導体層403は、酸化物半導体を用いたトランジスタの電気特性に悪影響を与える不純物が極めて少ないレベルにまで低減されたものであって、高純度化されたものである。電気特性に悪影響を与える不純物の代表例としては、水素が挙げられる。水素は、酸化物半導体中でキャリアの供与体（ドナー）となり得る不純物であり、酸化物半導体中に水素が多量に含まれていると、酸化物半導体がN型化されてしまう。このように水素が多量に含まれた酸化物半導体を用いたトランジスタは、ノーマリーオンとなってしまう。そして、トランジスタのオン・オフ比を十分にとることができない。したがって、本明細書における「高純度の酸化物半導体」は、酸化物半導体における水素が極力低減されているものであって、真性又は実質的に真性な半導体を指す。高純度の酸化物半導体の一例としては、含有する水素濃度が少なくとも $5 \times 10^{19} / \text{cm}^3$ 以下であって、好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} / \text{cm}^3$ 以下、または $1 \times 10^{16} / \text{cm}^3$ 未満である酸化物半導体である。そして、キャリア濃度が、 $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、または $6.0 \times 10^{10} / \text{cm}^3$ 未満である酸化物半導体膜をチャンネル形成領域に用いてトランジスタを構成する。なお、酸化物半導体層中の水素濃度測定は、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectroscopy）で行えばよい。

30

40

【0044】

また、酸化物半導体層のエネルギーギャップは、2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である。

【0045】

このように、酸化物半導体層に含まれる水素を徹底的に除去することにより得られる高純度の酸化物半導体層をトランジスタのチャンネル形成領域に用いることで、オフ電流値が極めて小さいトランジスタを提供できる。

50

【0046】

ここで、オフ電流（リーク電流ともいう）とは、 $-5\text{ V} \sim -20\text{ V}$ の範囲において任意のゲート電圧を印加したときにトランジスタのソース - ドレイン間を流れる電流のことであり、本明細書に開示する酸化物半導体を用いたトランジスタは、チャネル幅（ w ）が $1\ \mu\text{m}$ あたりの電流値が $100\ \text{aA}/\mu\text{m}$ 以下、好ましくは $10\ \text{aA}/\mu\text{m}$ 以下、さらに好ましくは $1\ \text{aA}/\mu\text{m}$ 以下である。

【0047】

次に、酸化物半導体を用いたトランジスタの電導機構について図21乃至図24を用いて説明する。なお、以下の説明では、理解の容易のため理想的な状況を仮定しており、そのすべてが現実の様子を反映しているとは限らない。また、以下の説明はあくまでも一考
10

【0048】

図21は、金属（Metal）の仕事関数（ ϕ_M ）と、酸化物半導体（OS）の電子親和力（ χ ）の関係を示すものである。金属のフェルミ準位を E_F とし、酸化物半導体のフェルミ準位を E_f 、伝導帯下端のエネルギーを E_C 、価電子帯上端のエネルギーを E_V 、真性フェルミ準位を E_i とし、酸化物半導体のエネルギーバンドギャップを E_g とする。なお、酸化物半導体のエネルギーバンドギャップ（ E_g ）は $3.0 \sim 3.5\ \text{eV}$ である。

【0049】

図21において、従来のようなn型化した酸化物半導体の場合、フェルミ準位（ E_f ）は、バンドギャップ（ E_g ）の中央に位置する真性フェルミ準位（ E_i ）から離れて、伝
20

【0050】

ここで、キャリア密度を低減し真性半導体に近づけることで、酸化物半導体のフェルミ準位（ E_f ）は真性フェルミ準位（ E_i ）に近づく。本実施の形態の真性又は実質的に真性な酸化物半導体とは、フェルミ準位（ E_f ）が真性フェルミ準位（ E_i ）に近接又は一致するまで、キャリア密度が低減されている状態を指す。

【0051】

本実施の形態における真性又は実質的に真性な酸化物半導体は、以下の技術思想に基づいて得られるものである。

【0052】

まず、酸化物半導体をn型化する要因の一つとして、酸化物半導体中に水素を含むことが挙げられる。酸化物半導体において水素はドナーとなり、伝導帯の下 $0.1 \sim 0.2\ \text{eV}$ に浅い準位を形成して、キャリア濃度を増加させる。

【0053】

また、n型化する他の要因の一つとして、酸化物半導体の主成分である酸素が欠損（酸素欠損）していることが挙げられる。酸素欠損は、酸化物半導体に深いドナー準位を形成し、キャリア濃度を増加させる。

【0054】

半導体において、状態密度（DOS: density of state）等の物性研究は多くなされているが、これらの研究は、欠陥の準位そのものを十分に減らすという思想
40

【0055】

すなわち本実施の形態では、n型化の要因である水素等の不純物を酸化物半導体から極力除去すること、かつ、酸素欠損を除去することによって、酸化物半導体を高純度化することを特徴している。そして、高純度化することで、真性又は実質的に真性の酸化物半導体を得るものである。これにより、図21において、フェルミ準位（ E_f ）は真性フェルミ準位（ E_i ）と同程度とすることができる。

【0056】

10

20

30

40

50

具体的には、酸化物半導体の水素濃度を $5 \times 10^{19} / \text{cm}^3$ 以下、望ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、より望ましくは $5 \times 10^{17} / \text{cm}^3$ 以下まで低減する。そして、従来と比べて十分に小さいキャリア濃度の値（例えば、 $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 以下）とすることが好ましい。

【0057】

図22は、真性又は実質的に真性な酸化物半導体を用いて作製したトランジスタの一例であり、逆スタガー型のボトムゲート構造の薄膜トランジスタを示している。ゲート電極（GE）上にゲート絶縁膜（GI）を介して酸化物半導体層（OS）が設けられ、その上にソース電極（S）およびドレイン電極（D）が設けられている。

【0058】

ここで、酸化物半導体とソース及びドレインとの間にショットキー型の障壁が形成されないことが好ましい。本実施の形態では、酸化物半導体の電子親和力（ χ ）と、ソース電極及びドレイン電極となる金属の仕事関数（ ϕ_M ）とをほぼ等しくする。例えば、酸化物半導体のバンドギャップ（ E_g ）が 3.15 eV である場合、電子親和力（ χ ）は 4.3 eV であると言われており、仕事関数（ ϕ_M ）が 4.3 eV 程度であるチタン（Ti）を酸化物半導体に接触させた構造を有するソース電極及びドレイン電極を形成すればよい。

【0059】

図23に、図22のA-A'断面におけるエネルギーバンド図（模式図）を示す。図23（A）は、ソース（S）とドレイン（D）の間の電位差をゼロ（等電位、 $V_{D_S} = 0 \text{ V}$ ）とした場合を示しており、図23（B）は、ソースに対しドレイン及びゲートの電位を高くした場合（ $V_{D_S} > 0$ 、 $V_{G_S} > 0$ ）を示している。

【0060】

図23（B）において黒丸（ \bullet ）は電子を示す。ゲートおよびドレイン（D）に正の電位が与えられると、電子はバリア（ h ）をこえて酸化物半導体（OS）に注入され、ドレイン（D）に向かって流れる。バリア（ h ）の高さは、ゲート電圧とドレイン電圧に依存して変化するが、正のドレイン電圧が印加される場合には、電圧印加のない図23（A）のバリアの高さ、すなわち $1/2 E_g$ より低くなる。このように、ゲートに正の電圧を印加すると、図23（B）に示すようにポテンシャル障壁が低下し、トランジスタは電流が流れるオン状態を示す。一方、ゲートに電圧を印加しない場合（ $V_g = 0 \text{ V}$ ）は、高いポテンシャル障壁（ $1/2 E_g$ ）のため、トランジスタは電流が流れないオフ状態を示す。

【0061】

図24に、図22のB-B'断面におけるエネルギーバンド図（模式図）を示す。

【0062】

図24（A）に示すように、ゲートに正の電位が与えられた場合、電子は、ゲート絶縁膜（GI）と酸化物半導体（OS）との界面付近（酸化物半導体のエネルギー的に安定な最低部）を移動する。

【0063】

一方、図24（B）に示すように、ゲートに負の電位（逆バイアス）が与えられた場合、少数キャリアであるホールは実質的にゼロであるため、ソース-ドレイン間の電流は限りなくゼロに近い値となる。

【0064】

このように、真性又は実質的に真性な酸化物半導体を用いてトランジスタを形成することで、ゲートに負の電位が与えられた場合のソース-ドレイン間の電流（オフ電流）は測定限界である 10^{-13} A 以下が実現可能となる。また、真性又は実質的に真性な酸化物半導体を用いたトランジスタでは温度特性が良好であり、代表的には、 -25 から 150 までの温度範囲において、トランジスタの電流電圧特性において、オン電流、オフ電流、電界効果移動度、 S 値、及びしきい値電圧の変動がほとんどなく、温度による電流電圧特性の劣化がほとんどない。

【0065】

なお、真性又は実質的に真性な酸化物半導体は、ゲート絶縁膜との界面特性が顕在化す

10

20

30

40

50

る。そのため、ゲート絶縁膜と酸化物半導体との界面を良好にすることが好ましい。具体的には、例えば、VHF帯～マイクロ波帯の電源周波数で生成される高密度プラズマを用いたCVD法で作製される絶縁膜や、スパッタリング法で作製される絶縁膜などを用いることが好ましい。

【0066】

次に、酸化物半導体を用いたトランジスタのホットキャリア劣化について説明する。

【0067】

ホットキャリア劣化とは、高速に加速された電子がチャネル中のドレイン近傍でゲート絶縁膜中に注入されて固定電荷となったり、ゲート絶縁膜界面にトラップ準位を形成することにより、しきい電圧の変動やゲートリーク等のトランジスタ特性の劣化が生じることであり、ホットキャリア劣化の要因としては、チャネルホットエレクトロン注入（CHE注入）とドレインアバランシェホットキャリア注入（DAHC注入）がある。

【0068】

シリコンはバンドギャップが1.12 eVと小さいため、アバランシェ降伏によって雪崩的に電子が発生しやすく、ゲート絶縁膜への障壁を越えられるほど高速に加速される電子数が増加する。一方、本実施の形態で示す酸化物半導体は、バンドギャップが3.15 eVと広いため、アバランシェ降伏が生じにくく、シリコンと比べてホットキャリア劣化の耐性が高い。

【0069】

なお、高耐圧材料の一つであるシリコンカーバイドのバンドギャップと酸化物半導体のバンドギャップは同等であるが、酸化物半導体の方が、移動度が2桁程小さいため、電子が加速されにくい。また、ゲート絶縁膜である酸化膜との障壁が、シリコンカーバイド、窒化ガリウム、シリコンよりも大きいため、酸化膜に注入される電子が極めて少ない。この結果、真性又は実質的に真性な酸化物半導体を用いたトランジスタは、シリコンカーバイド、窒化ガリウム、またはシリコンを用いたトランジスタよりホットキャリア劣化が生じにくく、ドレイン耐圧が高いといえる。また、チャネルとして機能する酸化物半導体と、ソース電極及びドレイン電極との間に、意図的に低濃度不純物領域を形成する必要が無いため、トランジスタ構造が極めて簡単になり、製造工程数を低減できる。

【0070】

以上のように、真性又は実質的に真性な酸化物半導体を用いたトランジスタはドレイン耐圧が高く、具体的には100V以上、好ましくは500V、好ましくは1kV以上のドレイン耐圧を有することが可能である。

【0071】

なお、このような真性又は実質的に真性な酸化物半導体を用いたトランジスタではオフ電流が極めて小さいため、通常の大きさのトランジスタ素子の測定方法では正確な値を測定することが困難である。そこで、測定のための評価用素子（TEGとも呼ぶ）を作製して測定する。以下、その測定によって得られたオフ電流について以下に説明する。

【0072】

TEGには、 $L/W = 3 \mu\text{m} / 50 \mu\text{m}$ のトランジスタを200個並列に接続して作製された $L/W = 3 \mu\text{m} / 10000 \mu\text{m}$ のトランジスタを設けた。その初期特性を図25に示す。ここでは、 V_g を $-20\text{V} \sim +5\text{V}$ までの範囲で示している。トランジスタの初期特性を測定するため、基板温度を室温とし、ソース-ドレイン間電圧（以下、ドレイン電圧または V_d という）を10Vとし、ソース-ゲート間電圧（以下、ゲート電圧または V_g という）を $-20\text{V} \sim +20\text{V}$ まで変化させたときのソース-ドレイン電流（以下、ドレイン電流または I_d という）の変化特性、すなわち $V_g - I_d$ 特性を測定した。

【0073】

図25に示すように、チャネル幅 W が $10000 \mu\text{m}$ のトランジスタは、 V_d が1V及び10Vのいずれにおいても、ゲート電圧が -5V から -20V の範囲におけるドレイン電流（オフ電流）は $1 \times 10^{-13} [\text{A}]$ 以下となっており、測定機（半導体パラメータアナライザ、Agilent 4156C；Agilent社製）の分解能（100f

10

20

30

40

50

A) 以下となっている。この値は、チャネル幅 $1 \mu\text{m}$ に換算すると、オフ電流は $1 \times 10^{-17} \text{ A} / \mu\text{m}$ ($= 10 \text{ aA} / \mu\text{m}$) に相当する。

【0074】

図25に示すように、トランジスタのオフ電流を $1 \times 10^{-13} [\text{A}]$ 以下とすることができたのは、酸化物半導体層中における水素濃度が十分に低減されているためである。すなわち、酸化物半導体層中の水素濃度は、 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下、または $1 \times 10^{16} \text{ atoms} / \text{cm}^3$ 未満である。なお、酸化物半導体層中の水素濃度測定は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectroscopy) で行えばよい。

10

【0075】

また、酸化物半導体層中のキャリア濃度は、 $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、または $6 \cdot 0 \times 10^{10} / \text{cm}^3$ 未満である。即ち、酸化物半導体層中のキャリア濃度は、限りなくゼロに近いものである。なお、キャリア濃度の測定方法の具体例としては、MOSキャパシタを作製し、前記MOSキャパシタのCV測定の結果(CV特性)を評価することによって求める方法が挙げられる。

【0076】

以上のように、トランジスタのチャネル幅 W が $1 \times 10^4 \mu\text{m}$ であり、チャネル長が $3 \mu\text{m}$ の素子であっても、オフ電流が 10^{-13} A 以下であり、サブスレッショルドスイング値 (S 値) が $0.1 \text{ V} / \text{dec}$ 以下 (ゲート絶縁膜厚 100 nm) という優れた電気特性が得られる。このように、酸化物半導体中の不純物が極力含まれないように高純度化することにより、トランジスタの動作を良好なものとすることができる。そして、オフ状態における電流値 (オフ電流値) が極めて小さいトランジスタを図2のトランジスタ6401として用いることにより、映像信号等の電気信号の保持時間を長くすることができる。

20

【0077】

具体的には、上述の酸化物半導体層を具備するトランジスタは、チャネル幅 $1 \mu\text{m}$ におけるオフ電流を $1 \times 10^{-17} \text{ A}$ 以下とすることができる。一方、例えば低温ポリシリコンを具備するトランジスタでは、オフ電流が $1 \times 10^{-12} \text{ A}$ 相当であると見積もって設計等行うこととなっている。そのため、酸化物半導体を有するトランジスタでは、低温ポリシリコンを具備するトランジスタに比較して、保持容量が同等 (0.1 pF 程度) である際、電圧の保持期間を 10^5 倍程度に引き延ばすことができる。一例として、通常、低温ポリシリコンを用いたトランジスタを有する画素では表示を $60 \text{ フレーム} / \text{秒}$ ($1 \text{ フレームあたり } 16 \text{ msec}$) で行っている。これは静止画であっても同じで、レートを低下させる (書き込みの間隔を伸ばす) と、画素の電圧が低下して表示に支障をきたすためである。一方、上述の酸化物半導体層を具備するトランジスタを用いた場合、オフ電流が小さいため、1回の信号書き込みによる保持期間を 10^5 倍の 1600 秒 程度とすることができる。そして、少ない画像信号の書き込み回数でも、表示部での静止画の表示を行うことができる。保持期間を長くとれるため、特に静止画の表示を行う際に、信号の書き込みを行う頻度を低減することができる。こうして、表示装置の低消費電力化を図ることができる。

30

40

【0078】

また、アモルファスシリコンの場合、チャネル幅 $1 \mu\text{m}$ あたりのオフ電流は、 $1 \times 10^{-13} \text{ A}$ 以上である。したがって、保持容量が同等 (0.1 pF 程度) である際、高純度の酸化物半導体を用いたトランジスタの方がアモルファスシリコンを用いたトランジスタに比較して、電圧の保持期間を 10^4 倍以上に引き延ばすことができる。

【0079】

図4(A)では、書き込み期間と保持期間 (1フレーム期間ともいう) の関係について示している。図4(A)において、期間251、252が保持期間に相当し、期間261

50

、262が書き込み期間に相当する。図4(A)においては、保持期間毎に表示素子である液晶素子に印加する電圧の極性(図中、プラス記号、マイナス記号に図示)を反転することで液晶素子に印加される電界が偏らず、液晶素子の劣化の程度を低減できる。また図4(B)では、図4(A)の書き込み期間261、262において、複数回の極性の反転した電圧の書き込みを行う関係を示している。図4(B)に示すように、書き込み期間261、262に複数回の極性の反転した電圧の書き込みを行うことによって、液晶素子の劣化の程度をさらに低減することができる。なお書き込み期間261、262の最後に印加する電圧の書き込みは、保持期間内に保持するための極性とするものである。

【0080】

前述の高純度の酸化物半導体層を具備するトランジスタは、保持期間(期間251、期間252)を長く取ることができるため、特に静止画の表示を行う際に、信号の書き込みを行う頻度を著しく低減することができる。このため、表示の切り替えが少ない静止画等の表示では、画素への信号の書き込み回数を低減することができるため、低消費電力化を図ることができる。

【0081】

なお、静止画表示において、保持期間中の液晶素子に印加されている電圧の保持率を考慮して、適宜リフレッシュ動作してもよい。例えば、液晶素子の画素電極に信号を書き込んだ直後における電圧の値(初期値)に対して所定のレベルまで電圧が下がったタイミングでリフレッシュ動作を行えばよい。所定のレベルとする電圧は、初期値に対してチラツキを感じない程度に設定することが好ましい。具体的には、初期値に対して10%低い状態、好ましくは3%低い状態となる毎に、リフレッシュ動作(再度の書き込み)を行うのが好ましい。

【0082】

また、静止画表示における保持期間において、対向電極(共通電極、コモン電極ともいう。)をフローティング状態とすることもできる。具体的には、対向電極にコモン電位を与える電源と対向電極との間にスイッチを設け、書き込み期間中はスイッチをオンにして電源から対向電極にコモン電位を与えた後、残りの保持期間においてはスイッチをオフにしてフローティング状態とすればよい。

【0083】

なお図4(A)、(B)において、液晶素子に印加する電圧は、ドット反転駆動、ソースライン反転駆動、ゲートライン反転駆動、フレーム反転駆動等を用いて駆動するよう入力する構成とすればよい。

【0084】

次に、ブルー相を示す液晶材料について説明する。

【0085】

ブルー相を示す液晶材料は、液晶及びカイラル剤を含む。液晶は、サーモトロピック液晶、低分子液晶、高分子液晶、強誘電性液晶、反強誘電性液晶等を用いる。これらの液晶材料は、条件により、コレステリック相、コレステリックブルー相、スメクチック相、スメクチックブルー相、キュービック相、カイラルネマチック相、等方相等を示す。カイラル剤は、液晶を螺旋構造に配向させ、ブルー相を発現させるために用いる。例えば、5重量%以上のカイラル剤を混合させた液晶材料を液晶層に用いればよい。また、カイラル剤は、液晶に対する相溶性が良く、かつ擦れ力の強い材料を用いる。そして、R体、S体のどちらか片方の材料が良く、R体とS体の割合が50:50のラセミ体は使用しないようにすることが好ましい。

【0086】

ブルー相であるコレステリックブルー相及びスメクチックブルー相は、螺旋ピッチが500nm以下とピッチの比較的短いコレステリック相またはスメクチック相を有する液晶材料にみられる。液晶材料の配向は二重ねじれ構造を有する。

【0087】

ブルー相を示す液晶材料は、無電界のときは光学的に等方状態であり、電界が加えられ

10

20

30

40

50

ると液晶材料の複屈折が誘起され、光に変調をかける。すなわち、ブルー相を示す液晶材料を含む表示装置は、ノーマリーブラックモードとなる。なお、ブルー相を示す液晶材料に電界を加える際は、基板面内に平行な成分が主である横方向に電界が加わるようにすることが好ましい。また、ブルー相を示す液晶材料を含む表示装置は、配向膜の形成が不要であるため、低コストの表示装置を提供することができる。

【0088】

なお、ブルー相は狭い温度範囲でしか発現が難しいため、温度範囲を広く改善するために光硬化樹脂及び光重合開始剤を液晶材料に添加し、高分子安定化処理を行うことが好ましい。高分子安定化処理は、液晶、カイラル剤、光硬化樹脂、及び光重合開始剤を含む液晶材料に、光硬化樹脂、及び光重合開始剤が反応する波長の光を照射して行う。この高分子安定化処理は、温度制御を行って等方相を示した状態で光照射して行ってもよいし、ブルー相を発現した状態で光照射して行ってもよい。例えば、液晶層の温度を制御し、ブルー相を発現した状態で液晶層に光を照射することにより高分子安定化処理を行う。但し、この方法に限定されず、ブルー相と等方相間の相転移温度から+10以内、好ましくは+5以内の等方相を発現した状態で液晶層に光を照射することにより高分子安定化処理を行ってもよい。ここで、ブルー相と等方相間の相転移温度とは、昇温時にブルー相から等方相に転移する温度又は降温時に等方相からブルー相に相転移する温度をいう。

10

【0089】

高分子安定化処理の一例としては、液晶層を等方相まで加熱した後、徐々に降温させてブルー相にまで相転移させ、ブルー相が発現する温度を保持した状態で光を照射する方法が挙げられる。また、液晶層を徐々に加熱して等方相に相転移させた後、ブルー相と等方相間の相転移温度から+10以内、好ましくは+5以内状態（等方相を発現した状態）で光を照射する方法を用いてもよい。また、液晶材料に含まれる光硬化樹脂として、紫外線硬化樹脂（UV硬化樹脂）を用いる場合、液晶層に紫外線を照射する方法を用いてもよい。なお、ブルー相を発現させなくとも、ブルー相と等方相間の相転移温度から+10以内、好ましくは+5以内状態（等方相を発現した状態）で光を照射して高分子安定化処理を行えば、応答速度が1 msec以下と短く、高速応答が可能である。

20

【0090】

また、ブルー相を示す液晶材料の固有抵抗（比抵抗ともいう。）は、できる限り高い方が好ましい。この理由は、液晶材料の固有抵抗が低い場合、画素電極から液晶層を介して対向電極側に電荷漏れ（リーク）が発生し、液晶層に印加される電圧値に影響が出てしまうためである。したがって、本発明の一態様においては、ブルー相を示す液晶材料の固有抵抗が $1 \times 10^9 \cdot \text{cm}$ 以上であり、好ましくは $1 \times 10^{11} \cdot \text{cm}$ 以上であり、さらに好ましくは $1 \times 10^{12} \cdot \text{cm}$ 以上とするとよい。なお、本明細書における固有抵抗の値は、20で測定した値とする。

30

【0091】

本実施の形態においては、ブルー相を示す液晶材料を液晶層に用いた場合の長所である液晶の高速応答性、視野角依存性がないといった長所を生かすとともに、ブルー相を示す液晶材料特有の欠点を解消するために、画素のスイッチング素子として高純度の酸化物半導体層を有するトランジスタを用いている。すなわち、ブルー相を示す液晶材料は、駆動電圧が他の液晶駆動方式に比べて極めて高いため、スイッチング素子として用いるトランジスタに高いドレイン耐圧が要求されるとともに、消費電力を抑制することが必要とされるが、本実施の形態においては、高いドレイン耐圧を有し、オフ電流が極めて低いという優れた電気特性を有するトランジスタをスイッチング素子として用いているため、画像品質及び信頼性に優れ、かつ消費電力の抑制された表示装置を提供することができる。

40

【0092】

（実施の形態2）

本実施の形態では、ブルー相を示す液晶材料を含む表示装置の一例について説明する。特に、画素の構成の一例について説明する。

【0093】

50

ブルー相を示す液晶材料を含む表示装置は、基板面に概略平行（すなわち水平な方向）な電界を生じさせて基板と平行な面内で液晶分子を動かすことにより、階調を制御する方式（以下、「横電界方式」という。）を用いることができる。例えば、図5（A）、図5（B）に示すような電極の構造を用いることにより、横電界方式の表示装置とすることができる。なお、図5（B）は、図5（A）の線X1 - X2における断面図である。

【0094】

図5（A）に示すように、複数のソース配線（配線405aを含む）は互いに平行（図中、上下方向に延伸）かつ互いに離間した状態で配置されている。また、複数のゲート配線（配線401を含む）は、ソース配線に略直交する方向（図中、左右方向）に延伸し、かつ互いに離間するように配置されている。容量配線408は、複数のゲート配線それぞれに隣接する位置に配置されており、ゲート配線に概略平行な方向、つまり、ソース配線に概略直交する方向（図中、左右方向）に延伸している。ソース配線と、容量配線408及びゲート配線とによって、略長方形の空間が囲まれているが、この空間に液晶表示装置の第1の電極447、第2の電極448が液晶層444を介して配置されている。スイッチとしての機能を有するトランジスタ420は、図中、左上の角に配置されている。また、第1の電極447及びトランジスタ420は、マトリクス状に複数配置されている。

10

【0095】

図5（B）に示すように、第1の基板441と第2の基板442との間には液晶層444が設けられている。第1の基板441及び第2の基板442は透光性を有する基板であり、外側（液晶層444と反対側）に偏光板443a、443bがそれぞれ設けられている。また、第1の基板441と第2の基板442との平均間隔（以下、セルギャップと呼ぶことがある。）は、例えば1μm以上10μm以下とすればよい。

20

【0096】

トランジスタ420は、第1の基板441上に設けられており、配線401、ゲート絶縁層402、及び酸化物半導体層403を含む。本実施の形態においては、酸化物半導体層403として高純度の酸化物半導体層を用いる。また、酸化物半導体層403は、ソース電極又はドレイン電極として機能する配線405a、405bに電気的に接続されている。なお、図5（B）に示すトランジスタ420は逆スタガ型のトランジスタであるが、本発明はこの構成に限定されない。すなわち、トップゲート型のトランジスタを用いることもできる。

30

【0097】

また、第1の絶縁膜407は、トランジスタ420を覆うように設けられており、酸化物半導体層403に接している。そして、第2の絶縁膜409は第1の絶縁膜407上に設けられており、第3の絶縁膜417は第2の絶縁膜409上に設けられている。このように図5（B）に示す表示装置においては、トランジスタを覆う絶縁膜を3層の積層構造としているが、本発明はこの構成に限定されない。すなわち、トランジスタを覆う絶縁膜を単層構造としてもよいし、2層の積層構造としてもよい。

【0098】

図5（B）においては、第3の絶縁膜417として有彩色の透光性樹脂を用いたものであり、第3の絶縁膜417が着色層（カラーフィルタ）として機能する。カラーフィルタを第2の基板442（対向基板）側に設ける場合、第1の基板441（素子基板）における画素領域の正確な位置合わせが難しく、画質を損なうおそれがある。図5（B）においては、第1の基板441側に第3の絶縁膜417をカラーフィルタとして形成しているため、画素領域とカラーフィルタとの正確な位置合わせが容易となる。

40

【0099】

有彩色の透光性樹脂は、着色された有彩色の光のみを透過する材料で形成すればよく、具体的には感光性または非感光性の有機樹脂を用いることができる。感光性の有機樹脂層を用いる場合、レジストマスク数を削減することができるため、工程が簡略化できる。

【0100】

なお、有彩色とは、黒、灰、白などの無彩色を除く色であり、具体例としては、赤色、

50

緑色、青色などを用いることができる。また、シアン、マゼンダ、イエロー（黄）などを用いてもよい。

【0101】

また、第3の絶縁膜417を着色層（カラーフィルタ）として機能させるため、含ませる着色材料の濃度と光の透過率の関係を考慮して最適な膜厚を制御するとよい。なお、第3の絶縁膜417を複数の薄膜で積層する場合、少なくとも一層が有彩色の透光性樹脂であれば、カラーフィルタとして機能させることができる。

【0102】

また、有彩色の色によって有彩色の透光性樹脂の膜厚が異なる場合や、遮光層を有する場合、またはトランジスタに起因する凹凸を有する場合は、可視光領域の波長の光を透過する（いわゆる無色透明）絶縁膜を第3の絶縁膜417の上に形成し、第3の絶縁膜417の表面を平坦化することが好ましい。第3の絶縁膜417の平坦性を高めることにより、第1の電極447及び第2の電極448の被覆性もよく、かつ液晶層のギャップ（膜厚）を均一にすることができるため、液晶表示装置の視認性をより向上させ、高画質化が可能になる。

【0103】

また、より高コントラスト及び高精細な表示を行うために、第2の基板442に遮光層を設けることが好ましい。このとき、遮光層は、液晶層444を介してトランジスタ420と重なる領域（少なくともトランジスタの半導体層と重なる領域）に形成するとよい。

【0104】

遮光層は、光を反射又は吸収し、遮光性を有する材料を用いて形成する。例えば、黒色の有機樹脂を用いることができる。具体的には、感光性又は非感光性のポリイミド等の樹脂に、顔料系の黒色樹脂やカーボンブラック、チタンブラック等を混合させて形成すればよい。また、遮光性の金属膜を用いることもできる。この場合、クロム、モリブデン、ニッケル、チタン、コバルト、銅、タングステン、又はアルミニウム等を用いればよい。

【0105】

また、第1の構造体449及び第2の構造体445は、第3の絶縁膜417の上に設けられており、突起（リブ）と呼ぶことができる。なお、第1の構造体449及び第2の構造体445は、開口パターンを有し、屈曲部や枝分かれた櫛歯状を含む形状である。

【0106】

構造体は、絶縁性材料（有機絶縁材料や無機絶縁材料）、または導電性材料（導電性樹脂等の有機導電材料や、金属等の無機導電材料）を用いて形成することができる。例えば、可視光硬化性、紫外線硬化性、または熱硬化性の樹脂を用いることができる。なお、構造体として、可視光の光に対して透光性を有する材料を用いると開口率や白透過率を低下させないために好ましい。具体的には、アクリル樹脂、エポキシ樹脂、アミン樹脂などを用いればよい。また、構造体は、単層構造だけでなく、積層構造であってもよい。

【0107】

また、第1の構造体449及び第2の構造体445は、第1の基板441と第2の基板442の主表面に垂直な方向に切断した断面が多角形状、三角形状、台形状、半円形状、または半楕円形状であるとよい。そして、第1の構造体449及び第2の構造体445は、表面の段差が少なく、曲面を有するような形状が好ましい。例えば、図5（B）に示すように、第1の構造体449及び第2の構造体445を、端部に曲率を有するテーパ形状とすることにより、第1の構造体449及び第2の構造体445の表面（上面及び側面）を覆うように形成される第1の電極447及び第2の電極448それぞれの被膜性を向上させることができる。

【0108】

また、第1の構造体449及び第2の構造体445の高さは、少なくとも第1の基板441と第2の基板442との平均間隔（セルギャップ）よりも小さくなるようにすればよい。具体的には、0.1 μm以上10 μm未満とすればよいが、第1の構造体449及び第2の構造体445の高さは高いほど液晶層444に横電界が効果的にかかり、駆動電圧

10

20

30

40

50

を低減できるので好ましい。また、第1の構造体449及び第2の構造体445の幅は、 $0.5\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下とすればよい。第1の構造体449と第2の構造体445は、 $1\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下の隙間を設けて配置するとよい。

【0109】

第1の構造体449及び第2の構造体445の形成方法は特に限定されず、材料に応じて、蒸着法、スパッタ法、CVD法などの乾式法、又はスピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法）、ナノインプリント、各種印刷法（スクリーン印刷、オフセット印刷）等などの湿式法を用い、必要に応じてエッチング（ドライエッチング又はウエットエッチング）を行い、所望のパターンに加工すればよい。

【0110】

また、構造体は基板の液晶層側の面から液晶層中に突出する構造であればよい。したがって、第3の絶縁膜417の表面の一部をエッチング加工して液晶層側の表面を凹凸形状とすることにより、突起が設けられるようにしてもよい。この場合、第3の絶縁膜417が第1の突起及び第2の突起を有する形状となり、第1の構造体449及び第2の構造体445を形成するために別途成膜するプロセスを削減することができる。

【0111】

第1の電極447は、第1の構造体449を覆うように設けられており、トランジスタ420に電氣的に接続されている。そして、第1の電極447は画素電極として機能する。また、第2の電極448は、第2の構造体445を覆うように設けられており、共通電極として機能する。また、第1の電極447と液晶層444と容量配線408によって、容量が形成されている。

【0112】

第1の電極447には、配線405a及びトランジスタ420を介して画像信号（アナログビデオ信号）が入力される。また、第2の電極448はフローティング状態（電氣的に孤立した状態）として動作させることも可能であるが、固定電位、好ましくはコモン電位（第1の電極447に入力される画像信号の中間電位）近傍の電位を第2の電極に与え、フリッカーの生じないレベルに設定しておくことよい。

【0113】

なお、図5においては、第1の電極447が配線405bを介してトランジスタ420に電氣的に接続されているが、本発明はこの構成に限定されない。例えば、第1の電極447がトランジスタ420の有する酸化物半導体層403と直接接続される構成としてもよい。

【0114】

また、第1の電極447と、第2の電極448の膜厚（高さ）は、少なくとも第1の基板441と第2の基板442との平均間隔（セルギャップ）よりも小さくなるようにすればよい。具体的には、 $0.01\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下とすればよい。ここで、第1の基板441と第2の基板442との平均間隔（セルギャップ）を $X\ \mu\text{m}$ とし、第1の構造体449及び第2の構造体445の高さを $a\ \mu\text{m}$ とし、第1の電極447と、第2の電極448の膜厚を $b\ \mu\text{m}$ とした場合、 $X = a + b$ となるように設定することが好ましい。この場合、第1の電極447及び第2の電極448が第2の基板442に接する構成となる。すなわち、第1の構造体449及び第2の構造体445が、画素部においてスペーサとして機能する。したがって、通常、第1の基板441と第2の基板442との間隔を面内において均一に保つために画素部に設けられる柱状スペーサまたは球状スペーサを別途設ける必要がない。この結果、表示装置の工程数を削減することができる。なお、第1の電極447と、第2の電極448は、 $0.5\ \mu\text{m}$ 以上 $8\ \mu\text{m}$ 以下の隙間を設けて配置するとよい。

【0115】

また、第1の電極447と、第2の電極448とは重畳せず互い違いに設けられている。また、第1の電極447、及び第2の電極448は平板状ではなく、様々な開口パターンを有し、屈曲部や枝分かれした櫛歯状を含む形状である。

【0116】

第1の電極447及び第2の電極448は、タングステンとインジウムを含む酸化物（酸化タングステンを含むインジウム酸化物）、タングステンとインジウムと亜鉛を含む酸化物（酸化タングステンを含むインジウム亜鉛酸化物）、チタンとインジウムを含む酸化物（酸化チタンを含むインジウム酸化物）、チタンとインジウムと錫を含む酸化物（酸化チタンを含むインジウム錫酸化物）、インジウムと錫を含む酸化物（インジウム錫酸化物、ITOともいう。）、インジウムと亜鉛を含む酸化物（インジウム亜鉛酸化物）、ケイ素とインジウムと錫を含む酸化物（酸化ケイ素を添加したインジウム錫酸化物）等の透光性を有する導電性材料を用いて形成することができる。また、第2の電極448は、タングステン（W）、モリブデン（Mo）、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、タンタル（Ta）、クロム（Cr）、コバルト（Co）、ニッケル（Ni）、チタン（Ti）、白金（Pt）、アルミニウム（Al）、銅（Cu）、銀（Ag）等の金属、又はその合金、若しくはその金属窒化物から一つ、又は複数種を用いて形成することもできる。また、第2の電極448は、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することもできる。

【0117】

なお、図5においては、説明を分かりやすくするために第1の電極447と第2の電極448の模様を互いに違うもので表しており、互いに異なる材料で形成したものを示しているが、本発明はこの構成に限定されない。すなわち、第1の電極447と第2の電極448を同じ材料で形成することができる。特に、透光性を有する同一の導電性材料を用いて第1の電極447及び第2の電極448を形成する場合、互いに異なる材料を用いて形成する場合に比較して製造工程数を削減することができるので、好ましい。また、透光性を有する導電性材料を用いて第1の電極447及び第2の電極448を形成する場合、開口率の向上を図ることができるので、好ましい。また、第1の電極447及び第2の電極448に加えて、配線405a、配線405bも透光性を有する導電性材料を用いて形成することにより、更に開口率の向上を図ることができるので、より好ましい。

【0118】

また、図5に示す横電界方式の表示装置においては、第1の基板441側に設けられた第2の電極448が共通電極として機能しているが、本発明はこの構成に限定されない。例えば、第1の基板441側に設けられた第2の電極448（第1の共通電極）に加えて、対向基板（第2の基板442）側に設けられた第3の電極（第2の共通電極）を共通電極としてさらに有する構成とすることもできる。このとき、第1の基板側の第2の電極448と、第2の基板側の第3の電極は、液晶層444を間に挟んで互いに対向する（重なる）ように配置されている。また、第2の電極448及び第3の電極は等電位となるように設定することが好ましい。そして、第2の電極448及び第3の電極は、同じ材料から形成されていることが好ましい。

【0119】

第2の基板側に第3の電極を設けることにより、第1の電極447と第3の電極との間に液晶層444に対して斜め方向（第1の基板441の主表面に対して斜めの方向）の電界を加えることができるため、より効率よく液晶分子を制御できる。このように、液晶層444の膜厚方向も含め液晶層444全体における液晶分子を応答させることができ、白透過率（白表示時の光の透過率）が向上する。その結果、白透過率と黒透過率（黒表示時の光の透過率）との比であるコントラスト比を高くすることができる。

【0120】

以上に説明したように、本実施の形態においては、第1の構造体449を覆うように第1の電極447が設けられ、第2の構造体445を覆うように第2の電極448が設けられていることにより、第1の電極447及び第2の電極448の形成面積を液晶層444の膜厚方向に（3次元的に）拡大できる。このため、第1の電極447及び第2の電極448間に電圧を印加した際に、第1の電極447と、第2の電極448との間に電界を広く（効果的に）形成することができる。そして、この結果、表示装置の駆動電圧を減少させることが可能となり、消費電力を低減させることができる。また、トランジスタ420

10

20

30

40

50

は、高純度の酸化物半導体層を有していることにより、実施の形態 1 で説明したように静止画等の表示をする際の消費電力を低減させることができる。

【0121】

(実施の形態 3)

本実施の形態においては、実施の形態 2 で説明した横電界方式の表示装置とは別の一例について説明する。

【0122】

実施の形態 2 で説明した図 5 に示す横電界方式の表示装置においては、第 1 の基板 4 4 1 側に設けられた第 2 の電極 4 4 8 が共通電極として機能しているが、本発明はこの構成に限定されない。例えば、図 6 に示すように、第 1 の基板 4 4 1 側に設けられた第 2 の電極 4 4 8 (第 1 の共通電極)に加えて、対向基板(第 2 の基板 4 4 2)側に設けられた第 3 の電極 4 4 6 (第 2 の共通電極)を共通電極としてさらに有する構成とすることもできる。このとき、第 1 の基板側の第 2 の電極 4 4 8 と、第 2 の基板側の第 3 の電極 4 4 6 は、液晶層を間に挟んで互いに重畳するように配置されている。また、第 2 の電極 4 4 8 及び第 3 の電極 4 4 6 は等電位となるように設定することが好ましい。

【0123】

第 2 の基板側に第 3 の電極 4 4 6 を設けることにより、第 1 の電極 4 4 7 と第 3 の電極 4 4 6 との間に液晶層 4 4 4 に対して斜め方向(第 1 の基板 4 4 1 の主表面に対して斜め方向)の電界を加えることができるため、より効率よく液晶分子を制御できる。このように、液晶層 4 4 4 の膜厚方向も含め液晶層 4 4 4 全体における液晶分子を応答させることができ、白透過率が向上する。その結果、白透過率と黒透過率(黒表示時の光の透過率)との比であるコントラスト比を高くすることができる。

【0124】

また、図 6 に示す表示装置は、第 2 の絶縁膜 4 0 9 の上に、第 3 の絶縁膜 4 1 7 と遮光層 4 1 4 を有している。遮光層 4 1 4 は、トランジスタ 4 2 0 (少なくともトランジスタの半導体層を覆う領域)上に、第 1 の絶縁膜 4 0 7、第 2 の絶縁膜 4 0 9 を介して形成されており、半導体層に対する遮光層として機能する。一方、第 3 の絶縁膜 4 1 7 は、有彩色の透光性樹脂層であり、第 1 の電極 4 4 7、第 2 の電極 4 4 8、及び第 3 の電極 4 4 6 に重なる領域に形成され、カラーフィルタとして機能する。なお図 6 においては、第 2 の電極層 4 4 8 の一部は、遮光層 4 1 4 上に形成され、その上に液晶層 4 4 4 が設けられている。

【0125】

遮光層 4 1 4 を形成する材料としては、黒色の有機樹脂を用いることが好ましい。例えば、感光性又は非感光性のポリイミドなどの樹脂材料に、顔料系の黒色樹脂やカーボンブラック、チタンブラック等を混合させて形成すればよい。遮光層 4 1 4 の形成方法は、材料に応じて、スピコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)などの湿式法を用い、必要に応じてエッチング(ドライエッチング又はウエットエッチング)を行い、所望のパターンに加工すればよい。

【0126】

遮光層 4 1 4 を設けることにより、遮光層 4 1 4 は、画素の開口率を低下させることなくトランジスタ 4 2 0 の酸化物半導体層 4 0 3 への光の入射を遮断することができ、トランジスタ 4 2 0 の電気特性の変動を防止し安定化する効果が得られる。また、遮光層 4 1 4 を設けることにより、隣り合う画素への光漏れを防止することもできるため、より高コントラスト及び高精細な表示を行うことが可能になる。

【0127】

なお、図 6 において付した符号のうち、実施の形態 2 の図 5 と同じ符号を付した構造物については、図 5 と同様の材料や作製方法を適用することができるため、ここでは詳細な説明を省略する。

【0128】

(実施の形態 4)

本実施の形態においては、実施の形態 2 で説明した横電界方式の表示装置とは別の一例について説明する。

【0129】

実施の形態 2 で説明した図 5 に示す横電界方式の表示装置においては、カラーフィルタとして第 3 の絶縁膜 4 1 7 を用いていたが、本発明はこの構成に限定されない。例えば、図 7 に示すように、第 2 の基板 4 4 2 と偏光板 4 4 3 b の間にカラーフィルタ 4 5 0 が設けられた構成とすることもできる。このように、液晶層 4 4 4 を挟持する第 1 の基板 4 4 1 及び第 2 の基板 4 4 2 の外側に、カラーフィルタ 4 5 0 を設ける構成でもよい。カラーフィルタ 4 5 0 を形成する材料は、実施の形態 2 で説明した有彩色の透光性樹脂を用いることができる。

10

【0130】

図 7 においては、第 3 の絶縁膜 4 1 7 をカラーフィルタとして機能させる必要がないため、例えば第 3 の絶縁膜 4 1 7 を平坦化の機能を有する絶縁膜を用いて形成することが好ましい。平坦化の機能を有する絶縁膜としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料 (low-k 材料)、シロキサン系樹脂、PSG (リンガラス)、BPSG (リンボロンガラス) 等を用いることができる。また、これらの材料で形成される絶縁膜を複数積層させることで、第 3 の絶縁膜 4 1 7 を形成してもよい。

【0131】

また、実施の形態 3 で説明した図 6 と同様に、図 7 に示す表示装置は、第 1 の基板 4 4 1 側に設けられた第 2 の電極 4 4 8 (第 1 の共通電極) に加えて、対向基板 (第 2 の基板 4 4 2) 側に設けられた第 3 の電極 4 4 6 (第 2 の共通電極) を共通電極として有する。このとき、第 1 の基板側の第 2 の電極 4 4 8 と、第 2 の基板側の第 3 の電極 4 4 6 は、液晶層を間に挟んで互いに重畳するように配置されている。また、第 2 の電極 4 4 8 及び第 3 の電極 4 4 6 は等電位となるように設定することが好ましい。

20

【0132】

第 2 の基板側に第 3 の電極 4 4 6 を設けることにより、第 1 の電極 4 4 7 と第 3 の電極 4 4 6 との間に液晶層 4 4 4 に対して斜め方向 (第 1 の基板 4 4 1 の主表面に対して斜めの方向) の電界を加えることができるため、より効率よく液晶分子を制御できる。このように、液晶層 4 4 4 の膜厚方向も含め液晶層 4 4 4 全体における液晶分子を応答させることができ、白透過率が向上する。その結果、白透過率と黒透過率 (黒表示時の光の透過率) との比であるコントラスト比を高くすることができる。

30

【0133】

なお、図 7 において付した符号のうち、実施の形態 2 の図 5 と同じ符号を付した構造物については、図 5 と同様の材料や作製方法を適用することができるため、ここでは詳細な説明を省略する。

【0134】

(実施の形態 5)

本実施の形態では、表示装置の消費電力を更に抑制する構成について説明する。具体的には、表示装置の画素部における消費電力を抑制することに加え、表示装置の駆動回路部における消費電力を抑制する構成について説明する。

40

【0135】

図 8 は、表示装置のブロック図の一例を示すものである。ただし、本発明は図 8 の構成に限定されるものではない。

【0136】

図 8 に示す表示装置 1 0 0 0 は、表示パネル 1 0 0 1、信号生成回路 1 0 0 2、記憶回路 1 0 0 3、比較回路 1 0 0 4、選択回路 1 0 0 5、表示制御回路 1 0 0 6 を有する。また、表示パネル 1 0 0 1 は、駆動回路部 1 0 0 7、画素部 1 0 0 8 を有する。また、駆動回路部 1 0 0 7 は、ゲート線駆動回路 1 0 0 9 A、信号線駆動回路 1 0 0 9 B を有する。また、ゲート線駆動回路 1 0 0 9 A、信号線駆動回路 1 0 0 9 B は、複数の画素を有する

50

画素部 1008 を駆動する機能を有する。

【0137】

画素部 1008 を構成するトランジスタには、実施の形態 1 で説明したものをを用いる。すなわち、スイッチング用トランジスタとして、高純度の酸化物半導体層を有する n チャネル型のトランジスタを用いる。なお、駆動用トランジスタは、高純度の酸化物半導体層を用いた構成としてもよいし、シリコン層を用いた構成としてもよいが、本実施の形態においては、駆動用トランジスタにも高純度の酸化物半導体層を有する n チャネル型のトランジスタを適用する場合について説明する。

【0138】

本実施の形態においては、画素部 1008 を構成するトランジスタの一つであるスイッチング用トランジスタとして、高純度の酸化物半導体層を有する n チャネル型のトランジスタを用いることにより、画像信号等のデータの保持時間を長く取ることができる。このため、静止画等の表示を行う際に、信号の書き込みを行う頻度を低減できる。したがって、表示装置の低消費電力化を図ることができる。

10

【0139】

さらに、本実施の形態においては、静止画表示を行う際に、画素部に含まれる全ての信号線及び/または全ての走査線に供給される信号の出力を停止するように駆動回路部を動作させることにより、画素部だけでなく駆動回路部の消費電力も抑制することができる。すなわち、表示装置が静止画像を表示する期間の間に、前記画素部に含まれる全ての信号線及び/または全ての走査線に供給される信号の出力が停止される期間を有する。本実施の形態においては、駆動回路部の低消費電力化を実現するための一構成として、表示装置 1000 が信号生成回路 1002、記憶回路 1003、比較回路 1004、選択回路 1005、表示制御回路 1006 を有する。

20

【0140】

信号生成回路 1002 は、ゲート線駆動回路 1009A、及び信号線駆動回路 1009B を駆動するために必要な信号（制御信号）を生成する機能を有する。そして、信号生成回路 1002 は、配線を介して制御信号を駆動回路部 1007 に出力するとともに、配線を介して画像信号（ビデオ電圧、ビデオ信号、ビデオデータともいう）を記憶回路 1003 に出力する機能を有する。換言すれば、信号生成回路 1002 は、駆動回路部 1007 を駆動するための制御信号、及び画素部に供給する画像信号を生成し出力するための回路である。

30

【0141】

具体的には、信号生成回路 1002 は、制御信号として、ゲート線駆動回路 1009A、及び信号線駆動回路 1009B に電源電圧である高電源電位 V_{dd} 、低電源電位 V_{ss} を供給し、ゲート線駆動回路 1009A には、ゲート線駆動回路用のスタートパルス SP 、クロック信号 CK を供給し、信号線駆動回路 1009B には、信号線駆動回路用のスタートパルス SP 、クロック信号 CK を供給する。また信号生成回路 1002 は、動画像または静止画を表示するための画像信号 $Data$ を記憶回路 1003 に出力する。

【0142】

なお、動画像は、複数のフレームに時分割した複数の画像を高速に切り替えることで人間の目に動画像として認識される画像のことをいう。具体的には、1秒間に60回（60フレーム）以上画像を切り替えることで、人間の目にはちらつきが少なく動画像と認識される、連続する画像信号のことである。一方静止画は、動画像と異なり、複数のフレーム期間に時分割した複数の画像を高速に切り替えて動作させるものの、連続するフレーム期間、例えば n フレーム目と、 $(n+1)$ フレーム目とで画像信号が変化しない画像信号のことをいう。

40

【0143】

なお、信号生成回路 1002 は、他にも画像信号、ラッチ信号等を生成する機能を有していてもよい。また、信号生成回路 1002 は、ゲート線駆動回路 1009A 及び/または信号線駆動回路 1009B に対し、各駆動回路のパルス信号の出力を停止するためのリ

50

セット信号 R e s 信号を出力する機能を有していてもよい。また、各信号は第 1 のクロック信号、第 2 のクロック信号といったように複数の信号で構成される信号であってもよい。

【 0 1 4 4 】

なお、高電源電位 V d d とは、基準電位より高い電位のことであり、低電源電位とは基準電位以下の電位のことをいう。なお高電源電位及び低電源電位ともに、トランジスタが動作できる程度の電位であることが望ましい。

【 0 1 4 5 】

なお、電圧とは、ある電位と、基準の電位（例えばグラウンド電位）との電位差のことを示す場合が多い。よって、電圧、電位、電位差を、各々、電位、電圧、電圧差と言い換えることが可能である。

10

【 0 1 4 6 】

また、信号生成回路 1 0 0 2 から記憶回路 1 0 0 3 への画像信号の出力がアナログの信号の場合には、A / D コンバータ等を介してデジタルの信号に変換して、記憶回路 1 0 0 3 に出力する構成とすればよい。

【 0 1 4 7 】

記憶回路 1 0 0 3 は、複数のフレームに関する画像信号を記憶するための複数のフレームメモリ 1 0 1 0 を有する。なお、フレームメモリは、例えば D R A M (D y n a m i c R a n d o m A c c e s s M e m o r y)、S R A M (S t a t i c R a n d o m A c c e s s M e m o r y) 等の記憶素子を用いて構成すればよい。

20

【 0 1 4 8 】

なお、フレームメモリ 1 0 1 0 は、フレーム期間毎に画像信号を記憶する構成であればよく、フレームメモリの数について特に限定されるものではない。またフレームメモリ 1 0 1 0 の画像信号は、比較回路 1 0 0 4 及び選択回路 1 0 0 5 により選択的に読み出されるものである。

【 0 1 4 9 】

比較回路 1 0 0 4 は、記憶回路 1 0 0 3 に記憶された連続するフレーム期間の画像信号を選択的に読み出して、当該画像信号の比較を行い、差分を検出するための回路である。当該比較回路 1 0 0 4 での画像信号の比較により差分が検出された場合、当該差分が検出された連続するフレーム期間では動画像であると判断される。一方、比較回路 1 0 0 4 での画像信号の比較により差分が検出されなかった場合、当該差分が検出されなかった連続するフレーム期間では静止画であると判断される。すなわち、比較回路 1 0 0 4 での差分の検出によって、連続するフレーム期間の画像信号が、動画像を表示するための画像信号であるか、または静止画を表示するための画像信号であるか、の判断がなされるものである。なお、当該比較により得られる差分の検出は、一定のレベルを超えたときに差分を検出したと判断されるように設定してもよい。

30

【 0 1 5 0 】

選択回路 1 0 0 5 は、複数のスイッチ、例えばトランジスタで形成されるスイッチを設け、動画像を表示するための画像信号が比較回路での差分の検出により判断された際に、当該画像信号が記憶されたフレームメモリ 1 0 1 0 より画像信号を選択して表示制御回路 1 0 0 6 に出力するための回路である。なお比較回路 1 0 0 4 で比較したフレーム間の画像信号の差分が検出されなければ、当該連続するフレーム間で表示される画像は静止画であり、この場合、当該連続するフレーム期間の後半のフレームの画像信号について表示制御回路 1 0 0 6 に出力しない構成とすればよい。

40

【 0 1 5 1 】

表示制御回路 1 0 0 6 は、画像信号、高電源電位 V d d、低電源電位 V s s、スタートパルス S P、クロック信号 C K、及びリセット信号 R e s の制御信号に関して、駆動回路部 1 0 0 7 への供給または停止を切り替える為の回路である。具体的には、比較回路 1 0 0 4 により動画像と判断、すなわち連続フレーム期間の画像信号の差分が抽出された場合には、画像信号が選択回路 1 0 0 5 より表示制御回路 1 0 0 6 に供給される。そして、表

50

示制御回路1006を介して駆動回路部1007に画像信号が供給される。また、制御信号が表示制御回路1006を介して駆動回路部1007に供給されることとなる。一方、比較回路1004により静止画と判断、すなわち連続フレーム期間の画像信号の差分を抽出しない場合には、連続するフレーム期間のうち、後者の画像信号が選択回路1005より供給されないため、表示制御回路1006より駆動回路部1007に連続するフレーム期間のうち、後者の画像信号が供給されない。また、制御信号の駆動回路部1007への供給を表示制御回路1006が停止することとなる。

【0152】

なお、静止画と判断される場合において、静止画と判断される期間が短い場合には、制御信号のうち、高電源電位V_{dd}、低電源電位V_{ss}の停止を行わない構成としてもよい。この場合、頻繁に高電源電位V_{dd}、低電源電位V_{ss}の停止及び再開を行うことによる消費電力の増大を低減することができるため、好ましい。

10

【0153】

なお、画像信号及び制御信号の停止は、画素部1008の各画素で画像信号を保持できる期間にわたって行うことが望ましく、各画素での保持期間の後に再度画像信号を供給するよう、表示制御回路1006が先に供給した画像信号及び制御信号を再度供給するようにする構成とすればよい。

【0154】

なお、信号の供給とは、配線に所定の電位を供給することをいう。また、信号の停止とは、配線への所定の電位の供給を停止し、所定の固定電位が供給される配線、例えば低電源電位V_{ss}が供給された配線に電氣的に接続することをいう。または、信号の停止とは、所定の電位が供給されている配線との電氣的な接続を切断し、浮遊状態とすることをいう。

20

【0155】

上述のように映像信号を比較して動画像か静止画かを判定し、クロック信号やスタートパルス等の制御信号の駆動回路部への供給の再開または停止を選択的に行うことで、駆動回路部1007における消費電力を抑制することができる。

【0156】

次に、駆動回路部1007のゲート線駆動回路1009A、信号線駆動回路1009Bを構成するシフトレジスタの構成について図9に一例を示す。

30

【0157】

図9(A)に示すシフトレジスタは、第1のパルス出力回路10__1乃至第Nのパルス出力回路10__N(Nは3以上の自然数)を有している。図9(A)に示すシフトレジスタの第1のパルス出力回路10__1乃至第Nのパルス出力回路10__Nには、第1の配線11より第1のクロック信号CK1、第2の配線12より第2のクロック信号CK2、第3の配線13より第3のクロック信号CK3、第4の配線14より第4のクロック信号CK4が供給される。また第1のパルス出力回路10__1では、第5の配線15からのスタートパルスSP1(第1のスタートパルス)が入力される。また2段目以降の第nのパルス出力回路10__n(nは、2以上N以下の自然数)では、一段前段のパルス出力回路からの信号(前段信号OUT(n-1))という)が入力される。また第1のパルス出力回路10__1では、2段後段の第3のパルス出力回路10__3からの信号、が入力される。同様に、2段目以降の第nのパルス出力回路10__nでは、2段後段の第(n+2)のパルス出力回路10__(n+2)からの信号(後段信号OUT(n+2))という)が入力される。従って各段のパルス出力回路からは、後段及び/または二つ前段のパルス出力回路に入力するための第1の出力信号(OUT(1)(SR)~OUT(N)(SR))、別の配線等に入力される第2の出力信号(OUT(1)~OUT(N))が出力される。なお、図9(A)に示すように、シフトレジスタの最終段の2つの段には、後段信号OUT(n+2)が入力されないため、一例としては、別途第7の配線17より第2のスタートパルスSP2、第8の配線18より第3のスタートパルスSP3をそれぞれ入力する構成でもよい。または別途、内部で生成された信号であってもよい。例えば、表示部へのパルス

40

50

出力に寄与しない第 $(N + 1)$ のパルス出力回路 $10_ (N + 1)$ 、第 $(N + 2)$ のパルス出力回路 $10_ (N + 2)$ を設け(ダミー段ともいう)、当該ダミー段より第2のスタートパルス $(SP2)$ 及び第3のスタートパルス $(SP3)$ に相当する信号を生成する構成としてもよい。

【0158】

第1のクロック信号 $(CK1)$ 乃至第4のクロック信号 $(CK4)$ は、図10に示すように、一定の間隔でH信号とL信号を繰り返す信号である。また、第1のクロック信号 $(CK1)$ 乃至第4のクロック信号 $(CK4)$ は、順に $1/4$ 周期分遅延している。本実施の形態では、第1のクロック信号 $(CK1)$ 乃至第4のクロック信号 $(CK4)$ を利用して、パルス出力回路の駆動の制御等を行う。なお、クロック信号 CK は、入力される駆動回路に応じて、 GCK 、 SCK ということもあるが、ここでは CK として説明を行う。

10

【0159】

第1のパルス出力回路 10_1 乃至第 N のパルス出力回路 10_N の各々は、第1の入力端子 21 、第2の入力端子 22 、第3の入力端子 23 、第4の入力端子 24 、第5の入力端子 25 、第1の出力端子 26 、第2の出力端子 27 を有している(図9(B)参照)。

【0160】

第1の入力端子 21 、第2の入力端子 22 及び第3の入力端子 23 は、第1の配線 11 ～第4の配線 14 のいずれかと電氣的に接続されている。例えば、図9(A)、(B)において、第1のパルス出力回路 10_1 は、第1の入力端子 21 が第1の配線 11 と電氣的に接続され、第2の入力端子 22 が第2の配線 12 と電氣的に接続され、第3の入力端子 23 が第3の配線 13 と電氣的に接続されている。また、第2のパルス出力回路 10_2 は、第1の入力端子 21 が第2の配線 12 と電氣的に接続され、第2の入力端子 22 が第3の配線 13 と電氣的に接続され、第3の入力端子 23 が第4の配線 14 と電氣的に接続されている。

20

【0161】

また図9(A)、(B)において、第1のパルス出力回路 10_1 は、第4の入力端子 24 にスタートパルスが入力され、第5の入力端子 25 に後段信号 $OUT(3)$ が入力され、第1の出力端子 26 より第1の出力信号 $OUT(1)(SR)$ が出力され、第2の出力端子 27 より第2の出力信号 $OUT(1)$ が出力されていることとなる。

30

【0162】

次に、パルス出力回路の具体的な回路構成の一例について、図9(C)で説明する。

【0163】

図9(C)において第1のトランジスタ 31 は、第1端子が電源線 51 に電氣的に接続され、第2端子が第9のトランジスタ 39 の第1端子に電氣的に接続され、ゲートが第4の入力端子 24 に電氣的に接続されている。第2のトランジスタ 32 は、第1端子が電源線 52 に電氣的に接続され、第2端子が第9のトランジスタ 39 の第1端子に電氣的に接続され、ゲートが第4のトランジスタ 34 のゲートに電氣的に接続されている。第3のトランジスタ 33 は、第1端子が第1の入力端子 21 に電氣的に接続され、第2端子が第1の出力端子 26 に電氣的に接続されている。第4のトランジスタ 34 は、第1端子が電源線 52 に電氣的に接続され、第2端子が第1の出力端子 26 に電氣的に接続されている。第5のトランジスタ 35 は、第1端子が電源線 52 に電氣的に接続され、第2端子が第2のトランジスタ 32 のゲート及び第4のトランジスタ 34 のゲートに電氣的に接続され、ゲートが第4の入力端子 24 に電氣的に接続されている。第6のトランジスタ 36 は、第1端子が電源線 51 に電氣的に接続され、第2端子が第2のトランジスタ 32 のゲート及び第4のトランジスタ 34 のゲートに電氣的に接続され、ゲートが第5の入力端子 25 に電氣的に接続されている。第7のトランジスタ 37 は、第1端子が電源線 51 に電氣的に接続され、第2端子が第8のトランジスタ 38 の第2端子に電氣的に接続され、ゲートが第3の入力端子 23 に電氣的に接続されている。第8のトランジスタ 38 は、第1端子が第2のトランジスタ 32 のゲート及び第4のトランジスタ 34 のゲートに電氣的に接続さ

40

50

れ、ゲートが第2の入力端子22に電氣的に接続されている。第9のトランジスタ39は、第1端子が第1のトランジスタ31の第2端子及び第2のトランジスタ32の第2端子に電氣的に接続され、第2端子が第3のトランジスタ33のゲート及び第10のトランジスタ40のゲートに電氣的に接続され、ゲートが電源線51に電氣的に接続されている。第10のトランジスタ40は、第1端子が第1の入力端子21に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲートが第9のトランジスタ39の第2端子に電氣的に接続されている。第11のトランジスタ41は、第1端子が電源線52に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲートが第2のトランジスタ32のゲート及び第4のトランジスタ34のゲートに電氣的に接続されている。

10

【0164】

図9(C)において、第3のトランジスタ33のゲート、第10のトランジスタ40のゲート、及び第9のトランジスタ39の第2端子の接続箇所をノードNAとする。また、第2のトランジスタ32のゲート、第4のトランジスタ34のゲート、第5のトランジスタ35の第2端子、第6のトランジスタ36の第2端子、第8のトランジスタ38の第1端子、及び第11のトランジスタ41のゲートの接続箇所をノードNBとする。

【0165】

図9(C)におけるパルス出力回路が第1のパルス出力回路10__1の場合、第1の入力端子21には第1のクロック信号CK1が入力され、第2の入力端子22には第2のクロック信号CK2が入力され、第3の入力端子23には第3のクロック信号CK3が入力され、第4の入力端子24にはスタートパルスSP1が入力され、第5の入力端子25には後段信号OUT(3)が入力され、第1の出力端子26からはOUT(1)(SR)が出力され、第2の出力端子27からはOUT(1)が出力されることとなる。

20

【0166】

ここで、図9(C)に示したパルス出力回路を複数具備するシフトレジスタのタイミングチャートについて図10に示す。なおシフトレジスタが走査線駆動回路である場合、図10中の期間61は垂直帰線期間であり、期間62はゲート選択期間に相当する。

【0167】

図9で、一例として示した、nチャンネル型のトランジスタを複数用いて作製した駆動回路において、静止画及び動画像表示を行う際の、各配線の電位の供給または停止の手順について説明する。

30

【0168】

まず、駆動回路部1007の動作を停止する場合には、まず表示制御回路1006は、スタートパルスSPを停止する。次いで、スタートパルスSPの停止後、パルス出力がシフトレジスタの最終段まで達した後に、各クロック信号CKを停止する。次いで、電源電圧の高電源電位Vdd、及び低電源電位Vssを停止する(図12(A)参照)。また駆動回路部1007の動作を再開する場合には、まず表示制御回路1006は、電源電圧の高電源電位Vdd、及び低電源電位Vssを駆動回路部1007に供給する。次いで、クロック信号CKを供給し、次いでスタートパルスSPの供給を再開する(図12(B)参照)。

40

【0169】

なお、図9の説明では、リセット信号Resを供給しない駆動回路の構成について示したが、リセット信号Resを供給する構成について図11に示し説明する。

【0170】

図11(A)に示すシフトレジスタは、第1のパルス出力回路10__1乃至第Nのパルス出力回路10__N(Nは3以上の自然数)を有している。図11(A)に示すシフトレジスタの第1のパルス出力回路10__1乃至第Nのパルス出力回路10__Nには、第1の配線11より第1のクロック信号CK1、第2の配線12より第2のクロック信号CK2、第3の配線13より第3のクロック信号CK3、第4の配線14より第4のクロック信号CK4が供給される。また第1のパルス出力回路10__1では、第5の配線15からの

50

スタートパルス $SP1$ (第1のスタートパルス) が入力される。また2段目以降の第 n のパルス出力回路 10_n (n は、2以上 N 以下の自然数) では、一段前段のパルス出力回路からの信号 (前段信号 $OUT(n-1)$ という) が入力される。また第1のパルス出力回路 10_1 では、2段後段の第3のパルス出力回路 10_3 からの信号が入力される。同様に、2段目以降の第 n のパルス出力回路 10_n では、2段後段の第 $(n+2)$ のパルス出力回路 10_n からの信号 (後段信号 $OUT(n+2)$ という) が入力される。従って各段のパルス出力回路からは、後段及び/または二つ前段のパルス出力回路に入力するための第1の出力信号 ($OUT(1)(SR) \sim OUT(N)(SR)$)、別の配線等に入力される第2の出力信号 ($OUT(1) \sim OUT(N)(SR)$) が出力される。また各段のパルス出力回路には、第6の配線16よりリセット信号 Res が供給される。

10

【0171】

なお、図11に示すパルス出力回路が図9で示したパルス出力回路と異なる点は、リセット信号 Res を供給する第6の配線16を有する点にあり、他の箇所に関する点は上記図9の説明と同様である。

【0172】

第1のパルス出力回路 10_1 ~ 第 N のパルス出力回路 10_N の各々は、第1の入力端子21、第2の入力端子22、第3の入力端子23、第4の入力端子24、第5の入力端子25、第1の出力端子26、第2の出力端子27、第6の入力端子28を有している (図11(B)参照)。

20

【0173】

第1の入力端子21、第2の入力端子22及び第3の入力端子23は、第1の配線11~第4の配線14のいずれかと電氣的に接続されている。例えば、図11(A)、(B)において、第1のパルス出力回路 10_1 は、第1の入力端子21が第1の配線11と電氣的に接続され、第2の入力端子22が第2の配線12と電氣的に接続され、第3の入力端子23が第3の配線13と電氣的に接続されている。また、第2のパルス出力回路 10_2 は、第1の入力端子21が第2の配線12と電氣的に接続され、第2の入力端子22が第3の配線13と電氣的に接続され、第3の入力端子23が第4の配線14と電氣的に接続されている。

【0174】

また、図11(A)、図11(B)において、第1のパルス出力回路 10_1 は、第4の入力端子24にスタートパルスが入力され、第5の入力端子25に後段信号 $OUT(3)$ が入力され、第1の出力端子26より第1の出力信号 $OUT(1)(SR)$ が出力され、第2の出力端子27より第2の出力信号 $OUT(1)$ が出力され、第6の入力端子28よりリセット信号 Res が入力されていることとなる。

30

【0175】

次に、パルス出力回路の具体的な回路構成の一例について、図11(C)で説明する。

【0176】

図11(C)において第1のトランジスタ31は、第1端子が電源線51に電氣的に接続され、第2端子が第9のトランジスタ39の第1端子に電氣的に接続され、ゲートが第4の入力端子24に電氣的に接続されている。第2のトランジスタ32は、第1端子が電源線52に電氣的に接続され、第2端子が第9のトランジスタ39の第1端子に電氣的に接続され、ゲートが第4のトランジスタ34のゲートに電氣的に接続されている。第3のトランジスタ33は、第1端子が第1の入力端子21に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続されている。第4のトランジスタ34は、第1端子が電源線52に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続されている。第5のトランジスタ35は、第1端子が電源線52に電氣的に接続され、第2端子が第2のトランジスタ32のゲート及び第4のトランジスタ34のゲートに電氣的に接続され、ゲートが第4の入力端子24に電氣的に接続されている。第6のトランジスタ36は、第1端子が電源線51に電氣的に接続され、第2端子が第2のトランジスタ32のゲート

40

50

及び第4のトランジスタ34のゲートに電氣的に接続され、ゲートが第5の入力端子25に電氣的に接続されている。第7のトランジスタ37は、第1端子が電源線51に電氣的に接続され、第2端子が第8のトランジスタ38の第2端子に電氣的に接続され、ゲートが第3の入力端子23に電氣的に接続されている。第8のトランジスタ38は、第1端子が第2のトランジスタ32のゲート及び第4のトランジスタ34のゲートに電氣的に接続され、ゲートが第2の入力端子22に電氣的に接続されている。第9のトランジスタ39は、第1端子が第1のトランジスタ31の第2端子及び第2のトランジスタ32の第2端子に電氣的に接続され、第2端子が第3のトランジスタ33のゲート及び第10のトランジスタ40のゲートに電氣的に接続され、ゲートが電源線51に電氣的に接続されている。第10のトランジスタ40は、第1端子が第1の入力端子21に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲートが第9のトランジスタ39の第2端子に電氣的に接続されている。第11のトランジスタ41は、第1端子が電源線52に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲートが第2のトランジスタ32のゲート及び第4のトランジスタ34のゲートに電氣的に接続されている。また第2のトランジスタ32のゲート、第4のトランジスタ34のゲート、第5のトランジスタ35の第2端子、第6のトランジスタ36の第2端子、第8のトランジスタ38の第1端子、及び第11のトランジスタ41のゲートは、リセット信号Resを供給するための配線53に電氣的に接続されている。なおリセット信号Resは、第2のトランジスタ32のゲート、第4のトランジスタ34のゲート、第5のトランジスタ35の第2端子、第6のトランジスタ36の第2端子、第8のトランジスタ38の第1端子、及び第11のトランジスタ41のゲートの電位に高電源電位レベルの信号を供給することにより、パルス出力回路からの出力を強制的に低電源電位レベルの信号に落とすための信号である。

10

20

【0177】

図11(C)において、第3のトランジスタ33のゲート、第10のトランジスタ40のゲート、及び第9のトランジスタ39の第2端子の接続箇所をノードNAとする。また、第2のトランジスタ32のゲート、第4のトランジスタ34のゲート、第5のトランジスタ35の第2端子、第6のトランジスタ36の第2端子、第8のトランジスタ38の第1端子、及び第11のトランジスタ41のゲートの接続箇所をノードNBとする。

【0178】

図11(C)におけるパルス出力回路が第1のパルス出力回路10_1の場合、第1の入力端子21には第1のクロック信号CK1が入力され、第2の入力端子22には第2のクロック信号CK2が入力され、第3の入力端子23には第3のクロック信号CK3が入力され、第4の入力端子24にはスタートパルスSPが入力され、第5の入力端子25には後段信号OUT(3)が入力され、第1の出力端子26からはOUT(1)(SR)が出力され、第2の出力端子27からはOUT(1)が出力され、第6の入力端子28にはリセット信号Resが入力される。

30

【0179】

なお、図11(C)に示したパルス出力回路を複数具備するシフトレジスタのタイミングチャートについては、図10に示すタイミングチャートと同様である。

40

【0180】

図11で、一例として示した、nチャンネル型のトランジスタを複数用いて作製した駆動回路において、静止画及び動画像表示をおこなう際の、各配線の電位の供給または停止の手順について説明する。

【0181】

まず駆動回路部1007の動作を停止する場合には、まず表示制御回路1006は、スタートパルスSPを停止する。次いで、スタートパルスSPの停止後、パルス出力がシフトレジスタの最終段まで達した後に、各クロック信号CKを停止する。次いで、リセット信号Resを供給する。次いで、電源電圧の高電源電位Vdd、及び低電源電位Vssを停止する(図12(C)参照)。また駆動回路部1007の動作を再開する場合には、ま

50

ず表示制御回路1006は、電源電圧の高電源電位V_{dd}、及び低電源電位V_{ss}を駆動回路部1007に供給する。次いで、リセット信号R_{es}を供給する。次いで、クロック信号C_Kを供給し、次いでスタートパルスS_Pの供給を再開する(図12(D)参照)。

【0182】

図11で説明したように、図9の構成に加えてリセット信号を供給する構成とすることにより、静止画と動画像の切り替えの際の信号の遅延等による誤動作を低減することができるため好適である。

【0183】

以上説明したように、高純度の酸化物半導体を用いたトランジスタを各画素に具備することにより、保持容量で電圧を保持できる期間を従来に比較して長く取ることができ、静止画等を表示する際の低消費電力化を図ることができる。さらに、静止画表示を行う際に、画素部に含まれる全ての信号線及び/または全ての走査線に供給される信号の出力を停止するように駆動回路部を動作させることにより、画素部だけでなく駆動回路部の消費電力も抑制することができる。

【0184】

(実施の形態6)

本実施の形態では、ブルー相を示す液晶材料を含む表示装置の一例について説明する。特に、画素の構成の一例について説明する。

【0185】

まず、ブルー相を示す液晶材料の電圧に対する透過率特性について図26を用いながら説明する。図26において、横軸は印加電圧を表しており、画素電極と共通電極との電位差に相当する。ここでは、共通電極をGND線(接地線)に接続し、画素電極に電圧を印加した。縦軸は透過光強度を表し、光源の光が各試料を透過した後の光の強度を測定したものである。

【0186】

測定試料は、比較試料、試料1、試料2の3つとした。試料1、試料2は、ブルー相を示す液晶材料を用いたものであり、比較試料は、従来のPVA方式の液晶を用いたものである。試料1は、第1の構造体を覆うように設けられた画素電極と、第2の構造体を覆うように設けられた共通電極とを第1の基板に有する電極構造(図5参照)である。また、試料2は、第1の構造体を覆うように設けられた画素電極と、第2の構造体を覆うように設けられた第1の共通電極とを第1の基板に有し、第1の共通電極と対向するように設けられた第2の共通電極を第2の基板(対向基板)に有する電極構造(図6参照)である。なお、第1の共通電極と第2の共通電極は、ともにGND線(接地線)に接続され、同電位としている。

【0187】

図26の比較試料に示すように、従来のPVA方式の液晶はしきい値電圧を有し、原点を通らない。一方、図26の試料1、2に示すように、ブルー相を示す液晶材料はしきい値電圧を持たず、原点を通る。そして、下に凸となる領域を有する。したがって、ブルー相を示す液晶材料の特性を生かし、下に凸となる領域の範囲内で階調表示を行うように表示装置の動作設定をすることで、補正を自動的に行うことができる。例えば、図26に示す試料1、2の場合、0ボルトからXボルトの範囲内で表示装置を動作させるように設定すればよい。ただし、輝度の極めて高い階調表示を行いたい場合は、Xボルト以上の電圧を印加するように表示装置を動作させてもよい。下に凸となる領域の範囲内で階調表示を行う場合、補正回路を表示装置に設ける必要がなくなり、低コストの表示装置を提供することができる。ここで、表示装置に補正回路を設けない場合、画素に入力される信号の階調信号は、各階調ごとに等間隔の電圧差を有することとなる。または、表示装置に補正回路を設けない場合、デジタルアナログコンバータ(以下、DACという。)の出力信号と、画素に入力される信号のビット数は同じである。

【0188】

例えば、図3に示すように、信号線駆動回路1241(ソースドライバ)に入力された

ビデオ信号をDAC1242に入力してアナログ信号に変換した後、このアナログ信号を補正することなく画素部1243に出力する構成とすることができる。なお、図3においては、信号線駆動回路1241の一部としてDAC1242を有する構成としているが、本発明はこの構成に限定されない。また、ビデオ信号としてテレビ用のビデオ信号が信号線駆動回路1241に入力される場合、テレビ用のビデオ信号を逆補正した後にDAC1242に入力してアナログ信号に変換し、このアナログ信号を補正することなく画素部1243に出力すればよい。

【0189】

また、補正回路を設けなくてもよいため、容量分割型のデジタルアナログコンバータ（以下、C-DACという。）を用いることができる。補正回路を必要とする表示装置の場合、DACとして抵抗分割型を用いる必要がある。抵抗分割型のデジタルアナログコンバータ（以下、R-DACという。）は、直列に接続された異なる抵抗値を有する抵抗素子を用いることにより、補正をおこなっている。この結果、R-DACは、抵抗素子に電流が流れ続けてしまい、消費電力が高くなってしまふ。また、多階調表示を行おうとすると、多くの抵抗素子が必要となってしまい、DACのサイズが大きくなってしまふ。一方、C-DACは、電流が流れ続けることがないため、消費電力を抑制できる。また、C-DACは多階調表示を行う場合、線形な電圧しか出力することが困難であるが、ブルー相を示す液晶材料は、液晶容量が電圧に対して線形で変化する。このため、ブルー相を示す液晶材料を液晶層として用いた場合、C-DACを適用することができる。

【0190】

C-DACとしては、様々な回路構成を用いることができる。例えば、図27(A)に示すような構成のC-DACを用いることができる。図27(A)に示すC-DACは、3ビットの回路であり、第1のスイッチ乃至第4のスイッチ1211~1214と、第1の容量素子乃至第3の容量素子1201~1203と、アンプ1210を有する。そして、第1の容量素子乃至第3の容量素子1201~1203の容量の比率は、1:2:4とする。なお、C-DACのビット数は3ビットに限定されるものではなく、ビット数に応じてスイッチや容量素子の数を適宜変更すればよい。

【0191】

C-DACの動作は、下記の3つのステップを有する。まず第1のステップでは、第1のスイッチ乃至第4のスイッチ1211~1214を共通電位Vcom側に導通させ、全容量（第1の容量素子乃至第3の容量素子1201~1203）を放電させる。次に、第2のステップでは、第4のスイッチ1214を非導通（オフ）にする。次に、第3のステップでは、デジタル信号（ビデオ信号）によって、第1のスイッチ乃至第3のスイッチ1211~1213のうち所定のスイッチを第1の配線側に導通させる。なお、C-DACを1つ用いて画素に信号を出力する場合は、第1の配線には、正極信号のときは電位V_Hが与えられ、負極信号のときは電位V_Lが与えられている。また、C-DACを2つ用いて画素に信号を出力する場合は、一方のC-DACにおける第1の配線には電位V_Hが与えられ、他方のC-DACにおける第1の配線には電位V_Lが与えられている。このようにして、C-DACに入力されたデジタル信号を、アナログ信号に変換して出力することができる。例えば、3階調のアナログ信号を出力したい場合は、第1のスイッチ乃至第3のスイッチ1211~1213のうち、ステップ3において第2のスイッチ1212のみを第1の配線側に導通させればよい。また、1階調のアナログ信号を出力したい場合は、ステップ3において第2のスイッチ乃至第4のスイッチ（1212~1214）の全てを共通電位Vcom側に導通させておけばよい。

【0192】

第1のスイッチ乃至第4のスイッチ1211~1214としては、種々の素子を用いることができるが、例えば線形領域で動作させるようにしたトランジスタを用いることができる。例えば、図27(B)に示すように、第1のスイッチ1211を第1のトランジスタ1221と第2のトランジスタ1222で構成し、第2のスイッチ1212を第3のトランジスタ1223と第4のトランジスタ1224で構成し、第3のスイッチ1213を

10

20

30

40

50

第5のトランジスタ1225と第6のトランジスタ1226で構成し、第4のスイッチ1214を第7のトランジスタ1227で構成することができる。また、図27(B)においては、アンプとしてオペアンプ1220を用いている。

【0193】

本実施の形態では、第1のトランジスタ乃至第7のトランジスタ1221～1227として、実施の形態1で説明した高純度の酸化物半導体を有するトランジスタを用いる。この場合、電荷漏れの非常に少ない容量素子を形成することができるため、第1の容量素子乃至第3の容量素子1201～1203のサイズを小さくすることができる。したがって、所定の占有面積内にDACを形成する場合、従来に比べて階調数を増加させることが可能となる。

10

【0194】

(実施の形態7)

本実施の形態では、実施の形態1で説明したトランジスタ6401の構造の一例、及びその作製方法の一例について説明する。すなわち、高純度の酸化物半導体を用いたトランジスタの構造の一例、及びその作製方法の一例について説明する。

【0195】

まず、図13(A)、図13(B)にトランジスタの平面及び断面構造の一例を示す。図13(A)はトップゲート構造のトランジスタ410の平面図であり、図13(B)は図13(A)の線C1-C2における断面図である。

【0196】

トランジスタ410は、基板400上に、絶縁層404、酸化物半導体層412、第1の電極(ソース電極及びドレイン電極の一方)415a、第2の電極(ソース電極及びドレイン電極の他方)415b、ゲート絶縁層402、及びゲート電極411を有し、第1の電極415a、第2の電極415bにはそれぞれ配線層(第1の配線)414a、配線層(第2の配線)414bが接して設けられ、電気的に接続されている。

20

【0197】

なお、図13(A)に示すトランジスタ410はシングルゲート構造のトランジスタを示しているが、本発明はこの構成に限定されるものではなく、ゲート電極を複数有し、チャネル形成領域を複数有するマルチゲート構造のトランジスタとしてもよい。

【0198】

次に、図14(A)乃至(E)を用いながら、トランジスタ410を作製する工程について説明する。

30

【0199】

まず、基板400上に下地膜となる絶縁層407を形成する。

【0200】

基板400として使用可能な基板に大きな制限はないが、少なくとも後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いるとよい。基板400の具体例としては、ガラス基板、結晶化ガラス基板、セラミック基板、石英基板、サファイア基板、プラスチック基板等が挙げられる。また、ガラス基板の具体的な材料例としては、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスが挙げられる。

40

【0201】

絶縁層407としては、酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、または酸化窒化アルミニウム層などの酸化物絶縁層を用いると好ましい。絶縁層407の形成方法としては、プラズマCVD法、スパッタリング法等を用いることができるが、絶縁層407中に水素が多量に含まれないようにするためには、スパッタリング法で絶縁層407を成膜することが好ましい。本実施の形態においては、絶縁層407としてスパッタリング法により酸化シリコン層を形成する。具体的には、基板400を処理室へ搬送した後、水素及び水分が除去された高純度酸素を含むスパッタガスを導入し、シリコンまたはシリコン酸化物のターゲットを用いて、基板400上に絶縁層407として酸化シリコ

50

ン層を成膜する。なお、成膜時の基板400は室温でもよいし、加熱されていてもよい。

【0202】

成膜条件の具体例としては、ターゲットとして石英（好ましくは合成石英）を用い、基板温度108℃、基板400とターゲット間の距離（T-S間距離）を60mm、圧力0.4Pa、高周波電源1.5kW、酸素及びアルゴン（酸素流量25sccm：アルゴン流量25sccm=1：1）雰囲気下でRFスパッタリング法により酸化シリコン膜を成膜する。膜厚は100nmとする。なお、ターゲットとして石英（好ましくは合成石英）に代えてシリコンターゲットを用いることもできる。また、スパッタガスとして酸素及びアルゴンの混合ガスに代えて酸素ガスを用いてもよい。ここで、絶縁層407を成膜する際に用いるスパッタガスは、水素、水、水酸基又は水素化合物などの不純物の濃度がppmレベル、好ましくはppbレベルまで除去された高純度ガスを用いる。

10

【0203】

また、絶縁層407の成膜時において、処理室内の残留水分を除去しつつ絶縁層407を成膜することにより、絶縁層407に水素、水酸基又は水分が含まれないようにすることが好ましい。

【0204】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いればよい。例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプを用いることができる。また、排気手段としては、ターボポンプにコールドトラップを加えることが好ましい。クライオポンプを用いて排気した処理室は、水素原子や、水（H₂O）等の水素原子を含む化合物等が排気されるため、当該処理室で成膜した絶縁層407は、水素原子が極力取り込まれにくく好ましい。

20

【0205】

スパッタリング法にはスパッタ用電源に高周波電源を用いるRFスパッタリング法と、DCスパッタリング法があり、さらにパルス的にバイアスを与えるパルスDCスパッタリング法もある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属膜を成膜する場合に用いられる。

【0206】

また、材料の異なるターゲットを複数設置可能な多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

30

【0207】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタリング法を用いるスパッタ装置を用いることができる。

【0208】

また、スパッタリング法を用いる成膜方法としては、成膜中にターゲット物質とスパッタガス成分とを化学反応させ、それらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアススパッタリング法もある。

【0209】

また、絶縁層407は単層構造に限定されず、積層構造でもよい。例えば、基板400側から窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、又は窒化酸化アルミニウムなどの窒化物絶縁層と、上記酸化物絶縁層との積層構造としてもよい。

40

【0210】

例えば、酸化シリコン層と基板との間に水素及び水分が除去された高純度窒素を含むスパッタガスを導入し、シリコンターゲットを用いて窒化シリコン層を成膜する。この場合においても、酸化シリコン層と同様に、処理室内の残留水分を除去しつつ窒化シリコン層を成膜することが好ましい。また、窒化シリコン層を形成する場合も、成膜時に基板を加熱してもよい。

【0211】

50

絶縁層407として窒化シリコン層と酸化シリコン層とを積層する場合、窒化シリコン層と酸化シリコン層を同じ処理室において、共通のシリコンターゲットを用いて成膜することができる。先に窒素を含むエッチングガスを導入して、処理室内に装着されたシリコンターゲットを用いて窒化シリコン層を形成し、次にエッチングガスを酸素を含むエッチングガスに切り替えて同じシリコンターゲットを用いて酸化シリコン層を成膜する。この方法を用いる場合、窒化シリコン層と酸化シリコン層とを大気に曝露せずに連続して形成することができるため、窒化シリコン層表面に水素や水分などの不純物が吸着することを防止できる。

【0212】

次に、絶縁層407上に酸化物半導体層をスパッタリング法により形成する。

10

【0213】

酸化物半導体層に水素、水酸基及び水分が極力含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室で絶縁層407が形成された基板400を予備加熱し、基板400に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。また、この予備加熱は、後に形成するゲート絶縁層402の成膜前の基板400に対して行うことが好ましい。また、後に形成する第1の電極415a及び第2の電極415bまで形成した基板400に対しても同様に行うことが好ましい。ただし、これらの予備加熱の処理は省略してもよい。

【0214】

20

なお、酸化物半導体層をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、絶縁層407の表面に付着しているゴミを除去することも好ましい。逆スパッタとは、ターゲット側に電圧を印加せず、アルゴン雰囲気下で基板側に高周波電源を用いて電圧を印加することによって基板近傍にプラズマを形成し、表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素等を用いてもよい。

【0215】

酸化物半導体層のターゲットとしては、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。例えば、組成比として、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ [mol%]、すなわち、 $In : Ga : Zn = 1 : 1 : 0.5$ [atom%]のターゲットを用いることができる。また、 $In : Ga : Zn = 1 : 1 : 1$ [atom%]、又は $In : Ga : Zn = 1 : 1 : 2$ [atom%]の組成比を有するターゲットを用いることもできる。また、 SiO_2 を2重量%以上10重量%以下含むターゲットを用いることもできる。金属酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体層を緻密な膜とすることができる。

30

【0216】

なお、酸化物半導体層の成膜の際は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス及び酸素混合雰囲気下とすればよい。ここで、酸化物半導体層を成膜する際に用いるスパッタガスは、水素、水、水酸基又は水素化物などの不純物の濃度がppmレベル、好ましくはppbレベルまで除去された高純度ガスを用いる。

40

【0217】

酸化物半導体層は、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板400上に成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室は、例えば、水素原子、水(H_2O)など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該処理室で成膜した酸化物半導体層に含まれ

50

る不純物の濃度を低減できる。また、酸化物半導体層成膜時に基板を室温状態のままとするか、または400 未満の温度に加熱してもよい。

【0218】

酸化物半導体層の成膜条件の一例としては、基板温度室温、基板とターゲットの間との距離を110mm、圧力0.4Pa、直流(DC)電源0.5kW、酸素及びアルゴン(酸素流量15sccm:アルゴン流量30sccm)雰囲気下の条件が挙げられる。なお、パルス直流(DC)電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体層の膜厚は、膜厚2nm以上200nm以下とすればよく、好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体の材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

10

【0219】

以上では、酸化物半導体として、三元系金属酸化物であるIn-Ga-Zn-O系酸化物を用いる例を示したが、その他にも、四元系金属酸化物であるIn-Sn-Ga-Zn-Oや、他の三元系金属酸化物であるIn-Sn-Zn-O、In-Al-Zn-O、Sn-Ga-Zn-O、Al-Ga-Zn-O、Sn-Al-Zn-Oや、二元系金属酸化物であるIn-Zn-O、Sn-Zn-O、Al-Zn-O、Zn-Mg-O、Sn-Mg-O、In-Mg-Oや、In-O、Sn-O、Zn-Oなどの酸化物半導体層を用いることができる。また、上記酸化物半導体層はSiを含んでいてもよい。また、これらの酸化物半導体層は、非晶質であってもよいし、結晶質であってもよい。または、非単結晶であってもよいし、単結晶であってもよい。

20

【0220】

また、酸化物半導体層として、 $InMO_3(ZnO)_m$ ($m > 0$) で表記される薄膜を用いることもできる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素である。例えば、Mとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoが挙げられる。

【0221】

次に、酸化物半導体層を第1のフォトリソグラフィ工程により島状の酸化物半導体層412に加工する(図14(A)参照。)。なお、島状の酸化物半導体層412を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

30

【0222】

なお、酸化物半導体層のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。

【0223】

ドライエッチングを行う場合、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節する。

40

【0224】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl_2)、塩化硼素(BCl_3)、塩化珪素($SiCl_4$)、四塩化炭素(CCl_4)など)が好ましいが、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF_4)、六弗化硫黄(SF_6)、三弗化窒素(NF_3)、トリフルオロメタン(CHF_3)など)、臭化水素(HBr)、酸素(O_2)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス等を用いることもできる。

【0225】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液、アンモニア過水(例えば、体積比で31重量%過酸化水素水:28重量%アンモニア水:水=5:2:2となるように混合した溶液)などを用いることができる。また、ITO0

50

7 N (関東化学社製) を用いてもよい。エッチングの条件 (エッチング液、エッチング時間、温度等) については、酸化物半導体の材料に合わせて適宜調節すればよい。

【0226】

また、ウェットエッチングを行う場合、エッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれる材料 (例えば、インジウム等のレアメタル) を回収して再利用することにより、資源を有効活用することができる。

【0227】

本実施の形態では、エッチング液として燐酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチング法により、酸化物半導体層を島状の酸化物半導体層 412 に加工する。

10

【0228】

次に、酸化物半導体層 412 に第1の加熱処理を行う。第1の加熱処理の温度は、400 以上750 以下、好ましくは400 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450 において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぐ。この第1の加熱処理によって酸化物半導体層 412 から水素、水、及び水酸基等を除去することができる。

【0229】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光 (電磁波) の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体としては、不活性ガス (代表的には、アルゴン等の希ガス) または窒素ガスを用いることができる。

20

【0230】

例えば、第1の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いることにより、短時間での高温加熱処理が可能となる。

30

【0231】

第1の加熱処理の際の雰囲気には、水、水素などが含まれないようにすることが好ましい。または、加熱処理装置の装置内に導入する窒素、ヘリウム、ネオン、アルゴン等のガスの純度を、6N (99.9999%) 以上、好ましくは7N (99.99999%) 以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下) とすることが好ましい。

40

【0232】

なお、第1の加熱処理の条件、または酸化物半導体層の材料によっては、第1の加熱処理により島状の酸化物半導体層 412 が結晶化し、微結晶化または多結晶化する場合もある。例えば、結晶化率が80%以上の微結晶の酸化物半導体層となる場合もある。ただし、第1の加熱処理を行っても島状の酸化物半導体層 412 が結晶化せず、非晶質の酸化物半導体層となる場合もある。また、非晶質の酸化物半導体層の中に微結晶部 (粒径1nm以上20nm以下 (代表的には2nm以上4nm以下)) が混在する酸化物半導体層となる場合もある。

【0233】

また、酸化物半導体層に対する第1の加熱処理は、島状の酸化物半導体層に加工する前

50

の酸化物半導体層に行ってもよい。この場合、第1の加熱処理後に、加熱処理装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0234】

第1の加熱処理においては、酸化物半導体層中から水素、水、及び水酸基等の不純物を除去することを主な目的としているが、この加熱処理の際に酸化物半導体層中に酸素欠損が生じてしまうおそれがある。このため、第1の加熱処理の後に、加酸化処理を行うことが好ましい。加酸化処理の具体例としては、第1の加熱処理の後、連続して酸素雰囲気または窒素及び酸素を含む雰囲気（窒素：酸素の体積比 = 4 : 1）での加熱処理を行う方法が挙げられる。また、酸素雰囲気下でのプラズマ処理を行う方法を用いることもできる。

【0235】

酸化物半導体層に対する脱水化、脱水素化の効果を奏する加熱処理は、酸化物半導体層成膜後、酸化物半導体層上にソース電極及びドレイン電極を積層させた後、ソース電極及びドレイン電極上にゲート絶縁層を形成した後、のいずれで行っても良い。

【0236】

次に、絶縁層407及び酸化物半導体層412上に、導電膜を形成する。導電膜は、スパッタリング法や真空蒸着法により形成すればよい。導電膜の材料としては、Al、Cu、Cr、Ta、Ti、Mo、W、Yなどの金属材料、該金属材料を成分とする合金材料、導電性を有する金属酸化物等が挙げられる。例えば、Si、Ti、Ta、W、Mo、Cr、Nd、Sc、YなどAl膜に生ずるヒロックやウイスキーの発生を防止する元素が添加されたAl材料を用いてもよく、この場合、耐熱性を向上させることができる。また、導電性を有する金属酸化物としては、酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、酸化インジウム酸化スズ合金（ In_2O_3 SnO_2 、ITOと略記する）、酸化インジウム酸化亜鉛合金（ In_2O_3 ZnO ）または前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

【0237】

また、導電膜は、単層構造としてもよいし、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層した2層構造、Ti膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を積層した3層構造が挙げられる。また、Al、Cuなどの金属層と、Cr、Ta、Ti、Mo、Wなどの高融点金属層とが積層された構成としてもよい。

【0238】

次に、第2のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行って第1の電極415a及び第2の電極415bを形成した後、レジストマスクを除去する（図14（B）参照。）。第1の電極415aはソース電極及びドレイン電極の一方として機能し、第2の電極415bはソース電極及びドレイン電極の他方として機能する。ここで、第1の電極415a及び第2の電極415bの端部がテーパ形状となるようにエッチングすると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。なお、第1の電極415a、第2の電極415bを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0239】

本実施の形態では第1の電極415a、第2の電極415bとしてスパッタリング法により膜厚150nmのチタン膜を形成する。

【0240】

また、導電膜のエッチングの際には、酸化物半導体層412が除去されてその下の絶縁層407が露出しないようにそれぞれの材料及びエッチング条件を適宜調節する必要がある。そこで、本実施の形態では、酸化物半導体層412としてIn-Ga-Zn-O系の酸化物半導体を用い、導電膜としてチタン膜を用い、エッチャントとしてアンモニア過水（アンモニア、水、過酸化水素水の混合液）を用いることにより、酸化物半導体層412の一部がエッチングされないようにしているが、本発明はこの構成に限定されない。すな

10

20

30

40

50

わち、第2のフォトリソグラフィ工程により、酸化物半導体層412の一部をエッチングし、溝部（凹部）を有する酸化物半導体層とすることもできる。

【0241】

第2のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光、またはArFレーザ光を用いればよい。酸化物半導体層412上で隣り合う第1の電極の下端部と第2の電極の下端部との間隔幅によって、後に形成されるトランジスタのチャンネル長Lが決定される。なお、チャンネル長 $L = 25\text{ nm}$ 未満の露光を行う場合には、数 nm ～数 10 nm と極めて波長が短い超紫外線（Extreme Ultraviolet）を用いて第2のフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。このため、後に形成されるトランジスタのチャンネル長Lを 10 nm 以上 1000 nm 以下とすることも可能である。この場合、トランジスタの動作速度を高速化でき、さらにオフ電流値が極めて小さいため、トランジスタの低消費電力化を図ることができる。

10

【0242】

次に、絶縁層407、酸化物半導体層412、第1の電極415a、第2の電極415b上にゲート絶縁層402を形成する（図14（C）参照。）。

【0243】

ゲート絶縁層402は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層又は積層して形成することができる。

20

【0244】

ゲート絶縁層402を形成する際は、水素が含まれないようにすることが好ましい。このため、成膜時の雰囲気において水素を極力減らすことが可能なスパッタリング法でゲート絶縁層402を成膜することが好ましい。スパッタリング法により酸化シリコン膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素、または酸素及びアルゴンの混合ガスを用いて行う。

【0245】

また、ゲート絶縁層402は、第1の電極415a、第2の電極415b側から順に酸化シリコン層と窒化シリコン層を積層した構造とすることもできる。例えば、第1のゲート絶縁層として膜厚 5 nm 以上 300 nm 以下の酸化シリコン層（ SiO_x （ $x > 0$ ））を形成し、第1のゲート絶縁層上に第2のゲート絶縁層として膜厚 50 nm 以上 200 nm 以下の窒化シリコン層（ SiN_y （ $y > 0$ ））を積層して、膜厚 100 nm のゲート絶縁層としてもよい。本実施の形態では、圧力 0.4 Pa 、高周波電源 1.5 kW 、酸素及びアルゴン（酸素流量 25 sccm ：アルゴン流量 $25\text{ sccm} = 1 : 1$ ）雰囲気下でRFスパッタリング法により膜厚 100 nm の酸化シリコン層を形成する。

30

【0246】

次に、第3のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってゲート絶縁層402の一部を除去することにより、第1の電極415a、第2の電極415bに達する開口421a、421bを形成する（図14（D）参照。）。なお、レジストマスクをインクジェット法で形成する場合、フォトマスクを使用しないため、製造コストを低減できる。

40

【0247】

次に、ゲート絶縁層402、及び開口421a、421b上に導電膜を形成した後、第4のフォトリソグラフィ工程によりゲート電極411、第1の配線414a、第2の配線414bを形成する。

【0248】

ゲート電極411、第1の配線414a、第2の配線414bの材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料、又はこれらを主成分とする合金材料を用いて、単層又は積層して形成することができる。ゲート電極411、第1の配線414a、及び第2の配線414bの2層

50

構造の具体例としては、アルミニウム層上にモリブデン層が積層された構造、銅層上にモリブデン層が積層された構造、銅層上に窒化チタン層若しくは窒化タンタル層が積層された構造、または窒化チタン層上にモリブデン層が積層された構造が挙げられる。また、3層構造の具体例としては、タンゲステン層または窒化タンゲステン層と、アルミニウム及びシリコンの合金層またはアルミニウム及びチタンの合金層と、窒化チタンまたはチタン層とが積層された構造が挙げられる。なお、透光性を有する導電膜を用いてゲート電極を形成することもできる。透光性を有する導電膜の具体例としては、透光性を有する導電性酸化膜が挙げられる。

【0249】

本実施の形態ではゲート電極411、第1の配線414a、第2の配線414bとしてスパッタリング法により膜厚150nmのチタン膜を形成する。

10

【0250】

次に、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う。本実施の形態では、窒素雰囲気下で250、1時間の第2の加熱処理を行う。なお、第2の加熱処理は、トランジスタ410上に保護絶縁層や平坦化絶縁層を形成してから行ってもよい。

【0251】

また、大気中、100以上200以下、1時間以上30時間以下での加熱処理を更に行ってもよい。この加熱処理は、一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回繰り返して行ってもよい。また、この加熱処理を酸化物絶縁層の形成前に減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができるので好ましい。

20

【0252】

以上の工程により、水素、水分、水素化物、水酸化物の濃度が低減された、高純度の酸化物半導体層412を有するトランジスタ410を形成することができる（図14(E)参照）。トランジスタ410は、実施の形態1で説明したトランジスタ6401等として適用することができる。

【0253】

また、トランジスタ410上に保護絶縁層や、平坦化のための平坦化絶縁層を設けてもよい。保護絶縁層としては、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層又は積層して形成することができる。また、平坦化絶縁層としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることもできる。また、これらの材料で形成される絶縁膜を複数積層させることで平坦化絶縁層を形成してもよい。

30

【0254】

ここで、シロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

40

【0255】

平坦化絶縁層の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

【0256】

上述したように、酸化物半導体層を成膜するに際し、反応雰囲気中の残留水分を除去することで、酸化物半導体層中の水素及び水素化物の濃度を低減することができる。

50

【0257】

本実施の形態で説明した酸化物半導体層を有するトランジスタは、極めて高いドレイン耐圧を有する。このため、ブルー相を示す液晶材料を利用した表示装置のように駆動電圧が高い場合であっても、本実施の形態で説明した酸化物半導体層を有するトランジスタを、表示装置の表示部を構成する画素に用いることにより、信頼性の高い表示装置を提供することができる。それに加えて、高純度の酸化物半導体を用いたトランジスタは、オフ電流を 1×10^{-13} A以下、好ましくは 1×10^{-16} A以下に低減することができる。このため、保持容量で電圧を保持できる期間を長く取ることができるので、静止画等を表示する際の消費電力を抑制することができる。

【0258】

(実施の形態8)

本実施の形態では、実施の形態1で説明したトランジスタ6401の構造の一例、及びその作製方法の一例について説明する。すなわち、高純度の酸化物半導体を用いたトランジスタの構造の一例、及びその作製方法の一例について図15を用いながら説明する。

【0259】

図15(A)乃至(E)にトランジスタの断面構造の一例を示す。図15(E)に示すトランジスタ390は、ボトムゲート構造の一つであり逆スタガ型のトランジスタともいう。このトランジスタ390を、実施の形態1で説明したトランジスタ6401等に用いることができる。なお、トランジスタ390はシングルゲート構造のトランジスタを示しているが、本発明はこの構成に限定されるものではなく、ゲート電極を複数有し、チャネル形成領域を複数有するマルチゲート構造のトランジスタとしてもよい。

【0260】

以下、図15(A)乃至(E)を用い、基板394上にトランジスタ390を作製する方法について説明する。

【0261】

まず、基板394上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極391を形成する。形成されたゲート電極の端部はテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0262】

ここで、基板394の材料については、実施の形態7で説明した基板400と同様のものを採用することができる。また、ゲート電極391の材料や成膜方法等は、実施の形態7で説明したゲート電極411と同様のものを採用することができる。

【0263】

なお、基板394とゲート電極391との間に、下地膜となる絶縁膜を設けてもよい。下地膜は、基板394からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、または酸化窒化シリコン膜から選ばれた一からなる単層構造、またはこれらから選ばれた複数の膜による積層構造により形成すればよい。

【0264】

次に、ゲート電極391上にゲート絶縁層397を形成する。

【0265】

ゲート絶縁層397は、プラズマCVD法またはスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、または酸化アルミニウム層を単層または積層して形成することができる。なお、ゲート絶縁層397中に水素が多量に含まれないようにするために、スパッタリング法でゲート絶縁層397を成膜することが好ましい。スパッタリング法により酸化シリコン膜を成膜する場合には、ターゲットとしてシリコンターゲットまたは石英ターゲットを用い、スパッタガスとして酸素または、酸素及びアルゴンの混合ガスを用いて行う。

【0266】

10

20

30

40

50

ゲート絶縁層 397 は、ゲート電極 391 側から順に窒化シリコン層と酸化シリコン層を積層した構造とすることもできる。例えば、第 1 のゲート絶縁層としてスパッタリング法により膜厚 50 nm 以上 200 nm 以下の窒化シリコン層 (SiN_y ($y > 0$)) を形成し、第 1 のゲート絶縁層上に第 2 のゲート絶縁層として膜厚 5 nm 以上 300 nm 以下の酸化シリコン層 (SiO_x ($x > 0$)) を積層して、膜厚 100 nm のゲート絶縁層とすればよい。

【0267】

次に、ゲート絶縁層 397 上に、膜厚 2 nm 以上 200 nm 以下の酸化物半導体層 393 を形成する (図 15 (A) 参照。)。

【0268】

ここで、酸化物半導体層 393 の材料や成膜方法等は、実施の形態 7 で説明した酸化物半導体層 (島状の酸化物半導体層 412) と同様のものを採用することができる。

【0269】

例えば、酸化物半導体層 393 をスパッタリング法により形成する際の成膜条件の一例としては、基板とターゲットの間との距離を 100 mm、圧力 0.6 Pa、直流 (DC) 電源 0.5 kW、酸素 (酸素流量比率 100%) 雰囲気下の条件が挙げられる。なお、パルス直流 (DC) 電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体層 393 の膜厚は、膜厚 2 nm 以上 200 nm 以下とすればよく、好ましくは 5 nm 以上 30 nm 以下とする。なお、適用する酸化物半導体の材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

【0270】

なお、酸化物半導体層 393 を成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層 397 の表面に付着しているゴミを除去することが好ましい。

【0271】

また、ゲート絶縁層 397、酸化物半導体層 393 に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極 391 が形成された基板 394、またはゲート絶縁層 397 までが形成された基板 394 を予備加熱し、基板 394 に吸着した水素、水分などの不純物を脱離し排気することが好ましい。予備加熱の温度としては、100 以上 400 以下、好ましくは 150 以上 300 以下とすればよい。また、予備加熱室に設ける排気手段はクライオポンプが好ましい。また、この予備加熱は、保護絶縁層 396 の成膜前に、第 1 の電極 395 a 及び第 2 の電極 395 b まで形成した基板 394 に対して同様に行ってもよい。

【0272】

次に、酸化物半導体層を第 2 のフォトリソグラフィ工程により島状の酸化物半導体層 399 に加工する (図 15 (B) 参照。)。なお、島状の酸化物半導体層 399 の加工方法については、実施の形態 7 で説明した島状の酸化物半導体層 412 を形成する際の加工方法と同様のものを採用することができる。

【0273】

なお、次工程の導電膜を形成する前に逆スパッタを行い、酸化物半導体層 399 及びゲート絶縁層 397 の表面に付着しているレジスト残渣などを除去することが好ましい。

【0274】

次に、ゲート絶縁層 397 及び酸化物半導体層 399 上に導電膜を形成する。導電膜の成膜方法は、スパッタリング法や真空蒸着法等を用いればよい。また、導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素、またはこれらの元素を成分とする合金、またはこれらの元素を複数組み合わせ合わせた合金等を用いることができる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、イットリウムのいずれか一または複数から選択された材料を含んでもよい。また、透光性を有する導電膜を用いてもよい。透光性を有する導電膜の具体例としては、透光性を有する導電性酸化膜が挙げられる。

10

20

30

40

50

【0275】

また、導電膜は、単層構造でもよいし、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、Ti膜と、そのTi膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を成膜する3層構造などが挙げられる。

【0276】

次に、第3のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行って第1の電極395a、第2の電極395bを形成した後、レジストマスクを除去する(図15(C)参照。)。ここで、導電膜のエッチングの際には、酸化物半導体層399が除去されてその下のゲート絶縁層397が露出しないようにそれぞれの材料及びエッチング条件を適宜調節する必要がある。そこで、本実施の形態では、酸化物半導体層399としてIn-Ga-Zn-O系の酸化物半導体を用い、導電膜としてチタン膜を用い、エッチャントとしてアンモニア過水(アンモニア、水、過酸化水素水の混合液)を用いることにより、酸化物半導体層399の一部がエッチングされないようにしているが、本発明はこの構成に限定されない。すなわち、第3のフォトリソグラフィ工程により、酸化物半導体層399の一部をエッチングし、溝部(凹部)を有する酸化物半導体層とすることもできる。

【0277】

第3のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光、またはArFレーザ光を用いればよい。酸化物半導体層399上で隣り合うソース電極の下端部とドレイン電極の下端部との間隔幅によって、後に形成されるトランジスタのチャンネル長Lが決定される。なお、チャンネル長L=25nm未満の露光を行う場合には、数nm~数10nmと極めて波長が短い超紫外線(Extreme Ultraviolet)を用いて第3のフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。このため、後に形成されるトランジスタのチャンネル長Lを10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さいため、トランジスタの低消費電力化を図ることができる。

【0278】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0279】

また、N₂O、N₂、またはArなどのガスを用いたプラズマ処理によって露出している酸化物半導体層399の表面に付着した吸着水などを除去してもよい。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。本実施の形態では、上記いずれかのプラズマ処理を行う。

【0280】

次に、プラズマ処理を行った後、大気に触れることなく、露出されている酸化物半導体層399、第1の電極395a、及び第2の電極395bに接する保護絶縁膜396を形成する(図15(D)参照。)。このとき、酸化物半導体層399及び保護絶縁膜396に水素、水酸基または水分が含まれないようにするため、処理室内の残留水分を除去しつつ保護絶縁膜396を成膜することが好ましい。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることが好ましい。また、排気手段としては、タ

10

20

30

40

50

ーボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室は、例えば、水素原子や、水 (H_2O) など水素原子を含む化合物等が排気されるため、当該処理室で成膜した保護絶縁層 396 に含まれる不純物の濃度を低減できる。

【0281】

本実施の形態では、保護絶縁層 396 として酸化物絶縁層を形成する。保護絶縁層 396 の形成方法として、島状の酸化物半導体層 399、第 1 の電極 395a、及び第 2 の電極 395b が形成された基板 394 を室温状態のまま、または 100 未満の温度に加熱し、水素及び水分が除去された高純度酸素を含むスパッタガスを導入し、シリコン半導体のターゲットを用いて、酸化シリコン層を成膜する。なお、酸化物絶縁層として、酸化シリコン層に代えて、酸化窒化シリコン層、酸化アルミニウム層、または酸化窒化アルミニウム層などを用いることもできる。

10

【0282】

例えば、純度が 6N であり、ボロンがドーブされたシリコンターゲット (抵抗値 0.01 cm) を用い、基板とターゲット間の距離 (T-S 間距離) を 89mm、圧力 0.4 Pa、直流 (DC) 電源 6kW、酸素 (酸素流量比率 100%) 雰囲気下でパルス DC スパッタリング法により、酸化シリコン層を成膜する。酸化シリコン層の膜厚は 300nm とする。なお、シリコンターゲットに代えて石英 (好ましくは合成石英) を用いることもできる。スパッタガスは、酸素、または酸素及びアルゴンの混合ガスを用いればよい。

【0283】

さらに、保護絶縁層 396 と酸化物半導体層 399 とが接した状態で 100 乃至 400 で加熱処理を行うことが好ましい。本実施の形態における保護絶縁層 396 は欠陥を多く含むため、この加熱処理によって酸化物半導体層 399 中に含まれる水素、水分、水酸基または水素化物などの不純物を保護絶縁層 396 に拡散させ、酸化物半導体層 399 中に含まれる該不純物をより低減させることができる。

20

【0284】

以上の工程により、水素、水分、水酸基または水素化物の濃度が低減された酸化物半導体層 392 を有するトランジスタ 390 を形成することができる (図 15 (E) 参照。)。本実施の形態で説明したように、酸化物半導体層を成膜するに際し、反応雰囲気中の残留水分を除去することにより、該酸化物半導体層中の水素及び水素化物の濃度を低減することができる。この結果、真性又は実質的に真性な半導体が得られる。

30

【0285】

なお、保護絶縁層 396 上に絶縁層をさらに設けてもよい。本実施の形態では、保護絶縁層 396 上に絶縁層 398 を形成する。絶縁層 398 としては、窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを用いればよい。

【0286】

絶縁層 398 の形成方法としては、保護絶縁層 396 まで形成された基板 394 を 100 ~ 400 の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入し、シリコン半導体のターゲットを用いて窒化シリコン膜を成膜する。この場合においても、保護絶縁層 396 と同様に、処理室内の残留水分を除去しつつ絶縁層 398 を成膜することが好ましい。絶縁層 398 の成膜時に 100 ~ 400 に基板 394 を加熱することにより、酸化物半導体層 399 中に含まれる水素または水分を絶縁層 398 に拡散させることができる。この場合、保護絶縁層 396 の形成直後に加熱処理を行わなくてもよい。

40

【0287】

また、保護絶縁層 396 として酸化シリコン層を形成し、絶縁層 398 として窒化シリコン層を形成する場合、酸化シリコン層と窒化シリコン層を同じ処理室において、共通のシリコンターゲットを用いて成膜することができる。先に酸素を含むエッチングガスを導入して、処理室内に装着されたシリコンターゲットを用いて酸化シリコン層を形成し、次

50

にエッチングガスを窒素を含むエッチングガスに切り替えて同じシリコンターゲットを用いて窒化シリコン層を成膜する。酸化シリコン層と窒化シリコン層とを大気に曝露せずに連続して形成することができるため、酸化シリコン層表面に水素や水分などの不純物が吸着することを防止できる。なお、保護絶縁層396として酸化シリコン層を形成し、絶縁層398として窒化シリコン層を積層した後、酸化物半導体層中に含まれる水素若しくは水分を酸化物絶縁層に拡散させるための加熱処理（温度100乃至400）を行うことがさらに好ましい。

【0288】

保護絶縁層396の形成後、さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。

10

【0289】

上記の工程は、400以下の温度で行われるため、厚さが1mm以下で、一辺が1mを超えるガラス基板を用いる製造工程にも適用することができる。また、400以下の処理温度で全ての工程を行うことができるので、表示パネルを製造するためのエネルギー消費を低減することができる。

【0290】

本実施の形態で説明した酸化物半導体層を有するトランジスタは、極めて高いドレイン耐圧を有する。このため、ブルー相を示す液晶材料を利用した表示装置のように駆動電圧が高い場合であっても、本実施の形態で説明した酸化物半導体層を有するトランジスタを、表示装置の表示部を構成する画素に用いることにより、信頼性の高い表示装置を提供することができる。それに加えて、高純度の酸化物半導体を用いたトランジスタは、オフ電流を 1×10^{-13} A以下、好ましくは 1×10^{-16} A以下に低減することができる。このため、保持容量で電圧を保持できる期間を長く取ることができるので、静止画等を表示する際の消費電力を抑制することができる。

20

【0291】

（実施の形態9）

本実施の形態では、実施の形態1で説明したトランジスタ6401の構造の一例、及びその作製方法の一例について説明する。すなわち、高純度の酸化物半導体を用いたトランジスタの構造の一例、及びその作製方法の一例について図16を用いながら説明する。

30

【0292】

図16（A）乃至（D）にトランジスタの断面構造の一例を示す。図16（A）乃至（D）に示すトランジスタ360は、チャンネル保護型（チャンネルストップ型ともいう）と呼ばれるボトムゲート構造の一つであり逆スタガ型のトランジスタともいう。このトランジスタ360を、実施の形態1で説明したトランジスタ6401として用いることができる。なお、トランジスタ360はシングルゲート構造のトランジスタを示しているが、本発明はこの構成に限定されるものではなく、ゲート電極を複数有し、チャンネル形成領域を複数

40

【0293】

以下、図16（A）乃至（D）を用い、基板320上にトランジスタ360を作製する方法について説明する。

【0294】

まず、基板320上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極361を形成する。基板320の材料については、実施の形態8で説明した基板394と同様のものを採用することができる。また、ゲート電極361の材料や成膜方法等は、実施の形態8で説明したゲート電極391と同様のものを採用することができる。

【0295】

50

次に、ゲート電極 3 6 1 上にゲート絶縁層 3 2 2 を形成する。ゲート絶縁層 3 2 2 の材料については、実施の形態 8 で説明したゲート絶縁層 3 9 7 と同様のものを採用することができる。本実施の形態では、ゲート絶縁層 3 2 2 としてプラズマ C V D 法により膜厚 1 0 0 n m 以下の酸化窒化珪素層を形成する。

【 0 2 9 6 】

次に、ゲート絶縁層 3 2 2 上に、膜厚 2 n m 以上 2 0 0 n m 以下の酸化物半導体層を形成し、第 2 のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。島状の酸化物半導体層の材料や成膜方法、加工方法等は、実施の形態 8 で説明した島状の酸化物半導体層 3 9 9 と同様のものを採用することができる。本実施の形態では、酸化物半導体層として I n - G a - Z n - O 系の酸化物半導体ターゲットを用いてスパッタ法により成膜する。

10

【 0 2 9 7 】

次に、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第 1 の加熱処理の温度は、4 0 0 以上 7 5 0 以下、好ましくは 4 0 0 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下 4 5 0 において 1 時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層 3 3 2 を得る（図 1 6 (A) 参照。）。

【 0 2 9 8 】

次に、N₂O、N₂、または Ar などのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。または、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

20

【 0 2 9 9 】

次に、ゲート絶縁層 3 2 2、及び酸化物半導体層 3 3 2 上に、酸化物絶縁層を形成した後、第 3 のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って酸化物絶縁層 3 6 6 を形成した後、レジストマスクを除去する。

【 0 3 0 0 】

本実施の形態では、酸化物絶縁層 3 6 6 として膜厚 2 0 0 n m の酸化珪素膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上 3 0 0 以下とすればよく、本実施の形態では 1 0 0 とする。酸化珪素膜のスパッタ法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス（代表的にはアルゴン）及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素及び窒素雰囲気下でスパッタ法により酸化珪素膜を形成することができる。低抵抗化した酸化物半導体層に接して形成する酸化物絶縁層 3 6 6 は、水分や、水素イオンや、酸素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いることができる。

30

【 0 3 0 1 】

このとき、酸化物半導体層 3 3 2 及び酸化物絶縁層 3 6 6 に水素、水酸基または水分が含まれないようにするため、処理室内の残留水分を除去しつつ酸化物絶縁層 3 6 6 を成膜することが好ましい。なお、処理室内の残留水分の除去方法については、他の実施の形態で説明した方法を用いることができる。

40

【 0 3 0 2 】

次に、不活性ガス雰囲気下、または酸素ガス雰囲気下で第 2 の加熱処理（好ましくは 2 0 0 以上 4 0 0 以下、例えば 2 5 0 以上 3 5 0 以下）を行うことが好ましい。例えば、窒素雰囲気下で 2 5 0 、 1 時間の第 2 の加熱処理を行う。第 2 の加熱処理を行うと、酸化物半導体層の一部（チャンネル形成領域）が酸化物絶縁層 3 6 6 と接した状態で加熱される。

【 0 3 0 3 】

50

本実施の形態では、さらに酸化物絶縁層 366 が設けられ一部が露出している酸化物半導体層 332 を、窒素、不活性ガス雰囲気下、または減圧下で加熱処理を行う。酸化物絶縁層 366 によって覆われていない露出された酸化物半導体層 332 の領域は、窒素、不活性ガス雰囲気下、または減圧下で加熱処理を行うと、低抵抗化することができる。例えば、窒素雰囲気下で 250、1 時間の加熱処理を行うとよい。

【0304】

酸化物絶縁層 366 が設けられた酸化物半導体層 332 に対する窒素雰囲気下の加熱処理によって、酸化物半導体層 332 の露出領域は低抵抗化し、抵抗の異なる領域（図 16（B）においては斜線領域及び白地領域で示す）を有する酸化物半導体層 362 となる。

【0305】

次に、ゲート絶縁層 322、酸化物半導体層 362、及び酸化物絶縁層 366 上に、導電膜を形成した後、第 4 のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って第 1 の電極 365 a、第 2 の電極 365 b を形成した後、レジストマスクを除去する（図 16（C）参照。）。

【0306】

第 1 の電極 365 a、第 2 の電極 365 b の材料としては、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、金属導電膜は、単層構造でもよいし、2 層以上の積層構造としてもよい。

【0307】

以上の工程を経ることによって、成膜後の酸化物半導体層に対して脱水化または脱水素化のための加熱処理を行って低抵抗化した後、酸化物半導体層の一部を選択的に酸素過剰な状態とする。その結果、ゲート電極 361 と重なるチャネル形成領域 363 は、I 型となり、第 1 の電極 365 a に重なる高抵抗ソース領域 364 a と、第 2 の電極 365 b に重なる高抵抗ドレイン領域 364 b とが自己整合的に形成される。以上の工程により、トランジスタ 360 が形成される。

【0308】

さらに大気中、100 以上 200 以下、1 時間以上 30 時間以下での加熱処理を行ってもよい。本実施の形態では 150 で 10 時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁膜の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。

【0309】

なお、第 2 の電極 365 b（及び第 1 の電極 365 a）と重畳した酸化物半導体層において高抵抗ドレイン領域 364 b（または高抵抗ソース領域 364 a）を形成することにより、トランジスタの信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域 364 b を形成することで、ドレイン電極から高抵抗ドレイン領域 364 b、チャネル形成領域 363 にかけて、導電性を段階的に変化させうるような構造とすることができる。そのため、第 2 の電極 365 b に高電源電位 VDD を供給する配線に接続して動作させる場合、ゲート電極 361 と第 2 の電極 365 b との間に高電界が印加されても高抵抗ドレイン領域がバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成とすることができる。

【0310】

次に、第 1 の電極 365 a、第 2 の電極 365 b、酸化物絶縁層 366 上に保護絶縁層 323 を形成する。本実施の形態では、保護絶縁層 323 を、窒化珪素膜を用いて形成する（図 16（D）参照。）。

【0311】

本実施の形態で説明した酸化物半導体層を有するトランジスタは、極めて高いドレイン耐圧を有することが可能である。このため、ブルー相を示す液晶材料を利用した表示装置

10

20

30

40

50

のように駆動電圧が高い場合であっても、本実施の形態で説明した酸化物半導体層を有するトランジスタを、表示装置の表示部を構成する画素に用いることにより、信頼性の高い表示装置を提供することができる。それに加えて、高純度の酸化物半導体を用いたトランジスタは、オフ電流を 1×10^{-13} A 以下、好ましくは 1×10^{-16} A 以下に低減することができる。このため、保持容量で電圧を保持できる期間を長く取ることができるので、静止画等を表示する際の消費電力を抑制することができる。

【0312】

(実施の形態10)

本実施の形態は、本明細書で開示する表示装置に適用できるトランジスタの他の例を示す。本実施の形態で示すトランジスタ350は、実施の形態1の画素部の各画素に用いるトランジスタ6401等に用いることができる。

10

【0313】

図17(D)に示すトランジスタ350はシングルゲート構造のトランジスタを示しているが、本発明はこの構成に限定されるものではなく、ゲート電極を複数有し、チャンネル形成領域を複数有するマルチゲート構造のトランジスタとしてもよい。

【0314】

以下、図17(A)乃至(D)を用い、基板340上にトランジスタ350を作製する工程を説明する。

【0315】

まず、基板340上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極351を形成する。本実施の形態では、ゲート電極351として、膜厚150nmのタンゲステン膜を、スパッタ法を用いて形成する。

20

【0316】

次に、ゲート電極351上にゲート絶縁層342を形成する。本実施の形態では、ゲート絶縁層342としてプラズマCVD法により膜厚100nm以下の酸化窒化珪素膜を形成する。

【0317】

次に、ゲート絶縁層342に導電膜を形成し、第2のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極355a、ドレイン電極355bを形成した後、レジストマスクを除去する(図17(A)参照)。

30

【0318】

次に酸化物半導体層345を形成する(図17(B)参照)。本実施の形態では、酸化物半導体層345としてIn-Ga-Zn-O系の酸化物半導体ターゲットを用いてスパッタ法により成膜する。続いて、酸化物半導体層345を第3のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。

【0319】

酸化物半導体層345を成膜する工程においては、処理室内の残留水分を除去しつつ酸化物半導体層345を成膜することにより、酸化物半導体層345に水素、水酸基または水分が含まれないようにすることが好ましい。処理室内の残留水分の除去方法については、他の実施の形態で説明した方法を用いることができる。

40

【0320】

次に、酸化物半導体層の脱水化または脱水素化を行うために、第1の加熱処理を行う。第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層346を得る(図17(C)参照)。

【0321】

また、第1の加熱処理として、650~700の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中

50

から出すGRTAを行ってもよい。

【0322】

次に、酸化物半導体層346に接する保護絶縁層356を形成する。酸化物絶縁層356は、少なくとも1nm以上の膜厚とし、保護絶縁層356に水、水素等の不純物を混入させない方法（例えば、スパッタ法）を適宜用いて形成することができる。保護絶縁層356に水素が含まれると、その水素の酸化物半導体層への侵入、または水素による酸化物半導体層中の酸素の引き抜きが生じ、酸化物半導体層のバックチャネルが低抵抗化（N型化）してしまい、寄生チャネルが形成されるおそれがある。このため、保護絶縁層356はできるだけ水素を含まない膜になるような成膜方法を用いることが重要である。

【0323】

なお、保護絶縁層356の材料や成膜方法等については、実施の形態8における保護絶縁層396と同様のものを採用することができる。

【0324】

次に、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部（チャネル形成領域）が保護絶縁層356と接した状態で加熱される。

【0325】

以上の工程を経ることによって、成膜後の酸化物半導体層に対して脱水化または脱水素化のための加熱処理を行って低抵抗化した後、酸化物半導体層を酸素過剰な状態とする。その結果、I型の酸化物半導体層352が形成される。以上の工程により、トランジスタ350が形成される。

【0326】

さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。本実施の形態では150で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁膜の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなるトランジスタを得ることができる。よって表示装置の信頼性を向上できる。

【0327】

なお、保護絶縁層356上に絶縁層をさらに設けてもよい。本実施の形態では、保護絶縁層356上に絶縁層343を形成する（図17（D）参照。）。酸化物絶縁層343の材料や成膜方法等については、実施の形態8における保護絶縁層398と同様のものを採用することができる。

【0328】

また、絶縁層343上の表面を平坦化する目的で、平坦化絶縁層を設けてもよい。

【0329】

本実施の形態で説明した酸化物半導体層を有するトランジスタは、極めて高いドレイン耐圧を有することが可能である。このため、ブルー相を示す液晶材料を利用した表示装置のように駆動電圧が高い場合であっても、本実施の形態で説明した酸化物半導体層を有するトランジスタを、表示装置の表示部を構成する画素に用いることにより、信頼性の高い表示装置を提供することができる。それに加えて、高純度の酸化物半導体を用いたトランジスタは、オフ電流を 1×10^{-13} A以下、好ましくは 1×10^{-16} A以下に低減することができる。このため、保持容量で電圧を保持できる期間を長く取ることができるので、静止画等を表示する際の消費電力を抑制することができる。

【0330】

（実施の形態11）

本実施の形態においては、表示装置に含まれる液晶表示パネルの外観及び断面構造の一

10

20

30

40

50

例につき、図18を用いながら説明する。なお、本明細書中における表示装置とは、画像表示デバイスや表示デバイスを指す。また、FPC(Flexible printed circuit)、TAB(Tape Automated Bonding)テープ、またはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG(Chip On Glass)方式によりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。

【0331】

図18は、第1の基板4001上に形成されたトランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止したパネルの上面図であり、図18(B)は、図18(A1)、図18(A2)のM-Nにおける断面図に相当する。

10

【0332】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。このように、画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。なお、本実施の形態における液晶層4008は、ブルー相を示す液晶材料を含む。

【0333】

20

また、図18(A1)は第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。また、図18(A2)は信号線駆動回路の一部を第1の基板4001上に設けられたトランジスタで形成する例であり、第1の基板4001上に信号線駆動回路4003bが形成されるとともに、FPC4018上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003aが実装されている。

【0334】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、またはTAB方法などを適宜用いることができる。図18(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図18(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

30

【0335】

また、第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、それぞれトランジスタを複数有しており、図18(B)では、画素部4002に含まれるトランジスタ4010と、走査線駆動回路4004に含まれるトランジスタ4011を例示している。トランジスタ4010、4011上には絶縁層4020、層間膜4021が設けられている。なお、トランジスタ4010、4011は、実施の形態7乃至10に示すトランジスタ等を適用することができる。

【0336】

40

また、層間膜4021、又は絶縁層4020上において、走査線駆動回路4004に含まれるトランジスタ4011の半導体層のチャンネル形成領域と重なる位置に導電層を設けてもよい。導電層は、電位がトランジスタ4011のゲート電極と同じでもよいし、異なってもよく、第2のゲート電極として機能させることもできる。また、導電層の電位はGND、0V、またはフローティング状態であってもよい。

【0337】

また、第1の基板4001上、層間膜4021上に液晶層4008中に突出して設けられた第1の構造体4037上に画素電極層4030が形成され、画素電極層4030は、トランジスタ4010と電氣的に接続されている。層間膜4021上には第1の共通電極層4036が液晶層4008中に突出して設けられた第2の構造体4038上に設けられ

50

ている。液晶素子4013は、画素電極層4030、第2の共通電極層4031、第1の共通電極層4036、及び液晶層4008を含む。また、第1の基板4001、第2の基板4006の外側には、それぞれ偏光板4032、4033が設けられている。なお、本実施の形態では、第2の共通電極層4031が第2の基板4006側に設けられる例を示しているが、本発明はこの構成に限定されない。すなわち、第2の共通電極層4031は設けなくてもよい。

【0338】

第1の構造体4037の上面及び側面を覆うように設けられた画素電極層4030と、第2の構造体4038の上面及び側面を覆うように設けられた第1の共通電極層4036とを有することによって、液晶層4008において、画素電極層4030と、第1の共通電極層4036との間に広く電界を形成することができる。

10

【0339】

また、第2の基板4006側に第2の共通電極層4031を設けると、画素電極層4030と第2の共通電極層4031との間にも液晶に対して斜め方向（基板に対して斜めの方向）の電界も加えることができるため、より効率よく液晶分子を制御できる。従って、膜厚方向も含め液晶層全体における液晶分子を応答させることができ、白透過率が向上する。このため、白透過率と黒透過率との比であるコントラスト比を高くすることができる。

【0340】

なお、第1の基板4001、第2の基板4006としては、透光性を有するガラス、プラスチックなどを用いることができる。プラスチックとしては、FRP（Fiber glass - Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

20

【0341】

また、絶縁膜を選択的にエッチングすることで得られる柱状のスペーサ4035は、セルギャップを制御するために設けられている。ただし、本発明はこの構成に限定されず、球状のスペーサを用いてもよい。セルギャップは、1 μ m以上20 μ m以下とすることが好ましい。なお、セルギャップは、第1の基板4001と第2の基板4006との平均間隔を指す。

30

【0342】

なお、図18は透過型の液晶表示装置の例であるが、本発明は半透過型や反射型の液晶表示装置にも適用できる。

【0343】

また、図18に示す液晶表示装置では、基板の外側（視認側）に偏光板が設けられているが、偏光板は基板の内側に設けられていてもよい。すなわち、偏光板の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光層を設けてもよい。

【0344】

層間膜4021は、有彩色の透光性樹脂層であり、カラーフィルタ層として機能する。また、層間膜4021の一部を遮光層としてもよい。図18においては、トランジスタ4010、4011上方を覆うように遮光層4034が第2の基板4006側に設けられている。遮光層4034を設けることにより、コントラスト向上やトランジスタの安定化の効果をさらに高めることができる。

40

【0345】

なお、絶縁層4020は、トランジスタの保護膜として機能するとよい。保護膜として用いるためには、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐ機能を有する材料を用いればよく、緻密な膜が好ましい。具体的には、スパッタ法を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜

50

、窒化アルミニウム膜、酸化窒化アルミニウム膜、または窒化酸化アルミニウム膜の単層、または積層で形成すればよい。

【0346】

また、平坦化絶縁膜として透光性の絶縁層をさらに形成する場合、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また、上記有機材料の他に、低誘電率材料（Low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層を形成してもよい。

【0347】

積層する絶縁層の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

【0348】

画素電極層4030、第2の共通電極層4031、及び第1の共通電極層4036は、タングステンとインジウムを含む酸化物（酸化タングステンを含むインジウム酸化物）、タングステンとインジウムと亜鉛を含む酸化物（酸化タングステンを含むインジウム亜鉛酸化物）、チタンとインジウムを含む酸化物（酸化チタンを含むインジウム酸化物）、チタンとインジウムと錫を含む酸化物（酸化チタンを含むインジウム錫酸化物）、インジウムと錫を含む酸化物（インジウム錫酸化物、ITOともいう。）、インジウムと亜鉛を含む酸化物（インジウム亜鉛酸化物）、ケイ素とインジウムと錫を含む酸化物（酸化ケイ素を添加したインジウム錫酸化物）等の透光性を有する導電性材料を用いて形成することができる。また、画素電極層4030、第2の共通電極層4031及び第1の共通電極層4036は、タングステン（W）、モリブデン（Mo）、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、タンタル（Ta）、クロム（Cr）、コバルト（Co）、ニッケル（Ni）、チタン（Ti）、白金（Pt）、アルミニウム（Al）、銅（Cu）、銀（Ag）等の金属、又はその合金、若しくはその金属窒化物から一つ、又は複数種を用いて形成することもできる。また、画素電極層4030、第2の共通電極層4031及び第1の共通電極層4036は、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することもできる。

【0349】

また、別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0350】

また、トランジスタは静電気などにより破壊されやすいため、ゲート線またはソース線に対して、駆動回路保護用の保護回路を同一基板上に設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

【0351】

図18では、接続端子電極4015が、第1の共通電極層4036と同じ導電膜から形成され、端子電極4016は、トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。また、接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0352】

また図18においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、この構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0353】

（実施の形態12）

10

20

30

40

50

本実施の形態においては、上記実施の形態で説明した表示装置を具備する電子機器の具体例について説明する。ただし、本発明に適用可能な電子機器は、下記に示す具体例に限定されるものではない。

【0354】

図19(A)に示す電子機器は携帯型遊技機であり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636、記録媒体読込部9672等を有する。また、携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、他の携帯型遊技機と無線通信を行って情報を共有する機能等を有していてもよい。なお、携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

10

【0355】

図19(B)に示す電子機器はデジタルカメラであり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636、シャッターボタン9676、受像部9677等を有する。デジタルカメラは、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、撮影した画像情報を記憶素子に保存する機能、撮影した画像情報を表示部に表示する機能、テレビ受像機能等を有していてもよい。なお、デジタルカメラが有する機能はこれに限定されず、様々な機能を有することができる。

【0356】

図19(C)に示す電子機器はテレビ受像器であり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636等を有する。テレビ受像機は、テレビ用電波を処理して画像信号に変換する機能、画像信号を処理して表示に適した信号に変換する機能、画像信号のフレーム周波数を変換する機能等を有していてもよい。なお、テレビ受像機が有する機能はこれに限定されず、様々な機能を有することができる。

20

【0357】

図20(A)に示す電子機器はコンピュータであり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636、ポインティングデバイス9681、外部接続ポート9680等を有する。コンピュータは、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、無線通信又は有線通信などの通信機能、通信機能を用いて様々なコンピュータネットワークに接続する機能、通信機能を用いて様々なデータの送信又は受信を行う機能等を有していてもよい。なお、コンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

30

【0358】

図20(B)に示す電子機器は携帯電話であり、筐体9630、表示部9631、スピーカ9633、操作キー9635、マイクロフォン9638等を有する。携帯電話は、様々な情報(静止画、動画、テキスト画像など)を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア(プログラム)によって処理を制御する機能等を有していてもよい。なお、携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。

40

【0359】

図20(C)に示す電子機器は電子ペーパーであり、筐体9630、表示部9631、操作キー9635等を有する。電子ペーパーは、様々な情報(静止画、動画、テキスト画像など)を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア(プログラム)によって処理を制御する機能等を有していてもよい。なお、電子ペーパーが有する機能はこれに限定されず、様々な機能を有することができる。また、電子ペーパーを用いる用途の具体例としては、電子書籍(電子ブック、e-bookともいう。)、ポスター、電車等の乗り物の車内広告等が挙げられる。

【0360】

50

図20(D)に示す電子機器はデジタルフォトフレームであり、筐体9701に表示部9703が組み込まれている。表示部9703は各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【0361】

デジタルフォトフレームは、操作部、外部接続用端子(USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部等を有する。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

10

【0362】

また、デジタルフォトフレームは、無線で情報の送受信が可能な機能を有していてもよい。この場合、無線により所望の画像データをデジタルフォトフレームに取り込み、表示させることができる。なお、デジタルフォトフレームが有する機能はこれらに限定されず、様々な機能を有することができる。

【0363】

本発明の一態様である表示装置をこれらの電子機器に適用することにより、信頼性が高く、静止画等を表示する際の低消費電力化を図ることができる。したがって、動画よりも静止画を表示する機会の多いデジタルカメラ、電子ペーパー、デジタルフォトフレーム等の電子機器に本発明の一態様である表示装置を適用した場合、消費電力低減の効果が顕著に現れるため、特に好ましい。

20

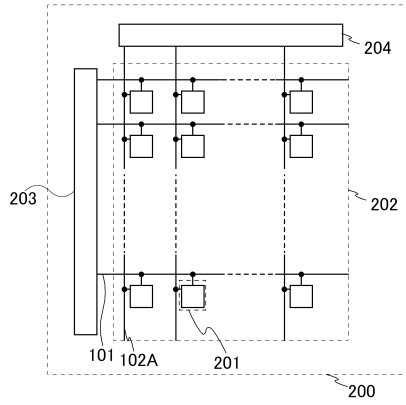
【符号の説明】

【0364】

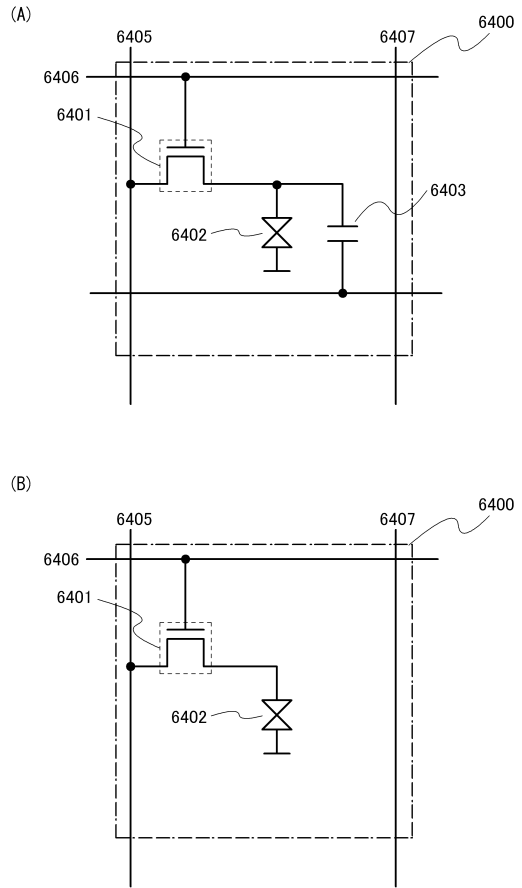
1000	表示装置
1001	表示パネル
1002	信号生成回路
1003	記憶回路
1004	比較回路
1005	選択回路
1006	表示制御回路
1007	駆動回路部
1008	画素部
1009A	ゲート線駆動回路
1009B	信号線駆動回路
1010	フレームメモリ

30

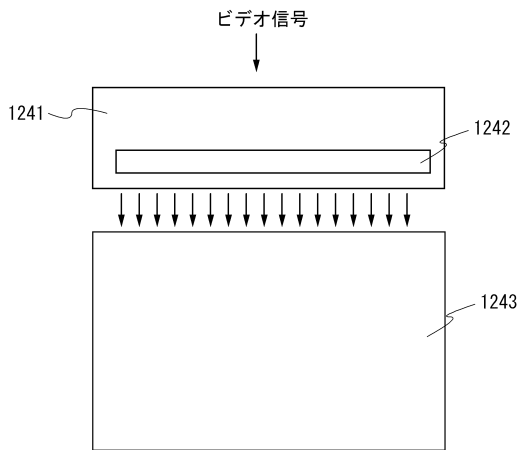
【図1】



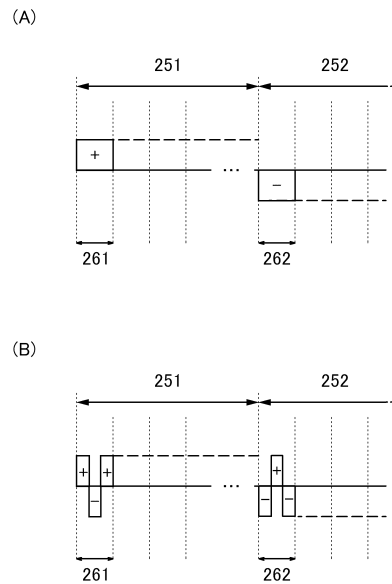
【図2】



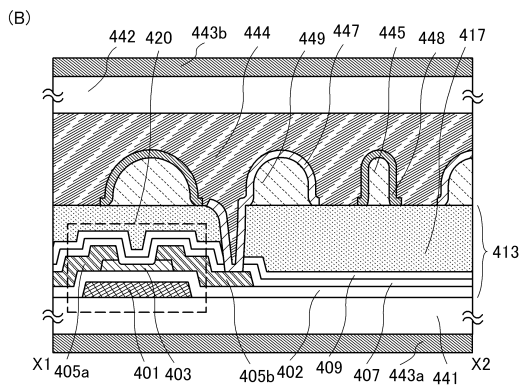
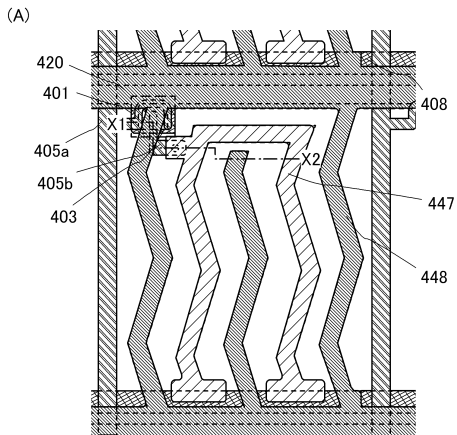
【図3】



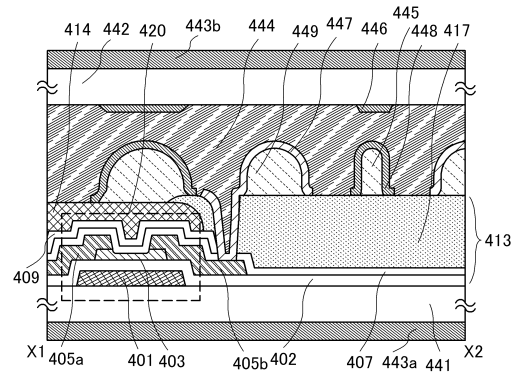
【図4】



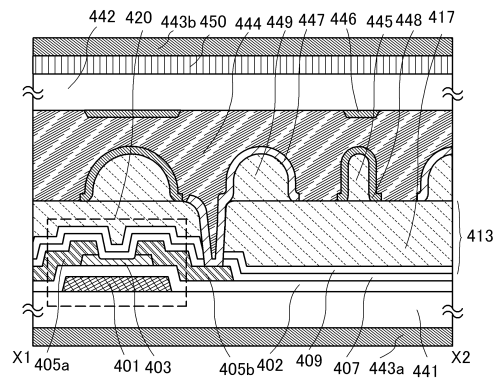
【図5】



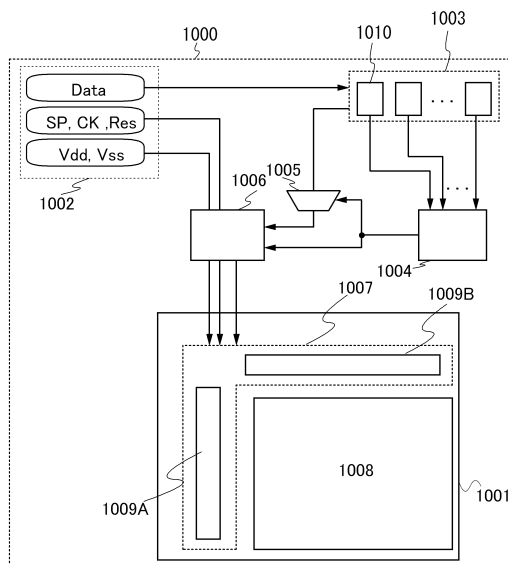
【図6】



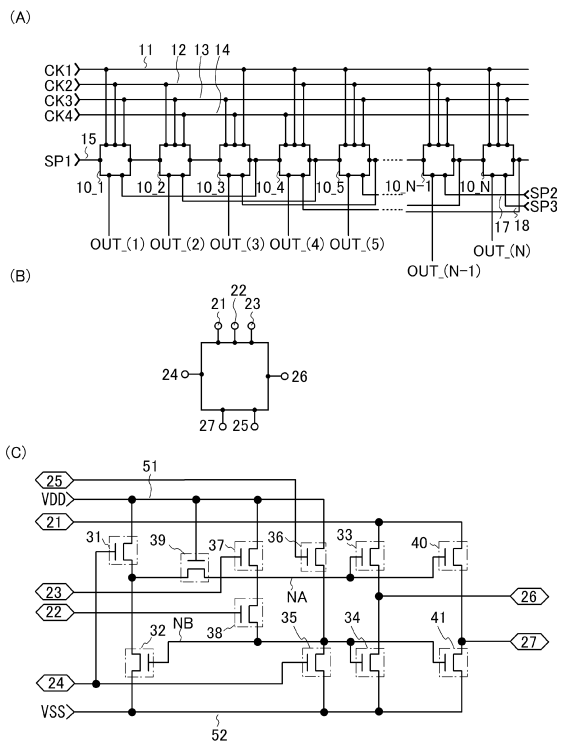
【図7】



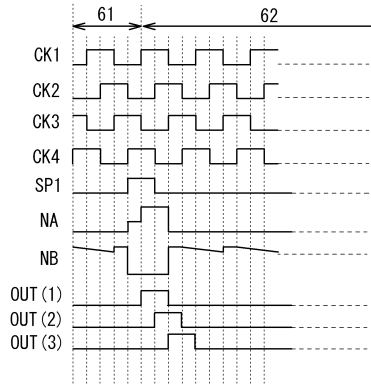
【図8】



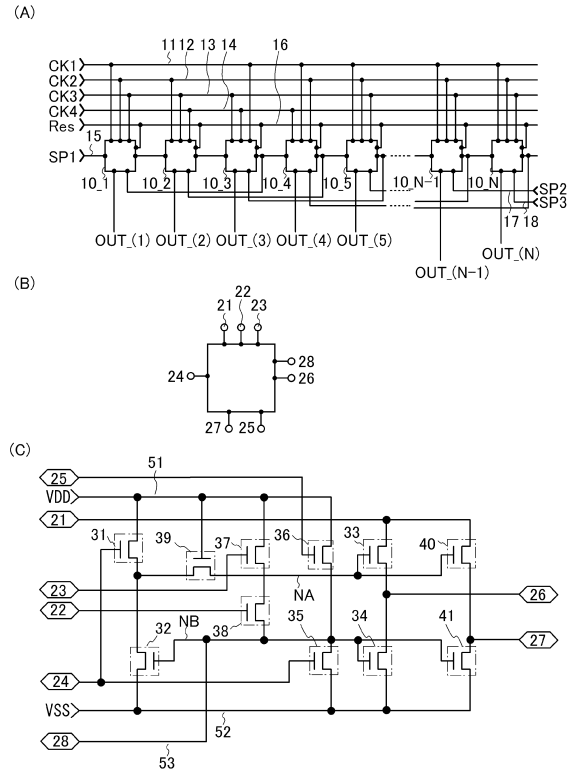
【図9】



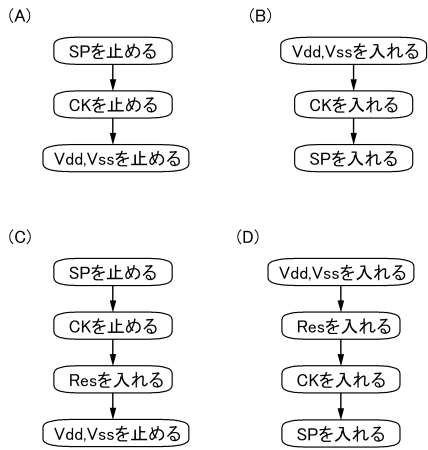
【図10】



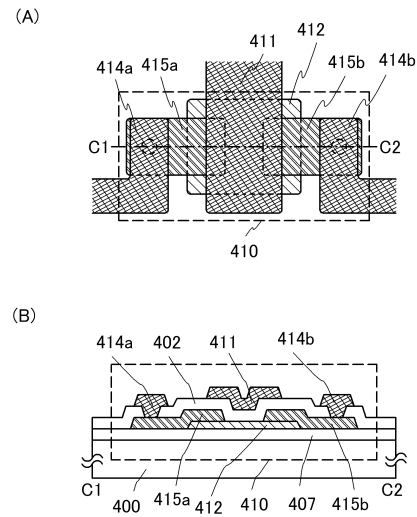
【図11】



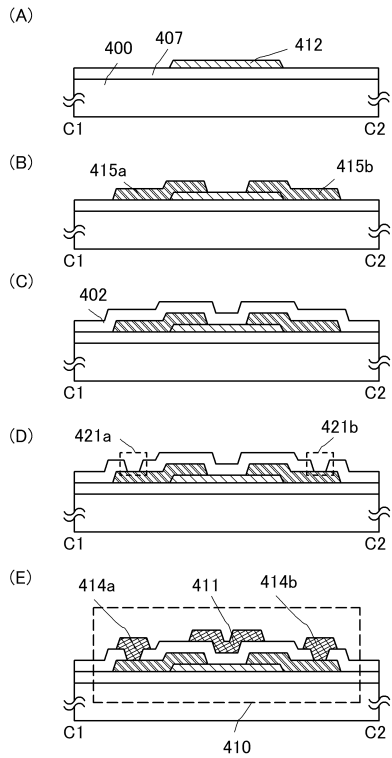
【図12】



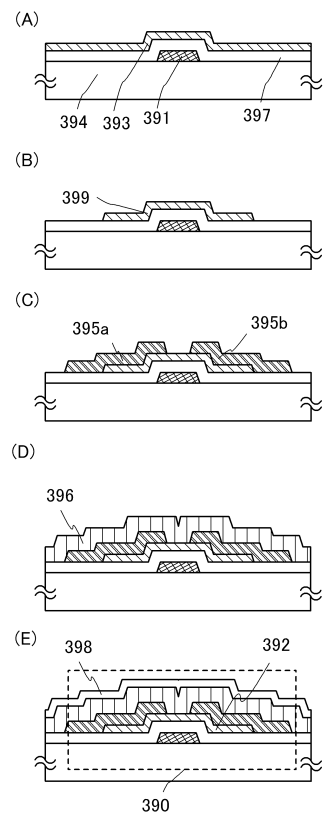
【図13】



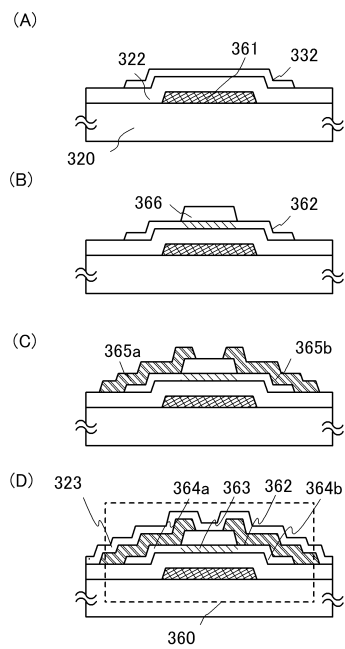
【図14】



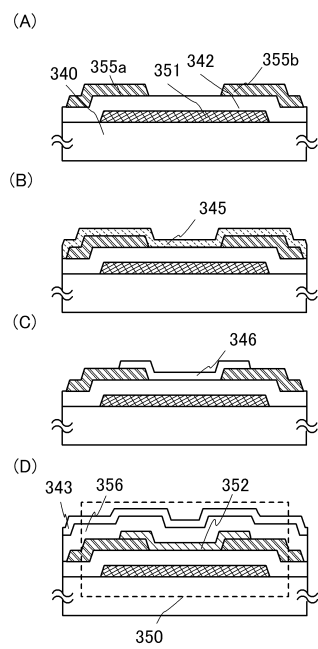
【図15】



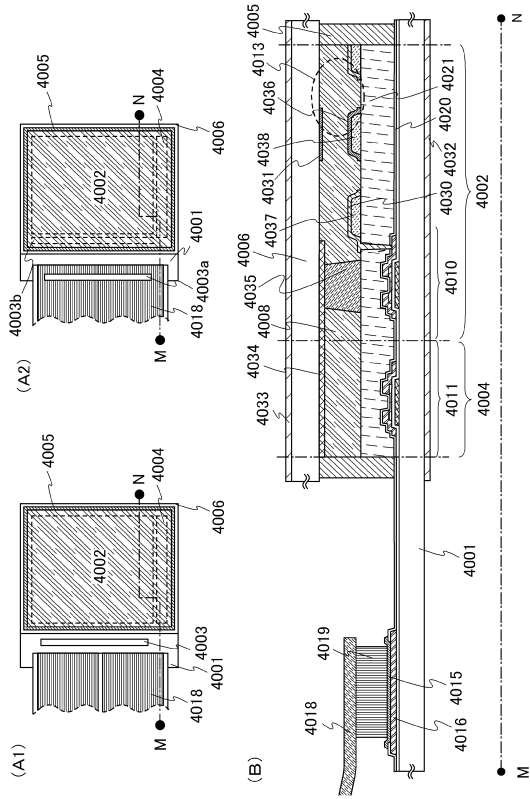
【図16】



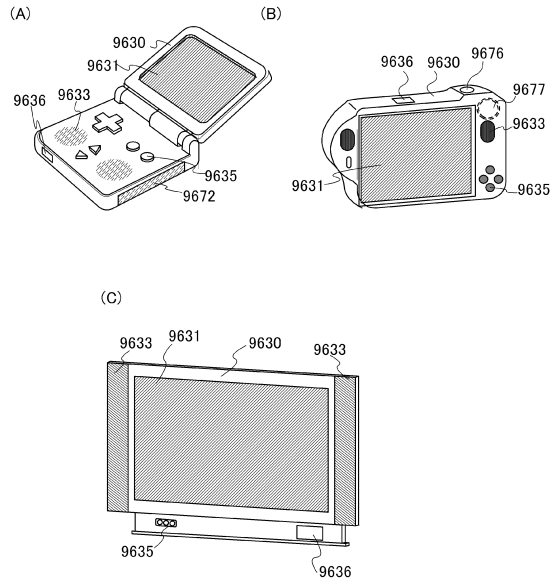
【図17】



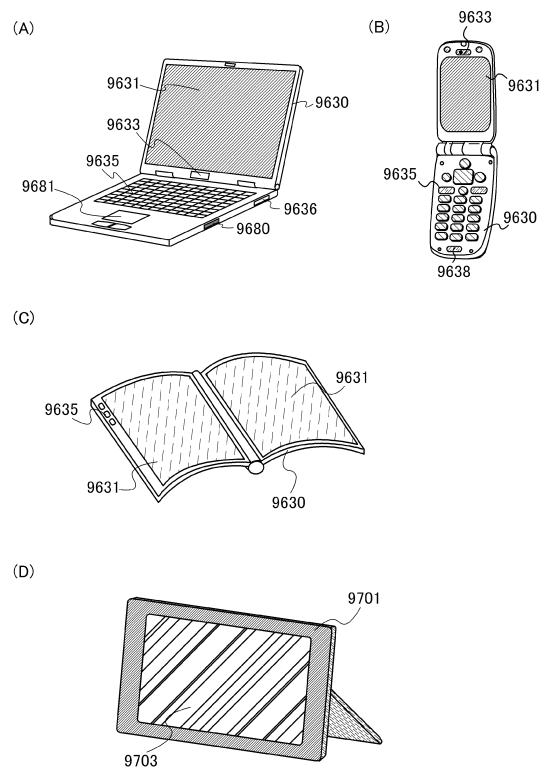
【 図 18 】



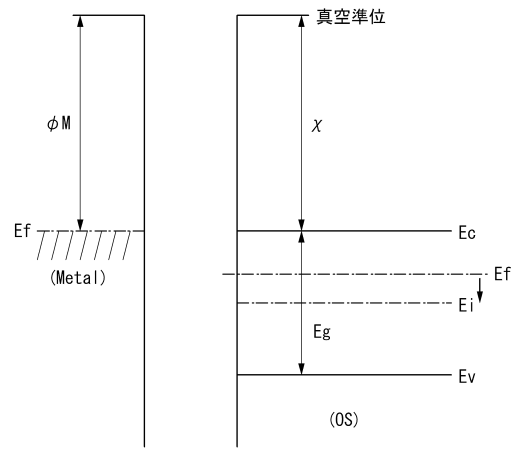
【 図 19 】



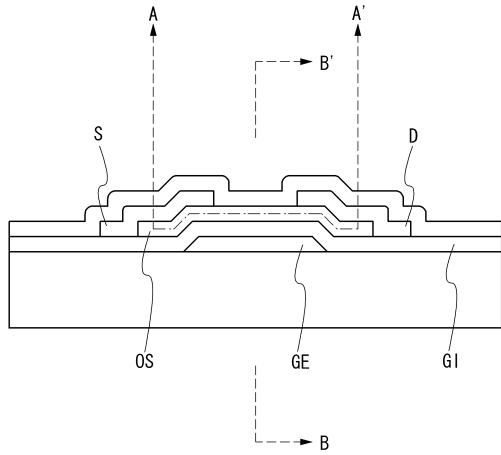
【 図 20 】



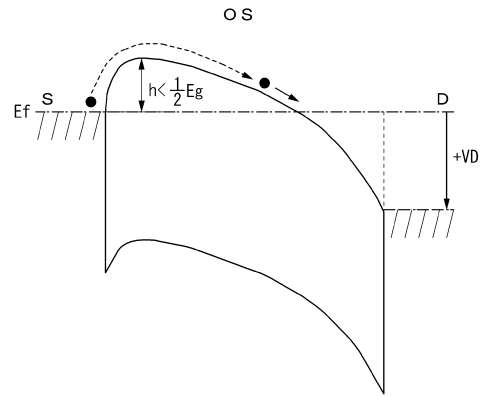
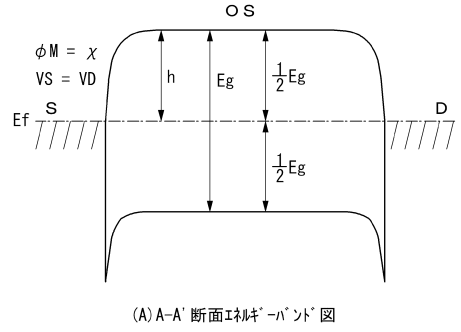
【 図 21 】



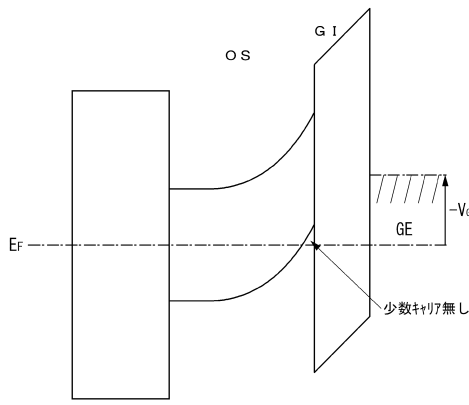
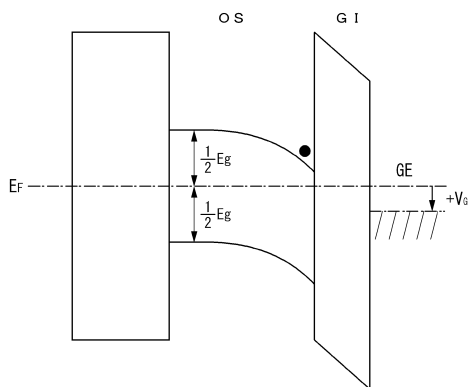
【図22】



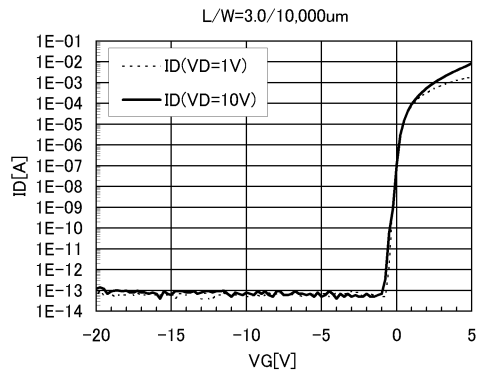
【図23】



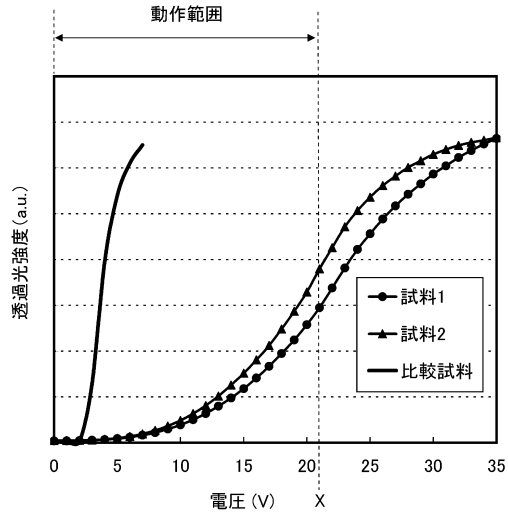
【図24】



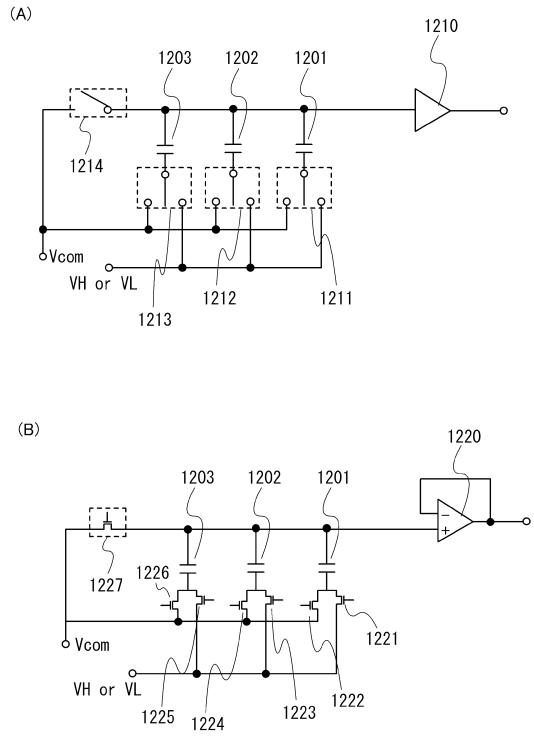
【図25】



【図 26】



【図 27】



フロントページの続き

- (56)参考文献 特開2008-287115(JP,A)
特開2003-044011(JP,A)
特開2006-084758(JP,A)
米国特許出願公開第2009/0294808(US,A1)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368
G02F 1/1343
H01L 29/786

专利名称(译)	表示装置		
公开(公告)号	JP6514375B2	公开(公告)日	2019-05-15
申请号	JP2018006106	申请日	2018-01-18
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 木村肇 西毅		
发明人	山崎 舜平 木村 肇 西 毅		
IPC分类号	G02F1/1368 G02F1/1343 H01L29/786		
CPC分类号	G02F1/1368 G02F2001/13793		
FI分类号	G02F1/1368 G02F1/1343 H01L29/78.618.B		
F-TERM分类号	2H192/AA24 2H192/BB03 2H192/BB32 2H192/BB42 2H192/BB66 2H192/BC31 2H192/CB02 2H192/CB05 2H192/CB37 2H192/CB71 2H192/DA12 2H192/EA06 2H192/EA13 2H192/EA22 2H192/EA42 2H192/EA43 2H192/EA67 2H192/EA68 2H192/FA73 2H192/FB02 2H192/HA90 2H192/JA64 5F110/AA06 5F110/BB01 5F110/BB02 5F110/CC03 5F110/CC07 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD04 5F110/DD12 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE07 5F110/EE08 5F110/EE14 5F110/EE30 5F110/EE48 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF28 5F110/FF30 5F110/GG01 5F110/GG06 5F110/GG12 5F110/GG13 5F110/GG14 5F110/GG15 5F110/GG24 5F110/GG25 5F110/GG28 5F110/GG29 5F110/GG33 5F110/GG34 5F110/GG35 5F110/GG43 5F110/GG57 5F110/GG58 5F110/HJ30 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK07 5F110/HK08 5F110/HK21 5F110/HK32 5F110/HK33 5F110/HM03 5F110/NN03 5F110/NN14 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN32 5F110/NN33 5F110/NN34 5F110/NN36 5F110/NN40 5F110/NN73 5F110/PP02 5F110/PP10 5F110/PP13 5F110/QQ06 5F110/QQ19		
优先权	2009277088 2009-12-04 JP		
其他公开文献	JP2018087994A		
外部链接	Espacenet		

摘要(译)

一种显示装置，其使用呈现蓝相的液晶材料，其消耗较少的功率。提供。具有像素部分的第一基板，所述像素部分设置有包括晶体管的像素；面向一个基板的第二基板，以及第一基板和第二基板之间的间隙液晶层和液晶层包括呈现蓝相的液晶材料；栅极电连接到扫描线，并且源极和漏极中的一个电连接到信号线。并且源极或漏极中的另一个电连接到电极，并且晶体管是电极氧化物半导体层的氢浓度为 $5 \times 10^{19} / \text{cm}^3$ 以下。[选择图]图2

(45) 発行日 令和1年5月15日(2019.5.15)

(24) 登録日 平成31年4月19日(2019.4.19)

(5) Int. Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1343 (2006.01)	GO2F 1/1343
H01L 29/786 (2006.01)	H01L 29/78 618B

請求項の数 2 (全 58 頁)

(21) 出願番号	特願2018-6106 (P2018-6106)	(73) 特許権者	000153878
(22) 出願日	平成30年1月18日(2018.1.18)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2016-177263 (P2016-177263) の分割		神奈川県厚木市長谷398番地
原出願日	平成22年12月1日(2010.12.1)	(72) 発明者	山崎 舜平
(65) 公開番号	特開2018-87994 (P2018-87994A)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成30年6月7日(2018.6.7)	(72) 発明者	木村 肇
審査請求日	平成30年2月13日(2018.2.13)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(31) 優先権主張番号	特願2009-277088 (P2009-277088)	(72) 発明者	西 毅
(32) 優先日	平成21年12月4日(2009.12.4)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(33) 優先権主張国	日本国(JP)		
		審査官	石田 昌士

最終頁に続く

(54) 【発明の名称】表示装置