

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6284992号
(P6284992)

(45) 発行日 平成30年2月28日 (2018. 2. 28)

(24) 登録日 平成30年2月9日 (2018. 2. 9)

(51) Int. Cl.

F I

G O 2 F 1/133 (2006. 01)

G O 2 F 1/133 5 5 0

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1368

G O 2 F 1/1335 (2006. 01)

G O 2 F 1/1335 5 2 0

請求項の数 2 (全 35 頁)

(21) 出願番号 特願2016-179129 (P2016-179129)
 (22) 出願日 平成28年9月14日 (2016. 9. 14)
 (62) 分割の表示 特願2015-118664 (P2015-118664)
 の分割
 原出願日 平成23年1月20日 (2011. 1. 20)
 (65) 公開番号 特開2017-33001 (P2017-33001A)
 (43) 公開日 平成29年2月9日 (2017. 2. 9)
 審査請求日 平成28年10月5日 (2016. 10. 5)
 (31) 優先権主張番号 特願2010-10473 (P2010-10473)
 (32) 優先日 平成22年1月20日 (2010. 1. 20)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 脇本 研一
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 早川 昌彦
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 審査官 堀部 修平

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 の画素電極と、第 2 の画素電極と、光センサと、を有し、
前記第 1 の画素電極は、光を透過する機能を有し、
前記第 2 の画素電極は、光を反射する機能を有し、
 前記第 1 の画素電極と、前記第 2 の画素電極とは、絶縁膜を介して重なる領域を有し、
 前記第 1 の画素電極上に前記絶縁膜を有し、
 前記絶縁膜上に前記第 2 の画素電極を有し、
 前記第 2 の画素電極は、複数の開口部を有し、
 前記開口部において、前記第 1 の画素電極は、前記第 2 の画素電極の上面よりも突出し
 た領域を有し、
前記光センサは、前記第 1 の画素電極と、前記第 2 の画素電極の上方に設けられること
を特徴とする表示装置。

【請求項 2】

第 1 の画素電極と、第 2 の画素電極と、光センサと、を有し、
前記第 1 の画素電極は、光を透過する機能を有し、
前記第 2 の画素電極は、光を反射する機能を有し、
前記第 1 の画素電極と、前記第 2 の画素電極とは、絶縁膜を介して重なる領域を有し、
前記第 1 の画素電極上に前記絶縁膜を有し、
前記絶縁膜上に前記第 2 の画素電極を有し、

前記第 2 の画素電極は、複数の開口部を有し、
前記開口部において、前記第 1 の画素電極は、前記第 2 の画素電極の上面よりも突出した領域を有し、
前記光センサは、前記第 1 の画素電極と、前記第 2 の画素電極の上方に設けられ、
前記第 1 の画素電極を透過した光は、前記光センサに入射し、
前記第 2 の画素電極により反射した光は、前記光センサに入射することを特徴とするこ
とを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、静止画を表示できる表示装置及びその駆動方法に関する。

【背景技術】

【0002】

複数の画素がマトリクス状に配置され、各画素に表示素子、及び該表示素子に接続されたスイッチングトランジスタが設けられたアクティブマトリクス型の表示装置が知られている。

【0003】

また、金属酸化物をチャネル形成領域とするトランジスタを画素電極の各々に接続するスイッチング素子に用いるアクティブマトリクス型の表示装置が注目を集めている（特許文献 1 及び特許文献 2）。

20

【0004】

アクティブマトリクス型の表示装置に適用できる表示素子としては、例えば液晶素子や、電気泳動方式などを用いた電子インクをその例に挙げることができる。液晶素子を適用したアクティブマトリクス型の液晶表示装置は、液晶素子の豊かな階調と高速動作の特徴を活かし、動画または静止画の表示用途に幅広く用いられている。

【0005】

また、電子インクの多くは電力の供給を停止した後も表示画像が維持される特性、所謂メモリ性を有する表示素子であるため、電子インクを適用したアクティブマトリクス型の表示装置は、消費電力が極めて少ないという特徴を有している。

【先行技術文献】

30

【特許文献】

【0006】

【特許文献 1】特開 2007 - 123861 号公報

【特許文献 2】特開 2007 - 96055 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

従来のアクティブマトリクス型の表示装置が有するスイッチングトランジスタには、オフ電流が大きいシリコン系の材料が用いられており、オフ状態であっても画素に書き込んだ信号がトランジスタを介して漏れて消失してしまうという特徴があった。従って、表示素子がメモリ性を有していない場合、従来のアクティブマトリクス型の表示装置では、たとえ同一画像であっても頻繁に信号を書き込み直す必要が生じ、消費電力を低減することが困難であった。

40

【0008】

また、メモリ性を有する表示素子の多くは動作が遅く、画素に設けたスイッチングトランジスタが高速に動作してもそれに追従することができず、動画の表示や階調の豊かな表現が困難であった。

【0009】

本発明は、このような技術的背景のもとでなされたものであり、動画の表示や階調の豊かな表現が可能で、静止画表示時には画素への書き込み回数を削減できる構成と書き込みの

50

タイミングを検知する手段を併せ持つ低消費電力型の液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明の一態様は、液晶表示装置における静止画の表示方法において、表示を維持するための画素電位の再書き込みを光センサで判別されたタイミングで行うことを特徴とする表示装置及び表示装置の駆動方法である。

【0011】

本明細書で開示する本発明の一態様は、液晶表示パネルと、液晶表示パネルの駆動回路と電気的に接続された表示制御回路と、表示制御回路と電気的に接続されたバックライト部と、液晶表示パネルに設けられた照度モニタ用の表示を行うモニタ用画素と、表示制御回路と電気的に接続された光センサと、を有し、光センサは、モニタ用画素の液晶層を透過した光を検出できる位置に設置されていることを特徴とする表示装置である。

10

【0012】

本明細書で開示する本発明の一態様は、液晶表示パネルと、液晶表示パネルの駆動回路と電気的に接続された表示制御回路と、液晶表示パネルに設けられた照度モニタ用の表示を行うモニタ用画素と、表示制御回路と電気的に接続された光センサと、を有し、光センサは、モニタ用画素を反射した光を検出できる位置に設置されていることを特徴とする表示装置である。

【0013】

光センサには、可視光線の波長領域に光感度を持つ物を使用でき、同波長領域にピーク感度を有しているものが好ましい。

20

【0014】

照度モニタ用の表示を行うモニタ用画素は、表示領域の外側に形成され、モニタ用画素を透過または反射した光の進行方向に光センサを設置する。この構成により、光センサの検出感度を向上させることができる。このとき、光センサには導光板を通して光を入射させても良い。

【0015】

本明細書で開示する本発明の他の一態様は、液晶表示パネルの表示領域の画素に電位を供給して静止画を表示させ、液晶表示パネルのモニタ用画素に電位を供給して静止画を表示させ、少なくともモニタ用画素の液晶層を透過したバックライトからの光を光センサで検出させ、光センサで検出された光の照度の変化率が既定値以上に達したときに、液晶表示パネルの表示領域の画素及びモニタ用画素に電位を再度供給し、静止画を維持させることを特徴とする表示装置の駆動方法である。

30

【0016】

また、本明細書で開示する本発明の他の一態様は、液晶表示パネルの表示領域の画素に電位を供給して静止画を表示させ、液晶表示パネルのモニタ用画素に電位を供給して静止画を表示させ、液晶表示パネルの周囲の外光を第1の光センサで検出させ、少なくともモニタ用画素の液晶層を透過し、かつ液晶表示パネルの内部で反射された外光を第2の光センサで検出させ、第1の光センサで検出された外光照度の変化率と第2の光センサで検出された反射光照度の変化率との差分から液晶表示パネルの画素電位の低下による反射光照度の変化率を算出し、液晶表示パネルの画素電位の低下による反射光照度の変化率が既定値以上に達したときに、液晶表示パネルの表示領域の画素及びモニタ用画素に電位を再度供給し、静止画を維持させることを特徴とする表示装置の駆動方法である。

40

【0017】

上記駆動方法において、画素に電位を再書き込みする際には、画素電位を段階的に上げていき、急激に画質を回復させることなく、徐々に画質を回復させるようにすることが好ましい。

【発明の効果】

【0018】

50

静止画表示において、画素への書き込み回数を削減できる構成と書き込みのタイミングを検知する手段を併せ持つ低消費電力型の液晶表示装置を提供することができる。

【図面の簡単な説明】

【0019】

【図1】液晶表示装置を説明するブロック図。

【図2】液晶表示装置と光センサの位置関係を示す図

【図3】液晶表示装置の画素の等価回路の一例を示す図。

【図4】液晶表示装置の動作について説明する図。

【図5】液晶表示装置の動作について説明する図。

【図6】液晶表示装置の動作について説明する図。

【図7】液晶表示装置を説明する斜視図。

【図8】液晶表示装置の画素部の上面構造図及び断面構造図。

【図9】液晶表示装置の画素部の断面構造図。

【図10】液晶表示装置の画素部の断面構造図。

【図11】液晶表示装置の画素部の上面構造図及び断面構造図。

【図12】液晶表示装置に適用できるトランジスタの一形態を説明する図。

【図13】液晶表示装置に適用できるトランジスタの作製方法の一形態を説明する図。

【図14】液晶表示装置の画素部の一例を示す上面構造図。

【図15】液晶表示装置の画素部の断面構造図。

【図16】液晶表示装置の画素部の断面構造図。

【図17】表示装置の外観図及び充放電制御回路のブロック図。

【発明を実施するための形態】

【0020】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0021】

(実施の形態1)

本実施の形態では、静止画モードと動画モードを有する液晶表示装置について図面を用いて説明する。また、静止画モードにおける画素への再書き込み動作のタイミングを決定する手段についても説明する。

【0022】

まず、図1に示す透過型液晶表示装置のブロック図を用いて、本明細書に係る表示装置100の各構成について説明する。本実施の形態の表示装置100は、画像処理回路110、表示パネル120、及びバックライト部130を少なくとも有する。ただし、バックライト部130を除いて、半透過型液晶表示装置としても良い。

【0023】

また、本実施の形態の表示装置100は、接続された外部機器から制御信号、画像信号、電源電位が供給されている。制御信号としてはスタートパルスSP、及びクロック信号CK、画像信号としては画像信号Data、電源電位としては高電源電位Vdd、低電源電位Vss、及び共通電位Vcomが供給される。

【0024】

なお、高電源電位Vddとは、基準電位より高い電位のことであり、低電源電位Vssとは基準電位以下の電位のことをいう。高電源電位Vdd及び低電源電位Vssは、ともに薄膜トランジスタが動作できる程度の電位であることが望ましい。なお、高電源電位Vdd及び低電源電位Vssを併せて電源電圧と呼ぶこともある。

【0025】

また、共通電位Vcomは、画素電極に供給される画像信号の電位に対して基準となる電位であればよく、一例としてはグラウンド電位であってもよい。

【 0 0 2 6 】

画像信号 Data は、ドット反転駆動、ソースライン反転駆動、ゲートライン反転駆動、フレーム反転駆動等に応じて適宜反転させて表示パネル 1 2 0 に入力される構成とすればよい。また、画像信号がアナログの信号の場合には、A / D コンバータ等を介してデジタルの信号に変換して表示装置 1 0 0 に供給すると良い。この構成とすることで、画像信号の差分検出が容易となる。

【 0 0 2 7 】

次に、本発明の一態様における画像処理回路及び周辺装置について図面を用いて説明する。

【 0 0 2 8 】

10

画像処理回路 1 1 0 は、記憶回路 1 1 1、比較回路 1 1 2、及び表示制御回路 1 1 3 を有する。画像処理回路 1 1 0 は、入力した画像信号 Data から表示パネル信号とバックライト信号を生成する。表示パネル信号は、表示パネル 1 2 0 を制御する画像信号であり、バックライト信号はバックライト部 1 3 0 の制御信号である。

【 0 0 2 9 】

記憶回路 1 1 1 は、複数のフレームに関する画像信号を記憶するための複数のフレームメモリを有する。記憶回路 1 1 1 が有するフレームメモリの数は特に限定されるものではなく、複数のフレームに関する画像信号を記憶できる素子であればよい。なお、フレームメモリは、例えば DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory) 等の記憶素子を用いて構成すればよい。

20

【 0 0 3 0 】

また、フレームメモリは、フレーム期間毎に画像信号を記憶する構成であればよい。フレームメモリの画像信号は、比較回路 1 1 2 及び表示制御回路 1 1 3 により選択的に読み出されるものである。なお、図中のフレームメモリ 1 1 1 b は、1 フレーム分のメモリ領域を概念的に図示するものである。

【 0 0 3 1 】

比較回路 1 1 2 は、記憶回路 1 1 1 に記憶された連続するフレームの画像信号を選択的に読み出して、当該画像信号間での比較を画素毎に行い、差分を検出するための回路である。

30

【 0 0 3 2 】

選択回路 1 1 5 は、例えばトランジスタで形成される複数のスイッチを設ける構成とする。比較回路 1 1 2 が検出した画像信号の差分の有無から動画信号であるか、静止画信号であるかを判断し、記憶回路 1 1 1 内のフレームメモリから画像信号を表示制御回路 1 1 3 へ出力するか否かを選択する回路である。

【 0 0 3 3 】

表示制御回路 1 1 3 は、表示パネル 1 2 0 に選択回路 1 1 5 で選択された画像信号、及び制御信号（具体的にはスタートパルス SP、及びクロック信号 CK 等の制御信号の供給または停止の切り替えを制御するための信号）を供給し、バックライト部 1 3 0 にバックライト信号（具体的にはバックライト制御回路にバックライトの点灯、及び消灯を制御するための信号）を供給する回路である。

40

【 0 0 3 4 】

なお、本実施の形態の液晶表示装置に設けられるソフトウェアによって画像ソースが動画であるか静止画であるかの判断を行う場合は、これら記憶回路 1 1 1、比較回路 1 1 2、選択回路 1 1 5 の動作は必要としない。または、これら回路を設けなくても良い。

【 0 0 3 5 】

バックライト部 1 3 0 は、バックライト制御回路及び発光部を有する。発光部は、表示装置 1 0 0 の用途に応じて選択すればよく、例えばフルカラーの画像を表示する場合は、光の三原色を含む光源を発光部に用いる。本実施の形態では、発光部には、例えば白色の発光素子（例えば LED）を用いる。なお、本明細書ではバックライト部 1 3 0 に用いる発

50

光部のことを単にバックライトとも呼ぶ。

【0036】

なお、バックライト部130のバックライト制御回路には、表示制御回路113からバックライトを制御するバックライト信号、及び電源電位が供給される。

【0037】

表示パネル120は、画素部122、及びスイッチング素子127を有する。本実施の形態では、表示パネル120は第1の基板と第2の基板を有し、第1の基板には駆動回路部121、画素部122、及びスイッチング素子127が設けられている。また、第2の基板には共通接続部（コモンコンタクトともいう）、及び共通電極部128（コモン電極部、または対向電極部ともいう）が設けられている。なお、共通接続部は、第1の基板と第2の基板を電氣的に接続するものであって、共通接続部は第1の基板上に設けられていて

10

【0038】

画素部122には、複数のゲート線124、及び信号線125が設けられており、複数の画素123がゲート線124及び信号線125に環囲されてマトリクス状に設けられている。なお、本実施の形態で例示する表示パネル120においては、ゲート線124はゲート線駆動回路121Aから延在し、信号線125は信号線駆動回路121Bから延在している。

【0039】

また、画素123はトランジスタ、該トランジスタに接続された画素電極、容量素子、及び表示素子を有する。本実施の形態では表示素子に液晶素子を用いる。

20

【0040】

液晶素子の一例としては、液晶の光学的変調作用によって光の透過又は非透過を制御する素子がある。その素子は、一对の電極と液晶層により構成されることが可能である。なお、液晶の光学的変調作用は、液晶にかかる電界（即ち、縦方向の電界）によって制御される。

【0041】

具体的な液晶素子の一例としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、リオトロピック液晶、低分子液晶、高分子分散型液晶、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、バナナ型液晶などを挙げることができる。また液晶の駆動方法としては、TN（Twisted Nematic）モード、STN（Super Twisted Nematic）モード、IPS（In Plane Switching）モード、VA（Vertical Alignment）モード、OCB（Optically Compensated Birefringence）モード、ECB（Electrically Controlled Birefringence）モード、FLC（Ferroelectric Liquid Crystal）モード、AFLC（Anti Ferroelectric Liquid Crystal）モード、PDLC（Polymer Dispersed Liquid Crystal）モード、PNLC（Polymer Network Liquid Crystal）モード、ゲストホストモードなどがある。

30

40

【0042】

駆動回路部121は、ゲート線駆動回路121A、信号線駆動回路121Bを有する。ゲート線駆動回路121A、信号線駆動回路121Bは、複数の画素を有する画素部122を駆動するための駆動回路であり、シフトレジスタ回路（シフトレジスタともいう）を有する。

【0043】

なお、ゲート線駆動回路121A、及び信号線駆動回路121Bは、画素部122またはスイッチング素子127と同じ基板に形成されるものでもよいし、別の基板に形成されるものであってもよい。

50

【 0 0 4 4 】

なお、駆動回路部 1 2 1 には、表示制御回路 1 1 3 で制御された高電源電位 V_{dd} 、低電源電位 V_{ss} 、スタートパルス SP 、クロック信号 CK 、画像信号 $Data$ が供給される。

【 0 0 4 5 】

端子部 1 2 6 は、画像処理回路 1 1 0 が有する表示制御回路 1 1 3 が出力する所定の信号（高電源電位 V_{dd} 、低電源電位 V_{ss} 、スタートパルス SP 、クロック信号 CK 、画像信号 $Data$ 、共通電位 V_{com} 等）等を駆動回路部 1 2 1 に供給する入力端子である。

【 0 0 4 6 】

スイッチング素子 1 2 7 は、表示制御回路 1 1 3 が出力する制御信号に応じて、共通電位 V_{com} を共通電極部 1 2 8 に供給する。スイッチング素子 1 2 7 としては、トランジスタを用いることができる。トランジスタのゲート電極を表示制御回路 1 1 3 に接続し、ソース電極またはドレイン電極の一方を、端子部 1 2 6 を介して共通電位 V_{com} に接続し、他方を共通電極部 1 2 8 に接続すればよい。なお、スイッチング素子 1 2 7 は駆動回路部 1 2 1、または画素部 1 2 2 と同じ基板に形成されるものでもよいし、別の基板に形成されるものであってもよい。

10

【 0 0 4 7 】

共通接続部は、スイッチング素子 1 2 7 のソース電極またはドレイン電極と接続された端子と、共通電極部 1 2 8 を電氣的に接続する。

【 0 0 4 8 】

20

また、共通接続部の具体的な一例としては、金属の導電粒子または、絶縁性球体に金属薄膜が被覆された導電粒子を用いて電氣的な接続を図ればよい。なお、共通接続部は、第 1 の基板及び第 2 の基板に複数箇所設けられる構成としてもよい。

【 0 0 4 9 】

共通電極部 1 2 8 は、画素部 1 2 2 に複数設けられた画素電極と重畳して設ける。また、共通電極部 1 2 8、及び画素部 1 2 2 が有する画素電極は、多様な開口パターンを有する形状としてもよい。

【 0 0 5 0 】

次に、画像処理回路 1 1 0 が信号を処理する手順について説明する。

【 0 0 5 1 】

30

本実施の形態ではフレーム間の差分の大きさにより、表示制御回路 1 1 3 及び選択回路 1 1 5 の動作を決定する。当該比較回路 1 1 2 がいずれかの画素でフレーム間の差分を検出した場合、比較回路 1 1 2 は画像信号が静止画ではないと判断し、差分を検出した連続するフレームを有する期間の画像信号は動画であると判断する。

【 0 0 5 2 】

一方、比較回路 1 1 2 での画像信号の比較により、全ての画素で差分が検出されない場合、当該差分を検出しなかったフレーム期間の画像信号は、静止画であると判断する。

【 0 0 5 3 】

ここで動画とは、複数のフレームに時分割した複数の画像を高速に切り替えることで人間の目に動く画像として認識される画像をいう。具体的には、1 秒間に 60 回（60 フレーム）以上画像を切り替えることで、滑らかな動画として人が認識できるものとなる。また、静止画とは、動画と同様に複数のフレーム期間に時分割した複数の画像を高速に切り替えて動作させるものの、連続するフレーム、例えば n フレーム目と、 $(n + 1)$ フレーム目とで変化しない画像信号で表示される画像のことをいう。

40

【 0 0 5 4 】

すなわち比較回路 1 1 2 は、連続するフレームの画像信号の差分の検出によって、動画を表示するための画像信号であるか、または静止画を表示するための画像信号であるかの判断をする回路である。なお、比較回路 1 1 2 は、差分の絶対値の大きさによって、差分の検出の判断をする設定とすればよい。

【 0 0 5 5 】

50

比較回路 1 1 2 が連続するフレーム間に差分を検出しない場合、すなわち画像が静止画の際には、選択回路 1 1 5 は、記憶回路 1 1 1 内のフレームメモリから表示制御回路 1 1 3 への出力を停止する。画像信号をフレームメモリより表示制御回路 1 1 3 に出力しない構成とすることにより、表示装置の消費電力を削減できる。

【 0 0 5 6 】

また、本実施の形態においては、比較回路 1 1 2 が連続するフレームの画像信号に差分を検出することにより当該画像が動画または静止画であることの判断を行う構成について示したが、表示画像のモード切り替え機能を有していてもよい。モード切り替え機能は、当該表示装置の利用者が手動または外部接続機器を用いて当該表示装置の動作モードを選択することで動画モードまたは静止画モードを切り替える機能である。

10

【 0 0 5 7 】

選択回路 1 1 5 は、モード切り替え回路から入力される信号に応じて、画像信号を表示制御回路 1 1 3 に出力することもできる。

【 0 0 5 8 】

例えば、静止画モードで動作している際に、モード切り替え回路から選択回路 1 1 5 にモード切り替え信号が入力されたとする。そうすると、比較回路 1 1 2 が連続するフレーム期間での画像信号の差分を検出していない場合であっても、記憶回路 1 1 1 から選択回路 1 1 5 に入力される画像信号を順次表示制御回路 1 1 3 に出力する動画モードに切り替えることができる。また、動画表示モードで動作している際に、モード切り替え回路から選択回路 1 1 5 にモード切り替え信号が入力された場合、上記とは逆の動作で静止画表示モードに切り替えることができる。その結果、本実施の形態の表示装置では、動画中の 1 フレームが静止画として表示される。

20

【 0 0 5 9 】

なお、前述した様に、本実施の形態の表示装置に設けられるソフトウェアによって画像ソースの形態（動画であるか、静止画であるか）の判断を行う場合は、記憶回路 1 1 1、比較回路 1 1 2、選択回路 1 1 5 は上述した動作を行わない。ソフトウェアで画像ソースの形態が判断される場合は、画像信号とともに画像モードの制御信号が表示制御回路 1 1 3 に直接入力され、表示の制御がなされる。

【 0 0 6 0 】

また、画像ソースの形態の判断を上記回路（ハードウェア）で行うか、ソフトウェアで行うかの切り替えが行える機能を表示装置に付加させても良い。なお、画像ソースの形態の判断をソフトウェアのみで行う機能とした表示装置では、記憶回路 1 1 1、比較回路 1 1 2、選択回路 1 1 5 は省かれていても良い。

30

【 0 0 6 1 】

また、本実施の形態で例示される表示装置は、当該表示装置が置かれている環境の明るさを検出できる光センサ 1 1 6 を有していてもよい。光センサ 1 1 6 で検出された照度によって表示制御回路 1 1 3 は、表示パネル 1 2 0 の駆動方法を変えることができる。

【 0 0 6 2 】

例えば、光センサ 1 1 6 が外光不足、すなわち暗い環境であることを検知すると、光センサ 1 1 6 は直接または他の回路を通して表示制御回路 1 1 3 に信号を送り、表示制御回路 1 1 3 は省電力化と認識性向上のためにバックライトの照度の制御を行う。透過型液晶表示装置の場合は、明るい場所よりも暗い場所の方が認識性が高いため、暗い場所では輝度を下げるように制御することが好ましい。また、半透過型液晶表示装置の場合は、消灯していたバックライトを点灯することで表示の認識性を高めることが好ましい。環境の明暗が逆に変化した場合は、バックライトには上記と逆の制御が行われることが好ましい。

40

【 0 0 6 3 】

次に、静止画モードにおける画素への信号の再書き込み動作（リフレッシュ動作）について説明する。

【 0 0 6 4 】

本発明の一態様では、表示装置の画素 1 2 3 にはオフ電流が低減されたトランジスタを用

50

いる。トランジスタがオフ状態のとき、オフ電流が低減されたトランジスタに接続された表示素子、及び容量素子に蓄えられた電荷は、オフ状態のトランジスタを介して漏れ難い。従って、トランジスタがオフ状態になる前に書き込まれた状態を長期間に渡って保持できる。

【0065】

しかしながら、極微量であってもオフ電流が流れるため、完全な不揮発型とはならず、表示を維持するには必要に応じて画素への書き込みを繰り返して行わなければならない。また、トランジスタのオフ電流には温度依存性があり、温度が高くなるとオフ電流は上昇してしまう。この様に表示装置の動作環境によって、トランジスタのオフ電流が変化すると画素が一定の電位を保持できる時間も変化し、表示の維持に必要な信号の再書き込み（リフレッシュ動作）の最適な間隔も一定ではなくなってしまう。

10

【0066】

あらゆる環境下で表示を維持する手段として、リフレッシュ動作を一定時間の間隔で行うことで画素に電位を保持させることができる。しかしながら、その間隔は想定される最も厳しい動作環境に合わせなければならず、リフレッシュ動作の間隔を固定すると省電力化が不十分となってしまう。より省電力化を高めるには、動作環境にあわせてリフレッシュ動作が必要なときに行うことが好ましい。

【0067】

その方法として、実際の表示状態をモニタし、その変化を検知することによってリフレッシュ動作のタイミングを決定する手段を用いることができる。具体的には、液晶表示パネル側から照射される光の照度を検出する光センサ117を用いる。

20

【0068】

光センサ117は、直接または他の回路を通して表示制御回路113に接続されており、液晶表示パネル側から照射される光の照度の変化率が既定値以上に達したところで表示領域の画素及び、後述するモニタ用画素のリフレッシュ動作を行う。なお、本実施の形態における光センサとは、少なくとも光電変換素子部を有するものであり、必ずしも増幅や演算などの機能を併せ持つ必要はなく、これらは他の回路で行っても良い。

【0069】

光センサには、可視光線に感度を有する受光素子を用いることができる。更に好ましくは、可視光線の波長領域に対してピーク感度を有しているものを用いる。また、その受光部を液晶表示パネル側からの光が入射されるように設置する。

30

【0070】

図2は、液晶表示装置と光センサの位置関係を示した模式図である。なお、トランジスタや偏光板などは図示を省略してある。図2(A)は透過型液晶表示装置の一例を表したものであり、トランジスタが形成された第1の基板710と対向側の第2の基板720が液晶層730を挟持し、バックライト部740を第1の基板710側に備えている。光センサ750は、第2の基板720の上方に設置され、液晶層730を通過したバックライト光は図中矢印を例とする光路で該光センサに入射する。ここで、光センサ750は、図1の光センサ117に相当する。

【0071】

このとき、光センサ750には導光板780を通して光を入射させても良い。導光板780を用いることで光センサ750を任意の位置に設置することができる（図2(B)参照）。また、光センサは1つに限らず複数でも良く、液晶表示パネルの表示領域の外側であれば位置やサイズは問われない。

40

【0072】

光センサ750の下部に点線枠で記した液晶層を含む領域760には、光の検出感度向上のためにモニタ用画素が形成されている。該光センサは、このモニタ用画素の液晶層730を通過した光を主に検出する。このモニタ用画素は、表示領域の外側の筐体700で覆われる領域に形成されており、その上部にある光センサ750は筐体700の開口部770からは直接光が入射しない位置に設置する。ここで、モニタ用画素は一箇所に限らず、

50

光センサの位置と数に合わせれば良い。また、モニタ用画素の大きさや画素数は任意であり、光センサの感度や液晶表示パネルの設計に合わせて実施者が決定すれば良い。

【 0 0 7 3 】

モニタ用画素には、電位を供給して表示を行い、光センサを用いてその透過光の経時変化をモニタする。例えば、ノーマリーホワイトの液晶装置では、画素電位の低下により黒表示から白表示へと変化する過程があり、その変化率が既定値以上に達した時点をリフレッシュ動作を行うタイミングとすることができる。ノーマリーブラックの液晶装置では、画素電位の低下により白表示から黒表示へと変化する過程がある。もちろん、これらは完全な白表示や黒表示である必要はなく、中間調状態においてその変化が検出できれば良い。また、モニタ用画素にカラーフィルタが含まれていても良い。

10

【 0 0 7 4 】

液晶素子がノーマリーホワイトであるかノーマリーブラックであるかは液晶と偏光板の関係で決定される。例えば、クロスニコル配置の偏光板とTN液晶の組み合わせではノーマリーホワイトとなり、同偏光板とIPS液晶またはVA液晶との組み合わせではノーマリーブラックとなる。

【 0 0 7 5 】

図2(C)は、半透過型液晶表示装置の一例を表したものであり、外光検出用の光センサを除いては、透過型液晶表示装置と同様の構成を用いることができる。トランジスタが形成された第1の基板810と対向側の第2の基板820が液晶層830を挟持し、バックライト部840を第1の基板810側に備えている。光センサ850aは第2の基板の上側に設置され、更にリフレッシュ動作用に外光検出用の光センサ850bを設けている。ここで、光センサ850aは、図1の光センサ117に相当し、外光検出用の光センサ850bは、光センサ116を兼ねても良い。

20

【 0 0 7 6 】

また、モニタ用画素は領域860に形成されており、開口部870を有する筐体800で全体が覆われている。なお、反射型として用いられる場合もモニタ用画素は光センサに対して光の検出感度向上の効果を与える。ここで、光センサ、外光検出用の光センサ及びモニタ用画素はそれぞれ1つに限らず、複数でも良い。

【 0 0 7 7 】

バックライトが作動し、透過型として用いられる場合の動作は、透過型液晶表示装置と同様である。一方、反射型として用いられる場合は、図中矢印を例とする光路で液晶層830を透過して反射した光が光センサ850aに入射される。この反射光の照度は、いずれも外光の照度に依存する。

30

【 0 0 7 8 】

すなわち、光センサ850aで検出される液晶表示パネル側からの反射光照度の経時変化には画素の電位低下によるものだけではなく、外光の変化が含まれる。従って、外光検出用の光センサ850bで検出された外光の照度の変化率と光センサ850aで検出された反射光の照度の変化率との差分から画素の電位低下による反射光照度の変化率を推定し、リフレッシュ動作のタイミングを決定することができる。

【 0 0 7 9 】

これらリフレッシュ動作は、人が画質の劣化を容易に認識できる表示状態となる前のタイミングで行えば良い。ただし、本実施の形態における液晶表示装置は、極めて画素電位の保持時間の長いものであり、急激に画質の劣化が起きるものではない。従って、実際には画質が劣化していても、画質の劣化が徐々に進行するため、人がそれを認識することができないことがある。このため、急激に画質を回復させるようなリフレッシュ動作を行うと、人がそれを認識し、不自然な表示状態と感ずることがある。これを防ぐためには、画素電位を段階的に上げるようなリフレッシュ動作を行い、人が画質の変化に対して認識が困難となるよう徐々に画質を回復させれば良い。

40

【 0 0 8 0 】

次に、画素に供給する信号の様子を図3に示す表示装置の等価回路図、及び図4に示すタ

50

タイミングチャートを用いて説明する。

【 0 0 8 1 】

図 3 に示す様に、画素 1 2 3 はトランジスタ 2 1 4、表示素子 2 1 5、及び容量素子 2 1 0 を有する。なお、本実施の形態では表示素子 2 1 5 に液晶素子を用いる。

【 0 0 8 2 】

トランジスタ 2 1 4 は、画素部に設けられた複数のゲート線 1 2 4 のうちのひとつとゲート電極が接続され、ソース電極またはドレイン電極の一方が複数の信号線 1 2 5 のうちのひとつと接続され、他方が容量素子 2 1 0 の一方の電極、及び表示素子 2 1 5 の一方の電極と接続される。

【 0 0 8 3 】

このような構成とすることで、容量素子 2 1 0 は表示素子 2 1 5 に加える電圧を保持することができる。なお、容量素子 2 1 0 を設けない構成とすることもできる。また、容量素子 2 1 0 の他方の電極は、別途設けた容量線に接続する構成としてもよい。

【 0 0 8 4 】

スイッチング素子 1 2 7 のソース電極またはドレイン電極の一方は、容量素子 2 1 0 の他方の電極及び表示素子 2 1 5 の一方の電極と接続され、スイッチング素子 1 2 7 のソース電極またはドレイン電極の他方は、共通接続部を介して端子 1 2 6 B に接続される。また、スイッチング素子 1 2 7 のゲート電極は端子 1 2 6 A に接続される。

【 0 0 8 5 】

図 4 のタイミングチャートには、表示制御回路 1 1 3 がゲート線駆動回路 1 2 1 A に供給するクロック信号 G C K、及びスタートパルス G S P を示す。また、表示制御回路 1 1 3 が信号線駆動回路 1 2 1 B に供給するクロック信号 S C K、及びスタートパルス S S P を示す。なお、クロック信号の出力のタイミングを説明するために、図 4 ではクロック信号の波形を単純な矩形波で示す。

【 0 0 8 6 】

また、図 4 に信号線 1 2 5 の電位、画素電極の電位、端子 1 2 6 A の電位、端子 1 2 6 B の電位、及び共通電極部の電位を示す。

【 0 0 8 7 】

図 4 の期間 4 0 1 は、動画を表示するための画像信号を書き込む期間に相当する。期間 4 0 1 では画像信号、共通電位が画素回路部の各画素、共通電極部に供給されるように動作する。

【 0 0 8 8 】

また、期間 4 0 2 は、静止画を表示する期間に相当する。期間 4 0 2 では、画素回路部の各画素への画像信号、共通電極部への共通電位を停止することとなる。なお、図 4 に示す期間 4 0 2 では、駆動回路部の動作を停止するよう各信号を供給する構成について示したが、静止画を維持するには必要に応じてリフレッシュ動作によって画像の劣化を防ぐ構成とすることが好ましい。本実施の形態においては、そのタイミングを光センサを用いて決定する方法を説明している。

【 0 0 8 9 】

期間 4 0 1 では、クロック信号 G C K として、常時クロック信号が供給され、スタートパルス G S P として、垂直同期周波数に応じたパルスが供給される。また、期間 4 0 1 では、クロック信号 S C K として、常時クロック信号が供給され、スタートパルス S S P として、1 ゲート選択期間に応じたパルスが供給される。

【 0 0 9 0 】

また、期間 4 0 1 では、各行の画素に画像信号 D a t a が信号線 1 2 5 を介して供給され、ゲート線 1 2 4 の電位に応じて画素電極に信号線 1 2 5 の電位が供給される。

【 0 0 9 1 】

また、期間 4 0 1 では、表示制御回路がスイッチング素子 1 2 7 のゲート電極が接続された端子 1 2 6 A にスイッチング素子 1 2 7 を導通状態とする電位を供給し、端子 1 2 6 B を介して共通電極部に共通電位を供給する。

10

20

30

40

50

【 0 0 9 2 】

一方、期間 4 0 2 では、クロック信号 G C K、スタートパルス G S P、クロック信号 S C K、及びスタートパルス S S P は共に停止する。また、期間 4 0 2 において、信号線 1 2 5 に供給していた画像信号 D a t a は停止する。クロック信号 G C K 及びスタートパルス G S P が共に停止する期間 4 0 2 では、画素のトランジスタ 2 1 4 が非導通状態となり画素電極が浮遊状態（フローティング）となる。

【 0 0 9 3 】

また、期間 4 0 2 では、表示制御回路がスイッチング素子 1 2 7 のゲート電極が接続された端子 1 2 6 A にスイッチング素子 1 2 7 を非導通状態とする電位を供給し、共通電極部を浮遊状態にする。

10

【 0 0 9 4 】

期間 4 0 2 では、表示素子 2 1 5 の画素電極及び共通電極部を浮遊状態にして、新たに電位を供給することなく、静止画の表示を行うことができる。

【 0 0 9 5 】

また、ゲート線駆動回路 1 2 1 A、及び信号線駆動回路 1 2 1 B に供給するクロック信号、及びスタートパルスを停止することにより低消費電力化を図ることができる。

【 0 0 9 6 】

特に、画素のトランジスタ 2 1 4 及びスイッチング素子 1 2 7 にオフ電流が低減されたトランジスタを用いることにより、表示素子 2 1 5 の両端子に加わる電圧が経時的に低下する現象を抑制できる。

20

【 0 0 9 7 】

次に、動画から静止画に切り替わる期間（図 4 中の期間 4 0 3）、及び静止画から動画に切り替わる期間（図 4 中の期間 4 0 4）における表示制御回路の動作を、図 5（A）、（B）を用いて説明する。図 5（A）、（B）は、表示制御回路が出力する、高電源電位 V d d、クロック信号（ここでは G C K）、スタートパルス信号（ここでは G S P）、及び端子 1 2 6 A の電位のタイミングチャートである。

【 0 0 9 8 】

動画から静止画に切り替わる期間の表示制御回路の動作を図 5（A）に示す。表示制御回路は、スタートパルス G S P を停止する（図 5（A）の E 1）。次いで、スタートパルス信号 G S P の停止後、パルス出力がシフトレジスタの最終段まで達した後に、複数のクロック信号 G C K を停止する（図 5（A）の E 2）。次いで、電源電圧の高電源電位 V d d を低電源電位 V s s にする（図 5（A）の E 3）。次いで、端子 1 2 6 A の電位を、スイッチング素子 1 2 7 が非導通状態となる電位にする（図 5（A）の E 4）。

30

【 0 0 9 9 】

以上の手順をもって、駆動回路部 1 2 1 の誤動作を引き起こすことなく、駆動回路部 1 2 1 に供給する信号を停止できる。動画から静止画に切り替わる際の誤動作はノイズを生じ、ノイズは静止画として保持されてしまう。従って、誤動作が少ない表示制御回路を搭載した表示装置は、画質の劣化が少ない静止画を表示することができる。

【 0 1 0 0 】

次に、静止画から動画に切り替わる期間の表示制御回路の動作を図 5（B）に示す。表示制御回路は、端子 1 2 6 A の電位をスイッチング素子 1 2 7 が導通状態となる電位にする（図 5（B）の S 1）。次いで、電源電圧を低電源電位 V s s から高電源電位 V d d にする（図 5（B）の S 2）。次いで、クロック信号を供給する前にハイの電位を与えた後、複数のクロック信号 G C K を供給する（図 5（B）の S 3）。次いでスタートパルス信号 G S P を供給する（図 5（B）の S 4）。

40

【 0 1 0 1 】

以上の手順をもって、駆動回路の誤動作を引き起こすことなく駆動回路部 1 2 1 に駆動信号の供給を再開できる。各配線の電位を適宜順番に動画表示時に戻すことで、誤動作なく駆動回路部の駆動を行うことができる。

【 0 1 0 2 】

50

また、動画を表示する期間 6 0 1、及び静止画を表示する期間 6 0 2 における、フレーム期間毎の画像信号の書き込み頻度を、図 6 に模式的に示す。図 6 中の「W」は画像信号の書き込み期間であることをあらわし、「H」は画像信号を保持する期間であることを示している。また、図 6 中の期間 6 0 3 は 1 フレーム期間を表したものであるが、別の期間であってもよい。

【 0 1 0 3 】

このように、本実施の形態の表示装置の構成において、期間 6 0 2 で表示される静止画の画像信号は期間 6 0 4 で書き込まれ、期間 6 0 4 で書き込まれた画像信号は、期間 6 0 2 の間は保持される。

【 0 1 0 4 】

以上により、本実施の形態に例示した表示装置は、動画モードと静止画モードを自動的に切り替え、静止画を表示する期間においては画像信号の書き込み頻度を低減することができる。その結果、静止画を表示する際の低消費電力化を図ることができる。

【 0 1 0 5 】

また、静止画の表示において、そのリフレッシュ動作のタイミングを時間の設定ではなく、光センサを用いて実際の表示状態をモニタすることにより決定することができる。また、動作環境に合わせた最適な間隔でリフレッシュ動作を行うことで、更なる低消費電力化を図ることができる。

【 0 1 0 6 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 1 0 7 】

(実施の形態 2)

図 7 に液晶表示モジュール 1 1 9 0 の構成を示す。液晶表示モジュール 1 1 9 0 は、バックライト部 1 1 3 0 と、該バックライト部と重なる位置にカラーフィルタを有し、液晶素子がマトリクス状に設けられた表示パネル 1 1 2 0 と、表示パネル 1 1 2 0 を挟む偏光板 1 1 2 5 a、及び偏光板 1 1 2 5 b を有する。バックライト部 1 1 3 0 は、面状に均一な白色光を発する。例えば、導光板の端部に白色の LED 1 1 3 3 を配置し、表示パネル 1 1 2 0 との間に拡散板 1 1 3 4 を設けたものをバックライト部 1 1 3 0 に用いることができる。また、外部入力端子となる FPC (フレキシブルプリントサーキット) 1 1 2 6 は表示パネル 1 1 2 0 に設けた端子部と電氣的に接続されている。

【 0 1 0 8 】

図 7 には、3色の光 1 1 3 5 が矢印 (R、G、及び B) で模式的に示してある。バックライト部 1 1 3 0 が発する光が、表示パネル 1 1 2 0 のカラーフィルタと重なる液晶素子により変調され、液晶表示モジュール 1 1 9 0 から観察者に達し、観察者は映像を捉える。

【 0 1 0 9 】

また、図 7 には、外光 1 1 3 9 が表示パネル 1 1 2 0 上の液晶素子を透過してその下部電極で反射される様子も、模式的に示してある。液晶素子を透過する光の強度は、画像信号により変調されるため、観察者は外光 1 1 3 9 の反射光によっても、映像を捉えることができる。

【 0 1 1 0 】

また、図 8 (A) は表示領域の平面図であり、1画素分の画素を示している。図 8 (B) は図 8 (A) の線 Y 1 - Y 2、及び線 Z 1 - Z 2 における断面図である。

【 0 1 1 1 】

図 8 (A) において、複数のソース配線層 (ソース電極層又はドレイン電極層 1 4 0 5 a を含む) が互いに平行 (図中上下方向に延伸) かつ互いに離間した状態で配置されている。複数のゲート配線層 (ゲート電極層 1 4 0 1 を含む) は、ソース配線層に略直交する方向 (図中左右方向) に延伸し、かつ互いに離間するように配置されている。容量配線層 1 4 0 8 は、複数のゲート配線層それぞれに隣接する位置に配置されており、ゲート配線層に略平行な方向、つまり、ソース配線層に略直交する方向 (図中左右方向) に延伸してい

10

20

30

40

50

る。

【 0 1 1 2 】

図 8 (A)、(B) の液晶表示装置は、半透過型液晶表示装置であり、画素領域は反射領域 1 4 9 8 及び透過領域 1 4 9 9 で構成されている。反射領域 1 4 9 8 では透光性導電層 1 4 4 7 上に画素電極層として反射電極層 1 4 4 6 が積層され、透過領域 1 4 9 9 では画素電極層として透光性導電層 1 4 4 7 のみが形成されている。なお、図 8 (A)、(B) では、層間膜 1 4 1 3 上に、透光性導電層 1 4 4 7、反射電極層 1 4 4 6 の順に積層する例を示したが、層間膜 1 4 1 3 上に、反射電極層 1 4 4 6、透光性導電層 1 4 4 7 の順に積層する構造であってもよい。トランジスタ 1 4 5 0 上には絶縁膜 1 4 0 7、1 4 0 9、及び層間膜 1 4 1 3 が設けられ、絶縁膜 1 4 0 7、1 4 0 9、及び層間膜 1 4 1 3 に形成された開口（コンタクトホール）において、透光性導電層 1 4 4 7 及び反射電極層 1 4 4 6 はトランジスタ 1 4 5 0 と電氣的に接続されている。透過領域 1 4 9 9 においては絶縁膜 1 4 0 9 と層間膜 1 4 1 3 の間にカラーフィルタ層として機能する着色層 1 4 1 6 を設ける。

10

【 0 1 1 3 】

図 8 (B) に示すように、第 2 の基板 1 4 4 2 には共通電極層 1 4 4 8（対向電極層ともいう）が形成され、第 1 の基板 1 4 4 1 上の透光性導電層 1 4 4 7 及び反射電極層 1 4 4 6 と、液晶層 1 4 4 4 を介して対向している。なお、図 8 (A)、(B) の液晶表示装置では、透光性導電層 1 4 4 7 及び反射電極層 1 4 4 6 と液晶層 1 4 4 4 との間に配向膜 1 4 6 0 a が設けられ、共通電極層 1 4 4 8 と液晶層 1 4 4 4 との間には配向膜 1 4 6 0 b が設けられている。配向膜 1 4 6 0 a、1 4 6 0 b は、液晶の配向を制御する機能を有する絶縁層であり、液晶材料によっては設けなくてもよい。

20

【 0 1 1 4 】

トランジスタ 1 4 5 0 は、ボトムゲート構造の逆スタガ型トランジスタを用いた一例であり、ゲート電極層 1 4 0 1、ゲート絶縁層 1 4 0 2、半導体層 1 4 0 3、ソース電極層又はドレイン電極層 1 4 0 5 a、及びソース電極層又はドレイン電極層 1 4 0 5 b を含む。また、ゲート電極層 1 4 0 1 と同工程で形成された容量配線層 1 4 0 8、ゲート絶縁層 1 4 0 2、及びソース電極層又はドレイン電極層 1 4 0 5 a、1 4 0 5 b と同工程で形成された導電層 1 4 4 9 が積層し、容量を形成している。なお、容量配線層 1 4 0 8 を覆うように、アルミニウム（A l）や銀（A g）などの反射導電膜で形成される反射電極層 1 4 4 6 を形成することが好ましい。

30

【 0 1 1 5 】

本実施の形態における半透過型液晶表示装置は、トランジスタ 1 4 5 0 のオンオフ制御によって、透過領域 1 4 9 9 における動画のカラー表示と、反射領域 1 4 9 8 における静止画のモノクロ（白黒）表示を行う。

【 0 1 1 6 】

透過領域 1 4 9 9 においては、第 1 の基板 1 4 4 1 側に設けられたバックライトからの入射光によって画像表示を行う。液晶表示装置にカラーフィルタとして機能する着色層 1 4 1 6 を設けると、透過領域において、バックライトからの光を着色層 1 4 1 6 に透過させることでカラー表示を行うことができる。例えばフルカラー表示とする場合、カラーフィルタは、赤色（R）、緑色（G）、青色（B）を呈する材料で形成すればよく、また更にイエロー、シアン、マゼンタ等を呈する材料を用いて形成してもよい。

40

【 0 1 1 7 】

図 8 は、絶縁膜 1 4 0 9 と層間膜 1 4 1 3 との間にカラーフィルタとして機能する着色層 1 4 1 6 を設けた例である。着色層 1 4 1 6 は、カラーフィルタとして機能させるため、その着色された有彩色の光のみを透過する材料で形成された透光性樹脂層を用いればよい。着色層 1 4 1 6 は、含ませる着色材料の濃度と光の透過率の関係に考慮して、最適な膜厚を適宜制御するとよい。有彩色の色によって有彩色の透光性樹脂層の膜厚が異なる場合や、トランジスタに起因する凹凸を有する場合は、可視光領域の波長の光を透過する（いわゆる無色透明）絶縁層を積層し、層間膜表面を平坦化してもよい。

50

【 0 1 1 8 】

着色層 1 4 1 6 を直接第 1 の基板 1 4 4 1 側に形成する場合、より精密な形成領域の制御ができ、微細なパターンの画素にも対応することができる。また、着色層 1 4 1 6 は層間膜として用いてもよい。

【 0 1 1 9 】

着色層 1 4 1 6 は、感光性、非感光性の有機樹脂を用いて、塗布法によって形成すればよい。

【 0 1 2 0 】

一方、反射領域 1 4 9 8 においては、第 2 の基板 1 4 4 2 側から入射した外光を反射電極層 1 4 4 6 によって反射することで画像表示を行う。

10

【 0 1 2 1 】

液晶表示装置において、反射電極層 1 4 4 6 に凹凸を形成する例を図 9 及び図 1 0 に示す。図 9 は、反射領域 1 4 9 8 において、層間膜 1 4 1 3 表面を凹凸形状とすることで反射電極層 1 4 4 6 に凹凸形状を形成する例である。層間膜 1 4 1 3 表面の凹凸形状は、選択的にエッチング加工を行うことで形成すればよい。例えば、感光性の有機樹脂にフォトリソグラフィ工程を行って凹凸形状を有する層間膜 1 4 1 3 を形成することができる。また、図 1 0 は、反射領域 1 4 9 8 において、層間膜 1 4 1 3 上に凸形状の構造体を設けて、反射電極層 1 4 4 6 に凹凸形状を形成する例である。なお、図 1 0 は、絶縁層 1 4 8 0 及び絶縁層 1 4 8 2 の積層によって凸形状の構造体を形成している。例えば、絶縁層 1 4 8 0 としては酸化シリコンや窒化シリコン等の無機絶縁層を用いることができ、絶縁層 1 4 8 2 としてはポリイミド樹脂やアクリル樹脂などの有機樹脂を用いることができる。まず、スパッタリング法により酸化シリコン膜を層間膜 1 4 1 3 上に形成し、酸化シリコン膜上に塗布法によりポリイミド樹脂膜を形成する。酸化シリコン膜をエッチングストッパーとして用いて、ポリイミド樹脂膜をエッチング加工する。加工されたポリイミド樹脂層をマスクとして酸化シリコン膜をエッチング加工することで、図 1 0 に示すような絶縁層 1 4 8 0 及び絶縁層 1 4 8 2 の積層からなる凸状の構造体を形成することができる。

20

【 0 1 2 2 】

図 9 及び図 1 0 に示すように、反射電極層 1 4 4 6 表面に凹凸を有すると、入射した外光を乱反射させ、より良好な画像表示を行うことができる。よって、画像表示における視認性が向上する。

30

【 0 1 2 3 】

なお、図 8、図 9、及び図 1 0 では、反射領域 1 4 9 8 において白黒表示を行う例を示したが、反射領域 1 4 9 8 においてもカラー表示を行うこともできる。図 1 1 に、透過領域 1 4 9 9 及び反射領域 1 4 9 8 双方において、フルカラー表示を行う例を示す。

【 0 1 2 4 】

図 1 1 では、カラーフィルタ 1 4 7 0 を第 2 の基板 1 4 4 2 と共通電極層 1 4 4 8 との間に設ける例である。反射電極層 1 4 4 6 と視認側の第 2 の基板 1 4 4 2 との間にカラーフィルタ 1 4 7 0 を設けることで、反射電極層 1 4 4 6 で反射した光はカラーフィルタ 1 4 7 0 を透過するため、カラー表示を行うことができる。

40

【 0 1 2 5 】

カラーフィルタは、第 2 の基板 1 4 4 2 より外側（液晶層 1 4 4 4 と反対側）に設けてもよい。

【 0 1 2 6 】

なお、図 9 及び図 1 0 においても、着色層 1 4 1 6 の代わりに図 1 1 (B) のようにカラーフィルタ 1 4 7 0 を設けることで、反射領域 1 4 9 8 においてもフルカラー表示を行うことができる。

【 0 1 2 7 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【 0 1 2 8 】

50

(実施の形態3)

本実施の形態では、本明細書に開示する液晶表示装置に適用できるトランジスタの例を示す。本明細書に開示する液晶表示装置に適用できるトランジスタの構造は特に限定されず、例えばトップゲート構造、又はボトムゲート構造のスタガ型及びプレーナ型などを用いることができる。また、トランジスタはチャネル形成領域が一つ形成されるシングルゲート構造でも、二つ形成されるダブルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。また、チャネル形成領域の上下にゲート絶縁層を介して配置された2つのゲート電極層を有する、デュアルゲート型でもよい。なお、図12(A)乃至(D)にトランジスタの断面構造の一例を以下に示す。図12(A)乃至(D)に示すトランジスタは、酸化物半導体を用いるものである。酸化物半導体を用いることのメリットは、比較的簡単かつ低温のプロセスで高い移動度と低いオフ電流が得られることであるが、もちろん、他の半導体を用いてもよい。

10

【0129】

図12(A)に示すトランジスタ2410は、ボトムゲート構造の薄膜トランジスタの一つであり、逆スタガ型薄膜トランジスタともいう。

【0130】

トランジスタ2410は、絶縁表面を有する基板2400上に、ゲート電極層2401、ゲート絶縁層2402、酸化物半導体層2403、ソース電極層2405a、及びドレイン電極層2405bを含む。また、トランジスタ2410を覆い、酸化物半導体層2403に積層する絶縁層2407が設けられている。絶縁層2407上にはさらに保護絶縁層2409が形成されている。

20

【0131】

図12(B)に示すトランジスタ2420は、チャネル保護型と呼ばれるボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

【0132】

トランジスタ2420は、絶縁表面を有する基板2400上に、ゲート電極層2401、ゲート絶縁層2402、酸化物半導体層2403、酸化物半導体層2403のチャネル形成領域を覆うチャネル保護層として機能する絶縁層2427、ソース電極層2405a、及びドレイン電極層2405bを含む。また、トランジスタ2420を覆い、保護絶縁層2409が形成されている。

30

【0133】

図12(C)に示すトランジスタ2430はボトムゲート型の薄膜トランジスタであり、絶縁表面を有する基板である基板2400上に、ゲート電極層2401、ゲート絶縁層2402、ソース電極層2405a、ドレイン電極層2405b、及び酸化物半導体層2403を含む。また、トランジスタ2430を覆い、酸化物半導体層2403に接する絶縁層2407が設けられている。絶縁層2407上にはさらに保護絶縁層2409が形成されている。

【0134】

トランジスタ2430においては、ゲート絶縁層2402は基板2400及びゲート電極層2401上に接して設けられ、ゲート絶縁層2402上にソース電極層2405a、ドレイン電極層2405bが接して設けられている。そして、ゲート絶縁層2402、及びソース電極層2405a、ドレイン電極層2405b上に酸化物半導体層2403が設けられている。

40

【0135】

図12(D)に示すトランジスタ2440は、トップゲート構造の薄膜トランジスタの一つである。トランジスタ2440は、絶縁表面を有する基板2400上に、絶縁層2437、酸化物半導体層2403、ソース電極層2405a、及びドレイン電極層2405b、ゲート絶縁層2402、ゲート電極層2401を含み、ソース電極層2405a、ドレイン電極層2405bにそれぞれ配線層2436a、配線層2436bが接して設けられ電氣的に接続している。

50

【0136】

本実施の形態では、上述のとおり、トランジスタを構成する半導体層に酸化物半導体層2403を用いる。酸化物半導体層2403に用いる酸化物半導体材料としては、四元系金属酸化物であるIn-Sn-Ga-Zn-O系金属酸化物や、三元系金属酸化物であるIn-Ga-Zn-O系金属酸化物、In-Sn-Zn-O系金属酸化物、In-Al-Zn-O系金属酸化物、Sn-Ga-Zn-O系金属酸化物、Al-Ga-Zn-O系金属酸化物、Sn-Al-Zn-O系金属酸化物や、二元系金属酸化物であるIn-Zn-O系金属酸化物、Sn-Zn-O系金属酸化物、Al-Zn-O系金属酸化物、Zn-Mg-O系金属酸化物、Sn-Mg-O系金属酸化物、In-Mg-O系金属酸化物や、In-O系金属酸化物、Sn-O系金属酸化物、Zn-O系金属酸化物などを用いることができる。また、上記酸化物半導体にSiを含んでもよい。ここで、例えば、In-Ga-Zn-O系酸化物半導体とは、少なくともInとGaとZnを含む酸化物のことであり、その組成比に特に制限はない。また、InとGaとZn以外の元素を含んでもよい。

10

【0137】

また、酸化物半導体層2403は、化学式 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される薄膜を用いることができる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一つ、または複数の金属元素を示す。例えばMとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoなどがある。

【0138】

酸化物半導体層2403を用いたトランジスタ2410、2420、2430、2440は、オフ状態における電流値（オフ電流値）を低くすることができる。よって、画像イメージデータ等の電気信号の保持時間を長くすることができ、書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくすることができるため、消費電力を抑制する効果を奏する。

20

【0139】

また、酸化物半導体層2403を用いたトランジスタ2410、2420、2430、2440は、比較的高い電界効果移動度が得られるため、高速駆動が可能である。よって、液晶表示装置の画素部に該トランジスタを用いることで、高画質な画像を提供することができる。また、該トランジスタを用いて、同一基板上に駆動回路部と画素部を作製することができるため、液晶表示装置の部品点数を削減することができる。

30

【0140】

絶縁表面を有する基板2400には、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0141】

ボトムゲート構造のトランジスタ2410、2420、2430においては、下地膜となる絶縁膜を基板とゲート電極層の間に設けてもよい。下地膜は、基板からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一つ、又は複数の膜による積層構造により形成することができる。

【0142】

ゲート電極層2401の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料、またはこれらを主成分とする合金材料を用いて、単層でまたは積層して形成することができる。

40

【0143】

ゲート絶縁層2402は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を単層で、又は積層して形成することができる。例えば、第1のゲート絶縁層としてプラズマCVD法により膜厚50nm以上200nm以下の窒化シリコン層（ SiN_y ($y > 0$))を形成し、第1のゲート絶縁層上に第2のゲート絶縁層として膜厚5

50

nm以上300nm以下の酸化シリコン層(SiO_x ($x > 0$))を積層して、合計膜厚200nmのゲート絶縁層とする。

【0144】

ソース電極層2405a、ドレイン電極層2405bに用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、またはこれらの元素を含む合金等を用いることができる。また、Al、Cuなどの金属層の下側又は上側の一方または双方にTi、Mo、Wなどの高融点金属層を積層させた構成としても良い。また、Al膜に生ずるヒロックやウィスカの発生を防止する元素(Si、NdまたはScなど)が添加されているAl材料を用いることで耐熱性を向上させることが可能となる。

【0145】

また、ソース電極層2405a、ドレイン電極層2405bに接続する配線層2436a、配線層2436bなどの導電膜も、ソース電極層2405a、ドレイン電極層2405bと同様な材料を用いることができる。

【0146】

また、ソース電極層2405a、ドレイン電極層2405b(これと同じ層で形成される配線層を含む)となる導電膜としては導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ合金($\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITOと略記する)、酸化インジウム酸化亜鉛合金($\text{In}_2\text{O}_3-\text{ZnO}$)またはこれらの金属酸化物材料にシリコンを含ませたものを用いることができる。

【0147】

絶縁層2407、2427、2437は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などの無機絶縁膜を用いることができる。

【0148】

保護絶縁層2409は、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。

【0149】

また、トランジスタの構造に起因する表面凹凸を低減するために保護絶縁層2409上に平坦化絶縁膜を形成してもよい。平坦化絶縁膜としては、ポリイミド、アクリル、ベンゾシクロブテン、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(low-k材料)等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

【0150】

このように、本実施の形態において、酸化物半導体層を含むトランジスタを用いることにより、高機能な液晶表示装置を提供することができる。

【0151】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0152】

(実施の形態4)

本実施の形態は、酸化物半導体層を含むトランジスタ、及び作製方法の一例を図13を用いて詳細に説明する。

【0153】

図13(A)乃至(E)にトランジスタの断面構造の一例を示す。図13(A)乃至(E)に示すトランジスタ2510は、図12(A)に示すトランジスタ2410と同様なボトムゲート構造の逆スタガ型薄膜トランジスタである。

【0154】

本実施の形態の半導体層に用いる酸化物半導体は、ドナーとなる性質を持つ水素を酸化物半導体から極力除去し、酸化物半導体の主成分以外の不純物が極力含まれないように高純

10

20

30

40

50

度化することにより i 型（真性）の酸化物半導体、又は i 型（真性）に限りなく近い酸化物半導体としたものである。すなわち、不純物を添加して i 型化するのでなく、水素や水等の不純物を極力除去したことにより、高純度化された i 型（真性半導体）又はそれに近づけることを特徴としている。従って、トランジスタ 2510 が有する酸化物半導体層は、高純度化され電氣的に i 型（真性）化した酸化物半導体層である。

【0155】

また、高純度化された酸化物半導体中にはキャリアが極めて少なく（ゼロに近い）、キャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。

【0156】

酸化物半導体中にキャリアが極めて少ないため、トランジスタのオフ電流を少なくすることができる。オフ電流は少なければ少ないほど好ましい。

【0157】

具体的には、上述の酸化物半導体層を具備するトランジスタは、チャネル幅 $1 \mu\text{m}$ あたりのオフ電流密度を室温下において $10 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-17} \text{ A} / \mu\text{m}$) 以下にすること、さらには、 $1 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-18} \text{ A} / \mu\text{m}$) 以下、さらには $10 \text{ zA} / \mu\text{m}$ ($1 \times 10^{-20} \text{ A} / \mu\text{m}$) 以下にすることが可能である。

【0158】

オフ状態における電流値（オフ電流値）が極めて小さいトランジスタを実施の形態 1 の画素部におけるトランジスタとして用いることにより、静止画表示におけるリフレッシュ動作回数を少なくすることができる。

【0159】

また、上述の酸化物半導体層を具備するトランジスタ 2510 はオン電流の温度依存性がほとんど見られず、オフ電流も非常に小さい領域でしか推移しない。

【0160】

以下、図 13 (A) 乃至図 13 (E) を用い、基板 2505 上にトランジスタ 2510 を作製する工程を説明する。

【0161】

まず、絶縁表面を有する基板 2505 上に導電膜を形成した後、第 1 のフォトリソグラフィ工程とエッチング工程でゲート電極層 2511 を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0162】

絶縁表面を有する基板 2505 は、実施の形態 3 に示した基板 2400 と同様な基板を用いることができる。本実施の形態では基板 2505 としてガラス基板を用いる。

【0163】

下地膜となる絶縁膜を基板 2505 とゲート電極層 2511 との間に設けてもよい。下地膜は、基板 2505 からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一つ、又は複数の膜による積層構造により形成することができる。

【0164】

また、ゲート電極層 2511 の材料は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用い、単層又は積層で形成することができる。

【0165】

次いで、ゲート電極層 2511 上にゲート絶縁層 2507 を形成する。ゲート絶縁層 2507 は、プラズマ CVD 法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を用いて、これらの単層又は積層で形成することができる。

10

20

30

40

50

【0166】

本実施の形態の酸化物半導体は、不純物が除去され、*i*型化又は実質的に*i*型化された酸化物半導体を用いる。このような高純度化された酸化物半導体は界面準位、界面電荷に対して極めて敏感であるため、酸化物半導体層とゲート絶縁層との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁層は、高品質化が要求される。

【0167】

例えば、マイクロ波（例えば、周波数2.45GHz）を用いた高密度プラズマCVDは、緻密で絶縁耐压の高い高品質な絶縁層を形成できるので好ましい。高純度化された酸化物半導体と高品質なゲート絶縁層とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

10

【0168】

もちろん、ゲート絶縁層として良質な絶縁層を形成できるものであれば、スパッタリング法やプラズマCVD法など他の成膜方法を適用することができる。また、成膜後の熱処理によってゲート絶縁層の膜質、酸化物半導体との界面特性が改質される絶縁層であっても良い。いずれにしても、ゲート絶縁層としての膜質が良好であることは勿論のこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成できるものであれば良い。

【0169】

また、ゲート絶縁層2507、酸化物半導体膜2530に水素、水酸基及び水分がなるべく含まれないようにするために、酸化物半導体膜2530の成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極層2511が形成された基板2505、又はゲート絶縁層2507までが形成された基板2505を予備加熱し、基板2505に吸着した水素、水分などの不純物を脱離させ排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。また、この予備加熱は、絶縁層2516の成膜前に、ソース電極層2515a及びドレイン電極層2515bまで形成した基板2505にも同様の処理を行ってもよい。

20

【0170】

次いで、ゲート絶縁層2507上に、膜厚2nm以上200nm以下、好ましくは5nm以上30nm以下の酸化物半導体膜2530を形成する（図13（A）参照）。

【0171】

なお、酸化物半導体膜2530をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層2507の表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加し、イオン化したアルゴンを基板に衝突させて表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

30

【0172】

酸化物半導体膜2530に用いる酸化物半導体は、実施の形態3に示した四元系金属酸化物や、三元系金属酸化物や、二元系金属酸化物や、In-O系金属酸化物、Sn-O系金属酸化物、Zn-O系金属酸化物などの酸化物半導体を用いることができる。また、上記酸化物半導体にSiを含んでもよい。本実施の形態では、酸化物半導体膜2530としてIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタリング法により成膜する。この段階での断面図が図13（A）に相当する。また、酸化物半導体膜2530は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下においてスパッタ法により形成することができる。

40

【0173】

酸化物半導体膜2530をスパッタリング法で作製するためのターゲットとしては、例えば、組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol数比]の金属酸化物を用いることができる。または、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol数比]の金属酸化物を用いてもよい。酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%である。充填率の高い金属酸化物ターゲット

50

を用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

【0174】

酸化物半導体膜2530を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0175】

減圧状態に保持された成膜室内に基板を保持し、基板温度を100 以上600 以下好ましくは200 以上400 以下とする。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる膜の損傷が軽減される。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板2505上に酸化物半導体膜2530を成膜する。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水(H₂O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

10

【0176】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流電源を用いると、成膜時に発生する粉状物質(パーティクル、ごみともいう)が軽減でき、膜厚分布も均一となるために好ましい。

20

【0177】

次いで、酸化物半導体膜2530を第2のフォトリソグラフィ工程とエッチング工程で島状の酸化物半導体層に加工する。また、島状の酸化物半導体層を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0178】

また、ゲート絶縁層2507にコンタクトホールを形成する場合、その工程は酸化物半導体膜2530の加工時に同時に行うことができる。

30

【0179】

なお、ここでの酸化物半導体膜2530のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、酸化物半導体膜2530のウェットエッチングに用いるエッチング液としては、燐酸、酢酸及び硝酸を混ぜた溶液などを用いることができる。また、ITO-07N(関東化学社製)を用いてもよい。

【0180】

次いで、酸化物半導体層に第1の加熱処理を行う。この第1の加熱処理によって酸化物半導体層の脱水化または脱水素化を行うことができる。第1の加熱処理の温度は、400 以上750 以下、または400 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450 において1時間の加熱処理を行い、酸化物半導体層2531とする(図13(B)参照)。

40

【0181】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスに

50

は、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

【0182】

例えば、第1の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。

【0183】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

10

【0184】

また、第1の加熱処理で酸化物半導体層を加熱した後、同じ炉に高純度の酸素ガス、高純度のN₂Oガス、又は超乾燥エア(露点が-40 以下、好ましくは-60 以下)を導入してもよい。加熱処理装置に導入する酸素ガスまたはN₂Oガスの純度は、6N以上、好ましくは7N以上、(即ち、酸素ガスまたはN₂Oガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。特にこれらのガスには、水、水素などが含まれないことが好ましい。酸素ガス又はN₂Oガスの作用によって、脱水化または脱水素化処理による不純物の排除工程で脱離してしまった酸化物半導体を構成する主成分材料である酸素を供給することができる。この工程により、酸化物半導体層を高純度化させ電氣的にi型(真性)化することができる。

20

【0185】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜2530に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0186】

なお、第1の加熱処理は、上記以外にも、酸化物半導体層成膜後であれば、酸化物半導体層上にソース電極層及びドレイン電極層を積層させた後、あるいは、ソース電極層及びドレイン電極層上に絶縁層を形成した後、のいずれのタイミングで行っても良い。

30

【0187】

また、ゲート絶縁層2507にコンタクトホールを形成する場合、その工程は酸化物半導体膜2530に第1の加熱処理を行う前でも行った後に行ってもよい。

【0188】

また、酸化物半導体を2回に分けて成膜し、2回に分けて加熱処理を行って結晶化した酸化物半導体層を用いても良い。この様な工程を行うことで、下地部材を問わず、膜表面に垂直にc軸配向した膜厚の厚い結晶領域(単結晶領域)を形成することができる。例えば、3nm以上15nm以下の第1の酸化物半導体膜を成膜し、窒素、酸素、希ガス、または乾燥空気の雰囲気下で450 以上850 以下、好ましくは550 以上750 以下の第1の加熱処理を行い、表面を含む領域に結晶領域(板状結晶を含む)を有する第1の酸化物半導体膜を形成する。そして、第1の酸化物半導体膜よりも厚い第2の酸化物半導体膜を形成し、450 以上850 以下、好ましくは600 以上700 以下の第2の加熱処理を行う。この工程により、第1の酸化物半導体膜が種結晶となり、第2の酸化物半導体膜全体を下部から上部に向かって結晶成長させることができ、結果として膜厚の厚い結晶領域を有する酸化物半導体層が形成される。

40

【0189】

次いで、ゲート絶縁層2507、及び酸化物半導体層2531上に、ソース電極層及びドレイン電極層(これと同じ層で形成される配線を含む)となる導電膜を形成する。ソース電極層、及びドレイン電極層に用いる導電膜としては、実施の形態3に示したソース電極層2405a、ドレイン電極層2405bに用いる材料を用いることができる。

50

【0190】

第3のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層2515a、ドレイン電極層2515bを形成した後、レジストマスクを除去する(図13(C)参照)。

【0191】

第3のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザー光やArFレーザー光を用いるとよい。酸化物半導体層2531上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成されるトランジスタのチャンネル長Lが決定される。なお、チャンネル長 $L = 25\text{ nm}$ 未満の場合には、数 $\text{nm} \sim$ 数 10 nm と極めて波長が短い超紫外線(Extreme Ultraviolet)を用いて第3のフォトリソグラフィ工程でのレジストマスク形成時の露光を行うとよい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長Lを 10 nm 以上 1000 nm 以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さいため、低消費電力化も図ることができる。

10

【0192】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。透過した光が複数の強度となる多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となる。該レジストマスクは、アッシングを行うことで形状を变形することができるため、一回のフォトリソグラフィ工程で異なるパターンに加工する複数のエッチング工程を行うことができる。従って、露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

20

【0193】

なお、導電膜のエッチングの際に、酸化物半導体層2531がエッチングされ、分断することのないようエッチング条件を最適化することが望まれる。しかしながら、導電膜のみをエッチングし、酸化物半導体層2531を全くエッチングしないという条件を得ることは難しく、導電膜のエッチングの際に酸化物半導体層2531は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。

【0194】

本実施の形態では、導電膜としてTi膜を用い、酸化物半導体層2531にはIn-Ga-Zn-O系酸化物半導体を用いるため、エッチャントには過水アンモニア水(アンモニア、水、過酸化水素水の混合液)を用いると良い。

30

【0195】

次いで、酸化物半導体層の一部に接する保護絶縁膜となる絶縁層2516を形成する。この絶縁層2516を形成する前に N_2O 、 N_2 、またはArなどのガスを用いたプラズマ処理を行い、露出している酸化物半導体層の表面に付着した吸着水などを除去してもよい。

【0196】

絶縁層2516は、少なくとも 1 nm 以上の膜厚とし、スパッタ法など、絶縁層2516に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。絶縁層2516に水素が含まれると、その水素が酸化物半導体層に侵入する現象や、水素が酸化物半導体層中の酸素を引き抜く現象が生じることがある。この場合、酸化物半導体層のバックチャンネル側が低抵抗化(n型化)してしまい、寄生チャンネルが形成されることがある。従って、絶縁層2516は、水素及び水素を含む不純物が含まれない手段を用いて成膜することが重要である。

40

【0197】

本実施の形態では、絶縁層2516として膜厚 200 nm の酸化シリコン膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上 300 以下とすればよく、本実施の形態では 100 とする。酸化シリコン膜のスパッタ法による成膜は、希ガス(代表的に

50

はアルゴン) 雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下において行うことができる。また、ターゲットとして酸化シリコンターゲットまたはシリコンターゲットを用いることができる。例えば、シリコンターゲットを用いて、酸素を含む雰囲気下でスパッタ法により酸化シリコンを形成することができる。酸化物半導体層に接して形成する絶縁層 2516 には、水分や、水素イオンや、 OH^- などの不純物をほとんど含まず、これらが外部から侵入することをブロックする無機絶縁膜を用いることが好ましい。代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いることができる。

【0198】

酸化物半導体膜 2530 の成膜時と同様に、絶縁層 2516 の成膜室内の残留水分を除去するためには、吸着型の真空ポンプ(クライオポンプなど)を用いることが好ましい。クライオポンプを用いて排気した成膜室で成膜した絶縁層 2516 は、膜中に含まれる不純物の濃度を低減することができる。また、絶縁層 2516 の成膜室内の残留水分を除去するための排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。

10

【0199】

絶縁層 2516 を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0200】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理(好ましくは200 以上400 以下、例えば250 以上350 以下)を行う。例えば、窒素雰囲気下で250 、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部(チャネル形成領域)は絶縁層 2516 と接した状態で昇温される。

20

【0201】

以上の工程を経ることによって、酸化物半導体膜に対して第1の加熱処理を行って水素、水、水酸基又は水素化物(水素化合物ともいう)などの不純物と同時に減少してしまった酸化物半導体を構成する主成分材料の一つである酸素を供給することができる。従って、酸化物半導体層は高純度化され電氣的に i 型(真性)化する。

【0202】

以上の工程でトランジスタ 2510 が形成される(図13(D)参照)。

30

【0203】

また、酸化物絶縁層に欠陥を多く含む酸化シリコン層を用いると、酸化シリコン層形成後の加熱処理によって酸化物半導体層中に含まれる水素、水、水酸基又は水素化物などの不純物を酸化シリコン層中に拡散させることができる。つまり、酸化物半導体層中に含まれる該不純物をより低減させる効果を奏する。

【0204】

絶縁層 2516 上にさらに保護絶縁層 2506 を形成してもよい。例えば、RF スパッタ法を用いて窒化シリコン膜を形成する。RF スパッタ法は、量産性が良いため、保護絶縁層の成膜方法として好ましい。保護絶縁層には、水分などの不純物をほとんど含まず、更にこれらの外部からの侵入を防ぐことのできる無機絶縁膜である窒化シリコン膜、窒化アルミニウム膜などを用いると良い。本実施の形態では、保護絶縁層 2506 に窒化シリコン膜を用いる(図13(E)参照)。

40

【0205】

保護絶縁層 2506 に用いる窒化シリコン膜は、絶縁層 2516 まで形成された基板 2505 を100 以上400 以下の温度に加熱し、水素及び水が除去された高純度窒素を含むスパッタガスを導入し、シリコンのターゲットを用いて成膜する。この場合においても、絶縁層 2516 と同様に、処理室内の残留水分を除去しつつ保護絶縁層 2506 を成膜することが好ましい。

【0206】

保護絶縁層の形成後、さらに大気中で100 以上200 以下、1時間以上30時間以

50

下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から加熱温度への昇温と加熱温度から室温までの降温を1サイクルとする処理を複数回繰り返して行ってもよい。

【0207】

このように、本実施の形態を用いて作製した、高純度化された酸化物半導体層を含むトランジスタを用いることにより、オフ状態における電流値（オフ電流値）をより低くすることができる。従って、表示装置の画素電位の保持時間を長くすることができ、リフレッシュ動作の頻度をより少なくすることができるため、消費電力を抑制する効果を高くできる。

【0208】

また、高純度化された酸化物半導体層を含むトランジスタは、高い電界効果移動度が得られるため、高速駆動が可能である。よって、液晶表示装置の画素部に該トランジスタを用いることで、高画質な画像を提供することができる。また、該トランジスタを用いて、同一基板上に駆動回路部を作製することができるため、液晶表示装置の部品点数を削減することができる。

【0209】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0210】

（実施の形態5）

本実施の形態では、半透過型液晶表示装置の1画素当たりの反射光量と透過光量を向上せしめる画素構成について、図14、図15、及び図16を用いて説明する。

【0211】

図14は、本実施の形態で示す画素の平面構成を説明するための図である。図15（A）、図15（B）は、図14における一点破線で示したX1-X2部、及びY1-Y2部の断面構成を示している。本実施の形態で説明する画素は、基板1800上に、画素電極部には透光性導電層1823、絶縁膜1824及び反射電極1825が積層されており、絶縁膜1827、絶縁膜1828、及び有機樹脂膜1822に設けられたコンタクトホール1855で、透光性導電層1823と反射電極1825がトランジスタ1851のドレイン電極1857に接続されている。ドレイン電極1857は、ゲート絶縁膜1829を介して容量配線1853と重畳し、保持容量1871を構成している（図15（A）参照）。

【0212】

トランジスタ1851のゲート電極1858は、配線1852に接続されており、ソース電極1856は、配線1854に接続されている。トランジスタ1851は、他の実施の形態で説明したトランジスタを用いることができる。

【0213】

反射電極1825により外光を反射することで、画素電極を反射型液晶表示装置の画素電極として機能させることができる。反射電極1825には複数の開口部1826が設けられている。開口部1826には反射電極1825が存在せず、構造体1820及び透光性導電層1823が突出している。開口部1826から、バックライトの光を透過させることで、画素電極を透過型液晶表示装置の画素電極として機能させることができる。

【0214】

また、図16は、図15（B）とは異なる例を示す断面図であり、開口部1826において、構造体1820及び透光性導電層1823が突出していない構造を有する本発明の一態様である。図15（B）では、バックライト射出光口1841と開口部1826はほぼ同一サイズであるのに対して、図16では、バックライト射出光口1841のサイズと開口部1826のサイズが異なり、バックライト入射光口1842からの距離も異なる。従って図16と比較して図15（B）のほうが透過領域の面積を大きくすることができ、好ましい断面形状と言える。

【0215】

開口部 1826 の下層には、開口部 1826 と重畳して構造体 1820 が形成されている。図 15 (B) は、図 14 における Y1 - Y2 部の断面図であり、画素電極と構造体 1820 の構成を示している。図 15 (C) は、部位 1880 の拡大図であり、図 15 (D) は、部位 1881 の拡大図である。

【0216】

反射光 1832 は、反射電極 1825 で反射された外光を示している。有機樹脂膜 1822 は、上面に凹凸状の湾曲面を有している。反射電極 1825 にその凹凸形状の湾曲面を反映させることで、反射領域の面積を増やし、また、表示映像以外の写り込みが軽減されるため、表示映像の視認性を高めることができる。断面形状において湾曲面を有する反射電極 1825 の最も屈曲している点から、相対向する 2 つの傾斜面がなす角度 θ_R は、90°以上、好ましくは 100°以上 120°以下とするとよい(図 15 (D) 参照)。

10

【0217】

構造体 1820 は、開口部 1826 側にバックライト射出光口 1841 を有し、バックライト(図示せず)側にバックライト入射光口 1842 を有している。また、構造体 1820 の上部は、反射電極 1825 の表面よりも上方に位置し、反射電極の端部よりも突出した形状をしている。この構造体 1820 の上面と反射電極 1825 の上端部との距離 H は、0.1 μm 以上 3 μm 以下、好ましくは 0.3 μm 以上 2 μm 以下とする。また、バックライト射出光口 1841 の面積よりも、バックライト入射光口 1842 の面積が大きく形成されている。構造体 1820 の側面(バックライト射出光口 1841 とバックライト入射光口 1842 以外の面)には、反射層 1821 が形成されている。構造体 1820 は、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiNO)などの、透光性を有する材料を用いることができる。反射層 1821 は、アルミニウム(Al)や銀(Ag)などの、光の反射率が高い材料を用いることができる。

20

【0218】

バックライトから発せられた透過光 1831 は、バックライト入射光口 1842 を通って構造体 1820 に入射する。入射した透過光 1831 の一部はそのままバックライト射出光口 1841 から射出されるが、一部は反射層 1821 によりバックライト射出光口 1841 に向かって反射され、一部はさらに反射して、バックライト入射光口 1842 へ戻ってしまう。

【0219】

この時、構造体 1820 のバックライト射出光口 1841 とバックライト入射光口 1842 を通る構造体 1820 の断面形状を見ると、左右に相対向する側面は傾斜面となっている。それぞれの側面のなす角度 θ_T を、90°未満、好ましくは 10°以上 60°以下とすることで、バックライト入射光口 1842 から入射した透過光 1831 を効率よくバックライト射出光口 1841 へ導くことができる。

30

【0220】

従来の半透過型液晶表示装置では、画素電極部のうち、反射電極として機能する電極面積を SR、透過電極として機能する電極面積(開口部 1826 の面積)を ST とした場合、両電極の合計面積が 100% ($\text{SR} + \text{ST} = 100\%$) となる。本実施の形態で示した画素構成を有する半透過型液晶表示装置は、透過電極として機能する電極面積 ST が、バックライト入射光口 1842 の面積に相当するため、開口部 1826 の面積を大きくする、または、バックライトの輝度を上げたりすることなく、透過光量を向上させることができる。つまり、見かけ上の電極面積 SR と電極面積 ST の合計面積を 100% 以上とすることができる。

40

【0221】

本実施の形態を用いることで、消費電力を増やさずにより明るく表示品位の良い半透過型液晶表示装置を得ることができる。

【0222】

本実施の形態は、他の実施の形態と適宜組み合わせ実施することが可能である。

【0223】

50

(実施の形態6)

本実施の形態においては、上記実施の形態で説明した液晶表示装置を具備する電子機器の例について説明する。

【0224】

なお、本形態は本発明の一態様における表示装置及びその駆動方法が適用できる一例を説明するものであり、本発明の一態様は静止画の表示機能を有するその他の表示装置にも適用できる。

【0225】

図17(A)は電子書籍(E-bookともいう)であり、筐体9630、表示部9631、操作キー9632、太陽電池9633、充放電制御回路9634を有することができる。太陽電池9633と、表示パネルとを開閉自在に装着しており、太陽電池からの電力を表示パネル、バックライト部、または画像処理回路に供給する電子書籍である。図17(A)に示した電子書籍は、様々な情報(静止画、動画、テキスト画像など)を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、等を有することができる。なお、図17(A)では充放電制御回路9634の一例としてバッテリー9635、DCDCコンバータ(以下、コンバータ9636と略記)を有する構成について示している。

10

【0226】

図17(A)に示す構成とすることにより、表示部9631として半透過型の液晶表示装置を用いる場合、比較的明るい状況下での使用も予想され、太陽電池9633による発電、及びバッテリー9635での充電を効率よく行うことができ、好適である。なお太陽電池9633は、筐体9630の表面及び裏面に効率的なバッテリー9635の充電を行う構成とすることができるため好適である。なおバッテリー9635としては、リチウムイオン電池を用いると、小型化を図れる等の利点がある。

20

【0227】

また図17(A)に示す充放電制御回路9634の構成、及び動作について図17(B)にブロック図を示し説明する。図17(B)には、太陽電池9633、バッテリー9635、コンバータ9636、コンバータ9637、スイッチSW1乃至SW3、表示部9631について示しており、バッテリー9635、コンバータ9636、コンバータ9637、スイッチSW1乃至SW3が充放電制御回路9634に対応する箇所となる。

30

【0228】

まず外光により太陽電池9633により発電がされる場合の動作の例について説明する。太陽電池で発電した電力は、バッテリー9635を充電するための電圧となるようコンバータ9636で昇圧または降圧がなされる。そして、表示部9631の動作に太陽電池9633からの電力が用いられる際にはスイッチSW1をオンにし、コンバータ9637で表示部9631に必要な電圧に昇圧または降圧をすることとなる。また、表示部9631での表示を行わない際には、SW1をオフにし、SW2をオンにしてバッテリー9635の充電を行う構成とすればよい。

【0229】

次いで外光により太陽電池9633により発電がされない場合の動作の例について説明する。バッテリー9635に蓄電された電力は、スイッチSW3をオンにすることでコンバータ9637により昇圧または降圧がなされる。そして、表示部9631の動作にバッテリー9635からの電力が用いられることとなる。

40

【0230】

なお太陽電池9633については、充電手段の一例として示したが、他の手段によるバッテリー9635の充電を行う構成であってもよい。また他の充電手段を組み合わせる構成としてもよい。

【0231】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせる実施することが可能

50

である。

【符号の説明】

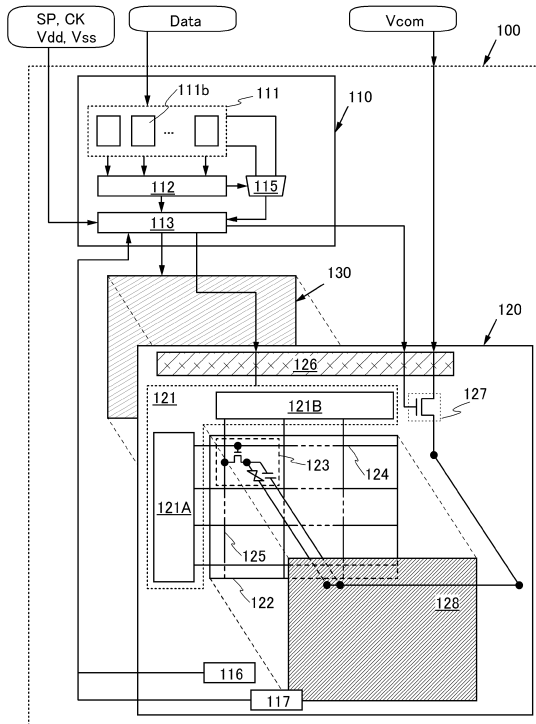
【 0 2 3 2 】

1 0 0	表示装置	
1 1 0	画像処理回路	
1 1 1	記憶回路	
1 1 1 b	フレームメモリ	
1 1 2	比較回路	
1 1 3	表示制御回路	
1 1 5	選択回路	10
1 1 6	光センサ	
1 1 7	光センサ	
1 2 0	表示パネル	
1 2 1	駆動回路部	
1 2 1 A	ゲート線駆動回路	
1 2 1 B	信号線駆動回路	
1 2 2	画素部	
1 2 3	画素	
1 2 4	ゲート線	
1 2 5	信号線	20
1 2 6	端子部	
1 2 6 A	端子	
1 2 6 B	端子	
1 2 7	スイッチング素子	
1 2 8	共通電極部	
1 3 0	バックライト部	
2 1 0	容量素子	
2 1 4	トランジスタ	
2 1 5	表示素子	
4 0 1	期間	30
4 0 2	期間	
4 0 3	期間	
4 0 4	期間	
6 0 1	期間	
6 0 2	期間	
6 0 3	期間	
6 0 4	期間	
7 0 0	筐体	
7 1 0	基板	
7 2 0	基板	40
7 3 0	液晶層	
7 4 0	バックライト部	
7 5 0	光センサ	
7 6 0	領域	
7 7 0	開口部	
7 8 0	導光板	
8 0 0	筐体	
8 1 0	基板	
8 2 0	基板	
8 3 0	液晶層	50

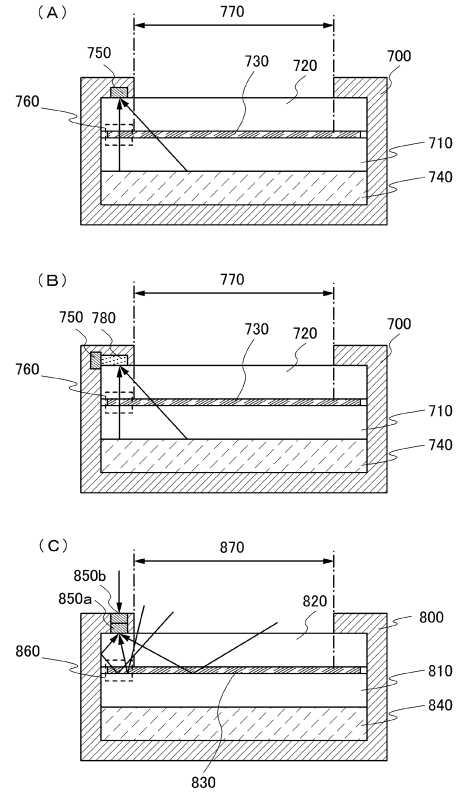
8 4 0	バックライト部	
8 5 0 a	光センサ	
8 5 0 b	光センサ	
8 6 0	領域	
8 7 0	開口部	
1 1 2 0	表示パネル	
1 1 2 5 a	偏光板	
1 1 2 5 b	偏光板	
1 1 2 6	F P C (フレキシブルプリントサーキット)	
1 1 3 0	バックライト部	10
1 1 3 3	L E D	
1 1 3 4	拡散板	
1 1 3 5	光	
1 1 3 9	外光	
1 1 9 0	液晶表示モジュール	
1 4 0 1	ゲート電極層	
1 4 0 2	ゲート絶縁層	
1 4 0 3	半導体層	
1 4 0 5 a	ソース電極層又はドレイン電極層	
1 4 0 5 b	ソース電極層又はドレイン電極層	20
1 4 0 7	絶縁膜	
1 4 0 8	容量配線層	
1 4 0 9	絶縁膜	
1 4 1 3	層間膜	
1 4 1 6	着色層	
1 4 4 1	基板	
1 4 4 2	基板	
1 4 4 4	液晶層	
1 4 4 6	反射電極層	
1 4 4 7	透光性導電層	30
1 4 4 8	共通電極層	
1 4 4 9	導電層	
1 4 5 0	トランジスタ	
1 4 6 0 a	配向膜	
1 4 6 0 b	配向膜	
1 4 7 0	カラーフィルタ	
1 4 8 0	絶縁層	
1 4 8 2	絶縁層	
1 4 9 8	反射領域	
1 4 9 9	透過領域	40
1 8 0 0	基板	
1 8 2 0	構造体	
1 8 2 1	反射層	
1 8 2 2	有機樹脂膜	
1 8 2 3	透光性導電層	
1 8 2 4	絶縁膜	
1 8 2 5	反射電極	
1 8 2 6	開口部	
1 8 2 7	絶縁膜	
1 8 2 8	絶縁膜	50

1 8 2 9	ゲート絶縁膜	
1 8 3 1	透過光	
1 8 3 2	反射光	
1 8 4 1	バックライト射出光口	
1 8 4 2	バックライト入射光口	
1 8 5 1	トランジスタ	
1 8 5 2	配線	
1 8 5 3	容量配線	
1 8 5 4	配線	
1 8 5 5	コンタクトホール	10
1 8 5 6	ソース電極	
1 8 5 7	ドレイン電極	
1 8 5 8	ゲート電極	
1 8 7 1	保持容量	
1 8 8 0	部位	
1 8 8 1	部位	
2 4 0 0	基板	
2 4 0 1	ゲート電極層	
2 4 0 2	ゲート絶縁層	
2 4 0 3	酸化物半導体層	20
2 4 0 5 a	ソース電極層	
2 4 0 5 b	ドレイン電極層	
2 4 0 7	絶縁層	
2 4 0 9	保護絶縁層	
2 4 1 0	トランジスタ	
2 4 2 0	トランジスタ	
2 4 2 7	絶縁層	
2 4 3 0	トランジスタ	
2 4 3 6 a	配線層	
2 4 3 6 b	配線層	30
2 4 3 7	絶縁層	
2 4 4 0	トランジスタ	
2 5 0 5	基板	
2 5 0 6	保護絶縁層	
2 5 0 7	ゲート絶縁層	
2 5 1 0	トランジスタ	
2 5 1 1	ゲート電極層	
2 5 1 5 a	ソース電極層	
2 5 1 5 b	ドレイン電極層	
2 5 1 6	絶縁層	40
2 5 3 0	酸化物半導体膜	
2 5 3 1	酸化物半導体層	
9 6 3 0	筐体	
9 6 3 1	表示部	
9 6 3 2	操作キー	
9 6 3 3	太陽電池	
9 6 3 4	充放電制御回路	
9 6 3 5	バッテリー	
9 6 3 6	コンバータ	
9 6 3 7	コンバータ	50

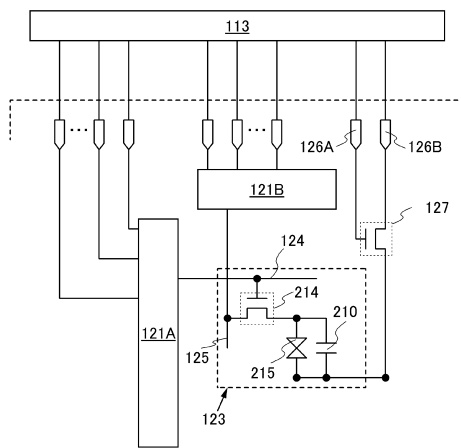
【図 1】



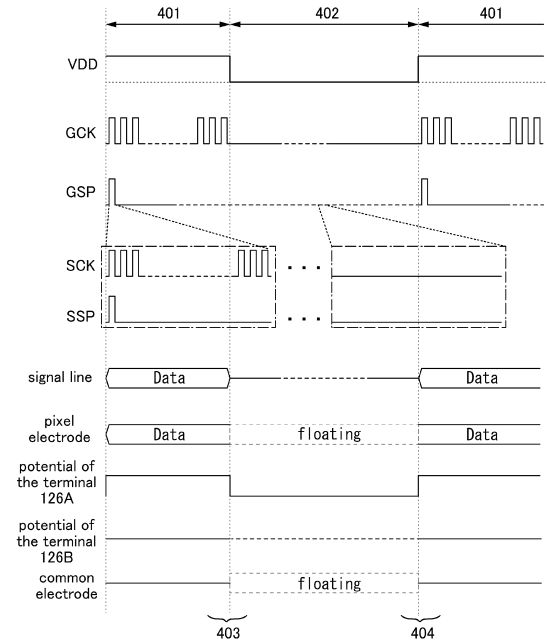
【図 2】



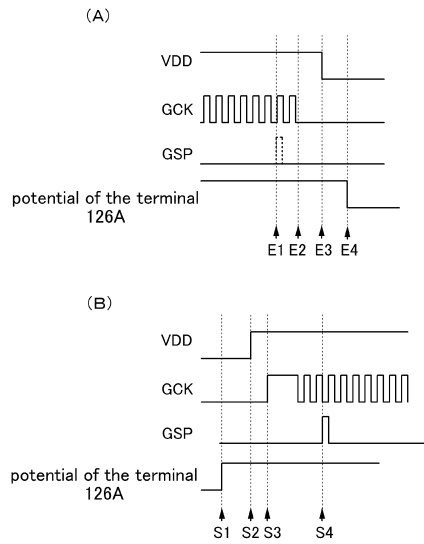
【図 3】



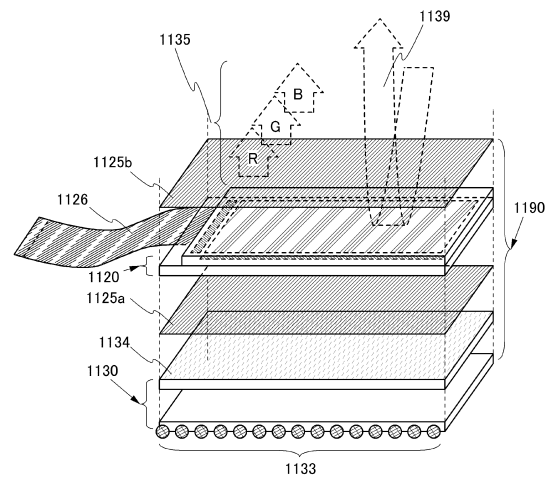
【図 4】



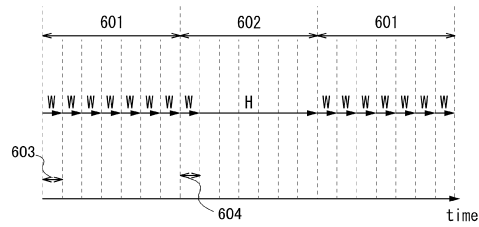
【図 5】



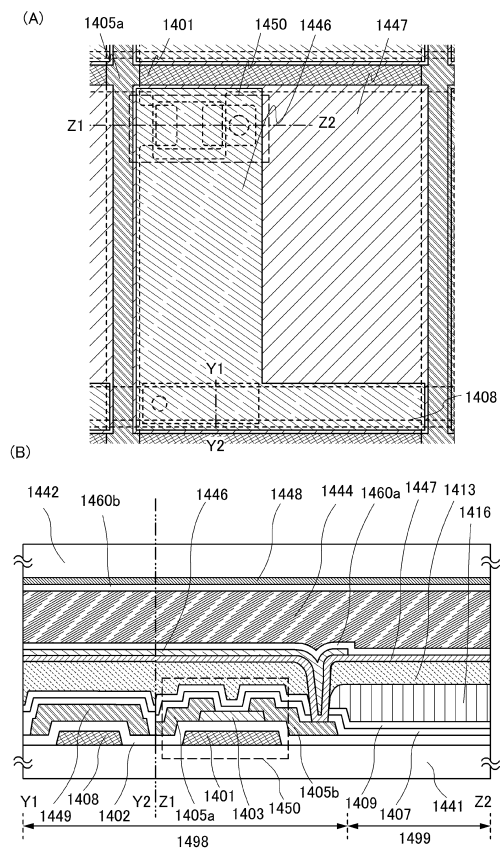
【図 7】



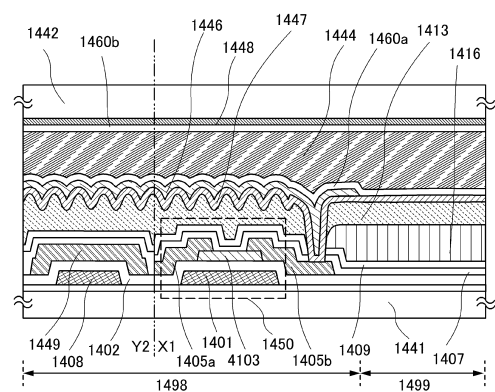
【図 6】



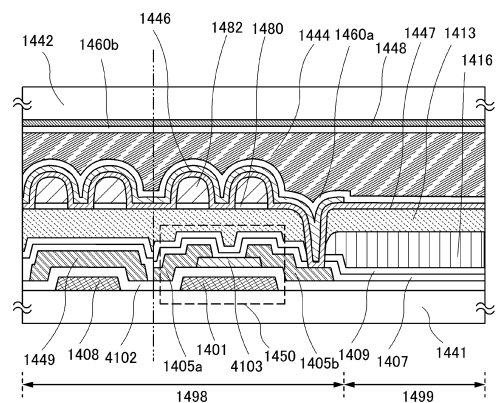
【図 8】



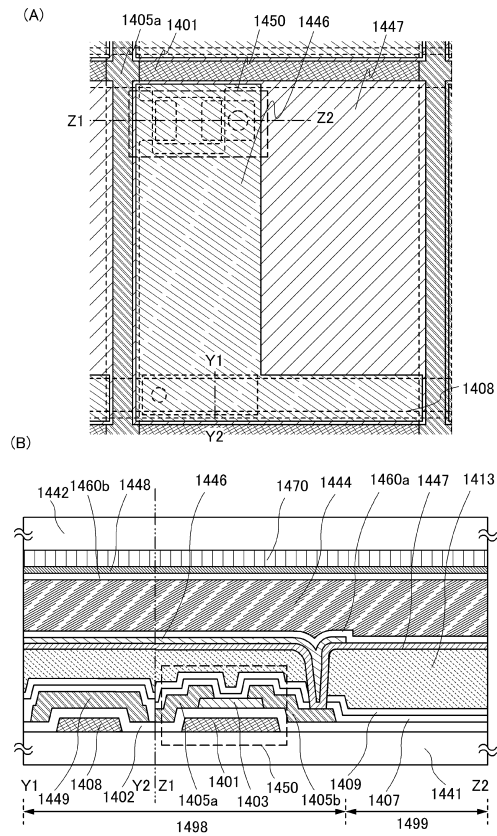
【図 9】



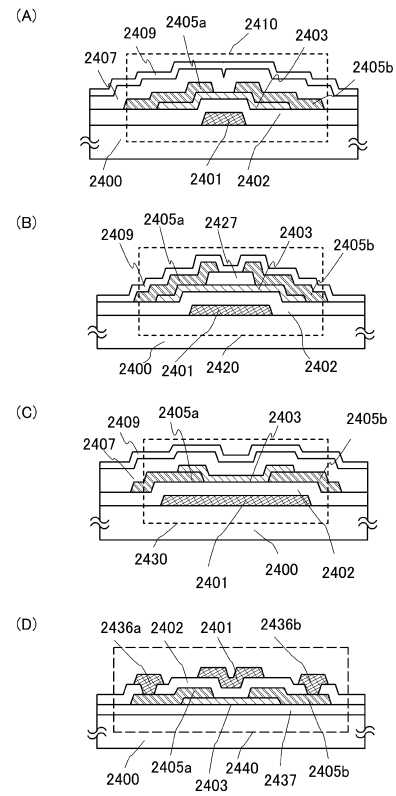
【図 10】



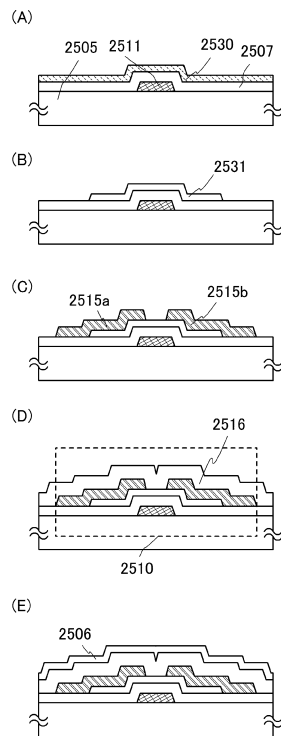
【図 1 1】



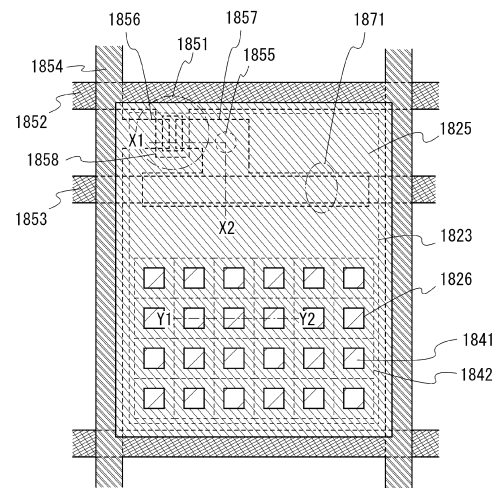
【図 1 2】



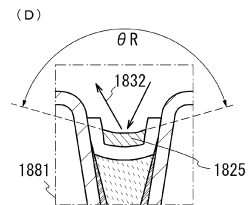
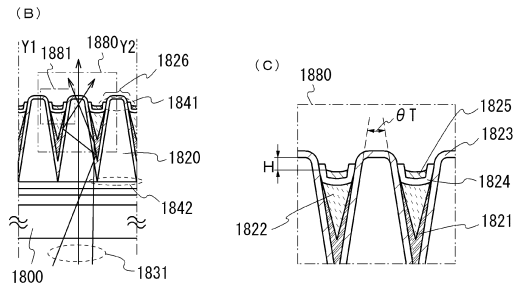
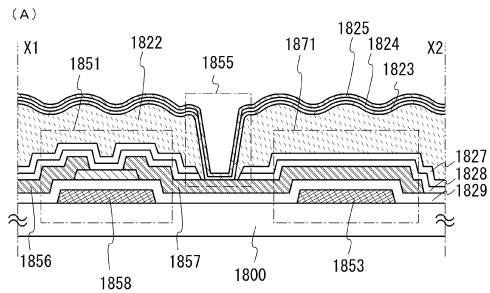
【図 1 3】



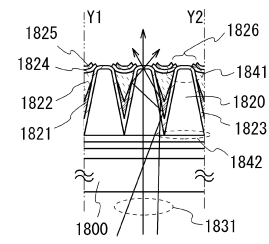
【図 1 4】



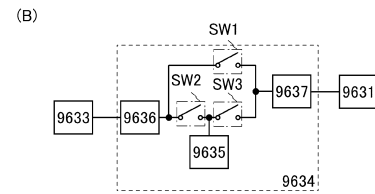
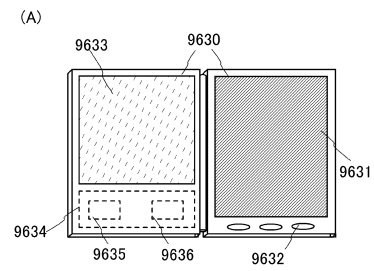
【図 15】



【図 16】



【図 17】



フロントページの続き

(56)参考文献 特許第5951865(JP, B2)
特許第5792953(JP, B2)
特開2001-075091(JP, A)
特開2003-057638(JP, A)
特開2001-201768(JP, A)
特開2008-102397(JP, A)
米国特許出願公開第2005/0018103(US, A1)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F	1 / 1 3 3
G 0 2 F	1 / 1 3 3 5
G 0 2 F	1 / 1 3 6 8

专利名称(译)	表示装置		
公开(公告)号	JP6284992B2	公开(公告)日	2018-02-28
申请号	JP2016179129	申请日	2016-09-14
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	脇本研一 早川昌彦		
发明人	脇本 研一 早川 昌彦		
IPC分类号	G02F1/133 G02F1/1368 G02F1/1335		
CPC分类号	G09G3/3648 G09G3/3406 G09G2320/029 G09G2360/141 G09G2360/144		
FI分类号	G02F1/133.550 G02F1/1368 G02F1/1335.520 G02F1/133.535 H01L29/78.612.Z H01L29/78.618.B		
F-TERM分类号	2H192/AA24 2H192/BA13 2H192/BC31 2H192/BC63 2H192/BC72 2H192/BC82 2H192/CB02 2H192/CB05 2H192/CB08 2H192/CB37 2H192/CB71 2H192/CB83 2H192/CC32 2H192/CC72 2H192/DA12 2H192/DA43 2H192/EA42 2H192/EA67 2H192/GB72 2H192/GD41 2H192/GD47 2H192/GD61 2H192/HA13 2H192/HA44 2H192/HA47 2H192/HA90 2H193/ZA04 2H193/ZA07 2H193/ZC02 2H193/ZC12 2H193/ZC15 2H193/ZC32 2H193/ZD12 2H193/ZE40 2H193/ZF09 2H193/ZF16 2H193/ZF18 2H193/ZG02 2H193/ZG14 2H193/ZG22 2H193/ZG41 2H193/ZH04 2H193/ZH07 2H193/ZH09 2H193/ZH15 2H193/ZH37 2H193/ZH57 2H193/ZP16 2H193/ZQ06 2H193/ZQ09 2H193/ZQ11 2H193/ZQ13 2H193/ZQ14 2H193/ZQ16 2H193/ZQ22 2H193/ZQ26 2H291/FA59Y 2H291/GA17 2H291/GA18 2H291/GA19 2H291/HA06 2H291/HA08 2H291/HA09 2H291/HA11 2H291/HA13 2H291/HA15 2H291/HA20 2H291/HA21 2H291/NA10 2H291/NA13 2H291/NA30 2H291/NA34 2H291/NA37 5F110/AA09 5F110/BB01 5F110/BB02 5F110/CC01 5F110/CC03 5F110/CC05 5F110/CC07 5F110/DD02 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE27 5F110/EE30 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF28 5F110/FF30 5F110/GG01 5F110/GG24 5F110/GG25 5F110/GG35 5F110/GG43 5F110/GG57 5F110/GG58 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK07 5F110/HK21 5F110/HK22 5F110/HL02 5F110/HL03 5F110/HL04 5F110/HL06 5F110/HL07 5F110/HL11 5F110/HL12 5F110/NN03 5F110/NN04 5F110/NN12 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN33 5F110/NN34 5F110/NN40 5F110/NN73 5F110/PP10 5F110/PP13 5F110/PP36 5F110/QQ02		
优先权	2010010473 2010-01-20 JP		
其他公开文献	JP2017033001A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种低功耗型液晶显示装置及其驱动方法，该液晶显示装置具有用于检测显示静止图像时的重写定时的装置。
 解决方案：用于检测从液晶显示面板侧照射的光的照度的光传感器750安装在液晶显示面板的端部附近和液晶显示面板的显示区域中的像素，使用具有极低关闭度的晶体管并且向监视像素提供电位以显示静止图像，并且至少透过监视像素的液晶层730的光被传输到光电传感器7。如图50所示，当照度的变化率达到预定值时，再次将电位提供给液晶显示面板和监视像素的显示区域中的像素，以维持静止图像。

(51) Int. Cl.	F 1
G O 2 F 1/133 (2006.01)	G O 2 F 1/133 5 5 O
G O 2 F 1/1368 (2006.01)	G O 2 F 1/1368
G O 2 F 1/1335 (2006.01)	G O 2 F 1/1335 5 2 O

請求項の数 2 (全 35 頁)		
(21) 出願番号	特願2016-179129 (P2016-179129)	(73) 特許権者 000153878
(22) 出願日	平成28年9月14日 (2016.9.14)	株式会社半導体エネルギー研究所
(62) 分割の表示	特願2015-118664 (P2015-118664) の分割	神奈川県厚木市長谷398番地
原出願日	平成23年1月20日 (2011.1.20)	(72) 発明者 臨本 研一
(65) 公開番号	特開2017-33001 (P2017-33001A)	神奈川県厚木市長谷398番地 株式会社
(43) 公開日	平成29年2月9日 (2017.2.9)	半導体エネルギー研究所内
審査請求日	平成28年10月5日 (2016.10.5)	(72) 発明者 早川 昌彦
(31) 優先権主張番号	特願2010-10473 (P2010-10473)	神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成22年1月20日 (2010.1.20)	半導体エネルギー研究所内
(33) 優先権主張国	日本国 (JP)	審査官 堀部 修平
最終頁に続く		