

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6122053号
(P6122053)

(45) 発行日 平成29年4月26日(2017.4.26)

(24) 登録日 平成29年4月7日(2017.4.7)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

H01L 29/786 (2006.01)

H01L 21/336 (2006.01)

G09G 3/20 (2006.01)

G02F 1/1368 (2006.01)

G09G 3/36

H01L 29/78 618B

H01L 29/78 612Z

G09G 3/20 611A

G09G 3/20 624B

請求項の数 2 (全 43 頁) 最終頁に続く

(21) 出願番号 特願2015-49118 (P2015-49118)
 (22) 出願日 平成27年3月12日(2015.3.12)
 (62) 分割の表示 特願2010-256838 (P2010-256838)
 の分割
 原出願日 平成22年11月17日(2010.11.17)
 (65) 公開番号 特開2015-146029 (P2015-146029A)
 (43) 公開日 平成27年8月13日(2015.8.13)
 審査請求日 平成27年3月12日(2015.3.12)
 (31) 優先権主張番号 特願2009-272545 (P2009-272545)
 (32) 優先日 平成21年11月30日(2009.11.30)
 (33) 優先権主張国 日本国(JP)
 (31) 優先権主張番号 特願2009-279003 (P2009-279003)
 (32) 優先日 平成21年12月8日(2009.12.8)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 橋本 直明

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1のゲート線に接続された一行の第1の画素と、第2のゲート線に接続された一行の第2の画素と、トランジスタと、を有し、

コモン電位が前記トランジスタを介して前記一行の第1の画素及び前記一行の第2の画素に供給される表示装置であって、

連続する第1のフレーム期間及び第2のフレーム期間において前記一行の第1の画素のいずれかに対応する画像信号が異なり且つ前記一行の第2の画素のいずれかに対応する画像信号が異なる場合には、前記第1のフレーム期間及び第2のフレーム期間において前記一行の第1の画素のいずれかに画像信号が供給され、前記一行の第2の画素のいずれかに画像信号が供給され、前記トランジスタはオンであり、

前記第1のフレーム期間及び前記第2のフレーム期間において前記一行の第1の画素に対応する画像信号が同じであり且つ前記一行の第2の画素に対応する画像信号が同じである場合には、前記第1のフレーム期間において前記一行の第1の画素に画像信号が供給され、前記一行の第2の画素に画像信号が供給され、前記トランジスタはオンであり、前記第2のフレーム期間において前記一行の第1の画素に画像信号は供給されず、前記一行の第2の画素に画像信号は供給されず、前記トランジスタはオフであり、

前記第1のフレーム期間及び前記第2のフレーム期間において前記一行の第1の画素のいずれかに対応する画像信号が異なり且つ前記一行の第2の画素に対応する画像信号が同じである場合には、前記第1のフレーム期間において前記一行の第1の画素に画像信号が

10

20

供給され、前記一行の第2の画素に画像信号が供給され、前記トランジスタはオンであり、前記第2のフレーム期間において前記一行の第1の画素のいずれかに画像信号が供給され、前記一行の第2の画素に画像信号が供給されず、前記トランジスタはオンであることを特徴とする表示装置。

【請求項2】

請求項1において、

前記トランジスタのチャネル形成領域は、高純度化された酸化物半導体を有することを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、液晶表示装置に関する。または、液晶表示装置の駆動方法に関する。または、当該液晶表示装置を具備する電子機器に関する。

【背景技術】

【0002】

液晶表示装置に代表されるように、ガラス基板等の平板に形成される薄膜トランジスタは、アモルファスシリコン、多結晶シリコンによって作製されている。アモルファスシリコンを用いた薄膜トランジスタは、電界効果移動度が低いもののガラス基板の大面积化に対応することができ、一方、多結晶シリコンを用いた薄膜トランジスタは電界効果移動度が高いものの、レーザアニール等の結晶化工程が必要であり、また、しきい値ばらつきが大きいといった問題があり、ガラス基板の大面积化には必ずしも適応しないといった特性を有している。

20

【0003】

これに対し、酸化物半導体を用いて薄膜トランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体膜として酸化亜鉛、In-Ga-Zn-O系酸化物半導体を用いて薄膜トランジスタを作製し、液晶表示装置のスイッチング素子などに用いる技術が特許文献1で開示されている。

【先行技術文献】

【特許文献】

【0004】

30

【特許文献1】特開2006-165528号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

酸化物半導体をチャネル領域に用いた薄膜トランジスタは、アモルファスシリコンをチャネル領域に用いた薄膜トランジスタよりも高い電界効果移動度が得られている。このような酸化物半導体を用いて形成した薄膜トランジスタを具備する画素は、液晶表示装置等の表示装置への応用が期待される。

【0006】

液晶表示装置が有する各画素は、液晶素子の配向を制御するために、液晶材料を挟持する両端の電極の電位を所定の期間、保持するための保持容量が、画素が占める領域の一部を用いて設けられている。液晶材料を挟持する両端の電極の電位を保持するためには、液晶材料を挟持する両端の電極の電荷のリークを低減する必要があるが、各画素に設けられた画素電極に接続されている薄膜トランジスタのオフ電流を低減することが重要となる。

40

【0007】

また静止画の表示、及び動画のうち画面の一部が静止画（部分動画ともいう）の表示では、連続する期間の画像信号が同じ場合であっても、既にかき換えられた画像信号と同じ画像信号にかき換える動作が生じる。結果として、連続する期間の画像信号が同じ画像信号であっても複数回画像信号をかき換える動作により消費電力が増加することとなる。このとき画像信号のかき換え回数を低減することで消費電力の低減を図ったとしても、画素に

50

画像信号を保持することがオフ電流等の増加のために難しいため、表示品位の低下が懸念される。

【0008】

なお本明細書で説明するオフ電流とは、薄膜トランジスタがオフ状態（非導通状態ともいう）のときに、ソースとドレインの間に流れる電流をいう。nチャネル型の薄膜トランジスタ（例えば、しきい値電圧が0乃至2V程度）では、ゲートとソースとの間に印加される電圧が負の電圧の場合に、ソースとドレインとの間を流れる電流のことをいう。

【0009】

そこで、本発明の一態様は、薄膜トランジスタのオフ電流を低減し、動画と静止画を表示可能な液晶表示装置において、低消費電力化を図ることを課題の一とする。

10

【課題を解決するための手段】

【0010】

本発明の一態様は、画像信号が供給される画素が複数設けられた画素部と、信号線を選択的に制御する信号線側駆動回路、及びゲート線を選択的に制御するゲート線側駆動回路を有する駆動回路と、画像信号を記憶する記憶回路と、記憶回路に記憶された画像信号を画素毎に比較して差分を演算する比較回路と、差分に応じて、駆動回路の制御及び画像信号の読み出しを行う表示制御回路と、を有し、表示制御回路は、差分が検出された画素のみに画像信号を供給し、画素は、ゲートがゲート線に電氣的に接続され、第1端子が信号線に電氣的に接続され、第2端子が画素電極に電氣的に接続された薄膜トランジスタを有し、薄膜トランジスタは、酸化物半導体でなる半導体層を有する液晶表示装置である。

20

【0011】

本発明の一態様は、画像信号が供給される画素が複数設けられた画素部と、デコーダ回路を有することで、信号線及び選択線を選択的に制御する信号線側駆動回路、及びゲート線を選択的に制御するゲート線側駆動回路を有する駆動回路と、画像信号を記憶する記憶回路と、記憶回路に記憶された画像信号を画素毎に比較して差分を演算する比較回路と、差分に応じて、駆動回路の制御及び画像信号の読み出しを行う表示制御回路と、を有し、表示制御回路は、デコーダ回路を制御することにより、差分が検出された画素のみに画像信号を供給し、画素は、第1の薄膜トランジスタ及び第2の薄膜トランジスタを有し、第1の薄膜トランジスタのゲートは、ゲート線に電氣的に接続され、第1の薄膜トランジスタの第1端子は、信号線に電氣的に接続され、第1の薄膜トランジスタの第2端子は、第2の薄膜トランジスタの第1端子に電氣的に接続され、第2の薄膜トランジスタのゲートは、選択線に電氣的に接続され、第2の薄膜トランジスタの第2端子は、画素電極に電氣的に接続されており、第1の薄膜トランジスタ及び第2の薄膜トランジスタは、酸化物半導体でなる半導体層を有する液晶表示装置である。

30

【0012】

本発明の一態様は、画像信号が供給される画素が複数設けられた画素部と、シフトレジスタ回路を有することで信号線を順次選択する信号線側駆動回路、及びデコーダ回路を有することでゲート線を選択的に制御するゲート線側駆動回路を有する駆動回路と、画像信号を記憶する記憶回路と、記憶回路に記憶された画像信号を画素毎に比較して差分を演算する比較回路と、差分に応じて、駆動回路の制御及び画像信号の読み出しを行う表示制御回路と、を有し、表示制御回路は、デコーダ回路を制御することにより、差分が検出された画素に画像信号を供給し、画素は、ゲートがゲート線に電氣的に接続され、第1端子が信号線に電氣的に接続され、第2端子が画素電極に電氣的に接続された薄膜トランジスタを有し、薄膜トランジスタは、酸化物半導体でなる半導体層を有する液晶表示装置である。

40

【0013】

本発明の一態様において、酸化物半導体は、二次イオン質量分析法で検出される水素濃度が $1 \times 10^{-6} / \text{cm}^3$ 以下である液晶表示装置でもよい。

【0014】

本発明の一態様において、酸化物半導体は、キャリア濃度が $1 \times 10^{-4} / \text{cm}^3$ 未満

50

である液晶表示装置でもよい。

【0015】

本発明の一態様において、画素部は画素毎に画素電極を有し、端子部、スイッチングトランジスタとともに第1の基板上に設けられており、対向電極が第2の基板上に設けられており、画素電極と対向電極との間には液晶が挟持されており、対向電極は、スイッチングトランジスタを介して端子部と電氣的に接続されており、スイッチングトランジスタが有する半導体層は、酸化物半導体である液晶表示装置でもよい。

【0016】

本発明の一態様は、画像信号が供給され、酸化物半導体でなる半導体層を有する薄膜トランジスタで構成される画素が複数設けられた画素部と、信号線側駆動回路、及びゲート線側駆動回路を有する駆動回路と、画像信号を記憶する記憶回路と、画像信号を画素毎に比較して差分を演算する比較回路と、駆動回路の制御及び画像信号の読み出しを行う表示制御回路と、を有し、比較回路において、記憶回路に記憶された連続するフレーム期間の画像信号を読み出して画素毎に比較して差分を演算し、表示制御回路において、比較回路で差分が検出された画素のみに画像信号を供給するよう駆動回路を制御する液晶表示装置の駆動方法である。

10

【発明の効果】

【0017】

本発明の一態様により、酸化物半導体を用いた薄膜トランジスタのオフ電流を低減し、表示品位を低下することなく、動画、静止画等を表示する際の低消費電力化を図ることができる。

20

【図面の簡単な説明】

【0018】

【図1】本発明の一態様の液晶表示装置を説明するための図。

【図2】本発明の一態様の液晶表示装置を説明するための図。

【図3】本発明の一態様の液晶表示装置を説明するための図。

【図4】本発明の一態様の液晶表示装置を説明するための図。

【図5】本発明の一態様の液晶表示装置を説明するための図。

【図6】本発明の一態様の液晶表示装置を説明するための図。

【図7】本発明の一態様の液晶表示装置を説明するための図。

30

【図8】本発明の一態様の液晶表示装置を説明するための図。

【図9】本発明の一態様の液晶表示装置を説明するための図。

【図10】本発明の一態様の電子機器を説明するための図。

【図11】本発明の一態様の電子機器を説明するための図。

【図12】酸化物半導体を用いた逆スタガ型の薄膜トランジスタの縦断面図である。

【図13】図12に示すA-A'断面におけるエネルギーバンド図(模式図)である。

【図14】(A)ゲート(G1)に正の電位(+VG)が印加された状態を示し、(B)ゲート(G1)に負の電位(-VG)が印加された状態を示す図である。

【図15】真空準位と金属の仕事関数(ϕ_M)、酸化物半導体の電子親和力(χ)の関係を示す図である。

40

【図16】本発明の一態様の液晶表示装置を説明するための図。

【図17】本発明の一態様の液晶表示装置を説明するための図。

【図18】本発明の一態様の液晶表示装置を説明するための図。

【図19】本発明の一態様におけるTFTのID-VG特性を示す図。

【発明を実施するための形態】

【0019】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発

50

明の構成において、同じ物を指し示す符号は異なる図面間において共通とする。

【0020】

なお、各実施の形態の図面等において示す各構成の、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定されない。

【0021】

なお本明細書にて用いる第1、第2、第3、乃至第N（Nは自然数）という用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【0022】

10

（実施の形態1）

本実施の形態では、液晶表示装置のブロック図、及び動画、静止画、及び部分動画の判定等の手順について示す。まず図1では、液晶表示装置のブロック図について説明を行う。

【0023】

図1で示す液晶表示装置1000は、表示パネル1001、記憶回路1002、比較回路1003、表示制御回路1004を有し、外部より各画素に供給される画像信号Dataが入力される。

【0024】

表示パネル1001は、一例として、駆動回路部1005及び画素部1006を有する。

20

【0025】

駆動回路部1005は、ゲート線側駆動回路1007A、信号線側駆動回路1007Bを有する。ゲート線側駆動回路1007A、信号線側駆動回路1007Bは、複数の画素を有する画素部1006の画素を選択的に駆動するための駆動回路である。具体的に駆動回路部1005は、信号線を選択的に制御する信号線側駆動回路、ゲート線を選択的に制御するゲート線側駆動回路を有する。一例としてゲート線側駆動回路1007A及び信号線側駆動回路1007Bとしてデコーダ回路を有する構成とすればよい。または、ゲート線側駆動回路1007Aとしてデコーダ回路を有する構成、信号線側駆動回路1007Bとしてシフトレジスタ回路を有する構成としてもよい。

【0026】

30

なお、ゲート線側駆動回路1007A、信号線側駆動回路1007B、及び画素部1006は、同じ基板に形成される薄膜トランジスタにより回路が構成されるものでもよい。またはゲート線側駆動回路1007A及び信号線側駆動回路1007Bと、画素部1006とが別の基板に形成される構成でもよい。

【0027】

なお画素部1006の各画素に設けられる薄膜トランジスタとしては、半導体層を酸化物半導体としたnチャネル型の薄膜トランジスタを用いる。画素部1006を構成する薄膜トランジスタの半導体層に用いる酸化物半導体、及び酸化物半導体を半導体層に用いた薄膜トランジスタについて説明する。

【0028】

40

なお、画素回路における表示方式は、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、RGB（Rは赤、Gは緑、Bは青を表す）の三色に限定されない。例えば、RGBW（Wは白を表す）、又はRGBに、イエロー、シアン、マゼンタ等を一色以上追加したものがある。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。ただし、本発明の一態様はカラー表示の液晶表示装置に限定されるものではなく、モノクロ表示の液晶表示装置に適用することもできる。

【0029】

酸化物半導体としては、In-Sn-Ga-Zn-O、In-Ga-Zn-O、In-Sn-Zn-O、In-Al-Zn-O、Sn-Ga-Zn-O、Al-Ga-Zn-O、

50

$\text{Sn} - \text{Al} - \text{Zn} - \text{O}$ 、 $\text{In} - \text{Zn} - \text{O}$ 、 $\text{Sn} - \text{Zn} - \text{O}$ 、 $\text{Al} - \text{Zn} - \text{O}$ 、 $\text{Zn} - \text{Mg} - \text{O}$ 、 $\text{Sn} - \text{Mg} - \text{O}$ 、 $\text{In} - \text{Mg} - \text{O}$ 、 $\text{In} - \text{O}$ 、 $\text{Sn} - \text{O}$ 、 $\text{Zn} - \text{O}$ などの酸化物半導体を用いることができる。また、上記酸化物半導体に Si を含んでもよい。

【0030】

また、酸化物半導体は、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される薄膜を用いることができる。ここで、 M は、 Ga 、 Al 、 Mn および Co から選ばれた一または複数の金属元素を示す。例えば M として、 Ga 、 Ga 及び Al 、 Ga 及び Mn 、または Ga 及び Co などがある。 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される構造の酸化物半導体膜のうち、 M として Ga を含む構造の酸化物半導体を、 $\text{In} - \text{Ga} - \text{Zn} - \text{O}$ 酸化物半導体とよび、その薄膜を $\text{In} - \text{Ga} - \text{Zn} - \text{O}$ 膜ともよぶこととする。

10

【0031】

図12は、酸化物半導体を用いた逆スタガ型の薄膜トランジスタの縦断面図を示す。ゲート電極 ($\text{GE}1$) 上にゲート絶縁膜 (GI) を介して酸化物半導体層 (OS) が設けられ、その上にソース電極 (S) 及びドレイン電極 (D) が設けられている。

【0032】

図13は、図12に示す $A - A'$ 断面におけるエネルギーバンド図 (模式図) を示す。図13 (A) はソースとドレインの電圧を等電位 ($V_D = 0 \text{ V}$) とした場合を示し、図13 (B) はドレインに正の電位 ($V_D > 0 \text{ V}$) を加えた場合を示す。

【0033】

図14は、図12における $B - B'$ の断面におけるエネルギーバンド図 (模式図) である。図14 (A) はゲート ($\text{G}1$) に正の電位 ($+V_G$) が印加された状態であり、ソース、ドレイン間にキャリア (電子) が流れるオン状態を示している。また、図14 (B) は、ゲート ($\text{G}1$) に負の電位 ($-V_G$) が印加された状態であり、オフ状態 (少数キャリアは流れない) である場合を示す。なお図14 (A)、(B) でゲート ($\text{G}2$) は、 GND 電位が印加された状態である。

20

【0034】

図15は、真空準位と金属の仕事関数 (ϕ_M)、酸化物半導体の電子親和力 (χ) の関係を示す。

【0035】

従来の酸化物半導体は一般に n 型であり、その場合のフェルミ準位 (E_F) は、バンドギャップ中央に位置する真性フェルミ準位 (E_i) から離れて、伝導帯寄りに位置している。なお、酸化物半導体において水素の一部はドナーとなり n 型化する一つの要因であることが知られている。

30

【0036】

これに対して本発明に係る酸化物半導体は、 n 型不純物である水素を酸化物半導体から除去し、酸化物半導体の主成分以外に不純物が極力含まれないように高純度化することにより真性 (i 型) とし、又は真性型とせんとしたものである。すなわち、不純物を添加して i 型化するのでなく、水素や水等の不純物を極力除去したことにより、高純度化された i 型 (真性) 半導体又はそれに近づけることを特徴としている。そうすることにより、フェルミ準位 (E_F) は真性フェルミ準位 (E_i) と同じレベルにまですることができ。

40

【0037】

酸化物半導体のバンドギャップ (E_g) が 3.15 eV である場合、電子親和力 (χ) は 4.3 eV と言われている。ソース電極及びドレイン電極を構成するチタン (Ti) の仕事関数は、酸化物半導体の電子親和力 (χ) とほぼ等しい。この場合、金属 - 酸化物半導体界面において、電子に対してショットキー型の障壁は形成されない。

【0038】

すなわち、金属の仕事関数 (ϕ_M) と酸化物半導体の電子親和力 (χ) が等しい場合、両者が接触すると図13 (A) で示すようなエネルギーバンド図 (模式図) が示される。

【0039】

図13 (B) において黒丸 ($\bullet$) は電子を示し、ドレインに正の電圧が印加されると、電

50

子はバリア (h) をこえて酸化物半導体に注入され、ドレインに向かって流れる。この場合、バリア (h) の高さは、ゲート電圧とドレイン電圧に依存して変化するが、正のドレイン電圧が印加された場合には、電圧印加のない図 13 (A) のバリアの高さすなわちバンドギャップ (Eg) の $1/2$ よりもバリアの高さ (h) は小さい値となる。

【0040】

このとき電子は、図 14 (A) で示すようにゲート絶縁膜と高純度化された酸化物半導体との界面における、酸化物半導体側のエネルギー的に安定な最低部を移動する。

【0041】

また、図 14 (B) において、ゲート (G1) に負の電位が印加されると、少数キャリアであるホールは実質的にゼロであるため、電流は限りなくゼロに近い値となる。

10

【0042】

例えば、薄膜トランジスタのチャネル幅 W が $1 \times 10^4 \mu\text{m}$ でチャネル長 L が $3 \mu\text{m}$ の素子であっても、オフ電流が 10^{-13}A 以下であり、サブスレッショルドスイング値 (S 値) が 0.1V/dec. (ゲート絶縁膜 (膜厚 100nm)) が得られる。

【0043】

このように、酸化物半導体の主成分以外に不純物が極力含まれないように高純度化することにより、薄膜トランジスタの動作を良好なものとすることができる。

【0044】

本発明に係る酸化物半導体は、電気的特性変動を抑止するため、変動要因となる水素、水分、水酸基又は水素化物 (水素化合物ともいう) などの不純物を酸化物半導体層より意図的に排除し、かつ不純物の排除工程によって同時に減少してしまう酸化物半導体を構成する成分である酸素を供給することによって、高純度化及び電氣的に I 型 (真性) 化された酸化物半導体層である。

20

【0045】

よって酸化物半導体中の水素は少なければ少ないほどよく、酸化物半導体に含まれる水素が好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下として、酸化物半導体に含まれる水素をゼロに近いほど極力除去する。なお、酸化物半導体の水素濃度測定は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectroscopy) で行えばよい。

【0046】

30

また、高純度化された酸化物半導体中にはキャリアが極めて少なく (ゼロに近い)、キャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 以下である。即ち、酸化物半導体層のキャリア濃度は、限りなくゼロにする。酸化物半導体中はキャリアが極めて少ないため、薄膜トランジスタのオフ電流を少なくすることができる。オフ電流は少なければ少ないほど好ましい。薄膜トランジスタは、チャネル幅 (W) $1 \mu\text{m}$ あたりの電流値が $100 \text{aA} / \mu\text{m}$ 以下、好ましくは $10 \text{aA} / \mu\text{m}$ 以下、さらに好ましくは $1 \text{aA} / \mu\text{m}$ 以下である。

【0047】

ここで高純度化された酸化物半導体中において、少数キャリアが極めて少ない、実質的にゼロである点、及びオフ電流が極めて小さい点について、数式、及び測定データを参照して詳述する。

40

【0048】

高純度化された酸化物半導体は、フェルミ・ディラックの分布則を正しいとすると、Eg が $3.05 \sim 3.15 \text{eV}$ を有するため、Si (珪素、シリコンともいう) に比べて、圧倒的に真性キャリアが少ない。また、真性キャリア密度 n_i は、Si で 10^{10}cm^{-3} 程度であるのに対し、高純度化された酸化物半導体は 10^{-7}cm^{-3} 程度である。すなわち、真性キャリア密度 n_i について、高純度化された酸化物半導体と Si とでは、 17 桁程度の差があり、高純度化された酸化物半導体はシリコンと比較して真性キャリア密度 n_i が極端に小さいことがわかる。

【0049】

50

高純度化された酸化物半導体の真性キャリア濃度は容易に見積もることができる。

【 0 0 5 0 】

固体中の電子のエネルギー分布 f は式 (1) で示されるフェルミ・ディラック統計に従うことが知られている。

【 0 0 5 1 】

【数 1】

$$f(E) = \frac{1}{1 + \exp\left(\frac{E - E_F}{kT}\right)} \quad (1)$$

10

【 0 0 5 2 】

キャリア密度が著しく高くない、すなわち縮退していない普通の半導体では、次の式で近似できる。

【 0 0 5 3 】

【数 2】

$$|E - E_F| > kT \quad (2)$$

【 0 0 5 4 】

そのため、式 (1) のフェルミ・ディラック分布は式 (3) で示されるボルツマン分布の式に近似される。

20

【 0 0 5 5 】

【数 3】

$$f(E) = \exp\left[-\frac{E - E_F}{kT}\right] \quad (3)$$

【 0 0 5 6 】

式 (3) を使って半導体の真性キャリア密度 (n_i) を計算すると式 (4) が得られる。

【 0 0 5 7 】

【数 4】

$$n_i = \sqrt{N_c N_v} \exp\left(-\frac{E_g}{2kT}\right) \quad (4)$$

30

【 0 0 5 8 】

式 (4) に、文献から得られた Si と In - Ga - Zn - O (以下、IGZO と略記する) の伝導帯及び価電子帯での実効状態密度 (N_c 、 N_v)、バンドギャップ (E_g) の値を代入し、真性キャリア密度を計算した。計算結果について表 1 に示す。なお IGZO のバンドギャップとして文献値 3 . 0 5 e V (IGZO 1)、測定値 3 . 1 5 e V (IGZO 2) について示している。

【 0 0 5 9 】

40

【表 1】

	Si	IGZO(1)	IGZO(2)
N_c (300K) [cm ⁻³]	2.8×10^{19}	5.0×10^{18}	5.0×10^{18}
N_v (300K) [cm ⁻³]	1.04×10^{19}	5.0×10^{18}	5.0×10^{18}
E_g (300K) [eV]	1.08	3.05	3.15
n_i (300K) [cm ⁻³]	1.45×10^{10}	1.2×10^{-7}	1.7×10^{-8}

【 0 0 6 0 】

50

表1の結果より、IGZOはSiに比べて極端に真性キャリア密度が少ないことがわかる。IGZOのバンドギャップとして3.05 eVを選んだ場合、SiとIGZOでは、真性キャリア濃度におよそ17桁の差がある。

【0061】

次いで、高純度化された酸化物半導体中において、オフ電流が極めて小さい点について、詳述する。

【0062】

上述のように、高純度化された酸化物半導体は、高純度化された酸化物半導体中の少数キャリアが十分少ないといった特徴を有している。オフ電流の下限を見積もるために、薄膜トランジスタのチャネル幅Wが1 mの高純度化された酸化物半導体を半導体層に用いて作製した薄膜トランジスタのオフ電流を測定し、ゲート電圧を印加した際のドレイン電流についてプロットした図を図19に示す。図19に示すように、オフ電流は、測定器の検出限界である 1×10^{-12} A以下となる。このとき、薄膜トランジスタのチャネル幅Wを1 μ mと見積もった場合、オフ電流は1 aA以下(1×10^{-18} A以下)である。

【0063】

薄膜トランジスタのオフ電流の発生する要因の一つとして、電子と正孔の生成・再結合を経てチャネルに供給されたキャリアが流れることが知られている。生成・再結合には電子が価電子帯(Ev)から伝導帯(Ec)へ励起される直接生成再結合と、バンドギャップ内の局在準位(Et)を介して起こる間接生成再結合が存在する。一般に、バンドギャップが狭い半導体の場合、バンドギャップが広い半導体に比べてキャリア濃度が高いために局在準位を介した生成再結合が活発であるが、高純度化された酸化物半導体のようにバンドギャップが広い半導体の場合は、バンドギャップが狭い半導体に比べてキャリア濃度が低いため、生成再結合の頻度は小さく、少数キャリアが供給されにくい。結果としてキャリアの生成・再結合によるオフ電流も小さいものとなる。

【0064】

なおWide gap半導体として例えばSiC(3.26 eV)、GaN(3.39 eV)が知られている。これらはSiに比べて一桁高い絶縁破壊電界強度を持つことや耐熱性に優れることから次世代材料として期待されている。しかし、これらの材料を用いる半導体プロセスは1000以上のプロセス処理を経由するため、ガラス基板上でのデバイス作製は不可能である。他方、高純度化された酸化物半導体は室温乃至400の加熱のスパッタリング法による薄膜形成であり、脱水、脱水素化および、過剰な酸化は450~700で処理できるため、同程度のバンドギャップを持つSiCやGaNに比べ、半導体プロセスにおける環境への負荷が少ない。

【0065】

このように酸化物半導体に含まれる水素を徹底的に除去することにより高純度化された酸化物半導体を薄膜トランジスタのチャネル形成領域に用いた薄膜トランジスタは、少数キャリアが極めて少なく、オフ電流を極めて小さくすることができる。つまり薄膜トランジスタの非導通状態において、酸化物半導体層は絶縁体とみなせて回路設計を行うことができる。一方で、酸化物半導体層は、薄膜トランジスタの導通状態においては、非晶質シリコンで形成される半導体層よりも移動度が2桁ほど高い。

【0066】

一方低温ポリシリコンを具備する薄膜トランジスタでは、酸化物半導体を用いて作製された薄膜トランジスタと比べて、オフ電流が10000倍程度大きい値であると見積もって設計等行っている。そのため、酸化物半導体を有する薄膜トランジスタでは、低温ポリシリコンを具備する薄膜トランジスタに比べて、保持容量が同等(0.1 pF程度)である際、電圧の保持期間を10000倍程度に引き延ばすことができる。また、アモルファスシリコンを具備する薄膜トランジスタの場合、チャネル幅1 μ mあたりのオフ電流は、 1×10^{-13} A/ μ m以上である。したがって、保持容量が同等(0.1 pF程度)である際、高純度の酸化物半導体を用いたトランジスタの方がアモルファスシリコンを用いた薄膜トランジスタに比較して、電圧の保持期間を 10^4 倍以上に引き延ばすことができる

10

20

30

40

50

。

【0067】

具体的にいえば、酸化物半導体層を具備する薄膜トランジスタでは、各画素での画像信号の保持時間を長くすることができる。そのため、例えば、静止画を表示する際の画像信号の書き換えの間隔は10秒以上、好ましくは30秒以上、さらに好ましくは1分以上10分未満とすることができる。すなわち、保持期間を長くとることができ、特に静止画の表示を行う際に、画素電極及び対向電極への画像信号及び共通電位の供給を行う頻度を低減することができる。そのため、低消費電力化を図ることができる。

【0068】

なお、静止画表示において、保持期間中の液晶素子に印加されている電圧の保持率を考慮して、適宜リフレッシュ動作してもよい。例えば、液晶素子の画素電極に信号を書き込んだ直後における電圧の値（初期値）に対して所定のレベルまで電圧が下がったタイミングでリフレッシュ動作を行えばよい。所定のレベルとする電圧は、初期値に対してチラツキを感じない程度に設定することが好ましい。具体的には、表示対象が映像の場合、初期値に対して1.0%低い状態、好ましくは0.3%低い状態となる毎に、リフレッシュ動作（再度の画像信号の書き換え）を行うのが好ましい。また、表示対象が文字の場合、初期値に対して10%低い状態、好ましくは3%低い状態となる毎に、リフレッシュ動作（再度の画像信号の書き換え）を行うのが好ましい。

【0069】

なお、一例として、通常、低温ポリシリコンを用いたトランジスタを有する画素では動画の表示を60フレーム/秒（1フレームあたり16msec）で行っている。これは静止画であっても同じで、リフレッシュ動作のレートを低下させる（画像信号の書き換えの間隔を伸ばす）と、画素の電圧が低下して表示に支障をきたすためである。一方、上述の酸化物半導体層を具備するトランジスタを用いた場合、オフ電流が小さいため、1回の画像信号の書き換えによる保持期間を 10^4 倍の160秒程度とすることができる。

【0070】

そして1回の画像信号の書き換えによる保持期間を長くとれるため、特に静止画の表示を行う際に、1回の画像信号の書き換えを行う頻度を低減することができる。例えば、一つの静止画像の表示期間に画像信号を書き換える回数は、1回または n 回とすることができる。なお、 n は2以上 10^3 回以下とする。こうして、液晶表示装置の低消費電力化を図ることができる。

【0071】

なお、薄膜トランジスタのオフ電流の流れ難さをオフ抵抗率として表すことができる。オフ抵抗率とは、薄膜トランジスタがオフのときのチャネル形成領域の抵抗率であり、オフ抵抗率はオフ電流から算出することができる。

【0072】

具体的には、オフ電流とドレイン電圧との値が分かればオームの法則からトランジスタがオフのときの抵抗値（オフ抵抗 R ）を算出することができる。そして、チャネル形成領域の断面積 A とチャネル形成領域の長さ（ソースドレイン電極間の距離に相当する） L が分かれば $\rho = RA/L$ の式（ R はオフ抵抗）からオフ抵抗率 ρ を算出することができる。

【0073】

ここで、断面積 A は、チャネル形成領域の膜厚を d とし、チャネル幅を W とすると、 $A = dW$ から算出することができる。また、チャネル形成領域の長さ L はチャネル長 L である。以上のように、オフ電流からオフ抵抗率を算出することができる。

【0074】

本実施の形態の半導体層に酸化物半導体を具備するトランジスタのオフ抵抗率は $1 \times 10^9 \Omega \cdot m$ 以上が好ましく、 $1 \times 10^{10} \Omega \cdot m$ 以上がより好ましい。

【0075】

画像信号の保持期間を長くとれることで、特に静止画の表示を行う際に、画像信号の書き換え頻度を低減することができる。そのため、駆動回路部の低消費電力化を図ることがで

10

20

30

40

50

きる。

【 0 0 7 6 】

なお高電源電位 V_{dd} とは、基準電位より高い電位のことであり、低電源電位とは基準電位以下の電位のことをいう。なお高電源電位及び低電源電位ともに、薄膜トランジスタが動作できる程度の電位であることが望ましい。

【 0 0 7 7 】

なお、電圧とは、ある電位と、基準の電位（例えばグラウンド電位）との差のことを示す場合が多い。よって、電圧、電位、電位差を、各々、電位、電圧と言い換えることが可能である。

【 0 0 7 8 】

なお記憶回路 1 0 0 2 への、動画または静止画を表示するための画像信号 $Data$ の供給がアナログの信号の場合には、A / D コンバータ等を介してデジタルの信号に変換して、記憶回路 1 0 0 2 に供給する構成とすればよい。予めデジタル信号に変換しておくことで、後に画像信号の差分を検出する際、検出を容易に行うことができ好適である。

【 0 0 7 9 】

記憶回路 1 0 0 2 は、複数のフレームに関する画像信号を記憶するための複数のフレームメモリ 1 0 0 8 を有する。記憶回路 1 0 0 2 が有するフレームメモリ 1 0 0 8 の数は特に限定されるものではなく、複数のフレームに関する画像信号を記憶できる素子であればよい。なおフレームメモリ 1 0 0 8 は、例えば DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory) 等の記憶素子を用いて構成すればよい。

【 0 0 8 0 】

なおフレームメモリ 1 0 0 8 は、フレーム期間毎に画像信号を記憶する構成であればよく、フレームメモリの数について特に限定されるものではない。またフレームメモリ 1 0 0 8 の画像信号は、比較回路 1 0 0 3 及び表示制御回路 1 0 0 4 により選択的に読み出されるものである。

【 0 0 8 1 】

比較回路 1 0 0 3 は、記憶回路 1 0 0 2 に記憶された連続するフレーム期間の画像信号を選択的に読み出して、連続するフレーム期間で画素毎に画像信号の比較を行い、画像信号の差分を演算するための回路である。なお画像信号の差分は、例えば連続するフレーム期間での画像信号の階調の差を演算して得られるものであればよい。

【 0 0 8 2 】

当該比較回路 1 0 0 3 での画像信号の差分の演算により、全ての画素で差分が検出された際に当該差分を検出した連続するフレーム期間は、動画を表示する期間であると判断される。また比較回路 1 0 0 3 での画像信号の差分の演算により、一部の画素で差分が検出された際に当該差分を検出した連続するフレーム期間は、部分動画を表示する期間であると判断される。また比較回路 1 0 0 3 での画像信号の差分の演算により、全ての画素で差分が検出されない際に当該差分を検出しなかった連続するフレーム期間は、静止画を表示する期間であると判断される。すなわち連続するフレーム期間の画像信号を、比較回路 1 0 0 3 での差分の演算による差分の検出によって、動画を表示するための画像信号であるか、部分動画を表示するための画像信号であるか、または静止画を表示するための画像信号であるか判断するものである。なお比較回路 1 0 0 3 での演算により得られる差分は、一定のレベルを超えたときに、差分を検出したと判断されるように設定してもよい。なお比較回路 1 0 0 3 は、差分の大きさにかかわらず、差分の絶対値によって、差分の検出の判断をする設定とすればよい。

【 0 0 8 3 】

なお動画は、複数のフレームに時分割した複数の画像を高速に切り替えることで人間の目に動く画像として認識される画像をいう。具体的には、1 秒間に 6 0 回 (6 0 フレーム) 以上画像を切り替えることで、人間の目にはちらつきが少なく動画と認識されるものとなる。一方、静止画は、動画及び部分動画と異なり、複数のフレーム期間に時分割した複数

10

20

30

40

50

の画像を高速に切り替えて動作させるものの、連続するフレーム期間、例えば n フレーム目と、 $(n + 1)$ フレーム目とで変化しない画像のことをいう。また部分動画は、複数のフレームに時分割した複数の画像を高速に切り替えることで人間の目に動く画像として認識される画像であって、連続するフレーム期間、例えば n フレーム目と、 $(n + 1)$ フレーム目とで各画素の画像信号が変化する領域と変化しない領域とを有する画像のことをいう。なお比較回路 1003 で画像信号の差分を演算する際には、画像信号がデジタル信号であることが好ましい。

【0084】

表示制御回路 1004 は、比較回路 1003 での画像信号の差分の検出に応じて、前述の差分が検出された画素に対して画像信号 Data を供給するために、記憶回路 1002 より画像信号 Data を読み出し、駆動回路部 1005 を制御する信号を供給するための回路である。

10

【0085】

表示制御回路 1004 の具体的な動作を説明するために、画素部の画素について簡単なモデルを示し、画像が動画、静止画、または部分動画の各場合における画像信号の変化について説明する。

【0086】

まず図 2 (A) には、3 行 × 3 列の画素を有する画素部 201 の模式図を示しており、1 行 1 列目を A1 として、3 行 3 列目までの各画素のアドレスとして A1 乃至 A9 と符号を付している。なお当然であるが、実際の液晶表示装置では、画素数が数万以上の画素部となることが多く、各画素への画像信号の供給の頻度も増えることとなる。

20

【0087】

次いで連続する動画を説明するために、図 2 (B) では、複数の期間毎、例えば 1 フレーム期間毎の画像の変化、即ち各画素の画像信号の変化について図 2 (A) に対応させ示したものである。図 2 (B) では各フレーム期間を第 1 の期間 T1 乃至第 6 の期間 T6 として、画素に入力される画像信号について表している。図 2 (B) では、動画、静止画、及び部分動画について、それぞれ各画素の画像信号の変化について示している。なお各画素での画像信号による階調は、説明のため 2 階調を表したものとなっており、図 2 (B) 中の非斜線部、斜線部で分けて表している。また図 2 (B) では、期間毎の画像の変化として差分 D1 乃至 D5、差分 D6 乃至 D10、差分 D11 乃至 D15、を表している。

30

【0088】

図 2 (B) に示す動画の第 1 の期間 T1 では、1 行 1 列目の A1、1 行 3 列目の A3、2 行 2 列目の A5、3 行 1 列目の A7、3 行 3 列目の A9 が斜線部、1 行 2 列目の A2、2 行 1 列目の A4、2 行 3 列目の A6、3 行 2 列目の A8 が非斜線部、となる画像信号が供給されているものとなる。また図 2 (B) に示す動画の第 2 の期間 T2 では、1 行 2 列目の A2、2 行 1 列目の A4、2 行 3 列目の A6、3 行 2 列目の A8 が斜線部、1 行 1 列目の A1、1 行 3 列目の A3、2 行 2 列目の A5、3 行 1 列目の A7、3 行 3 列目の A9 が非斜線部、となる画像信号が供給されているものとなる。即ち、全ての画素において供給される画像信号が連続する期間で切り替わることとなるため、比較回路 1003 によって演算される差分 D1 は全ての画素で検出されることとなる。すなわち、表示制御回路 1004 は、差分 D1 が検出された画素にのみ画像信号が供給されるよう駆動回路部 1005 の制御、画像信号の記憶回路 1002 からの読み出しを行うこととなる。

40

【0089】

同様にして、動画の第 2 の期間 T2 と第 3 の期間 T3 においても A1 乃至 A9 の全ての画素で画像信号が切り替わることとなる。そのため、比較回路 1003 での演算によって得られる差分 D2 は全ての画素で検出されることとなる。すなわち、表示制御回路 1004 は、差分 D2 が検出された画素にのみ画像信号が供給されるよう駆動回路部 1005 の制御、画像信号の記憶回路 1002 からの読み出しを行うこととなる。同様にして、動画では全ての画素で画像信号の差分が検出されることにより、比較回路 1003 での演算によって差分 D3 乃至 D5 が得られることとなる。即ち、動画では、連続するフレーム間の差

50

分が比較回路 1 0 0 3 での演算によって全ての画素で検出されるため、表示制御回路 1 0 0 4 は全ての画素に画像信号を供給するよう、駆動回路部 1 0 0 5 の制御、記憶回路 1 0 0 2 からの画像信号の読み出しを行うこととなる。

【 0 0 9 0 】

図 2 (B) に示す静止画の第 1 の期間 T 1 では、1 行 1 列目の A 1、1 行 3 列目の A 3、2 行 2 列目の A 5、3 行 1 列目の A 7、3 行 3 列目の A 9 が斜線部、1 行 2 列目の A 2、2 行 1 列目の A 4、2 行 3 列目の A 6、3 行 2 列目の A 8 が非斜線部、となる画像信号が供給されているものとなる。また図 2 (B) に示す静止画の第 2 の期間 T 2 では、1 行 1 列目の A 1、1 行 3 列目の A 3、2 行 2 列目の A 5、3 行 1 列目の A 7、3 行 3 列目の A 9 が斜線部、1 行 2 列目の A 2、2 行 1 列目の A 4、2 行 3 列目の A 6、3 行 2 列目の A 8 が非斜線部、となる画像信号が供給されているものとなる。即ち、全ての画素で画像信号が変わらないこととなるため、比較回路 1 0 0 3 での演算によって得られる差分 D 6 は全ての画素で検出されないこととなる。すなわち、表示制御回路 1 0 0 4 は、差分 D 6 が検出されないため、駆動回路部 1 0 0 5 の制御、画像信号の記憶回路 1 0 0 2 からの読み出しを行わないこととなる。

【 0 0 9 1 】

同様にして、第 2 の期間 T 2 と第 3 の期間 T 3 においても全ての画素で画像信号が変わらないこととなるため、比較回路 1 0 0 3 での演算によって得られる差分 D 7 は全ての画素で検出されないこととなる。すなわち、表示制御回路 1 0 0 4 は、差分 D 7 が検出されないで画素に画像信号を供給する必要がなく、駆動回路部 1 0 0 5 の制御、画像信号の記憶回路 1 0 0 2 からの読み出しを行う必要がなくなることとなる。同様にして、静止画では全ての画素で画像信号の差分が検出されないことにより、比較回路 1 0 0 3 での演算によって得られる差分 D 8 乃至 D 1 0 が検出されないこととなる。即ち、静止画では、連続するフレーム間の差分が比較回路 1 0 0 3 での演算によって検出されないため、表示制御回路 1 0 0 4 は駆動回路部 1 0 0 5 の制御を行うことなく、また記憶回路 1 0 0 2 からの画像信号の読み出しを省略することができ、低消費電力化を図ることができる。

【 0 0 9 2 】

本実施の形態の構成では、各画素に酸化物半導体を半導体層に用いた薄膜トランジスタを用いることにより、画像信号の供給を制御している。前述の通り、酸化物半導体を半導体層に用いた薄膜トランジスタでは、オフ電流を低減することができる。そのため、同じ画像信号であれば画像信号を新たに供給することなく静止画の表示を行うことができる。

【 0 0 9 3 】

なお長期間、静止画の表示を行う場合には、一定期間毎に画像信号の供給を行い、各画素で保持する画像信号による電位を再度供給する構成（リフレッシュ動作）とすればよい。例えば、液晶素子の画素電極に信号を書き込んだ直後における電圧の値（初期値）に対して所定のレベルまで電圧が下がったタイミングでリフレッシュ動作を行えばよい。所定のレベルとする電圧は、初期値に対してチラツキを感じない程度に設定することが好ましい。具体的には、表示対象が映像の場合、初期値に対して 1 . 0 % 低い状態、好ましくは 0 . 3 % 低い状態となる毎に、リフレッシュ動作（再度の画像信号の書き換え）を行うのが好ましい。また、表示対象が文字の場合、初期値に対して 1 0 % 低い状態、好ましくは 3 % 低い状態となる毎に、リフレッシュ動作（再度の画像信号の書き換え）を行うのが好ましい。

【 0 0 9 4 】

図 2 (B) に示す部分動画の第 1 の期間 T 1 では、1 行 1 列目の A 1、1 行 3 列目の A 3、2 行 2 列目の A 5、3 行 1 列目の A 7、3 行 3 列目の A 9 が斜線部、1 行 2 列目の A 2、2 行 1 列目の A 4、2 行 3 列目の A 6、3 行 2 列目の A 8 が非斜線部、となる画像信号が供給されているものとなる。また図 2 (B) に示す部分動画の第 2 の期間 T 2 では、1 行 3 列目の A 3、2 行 2 列目の A 5、3 行 1 列目の A 7、3 行 3 列目の A 9 が斜線部、1 行 1 列目の A 1、1 行 2 列目の A 2、2 行 1 列目の A 4、2 行 3 列目の A 6、3 行 2 列目の A 8 が非斜線部、となる画像信号が供給されているものとなる。即ち、部分動画では、

一部の画素ではフレーム間の差分D 1 1が検出され、その他の画素では比較回路1 0 0 3での演算により得られるフレーム間の差分D 1 1が検出されない。すなわち、比較回路1 0 0 3での演算により1行1列目のA 1のみ差分D 1 1が検出されることとなる。そのため、表示制御回路1 0 0 4は1行1列目のA 1の画素のみに画像信号が供給されるよう、駆動回路部1 0 0 5の制御、記憶回路1 0 0 2からの画像信号の読み出しを行うこととなる。

【0 0 9 5】

同様にして、第2の期間T 2と第3の期間T 3においては、1行3列目のA 3の画素のみ画像信号が切り替わることとなるため、比較回路1 0 0 3での演算によって得られる差分D 1 2は1行3列目のA 3の画素のみで検出されることとなる。すなわち、表示制御回路1 0 0 4は、差分D 1 2が検出された画素にのみ画像信号が供給されるよう駆動回路部1 0 0 5の制御、画像信号の記憶回路1 0 0 2からの読み出しを行うこととなる。同様にして、部分動画では比較回路1 0 0 3の演算によって一部の画素で画像信号の差分が検出されることにより、差分D 1 3乃至D 1 5が得られることとなる。即ち、部分動画では、連続するフレーム間の画像信号の差分が比較回路1 0 0 3での演算により一部の画素で検出されるため、表示制御回路1 0 0 4は一部の画素に画像信号が供給されるよう、駆動回路部1 0 0 5の制御、記憶回路1 0 0 2からの画像信号の読み出しを行うこととなる。

【0 0 9 6】

図2(A)、(B)の例で説明したように、表示制御回路1 0 0 4は、動画、静止画、または部分動画のいずれかを判別するため、フレーム間の画像信号の差分の演算を比較回路1 0 0 3で行うことで画素毎に差分を抽出し、当該差分の検出された画素に画像信号を供給するよう制御するものである。そのため前の期間と同じ画像信号が入力される画素に再度同じ画像信号を入力する動作を省略することによって、新たに画像信号を画素に供給する回数を大幅に低減することができる。その結果、駆動回路部の動作の回数を低減することができ、低消費電力化を図ることができる。

【0 0 9 7】

次いで本実施の形態における駆動回路部及び画素部での各画素の構成について説明する。図3(A)には、表示制御回路1 0 0 4、画素部1 0 0 6、ゲート線側駆動回路1 0 0 7 A、信号線側駆動回路1 0 0 7 Bを示している。画素部1 0 0 6には、複数の画素3 0 0が設けられており、各画素3 0 0にはゲート線側駆動回路1 0 0 7 Aよりゲート線3 0 1が延在して接続され、信号線側駆動回路1 0 0 7 Bより信号線3 0 2および選択線3 0 3が延在して接続されている。なお図3(A)では、ゲート線側駆動回路1 0 0 7 A、信号線側駆動回路1 0 0 7 Bがそれぞれデコーダ回路3 0 4を有し、表示制御回路1 0 0 4からのアドレス線により出力する信号が制御される構成について示している。

【0 0 9 8】

なお、AとBとが接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。ここで、A、Bは、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など)であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【0 0 9 9】

図3(B)はデコーダ回路の例である。デコーダ回路はアドレス線C 1、C 1 b、C 2、C 2 b、C 3、C 3 b、C 4、C 4 bよりアドレス信号をNAND回路3 1 1 A、3 1 1 Bに入力し、その出力を、NOR回路3 1 2を通して出力端子OUT 1に出力する。図3(B)の構成により、表示制御回路1 0 0 4でアドレス線の電位を制御し、出力端子の電位を選択的に制御することができる。

【0 1 0 0】

またデコーダ回路を具備するゲート線側駆動回路1 0 0 7 Aの一例として、図4(A)に示す。図4(A)では、図3(B)のデコーダ回路3 0 4の構成に加えて、バッファ回路

10

20

30

40

50

490を具備する構成を示している。バッファ回路490としてインバータ回路491、492を直列に接続し、信号をゲート線Goutに出力する構成とすればよい。またデコード回路304を具備する信号線側駆動回路1007Bの一例として、図4(B)に示す。図4(B)では、図3(B)のデコード回路304の構成に加えて、スイッチ493を具備する構成を示している。NOR回路312の出力により、スイッチのオンまたはオフの状態を切り替えて画像信号Dataの信号線Soutへの出力、またNOR回路312の出力を選択線Coutの出力とする構成とすればよい。

【0101】

以上のように、ゲート線側駆動回路1007A、信号線側駆動回路1007Bにデコード回路304を用いることにより、表示制御回路1004でアドレスを指定すれば任意のゲート線、信号線、選択線を選択可能、すなわち任意の画素への画像信号の供給を制御することができる。

10

【0102】

また図3(B)に示す画素300の構成の一例について図5に示す。画素300は、第1の薄膜トランジスタ501、第2の薄膜トランジスタ502、液晶素子503、対向電極504を有する。第1の薄膜トランジスタ501のゲート端子はゲート線301に接続され、第1端子は信号線302に接続され、第2端子は第2の薄膜トランジスタ502の第2端子に接続されている。第2の薄膜トランジスタのゲート端子は、選択線303に接続され、第1端子は液晶素子503の一方の電極(第1の電極ともよぶ)に接続される。液晶素子の他方の電極は、対向電極504に接続される。そして画素が選択される際には、第1の薄膜トランジスタ501及び第2の薄膜トランジスタ502が導通状態となることで、液晶素子503の第1の電極側に画像信号を供給する構成とすることができる。

20

【0103】

なお図5では、液晶素子に保持容量を並列に接続しても良い。なお、保持容量の大きさは、画素部に配置される薄膜トランジスタのリーク電流等を考慮して、所定の期間の間電荷を保持できるように設定すればよい。保持容量の大きさは、薄膜トランジスタのオフ電流等を考慮して設定すればよい。本実施の形態では、薄膜トランジスタとして高純度の酸化物質半導体層を有するトランジスタを用いていることにより、各画素における液晶容量に対して1/3以下、好ましくは1/5以下の容量の大きさを有する保持容量を設ければ充分である。

30

【0104】

また、液晶材料の固有抵抗は、 $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上であり、好ましくは $1 \times 10^{13} \Omega \cdot \text{cm}$ を越えていることであり、さらに好ましくは $1 \times 10^{14} \Omega \cdot \text{cm}$ を越えていることである。なお、本明細書における固有抵抗の値は、20で測定した値とする。なお液晶の固有抵抗は、電極間に挟持して液晶素子(液晶セルともいう)とした際、配向膜、シール材等の部材に起因して不純物の混入もあり得るため、 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上、より好ましくは $1 \times 10^{12} \Omega \cdot \text{cm}$ を越えていることとなることもある。

【0105】

液晶材料としては、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

40

【0106】

液晶材料の固有抵抗が大きいほど液晶材料を介して漏れる電荷を減らすことができ、液晶素子の動作状態を保持する電圧が経時的に低下する現象を緩和できる。その結果、保持期間を長くとれるため、画像信号を書き換える頻度を低減でき、液晶表示装置の低消費電力化を図ることができる。

【0107】

また、液晶材料としてブルー相を示す液晶材料を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移す

50

る直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1 m s e c以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。よって液晶表示装置の生産性を向上させることが可能となる。特に、酸化物半導体層を用いる薄膜トランジスタは、静電気の影響により薄膜トランジスタの電気的な特性が著しく変動して設計範囲を逸脱する恐れがある。よって酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置にブルー相の液晶材料を用いることはより効果的である。

10

【0108】

また、本実施の形態の構成は、液晶表示装置に限定されず、表示素子としてエレクトロルミネッセンス素子（EL素子ともいう）などの発光素子を用いたEL表示装置にも適用可能である。

【0109】

図5に示す画素300の構成では、ゲート線301、信号線302、及び選択線303の制御により、選択した画素の第1の薄膜トランジスタ501及び第2の薄膜トランジスタ502を導通状態にして、画像信号を液晶素子503に供給することができる。そのため動画、または部分動画を表示の際に、連続するフレーム間での画像信号の差分が検出された画素のみに画像信号を供給する構成とすることができる。

20

【0110】

以上説明したように本実施の形態では第1の薄膜トランジスタ501及び第2の薄膜トランジスタ502として酸化物半導体を用いた薄膜トランジスタとすることで、オフ電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができる。静止画を表示する際の低消費電力化を図ることができる液晶表示装置とすることができる。

【0111】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

30

【0112】

（実施の形態2）

本実施の形態では、上記実施の形態で述べた構成に加え、静止画を表示する際の保持特性を向上できる構成について、説明する。本実施の形態では、上記実施の形態の構成と併せて説明することのできる液晶表示装置の概略図、回路図等について示し、本実施形態の構成による効果について説明する。

【0113】

図6（A）で示す液晶表示装置は、第1の基板101、第2の基板102で構成される。第1の基板101には、画素部103、ゲート線側駆動回路104、信号線側駆動回路105、端子部106、スイッチングトランジスタ107を有する。第2の基板102には、共通接続部108（コモンコンタクトともいう）、対向電極109を有する。

40

【0114】

第1の基板101及び第2の基板102としては、透光性を有し、且つ後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われるガラス基板（「無アルカリガラス基板」とも呼ばれる）、石英基板、セラミック基板、プラスチック基板等を用いることができる。

【0115】

なお図6（A）に示す画素部103、ゲート線側駆動回路104、信号線側駆動回路105、及びスイッチングトランジスタ107は、第1の基板101上に形成される薄膜トラ

50

ンジスタにより構成されるものでもよい。なお、ゲート線側駆動回路 104、及び信号線側駆動回路 105 は、第 1 の基板 101 上に形成する薄膜トランジスタで構成する必要はなく、第 1 の基板 101 の外部に設けられる別の基板等に形成する薄膜トランジスタで形成すればよい。

【0116】

なお画素部 103 には、上記実施の形態 1 での図 5 の説明と同様に、ゲート線、信号線、選択線、及び画素が設けられる。

【0117】

なお本明細書で述べるスイッチングトランジスタとは、ゲートに印加する電位に応じて、ソース端子及びドレイン端子間の二端子間の導通または非導通を選択して、スイッチング動作を実現しうる薄膜トランジスタを意味する。一例としては、薄膜トランジスタが線形領域で動作するようゲート端子に印加する電位を調整して動作させた素子であればよい。なおスイッチングトランジスタ 107 のゲート端子に印加する電位は、端子部 106 より供給される構成とすればよい。また、スイッチングトランジスタ 107 の端子部 106 に接続されるソース端子またはドレイン端子の一方の端子を第 1 の端子、スイッチングトランジスタ 107 の共通接続部 108 を介して対向電極に接続される側の他方の端子を第 2 の端子と呼ぶことにする。なおスイッチングトランジスタ 107 の第 1 の端子からは、対向電極 109 に供給する共通電位（コモン電位ともいう）が供給され、ゲート端子に印加される電位によりスイッチングトランジスタ 107 の導通または非導通が制御されることとなる。

【0118】

なおスイッチングトランジスタの構造については逆スタガ型の構造でもよいし、順スタガ型の構造でもよい。または、チャネル領域が複数の領域に分かれて直列に接続された、ダブルゲート型の構造でもよい。または、ゲート電極がチャネル領域の上下に設けられたデュアルゲート型の構造でもよい。また、スイッチングトランジスタを構成する半導体層を複数の島状の半導体層にわけて形成し、スイッチング動作を実現してもよい。

【0119】

また端子部 106 には、ゲート線側駆動回路 104、及び信号線側駆動回路 105 のデコーダ回路を制御するための信号（アドレス信号）、画像信号（ビデオ電圧、ビデオ信号、ビデオデータともいう）、対向電極 109 に供給する共通電位、並びにスイッチングトランジスタ 107 を動作させるための信号等が供給されることとなる。

【0120】

共通電位は、画素電極に供給される画像信号の電位に対して基準となる電位であればよく、一例としてはグラウンド電位であってもよい。

【0121】

共通接続部 108 は、第 1 の基板 101 でのスイッチングトランジスタ 107 の第 2 の端子と、第 2 の基板 102 での対向電極と、の電気的な接続を図るために設けられており、スイッチングトランジスタ 107 及び共通接続部 108 を介して、端子部 106 より共通電位が対向電極に供給されることとなる。共通接続部 108 の具体的な一例としては、絶縁性球体に金属薄膜が被覆された導電粒子により電気的な接続を図ればよい。なお、共通接続部 108 は、第 1 の基板 101 及び第 2 の基板 102 の間で複数箇所設けられる構成としてもよい。

【0122】

対向電極 109 は、画素部 103 が有する画素電極と重畳して設けられることが好ましい。また対向電極 109 及び画素部 103 が有する画素電極は、多様な開口パターンを有する形状としてもよい。

【0123】

また画素部 103、ゲート線側駆動回路 104、信号線側駆動回路 105、及びスイッチングトランジスタ 107 を第 1 の基板 101 上に形成する場合、または画素部 103 及びスイッチングトランジスタ 107 を第 1 の基板 101 に形成する場合、各回路を構成する

薄膜トランジスタは、半導体層を酸化物半導体としたnチャネル型の薄膜トランジスタを用いる。なお、薄膜トランジスタの半導体層に酸化物半導体を用いる利点については上記実施の形態1で述べた説明の通りである。

【0124】

すなわち、オフ電流が極めて小さい薄膜トランジスタを用いて、スイッチング素子などを作製した場合、オフ電流値が小さくほとんどリークがないため、当該スイッチング素子に接続されるノードの電荷のリークを限りなく低減することができ、当該ノードでの電位の保持時間を長くすることができる。

【0125】

次いで図6(B)に、図6(A)での液晶表示装置の概略図について、特に画素部103の構成を詳細にした回路図について示す。

10

【0126】

図6(B)に示す液晶表示装置は、図6(A)と同様に、第1の基板101、第2の基板102が設けられている。また第1の基板101には、画素部103、ゲート線側駆動回路104、信号線側駆動回路105、端子部106、スイッチングトランジスタ107を有する。第2の基板102には、共通接続部108、対向電極109を有する。

【0127】

図6(B)においては、画素部103において、複数のゲート線111、複数の信号線112、複数の選択線114が縦横に設けられており、ゲート線111、信号線112、及び選択線114には、上記実施の形態1の図5で説明した第1の薄膜トランジスタ、第2の薄膜トランジスタ、第1の電極と第2の電極との間に液晶が挟持されて形成される液晶素子を有する画素113が設けられている様子を示している。なお、液晶素子の第1の電極は、画素電極に相当する。なお液晶素子の第2の電極は、前述の対向電極109に相当する。

20

【0128】

なお、画素を構成する第1の薄膜トランジスタ、第2の薄膜トランジスタは、スイッチングトランジスタ107と同様に、半導体層として酸化物半導体を用いて形成される。酸化物半導体を用いることにより、画素を構成する第1の薄膜トランジスタ、第2の薄膜トランジスタを流れるオフ電流を大幅に低減し、画素電極に供給される電位の保持期間を長くすることができる。

30

【0129】

次いで、画素電極を有する画素の一画素についての回路図を図6(C)に示す。図6(C)には、第1の薄膜トランジスタ501、第2の薄膜トランジスタ502、スイッチングトランジスタ107に着目して示しており、第1の薄膜トランジスタ501のゲート端子はゲート線111に接続され、第1端子は信号線112に接続され、第2端子は第2の薄膜トランジスタ502の第2端子に接続されている。第2の薄膜トランジスタ502のゲート端子は、選択線114に接続され、第1端子が画素電極121に接続される。またスイッチングトランジスタ107のゲート端子が端子部106の端子106Aに接続され、スイッチングトランジスタ107の第1の端子が端子部106の端子106Bに接続され、スイッチングトランジスタ107の第2の端子が共通接続部108を介して電氣的に対向電極122に接続される。なお画素電極121と対向電極122との間には、液晶123が挟持され、画素電極121、対向電極122、及び液晶123を併せて液晶素子と呼ぶこともある。

40

【0130】

なお、液晶としては、光学的変調作用によって光の透過又は非透過を制御する素子であればよい。なお、液晶の光学的変調作用は、液晶にかかる電圧、及び画素電極と対向電極との配置等によって制御されるものであればよい。

【0131】

ついで、スイッチングトランジスタ107の動作について説明する。静止画の表示期間において、スイッチングトランジスタ107を非導通状態となるよう制御する。このとき静

50

止画の表示期間には、第 1 の薄膜トランジスタ 5 0 1 及び第 2 の薄膜トランジスタ 5 0 2 も全ての画素において非導通状態となっている。すなわち液晶 1 2 3 の両端の電極、即ち画素電極 1 2 1 及び対向電極 1 2 2 の電位を浮遊状態とすることで新たに電位を供給することなく、静止画の表示を行うことができる。そしてゲート線側駆動回路 1 0 4、信号線側駆動回路 1 0 5 の動作を停止することにより低消費電力化を図ることができる。

【 0 1 3 2 】

なお動画、及び部分動画の表示期間では、スイッチングトランジスタ 1 0 7 を導通状態となるよう制御することが好ましい。

【 0 1 3 3 】

なお図 6 (C) での液晶 1 2 3 の抵抗率は、およそ 1×10^{12} 乃至 1×10^{13} [$\Omega \cdot \text{cm}$] 程度である。静止画の表示期間では、液晶 1 2 3 の両端の電極、即ち画素電極 1 2 1 及び対向電極 1 2 2 を、オフ電流のほとんどない、すなわち高抵抗の薄膜トランジスタによって浮遊状態としている。そのため液晶 1 2 3 の両端に印加される電圧による液晶 1 2 3 を流れる電流を低減することができる。

【 0 1 3 4 】

その結果、静止画表示を行う際、低消費電力化を図りつつ、且つ画像の乱れが低減された液晶表示装置とすることができる。

【 0 1 3 5 】

以上説明したように本実施の形態で示す構成とすることにより、酸化物半導体を用いた薄膜トランジスタを具備する画素において、オフ電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができ、静止画を表示する際の低消費電力化を図ることができる液晶表示装置とすることができる。

【 0 1 3 6 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 1 3 7 】

(実施の形態 3)

本実施の形態では、上記実施の形態 1 で述べた駆動回路、及び画素部での画素の構成とは異なる構成について図面を参照して説明する。

【 0 1 3 8 】

図 1 6 には、図 3 (A) と同様に、表示制御回路 1 0 0 4、画素部 1 0 0 6、ゲート線側駆動回路 1 0 0 7 A、信号線側駆動回路 1 0 0 7 B を示している。画素部 1 0 0 6 には、複数の画素 3 0 0 が設けられており、各画素 3 0 0 にはゲート線側駆動回路 1 0 0 7 A よりゲート線 3 0 1 が延在して接続され、信号線側駆動回路 1 0 0 7 B より信号線 3 0 2 が延在して接続されている。

【 0 1 3 9 】

また図 1 6 の画素 3 0 0 では、薄膜トランジスタ 1 6 0 1、液晶素子 1 6 0 2 を有している。なお薄膜トランジスタ 1 6 0 1 の半導体層は、実施の形態 1 と同様に、酸化物半導体とすることによって、オフ電流を極めて小さくすることができ、静止画を表示する際に画像信号の供給を行う頻度を低減することができる。

【 0 1 4 0 】

また図 1 6 では、ゲート線側駆動回路 1 0 0 7 A がデコーダ回路 1 6 0 3 を有し、信号線側駆動回路 1 0 0 7 B がシフトレジスタ回路 1 6 0 4 を有し、表示制御回路 1 0 0 4 からのアドレス線またはシフトレジスタ回路の制御信号 (クロック信号、スタートパルス等) により、画素に供給される画像信号の制御をする構成について示している。

【 0 1 4 1 】

なおシフトレジスタ回路 1 6 0 4 としては、クロック信号、反転クロック信号、スタートパルス S P 等により、1 段目の出力端子より、順次パルスを出力する回路であればよく、例えばパルス出力回路 (フリップフロップ回路ともいう) をカスケード接続したシフトレジスタ回路を用いて構成すればよい。

【 0 1 4 2 】

図 1 6 と図 3 (A) との変更点は、選択線を削除している点、画素の薄膜トランジスタの数を削減した点、及び信号線側駆動回路 1 0 0 7 B にシフトレジスタ回路 1 6 0 4 を設ける点にある。そのため、本実施の形態では、図 1 6 での変更点について詳述し、本実施の形態とすることにより図 3 (A) とは異なる効果について詳述する。

【 0 1 4 3 】

図 1 6 では、図 3 (A) と同様に、比較回路 1 0 0 3 での演算により差分を検出した画素に接続されたゲート線を、ゲート線側駆動回路 1 0 0 7 A のデコーダ回路 1 6 0 3 により選択することとなる。また図 1 6 では、図 3 (A) と異なり信号線側駆動回路 1 0 0 7 B がシフトレジスタ回路 1 6 0 4 を有しており、信号線側駆動回路 1 0 0 7 B では比較回路 1 0 0 3 での演算により差分を検出しない画素もシフトレジスタ回路 1 6 0 4 により順次選択することとなる。しかしながら図 1 6 の構成では、選択線を削除している点、及び画素の薄膜トランジスタとして数を削減した点により、配線数の削減、及び画素の開口率の向上を図ることができる。また本実施の形態の構成であっても、ゲート線側駆動回路 1 0 0 7 A のデコーダ回路 1 6 0 3 で選択的にゲート線の駆動を行うことにより、低消費電力化を図ることができる。

10

【 0 1 4 4 】

選択線の削除、及び画素の開口率の向上を図ることのできる本実施の形態の構成は、精細度の高い液晶表示装置を作製する際、好適である。なお本実施の形態の構成では、信号線側駆動回路 1 0 0 7 B によって 1 画素単位で選択的に駆動することができなくなるものの、ゲート線側駆動回路 1 0 0 7 A のデコーダ回路 1 6 0 3 で選択的にゲート線側駆動回路の駆動を行うことにより低消費電力化を図ることができる。そのため、行方向に画像が切り替わる液晶表示装置に用いる際に特に好適である。

20

【 0 1 4 5 】

以上説明したように本実施の形態で薄膜トランジスタ 1 6 0 1 として酸化物半導体を用いた薄膜トランジスタとすることで、オフ電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができ、静止画を表示する際の低消費電力化を図ることができる液晶表示装置とすることができる。

【 0 1 4 6 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

30

【 0 1 4 7 】

(実施の形態 4)

本実施の形態では、上記実施の形態で述べた液晶表示装置を電子計算機 (パーソナルコンピュータ) 用途のモニター (P C モニターともいう) に用いた際の効果について一例を挙げて説明する。

【 0 1 4 8 】

図 1 7 (A) には、筐体 1 7 0 1 に表示部 1 7 0 2 が設けられた液晶表示装置に示しており、ウインドウ型表示部 1 7 0 3 が表示部 1 7 0 2 にある例について示している。表示部 1 7 0 2 は、上記実施の形態 1 の液晶表示装置を用いるものである。

40

【 0 1 4 9 】

なお説明のために表示部 1 7 0 2 にウインドウ型表示部 1 7 0 3 を示したが、他のシンボル、例えばアイコン、画像等であってもよい。

【 0 1 5 0 】

また図 1 7 (B) では、図 1 7 (A) でのウインドウ型表示部 1 7 0 3 を点線部 1 7 0 4 から実線部 1 7 0 5 に移動させた際の図を表したものである。図 1 7 (B) でのウインドウ型表示部 1 7 0 3 の移動により、当該移動の期間においては、上記実施の形態 1 で説明した部分動画を表示するといった状況となり、図 1 7 (C) に示す領域 1 7 0 7 が比較回路によって画像信号の差分が検出される領域、図 1 7 (C) に示す領域 1 7 0 8 が比較回路によって画像信号の差分が検出されない領域となる。なお、領域 1 7 0 7 はウインドウ

50

型表示部の移動に伴い動画と見なせる領域であり、動画領域ということもある。また領域 1708 はウィンドウ型表示部の移動がなく画像信号に変化のない領域であり、静止画領域ということもある。

【0151】

図18(A)では、横軸に時間を取り、図17(A)乃至(C)で説明した例について動画領域、静止画領域での画像信号の書き換えの頻度について、例えばフレーム期間毎に模式的に示した図である。図18(A)中、Wは画像信号の書き換え期間であることをあらわし、Hは画像信号を保持する期間であることを示している。また、図18(A)中、期間1801は1フレーム期間を表したものであるが、別の期間であってもよい。

【0152】

図18(A)でもわかるように、実施の形態1で説明した液晶表示装置の構成においては、比較回路で連続するフレーム間の画像信号に差分を検出した場合、即ち動画領域では画素に供給される画像信号の書き換えはフレーム期間毎に行われることとなる。そのため動画領域では書き換えが頻繁になされることとなる。また実施の形態1で説明した液晶表示装置の構成においては、比較回路で連続するフレーム間の画像信号に差分を検出しない場合、即ち静止画領域では画素に供給される画像信号の書き換えは、画像信号が切り替わる期間のみ(図18(A)では期間1801)で行い、後の期間は供給された画像信号を保持する期間となる。

【0153】

なお図18(B)では、比較のため図18(A)と同様にして、動画領域、静止画領域にかかわらず、画像信号を定期的な書き換えの際の図について、示したものである。動画領域と静止画領域とが混在する画像を表示するために画像信号は、定期的に各画素に書き換えられることとなる。

【0154】

以上説明したように、静止画、部分動画の静止画領域では、頻繁に画像信号に書き換えを行うといった動作を削減することができる。複数回の画像信号の書き換えを視認する際、人間の目には疲労として現れることもあり得る。本実施の形態で説明したように、画像信号の書き換え回数を削減する構成とすることで、目の疲労を減らすといった効果もある。

【0155】

以上説明したように本実施の形態では、酸化物半導体を用いた薄膜トランジスタを各画素に設けることで、薄膜トランジスタのオフ電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができ、静止画を表示する際の低消費電力化を図ることができる液晶表示装置とすることができる。

【0156】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0157】

(実施の形態5)

本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの例を示す。

【0158】

本実施の形態の液晶表示装置及び液晶表示装置の作製方法の一形態を、図7を用いて説明する。

【0159】

図7(A)乃至(E)に液晶表示装置の断面構造の一例を示す。図7(A)乃至(E)に示す薄膜トランジスタ410、420は、チャネルエッチ型と呼ばれるボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。図7(A)乃至(E)において、薄膜トランジスタ410はスイッチングトランジスタであり、薄膜トランジスタ420は画素トランジスタである。

【0160】

また、薄膜トランジスタ 410、420 はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【0161】

以下、図 7 (A) 乃至 (E) を用い、基板 400 上に薄膜トランジスタ 410、420 を作製する工程を説明する。

【0162】

まず、絶縁表面を有する基板 400 上に導電膜を形成した後、第 1 のフォトリソグラフィ工程によりゲート電極層 411、ゲート電極層 421 を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

10

【0163】

絶縁表面を有する基板 400 に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0164】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が 730 以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。

20

【0165】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。

【0166】

下地膜となる絶縁膜を基板 400 とゲート電極層 411、及びゲート電極層 421 との間に設けてもよい。下地膜は、基板 400 からの不純物元素の拡散を防止する機能があり、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、又は酸化窒化珪素膜から選ばれた一又は複数の膜による積層構造により形成することができる。

【0167】

また、ゲート電極層 411、及びゲート電極層 421 は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

30

【0168】

例えば、ゲート電極層 411、及びゲート電極層 421 の 2 層の積層構造としては、アルミニウム層上にモリブデン層が積層された 2 層の積層構造、または銅層上にモリブデン層を積層した二層構造、または銅層上に窒化チタン層若しくは窒化タンタルを積層した二層構造、窒化チタン層とモリブデン層とを積層した二層構造とすることが好ましい。3 層の積層構造としては、タングステン層または窒化タングステンと、アルミニウムと珪素の合金またはアルミニウムとチタンの合金と、窒化チタンまたはチタン層とを積層した積層とすることが好ましい。

40

【0169】

次いで、ゲート電極層 411、及びゲート電極層 421 上にゲート絶縁層 402 を形成する。

【0170】

ゲート絶縁層 402 は、プラズマ CVD 法又はスパッタリング法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層、窒化酸化珪素層、又は酸化アルミニウム層を単層で又は積層して形成することができる。例えば、成膜ガスとして、 SiH_4 、酸素及び窒素を用いてプラズマ CVD 法により酸化窒化珪素層を形成すればよい。またゲート絶縁層として酸化ハフニウム (HfO_x)、酸化タンタル (TaO_x) 等の High-k 材料を用いることもできる。ゲート絶縁層 402 の膜厚は、100 nm 以上 500 nm 以下とし、積層

50

の場合は、例えば、膜厚 50 nm 以上 200 nm 以下の第 1 のゲート絶縁層と、第 1 のゲート絶縁層上に膜厚 5 nm 以上 300 nm 以下の第 2 のゲート絶縁層の積層とする。

【0171】

本実施の形態では、ゲート絶縁層 402 としてプラズマ CVD 法により膜厚 100 nm 以下の酸化窒化珪素層を形成する。

【0172】

またゲート絶縁層 402 として、高密度プラズマ装置を用い、酸化窒化珪素層の形成を行ってもよい。ここで高密度プラズマ装置は、 $1 \times 10^{11} / \text{cm}^3$ 以上のプラズマ密度を達成できる装置を指している。例えば、3 kW ~ 6 kW のマイクロ波電力を印加してプラズマを発生させて、絶縁層の成膜を行う。

10

【0173】

チャンパーに材料ガスとしてモノシランガス (SiH_4) と亜酸化窒素 (N_2O) と希ガスを導入し、10 Pa ~ 30 Pa の圧力下で高密度プラズマを発生させてガラス等の絶縁表面を有する基板上に絶縁層を形成する。その後、モノシランガスの供給を停止し、大気に曝すことなく亜酸化窒素 (N_2O) と希ガスを導入して絶縁層表面にプラズマ処理を行ってもよい。少なくとも亜酸化窒素 (N_2O) と希ガスを導入して絶縁層表面に行われるプラズマ処理は、絶縁層の成膜より後に行う。上記プロセス順序を経た絶縁層は、膜厚が薄く、例えば 100 nm 未満であっても一定の信頼性を確保することができる絶縁層である。

【0174】

20

ゲート絶縁層 402 の形成の際、チャンパーに導入するモノシランガス (SiH_4) と亜酸化窒素 (N_2O) との流量比は、1 : 10 から 1 : 200 の範囲とする。また、チャンパーに導入する希ガスとしては、ヘリウム、アルゴン、クリプトン、キセノンなどを用いることができるが、中でも安価であるアルゴンを用いることが好ましい。

【0175】

また、高密度プラズマ装置により得られた絶縁層は、一定した厚さの膜形成ができるため段差被覆性に優れている。また、高密度プラズマ装置により得られる絶縁層は、薄い膜の厚みを精密に制御することができる。

【0176】

上記プロセス順序を経た絶縁層は、従来の平行平板型の PCVD 装置で得られる絶縁層とは膜質が大きく異なっており、同じエッチャントを用いてエッチング速度を比較した場合において、平行平板型の PCVD 装置で得られる絶縁層の 10 % 以上または 20 % 以上エッチング速度が遅く、高密度プラズマ装置で得られる絶縁層は緻密な層と言える。

30

【0177】

なお後の工程で i 型化又は実質的に i 型化される酸化物半導体 (高純度化された酸化物半導体) は界面準位、界面電荷に対して極めて敏感であるため、ゲート絶縁層との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁層 (GI) は、高品質化が要求される。従って μ 波 (2.45 GHz) を用いた高密度プラズマ CVD は、緻密で絶縁耐圧の高い高品質な絶縁層を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁層とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。ゲート絶縁層としての膜質が良好であることは勿論のこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成できることが重要である。

40

【0178】

次いで、ゲート絶縁層 402 上に、膜厚 2 nm 以上 200 nm 以下の酸化物半導体膜 430 を形成する。酸化物半導体膜 430 の形成後に脱水化または脱水素化のための加熱処理を行っても酸化物半導体膜を非晶質な状態とするため、膜厚を 50 nm 以下と薄くすることが好ましい。酸化物半導体膜の膜厚を薄くすることで酸化物半導体層の形成後に加熱処理した場合に、結晶化してしまうのを抑制することができる。

【0179】

50

なお、酸化物半導体膜430をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層402の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

【0180】

酸化物半導体膜430は、In-Ga-Zn-O系膜、In-Sn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体膜を用いる。本実施の形態では、酸化物半導体膜430としてIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタ法により成膜する。この段階での断面図が図7(A)に相当する。また、酸化物半導体膜430は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(代表的にはアルゴン)及び酸素雰囲気下においてスパッタ法により形成することができる。また、スパッタ法を用いる場合、SiO₂を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、酸化物半導体膜430に結晶化を阻害するSiを含ませ、後の工程で行う脱水化または脱水素化のための加熱処理の際に酸化物半導体が結晶化してしまうのを抑制することが好ましい。

【0181】

ここでは、In、Ga、及びZnを含む金属酸化物ターゲット(In₂O₃:Ga₂O₃:ZnO=1:1:1[mol%]、In:Ga:Zn=1:1:0.5[atom%])を用いて、基板とターゲットの間との距離を100mm、圧力0.2Pa、直流(DC)電源0.5kW、アルゴン及び酸素(アルゴン:酸素=30sccm:20sccm、酸素流量比率40%)雰囲気下で成膜する。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚分布も均一となるために好ましい。In-Ga-Zn-O系膜の膜厚は、5nm以上200nm以下とする。本実施の形態では、酸化物半導体膜として、In-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタ法により膜厚20nmのIn-Ga-Zn-O系膜を成膜する。また、In、Ga、及びZnを含む金属酸化物ターゲットとして、In:Ga:Zn=1:1:1[atom%]、又はIn:Ga:Zn=1:1:2[atom%]の組成比を有するターゲットを用いることもできる。

【0182】

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法、DCスパッタ法、さらにパルスのバイアスを与えるパルスDCスパッタ法がある。RFスパッタ法は主に絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に金属膜を成膜する場合に用いられる。

【0183】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0184】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

【0185】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法もある。

【0186】

次いで、酸化物半導体膜430を第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。また、島状の酸化物半導体層を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0187】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400 以上750 以下、好ましくは400 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450 において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の混入を防ぎ、酸化物半導体層431、432を得る(図7(B)参照。)

10

【0188】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA(Gas Rapid Thermal Annealing)装置、LRTA(Lamp Rapid Thermal Annealing)装置等のRTA(Rapid Thermal Annealing)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

20

【0189】

例えば、第1の加熱処理として、650 ~700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

【0190】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

30

【0191】

また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶層または多結晶層となる場合もある。例えば、結晶化率が90%以上、または80%以上の微結晶の酸化物半導体層となる場合もある。また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、結晶成分を含まない非晶質の酸化物半導体層となる場合もある。また、非晶質の酸化物半導体の中に微結晶部(粒径1nm以上20nm以下(代表的には2nm以上4nm以下))が混在する酸化物半導体層となる場合もある。また、RTA(GRTA、LRTA)を用いて高温の加熱処理を行うと、酸化物半導体層の表面側に縦方向(膜厚方向)の針状結晶が生じる場合もある。

40

【0192】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜430に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0193】

酸化物半導体層に対する脱水化、脱水素化の加熱処理は、酸化物半導体層成膜後、酸化物半導体層上にソース電極及びドレイン電極を積層させた後、ソース電極及びドレイン電極上に保護絶縁膜を形成した後、のいずれで行っても良い。

50

【0194】

また、ゲート絶縁層402に開口部を形成する場合、その工程は酸化物半導体膜430に脱水化または脱水素化処理を行う前でも行った後に行ってもよい。

【0195】

なお、ここでの酸化物半導体膜のエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

【0196】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（ Cl_2 ）、三塩化硼素（ BCl_3 ）、四塩化珪素（ SiCl_4 ）、四塩化炭素（ CCl_4 ）など）が好ましい。

10

【0197】

また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ CF_4 ）、六弗化硫黄（ SF_6 ）、三弗化窒素（ NF_3 ）、トリフルオロメタン（ CHF_3 ）など）、臭化水素（ HBr ）、酸素（ O_2 ）、これらのガスにヘリウム（ He ）やアルゴン（ Ar ）などの希ガスを添加したガス、などを用いることができる。

【0198】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。

20

【0199】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液、アンモニア過水（31重量%過酸化水素水：28重量%アンモニア水：水＝5：2：2）などを用いることができる。また、ITO07N（関東化学社製）を用いてもよい。

【0200】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

30

【0201】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件（エッチング液、エッチング時間、温度等）を適宜調節する。

【0202】

次いで、ゲート絶縁層402、及び酸化物半導体層431、432上に、金属導電膜を形成する。金属導電膜をスパッタ法や真空蒸着法で形成すればよい。金属導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか一または複数から選択された材料を用いてもよい。また、金属導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、Ti膜と、そのTi膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を成膜する3層構造などが挙げられる。また、Alに、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、Nd（ネオジム）、Sc（スカンジウム）から選ばれた元素を単数、又は複数組み合わせた膜、合金膜、もしくは窒化膜を用いてもよい。

40

【0203】

金属導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を金属導電膜に持たせることが好ましい。

50

【0204】

第3のフォトリソグラフィ工程により金属導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層415a、ドレイン電極層415b、ソース電極層425a、及びドレイン電極層425bを形成した後、レジストマスクを除去する(図7(C)参照。)。

【0205】

なお、金属導電膜のエッチングの際に、酸化物半導体層431、432は除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0206】

本実施の形態では、金属導電膜としてTi膜を用いて、酸化物半導体層431、432にはIn-Ga-Zn-O系酸化物を用いて、エッチャントとしてアンモニア過水(アンモニア、水、過酸化水素水の混合液)を用いる。

10

【0207】

なお、第3のフォトリソグラフィ工程では、酸化物半導体層431、432は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。また、ソース電極層415a、ドレイン電極層415b、ソース電極層425a、及びドレイン電極層425bを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0208】

20

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0209】

次いで、N₂O、N₂、またはArなどのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

30

【0210】

プラズマ処理を行った後、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる酸化物絶縁層416を形成する。

【0211】

酸化物絶縁層416は、少なくとも1nm以上の膜厚とし、スパッタ法など、酸化物絶縁層416に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化物絶縁層416に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素による酸化物半導体層中の酸素引き抜き、が生じ酸化物半導体層のバックチャネルが低抵抗化(N型化)してしまい、寄生チャネルが形成される。よって、酸化物絶縁層416はできるだけ水素を含まない膜になるように、成膜の際には極力水素を用いないことが重要である。

40

【0212】

本実施の形態では、酸化物絶縁層416として膜厚200nmの酸化珪素膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化珪素膜のスパッタ法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガス(代表的にはアルゴン)及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気

50

気下でスパッタ法により酸化珪素を形成することができる。低抵抗化した酸化物半導体層に接して形成する酸化物絶縁層416は、水分や、水素イオンや、 OH^- などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウムなどを用いる。

【0213】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部（チャネル形成領域）が酸化物絶縁層416と接した状態で加熱される。

10

【0214】

以上の工程を経ることによって、成膜後の酸化物半導体膜に対して脱水化または脱水素化のための加熱処理を行って低抵抗化した後、酸化物半導体膜の一部を選択的に酸素過剰な状態とする。その結果、ゲート電極層411と重なるチャネル形成領域413はI型となり、ソース電極層415aに重なる高抵抗ソース領域414aと、ドレイン電極層415bに重なる高抵抗ドレイン領域414bとが自己整合的に形成される。以上の工程で薄膜トランジスタ410が形成される。同様に、ゲート電極層421と重なるチャネル形成領域423はI型となり、ソース電極層425aに重なる高抵抗ソース領域424aと、ドレイン電極層425bに重なる高抵抗ドレイン領域424bとが自己整合的に形成される。以上の工程で薄膜トランジスタ420が形成される。

20

【0215】

85、 $2 \times 10^6 \text{ V/cm}$ 、12時間のゲートバイアス・熱ストレス試験（BT試験）においては、不純物が酸化物半導体に添加されていると、不純物と酸化物半導体の主成分との結合が、強電界（B：バイアス）と高温（T：温度）により切断され、生成された未結合手がしきい値電圧（ V_{th} ）のシフトを誘発することとなる。これに対して、酸化物半導体の不純物、特に水素や水等を極力除去し、上述の高密度プラズマCVDを用いて緻密で絶縁耐圧の高い高品質な絶縁膜とし、酸化物半導体との界面特性を良好にすることにより、BT試験に対しても安定な薄膜トランジスタを得ることができる。

【0216】

さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。本実施の形態では150で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって液晶表示装置の信頼性を向上できる。

30

【0217】

なお、ドレイン電極層415b、425b（及びソース電極層415a、425a）と重畳した酸化物半導体層において高抵抗ドレイン領域414b、424b（又は高抵抗ソース領域414a、424a）を形成することにより、薄膜トランジスタの信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域414b、424bを形成することで、ドレイン電極層415b、425bから高抵抗ドレイン領域414b、424b、チャネル形成領域413、423にかけて、導電性を段階的に変化させうるような構造とすることができる。そのため、ドレイン電極層415b、425bを高電源電位VDDを供給する配線に接続して動作させる場合、ゲート電極層411、421とドレイン電極層415b、425bとの間に高電界が印加されても高抵抗ドレイン領域がバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成とすることができる。

40

【0218】

また、酸化物半導体層における高抵抗ソース領域又は高抵抗ドレイン領域は、酸化物半導

50

体層の膜厚が15 nm以下と薄い場合は膜厚方向全体にわたって形成されるが、酸化物半導体層の膜厚が30 nm以上50 nm以下と厚い場合は、酸化物半導体層の一部、ソース電極層又はドレイン電極層と接する領域及びその近傍が低抵抗化した高抵抗ソース領域又は高抵抗ドレイン領域が形成され、酸化物半導体層においてゲート絶縁層に近い領域はI型とすることもできる。

【0219】

酸化物絶縁層416上にさらに保護絶縁層を形成してもよい。例えば、RFスパッタ法を用いて窒化珪素膜を形成する。RFスパッタ法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分や、水素イオンや、 OH^- などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化珪素膜、窒化アルミニウム膜、窒化酸化珪素膜、酸化窒化アルミニウムなどを用いる。本実施の形態では、保護絶縁層として保護絶縁層403を、窒化珪素膜を用いて形成する(図7(D)参照)。

10

【0220】

保護絶縁層403上に平坦化のための平坦化絶縁層を設けてもよい。図7(E)に示すように、薄膜トランジスタ420の保護絶縁層403上に平坦化絶縁層404を形成する。

【0221】

平坦化絶縁層404としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(low-k材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁層404を形成してもよい。

20

【0222】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基(例えばアルキル基やアリール基)を用いても良い。また、有機基はフルオロ基を有していても良い。

【0223】

平坦化絶縁層404の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピコート法、ディップ法、スプレー塗布法、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)などの方法や、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等の器具を用いることができる。

30

【0224】

次いで、第4のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って酸化物絶縁層416、保護絶縁層403、平坦化絶縁層404の一部を除去して、ドレイン電極層425bに達する開口を形成する。

【0225】

次いで、透光性を有する導電膜を成膜する。透光性を有する導電膜は、酸化インジウム(In_2O_3)や酸化インジウム酸化スズ合金($\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITOと略記する)などをスパッタ法や真空蒸着法などを用いて形成する。または、透光性を有する導電膜として、窒素を含ませたAl-Zn-O系膜、即ちAl-Zn-O-N系膜や、窒素を含ませたZn-O系膜や、窒素を含ませたSn-Zn-O系膜を用いてもよい。なお、Al-Zn-O-N系膜の亜鉛の組成比(原子%)は、47原子%以下とし、膜中のアルミニウムの組成比(原子%)より大きく、膜中のアルミニウムの組成比(原子%)は、膜中の窒素の組成比(原子%)より大きい。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金($\text{In}_2\text{O}_3-\text{ZnO}$)を用いても良い。

40

【0226】

なお、透光性を有する導電膜の組成比の単位は原子%とし、電子線マイクロアナライザー(EPMA:Electron Probe X-ray MicroAnalyzer

50

）を用いた分析により評価するものとする。

【0227】

次に、第5のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより透光性を有する導電膜の不要な部分を除去して画素電極427を形成し、レジストマスクを除去する（図7（E）参照。）。

【0228】

本実施の形態では、ゲート絶縁層の開口工程を酸化物絶縁層、保護絶縁層と同じフォトリソグラフィ工程で行う例を示すが、別工程で行ってもよく、この場合、フォトリソグラフィ工程が第6工程となる。

【0229】

本実施の形態で説明した酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置において、実施の形態1の構成と組み合わせることで、静止画表示を行う際、低消費電力化を図りつつ、且つ画像の乱れの低減を図ることができる。

【0230】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0231】

（実施の形態6）

本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの他の例を示す。

【0232】

本実施の形態の液晶表示装置及び液晶表示装置の作製方法の一形態を、図8を用いて説明する。

【0233】

また、薄膜トランジスタ240、260はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【0234】

以下、図8（A）乃至（E）を用い、基板200上に薄膜トランジスタ240、260を作製する工程を説明する。

【0235】

まず、絶縁表面を有する基板200上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層241、ゲート電極層261を形成する。本実施の形態では、ゲート電極層241、ゲート電極層261として、膜厚150nmのタングステン膜を、スパッタ法を用いて形成する。

【0236】

次いで、ゲート電極層241、ゲート電極層261上にゲート絶縁層292を形成する。本実施の形態では、ゲート絶縁層292としてプラズマCVD法により膜厚100nm以下の酸化窒化珪素層を形成する。

【0237】

次いで、ゲート絶縁層292に、金属導電膜を形成し、第2のフォトリソグラフィ工程により金属導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層245a、265a、ドレイン電極層245b、265bを形成した後、レジストマスクを除去する（図8（A）参照。）。

【0238】

次に酸化物半導体膜295を形成する（図8（B）参照。）。本実施の形態では、酸化物半導体膜295としてIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタ法により成膜する。酸化物半導体膜295を第3のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。

【0239】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第

10

20

30

40

50

1の加熱処理の温度は、400 以上750 以下、好ましくは400 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450 において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の混入を防ぎ、酸化物半導体層296、297を得る(図8(C)参照。)。

【0240】

また、第1の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間で高温加熱処理が可能となる。

10

【0241】

酸化物半導体層296、297に接する保護絶縁膜となる酸化物絶縁層246を形成する。

【0242】

酸化物絶縁層246は、少なくとも1nm以上の膜厚とし、スパッタ法など、酸化物絶縁層246に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化物絶縁層246に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素による酸化物半導体層中の酸素引き抜き、が生じ酸化物半導体層のバックチャネルが低抵抗化(N型化)してしまい、寄生チャネルが形成される。よって、酸化物絶縁層246はできるだけ水素を含まない膜になるように、成膜の際は極力、水素を用いないことが重要である。

20

【0243】

本実施の形態では、酸化物絶縁層246として膜厚200nmの酸化珪素膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上300 以下とすればよく、本実施の形態では100 とする。酸化珪素膜のスパッタ法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガス(代表的にはアルゴン)及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化珪素を形成することができる。低抵抗化した酸化物半導体層に接して形成する酸化物絶縁層246は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウムなどを用いる。

30

【0244】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理(好ましくは200 以上400 以下、例えば250 以上350 以下)を行う。例えば、窒素雰囲気下で250 、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部(チャネル形成領域)が酸化物絶縁層246と接した状態で加熱される。

【0245】

以上の工程を経ることによって、成膜後の酸化物半導体膜に対して脱水化または脱水素化のための加熱処理を行って低抵抗化した後、酸化物半導体膜を酸素過剰な状態とする。その結果、I型の酸化物半導体層242、262が形成される。以上の工程で薄膜トランジスタ240、260が形成される。

40

【0246】

さらに大気中、100 以上200 以下、1時間以上30時間以下での加熱処理を行ってもよい。本実施の形態では150 で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化

50

物絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって液晶表示装置の信頼性を向上できる。

【0247】

酸化物絶縁層246上にさらに保護絶縁層を形成してもよい。例えば、RFスパッタ法を用いて窒化珪素膜を形成する。本実施の形態では、保護絶縁層として保護絶縁層293を、窒化珪素膜を用いて形成する(図8(D)参照。)

【0248】

保護絶縁層293上に平坦化のための平坦化絶縁層を設けてもよい。本実施の形態では、図8(E)に示すように、薄膜トランジスタ260の保護絶縁層293上に平坦化絶縁層294を形成する。

10

【0249】

次いで、第4のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って平坦化絶縁層294、保護絶縁層293、及び酸化物絶縁層246の一部を除去して、ドレイン電極層265bに達する開口を形成する。

【0250】

次に、透光性を有する導電膜を成膜し、第5のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極267を形成し、レジストマスクを除去する(図8(E)参照。)

【0251】

本実施の形態では、ゲート絶縁層の開口工程を酸化物絶縁層、保護絶縁層と同じフォトリソグラフィ工程で行う例を示すが、別工程で行ってもよく、この場合、フォトリソグラフィ工程が6工程となる。

20

【0252】

本実施の形態で説明した酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置において、実施の形態1の構成と組み合わせることで、静止画表示を行う際、低消費電力化を図ることができる。

【0253】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0254】

(実施の形態7)

30

本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの例を示す。

【0255】

本実施の形態では、薄膜トランジスタの作製工程の一部が実施の形態5と異なる例を図9に示す。図9は、図7と工程が一部異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。

【0256】

基板400上にゲート電極層471、481を形成し、ゲート絶縁層402を積層する。

【0257】

次に酸化物半導体膜の形成を行い、酸化物半導体膜をフォトリソグラフィ工程により島状の酸化物半導体層に加工する。

40

【0258】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400 以上750 以下、好ましくは425 以上750 以下とする。なお、425 以上であれば加熱処理時間は1時間以下でよいが、425 未満であれば加熱処理時間は、1時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の混入を防ぎ、酸化物半導体層を得る。その後、同じ炉に高純度の酸素ガス、高純度のN₂Oガス、又は超乾燥エア(露点が-40 以下、好ましくは-60 以下)を導入して冷却を行う。酸

50

素ガスまたは N_2O ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスまたは N_2O ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち酸素ガスまたは N_2O ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0259】

なお、加熱処理装置は電気炉に限られず、例えば、GRTA(Gas Rapid Thermal Annealing)装置、LRTA(Lamp Rapid Thermal Annealing)装置等のRTA(Rapid Thermal Annealing)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。また、LRTA装置は、ランプだけでなく、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。GRTAとは高温のガスを用いて加熱処理を行う方法である。ガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。RTA法を用いて、600 ~ 750 で数分間加熱処理を行ってもよい。

【0260】

また、脱水化または脱水素化を行う第1の加熱処理後に200 以上400 以下、好ましくは200 以上300 以下の温度で酸素ガスまたは N_2O ガス雰囲気下での加熱処理を行ってもよい。

【0261】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0262】

以上の工程を経ることによって酸化物半導体膜全体を酸素過剰な状態とすることで、高抵抗化、即ちI型化させる。よって、全体がI型化した酸化物半導体層472、482を得る。

【0263】

次いで、酸化物半導体層472、482上に、フォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってソース電極層475a、485a、ドレイン電極層475b、485bを形成し、スパッタ法で酸化物絶縁層416を形成する。以上の工程で、薄膜トランジスタ470、480を形成することができる。

【0264】

次いで、薄膜トランジスタの電気的特性のばらつきを軽減するため、不活性ガス雰囲気下、または窒素ガス雰囲気下で加熱処理(好ましくは150 以上350 未満)を行ってもよい。例えば、窒素雰囲気下で250 、1時間の加熱処理を行う。

【0265】

また、大気中、100 以上200 以下、1時間以上30時間以下での加熱処理を行ってもよい。本実施の形態では150 で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって液晶表示装置の信頼性を向上できる。

【0266】

酸化物絶縁層416上に保護絶縁層403を形成する。本実施の形態では、保護絶縁層として保護絶縁層403を、窒化珪素膜を用いて形成する。

【0267】

保護絶縁層 403 上に平坦化のための平坦化絶縁層を設けてもよい。本実施の形態では、図 9 に示すように、薄膜トランジスタ 480 の保護絶縁層 403 上に平坦化絶縁層 404 を形成する。

【0268】

次いで、フォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って平坦化絶縁層 404、保護絶縁層 403、及び酸化物絶縁層 416 の一部を除去して、ドレイン電極層 485b に達する開口を形成する。

【0269】

次に、透光性を有する導電膜を成膜し、フォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極 487、導電層 417 を形成し、レジストマスクを除去する（図 9 参照）。

10

【0270】

本実施の形態で説明した酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置において、実施の形態 1 の構成と組み合わせることで、静止画表示を行う際、低消費電力化を図ることができる。

【0271】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0272】

（実施の形態 8）

本実施の形態においては、上記実施の形態で説明した液晶表示装置を具備する電子機器の例について説明する。

20

【0273】

図 10（A）は携帯型遊技機であり、筐体 9630、表示部 9631、スピーカ 9633、操作キー 9635、接続端子 9636、記録媒体読込部 9672、等を有することができる。図 10（A）に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、他の携帯型遊技機と無線通信を行って情報を共有する機能、等を有することができる。なお、図 10（A）に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【0274】

図 10（B）はデジタルカメラであり、筐体 9630、表示部 9631、スピーカ 9633、操作キー 9635、接続端子 9636、シャッターボタン 9676、受像部 9677、等を有することができる。図 10（B）に示すテレビ受像機能付きデジタルカメラは、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、アンテナから様々な情報を取得する機能、撮影した画像、又はアンテナから取得した情報を保存する機能、撮影した画像、又はアンテナから取得した情報を表示部に表示する機能、等を有することができる。なお、図 10（B）に示すテレビ受像機能付きデジタルカメラが有する機能はこれに限定されず、様々な機能を有することができる。

30

【0275】

図 10（C）はテレビ受像器であり、筐体 9630、表示部 9631、スピーカ 9633、操作キー 9635、接続端子 9636、等を有することができる。図 10（C）に示すテレビ受像機は、テレビ用電波を処理して画像信号に変換する機能、画像信号を処理して表示に適した信号に変換する機能、画像信号のフレーム周波数を変換する機能、等を有することができる。なお、図 10（C）に示すテレビ受像機が有する機能はこれに限定されず、様々な機能を有することができる。

40

【0276】

図 11（A）はコンピュータであり、筐体 9630、表示部 9631、スピーカ 9633、操作キー 9635、接続端子 9636、ポインティングデバイス 9681、外部接続ポート 9680 等を有することができる。図 11（A）に示すコンピュータは、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信又は有線通信などの通信機能、通信機

50

能を用いて様々なコンピュータネットワークに接続する機能、通信機能を用いて様々なデータの送信又は受信を行う機能、等を有することができる。なお、図 11 (A) に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

【0277】

次に、図 11 (B) は携帯電話であり、筐体 9630、表示部 9631、スピーカ 9633、操作キー 9635、マイクロフォン 9638、外部接続ポート 9680 等を有することができる。図 11 (B) に示した携帯電話は、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。なお、図 11 (B) に示した携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。

10

【0278】

次に、図 11 (C) は電子ペーパー（E - book ともいう）であり、筐体 9630、表示部 9631、操作キー 9635 等を有することができる。図 11 (C) に示した電子ペーパーは、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。なお、図 11 (C) に示した電子ペーパーが有する機能はこれに限定されず、様々な機能を有することができる。

20

【0279】

本実施の形態において述べた電子機器は、静止画表示を行う際、低消費電力化を図ることができる。

【0280】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【符号の説明】

【0281】

- 101 基板
- 102 基板
- 103 画素部
- 104 ゲート線側駆動回路
- 105 信号線側駆動回路
- 106 端子部
- 107 スイッチングトランジスタ
- 108 共通接続部
- 109 対向電極
- 111 ゲート線
- 112 信号線
- 113 画素
- 114 選択線
- 121 画素電極
- 122 対向電極
- 123 液晶
- 200 基板
- 201 画素部
- 240 薄膜トランジスタ
- 241 ゲート電極層
- 242 酸化物半導体層
- 246 酸化物絶縁層
- 247 導電層

30

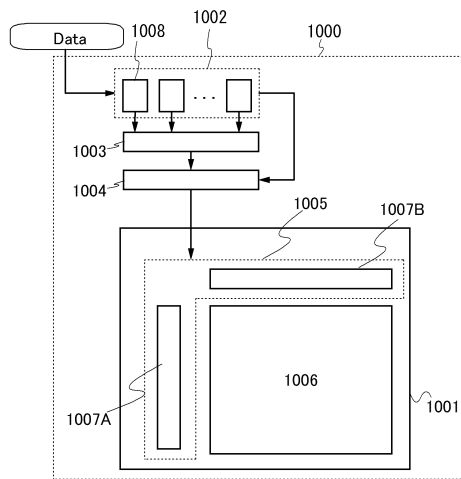
40

50

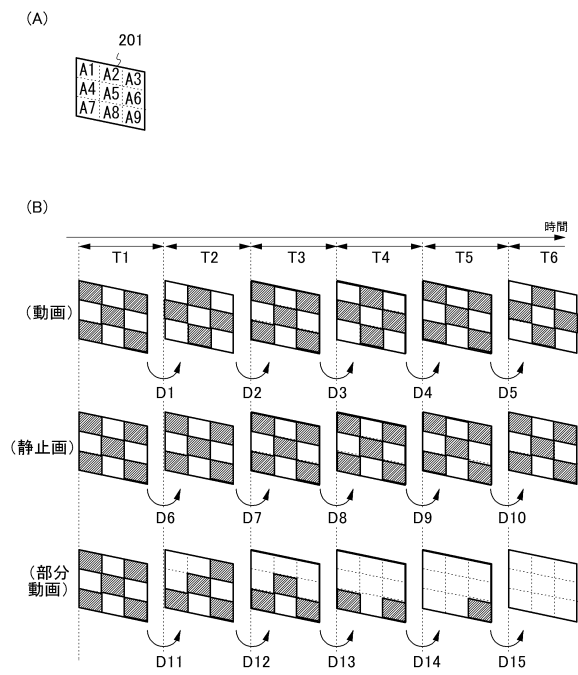
2 6 0	薄膜トランジスタ	
2 6 1	ゲート電極層	
2 6 7	画素電極	
2 9 2	ゲート絶縁層	
2 9 3	保護絶縁層	
2 9 4	平坦化絶縁層	
2 9 5	酸化物半導体膜	
2 9 6	酸化物半導体層	
3 0 0	画素	
3 0 1	ゲート線	10
3 0 2	信号線	
3 0 3	選択線	
3 0 4	デコーダ回路	
3 1 2	N O R 回路	
4 9 0	バッファ回路	
4 0 0	基板	
4 9 1	インバータ回路	
4 9 2	インバータ回路	
4 0 2	ゲート絶縁層	
4 0 3	保護絶縁層	20
4 0 4	平坦化絶縁層	
4 1 0	薄膜トランジスタ	
4 9 3	スイッチ	
4 1 1	ゲート電極層	
4 1 3	チャネル形成領域	
4 1 6	酸化物絶縁層	
4 1 7	導電層	
4 2 0	薄膜トランジスタ	
4 2 1	ゲート電極層	
4 2 3	チャネル形成領域	30
4 2 7	画素電極	
4 3 0	酸化物半導体膜	
4 3 1	酸化物半導体層	
4 5 0	窒素雰囲気	
4 7 0	薄膜トランジスタ	
4 7 1	ゲート電極層	
4 7 2	酸化物半導体層	
4 8 0	薄膜トランジスタ	
4 8 7	画素電極	
5 0 1	薄膜トランジスタ	40
5 0 2	薄膜トランジスタ	
5 0 3	液晶素子	
5 0 4	対向電極	
1 0 0 0	液晶表示装置	
1 0 0 1	表示パネル	
1 0 0 2	記憶回路	
1 0 0 3	比較回路	
1 0 0 4	表示制御回路	
1 0 0 5	駆動回路部	
1 0 0 6	画素部	50

1 0 0 8	フレームメモリ	
1 0 6 A	端子	
1 0 6 B	端子	
1 2 1 1	画素トランジスタ	
1 2 6 1	スイッチングトランジスタ	
1 6 0 1	薄膜トランジスタ	
1 6 0 2	液晶素子	
1 6 0 3	デコーダ回路	
1 6 0 4	シフトレジスタ回路	
1 7 0 1	筐体	10
1 7 0 2	表示部	
1 7 0 3	ウインドウ型表示部	
1 7 0 4	点線部	
1 7 0 5	実線部	
1 7 0 7	領域	
1 7 0 8	領域	
1 8 0 1	期間	
2 4 5 a	ソース電極層	
2 4 5 b	ドレイン電極層	
2 6 5 a	ソース電極層	20
2 6 5 b	ドレイン電極層	
3 1 1 A	NAND回路	
4 1 4 a	高抵抗ソース領域	
4 1 4 b	高抵抗ドレイン領域	
4 1 5 a	ソース電極層	
4 1 5 b	ドレイン電極層	
4 2 4 a	高抵抗ソース領域	
4 2 4 b	高抵抗ドレイン領域	
4 2 5 a	ソース電極層	
4 2 5 b	ドレイン電極層	30
4 7 5 a	ソース電極層	
4 7 5 b	ドレイン電極層	
4 8 5 a	ソース電極層	
4 8 5 b	ドレイン電極層	
9 6 3 0	筐体	
9 6 3 1	表示部	
9 6 3 3	スピーカ	
9 6 3 5	操作キー	
9 6 3 6	接続端子	
9 6 3 8	マイクロフォン	40
9 6 7 2	記録媒体読込部	
9 6 7 6	シャッターボタン	
9 6 7 7	受像部	
9 6 8 0	外部接続ポート	
9 6 8 1	ポインティングデバイス	
1 0 0 7 A	ゲート線側駆動回路	
1 0 0 7 B	信号線側駆動回路	

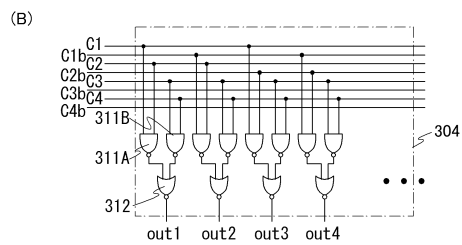
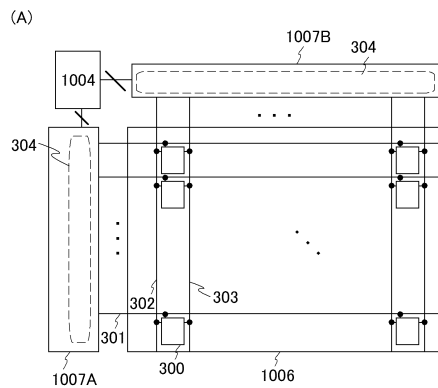
【図 1】



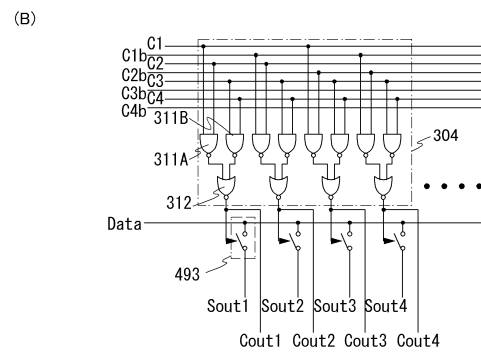
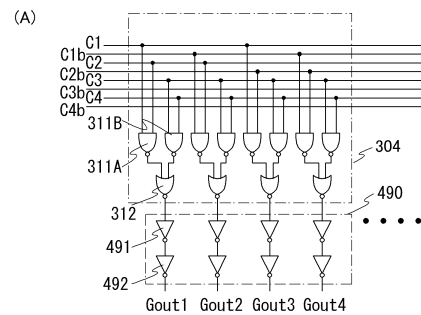
【図 2】



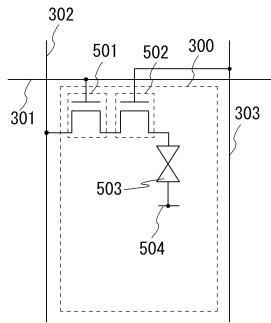
【図 3】



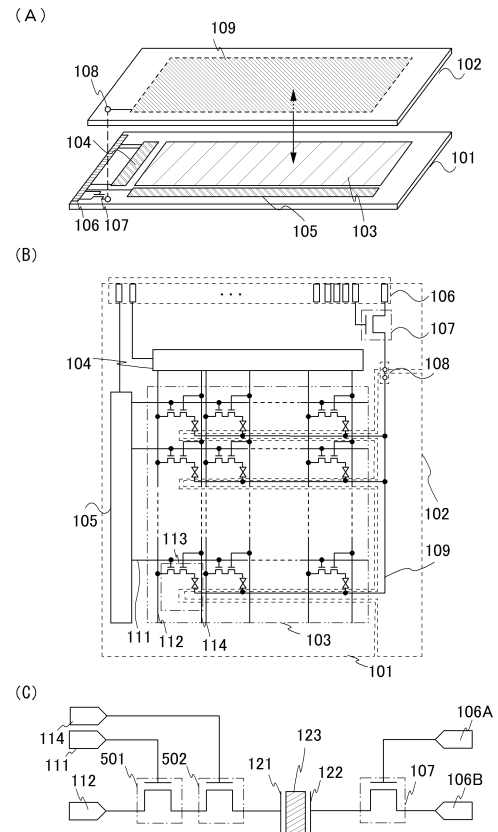
【図 4】



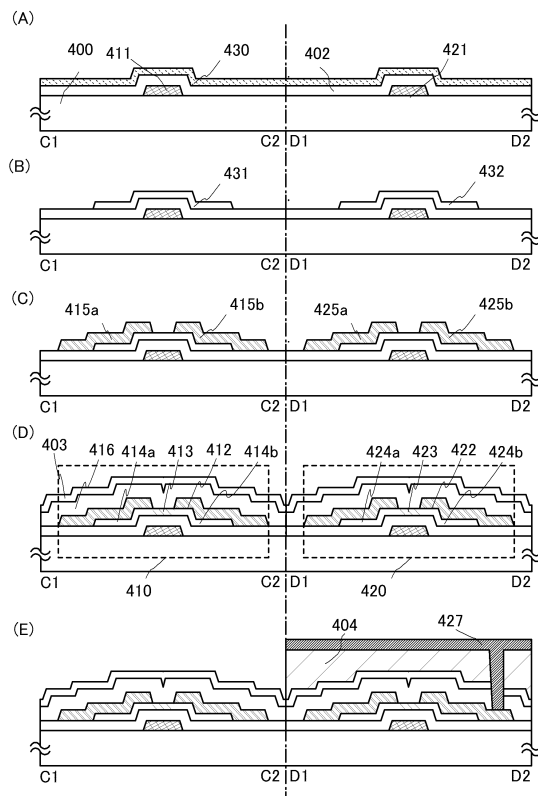
【図 5】



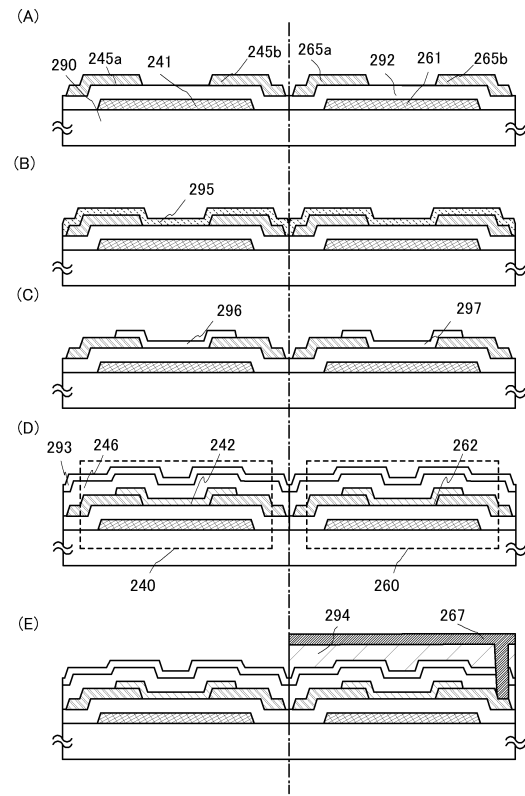
【図 6】



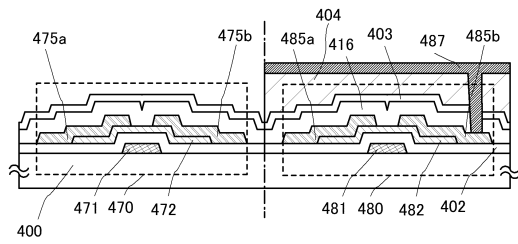
【図 7】



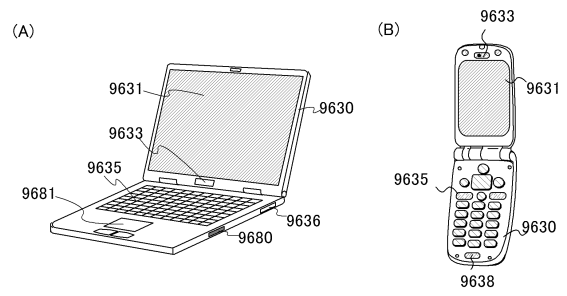
【図 8】



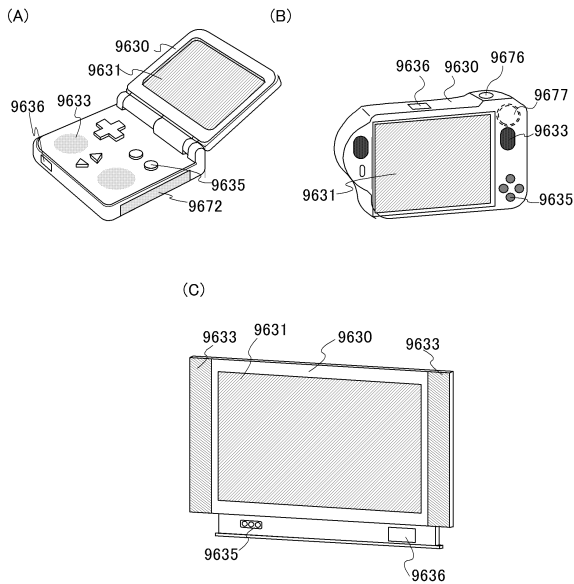
【図 9】



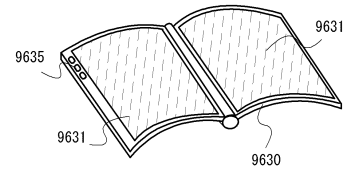
【図 11】



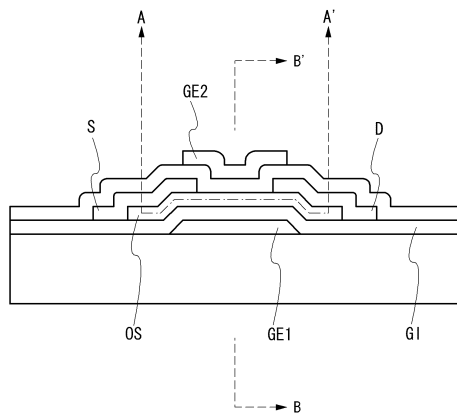
【図 10】



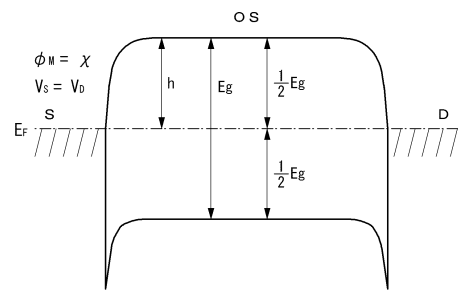
(C)



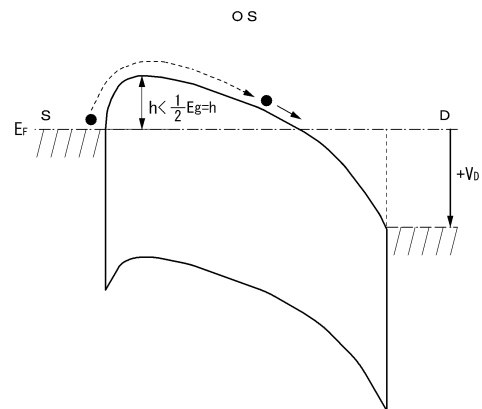
【図 12】



【図 13】

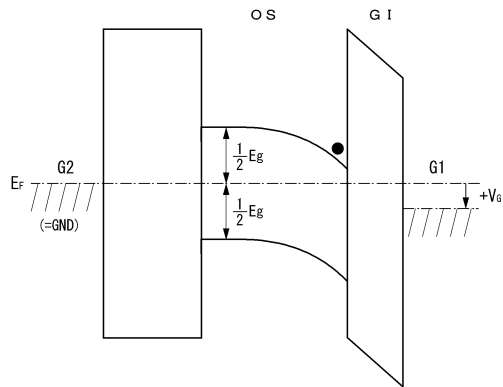
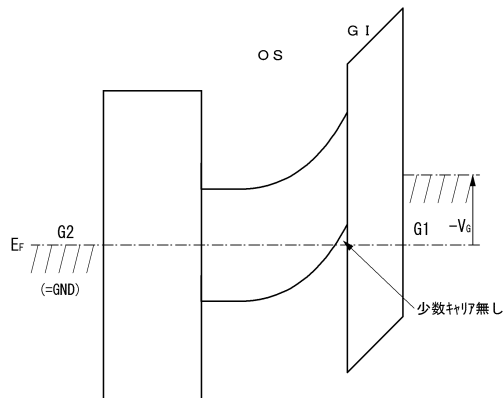


(A) A-A' 断面エネルギーバンド図

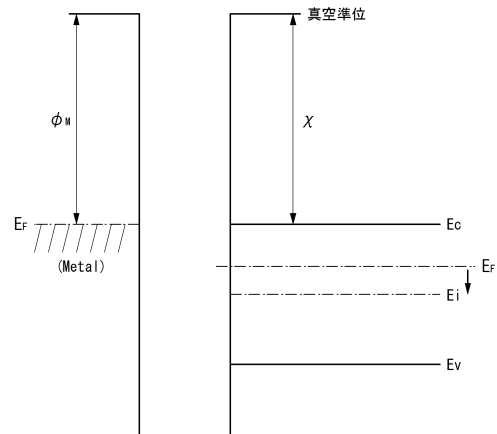


(B) 電圧印加時のエネルギーバンド図

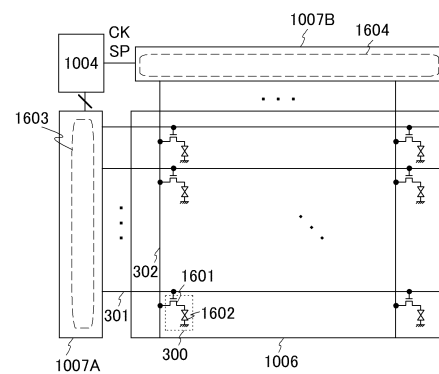
【図 14】

(A) B-B' 断面エネルギーバンド図 (+V₆)(B) B-B' 断面エネルギーバンド図 (-V₆)

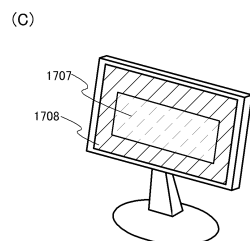
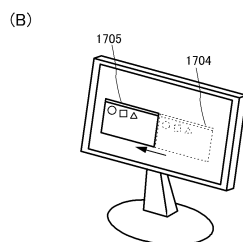
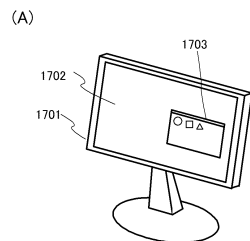
【図 15】



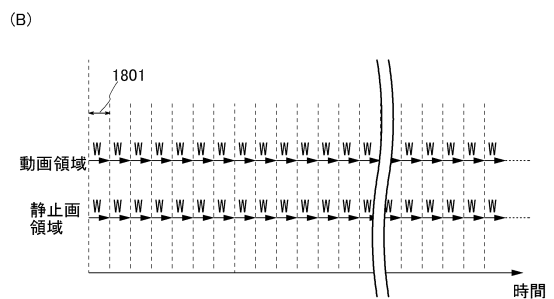
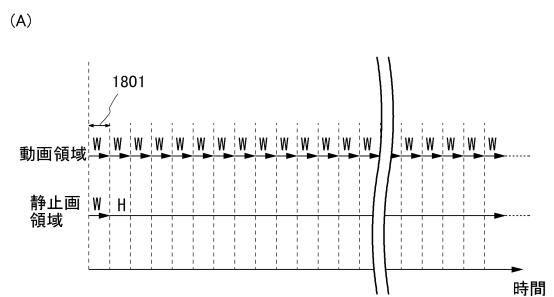
【図 16】



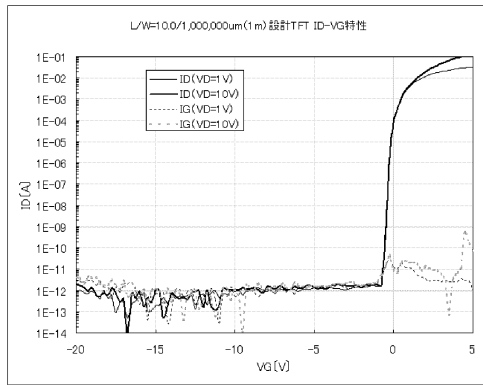
【図 17】



【図 18】



【図 19】



 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 4 C
	G 0 9 G	3/20	6 2 1 D
	G 0 9 G	3/20	6 6 0 U
	G 0 9 G	3/20	6 6 0 V
	G 0 9 G	3/20	6 5 0 B
	G 0 9 G	3/20	6 1 2 U
	G 0 2 F	1/1368	

(56)参考文献 特開平 0 5 - 2 2 4 6 2 6 (J P , A)
 特開 2 0 0 0 - 2 6 7 0 6 6 (J P , A)
 特開 2 0 0 4 - 2 7 1 9 6 9 (J P , A)
 特開 2 0 0 3 - 2 6 3 1 3 7 (J P , A)
 特開平 0 6 - 3 1 3 8 7 6 (J P , A)
 特開 2 0 0 1 - 2 8 2 2 0 6 (J P , A)
 特開 2 0 0 5 - 0 1 8 0 8 8 (J P , A)
 特開平 0 8 - 2 8 6 1 7 0 (J P , A)
 特開平 0 9 - 0 0 5 7 8 9 (J P , A)
 特開平 0 9 - 3 2 9 8 0 7 (J P , A)
 特開 2 0 0 2 - 2 7 8 5 2 3 (J P , A)
 特開 2 0 0 6 - 3 5 0 3 1 8 (J P , A)
 特開 2 0 0 7 - 1 4 2 1 9 5 (J P , A)
 特開平 1 0 - 2 2 1 6 7 5 (J P , A)
 特開平 0 2 - 2 1 0 4 9 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G	3 / 3 6
G 0 2 F	1 / 1 3 6 8
G 0 9 G	3 / 2 0
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 9 / 7 8 6

专利名称(译)	表示装置		
公开(公告)号	JP6122053B2	公开(公告)日	2017-04-26
申请号	JP2015049118	申请日	2015-03-12
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	小山潤 山崎舜平		
发明人	小山 潤 山崎 舜平		
IPC分类号	G09G3/36 H01L29/786 H01L21/336 G09G3/20 G02F1/1368		
CPC分类号	G02F1/1368 G02F2202/10 G09G3/3659 G09G3/3677 G09G2320/103 G09G2360/10 G09G5/005 H01L27/1225		
FI分类号	G09G3/36 H01L29/78.618.B H01L29/78.612.Z G09G3/20.611.A G09G3/20.624.B G09G3/20.624.C G09G3/20.621.D G09G3/20.660.U G09G3/20.660.V G09G3/20.650.B G09G3/20.612.U G02F1/1368		
F-TERM分类号	2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB14 2H192/CB22 2H192/CB37 2H192/FB09 2H192/GD61 5C006/AA02 5C006/AC25 5C006/AF27 5C006/AF31 5C006/AF44 5C006/AF45 5C006/AF53 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BC20 5C006/BF02 5C006/BF03 5C006/BF14 5C006/BF26 5C006/BF27 5C006/FA04 5C006/FA23 5C006/FA36 5C006/FA47 5C006/FA48 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD26 5C080/EE19 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C080/KK07 5C080/KK08 5C080/KK43 5F110/AA06 5F110/AA09 5F110/BB02 5F110/CC03 5F110/CC07 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD04 5F110/DD13 5F110/DD14 5F110/DD15 5F110/EE01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE14 5F110/EE15 5F110/EE30 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF28 5F110/FF30 5F110/GG01 5F110/GG25 5F110/GG43 5F110/GG57 5F110/GG58 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK21 5F110/HK22 5F110/HK32 5F110/HK33 5F110/HL07 5F110/NN03 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN33 5F110/NN34 5F110/NN36 5F110/NN40 5F110/NN72 5F110/QQ02 5F110/QQ19		
审查员(译)	Naoaki桥本		
优先权	2009272545 2009-11-30 JP 2009279003 2009-12-08 JP		
其他公开文献	JP2015146029A		
外部链接	Espacenet		

摘要(译)

(经修改) 要解决的问题为了降低能够降低薄膜晶体管的截止电流并且能够显示运动图像和静止图像的液晶显示装置的功耗。液晶显示装置包括：像素部分，其中提供图像信号的多个像素;信号线侧驱动电路，用于选择性地控制信号线;以及栅极线侧驱动电路，用于选择性地控制栅极线驱动电路，用于存储图像信号的存储电路，用于比较存储在每个像素的存储电路中的图像信号以计算差值的比较电路，以及用于控制驱动电路和读出图像信号的控制电路并且显示控制电路仅将图像信号提供给检测到差异的像素，并且像素具有电连接到栅极线的栅极和连接到信号线的第一端子并且第二端子电连接到像素电极，并且薄膜晶体管具有由氧化物半体制成的半导体层。 点域1

(51) Int. Cl.			F I		
G O 9 G	3/36	(2006. 01)	G O 9 G	3/36	
H O 1 L	29/78	(2006. 01)	H O 1 L	29/78	6 1 8 B
H O 1 L	21/33	(2006. 01)	H O 1 L	29/78	6 1 2 Z
G O 9 G	3/20	(2006. 01)	G O 9 G	3/20	6 1 1 A
G O 2 F	1/13	(2006. 01)	G O 9 G	3/20	6 2 4 B

請求項の数 2 (全 43 頁) 最終頁に続く

(21) 出願番号	特願2015-49118 (P2015-49118)	(73) 特許権者	000153878
(22) 出願日	平成27年3月12日 (2015. 3. 12)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2010-256838 (P2010-256838) の分割		神奈川県厚木市長谷398番地
原出願日	平成22年11月17日 (2010. 11. 17)	(72) 発明者	小山 潤
(65) 公開番号	特開2015-146029 (P2015-146029A)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成27年8月13日 (2015. 8. 13)	(72) 発明者	山崎 舜平
審査請求日	平成27年3月12日 (2015. 3. 12)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(31) 優先権主張番号	特願2009-272545 (P2009-272545)		
(32) 優先日	平成21年11月30日 (2009. 11. 30)	審査官	橋本 直明
(33) 優先権主張国	日本国 (JP)		
(31) 優先権主張番号	特願2009-279003 (P2009-279003)		
(32) 優先日	平成21年12月8日 (2009. 12. 8)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く