

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5786008号
(P5786008)

(45) 発行日 平成27年9月30日 (2015.9.30)

(24) 登録日 平成27年7月31日 (2015.7.31)

(51) Int.Cl.	F I	
G09G 3/36 (2006.01)	G09G 3/36	
G09G 3/20 (2006.01)	G09G 3/20	611A
G02F 1/133 (2006.01)	G09G 3/20	611E
	G09G 3/20	611H
	G09G 3/20	621F
請求項の数 7 (全 78 頁) 最終頁に続く		

(21) 出願番号 特願2013-206208 (P2013-206208)
 (22) 出願日 平成25年10月1日 (2013.10.1)
 (62) 分割の表示 特願2008-299023 (P2008-299023)
 の分割
 原出願日 平成20年11月25日 (2008.11.25)
 (65) 公開番号 特開2014-16647 (P2014-16647A)
 (43) 公開日 平成26年1月30日 (2014.1.30)
 審査請求日 平成25年10月1日 (2013.10.1)
 (31) 優先権主張番号 特願2007-308858 (P2007-308858)
 (32) 優先日 平成19年11月29日 (2007.11.29)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 吉田 泰則
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 武田 悟

前置審査

最終頁に続く

(54) 【発明の名称】 液晶表示装置、表示モジュール及び電子機器

(57) 【特許請求の範囲】

【請求項1】

画素を有し、

前記画素は、第1の液晶素子と、第2の液晶素子と、第1の容量素子と、第2の容量素子と、第3の容量素子と、第1のスイッチと、第2のスイッチと、第3のスイッチと、を有し、

前記第1の液晶素子は、前記第1の容量素子と直接接続され、

前記第2の液晶素子は、前記第2の容量素子と直接接続され、

前記第1のスイッチは、第1の端子が配線と直接接続され、且つ第2の端子が前記第3の容量素子と直接接続され、

前記第2のスイッチは、第1の端子が前記第1の液晶素子と直接接続され、且つ第2の端子が前記第3の容量素子と直接接続され、

前記第3のスイッチは、第1の端子が前記第2の液晶素子と直接接続され、且つ第2の端子が前記第3の容量素子と直接接続される液晶表示装置であって、

第1の期間と、第2の期間と、第3の期間と、を有し、

前記第1の期間において、前記第3の容量素子には、第1の電圧が印加され、

前記第2の期間において、前記第1の液晶素子は、前記配線と導通であり、

前記第2の期間において、前記第2の液晶素子は、前記配線と非導通であり、

前記第2の期間において、前記第3の容量素子は、前記配線と導通であり、

前記第3の期間において、前記第1の液晶素子は、前記配線と非導通であり、

前記第 3 の期間において、前記第 2 の液晶素子は、前記配線と非導通であり、
前記第 3 の期間において、前記第 3 の容量素子は、前記第 1 の液晶素子と非導通であり

、
前記第 3 の期間において、前記第 3 の容量素子は、前記第 2 の液晶素子と導通であり、
前記第 2 の液晶素子の画素電極は、前記第 1 の液晶素子の画素電極よりも大きく、
前記第 2 の容量素子の静電容量値は、前記第 1 の容量素子の静電容量値よりも大きいこ
とを特徴とする液晶表示装置。

【請求項 2】

画素を有し、

前記画素は、第 1 の液晶素子と、第 2 の液晶素子と、第 1 の容量素子と、第 2 の容量素
子と、第 3 の容量素子と、第 1 のスイッチと、第 2 のスイッチと、第 3 のスイッチと、を
有し、

前記第 1 の液晶素子は、前記第 1 の容量素子と直接接続され、

前記第 2 の液晶素子は、前記第 2 の容量素子と直接接続され、

前記第 1 のスイッチは、第 1 の端子が配線と直接接続され、且つ第 2 の端子が前記第 3
の容量素子と直接接続され、

前記第 2 のスイッチは、第 1 の端子が前記第 1 の液晶素子と直接接続され、且つ第 2 の
端子が前記第 3 の容量素子と直接接続され、

前記第 3 のスイッチは、第 1 の端子が前記第 2 の液晶素子と直接接続され、且つ第 2 の
端子が前記第 3 の容量素子と直接接続される液晶表示装置であって、

第 1 の期間と、第 2 の期間と、第 3 の期間と、を有し、

前記第 1 の期間において、前記第 3 の容量素子には、第 1 の電圧が印加され、

前記第 2 の期間において、前記第 1 の液晶素子は、前記配線と導通であり、

前記第 2 の期間において、前記第 2 の液晶素子は、前記配線と非導通であり、

前記第 2 の期間において、前記第 3 の容量素子は、前記配線と導通であり、

前記第 3 の期間において、前記第 1 の液晶素子は、前記配線と非導通であり、

前記第 3 の期間において、前記第 2 の液晶素子は、前記配線と非導通であり、

前記第 3 の期間において、前記第 3 の容量素子は、前記第 1 の液晶素子と非導通であり

、
前記第 3 の期間において、前記第 3 の容量素子は、前記第 2 の液晶素子と導通であり、
前記第 3 の容量素子の静電容量値は、前記第 1 の容量素子の静電容量値よりも大きく、
前記第 3 の容量素子の静電容量値は、前記第 2 の容量素子の静電容量値よりも大きいこ
とを特徴とする液晶表示装置。

【請求項 3】

画素を有し、

前記画素は、第 1 の液晶素子と、第 2 の液晶素子と、第 1 の容量素子と、第 2 の容量素
子と、第 3 の容量素子と、第 1 のスイッチと、第 2 のスイッチと、第 3 のスイッチと、を
有し、

前記第 1 の液晶素子は、前記第 1 の容量素子と直接接続され、

前記第 2 の液晶素子は、前記第 2 の容量素子と直接接続され、

前記第 1 のスイッチは、第 1 の端子が配線と直接接続され、且つ第 2 の端子が前記第 3
の容量素子と直接接続され、

前記第 2 のスイッチは、第 1 の端子が前記第 1 の液晶素子と直接接続され、且つ第 2 の
端子が前記第 3 の容量素子と直接接続され、

前記第 3 のスイッチは、第 1 の端子が前記第 2 の液晶素子と直接接続され、且つ第 2 の
端子が前記第 3 の容量素子と直接接続される液晶表示装置であって、

第 1 の期間と、第 2 の期間と、第 3 の期間と、を有し、

前記第 1 の期間において、前記第 3 の容量素子には、第 1 の電圧が印加され、

前記第 2 の期間において、前記第 1 の液晶素子は、前記配線と導通であり、

前記第 2 の期間において、前記第 2 の液晶素子は、前記配線と非導通であり、

10

20

30

40

50

前記第2の期間において、前記第3の容量素子は、前記配線と導通であり、
 前記第3の期間において、前記第1の液晶素子は、前記配線と非導通であり、
 前記第3の期間において、前記第2の液晶素子は、前記配線と非導通であり、
 前記第3の期間において、前記第3の容量素子は、前記第1の液晶素子と非導通であり

、
 前記第3の期間において、前記第3の容量素子は、前記第2の液晶素子と導通であり、
 前記第2の液晶素子の画素電極は、前記第1の液晶素子の画素電極よりも大きく、
 前記第2の容量素子の静電容量値は、前記第1の容量素子の静電容量値よりも大きく、
 前記第3の容量素子の静電容量値は、前記第1の容量素子の静電容量値よりも大きく、
 前記第3の容量素子の静電容量値は、前記第2の容量素子の静電容量値よりも大きいこ
 とを特徴とする液晶表示装置。 10

【請求項4】

請求項1乃至請求項3のいずれか一項において、
 前記配線は、映像信号を供給する機能を有することを特徴とする液晶表示装置。

【請求項5】

請求項1乃至請求項4のいずれか一項に記載の液晶表示装置と、
 FPCと、
 を有する表示モジュール。

【請求項6】

請求項1乃至請求項4のいずれか一項に記載の液晶表示装置と、
 アンテナ、操作キー、又はスピーカと、
 を有することを特徴とする電子機器。 20

【請求項7】

請求項5に記載の表示モジュールと、
 アンテナ、操作キー、又はスピーカと、
 を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置または半導体装置に関するものである。さらに、その表示装置を表示
 部に有する電子機器に関する。 30

【背景技術】

【0002】

液晶表示装置は、陰極線管(CRT)を用いた表示装置に比べて、薄く、軽くすることか
 でき、さらに、消費電力が小さい等の利点を有する。その上、液晶表示装置は、表示部の
 対角長が数インチ程度の小型のものから、100インチを超える大型のものまで、幅広く
 適用することができるため、携帯電話機、スチルカメラ、ビデオカメラ、テレビ受像機等
 、様々な電子機器の表示装置として広く用いられている。

【0003】

液晶表示装置は、このように汎用性に優れる一方で、CRT等の他の表示装置に比べて画
 質が低いという問題を有している。その原因としては、表示の視野角依存性が大きく、斜
 めから見たときに画質が低下する点、バックライトの光が漏れることにより、コントラ
 スト比が低い点、応答速度が遅く、動画表示の品質が低い点、等が挙げられる。 40

【0004】

しかしながら、近年、新たな液晶モードの開発による画質の改善が進んでいる。従来から
 用いられてきたTN(Twisted Nematic)モードに代わり、視野角特性に
 優れたIPS(In-Plane-Switching)モードおよびFFS(Fringe Field Switching)モード、コントラスト比の高いVA(Vert
 ical Alignment)モード、応答速度が速く、動画表示の品質が高いOCB
 (Optical Compensated Birefringence)モード、等 50

、様々な液晶モードが開発され、実用化されている。

【0005】

ここで、VAモードの液晶表示装置は、コントラスト比を高くしやすいが、表示の視野角依存性が依然として大きいという問題があった。そのため、画素を複数の領域(ドメイン)に分割し、それぞれのドメインで液晶の配向を変えることで視野角を広げることを実現したMVA(Multi-domain VA)モードおよびPVA(Patterned VA)モードが開発された。しかしながら、このようなマルチドメイン方式を用いても、未だ十分な視野角特性とはいえなかった。

【0006】

そこで、特許文献1には、画素を複数のサブ画素に分割し、サブ画素ごとに異なる信号電圧を加えることによって、表示の視野角依存性を平均化し、視野角を拡大する方法が提案されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2003 295160号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

特許文献1に公開されている方法は、画素を二つのサブ画素に分割し、それぞれのサブ画素に異なる信号電圧を供給する構成であるため、二つのサブ画素に信号電圧を供給する信号線(データ線またはソース線とも記す)が別個に必要となる。さらに、それぞれの信号線を駆動する信号線ドライバ(データドライバまたはソースドライバとも記す)も必要となるため、回路規模が増大し、製造コストおよび消費電力が増大してしまうといった問題があった。

【0009】

さらに、近年、液晶表示装置に用いられる液晶パネルの高精細化が進み、テレビ受像機向けの大型液晶パネルのみならず、携帯電話等向けの中小型液晶パネルにおいても、より高精細なものが求められるようになってきている。特許文献1に公開されているように、複数のサブ画素にそれぞれ信号電圧を供給する方法で視野角特性を改善する方法は、それだけで回路規模を増大させ、高速な回路を必要とするので、このような高精細化の流れにおいて不利になってしまうという問題もあった。

【0010】

さらに、液晶表示装置の画質を向上させるためには、視野角拡大だけではなく、動画表示時の画質向上、コントラスト比の増大等も同様の実現していかなければならない。このように、液晶表示装置が持つ諸特性のうち一つだけ向上するだけでは足りず、いずれの特性も同時に高い水準で向上していくことが、液晶表示装置の画質を全体的に向上させるために必要である。さらに、液晶表示装置の表示性能を向上させることと共に、機器の消費電力を低減することも重要である。機器の消費電力を低減すれば、発熱を抑えられることから機器の安定な動作や安全性の確保が実現できる。さらに、資源枯渇対策や地球温暖化防止の観点からも、消費電力を低減することは重要である。

【0011】

本発明は、このような問題を鑑みてなされたものであり、視野角が拡大された表示装置およびその駆動方法を提供することを課題とする。または、静止画および動画表示時の画質が向上された表示装置およびその駆動方法を提供することを課題とする。または、コントラスト比の向上した表示装置およびその駆動方法を提供することを課題とする。または、ちらつきのない表示装置およびその駆動方法を提供することを課題とする。または、応答速度が向上された表示装置およびその駆動方法を提供することを課題とする。または、消費電力が低減された表示装置およびその駆動方法を提供することを課題とする。または、製造コストが低減された表示装置およびその駆動方法を提供することを課題とする。

10

20

30

40

50

【課題を解決するための手段】

【0012】

本発明は、上記課題を解決するために、案出されたものである。具体的には、複数のスイッチによって導通状態を変化させることのできる回路を設け、複数のサブ画素および容量素子内の電荷を相互に移動させることによって、外部から複数回の電圧の印加を行なうことなく、複数のサブ画素に所望の電圧を印加するものである。さらに、電荷の移動に伴い、各サブ画素に黒を表示させる期間を設けるものである。

【0013】

本発明の液晶表示装置の一は、第1の液晶素子と、第2の液晶素子と、容量素子と、第1の液晶素子または第2の液晶素子と、第1の配線と、を導通させることにより、第1の液晶素子及び容量素子、または第2の液晶素子及び容量素子に、第1の電圧を印加する機能と、第1の液晶素子と容量素子とを導通状態、且つ第2の液晶素子と容量素子とを非導通状態とする第1の状態と、第1の液晶素子と容量素子とを非導通状態、且つ第2の液晶素子と容量素子とを導通状態とする第2の状態と、を切り替える機能と、第1の液晶素子、第2の液晶素子、及び容量素子と、第2の配線と、を導通させることにより、第1の液晶素子、第2の液晶素子、及び容量素子に第2の電圧を印加する機能と、を有する回路を含む画素が複数設けられていることを特徴とする。

10

【0014】

また別の本発明の液晶表示装置の一は、第1の液晶素子と、第2の液晶素子と、容量素子と、第1の液晶素子及び第2の液晶素子と、第1の配線と、を導通させることにより、第1の液晶素子及び第2の液晶素子に、第1の電圧を印加する機能と、第1の液晶素子と容量素子とを導通状態、且つ第2の液晶素子と容量素子とを非導通状態とする第1の状態と、第1の液晶素子と容量素子とを非導通状態、且つ第2の液晶素子と容量素子とを導通状態とする第2の状態と、を切り替える機能と、第1の液晶素子、第2の液晶素子、及び容量素子と、第2の配線と、を導通させることにより、第1の液晶素子、第2の液晶素子、及び容量素子に第2の電圧を印加する機能と、を有する回路と、を含む画素が複数設けられていることを特徴とする。

20

【0015】

また別の本発明の液晶表示装置の一は、第1の液晶素子と、第2の液晶素子と、容量素子と、第1の液晶素子、第2の液晶素子、及び容量素子と、第1の配線と、を導通させることにより、第1の液晶素子、第2の液晶素子、及び容量素子に、第1の電圧を印加する機能と、第1の液晶素子と容量素子とを導通状態、且つ第2の液晶素子と容量素子とを非導通状態とする第1の状態と、第1の液晶素子と容量素子とを非導通状態、且つ第2の液晶素子と容量素子とを導通状態とする第2の状態と、を切り替える機能と、容量素子と、第2の配線と、を導通させることにより、容量素子に第2の電圧を印加する機能と、を有する回路と、を含む画素が複数設けられていることを特徴とする。

30

【0016】

また別の本発明の液晶表示装置の一は、第1の液晶素子と、第2の液晶素子と、一方の端子が第2の配線に電氣的に接続された第1のスイッチと、容量素子と、一方の端子が第1のスイッチの他方の端子及び容量素子に電氣的に接続され、他方の端子が第1の液晶素子に電氣的に接続された第2のスイッチと、一方の端子が第1のスイッチの他方の端子及び容量素子に電氣的に接続され、他方の端子が第2の液晶素子に電氣的に接続された第3のスイッチと、一方の端子が第1のスイッチの他方の端子及び容量素子に電氣的に接続され、他方の端子が第1の配線に電氣的に接続された第4のスイッチと、を有する画素が複数設けられていることを特徴とする。

40

【0017】

また別の本発明の液晶表示装置の一は、第1の液晶素子と、第2の液晶素子と、一方の端子が第2の配線に電氣的に接続された第1のスイッチと、容量素子と、一方の端子が第1のスイッチの他方の端子及び容量素子に電氣的に接続され、他方の端子が第1の液晶素子に電氣的に接続された第2のスイッチと、一方の端子が第1のスイッチの他方の端子及び

50

容量素子に電氣的に接続され、他方の端子が第2の液晶素子に電氣的に接続された第3のスイッチと、一方の端子が第1のスイッチの他方の端子及び容量素子に電氣的に接続され、他方の端子が第1の配線に電氣的に接続された第4のスイッチと、を含む複数の画素を有し、第1の液晶素子及び第2の液晶素子を駆動するための電圧の印加状態を制御する信号により第1のスイッチを制御する第1の走査線と、容量素子と第1の液晶素子との電氣的接続を制御する信号により第2のスイッチを制御する第2の走査線と、容量素子と第2の液晶素子との電氣的接続を制御する信号により第3のスイッチを制御する第3の走査線と、容量素子と第1の配線との電氣的接続を制御する信号により第4のスイッチを制御する第4の走査線と、が設けられていることを特徴とする。

【0018】

なお、スイッチは、様々な形態のものを用いることができる。例としては、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されない。例えば、スイッチとして、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、サイリスタなどを用いることが出来る。または、これらを組み合わせた論理回路をスイッチとして用いることが出来る。

【0019】

なお、AとBとが接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。特に、AとBとが電氣的に接続されている場合には、AとBとの間に何らかの電氣的作用を有する対象物が存在する場合も含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【0020】

なお、トランジスタとして、様々な形態のトランジスタを用いることが出来る。よって、用いるトランジスタの種類に限定はない。例えば、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体膜を有する薄膜トランジスタ（TFT）などを用いることが出来る。TFTを用いる場合、様々なメリットがある。例えば、単結晶シリコンの場合よりも低い温度で製造できるため、製造コストの削減、又は製造装置の大型化を図ることができる。製造装置を大きくできるため、大型基板上に製造できる。そのため、同時に多くの個数の表示装置を製造できるため、低コストで製造できる。さらに、製造温度が低いため、耐熱性の弱い基板を用いることができる。そのため、透光性を有する基板上にトランジスタを製造できる。そして、透光性を有する基板上のトランジスタを用いて表示素子での光の透過を制御することが出来る。あるいは、トランジスタの膜厚が薄いため、トランジスタを構成する膜の一部は、光を透過させることが出来る。そのため、開口率が向上させることができる。

【0021】

または、 ZnO 、 $a-InGaZnO$ 、 $SiGe$ 、 $GaAs$ 、 IZO 、 ITO 、 SnO などの化合物半導体または酸化物半導体を有するトランジスタや、さらに、これらの化合物半導体または酸化物半導体を薄膜化した薄膜トランジスタなどを用いることが出来る。これらにより、製造温度を低くでき、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成することが出来る。なお、これらの化合物半導体または酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることも出来る。例えば、これらの化合物半導体または酸化物半導体を抵抗素子、画素電極、透光性を

10

20

30

40

50

有する電極として用いることができる。さらに、それらをトランジスタと同時に成膜又は形成できるため、コストを低減できる。

【0022】

または、インクジェットや印刷法を用いて形成したトランジスタなどを用いることが出来る。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することができる。マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することが出来る。さらに、レジストを用いる必要がないので、材料費が安くなり、工程数を削減できる。さらに、必要な部分にのみ膜を付けるため、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストにできる。

10

【0023】

なお、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、R（赤）G（緑）B（青）の色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。なお、色要素は、三色に限定されず、三色以上を用いても良いし、RGB以外の色を用いても良い。例えば、白色を加えて、RGBW（Wは白）としても可能である。あるいは、RGBに、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色などを一色以上追加することも可能である。あるいは、例えば、RGBの中の少なくとも一色に類似した色を、RGBに追加することも可能である。例えば、R、G、B1、B2 20 としてもよい。B1とB2とは、どちらも青色であるが、少し周波数が異なっている。同様に、R1、R2、G、Bとすることも可能である。このような色要素を用いることにより、より実物に近い表示を行うことができる。このような色要素を用いることにより、消費電力を低減することが出来る。別の例としては、一つの色要素について、複数の領域を用いて明るさを制御する場合は、その領域一つ分を一画素とすることも可能である。よって、一例として、面積階調を行う場合または副画素（サブ画素）を有している場合、一つの色要素につき、明るさを制御する領域が複数あり、その全体で階調を表現するが、明るさを制御する領域の一つ分を一画素とすることも可能である。よって、その場合は、一つの色要素は、複数の画素で構成されることとなる。あるいは、明るさを制御する領域が一つの色要素の中に複数あっても、それらをまとめて、一つの色要素を1画素としてもよい 30 。よって、その場合は、一つの色要素は、一つの画素で構成されることとなる。あるいは、一つの色要素について、複数の領域を用いて明るさを制御する場合、画素によって、表示に寄与する領域の大きさが異なっている場合がある。あるいは、一つの色要素につき複数ある、明るさを制御する領域において、各々に供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。つまり、一つの色要素について、複数個ある領域が各々有する画素電極の電位が、各々異なっていることも可能である。その結果、液晶分子に加わる電圧が各画素電極によって各々異なる。よって、視野角を広くすることが出来る。

20

30

【0024】

なお、一画素（三色分）と明示的に記載する場合は、RとGとBの三画素分を一画素と 40 考える場合であるとする。一画素（一色分）と明示的に記載する場合は、一つの色要素につき、複数の領域がある場合、それらをまとめて一画素と考える場合であるとする。

【0025】

なお、画素は、マトリクス状に配置（配列）されている場合がある。ここで、画素がマトリクスに配置（配列）されているとは、縦方向もしくは横方向において、画素が直線上に並んで配置されている場合、又はギザギザな線上に配置されている場合を含む。よって、例えば三色の色要素（例えばRGB）でフルカラー表示を行う場合に、ストライプ配置されている場合、又は三色の色要素のドットがデルタ配置されている場合も含む。さらに、ペイヤー配置されている場合も含む。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、RGBW（Wは白）、又はRGBに、イエロー、シアン、マゼンタなど 50

を一色以上追加したものなどがある。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。これにより、低消費電力化、又は表示素子の長寿命化を図ることができる。

【0026】

なお、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域とチャンネル領域とソース領域とを介して電流を流すことができる。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本書類（明細書、特許請求の範囲又は図面など）においては、ソース及びドレインとして機能する領域を、

10

【0027】

なお、ゲートとは、ゲート電極とゲート配線（ゲート線、ゲート信号線、走査線、走査信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ゲート電極とは、チャンネル領域を形成する半導体と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことを言う。なお、ゲート電極の一部は、LDD（Lightly Doped Drain）領域またはソース領域（またはドレイン領域）と、ゲート絶縁膜を介してオーバーラップしている場合もある。ゲート配線とは、各トランジスタのゲート電極の間を接続するための配線、各画素の有するゲート電極の間を接続するための配線、又はゲート電極と別の配線とを接続するための配線のことを言う。

20

【0028】

なお、ゲート端子とは、ゲート電極の部分（領域、導電膜、配線など）または、ゲート電極と電氣的に接続されている部分（領域、導電膜、配線など）について、その一部分のことを言う。

【0029】

なお、ある配線を、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線などと呼ぶ場合、その配線にトランジスタのゲートが接続されていない場合もある。この場合、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線は、トランジスタのゲートと同じ層で形成された配線、トランジスタのゲートと同じ材料で形成された配線またはトランジスタのゲートと同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線などがある。

30

【0030】

なお、ソースとは、ソース領域とソース電極とソース配線（ソース線、ソース信号線、データ線、データ信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ソース領域とは、P型不純物（ボロンやガリウムなど）やN型不純物（リンやヒ素など）が多く含まれる半導体領域のことを言う。従って、少しだけP型不純物やN型不純物が含まれる領域、いわゆる、LDD（Lightly Doped Drain）領域は、ソース領域には含まれない。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電氣的に接続されて配置されている部分の導電層のことを言う。ただし、ソース電極は、ソース領域も含んでソース電極と呼ぶこともある。ソース配線とは、各トランジスタのソース電極の間を接続するための配線、各画素の有するソース電極の間を接続するための配線、又はソース電極と別の配線とを接続するための配線のことを言う。

40

【0031】

なお、ソース端子とは、ソース領域の領域や、ソース電極や、ソース電極と電氣的に接続されている部分（領域、導電膜、配線など）について、その一部分のことを言う。

【0032】

なお、ある配線を、ソース配線、ソース線、ソース信号線、データ線、データ信号線などと呼ぶ場合、その配線にトランジスタのソース（ドレイン）が接続されていない場合も

50

ある。この場合、ソース配線、ソース線、ソース信号線、データ線、データ信号線は、トランジスタのソース（ドレイン）と同じ層で形成された配線、トランジスタのソース（ドレイン）と同じ材料で形成された配線またはトランジスタのソース（ドレイン）と同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線などがある。

【0033】

なお、ドレインについては、ソースと同様である。

【0034】

なお、半導体装置とは半導体素子（トランジスタ、ダイオード、サイリスタなど）を含む回路を有する装置のことをいう。さらに、半導体特性を利用することで機能しうる装置全般を半導体装置と呼んでもよい。または、半導体材料を有する装置のことを半導体装置と言う。

10

【0035】

なお、表示素子とは、光学変調素子、液晶素子、発光素子、EL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）、電子放出素子、電気泳動素子、放電素子、光反射素子、光回折素子、デジタルマイクロミラーデバイス（DMD）、などのことを言う。ただし、これに限定されない。

【0036】

なお、表示装置とは、表示素子を有する装置のことを言う。なお、表示装置は、表示素子を含む複数の画素を含んでいても良い。なお、表示装置は、複数の画素を駆動させる周辺駆動回路を含んでいても良い。なお、複数の画素を駆動させる周辺駆動回路は、複数の画素と同一基板上に形成されてもよい。なお、表示装置は、ワイヤボンディングやバンプなどによって基板上に配置された周辺駆動回路、いわゆる、チップオンガラス（COG）で接続されたICチップ、または、TABなどで接続されたICチップを含んでいても良い。なお、表示装置は、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたフレキシブルプリントサーキット（FPC）を含んでもよい。なお、表示装置は、フレキシブルプリントサーキット（FPC）などを介して接続され、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたプリント配線基板（PCB）を含んでいても良い。なお、表示装置は、偏光板または位相差板などの光学シートを含んでいても良い。なお、表示装置は、照明装置、筐体、音声入出力装置、光センサなどを含んでいても良い。

20

30

【0037】

なお照明装置は、導光板、プリズムシート、拡散シート、反射シート、光源（LED、冷陰極管など）、冷却装置（水冷式、空冷式）などを含んでいても良い。

【0038】

なお、液晶表示装置とは、液晶素子を有している表示装置をいう。液晶表示装置には、直視型、投写型、透過型、反射型、半透過型などがある。

【0039】

なお、Aの上にBが形成されている、あるいは、A上にBが形成されている、と明示的に記載する場合は、Aの上にBが直接接して形成されていることに限定されない。直接接してはいない場合、つまり、AとBと間に別の対象物が介在する場合も含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

40

【発明の効果】

【0040】

本発明にかかる液晶表示装置およびその駆動方法は、視野角を拡大するために一つの画素を複数のサブ画素に分割し、サブ画素ごとに異なる信号電圧を加えることによって視野角を拡大する方法を用いた場合でも、サブ画素の駆動のための回路規模の増大または回路の駆動速度の増大等を引き起こすことがない。その結果、消費電力の低減および製造コストの低減を実現できる。さらに、正確な信号をそれぞれのサブ画素に入力することができる

50

ため、静止画表示時の画質を向上できる。さらに、特別な回路の追加および構成変更をすることなく、黒画像を任意のタイミングで表示することができるので、動画表示時の画質を向上できる。

【0041】

さらに、本発明にかかる液晶表示装置およびその駆動方法は、黒画像を表示する期間を設けることによってコントラスト比を向上させることができ、黒画像を表示する期間を短くすることによって表示のちらつきを低減させることができ、オーバードライブによって表示の応答速度を向上させることができる。さらに、液晶パネルの駆動回路の駆動周波数を小さくすることができるので、消費電力を低減させることができる。

【図面の簡単な説明】

10

【0042】

【図1】本発明における第1の回路10の導通状態を説明する図。

【図2】本発明における第1の回路10の導通状態を説明する図。

【図3】本発明における第1の回路10の導通状態を説明する図。

【図4】本発明における第1の回路10の導通状態を説明する図。

【図5】本発明における第1の回路10の導通状態を説明する図。

【図6】本発明における画素回路の回路例を説明する図。

【図7】本発明における画素回路の回路例を説明する図。

【図8】本発明における画素回路の回路例を説明する図。

【図9】本発明における画素回路の回路例を説明する図。

20

【図10】本発明における画素回路の回路例を説明する図。

【図11】本発明における画素回路の具体例を説明する図。

【図12】本発明における画素回路の具体例を説明する図。

【図13】本発明における画素回路の具体例を説明する図。

【図14】本発明における画素回路の回路例を説明する図。

【図15】本発明における画素回路の回路例を説明する図。

【図16】本発明における周辺駆動回路の作製例を説明する図。

【図17】本発明における半導体素子の作製例を説明する図。

【図18】本発明における半導体素子の作製例を説明する図。

【図19】本発明における半導体素子の作製例を説明する図。

30

【図20】本発明における電子機器を説明する図。

【発明を実施するための形態】

【0043】

以下に、本発明の実施の形態を図面に基づいて説明する。ただし、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

(実施の形態1)

<動作と画素構成例>

【0044】

40

まず、上記課題を解決するために画素回路が有すべき動作と、それを実現する画素構成例について説明する。上記課題を解決するために画素回路が有すべき動作は、主として次の2つが挙げられる。すなわち、(動作A)1回の書き込みによって、画素が有する複数のサブ画素にそれぞれ異なる電圧を書き込む動作、(動作B)1フレーム期間内において、全てのサブ画素が黒表示となる期間を設ける動作、である。動作Aを実現することによって、サブ画素の駆動のための回路規模の増大または回路の駆動速度の増大等を引き起こすことなく、視野角を拡大することができる。さらに、動作Aを実現しつつ動作Bも実現することによって、視野角が広く、消費電力が小さく、かつ、動画表示時の画質が向上される。このように、液晶表示装置が持つ諸特性のうち一つだけ向上するだけでなく、複数の特性を同時に高い水準で向上していくことが、液晶表示装置の画質を全体的に向上

50

させる上で非常に有効である。なお、動作 B について、全てのサブ画素が黒表示となる期間の長さを変えることができるようにすれば、液晶表示装置に様々な動画を表示させる場合に、それぞれの動画の特性に最適な画質を提供することができるため、好ましい。

【 0 0 4 5 】

上記動作を実現する画素構成例として、第 1 の画素構成を図 1 (A) に示す。第 1 の画素構成は、第 1 の配線 1 1 と第 2 の配線 1 2 に電氣的に接続された第 1 の回路 1 0 と、第 1 の回路 1 0 に電氣的に接続された第 1 の液晶素子 3 1 と、第 1 の回路 1 0 に電氣的に接続された第 2 の液晶素子 3 2 と、第 1 の回路 1 0 に電氣的に接続された第 1 の容量素子 5 0 と、を有するものである。

【 0 0 4 6 】

ここで、第 1 の容量素子 5 0 が有する 2 つの電極のうち、第 1 の回路 1 0 と電氣的に接続されている方とは別の電極は、第 3 の配線 1 3 に電氣的に接続されている。そして、第 1 の容量素子 5 0 と第 3 の配線 1 3 を合わせて、第 2 の回路 6 0 とする。

【 0 0 4 7 】

さらに、第 1 の液晶素子 3 1 が有する 2 つの電極のうち、第 1 の回路 1 0 と電氣的に接続されている方の電極を第 1 の画素電極、他方の電極を第 1 の共通電極と呼ぶこととする。そして、第 1 の共通電極は、第 4 の配線 2 1 と電氣的に接続されているとする。ただし、これに限定されず、他の配線と電氣的に接続されていてもよい。さらに、第 1 の液晶素子 3 1 と第 4 の配線 2 1 を合わせて、第 1 のサブ画素 4 1 とする。

【 0 0 4 8 】

同様に、第 2 の液晶素子 3 2 が有する 2 つの電極のうち、第 1 の回路 1 0 と電氣的に接続されている方の電極を第 2 の画素電極、他方の電極を第 2 の共通電極と呼ぶこととする。そして、第 2 の共通電極は、第 5 の配線 2 2 と電氣的に接続されているとする。ただし、これに限定されず、他の配線と電氣的に接続されていてもよい。さらに、第 2 の液晶素子 3 2 および第 5 の配線 2 2 を合わせて、第 2 のサブ画素 4 2 とする。

【 0 0 4 9 】

なお、第 1 の画素構成における回路が有する第 1 乃至第 5 の配線を、それぞれが有する役割から区別すると、次のようになっている。第 1 の配線 1 1 は、リセット電圧 V_1 が加えられるリセット線としての機能を有することができる。第 2 の配線 1 2 は、データ電圧 V_2 が加えられるデータ線としての機能を有することができる。第 3 の配線 1 3 は、第 1 の容量素子 5 0 に加えられる電圧を制御するためのコモン線としての機能を有することができる。第 4 の配線 2 1 は、第 1 の液晶素子 3 1 に加えられる電圧を制御するための液晶共通電極としての機能を有することができる。第 5 の配線 2 2 は、第 2 の液晶素子 3 2 に加えられる電圧を制御するための液晶共通電極としての機能を有することができる。

【 0 0 5 0 】

ただし、これに限定されず、各配線は様々な役割を有することができる。特に、同じ電圧を加えるための配線同士は、互いに電氣的に接続された、共通の配線とすることができる。共通の配線とすることで、回路における配線の面積を低減することができるので、開口率を向上させることができ、その結果、消費電力を低減することができる。

【 0 0 5 1 】

< 第 1 の画素構成と機能 (1) >

次に、上述した動作 A および動作 B を、第 1 の画素構成によって実現するために、第 1 の回路 1 0 が有するべき機能について詳細に説明する。ここで、第 1 の配線 1 1 には第 1 の電圧 V_1 が加えられているとし、第 2 の配線 1 2 には第 2 の電圧 V_2 が加えられているとし、第 3 の配線 1 3 には第 3 の電圧 V_3 が加えられているとし、第 4 の配線 2 1 には第 4 の電圧 V_4 が加えられているとし、第 5 の配線 2 2 には第 5 の電圧 V_5 が加えられているとする。

【 0 0 5 2 】

第 1 の回路 1 0 は、第 1 の回路 1 0 に電氣的に接続された第 1 の配線 1 1、第 2 の配線 1 2、第 1 の液晶素子 3 1、第 2 の液晶素子 3 2 および第 1 の容量素子 5 0 の導通状態を制

10

20

30

40

50

御する複数のスイッチによって構成されている。そして、第1の回路10が有するべき機能とは、上述した動作Aおよび動作Bを実現するために必要となる導通状態を、順序だててとることができる機能である。

【0053】

<第1の導通状態(リセット)>

第1の画素構成の機能(1)における第1の導通状態は、第1の回路10に電氣的に接続された各素子(第1の液晶素子31、第2の液晶素子32および第1の容量素子50)に加えられている電圧を初期状態の電圧(リセット電圧とも記す)に戻すものである。そのため、この状態をリセット状態とも呼ぶ。

【0054】

第1の回路10をリセット状態とするには、第1の回路10を、次のような導通状態とすることで実現できる。すなわち、第1の液晶素子31、第2の液晶素子32および第1の容量素子50と、第1の配線11を、互いに導通状態とする。この状態を表す模式図を、図1(B)に示す。このような導通状態とすることで、第1の液晶素子31、第2の液晶素子32および第1の容量素子50に、第1の電圧 V_1 を加えることができる。つまり、第1の電圧 V_1 とは、リセット電圧のことである。ここで、第1の電圧 V_1 は、第1の液晶素子31および第2の液晶素子32が黒表示となる電圧であることが好ましい。たとえば、第1の液晶素子31および第2の液晶素子32がノーマリーブラックの性質を持つならば、第1の電圧は、0Vから液晶の閾値電圧(透過率が上昇し始める電圧)までとすることが好ましい。一方、第1の液晶素子31および第2の液晶素子32がノーマリーホワイトの性質を持つならば、第1の電圧 V_1 は、液晶の飽和電圧(透過率が下降し終わる電圧)以上とすることが好ましい。

【0055】

なお、液晶にかかる電圧は、第1の電圧 V_1 と、第4の電圧 V_4 または第5の電圧 V_5 との差となることに注意が必要である。たとえば、第1の液晶素子に0Vを加える場合、第4の電圧 V_4 または第5の電圧 V_5 が0Vであったときは、第1の電圧 V_1 は0Vとする。同じく第1の液晶素子に0Vを加える場合でも、第4の電圧 V_4 または第5の電圧 V_5 がたとえば5Vであったときは、第1の電圧 V_1 は5Vとする。このように、第1の電圧 V_1 は、各液晶素子に加えるべき電圧と、第4の電圧 V_4 または第5の電圧 V_5 によって決められる。本実施の形態においては、簡単のため、第4の電圧 V_4 および第5の電圧 V_5 は0Vであるとし、液晶に加えられる電圧は第1の電圧 V_1 と等しいとする。ただし、これは説明の簡便さを考慮したためであり、実際の第4の電圧 V_4 または第5の電圧 V_5 は0Vに限定されるものではない。なお、第1の容量素子における第3の電圧 V_3 についても、説明に用いる具体的な電圧は、第4の電圧 V_4 または第5の電圧 V_5 と同様であるとする。

【0056】

このように、第1の回路10に電氣的に接続された各素子をリセット状態とするのは、以下の理由による。第1には、第1の導通状態後に各液晶素子に書き込まれるべき電圧を、第1の導通状態以前に書き込まれた電圧に依存しないようにするためである。これが仮に依存してしまうと、各液晶素子に書き込まれるべき電圧を正常に制御することが難しくなってしまう。結果として液晶表示装置の表示を正常に行なうことが難しくなってしまう。第2には、リセット状態とすることにより各液晶素子の表示を黒表示とし、これを全ての液晶素子に対して行なうことによって、液晶表示装置の表示を黒表示とするためである。つまり、液晶表示装置の表示を黒表示とすることによって、上述した動作Bを実現することができ、動画表示時の画質を向上できる。なお、リセット状態とするタイミングを制御することにより、黒表示の期間の長さを制御できる。黒表示の期間を長くすれば、動画表示時の画質がより向上する。一方、黒表示の期間を短くすれば、液晶表示装置のちらつきを低減できる。

【0057】

<第2の導通状態(書き込み)>

第1の画素構成の機能(1)における第2の導通状態は、第1の回路10に電氣的に接続された各素子(第1の液晶素子31、第2の液晶素子32および第1の容量素子50)のうち、第1の容量素子50と、第1の液晶素子31と第2の液晶素子32のいずれか一方に、映像信号に従った電圧(データ電圧、データ信号とも記す)を選択的に書き込むものである。そのため、この状態を書き込み状態とも呼ぶ。なお、このとき、第1の液晶素子31と第2の液晶素子32のうち、データ電圧が書き込まれなかった方は、第2の導通状態となる以前の電圧を維持する。

【0058】

第1の回路10を書き込み状態とするには、第1の回路10を、次のような導通状態とすることで実現できる。すなわち、第2の配線12と、第1の容量素子50と、第1の液晶素子31および第2の液晶素子32のうちいずれか一方とを、互いに導通状態とする。さらに、第1の液晶素子31および第2の液晶素子32の他方については、上に挙げたどの素子とも導通しない非導通状態とする。このときのそれぞれの導通状態を、図1(C1)および図1(C2)に示す。図1(C1)は、第2の配線12と、第1の容量素子50と、第1の液晶素子31を、互いに導通状態とし、さらに、第2の液晶素子32を非導通状態としている場合である。図1(C2)は、第2の配線12と、第1の容量素子50と、第2の液晶素子32を、互いに導通状態とし、さらに、第1の液晶素子31を非導通状態としている場合である。第2の導通状態においては、図1(C1)および図1(C2)に示す導通状態のうち、いずれかの導通状態とすることができる。

【0059】

このような導通状態とすることで、第1の容量素子50と、第1の液晶素子31(または第2の液晶素子32)とに、第2の電圧を加え、かつ、第2の液晶素子32(または第1の液晶素子31)は、第2の導通状態となる以前の電圧を維持することができる。ここで、第2の電圧は、データ電圧であり、第1の画素構成の機能(1)が繰り返される周期(1フレーム期間とも呼ぶ)ごとに異なる電圧値をとることができる。液晶表示装置の表示は、書き込み状態において書き込まれる第2の電圧に従って行なわれる。

【0060】

なお、液晶素子に加える電圧の向きを一定周期(例えば、1フレーム期間)毎に反転させることで液晶素子に焼き付きを防止することができる(反転駆動または交流駆動という)。反転駆動を実現するためには、例えば $V_2 > V_1$ という状態と、 $V_2 < V_1$ という状態を1フレーム期間毎に繰り返すことで実現できる。あるいは $V_2 > V_4$ (V_5)という状態と、 $V_2 < V_4$ (V_5)という状態を1フレーム期間毎に繰り返すことで実現できる。

【0061】

第2の導通状態において、第1の液晶素子31(または第2の液晶素子32)はデータ電圧を書き込まれ、第2の液晶素子32(または第1の液晶素子31)は第2の導通状態となる以前の電圧を維持させるという状態とするのは、以下の理由による。すなわち、第3の導通状態となる前において、第1の容量素子と、第1の液晶素子31および第2の液晶素子32のいずれか一方とに、書き込まれた電圧の差が生じている状況が必要となるからである。こうすることによって、第3の導通状態を有効なものとすることができ、その結果、上述した動作Aを実現できる。

【0062】

<第3の導通状態(分配)>

第1の画素構成の機能(1)における第3の導通状態は、第1の回路10に電氣的に接続された各素子(第1の液晶素子31、第2の液晶素子32および第1の容量素子50)のうち、第1の容量素子50と、第1の液晶素子31と第2の液晶素子32のうち第2の導通状態において書き込みが行われなかった方(第2の導通状態となる以前の電圧を維持した方)において電荷を分配させ、分配によって電圧の変化を生じさせるものである。そのため、この状態を分配状態とも呼ぶ。なお、このとき、第1の液晶素子31と第2の液晶素子32のうち、第1の容量素子50と電荷の分配が行われなかった方は、第3の導通状態となる以前の電圧を維持する。

10

20

30

40

50

【0063】

第1の回路10を分配状態とするには、第1の回路10を、次のような導通状態とすることで実現できる。すなわち、第1の容量素子50と、第1の液晶素子31と第2の液晶素子32のうち第2の導通状態において書き込みが行なわれなかった方とを、互いに導通状態とする。さらに、第1の液晶素子31および第2の液晶素子32の他方については、上に挙げたどの素子とも導通しない非導通状態とする。このときのそれぞれの導通状態を、図1(D1)および図1(D2)に示す。図1(D1)は、第1の容量素子50と、第2の液晶素子32を導通状態とし、さらに、第1の液晶素子31を非導通状態としている場合である。図1(D2)は、第1の容量素子50と、第1の液晶素子31を導通状態とし、さらに、第2の液晶素子32を非導通状態としている場合である。図1(D1)に示す導通状態は、第2の導通状態において、図1(C1)に示す導通状態が選択された場合に行なわれる。一方、図1(D2)に示す導通状態は、第2の導通状態において、図1(C2)に示す導通状態が選択された場合に行なわれる。このような導通状態とすることで、第1の容量素子50と、第2の液晶素子32(または第1の液晶素子31)とにおいて電荷の分配が発生し、かつ、第1の液晶素子31(または第2の液晶素子32)は、第3の導通状態となる以前の電圧を維持する。図1(D1)に示す導通状態における電荷の分配は、次に示す式によって行なわれ、電荷の分配後の電圧が決定される。

$$(数式1) C_{50} V_2 + C_{32} V_1 = C_{50} V_2' + C_{32} V_2'$$

これを V_2' について解くと、

$$(数式2) V_2' = (C_{50} V_2 + C_{32} V_1) / (C_{50} + C_{32})$$

ここで、 V_1 は第1の電圧、 V_2 は第2の電圧、 V_2' は電荷の分配後の電圧、 C_{50} は第1の容量素子50の静電容量、 C_{32} は第2の液晶素子32の静電容量である。なお、図1(D2)に示す導通状態における電荷の分配の式は、 C_{32} を第1の液晶素子31の静電容量 C_{31} に置き換えれば得られる。ここで、仮に、 V_1 と V_2 が同じ電圧だった場合、 V_2' は V_2 と等しくなってしまう、第3の導通状態における目的である、電荷の分配によって電圧の変化を生じさせることができない。すなわち、上述した、第3の導通状態となる前において、第1の容量素子と、第1の液晶素子31および第2の液晶素子32のいずれか一方とに、書き込まれた電圧の差が生じている状況が必要となるということは、これが理由である。

【0064】

第3の導通状態において、第1の液晶素子31(または第2の液晶素子32)は第3の導通状態となる以前の電圧を維持させ、第2の液晶素子32(または第1の液晶素子31)は第1の容量素子50との電荷の分配によって電圧の変化を生じさせることによって、第1の液晶素子31に加えられた電圧と、第2の液晶素子32に加えられた電圧に、差を生じさせることができる。この電圧の差は、液晶素子が有する液晶分子の光学的状態の差を生み、液晶分子の光学的状態の差は、液晶表示装置の視野角を拡大するという結果をもたらす。さらに、この電圧の差は、画素回路内の電荷を分配することによって実現されているため、画素回路外部からの電圧の供給は必要ない。すなわち、上述した動作Aを満足することができるため、サブ画素の駆動のための回路規模の増大または回路の駆動速度の増大等を引き起こすことなく、視野角を拡大することができる。

【0065】

<導通状態の順序>

以上に説明したように、第1の画素構成の機能(1)において第1の回路10が有するべき機能とは、上述した動作Aおよび動作Bを実現するために必要となる導通状態を、順序だててとることができる機能である。この機能における導通状態の順序を簡単に示すと、図1(E)に示すようなものとなっている。

【0066】

一つ目は、初めに第1の導通状態として図1(B)に示す導通状態をとり、次に、第2の導通状態として図1(C1)に示す導通状態をとり、次に、第3の導通状態として図1(D1)に示す導通状態をとるという順序である。なお、第3の導通状態をとった後、第4

10

20

30

40

50

の導通状態として、図1(D2)に示す導通状態をとることもできる。この場合、分配を2回行なうこととなり、その結果、第1の液晶素子31にかかる電圧と、第2の液晶素子32にかかる電圧の差を、分配が1回である場合よりも小さくすることができる。

【0067】

二つ目は、初めに第1の導通状態として図1(B)に示す導通状態をとり、次に、第2の導通状態として図1(C2)に示す導通状態をとり、次に、第3の導通状態として図1(D2)に示す導通状態をとるという順序である。なお、第3の導通状態をとった後、第4の導通状態として、図1(D1)に示す導通状態をとることもできる。この場合、分配を2回行なうこととなり、その結果、第1の液晶素子31にかかる電圧と、第2の液晶素子32にかかる電圧の差を、分配が1回である場合よりも小さくすることができる。

10

【0068】

第1の画素構成における第1の回路10がこのような機能を有することによって、上述した動作Aおよび動作Bを実現することができるので、上述した利点を有する液晶表示装置を実現することができる。

【0069】

<第1の画素構成と機能(2)>

第1の画素構成において、上述した動作Aおよび動作Bを同時に満足させるために、第1の回路10が有するべき機能は、他にも存在する。第1の画素構成の機能(1)を簡単に要約すると、リセット状態、書き込み状態(C_{50} と C_{31} (C_{32}))、分配状態(C_{50} と C_{32} (C_{31}))を順番に実現する機能であった。以下に説明する第1の画素構成の機能(2)は、リセット状態、書き込み状態(C_{31} と C_{32})、分配状態(C_{50} と C_{32} (C_{31}))を順番に実現する機能であると表現することができる。この機能について、以下に説明する。なお、第1の画素構成の機能(1)と重複する部分については説明を省略する。

20

【0070】

<第1の導通状態(リセット)>

第1の画素構成の機能(2)における第1の導通状態は、第1の回路10に電氣的に接続された各素子(第1の液晶素子31、第2の液晶素子32および第1の容量素子50)に加えられている電圧を初期状態の電圧に戻すための状態である。この導通状態を図2(A)に示す。図2(A)に示す導通状態と、図1(B)に示す導通状態は、その作用および効果が同様であるため、詳細な説明は省略する。

30

【0071】

<第2の導通状態(書き込み)>

第1の画素構成の機能(2)における第2の導通状態は、第1の回路10に電氣的に接続された各素子(第1の液晶素子31、第2の液晶素子32および第1の容量素子50)のうち、第1の液晶素子31と、第2の液晶素子32に、データ電圧を選択的に書き込むものである。このとき、第1の容量素子50は、第2の導通状態となる以前の電圧を維持する。

【0072】

第2の導通状態における第1の回路10導通状態を図2(B1)に示す。第2の導通状態においては、第2の配線12と、第1の液晶素子31および第2の液晶素子32とを、互いに導通状態とし、第1の容量素子50については、どの素子とも非導通状態とする。こうすることで、第1の液晶素子31と第2の液晶素子32にデータ電圧を選択的に書き込み、かつ、第1の容量素子50は、第2の導通状態となる以前の電圧を維持することができる。

40

【0073】

なお、第2の導通状態においては、図2(B1)に示す導通状態の代わりに、図2(B2)に示す導通状態もとることができる。図2(B2)に示す導通状態は、第2の配線12と第1の回路10の接続点が2つであり、それぞれの接続点が個別に、第1の液晶素子31および第2の液晶素子32と導通している。このように、第1の回路10の内部で導通

50

路が分岐し、複数の素子に導通が行なわれている場合（たとえば図2（B1）に示す導通状態）は、第1の回路10の外部で導通路が分岐して、それぞれが第1の回路10に接続されている場合と置き換えることが可能である。このことは、図2（B2）に示すもの以外では特に図示しないが、本明細書において説明する全ての回路において適用できる。図2（B2）に示すもの以外の例としては、たとえば、図1（B）、図2（A）等に示されるリセット状態において、第1の配線11と第1の回路10の接続点を3つとし、それぞれの接続点が個別に、第1の容量素子50、第1の液晶素子31および第2の液晶素子32と導通している状態もとることができる。

【0074】

<第3の導通状態（分配）>

第1の画素構成の機能（2）における第3の導通状態は、第1の回路10に電氣的に接続された各素子（第1の液晶素子31、第2の液晶素子32および第1の容量素子50）のうち、第1の容量素子50と、第1の液晶素子31と第2の液晶素子32のいずれか一方において電荷を分配させ、分配によって電圧の変化を生じさせるものである。このとき、第1の液晶素子31と第2の液晶素子32のうち、第1の容量素子50と電荷の分配が行われなかった方は、第3の導通状態となる以前の電圧を維持する。

【0075】

第3の導通状態における第1の回路10導通状態を図2（C1）および図2（C2）に示す。これは図1（D1）および図1（D2）と同じ導通状態であるため、詳細な説明は省略するが、第3の導通状態となる前に各素子にかかっていた電圧が、第1の画素構成の機能（1）で説明したものと異なるため、分配後に各素子にかかる電圧が異なる。図2（C1）に示す導通状態における電荷の分配は、次に示す式によって行なわれ、電荷の分配後の電圧が決定される。

$$(\text{数式3}) C_{50} V_1 + C_{32} V_2 = C_{50} V_2' + C_{32} V_2'$$

これを V_2' について解くと、

$$(\text{数式4}) V_2' = (C_{50} V_1 + C_{32} V_2) / (C_{50} + C_{32})$$

ここで、 V_2' は、第1の画素構成の機能（2）における電荷の分配後の電圧である。なお、図2（C2）に示す導通状態における電荷の分配の式は、 C_{32} を第1の液晶素子31の静電容量 C_{31} に置き換えれば得られる。

【0076】

このように、第1の画素構成の機能（2）においても、第1の画素構成の機能（1）と同様に、第3の導通状態において、第1の液晶素子31（または第2の液晶素子32）は、第3の導通状態となる以前の電圧を維持させ、第2の液晶素子32（または第1の液晶素子31）は、第1の容量素子50と電荷を分配することによって、電圧の変化を生じさせ、その結果、第1の液晶素子31に加えられた電圧と、第2の液晶素子32に加えられた電圧に、差を生じさせることができる。

【0077】

ただし、第1の画素構成の機能（2）における分配後の電圧 V_2' は、第1の画素構成の機能（1）における分配後の電圧 V_2' とは異なってくる。これによる影響について、図1（D1）と図2（C1）の導通状態をとった場合を比較して、以下に説明する。第1の画素構成の機能（1）における分配後の電圧 V_2' を与える（数式2）と、第1の画素構成の機能（2）における分配後の電圧 V_2' を与える（数式4）との違いは、右辺の分子部分である。（数式2）における当該部分は $(C_{50} V_2 + C_{32} V_1)$ であり、（数式4）における当該部分は $(C_{50} V_1 + C_{32} V_2)$ である。 V_1 は液晶素子に黒表示を与えるリセット電圧であり、 V_2 は液晶素子に何らかの表示を与えるデータ電圧であるから、液晶素子がノーマリーブランクである場合、 $V_1 = V_2$ である。すなわち、（数式2）においては、分配後の電圧 V_2' は、 C_{50} の大きさに、より大きく影響を受けることとなる。（数式4）においては、分配後の電圧 V_2' は、 C_{32} の大きさに、より大きく影響を受けることとなる。この性質によると、たとえば、 C_{32} の画素間ばらつきの制御が、 C_{50} の画素間ばらつきの制御よりも難しい場合は、 C_{32} の画素間ばらつきの

10

20

30

40

50

影響を受けにくい、第1の画素構成の機能(1)を採用した方が、分配後の電圧をより正確に制御できるといえる。逆に、 C_{50} の画素間ばらつきの制御が、 C_{32} の画素間ばらつきの制御よりも難しい場合は、 C_{50} の画素間ばらつきの影響を受けにくい、第1の画素構成の機能(2)を採用した方が、分配後の電圧をより正確に制御できるといえる。なお、ノーマリーホワイトの液晶素子の場合は、この関係は逆になる。このように、実際の液晶表示装置の製造時の状況により、最適な機能を適宜選択することができる。

【0078】

<導通状態の順序>

以上に説明したように、第1の画素構成の機能(2)において第1の回路10が有すべき機能とは、上述した動作Aおよび動作Bを実現するために必要となる導通状態を、順序だててとることができる機能である。この機能における導通状態の順序を簡単に示すと、図2(D)に示すようなものとなっている。

10

【0079】

一つ目は、初めに第1の導通状態として図2(A)に示す導通状態をとり、次に、第2の導通状態として図2(B1)または図2(B2)に示す導通状態をとり、次に、第3の導通状態として図2(C1)に示す導通状態をとるという順序である。なお、第3の導通状態をとった後、第4の導通状態として、図2(C2)に示す導通状態をとることもできる。この場合、分配を2回行なうこととなり、その結果、第1の液晶素子31にかかる電圧と、第2の液晶素子32にかかる電圧の差を、分配が1回である場合よりも小さくすることができる。

20

【0080】

二つ目は、初めに第1の導通状態として図2(A)に示す導通状態をとり、次に、第2の導通状態として図2(B1)または図2(B2)に示す導通状態をとり、次に、第3の導通状態として図2(C2)に示す導通状態をとるという順序である。なお、第3の導通状態をとった後、第4の導通状態として、図2(C1)に示す導通状態をとることもできる。この場合、分配を2回行なうこととなり、その結果、第1の液晶素子31にかかる電圧と、第2の液晶素子32にかかる電圧の差を、分配が1回である場合よりも小さくすることができる。

【0081】

第1の画素構成における第1の回路10がこのような機能を有することによって、上述した動作Aおよび動作Bを実現することができるので、上述した利点を有する液晶表示装置を実現することができる。

30

【0082】

<第1の画素構成と機能(3)>

第1の画素構成において、上述した動作Aおよび動作Bを同時に満足させるために、第1の回路10が有すべき機能は、他にも存在する。第1の画素構成の機能(1)および(2)は、書き込み状態のときに、第1の容量素子50、第1の液晶素子31、第2の液晶素子32のうち、2つを選択的に書き込む方法であり、機能(1)は第1の容量素子50および第1の液晶素子31(または第2の液晶素子32)に選択的に書き込み、機能(2)は第1の液晶素子31および第2の液晶素子32に選択的に書き込む方法であった。以下に説明する第1の画素構成の機能(3)は、書き込み状態のときに、第1の容量素子50、第1の液晶素子31、第2の液晶素子32のうち、1つを選択的に書き込む方法である。より詳細には、第1の回路10は、リセット状態、書き込み状態(C_{50} 、 C_{32} 、 C_{31} のうち1つ)、分配状態1(C_{50} と C_{32} (C_{31}))、分配状態2(C_{50} と C_{31} (C_{32}))という導通状態をとることができ、これらの導通状態を順番に実現する機能を有する。なお、以下に述べる機能(3)の説明において、これまでの説明と重複する部分については説明を省略する。

40

【0083】

<第1の導通状態(リセット)>

第1の画素構成の機能(3)における第1の導通状態は、第1の回路10に電氣的に接続

50

された各素子（第1の液晶素子31、第2の液晶素子32および第1の容量素子50）に加えられている電圧を初期状態の電圧に戻すための状態である。この導通状態を図3（A）に示す。図3（A）に示す導通状態と、図1（B）に示す導通状態は、その作用および効果が同様であるため、詳細な説明は省略する。

【0084】

<第2の導通状態（書き込み）>

第1の画素構成の機能（3）における第2の導通状態は、第1の回路10に電氣的に接続された各素子（第1の液晶素子31、第2の液晶素子32および第1の容量素子50）のうちの一つに、データ電圧を選択的に書き込むものである。このとき、データ電圧を書き込まれる素子以外の素子は、第2の導通状態となる以前の電圧を維持する。

10

【0085】

第2の導通状態において、第1の容量素子50に選択的にデータ電圧が書き込まれるときの第1の回路10の導通状態を図3（B1）に示す。図3（B1）に示す導通状態においては、第2の配線12と、第1の容量素子50とを、互いに導通状態とし、第1の液晶素子31および第2の液晶素子32については、それぞれ、どの素子とも非導通状態とする。

【0086】

さらに、第2の導通状態において、第1の液晶素子31に選択的にデータ電圧が書き込まれるときの第1の回路10の導通状態を図3（B2）に示す。図3（B2）に示す導通状態においては、第2の配線12と、第1の液晶素子31とを、互いに導通状態とし、第1の容量素子50および第2の液晶素子32については、それぞれ、どの素子とも非導通状態とする。

20

【0087】

さらに、第2の導通状態において、第2の液晶素子32に選択的にデータ電圧が書き込まれるときの第1の回路10の導通状態を図3（B3）に示す。図3（B3）に示す導通状態においては、第2の配線12と、第2の液晶素子32とを、互いに導通状態とし、第1の容量素子50および第1の液晶素子31については、それぞれ、どの素子とも非導通状態とする。

【0088】

第1の画素構成の機能（3）における第2の導通状態は、図3（B1）、図3（B2）、図3（B3）のいずれかに示した導通状態とすることができる。こうすることで、第1の回路10に電氣的に接続された各素子（第1の液晶素子31、第2の液晶素子32および第1の容量素子50）のうちの一つに、データ電圧を選択的に書き込み、データ電圧を書き込まれる素子以外の素子は、第2の導通状態となる以前の電圧を維持することができる。

30

【0089】

<第3、第4の導通状態（分配）>

第1の画素構成の機能（3）における第3の導通状態は、第1の回路10に電氣的に接続された各素子（第1の液晶素子31、第2の液晶素子32および第1の容量素子50）のうち、第1の液晶素子31と第2の液晶素子32のいずれか一方と、第1の容量素子50において電荷を分配させ、分配によって電圧の変化を生じさせるものである。さらに、第4の導通状態においても電荷の分配を行なうが、このときは、第1の液晶素子31と第2の液晶素子32のうち、第3の導通状態において第1の容量素子50と電荷を分配した方とは別の方の液晶素子と、第1の容量素子50において電荷を分配させる。

40

【0090】

第3または第4の導通状態において、第2の液晶素子32と、第1の容量素子50において電荷が分配されるとき第1の回路10の導通状態を図3（C1）に示す。図3（C1）に示す導通状態においては、第1の容量素子50と、第2の液晶素子32とを、互いに導通状態とし、第1の液晶素子31については、どの素子とも非導通状態とする。

【0091】

50

さらに、第3または第4の導通状態において、第1の液晶素子31と、第1の容量素子50において電荷が分配されるとき第1の回路10の導通状態を図3(C2)に示す。図3(C2)に示す導通状態においては、第1の容量素子50と、第1の液晶素子31とを、互いに導通状態とし、第2の液晶素子32については、どの素子とも非導通状態とする。

【0092】

<導通状態の順序>

以上に説明したように、第1の画素構成の機能(3)において第1の回路10が有すべき機能とは、上述した動作Aおよび動作Bを実現するために必要となる導通状態を、順序だててとることができる機能である。この機能における導通状態の順序を簡単に示すと、

10

【0093】

一つ目は、初めに第1の導通状態として図3(A)に示す導通状態をとり、次に、第2の導通状態として図3(B1)に示す導通状態をとり、次に、第3の導通状態として図3(C1)に示す導通状態をとり、次に、第4の導通状態として図3(C2)に示す導通状態をとるという順序である。なお、この順序のとき、第1の導通状態となってリセットされた後の電圧を V_1 、第2の導通状態となって書き込みが行なわれた後の電圧を V_2 、第3の導通状態となって電荷が分配された後の電圧を V_2' 、第4の導通状態となって電荷が分配された後の電圧を V_2'' とすると、液晶素子がノーマリーブラックの場合は、 $V_1 < V_2'' < V_2' < V_2$ が成り立つ。液晶素子がノーマリーホワイトの場合は、 $V_2 < V_2' < V_2'' < V_1$ が成り立つ。具体的に、第4の導通状態となった後、各液晶素子にかかる電圧は、第1の液晶素子31には V_2'' 、第2の液晶素子32には V_2' である($V_4 = V_5 = 0$ のとき)。したがって、上述した動作Aおよび動作Bを実現することができるので、上述した利点を有する液晶表示装置を実現することができる。

20

【0094】

二つ目は、初めに第1の導通状態として図3(A)に示す導通状態をとり、次に、第2の導通状態として図3(B1)に示す導通状態をとり、次に、第3の導通状態として図3(C2)に示す導通状態をとり、次に、第4の導通状態として図3(C1)に示す導通状態をとるという順序である。なお、導通状態の変化によって生じる電圧(V_2' 、 V_2'')の大小関係は、一つ目の場合と同じであるが、それぞれの液晶素子でかかる電圧が逆になっている。具体的には、第4の導通状態となった後、各液晶素子にかかる電圧は、第1の液晶素子31には V_2' 、第2の液晶素子32には V_2'' である($V_4 = V_5 = 0$ のとき)。したがって、上述した動作Aおよび動作Bを実現することができるので、上述した利点を有する液晶表示装置を実現することができる。

30

【0095】

三つ目は、初めに第1の導通状態として図3(A)に示す導通状態をとり、次に、第2の導通状態として図3(B2)に示す導通状態をとり、次に、第3の導通状態として図3(C2)に示す導通状態をとり、次に、第4の導通状態として図3(C1)に示す導通状態をとるという順序である。なお、導通状態の変化によって生じる電圧(V_2' 、 V_2'')の大小関係は、一つ目の場合と同じであるが、それぞれの液晶素子でかかる電圧が逆になっている。具体的には、第4の導通状態となった後、各液晶素子にかかる電圧は、第1の液晶素子31には V_2' 、第2の液晶素子32には V_2'' である($V_4 = V_5 = 0$ のとき)。したがって、上述した動作Aおよび動作Bを実現することができるので、上述した利点を有する液晶表示装置を実現することができる。

40

【0096】

四つ目は、初めに第1の導通状態として図3(A)に示す導通状態をとり、次に、第2の導通状態として図3(B3)に示す導通状態をとり、次に、第3の導通状態として図3(C1)に示す導通状態をとり、次に、第4の導通状態として図3(C2)に示す導通状態をとるという順序である。導通状態の変化によって生じる電圧(V_2' 、 V_2'')の大小関係は、一つ目の場合と同じである。具体的には、第4の導通状態となった後、各液晶

50

素子にかかる電圧は、第1の液晶素子31には V_2' 、第2の液晶素子32には V_2'' である($V_4 = V_5 = 0$ のとき)。したがって、上述した動作Aおよび動作Bを実現することができるので、上述した利点を有する液晶表示装置を実現することができる。

【0097】

なお、一つ目に挙げた順序によって生じる電圧(V_2' 、 V_2'')と、四つ目に挙げた順序によって生じる電圧(V_2' 、 V_2'')とは、電圧値としては必ずしも同じとはならないことに注意が必要である。なぜならば、一つ目に挙げた順序におけるデータ電圧の書き込みは第1の容量素子50に対して行なわれる一方、四つ目に挙げた順序におけるデータ電圧の書き込みは第2の液晶素子32に対して行なわれるという違いがあるからである。つまり、書き込み状態後の分配状態が同じであっても、第1の容量素子50と第2の液晶素子32で静電容量値が異なれば、分配される電荷量の総和が異なってくるため、分配後に生じる電圧も異なってくるのである。この違いによって、各素子の製造上のばらつきの度合いに従って最適な機能を選択できるという利点が生じる。この利点については、既に述べたため、詳細な説明は省略する。なお、二つ目の順序と三つ目の順序にも同様な関係があるため、これらも同様な利点を有している。

10

【0098】

<第2の画素構成>

ここまでは、一つの第1の回路10に対し、二つの液晶素子を有する画素構成について説明してきた。しかしながら、上述した動作Aおよび動作Bを同時に満足させるための画素構成が有する液晶素子の数は、二つよりも多くてもよい。ここでは、第2の画素構成として、一つの第1の回路10に対し、三つの液晶素子を有する画素構成について説明する。

20

【0099】

一般的に、サブ画素の数が多ければ、表示の視野角依存性をうまく平均化できるようになるため、視野角拡大の効果は大きい。しかし、従来の画素構成では、サブ画素の数を多くすればするほど、その駆動にかかる周辺回路の負担が増大し、消費電力の増加等を招く。しかし、本実施の形態における画素構成では、サブ画素の数を多くしても、その駆動は分配を行なう導通状態の数を増やすことで実現することができ、周辺回路の負担はほとんど増大しないことが、大きな利点となっている。

【0100】

図4(A)に、第2の画素構成を示す。第2の画素構成は、図1(A)に示した第1の画素構成に、第3のサブ画素43を加えた構成である。第3のサブ画素43は、第3の液晶素子33と、第6の配線23を含んでいる。そして、第3の液晶素子33の一方の電極は、第1の回路10と電気的に接続され、他方の電極は、第6の配線23と電気的に接続されている。なお、第6の配線23には、電圧 V_6 が加えられているとする。

30

【0101】

なお、第2の画素構成における回路が有する第1乃至第6の配線を、それぞれが有する役割から区別すると、次のようになっている。第1の配線11は、リセット電圧 V_1 が加えられるリセット線としての機能を有することができる。第2の配線12は、データ電圧 V_2 が加えられるデータ線としての機能を有することができる。第3の配線13は、第1の容量素子50に加えられる電圧を制御するためのコモン線としての機能を有することができる。第4の配線21は、第1の液晶素子31に加えられる電圧を制御するための液晶共通電極としての機能を有することができる。第5の配線22は、第2の液晶素子32に加えられる電圧を制御するための液晶共通電極としての機能を有することができる。第6の配線23は、第3の液晶素子33に加えられる電圧を制御するための液晶共通電極としての機能を有することができる。ただし、これに限定されず、各配線は様々な役割を有することができる。特に、同じ電圧を加えるための配線同士は、互いに電気的に接続された、共通の配線とすることができる。共通の配線とすることで、回路における配線の面積を低減することができるので、開口率を向上させることができ、その結果、消費電力を低減することができる。

40

【0102】

50

< 導通状態の順序 >

第2の画素構成に含まれる第1の回路10が有すべき機能は、第1の画素構成と同様に、上述した動作Aおよび動作Bを実現するために必要となる導通状態を、順序だててとることができる機能である。各導通状態の詳細な説明はここでは省略するが、図4(B)はリセット状態、図4(C1)は第3の液晶素子33だけ非導通状態とした書き込み状態、図4(C2)は第2の液晶素子32だけ非導通状態とした書き込み状態、図4(C3)は第1の液晶素子31だけ非導通状態とした書き込み状態、図4(C4)は第1の容量素子50だけ非導通状態とした書き込み状態、図5(D1)は第1の容量素子50と第3の液晶素子33を導通状態として他の素子は非導通状態とした分配状態、図5(D2)は第1の容量素子50と第2の液晶素子32を導通状態として他の素子は非導通状態とした分配状態、図5(D3)は第1の容量素子50と第1の液晶素子31を導通状態として他の素子は非導通状態とした分配状態を、それぞれ表している。

10

【0103】

そして、この機能における導通状態の順序を簡単に示すと、図5(E)に示すように、少なくとも12通りの順序が考えられる。詳細な説明は省略するが、図4(B)のリセット状態の後、図4(C1)乃至(C3)の書き込み状態をとった場合は、第1の分配状態として、書き込み状態時に書き込みが行なわれなかった液晶素子と第1の容量素子50が導通される。その後、第2の分配状態として、第1の分配状態において第1の容量素子50と導通されなかったいずれかの液晶素子と第1の容量素子50を導通させる。したがって、図4(C1)乃至(C3)の書き込み状態をとった場合は、それぞれ2通りの分配状態

20

【0104】

なお、動作Aおよび動作Bを実現するために必要となる導通状態は、上に挙げたもの以外にも存在する。上に挙げた例は、第2の画素構成において、書き込み状態時に4つの素子(第1の容量素子50、第1の液晶素子31、第2の液晶素子32、第3の液晶素子33)のうち、どれか3つに書き込みを行い、残りの1つは書き込みを行なわない場合である

30

【0105】

なお、サブ画素の数が4つ以上となった場合においても、これまでに挙げた例と同様に、書き込み状態および分配状態を適切に選択することで、書き込まれた電荷を複数の液晶素子に分配し、上述した動作Aおよび動作Bを実現することができるので、上述した利点を有する液晶表示装置を実現することができる。

40

【0106】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容(一部でもよい)は、別の図で述べた内容(一部でもよい)、別の実施の形態の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分、別の実施の形態の部分の組み合わせることができる。

【0107】

(実施の形態2)

本実施の形態においては、実施の形態1で説明した第1の画素構成について、より具体化

50

して説明する。実施の形態1においては、第1の回路10について、その内部の導通状態のみに着目して説明したが、本実施の形態においては、第1の回路10に含まれる複数のスイッチの導通状態、および各スイッチの導通状態が切り替わるタイミング(タイミングチャート)にも言及する。

【0108】

<回路例(1)>

回路例(1)として、図6(A)乃至(D)に、実施の形態1で説明した第1の回路10の機能(3)の一部と、機能(1)を実現できる回路を示す。ここで、機能(3)の一部とは、既に述べた機能(3)のうち、第1の容量素子50だけに選択的にデータ電圧を書き込む導通状態を含む機能である。

10

【0109】

まず、図6(A)に示す回路例について説明する。図6(A)に示す回路例は、第1のスイッチ(SW1)、第2のスイッチ(SW2)、第3のスイッチ(SW3)、第4のスイッチ(SW4)、第1の容量素子50、第2の容量素子51、第3の容量素子52、第1の液晶素子31、第2の液晶素子32、第1の配線11、第2の配線12、第3の配線13、第4の配線21、第5の配線22、第6の配線71、第7の配線72、を含む。

【0110】

第1の容量素子50の一方の電極は、第3の配線13と電氣的に接続される。ここで、第1の容量素子50の電極のうち、第3の配線13と電氣的に接続された電極とは別の電極の方を、容量電極と呼ぶこととする。

20

【0111】

第1の液晶素子31の一方の電極は、第4の配線21と電氣的に接続される。ここで、第1の液晶素子31の電極のうち、第4の配線21と電氣的に接続された電極とは別の電極の方を、第1の画素電極と呼ぶこととする。

【0112】

第2の液晶素子32の一方の電極は、第5の配線22と電氣的に接続される。ここで、第2の液晶素子32の電極のうち、第5の配線22と電氣的に接続された電極とは別の電極の方を、第2の画素電極と呼ぶこととする。

【0113】

第1のスイッチSW1の一方の電極は、第2の配線12と電氣的に接続され、第1のスイッチSW1の他方の電極は、容量電極と電氣的に接続される。第2のスイッチSW2の一方の電極は、容量電極と電氣的に接続され、第2のスイッチSW2の他方の電極は、第1の画素電極と電氣的に接続される。第3のスイッチSW3の一方の電極は、容量電極と電氣的に接続され、第3のスイッチSW3の他方の電極は、第2の画素電極と電氣的に接続される。第4のスイッチSW4の一方の電極は、容量電極と電氣的に接続され、第4のスイッチSW4の他方の電極は、第1の配線11と電氣的に接続される。

30

【0114】

第2の容量素子51の一方の電極は、第1の画素電極と電氣的に接続され、第2の容量素子51の他方の電極は、第6の配線71と電氣的に接続される。第3の容量素子52の一方の電極は、第2の画素電極と電氣的に接続され、第3の容量素子52の他方の電極は、第7の配線72と電氣的に接続される。

40

【0115】

なお、第2の容量素子51および第3の容量素子52は、後に述べるリセット保持状態またはデータ保持状態において、それぞれ第1の液晶素子31および第2の液晶素子32に加えられる電圧の経時変化の抑制、すなわち電圧の保持を図るために設けられるものである。ここで、電圧の経時変化は、各スイッチのオフ状態時の電流(漏れ電流)、各液晶素子に流れる漏れ電流、または各液晶素子の静電容量の変化、等によって引き起こされるものであるため、これらの影響が小さい状態にある場合、第2の容量素子51および第3の容量素子52は設けられなくてもよい。なお、このことは、回路例(1)だけではなく、本明細書における全ての回路について適用できる。

50

【0116】

なお、第1の容量素子50、第2の容量素子51および第3の容量素子52が有する静電容量値 C_{50} 、 C_{51} および C_{52} は、 $C_{50} > C_{51}$ および $C_{50} > C_{52}$ という大小関係であることが好ましい。なぜならば、第1の容量素子50は、分配状態時に単独で用いられるが、第2の容量素子51および第3の容量素子52は、それぞれ第1の液晶素子31および第2の液晶素子32の補助容量として用いられるためである。より詳細には、 $(1/2)C_{50} > C_{51}$ および $(1/2)C_{50} > C_{52}$ であることが好ましい。 C_{51} および C_{52} については、ほぼ同じであってもよいし、それぞれの画素電極の大きさにしたがって差が設けられていてもよい。たとえば、第1の画素電極の大きさが第2の画素電極の大きさよりも大きい場合は、 $C_{51} > C_{52}$ とすることが好ましい。同様に、第1の液晶素子31の静電容量値 C_{31} と、第2の液晶素子32の静電容量値 C_{32} についても、これらはほぼ同じであってもよいし、それぞれの画素電極の大きさにしたがって差が設けられていてもよい。たとえば、第1の画素電極の大きさが第2の画素電極の大きさよりも大きい場合は、 $C_{31} > C_{32}$ とすることが好ましい。

10

【0117】

<回路例(1)の制御(1)>

次に、図6(A)に示す回路例の各スイッチの制御タイミングについて、図6(E)を参照して説明する。図6(E)に示すタイミングチャートに従って各スイッチを制御することで、実施の形態1で説明した機能(1)を実現できる。図6(E)に示すタイミングチャートの横軸は時間であり、時間軸に沿って、第1のスイッチSW1、第2のスイッチSW2、第3のスイッチSW3および第4のスイッチSW4のそれぞれの導通状態が示されている。さらに、それぞれのタイミングにおける第1の容量素子50、第1の液晶素子31および第2の液晶素子32に加えられている電圧も、合わせて示されている。

20

【0118】

<リセット状態>

まず、前のフレームにおいて画素に書き込まれた電圧が、当該フレームにおいて書き込まれる電圧に影響を及ぼすことを避けるために、第1の回路10はリセット状態をとる。この状態を表したのが、期間<P1>である。期間<P1>においては、第1の容量素子50、第1の液晶素子31および第2の液晶素子32に、リセット電圧 V_1 を加えることが目的である。その一方で、データ電圧 V_2 を加えられている第2の配線12と、リセット電圧 V_1 を加えられている第1の配線11は非導通状態であるのが好ましい。これは、電圧差のある第1の配線11と第2の配線12が直接に導通状態となると、大きな電流が流れて消費電力が増大するためである。以上の理由により、期間<P1>において、第1のスイッチSW1はオフ状態であり、第2のスイッチSW2はオン状態であり、第3のスイッチSW3はオン状態であり、第4のスイッチSW4はオン状態とする。なお、期間<P1>は、1ゲート選択期間と同程度の長さであることが好ましいが、電荷の移動が完了するまでの時間を考慮し、1ゲート選択期間より長くしてもよい。

30

【0119】

<リセット保持状態>

期間<P2>は、第1の液晶素子31および第2の液晶素子32に、リセット電圧 V_1 を加え続けることが目的である。かつ、期間<P1>と同様に、第2の配線12と第1の配線11は非導通状態であるのが好ましい。この目的のため、図6(E)に示すタイミングチャートにおいては、SW1乃至SW4を全てオフ状態としている。しかしながら、上記の目的を達成するための各スイッチの状態は、図6(E)に示したものの以外にも存在する。つまり、期間<P2>においては、第1の液晶素子31および第2の液晶素子32にリセット電圧 V_1 を加え続けることができればよいわけだから、たとえば、期間<P1>と同様に、SW1はオフ状態、SW2乃至SW4はオン状態であってもよい。より一般化すると、SW1がオフ状態であれば、SW2乃至SW4はそれぞれオン状態でもよいし、オフ状態でもよい。こうすることで、第1の液晶素子31および第2の液晶素子32にリセット電圧 V_1 を加え続けることができ、かつ、第1の配線11と第2の配線12が直接導通

40

50

状態とはならないので、期間< P 2 >における目的を達することができる。

【 0 1 2 0 】

なお、期間< P 2 >においては、表示装置の表示は黒表示となる。したがって、期間< P 2 >が長いほど、動画表示時の画質を向上できる。一方、期間< P 2 >が短いほど、表示のちらつきを低減できる。なお、期間< P 2 >は、期間< P 1 >よりも長い方が好ましい。

【 0 1 2 1 】

<書き込み状態>

期間< P 3 >は、第1の容量素子50および第1の液晶素子31に、データ電圧 V_2 を加えることが目的である。この目的のため、図6(E)に示すタイミングチャートにおいては、SW1はオン状態、SW2はオン状態、SW3はオフ状態、SW4はオフ状態として
10

いる。なお、回路例(1)においては、期間< P 3 >において、第1の容量素子50および第2の液晶素子32に、データ電圧 V_2 を加えることもできる。その場合は、SW1はオン状態、SW2はオフ状態、SW3はオン状態、SW4はオフ状態とする。

【 0 1 2 2 】

期間< P 3 >における導通状態によって、図6(E)に示すように、第1の容量素子50
20

および第1の液晶素子31(または第2の液晶素子32)に加えられる電圧は、データ電圧 V_2 となり、第2の液晶素子32(または第1の液晶素子31)に加えられる電圧は、リセット電圧 V_1 のままである。なお、期間< P 3 >は、1ゲート選択期間と同程度の長さであることが好ましい。

【 0 1 2 3 】

<分配状態>

期間< P 4 >は、第1の容量素子50と第2の液晶素子32を導通状態とし、電荷を分配
30

することが目的である。この目的のため、図6(E)に示すタイミングチャートにおいては、SW1はオフ状態、SW2はオフ状態、SW3はオン状態、SW4はオフ状態として
いる。なお、期間< P 3 >において、第1の容量素子50および第2の液晶素子32にデータ電圧 V_2 を加えた場合は、期間< P 4 >においては、第1の容量素子50と第1の液晶素子31を導通状態とし、電荷を分配する。この場合は、SW1はオフ状態、SW2はオン状態、SW3はオフ状態、SW4はオフ状態とする。

【 0 1 2 4 】

図6(E)に示すように、期間< P 4 >における導通状態によって、第1の容量素子50
30

および第2の液晶素子32(または第1の液晶素子31)に加えられる電圧は、分配後のデータ電圧 V_2' となり、第1の液晶素子31(または第2の液晶素子32)に加えられる電圧は、データ電圧 V_2 のままである。なお、期間< P 4 >は、1ゲート選択期間と同程度の長さであることが好ましいが、電荷の移動が完了するまでの時間を考慮し、期間< P 3 >より長くしてもよい。

【 0 1 2 5 】

<データ保持状態>

期間< P 5 >においては、期間< P 4 >において、各液晶素子に加えられた電圧を加え続
40

けることが目的である。かつ、他の期間と同様に、第2の配線12と第1の配線11は非導通状態であるのが好ましい。この目的のため、図6(E)に示すタイミングチャートにおいては、SW1乃至SW4を全てオフ状態としている。しかしながら、上記の目的を達成するための各スイッチの状態は、図6(E)に示したものの以外にも存在する。たとえば、SW1、SW2、SW4がオフ状態であるならば、SW3はオフ状態であってもよいし、オン状態であってもよい。このような状態とすることで、期間< P 4 >において各液晶素子に加えられた電圧を加え続けることができ、かつ、第1の配線11と第2の配線12が直接導通状態とはならないので、期間< P 5 >における目的を達することができる。なお、期間< P 5 >は、期間< P 3 >よりも長い方が好ましい。

【 0 1 2 6 】

<回路例(1)の制御(2)>

50

次に、図6(A)に示す回路例が有する各スイッチの制御タイミングの他の例について、図6(F)を参照して説明する。図6(F)に示すタイミングチャートに従って各スイッチを制御することで、実施の形態1で説明した機能(3)の一部を実現できる。図6(F)に示すタイミングチャートの表示形式は、図6(E)に示すタイミングチャートの表示形式と同様である。

【0127】

ここで、機能(3)の一部とは、既に述べた機能(3)のうち、第1の容量素子50だけに選択的に書き込む導通状態を含む機能である。なお、回路例(1)の制御(1)と制御(2)の各スイッチの導通状態の違いは、書き込み状態と分配状態だけであるため、その他の導通状態の詳細な説明は省略する。

10

【0128】

<書き込み状態>

期間<P1>におけるリセット状態と、期間<P2>におけるリセット保持状態を経た後、期間<P3>においては、第1の容量素子50に対してのみデータ電圧 V_2 を加えるのが目的である。この目的のため、図6(F)に示すタイミングチャートにおいては、SW1はオン状態、SW2はオフ状態、SW3はオフ状態、SW4はオフ状態としている。回路例(1)の制御(1)では、SW2はオン状態であったところを、オフ状態とする点が、制御(2)が制御(1)とは異なっている点である。この違いにより、第1の容量素子50に対してのみ、データ電圧 V_2 を加えることができる。なお、期間<P3>は、1ゲート選択期間と同程度の長さであることが好ましい。

20

【0129】

<分配状態>

期間<P4_1>は、第1の容量素子50と第1の液晶素子31を導通状態とし、電荷を分配することが目的である。この目的のため、図6(F)に示すタイミングチャートにおいては、SW1はオフ状態、SW2はオン状態、SW3はオフ状態、SW4はオフ状態としている。期間<P4_2>は、第1の容量素子50と第2の液晶素子32を導通状態とし、電荷を分配することが目的である。この目的のため、図6(F)に示すタイミングチャートにおいては、SW1はオフ状態、SW2はオフ状態、SW3はオン状態、SW4はオフ状態としている。このように、第1の液晶素子31と第2の液晶素子32を、異なるタイミングで第1の容量素子50と電荷の分配を行なうことで、図6(F)に示すように、第1の液晶素子31に加えられる電圧は、分配後のデータ電圧 V_2' となり、第1の容量素子50および第2の液晶素子32に加えられる電圧は、2回目の分配後のデータ電圧 V_2'' とすることができる。なお、期間<P4_1>および<P4_2>は、1ゲート選択期間と同程度の長さであることが好ましいが、電荷の移動が完了するまでの時間を考慮し、期間<P3>より長くしてもよい。

30

【0130】

なお、第1の液晶素子31と第2の液晶素子32で分配する順番を逆にしてもよい。その場合、2回目の分配後に第1の液晶素子31と第2の液晶素子32に加えられる電圧は、上に示した例とは逆となる。

【0131】

<回路例(1)の他の例>

ここで、上に説明した回路例(1)と同様な制御を行なうことが可能な、他の回路例について説明する。図6(A)に示す回路例(1)の中で、第4のスイッチSW4と、第4のスイッチSW4の一方の電極と電気的に接続された第1の配線11を合わせた部分を、リセット回路90と呼ぶこととする。第1の回路10がリセット状態をとることができるようにするためには、リセット回路90は、第1の回路の内部電極(代表的には容量電極、第1の画素電極および第2の画素電極)のうち、いずれか一つと電気的に接続されていればよい。すなわち、リセット回路90を容量電極と電気的に接続した例が図6(A)に示す回路であり、リセット回路90を第1の画素電極と電気的に接続した例が図6(B)に示す回路であり、リセット回路90を第2の画素電極と電気的に接続した例が図6(C)

40

50

に示す回路である。図 6 (B) および図 6 (C) に示す回路の制御については、既に説明した図 6 (A) に示す回路の制御と同様なものを用いることができるため、詳細な説明は省略する。

【 0 1 3 2 】

図 6 (D) に示す回路は、図 6 (A)、図 6 (B) および図 6 (C) に示す回路におけるリセット回路 9 0 が省略された例である。図 6 (D) に示す回路においては、第 2 の配線 1 2 に供給される電圧を、期間 < P 3 > においてはデータ電圧 V_2 とし、期間 < P 1 > においてはリセット電圧 V_1 とする。かつ、期間 < P 1 > において第 1 のスイッチ S W 1 をオン状態とすることで、リセット状態を実現する。一方、他の期間においては、これまで説明したのと同様な制御を行なうことで、書き込み状態を実現する。このように、リセット回路 9 0 を用いなくても、第 2 の配線 1 2 および第 1 のスイッチ S W 1 をリセット用にも用いることで、図 6 (A)、図 6 (B) および図 6 (C) に示す回路と同様な機能を実現することが可能である。

10

【 0 1 3 3 】

なお、図 6 (E) および図 6 (F) に示すタイミングチャートは一例であり、目的を達成することのできる制御方法は他にも存在する。図 6 (A) に示す回路については、他の制御方法について詳細に説明したが、図 6 (B)、図 6 (C) および図 6 (D) に示す回路については、説明を省略する。他の制御方法における各回路の各スイッチの導通状態は、図 6 (A) に示す回路の制御方法の部分で説明した考え方にしたがって決められればよい。

20

【 0 1 3 4 】

< 回路例 (2) >

回路例 (2) として、図 7 (A) 乃至 (D) に、実施の形態 1 で説明した第 1 の回路 1 0 の機能 (2) を実現できる回路を示す。

【 0 1 3 5 】

まず、図 7 (A) に示す回路例について説明する。図 7 (A) に示す回路例は、第 1 のスイッチ (S W 1)、第 2 のスイッチ (S W 2)、第 3 のスイッチ (S W 3)、第 4 のスイッチ (S W 4)、第 1 の容量素子 5 0、第 2 の容量素子 5 1、第 3 の容量素子 5 2、第 1 の液晶素子 3 1、第 2 の液晶素子 3 2、第 1 の配線 1 1、第 2 の配線 1 2、第 3 の配線 1 3、第 4 の配線 2 1、第 5 の配線 2 2、第 6 の配線 7 1、第 7 の配線 7 2、を含む。

30

【 0 1 3 6 】

第 1 の容量素子 5 0 の一方の電極は、第 3 の配線 1 3 と電氣的に接続される。ここで、第 1 の容量素子 5 0 の電極のうち、第 3 の配線 1 3 と電氣的に接続された電極とは別の電極の方を、容量電極と呼ぶこととする。これは、回路例 (1) と同様である。

【 0 1 3 7 】

第 1 の液晶素子 3 1 の一方の電極は、第 4 の配線 2 1 と電氣的に接続される。ここで、第 1 の液晶素子 3 1 の電極のうち、第 4 の配線 2 1 と電氣的に接続された電極とは別の電極の方を、第 1 の画素電極と呼ぶこととする。これは、回路例 (1) と同様である。

【 0 1 3 8 】

第 2 の液晶素子 3 2 の一方の電極は、第 5 の配線 2 2 と電氣的に接続される。ここで、第 2 の液晶素子 3 2 の電極のうち、第 5 の配線 2 2 と電氣的に接続された電極とは別の電極の方を、第 2 の画素電極と呼ぶこととする。これは、回路例 (1) と同様である。

40

【 0 1 3 9 】

第 1 のスイッチ S W 1 の一方の電極は、第 2 の配線 1 2 と電氣的に接続され、第 1 のスイッチ S W 1 の他方の電極は、第 2 の画素電極と電氣的に接続される。第 2 のスイッチ S W 2 の一方の電極は、第 2 の画素電極と電氣的に接続され、第 2 のスイッチ S W 2 の他方の電極は、第 1 の画素電極と電氣的に接続される。第 3 のスイッチ S W 3 の一方の電極は、容量電極と電氣的に接続され、第 3 のスイッチ S W 3 の他方の電極は、第 2 の画素電極と電氣的に接続される。第 4 のスイッチ S W 4 の一方の電極は、第 2 の画素電極と電氣的に接続され、第 4 のスイッチ S W 4 の他方の電極は、第 1 の配線 1 1 と電氣的に接続される

50

。

【 0 1 4 0 】

第 2 の容量素子 5 1 の一方の電極は、第 1 の画素電極と電氣的に接続され、第 2 の容量素子 5 1 の他方の電極は、第 6 の配線 7 1 と電氣的に接続される。第 3 の容量素子 5 2 の一方の電極は、第 2 の画素電極と電氣的に接続され、第 3 の容量素子 5 2 の他方の電極は、第 7 の配線 7 2 と電氣的に接続される。

【 0 1 4 1 】

< 回路例 (2) の制御 >

次に、図 7 (A) に示す回路例の各スイッチの制御タイミングについて、図 7 (E) を参照して説明する。図 7 (E) に示すタイミングチャートに従って各スイッチを制御すること
10
 ことで、実施の形態 1 で説明した機能 (2) を実現できる。なお、図 7 (E) に示すタイミングチャートは、各スイッチの制御タイミングについては図 6 (E) に示すものと同じであるが、下段に示す第 1 の容量素子 5 0、第 1 の液晶素子 3 1、第 2 の液晶素子 3 2 にそれぞれ加えられる電圧値が図 6 (E) に示すものとは異なっている。

【 0 1 4 2 】

なお、回路例 (1) の説明と重複する部分については、説明を省略する。

【 0 1 4 3 】

< リセット状態 >

まず、前のフレームにおいて画素に書き込まれた電圧が、当該フレームにおいて書き込まれる電圧に影響を及ぼすことを避けるために、第 1 の回路 1 0 はリセット状態をとる。こ
20
 の状態を表したのが、期間 < P 1 > である。期間 < P 1 > においては、第 1 の容量素子 5 0、第 1 の液晶素子 3 1 および第 2 の液晶素子 3 2 に、リセット電圧 V_1 を加えることが目的である。その一方で、データ電圧 V_2 を加えられている第 2 の配線 1 2 と、リセット電圧 V_1 を加えられている第 1 の配線 1 1 は非導通状態であるのが好ましい。これは、電圧差のある第 1 の配線 1 1 と第 2 の配線 1 2 が直接に導通状態となると、大きな電流が流れて消費電力が増大するためである。以上の理由により、期間 < P 1 > において、第 1 のスイッチ S W 1 はオフ状態であり、第 2 のスイッチ S W 2 はオン状態であり、第 3 のスイッチ S W 3 はオン状態であり、第 4 のスイッチ S W 4 はオン状態とする。なお、期間 < P 1 > は、1 ゲート選択期間と同程度の長さであることが好ましいが、電荷の移動が完了するまでの時間を考慮し、1 ゲート選択期間より長くしてもよい。
30

【 0 1 4 4 】

< リセット保持状態 >

期間 < P 2 > は、第 1 の液晶素子 3 1 および第 2 の液晶素子 3 2 に、リセット電圧 V_1 を加え続けることが目的である。かつ、期間 < P 1 > と同様に、第 2 の配線 1 2 と第 1 の配線 1 1 は非導通状態であるのが好ましい。この目的のため、図 7 (E) に示すタイミングチャートにおいては、S W 1 乃至 S W 4 を全てオフ状態としている。しかしながら、上記の目的を達成するための各スイッチの状態は、図 7 (E) に示したものの以外にも存在する。
40
 つまり、期間 < P 2 > においては、第 1 の液晶素子 3 1 および第 2 の液晶素子 3 2 にリセット電圧 V_1 を加え続けることができればよいわけだから、たとえば、期間 < P 1 > と同様に、S W 1 はオフ状態、S W 2 乃至 S W 4 はオン状態であってもよい。より一般化すると、S W 1 がオフ状態であれば、S W 2 乃至 S W 4 はそれぞれオン状態でもよいし、オフ状態でもよい。このような状態であれば、第 1 の液晶素子 3 1 および第 2 の液晶素子 3 2 にリセット電圧 V_1 を加え続けることができ、かつ、第 1 の配線 1 1 と第 2 の配線 1 2 が直接導通状態とはならないので、期間 < P 2 > における目的を達することができる。

【 0 1 4 5 】

なお、期間 < P 2 > においては、表示装置の表示は黒表示となる。したがって、期間 < P 2 > が長いほど、動画表示時の画質を向上できる。一方、期間 < P 2 > が短いほど、表示のちらつきを低減できる。なお、期間 < P 2 > は、期間 < P 1 > よりも長い方が好ましい
50

。

【 0 1 4 6 】

<書き込み状態>

期間< P 3 >は、第1の液晶素子3 1および第2の液晶素子3 2にデータ電圧 V_2 を加える一方で、第1の容量素子5 0にはリセット電圧 V_1 を加え続けることが目的である。この目的のため、図7 (E) に示すタイミングチャートにおいては、S W 1 はオン状態、S W 2 はオン状態、S W 3 はオフ状態、S W 4 はオフ状態としている。なお、期間< P 3 >は、1ゲート選択期間と同程度の長さであることが好ましい。

【 0 1 4 7 】

<分配状態>

期間< P 4 >は、第1の容量素子5 0と第2の液晶素子3 2を導通状態とし、電荷を分配することが目的である。この目的のため、図7 (E) に示すタイミングチャートにおいては、S W 1 はオフ状態、S W 2 はオフ状態、S W 3 はオン状態、S W 4 はオフ状態としている。

10

【 0 1 4 8 】

図7 (E) に示すように、期間< P 4 >における導通状態によって、第1の容量素子5 0および第2の液晶素子3 2 (または第1の液晶素子3 1) に加えられる電圧は、分配後のデータ電圧 V_2' となり、第1の液晶素子3 1 (または第2の液晶素子3 2) に加えられる電圧は、データ電圧 V_2 のままである。なお、期間< P 4 >は、1ゲート選択期間と同程度の長さであることが好ましいが、電荷の移動が完了するまでの時間を考慮し、期間< P 3 >より長くしてもよい。

【 0 1 4 9 】

<データ保持状態>

期間< P 5 >においては、期間< P 4 >において各液晶素子に加えられた電圧を加え続けることが目的である。かつ、他の期間と同様に、第2の配線1 2と第1の配線1 1は非導通状態であるのが好ましい。この目的のため、図7 (E) に示すタイミングチャートにおいては、S W 1 乃至 S W 4 を全てオフ状態としている。しかしながら、上記の目的を達成するための各スイッチの状態は、図7 (E) に示したものの以外にも存在する。たとえば、S W 1、S W 2、S W 4 がオフ状態であるならば、S W 3 はオフ状態であってもよいし、オン状態であってもよい。このような状態とすることで、期間< P 4 >において各液晶素子に加えられた電圧を加え続けることができ、かつ、第1の配線1 1と第2の配線1 2が直接導通状態とはならないので、期間< P 5 >における目的を達することができる。なお

20

30

【 0 1 5 0 】

なお、図7 (A) では、第2のスイッチS W 2は、第1の液晶素子3 1と第1のスイッチS W 1の間に配置されているが、第2のスイッチS W 2は、第2の液晶素子3 2と第1のスイッチS W 1の間に配置されてもよい。より詳細には、第1のスイッチS W 1、第3のスイッチS W 3および第4のスイッチS W 4がそれぞれ有する電極のうち、図7 (A) では第2の画素電極と電気的に接続されている電極を、第2の画素電極ではなく第1の画素電極と電気的に接続されるようにしてもよい。この場合、分配後に第1の液晶素子3 1と第2の液晶素子3 2に加えられる電圧は、上に示した例とは逆となる。なお、このように第2のスイッチS W 2の配置を変えることで、分配後に第1の液晶素子3 1と第2の液晶素子3 2に加えられる電圧を入れ替えることは、他の回路 (たとえば図7 (B)、図7 (C) および図7 (D) に示す回路) でも適用され得る。

40

【 0 1 5 1 】

<回路例 (2) の他の例>

ここで、上に説明した回路例 (2) と同様な制御を行なうことが可能な、他の回路例について説明する。図7 (A) に示す回路例 (2) の中で、第4のスイッチS W 4と、第4のスイッチS W 4の一方の電極と電気的に接続された第1の配線1 1を合わせた部分を、回路例 (1) のときと同様に、リセット回路9 0と呼ぶこととする。第1の回路1 0がリセット状態をとることができるようにするためには、リセット回路9 0は、第1の回路の内部電極 (代表的には容量電極、第1の画素電極および第2の画素電極) のうち、いずれか

50

一つと電氣的に接続されていればよい。すなわち、リセット回路90を容量電極と電氣的に接続した例が図7(A)に示す回路であり、リセット回路90を第1の画素電極と電氣的に接続した例が図7(B)に示す回路であり、リセット回路90を第2の画素電極と電氣的に接続した例が図7(C)に示す回路である。図7(B)および図7(C)に示す回路の制御については、既に説明した図7(A)に示す回路の制御と同様なものを用いることができるため、詳細な説明は省略する。

【0152】

図7(D)に示す回路は、図7(A)、図7(B)および図7(C)に示す回路におけるリセット回路90が省略された例である。図7(D)に示す回路においては、リセット状態とするためにリセット回路90を用いるのではなく、第2の配線12および第1のスイッチSW1を用いて実現する。すなわち、図7(D)に示す回路においては、第2の配線12に供給される電圧を、期間<P3>においてはデータ電圧 V_2 とし、期間<P1>においてはリセット電圧 V_1 とする。かつ、期間<P1>において第1のスイッチSW1をオン状態とすることで、リセット状態を実現する。一方、他の期間においては、これまで説明したのと同様な制御を行なうことで、書き込み状態を実現する。このように、リセット回路90を用いなくても、第2の配線12および第1のスイッチSW1をリセット用にも用いることで、図7(A)、図7(B)および図7(C)に示す回路と同様な機能を実現することが可能である。

【0153】

<回路例(3)>

次に、回路例(3)として、図8(A)乃至(D)に、実施の形態1で説明した第1の回路10の機能(3)の一部と、機能(1)を実現できる回路を示す。回路例(3)における機能(3)の一部とは、既に述べた機能(3)のうち、第1の液晶素子31だけに選択的にデータ電圧を書き込む導通状態を含む機能である。なお、ここでは、既に述べた機能(3)のうち、第1の液晶素子31だけに選択的にデータ電圧を書き込む導通状態を含む機能についてのみ説明を行なうが、図8(A)乃至(D)に示す第1の液晶素子31および第2の液晶素子32の配置を交換すれば、既に述べた機能(3)のうち、第2の液晶素子32だけに選択的にデータ電圧を書き込む導通状態を含む機能を実現できることは明らかである。

【0154】

まず、図8(A)に示す回路例について説明する。図8(A)に示す回路例は、第1のスイッチ(SW1)、第2のスイッチ(SW2)、第3のスイッチ(SW3)、第4のスイッチ(SW4)、第1の容量素子50、第2の容量素子51、第3の容量素子52、第1の液晶素子31、第2の液晶素子32、第1の配線11、第2の配線12、第3の配線13、第4の配線21、第5の配線22、第6の配線71、第7の配線72、を含む。

【0155】

第1の容量素子50の一方の電極は、第3の配線13と電氣的に接続される。ここで、第1の容量素子50の電極のうち、第3の配線13と電氣的に接続された電極とは別の電極の方を、容量電極と呼ぶこととする。これは、回路例(1)および(2)と同様である。

【0156】

第1の液晶素子31の一方の電極は、第4の配線21と電氣的に接続される。ここで、第1の液晶素子31の電極のうち、第4の配線21と電氣的に接続された電極とは別の電極の方を、第1の画素電極と呼ぶこととする。これは、回路例(1)および(2)と同様である。

【0157】

第2の液晶素子32の一方の電極は、第5の配線22と電氣的に接続される。ここで、第2の液晶素子32の電極のうち、第5の配線22と電氣的に接続された電極とは別の電極の方を、第2の画素電極と呼ぶこととする。これは、回路例(1)および(2)と同様である。

【0158】

10

20

30

40

50

第1のスイッチSW1の一方の電極は、第2の配線12と電氣的に接続され、第1のスイッチSW1の他方の電極は、第1の画素電極と電氣的に接続される。第2のスイッチSW2の一方の電極は、第1の画素電極と電氣的に接続され、第2のスイッチSW2の他方の電極は、容量電極と電氣的に接続される。第3のスイッチSW3の一方の電極は、容量電極と電氣的に接続され、第3のスイッチSW3の他方の電極は、第2の画素電極と電氣的に接続される。第4のスイッチSW4の一方の電極は、容量電極と電氣的に接続され、第4のスイッチSW4の他方の電極は、第1の配線11と電氣的に接続される。

【0159】

第2の容量素子51の一方の電極は、第1の画素電極と電氣的に接続され、第2の容量素子51の他方の電極は、第6の配線71と電氣的に接続される。第3の容量素子52の一方の電極は、第2の画素電極と電氣的に接続され、第3の容量素子52の他方の電極は、第7の配線72と電氣的に接続される。

10

【0160】

<回路例(3)の制御(1)>

既に述べた回路例(1)の制御(1)と同様に、図8(E)に示すタイミングチャートに従って、回路例(3)に含まれる各スイッチを制御することで、実施の形態1で説明した機能(1)を実現できる。この制御方法を回路例(3)の制御(1)と呼ぶこととする。回路例(1)の制御(1)については既に述べたため、回路例(3)の制御(1)の詳細な説明は省略するが、簡単に述べると、SW1だけがオフ状態であるリセット状態、全てのスイッチがオフ状態(またはリセット状態と同様)であるリセット保持状態、SW3およびSW4がオフ状態である書き込み状態、SW3のみがオン状態である分配状態、全てのスイッチがオフ状態(または分配状態と同様)であるデータ保持状態、という各状態を順番にとることで、実施の形態1で説明した機能(1)を実現する。なお、図8(E)に示すタイミングチャートは、各スイッチの制御タイミングについては図6(E)に示すものと同様であり、下段に示す第1の容量素子50、第1の液晶素子31、第2の液晶素子32にそれぞれ加えられる電圧値も図6(E)に示すものと同様となっている。

20

【0161】

<回路例(3)の制御(2)>

さらに、既に述べた回路例(1)の制御(2)と同様に、図8(F)に示すタイミングチャートに従って、回路例(3)に含まれる各スイッチを制御することで、実施の形態1で説明した機能(3)の一部を実現できる。この制御方法を回路例(3)の制御(2)と呼ぶこととする。回路例(1)の制御(2)については既に述べたため、回路例(3)の制御(2)の詳細な説明は省略するが、簡単に述べると、SW1だけがオフ状態であるリセット状態、全てのスイッチがオフ状態(またはリセット状態と同様)であるリセット保持状態、SW1のみがオン状態である書き込み状態、SW2のみがオン状態である分配状態(1)、SW3のみがオン状態である分配状態(2)、全てのスイッチがオフ状態(または分配状態(2)と同様)であるデータ保持状態、という各状態を順番にとることで、実施の形態1で説明した機能(3)の一部を実現する。なお、図8(F)に示すタイミングチャートは、各スイッチの制御タイミングについては図6(F)に示すものと同じであるが、下段に示す第1の容量素子50、第1の液晶素子31、第2の液晶素子32にそれぞれ加えられる電圧値が図6(F)に示すものとは異なっている。

30

40

【0162】

<回路例(3)の他の例>

ここで、上に説明した回路例(3)と同様な制御を行なうことが可能な、他の回路例について説明する。図8(A)に示す回路例(3)の中で、第4のスイッチSW4と、第4のスイッチSW4の一方の電極と電氣的に接続された第1の配線11を合わせた部分を、回路例(1)または回路例(2)のときと同様に、リセット回路90と呼ぶこととする。第1の回路10がリセット状態をとることができるようにするためには、リセット回路90は、第1の回路の内部電極(代表的には容量電極、第1の画素電極および第2の画素電極)のうち、いずれか一つと電氣的に接続されていけばよい。すなわち、リセット回路90

50

を容量電極と電氣的に接続した例が図 8 (A) に示す回路であり、リセット回路 9 0 を第 1 の画素電極と電氣的に接続した例が図 8 (B) に示す回路であり、リセット回路 9 0 を第 2 の画素電極と電氣的に接続した例が図 8 (C) に示す回路である。図 8 (B) および図 8 (C) に示す回路の制御については、既に説明した図 8 (A) に示す回路の制御と同様なものを用いることができるため、詳細な説明は省略する。

【 0 1 6 3 】

図 8 (D) に示す回路は、図 8 (A)、図 8 (B) および図 8 (C) に示す回路におけるリセット回路 9 0 が省略された例である。図 8 (D) に示す回路においては、リセット状態とするためにリセット回路 9 0 を用いるのではなく、第 2 の配線 1 2 および第 1 のスイッチ $S W 1$ を用いて実現する。すなわち、図 8 (D) に示す回路においては、第 2 の配線 1 2 に供給される電圧を、期間 $\langle P 3 \rangle$ においてはデータ電圧 V_2 とし、期間 $\langle P 1 \rangle$ においてはリセット電圧 V_1 とする。かつ、期間 $\langle P 1 \rangle$ において第 1 のスイッチ $S W 1$ をオン状態とすることで、リセット状態を実現する。一方、他の期間においては、これまで説明したのと同様な制御を行なうことで、書き込み状態を実現する。このように、リセット回路 9 0 を用いなくても、第 2 の配線 1 2 および第 1 のスイッチ $S W 1$ をリセット用にも用いることで、図 8 (A)、図 8 (B) および図 8 (C) に示す回路と同様な機能を実現することが可能である。

【 0 1 6 4 】

< 回路例 (4) >

次に、回路例 (4) として、図 9 (A) に、実施の形態 1 で説明した第 1 の回路 1 0 の機能 (1)、機能 (2) および機能 (3) を実現できる回路を示す。回路例 (4) は、スイッチの数に冗長性を持たせることで、回路構成を変更することなく、スイッチの制御によって様々な機能を実現できることが特徴である。

【 0 1 6 5 】

図 9 (A) に示す回路例は、第 1 のスイッチ ($S W 1$)、第 2 のスイッチ ($S W 2 \quad 1$)、第 3 のスイッチ ($S W 3$)、第 4 のスイッチ ($S W 4$)、第 5 のスイッチ ($S W 2 \quad 2$)、第 1 の容量素子 5 0、第 2 の容量素子 5 1、第 3 の容量素子 5 2、第 1 の液晶素子 3 1、第 2 の液晶素子 3 2、第 1 の配線 1 1、第 2 の配線 1 2、第 3 の配線 1 3、第 4 の配線 2 1、第 5 の配線 2 2、第 6 の配線 7 1、第 7 の配線 7 2、を含む。

【 0 1 6 6 】

第 1 の容量素子 5 0 の一方の電極は、第 3 の配線 1 3 と電氣的に接続される。ここで、第 1 の容量素子 5 0 の電極のうち、第 3 の配線 1 3 と電氣的に接続された電極とは別の電極の方を、容量電極と呼ぶこととする。これは、回路例 (1)、(2) および (3) と同様である。

【 0 1 6 7 】

第 1 の液晶素子 3 1 の一方の電極は、第 4 の配線 2 1 と電氣的に接続される。ここで、第 1 の液晶素子 3 1 の電極のうち、第 4 の配線 2 1 と電氣的に接続された電極とは別の電極の方を、第 1 の画素電極と呼ぶこととする。これは、回路例 (1)、(2) および (3) と同様である。

【 0 1 6 8 】

第 2 の液晶素子 3 2 の一方の電極は、第 5 の配線 2 2 と電氣的に接続される。ここで、第 2 の液晶素子 3 2 の電極のうち、第 5 の配線 2 2 と電氣的に接続された電極とは別の電極の方を、第 2 の画素電極と呼ぶこととする。これは、回路例 (1)、(2) および (3) と同様である。

【 0 1 6 9 】

さらに、回路例 (4) には、上に挙げたもの以外にも内部電極 P が設けられているとして、以下に図 9 (A) に示す回路例の各素子の電氣的接続を説明する。

【 0 1 7 0 】

第 1 のスイッチ $S W 1$ の一方の電極は、第 2 の配線 1 2 と電氣的に接続され、第 1 のスイッチ $S W 1$ の他方の電極は、内部電極 P と電氣的に接続される。第 2 のスイッチ ($S W 2$

10

20

30

40

50

1)の一方の電極は、内部電極Pと電氣的に接続され、第2のスイッチ(SW2 1)の他方の電極は、第1の画素電極と電氣的に接続される。第3のスイッチSW3の一方の電極は、内部電極Pと電氣的に接続され、第3のスイッチSW3の他方の電極は、容量電極と電氣的に接続される。第4のスイッチSW4の一方の電極は、内部電極Pと電氣的に接続され、第4のスイッチSW4の他方の電極は、第1の配線11と電氣的に接続される。第5のスイッチ(SW2 2)の一方の電極は、内部電極Pと電氣的に接続され、第5のスイッチ(SW2 2)の他方の電極は、第2の画素電極と電氣的に接続される。

【0171】

第2の容量素子51の一方の電極は、第1の画素電極と電氣的に接続され、第2の容量素子51の他方の電極は、第6の配線71と電氣的に接続される。第3の容量素子52の一方の電極は、第2の画素電極と電氣的に接続され、第3の容量素子52の他方の電極は、第7の配線72と電氣的に接続される。

10

【0172】

図9(A)に示す回路例(4)は、各スイッチを適切に制御することによって、今まで述べてきた第1の回路10が有する機能(1)、機能(2)および機能(3)を実現することができる。このように、様々な機能を実現するための各スイッチの制御方法について、図10(A)乃至図10(D)を参照して説明する。

【0173】

なお、図10(A)乃至図10(D)では、それぞれの導通状態(リセット状態、リセット保持状態、書き込み状態、分配状態、データ保持状態)において、各スイッチの状態をONまたはOFFで示してある。このような導通状態のうち、リセット状態、リセット保持状態、データ保持状態は、図10(A)乃至図10(D)において同じである。すなわち、リセット状態ではSW1のみオフ状態でその他はオン状態、リセット保持状態では全てオフ状態(またはリセット状態と同様)、データ保持状態では全てオフ状態(または分配状態と同様)となっている。これらについての詳細な説明は既に述べているので省略する。ここでは、書き込み状態および分配状態における各スイッチの状態について説明する。

20

【0174】

なお、図10(A)乃至図10(D)に示した全ての制御方法において、第2のスイッチ(SW2 1)および第5のスイッチ(SW2 2)の制御方法は交換可能である。つまり、SW2 1をSW2 2に示すような制御方法で制御し、かつ、SW2 2をSW2 1に示すような制御方法で制御したとしても、その結果として第1のサブ画素と第2のサブ画素の役割が交換されるだけで、本質的な動作としては変わりがないことは明らかである。

30

【0175】

<回路例(4)の制御(1)>

回路例(4)の制御(1)として、図10(A)に示すように各スイッチを制御する場合について説明する。図10(A)に示す制御方法は、回路例(1)または(3)によって実現される機能(1)を、回路例(4)によって実現する場合の制御方法である。図10(A)に示す制御方法は、まず、リセット状態およびリセット保持状態をとった後、書き込み状態において、SW1をオン状態、SW2 1をオン状態、SW2 2をオフ状態、SW3をオン状態、SW4をオフ状態とする。こうすることで、第1の容量素子50および第1の液晶素子31にデータ電圧 V_2 を書き込み、第2の液晶素子32にはリセット電圧 V_1 が加えられた状態を維持することができる。書き込み状態の後の分配状態においては、SW1をオフ状態、SW2 1をオフ状態、SW2 2をオン状態、SW3をオン状態、SW4をオフ状態とする。こうすることで、第1の容量素子50および第2の液晶素子32において電荷を分配させることができる。そして、分配状態の後は、既に述べた方法によりデータ保持状態をとる。

40

【0176】

<回路例(4)の制御(2)>

50

回路例(4)の制御(2)として、図10(B)に示すように各スイッチを制御する場合について説明する。図10(B)に示す制御方法は、回路例(2)によって実現される機能(2)を、回路例(4)によって実現する場合の制御方法である。図10(B)に示す制御方法は、まず、リセット状態およびリセット保持状態をとった後、書き込み状態において、SW1をオン状態、SW2₁をオン状態、SW2₂をオン状態、SW3をオフ状態、SW4をオフ状態とする。こうすることで、第1の液晶素子31および第2の液晶素子32にデータ電圧V₂を書き込み、第1の容量素子50にはリセット電圧V₁が加えられた状態を維持することができる。書き込み状態の後の分配状態においては、SW1をオフ状態、SW2₁をオフ状態、SW2₂をオン状態、SW3をオン状態、SW4をオフ状態とする。こうすることで、第1の容量素子50および第2の液晶素子32において電荷を分配させることができる。そして、分配状態の後は、既に述べた方法によりデータ保持状態をとる。

10

【0177】

<回路例(4)の制御(3)>

回路例(4)の制御(3)として、図10(C)に示すように各スイッチを制御する場合について説明する。図10(C)に示す制御方法は、回路例(3)によって実現される機能(3)の一部を、回路例(4)によって実現する場合の制御方法である。図10(C)に示す制御方法は、まず、リセット状態およびリセット保持状態をとった後、書き込み状態において、SW1をオン状態、SW2₁をオン状態、SW2₂をオフ状態、SW3をオフ状態、SW4をオフ状態とする。こうすることで、第1の液晶素子31にデータ電圧V₂を書き込み、第1の容量素子50および第2の液晶素子32にはリセット電圧V₁が加えられた状態を維持することができる。書き込み状態の後の分配状態(1)においては、SW1をオフ状態、SW2₁をオン状態、SW2₂をオフ状態、SW3をオン状態、SW4をオフ状態とする。こうすることで、第1の容量素子50および第1の液晶素子31において電荷を分配させることができる。その後、分配状態(2)においては、SW1をオフ状態、SW2₁をオフ状態、SW2₂をオン状態、SW3をオン状態、SW4をオフ状態とする。こうすることで、第1の容量素子50および第2の液晶素子32において電荷を分配させることができる。そして、分配状態の後は、既に述べた方法によりデータ保持状態をとる。

20

【0178】

<回路例(4)の制御(4)>

回路例(4)の制御(4)として、図10(D)に示すように各スイッチを制御する場合について説明する。図10(D)に示す制御方法は、回路例(1)によって実現される機能(3)の一部を、回路例(4)によって実現する場合の制御方法である。図10(D)に示す制御方法は、まず、リセット状態およびリセット保持状態をとった後、書き込み状態において、SW1をオン状態、SW2₁をオフ状態、SW2₂をオフ状態、SW3をオン状態、SW4をオフ状態とする。こうすることで、第1の容量素子50にデータ電圧V₂を書き込み、第1の液晶素子31および第2の液晶素子32にはリセット電圧V₁が加えられた状態を維持することができる。書き込み状態の後の分配状態(1)においては、SW1をオフ状態、SW2₁をオン状態、SW2₂をオフ状態、SW3をオン状態、SW4をオフ状態とする。こうすることで、第1の容量素子50および第1の液晶素子31において電荷を分配させることができる。その後、分配状態(2)においては、SW1をオフ状態、SW2₁をオフ状態、SW2₂をオン状態、SW3をオン状態、SW4をオフ状態とする。こうすることで、第1の容量素子50および第2の液晶素子32において電荷を分配させることができる。そして、分配状態の後は、既に述べた方法によりデータ保持状態をとる。

30

40

【0179】

<回路例(4)の制御方法の選択>

このように、図9(A)に示す回路例(4)は、各素子(第1の容量素子50、第1の液晶素子31、第2の液晶素子32)にそれぞれ個別にデータ電圧V₂を書き込むことがで

50

き、さらに、電荷の分配も、全ての組み合わせにおいて行なうことができる。その結果、これまで述べてきた機能(1)、機能(2)および機能(3)を、回路例(4)だけで全て実現することができる。そのため、図9(A)に示す回路例(4)は、状況に応じて上記機能を切り替えるという用途に用いることができる。

【0180】

図10(A)に示すように各スイッチを制御する場合(機能(1))の利点について説明する。このとき、書き込み状態時およびデータ保持状態時に、第1の液晶素子31には、データ電圧 V_2 がそのまま加えられて保持される。これは、第1の液晶素子31による表示は、各素子の容量値のばらつきの影響を受けないことを意味する。そのため、均一な表示が可能となるという利点を有する。なお、図6(A)乃至図6(D)に示す回路例(1)によって機能(1)を実現した場合、および図8(A)乃至図8(D)に示す回路例(3)によって機能(1)を実現した場合においても、同様な利点を有する。

10

【0181】

次に、図10(B)に示すように各スイッチを制御する場合(機能(2))の利点について説明する。このとき、書き込み状態時に第1の液晶素子31および第2の液晶素子32に加えられる電圧は V_2 であり、データ保持状態時に加えられる電圧は V_2' および V_2'' である。ここで、液晶素子がノーマリーブランクの特性を持つ場合、 $V_2' < V_2$ 、 $V_2'' < V_2$ が成り立つことから、これは液晶素子の応答速度を速めるオーバードライブであることがわかる。通常、オーバードライブを行なうためには、ルックアップテーブル(LUT)等による画像データの変換処理が必要となり、製造コストおよび消費電力が増大してしまうが、機能(2)による駆動では、データ電圧 V_2 および分配後の電圧 V_2' および V_2'' を適切に設定することにより、画像データの変換処理を伴わずにオーバードライブを行なうことが可能となる。その結果、製造コストおよび消費電力の増大なしに、液晶素子の応答速度を速めることができ、動画表示時の画質を向上させることができる。なお、図7(A)乃至図7(D)に示す回路例(2)によって機能(2)を実現した場合においても、同様な利点を有する。

20

【0182】

次に、図10(C)または(D)に示すように各スイッチを制御する場合(機能(3))の利点について説明する。このとき、書き込み状態時にデータ電圧 V_2 が書き込まれる対象となる素子は、第1の容量素子50、第1の液晶素子31、第2の液晶素子32のいずれか一つである。したがって、書き込み時の負荷が小さいため、消費電力を小さくすることができる。なお、図6(A)乃至図6(D)に示す回路例(1)によって機能(3)を実現した場合、および図8(A)乃至図8(D)に示す回路例(3)によって機能(3)を実現した場合においても、同様な利点を有する。

30

【0183】

図9(A)に示す回路例(4)は、このような利点を持つ各機能を、状況に応じて切り替えることが可能である。たとえば、均一な表示が特に必要となる状況(静止画表示時等)においては、機能(1)によって表示を行い、液晶素子の応答速度を速めることが特に必要となる状況(動画表示時等)においては、機能(2)によって表示を行い、消費電力を小さくすることが特に必要となる状況(電池駆動時等)においては、機能(3)によって表示を行う、等の切り替えを行なうこともできる。

40

【0184】

なお、上記の例以外にも、機能(1)によって均一な表示を行いつつ、LUT等による画像データ変換を行なうことでオーバードライブすることにより、液晶素子の応答速度も速めるという構成をとることもできる。

【0185】

<回路例(4)の他の例>

なお、回路例(4)においても、既に述べた回路例(1)、回路例(2)、回路例(3)と同様に、リセット回路90の接続先を様々に変更することができる。リセット回路90の他の接続先としては、たとえば、第1の画素電極(図9(B))、第2の画素電極(図

50

9 (C))、容量電極 (図 9 (D))、等が挙げられる。さらに、既に述べた回路例 (1)、回路例 (2)、回路例 (3)と同様に、リセット回路 9 0 を省略してもよい (図 9 (E))。

【 0 1 8 6 】

なお、本実施の形態における回路例 (回路例 (1)、回路例 (2)、回路例 (3)および回路例 (4)) が有する第 1 乃至第 7 の配線を、それぞれが有する役割から区別すると、次のようになっている。第 1 の配線 1 1 は、リセット電圧 V_1 が加えられるリセット線としての機能を有することができる。第 2 の配線 1 2 は、データ電圧 V_2 が加えられるデータ線としての機能を有することができる。第 3 の配線 1 3 は、第 1 の容量素子 5 0 に加えられる電圧を制御するためのコモン線としての機能を有することができる。第 4 の配線 2 1 は、第 1 の液晶素子 3 1 に加えられる電圧を制御するための液晶共通電極としての機能を有することができる。第 5 の配線 2 2 は、第 2 の液晶素子 3 2 に加えられる電圧を制御するための液晶共通電極としての機能を有することができる。第 6 の配線 7 1 は、第 2 の容量素子 5 1 に加えられる電圧を制御するためのコモン線としての機能を有することができる。第 7 の配線 7 2 は、第 3 の容量素子 5 2 に加えられる電圧を制御するためのコモン線としての機能を有することができる。ただし、これに限定されず、各配線は様々な役割を有することができる。特に、同じ電圧を加えるための配線同士は、互いに電氣的に接続された、共通の配線とすることができる。共通の配線とすることで、回路における配線の面積を低減することができるので、開口率を向上させることができ、その結果、消費電力を低減することができる。

【 0 1 8 7 】

なお、本実施の形態においては、表示素子を液晶素子として説明したが、他の表示素子、たとえば自発光する素子、蛍光体の発光を利用する素子、外光の反射を利用する素子、等を用いることもできる。自発光する素子を用いた表示装置は、たとえば有機 EL ディスプレイ、無機 EL ディスプレイ等が挙げられる。蛍光体の発光を利用する素子を用いた表示装置は、たとえば陰極線管 (CRT) を用いたもの、プラズマディスプレイパネル (PDP)、フィールドエミッションディスプレイ (FED)、等が挙げられる。外光の反射を利用する素子を用いた表示装置は、たとえば電子ペーパー等が挙げられる。

【 0 1 8 8 】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容 (一部でもよい) は、別の図で述べた内容 (一部でもよい)、別の実施の形態の図で述べた内容 (一部でもよい) に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分、別の実施の形態の部分の組み合わせることが出来る。

【 0 1 8 9 】

(実施の形態 3)

本実施の形態においては、実施の形態 2 で説明した様々な回路例について、より具体化して説明する。実施の形態 2 においては、第 1 の回路 1 0 に含まれる複数のスイッチの導通状態およびタイミングチャートに言及したが、本実施の形態においては、実施の形態 2 で説明した様々な回路例において示したスイッチとして、トランジスタを用いた場合の回路図の具体例を示して詳細に説明する。

【 0 1 9 0 】

< 回路例 (1) の具体例 (1) >

まず、実施の形態 2 における回路例 (1) の具体例について述べる。図 1 1 (A) に示す回路は、図 6 (A) で示した回路例 (1) の具体例 (1) であり、第 1 のトランジスタ T_{r1} と、第 2 のトランジスタ T_{r2} と、第 3 のトランジスタ T_{r3} と、第 4 のトランジスタ T_{r4} と、第 1 の容量素子 5 0 と、第 2 の容量素子 5 1 と、第 3 の容量素子 5 2 と、第 1 の液晶素子 3 1 と、第 2 の液晶素子 3 2 と、第 1 の配線 1 0 1 と、第 2 の配線 1 0 2 と、第 3 の配線 1 0 3 と、第 4 の配線 1 0 4 と、第 5 の配線 1 0 5 と、第 6 の配線 1 0 6 と、第 7 の配線 1 0 7 と、第 8 の配線 1 0 8 と、第 9 の配線 1 0 9 と、第 1 0 の配線 1 1 0

と、を有する。

【0191】

第1の容量素子50の一方の電極は、第8の配線108と電氣的に接続される。ここで、第1の容量素子50の電極のうち、第8の配線108と電氣的に接続された電極とは別の電極の方を、容量電極と呼ぶこととする。

【0192】

第1の液晶素子31の一方の電極は、第6の配線106と電氣的に接続される。ここで、第1の液晶素子31の電極のうち、第6の配線106と電氣的に接続された電極とは別の電極の方を、第1の画素電極と呼ぶこととする。

【0193】

第2の液晶素子32の一方の電極は、第6の配線106と電氣的に接続される。ここで、第2の液晶素子32の電極のうち、第6の配線106と電氣的に接続された電極とは別の電極の方を、第2の画素電極と呼ぶこととする。

【0194】

第1のトランジスタTr1のソース電極またはドレイン電極の一方の電極は、第5の配線105と電氣的に接続され、第1のトランジスタTr1のソース電極またはドレイン電極の他方の電極は、容量電極と電氣的に接続され、第1のトランジスタTr1のゲート電極は、第1の配線101と電氣的に接続される。

【0195】

第2のトランジスタTr2のソース電極またはドレイン電極の一方の電極は、容量電極と電氣的に接続され、第2のトランジスタTr2のソース電極またはドレイン電極の他方の電極は、第1の画素電極と電氣的に接続され、第2のトランジスタTr2のゲート電極は、第2の配線102と電氣的に接続される。

【0196】

第3のトランジスタTr3のソース電極またはドレイン電極の一方の電極は、容量電極と電氣的に接続され、第3のトランジスタTr3のソース電極またはドレイン電極の他方の電極は、第2の画素電極と電氣的に接続され、第3のトランジスタTr3のゲート電極は、第3の配線103と電氣的に接続される。

【0197】

第4のトランジスタTr4のソース電極またはドレイン電極の一方の電極は、容量電極と電氣的に接続され、第4のトランジスタTr4のソース電極またはドレイン電極の他方の電極は、第7の配線107と電氣的に接続され、第4のトランジスタTr4のゲート電極は、第4の配線104と電氣的に接続される。

【0198】

第2の容量素子51の一方の電極は、第1の画素電極と電氣的に接続され、第2の容量素子51の他方の電極は、第9の配線109と電氣的に接続される。第3の容量素子52の一方の電極は、第2の画素電極と電氣的に接続され、第3の容量素子52の他方の電極は、第10の配線110と電氣的に接続される。

【0199】

なお、各トランジスタのチャンネル長Lに対するチャンネル幅W(W/L)をトランジスタのサイズとする。トランジスタは、サイズが大きいほど、オン状態時の電流を大きくすることができる(オン状態時の電氣的抵抗を小さくすることができる)。ここで、各トランジスタのサイズW/Lは、(Tr1またはTr4) > (Tr2またはTr3)であることが好ましい。なぜならば、リセット状態または書き込み状態のときに、Tr1またはTr4には、Tr2またはTr3に流れる電流よりも大きな電流がながれるためである。こうすることで、素早く書き込みまたはリセットを行うことができる。さらに詳細には、Tr1およびTr4のサイズについては、Tr1 > Tr4であることが好ましい。なぜならば、Tr1によって行なわれる電圧の書き込みは、1ゲート選択期間内に収まるように行なわれるため、時間的な余裕がより少ないからである。Tr2およびTr3のサイズについては、それぞれが電氣的に接続されている液晶素子または容量素子が有する電極がより大き

10

20

30

40

50

い方が、トランジスタのサイズも大きいことが好ましい。なぜならば、電極が大きい素子は静電容量値も大きくなるため、そのような素子に対しては、より大きな電流によって書き込み、リセット、分配等が行なわれる必要があるからである。

【0200】

なお、図11(A)に示す回路は、基板上に並置されることで表示部が形成される。そして、図11(A)に示す回路は表示部を形成する回路の最小単位であり、これを画素または画素回路と呼ぶ。

【0201】

なお、図11(A)に示す回路が有する第1乃至第10の配線は、それぞれ隣接する画素回路と共有される。

10

【0202】

なお、図13(D)に示すように、第6の配線106と、第7の配線107は、それぞれ電氣的に接続されていてもよい。さらに、第7の配線107と同様に、第8の配線108乃至第10の配線110についても、第6の配線106それぞれ電氣的に接続されていてもよい。

【0203】

なお、図11(A)に示す回路が有する第1乃至第10の配線を、それぞれが有する役割から区別すると、次のようになっている。第1の配線101は、第1のトランジスタTr1を制御するための第1の走査線としての機能を有することができる。第2の配線102は、第2のトランジスタTr2を制御するための第2の走査線としての機能を有することができる。第3の配線103は、第3のトランジスタTr3を制御するための第3の走査線としての機能を有することができる。第4の配線104は、第4のトランジスタTr4を制御するための第4の走査線としての機能を有することができる。第5の配線105は、データ電圧が加えられるデータ線としての機能を有することができる。第6の配線106は、液晶素子に加えられる電圧を制御するための液晶共通電極としての機能を有することができる。第7の配線107は、リセット電圧が加えられるリセット線としての機能を有することができる。第8の配線108は、第1の容量素子50に加えられる電圧を制御するための第1の容量線としての機能を有することができる。第9の配線109は、第2の容量素子51に加えられる電圧を制御するための第2の容量配線としての機能を有することができる。第10の配線110は、第3の容量素子52に加えられる電圧を制御するための第3の容量配線としての機能を有することができる。ただし、これに限定されず、各配線は様々な役割を有することができる。特に、同じ電圧を加えるための配線同士は、互いに電氣的に接続された、共通の配線とすることができる。共通の配線とすることで、回路における配線の面積を低減することができるので、開口率を向上させることができ、その結果、消費電力を低減することができる。さらに具体的には、液晶共通電極がトランジスタ基板側に設けられる構成の液晶素子(IPSモード、FFSモード等)が用いられる場合は、第6の配線106と、第7の配線107、第8の配線108、第9の配線109および第10の配線110を、互いに電氣的に接続させることができる。

20

30

【0204】

<回路例(1)の具体例(2)>

40

次に、実施の形態2における回路例(1)の他の具体例について述べる。図11(B)に示す回路は、図6(A)で示した回路例(1)の具体例(2)であり、第1のトランジスタTr1と、第2のトランジスタTr2と、第3のトランジスタTr3と、第4のトランジスタTr4と、第1の容量素子50と、第2の容量素子51と、第3の容量素子52と、第1の液晶素子31と、第2の液晶素子32と、第1の配線101と、第2の配線102と、第3の配線103と、第4の配線104と、第5の配線105と、第6の配線106と、第7の配線107と、第8の配線108と、第9の配線109と、を有する。

【0205】

回路例(1)の具体例(2)と、回路例(1)の具体例(1)が異なっている点は、回路例(1)の具体例(1)では配置されていた第10の配線110が回路例(1)の具体例

50

(2)では配置されない点と、それに伴って第3の容量素子52の電気的接続が回路例(1)の具体例(1)とは異なる点である。回路例(1)の具体例(2)においては、第3の容量素子52の一方の電極は、第2の画素電極と電気的に接続され、第3の容量素子52の他方の電極は、第9の配線109と電気的に接続される。回路例(1)の具体例(2)のその他の接続は、回路例(1)の具体例(1)と同様である。

【0206】

このように、配線の数が減ることにより、表示部内の配線面積を低減することができるため、開口率が向上し消費電力を低減させることができる。なお、回路例(1)の具体例(1)のように配線数が多い場合は、各素子に確実に電圧を供給することができるため、動作が安定するという利点がある。

10

【0207】

なお、回路例(1)の具体例(2)においては、配線数の低減に伴って、第2の容量素子51と第3の容量素子52の電気的接続先が共通となる例を挙げたが、共通となる対象はこれに限定されず、様々な組み合わせをとることができる。たとえば、第1の容量素子50と第3の容量素子52の電気的接続が共通となってもよいし、第4のトランジスタTr4と第3の容量素子52の電気的接続が共通となってもよいし、第4のトランジスタTr4と第2の容量素子51の電気的接続が共通となってもよいし、第4のトランジスタTr4と第1の容量素子50の電気的接続が共通となってもよい。

【0208】

<回路例(1)の具体例(3)>

20

次に、実施の形態2における回路例(1)の他の具体例について述べる。図11(C)に示す回路は、図6(A)で示した回路例(1)の具体例(3)であり、第1のトランジスタTr1と、第2のトランジスタTr2と、第3のトランジスタTr3と、第4のトランジスタTr4と、第1の容量素子50と、第2の容量素子51と、第3の容量素子52と、第1の液晶素子31と、第2の液晶素子32と、第1の配線101と、第2の配線102と、第3の配線103と、第4の配線104と、第5の配線105と、第6の配線106と、第7の配線107と、第8の配線108と、を有する。

【0209】

回路例(1)の具体例(3)と、回路例(1)の具体例(2)が異なっている点は、回路例(1)の具体例(2)では配置されていた第9の配線109が回路例(1)の具体例(3)では配置されない点と、それに伴って第2の容量素子51および第3の容量素子52の電気的接続が回路例(1)の具体例(2)とは異なる点である。回路例(1)の具体例(3)においては、第2の容量素子51の一方の電極は、第1の画素電極と電気的に接続され、第2の容量素子51の他方の電極は、第8の配線108と電気的に接続され、第3の容量素子52の一方の電極は、第2の画素電極と電気的に接続され、第3の容量素子52の他方の電極は、第8の配線108と電気的に接続される。回路例(1)の具体例(3)のその他の接続は、回路例(1)の具体例(2)と同様である。

30

【0210】

このように、配線の数が減ることにより、表示部内の配線面積を低減することができるため、開口率が向上し消費電力を低減させることができる。なお、回路例(1)の具体例(1)および(2)のように配線数が多い場合は、各素子に確実に電圧を供給することができるため、動作が安定するという利点がある。

40

【0211】

なお、回路例(1)の具体例(3)においては、配線数の低減に伴って、第1の容量素子50、第2の容量素子51および第3の容量素子52の電気的接続先が共通となる例を挙げたが、共通となる対象はこれに限定されず、様々な組み合わせをとることができる。たとえば、第4のトランジスタTr4、第2の容量素子51および第3の容量素子52の電気的接続が共通となってもよいし、第4のトランジスタTr4、第3の容量素子52および第1の容量素子50の電気的接続が共通となってもよいし、第4のトランジスタTr4、第1の容量素子50および第2の容量素子51の電気的接続が共通となってもよい。

50

【 0 2 1 2 】

<回路例(1)の具体例(4)>

次に、実施の形態2における回路例(1)の他の具体例について述べる。図11(D)に示す回路は、図6(A)で示した回路例(1)の具体例(4)であり、第1のトランジスタTr1と、第2のトランジスタTr2と、第3のトランジスタTr3と、第4のトランジスタTr4と、第1の容量素子50と、第2の容量素子51と、第3の容量素子52と、第1の液晶素子31と、第2の液晶素子32と、第1の配線101と、第2の配線102と、第3の配線103と、第4の配線104と、第5の配線105と、第6の配線106と、第7の配線107と、を有する。

【 0 2 1 3 】

回路例(1)の具体例(4)と、回路例(1)の具体例(3)が異なっている点は、回路例(1)の具体例(3)では配置されていた第8の配線108が回路例(1)の具体例(4)では配置されない点と、それに伴って第1の容量素子50、第2の容量素子51および第3の容量素子52の電氣的接続が回路例(1)の具体例(3)とは異なる点である。回路例(1)の具体例(4)においては、第1の容量素子50の一方の電極は、容量電極と電氣的に接続され、第1の容量素子50の他方の電極は、第7の配線107と電氣的に接続され、第2の容量素子51の一方の電極は、第1の画素電極と電氣的に接続され、第2の容量素子51の他方の電極は、第7の配線107と電氣的に接続され、第3の容量素子52の一方の電極は、第2の画素電極と電氣的に接続され、第3の容量素子52の他方の電極は、第7の配線107と電氣的に接続される。回路例(1)の具体例(4)のその他の接続は、回路例(1)の具体例(3)と同様である。

【 0 2 1 4 】

このように、配線の数が減ることにより、表示部内の配線面積を低減することができるため、開口率が向上し消費電力を低減させることができる。なお、回路例(1)の具体例(1)乃至(3)のように配線数が多い場合は、各素子に確実に電圧を供給することができるため、動作が安定するという利点がある。

【 0 2 1 5 】

なお、回路例(1)の具体例(4)においては、常に一定の電圧が加えられる配線、いわゆる電源線(液晶共通電極以外)が画素回路内に1本だけ配置される構成があるため、安定な動作と開口率のバランスがよく、特に有用な画素回路である。

【 0 2 1 6 】

なお、回路例(1)の具体例(4)が有する第7の配線は、複数の素子に共通して接続されているため、共通電源線またはコモン線等と記されることもある。

【 0 2 1 7 】

<回路例(1)の具体例(5)>

次に、実施の形態2における回路例(1)の他の具体例について述べる。図12(A)に示す回路は、図6(A)で示した回路例(1)の具体例(5)であり、第1のトランジスタTr1と、第2のトランジスタTr2と、第3のトランジスタTr3と、第4のトランジスタTr4と、第1の容量素子50と、第2の容量素子51と、第3の容量素子52と、第1の液晶素子31と、第2の液晶素子32と、第1の配線101と、第2の配線102と、第3の配線103と、第4の配線104と、第5の配線105と、第6の配線106と、を有する。

【 0 2 1 8 】

回路例(1)の具体例(5)においては、回路例(1)の具体例(1)乃至(4)で示したような、いわゆる電源線(液晶共通電極以外)を1本も配置しない画素構成である。この場合、画素回路内で一定の電圧が必要となる電極については、隣接する画素の走査線と電氣的に接続されることで、一定の電圧が供給される。つまり、隣接する画素の走査線を電源線として用いることができる。

【 0 2 1 9 】

回路例(1)の具体例(5)においては、第k行に属する画素の第1の容量素子50の一

10

20

30

40

50

方の電極は、当該画素の容量電極と電氣的に接続され、第1の容量素子50の他方の電極は、第(k-1)行に属する画素の第4の配線104と電氣的に接続され、第k行に属する画素の第2の容量素子51の一方の電極は、当該画素の第1の画素電極と電氣的に接続され、第2の容量素子51の他方の電極は、第(k-1)行に属する画素の第4の配線104と電氣的に接続され、第k行に属する画素の第3の容量素子52の一方の電極は、当該画素の第2の画素電極と電氣的に接続され、第3の容量素子52の他方の電極は、第(k-1)行に属する画素の第4の配線104と電氣的に接続され、第k行に属する画素の第4のトランジスタTr4のソース電極またはドレイン電極の一方の電極は、当該画素の容量電極と電氣的に接続され、第4のトランジスタTr4のソース電極またはドレイン電極の他方の電極は、第(k-1)行に属する画素の第4の配線104と電氣的に接続され、第4のトランジスタTr4のゲート電極は、当該画素の第4の配線104と電氣的に接続される。回路例(1)の具体例(5)のその他の接続は、回路例(1)の具体例(4)と同様である。なお、kは2以上n以下の整数である(nは表示部の行数)。

10

【0220】

電源線として用いる走査線は、当該画素が属する行(第k行)が選択されるタイミングよりも前に選択される行に属する画素のものであることが好ましい。代表的には、回路例(1)の具体例(5)に示すように、第(k-1)行に属する画素の、第4の走査線を電源線として用いることができる。この理由について、図12(B)に示すタイミングチャートを用いて以下に説明する。

【0221】

図12(B)に示すタイミングチャートは、既に述べた機能(1)を実現するために、第(k-1)行に属する画素の第1の配線101、第2の配線102、第3の配線103、第4の配線104と、第k行に属する画素の第1の配線101、第2の配線102、第3の配線103、第4の配線104のそれぞれに加えられる電圧を、時間軸に沿って示したものである。

20

【0222】

図12(B)に示すように、第(k-1)行に属する画素と、第k行に属する画素では、各スイッチの導通状態は時間的にずれて現れる。図12(B)に示すタイミングチャートでは、このずれ量は1ゲート選択期間となっている。

【0223】

このように、各走査線に加えられる電圧は時間的に変化するものであるが、電圧が変化する期間は限られている。たとえば、表示部の行数が480である場合、1ゲート選択期間は、長くても1フレームの1/480に過ぎない。つまり、走査線に加えられる電圧がハイレベルとなる期間は全体の1/480に過ぎず、残りの479/480の期間は、ずっとローレベルの電圧が加えられていることになる。このような比率の違いによって、走査線をローレベルの電源線として利用できる。

30

【0224】

ただし、たとえわずかな比率であっても、回路が重要な動作を行なっている期間に、電源線として利用している走査線の電圧が変化してしまうことは、できる限り避けたほうが好ましい。具体的に、機能(1)においては、リセット状態、書き込み状態、分配状態となっている期間に、走査線の電圧が変化してしまうと、リセット、書き込み、分配が正しく行なわれない可能性があるため、これは避けたほうが好ましい。

40

【0225】

第k行に属する画素がリセット状態(期間<P1>)、書き込み状態(期間<P3>)、分配状態(期間<P4>)となっているときに、加えられる電圧がハイレベルとなっていないという条件を満たす走査線は、第(k-1)行に属する画素の走査線の中では、第1の配線101、第2の配線102、第4の配線104であることがわかる。その中でも、電圧の変化の頻度が少ないのは第1の配線101および第4の配線104である。さらに、走査線の電圧の変化が表示に与える影響が小さいのは、第4の配線104である。なぜならば、第(k-1)行に属する画素の第4の配線104は、第k行に属する画素がリセ

50

ット状態となる前にハイレベルとなるため、この電圧の変化で第k行に属する画素にどのような影響があったとしても、その後に見れるリセット状態により、表示は強制的に黒表示となることになるためである。

【0226】

このような理由で、図12(A)に示す回路においては、第(k-1)行に属する画素の第4の走査線を電源線として用いている。しかし、これ以外の走査線を電源線として利用することもできる。たとえば、第(k-1)行に属する画素の第1の走査線または第2の走査線を利用することもできる。さらに、第(k-1)行よりも前の行に属する走査線を、第k行に属する画素の電源線として用いることもできる。いずれにしても、上述した条件を満たす走査線であれば、電源線として利用することができる。

10

【0227】

このように、走査線を電源線として利用することで、配線の数が減り、表示部内の配線面積を低減することができるため、開口率が向上し、消費電力を低減させることができる。

【0228】

<回路例(2)の具体例>

次に、実施の形態2における回路例(2)の具体例について述べる。図13(A)に示す回路は、図7(A)で示した回路例(2)の具体例であり、第1のトランジスタTr1と、第2のトランジスタTr2と、第3のトランジスタTr3と、第4のトランジスタTr4と、第1の容量素子50と、第2の容量素子51と、第3の容量素子52と、第1の液晶素子31と、第2の液晶素子32と、第1の配線101と、第2の配線102と、第3の配線103と、第4の配線104と、第5の配線105と、第6の配線106と、第7の配線107と、を有する。

20

【0229】

第1の容量素子50の一方の電極は、第7の配線107と電氣的に接続される。ここで、第1の容量素子50の電極のうち、第7の配線107と電氣的に接続された電極とは別の電極の方を、容量電極と呼ぶこととする。

【0230】

第1の液晶素子31の一方の電極は、第6の配線106と電氣的に接続される。ここで、第1の液晶素子31の電極のうち、第6の配線106と電氣的に接続された電極とは別の電極の方を、第1の画素電極と呼ぶこととする。

30

【0231】

第2の液晶素子32の一方の電極は、第6の配線106と電氣的に接続される。ここで、第2の液晶素子32の電極のうち、第6の配線106と電氣的に接続された電極とは別の電極の方を、第2の画素電極と呼ぶこととする。

【0232】

第1のトランジスタTr1のソース電極またはドレイン電極の一方の電極は、第5の配線105と電氣的に接続され、第1のトランジスタTr1のソース電極またはドレイン電極の他方の電極は、第2の画素電極と電氣的に接続され、第1のトランジスタTr1のゲート電極は、第1の配線101と電氣的に接続される。

【0233】

第2のトランジスタTr2のソース電極またはドレイン電極の一方の電極は、第2の画素電極と電氣的に接続され、第2のトランジスタTr2のソース電極またはドレイン電極の他方の電極は、第1の画素電極と電氣的に接続され、第2のトランジスタTr2のゲート電極は、第2の配線102と電氣的に接続される。

40

【0234】

第3のトランジスタTr3のソース電極またはドレイン電極の一方の電極は、容量電極と電氣的に接続され、第3のトランジスタTr3のソース電極またはドレイン電極の他方の電極は、第2の画素電極と電氣的に接続され、第3のトランジスタTr3のゲート電極は、第3の配線103と電氣的に接続される。

【0235】

50

第4のトランジスタTr4のソース電極またはドレイン電極の一方の電極は、第2の画素電極と電氣的に接続され、第4のトランジスタTr4のソース電極またはドレイン電極の他方の電極は、第7の配線107と電氣的に接続され、第4のトランジスタTr4のゲート電極は、第4の配線104と電氣的に接続される。

【0236】

第2の容量素子51の一方の電極は、第1の画素電極と電氣的に接続され、第2の容量素子51の他方の電極は、第7の配線107と電氣的に接続される。

第3の容量素子52の一方の電極は、第2の画素電極と電氣的に接続され、第3の容量素子52の他方の電極は、第7の配線107と電氣的に接続される。

【0237】

ここで、各トランジスタのサイズW/Lは、(Tr1またはTr4) > (Tr2またはTr3)であることが好ましい。なぜならば、リセット状態または書き込み状態のときに、Tr1またはTr4には、Tr2またはTr3に流れる電流よりも大きな電流がながれるためである。こうすることで、素早く書き込みまたはリセットを行うことができる。さらに詳細には、Tr1およびTr4のサイズについては、Tr1 > Tr4であることが好ましい。なぜならば、Tr1によって行なわれる電圧の書き込みは、1ゲート選択期間内に収まるように行なわれるため、時間的な余裕がより少ないからである。Tr2およびTr3のサイズについては、それぞれが電氣的に接続されている液晶素子または容量素子が有する電極がより大きい方が、トランジスタのサイズも大きいことが好ましい。なぜならば、電極が大きい素子は静電容量値も大きくなるため、そのような素子に対しては、より大きな電流によって書き込み、リセット、分配等が行なわれる必要があるからである。

【0238】

なお、図13(A)に示す回路は、基板上に並置されることで表示部が形成される。そして、図13(A)に示す回路は表示部を形成する回路の最小単位であり、これを画素または画素回路と呼ぶ。

【0239】

なお、図13(A)に示す回路が有する第1乃至第7の配線は、それぞれ隣接する画素回路と共有される。

【0240】

なお、図13(D)に示すように、第6の配線106と、第7の配線107は、それぞれ電氣的に接続されていてもよい。

【0241】

なお、図13(A)に示す回路が有する第1乃至第7の配線を、それぞれが有する役割から区別すると、次のようになっている。第1の配線101は、第1のトランジスタTr1を制御するための第1の走査線としての機能を有することができる。第2の配線102は、第2のトランジスタTr2を制御するための第2の走査線としての機能を有することができる。第3の配線103は、第3のトランジスタTr3を制御するための第3の走査線としての機能を有することができる。第4の配線104は、第4のトランジスタTr4を制御するための第4の走査線としての機能を有することができる。第5の配線105は、データ電圧が加えられるデータ線としての機能を有することができる。第6の配線106は、液晶素子に加えられる電圧を制御するための液晶共通電極としての機能を有することができる。第7の配線107は、共通の電圧が加えられるコモン線としての機能を有することができる。ただし、これに限定されず、各配線は様々な役割を有することができる。特に、同じ電圧を加えるための配線同士は、互いに電氣的に接続された、共通の配線とすることができる。共通の配線とすることで、回路における配線の面積を低減することができるので、開口率を向上させることができ、その結果、消費電力を低減することができる。さらに具体的には、液晶共通電極がトランジスタ基板側に設けられる構成の液晶素子(I PSモード、FFSモード等)が用いられる場合は、第6の配線106と、第7の配線107を、互いに電氣的に接続させることができる。

【0242】

10

20

30

40

50

なお、回路例(2)の具体例としては、重複した説明を避けるため、液晶共通電極以外の電源線が一つの画素回路内に1本である場合のみを挙げているが、回路例(2)においても、回路例(1)の具体例(1)乃至(4)で述べたように、様々な本数の電源線を用いることができる。さらに、回路例(1)の具体例(5)で述べたように、電源線を省略することもできる。

【0243】

<回路例(3)の具体例>

次に、実施の形態2における回路例(3)の具体例について述べる。図13(B)に示す回路は、図8(A)で示した回路例(3)の具体例であり、第1のトランジスタTr1と、第2のトランジスタTr2と、第3のトランジスタTr3と、第4のトランジスタTr4と、第1の容量素子50と、第2の容量素子51と、第3の容量素子52と、第1の液晶素子31と、第2の液晶素子32と、第1の配線101と、第2の配線102と、第3の配線103と、第4の配線104と、第5の配線105と、第6の配線106と、第7の配線107と、を有する。

10

【0244】

第1の容量素子50の一方の電極は、第7の配線107と電氣的に接続される。ここで、第1の容量素子50の電極のうち、第7の配線107と電氣的に接続された電極とは別の電極の方を、容量電極と呼ぶこととする。

【0245】

第1の液晶素子31の一方の電極は、第6の配線106と電氣的に接続される。ここで、第1の液晶素子31の電極のうち、第6の配線106と電氣的に接続された電極とは別の電極の方を、第1の画素電極と呼ぶこととする。

20

【0246】

第2の液晶素子32の一方の電極は、第6の配線106と電氣的に接続される。ここで、第2の液晶素子32の電極のうち、第6の配線106と電氣的に接続された電極とは別の電極の方を、第2の画素電極と呼ぶこととする。

【0247】

第1のトランジスタTr1のソース電極またはドレイン電極の一方の電極は、第5の配線105と電氣的に接続され、第1のトランジスタTr1のソース電極またはドレイン電極の他方の電極は、第1の画素電極と電氣的に接続され、第1のトランジスタTr1のゲート電極は、第1の配線101と電氣的に接続される。

30

【0248】

第2のトランジスタTr2のソース電極またはドレイン電極の一方の電極は、第1の画素電極と電氣的に接続され、第2のトランジスタTr2のソース電極またはドレイン電極の他方の電極は、容量電極と電氣的に接続され、第2のトランジスタTr2のゲート電極は、第2の配線102と電氣的に接続される。

【0249】

第3のトランジスタTr3のソース電極またはドレイン電極の一方の電極は、容量電極と電氣的に接続され、第3のトランジスタTr3のソース電極またはドレイン電極の他方の電極は、第2の画素電極と電氣的に接続され、第3のトランジスタTr3のゲート電極は、第3の配線103と電氣的に接続される。

40

【0250】

第4のトランジスタTr4のソース電極またはドレイン電極の一方の電極は、第2の画素電極と電氣的に接続され、第4のトランジスタTr4のソース電極またはドレイン電極の他方の電極は、第7の配線107と電氣的に接続され、第4のトランジスタTr4のゲート電極は、第4の配線104と電氣的に接続される。

【0251】

第2の容量素子51の一方の電極は、第1の画素電極と電氣的に接続され、第2の容量素子51の他方の電極は、第7の配線107と電氣的に接続される。第3の容量素子52の一方の電極は、第2の画素電極と電氣的に接続され、第3の容量素子52の他方の電極は

50

、第7の配線107と電氣的に接続される。

【0252】

ここで、各トランジスタのサイズ W/L は、 $(Tr1$ または $Tr4) > (Tr2$ または $Tr3)$ であることが好ましい。なぜならば、リセット状態または書き込み状態のときに、 $Tr1$ または $Tr4$ には、 $Tr2$ または $Tr3$ に流れる電流よりも大きな電流がながれるためである。こうすることで、素早く書き込みまたはリセットを行うことができる。さらに詳細には、 $Tr1$ および $Tr4$ のサイズについては、 $Tr1 > Tr4$ であることが好ましい。なぜならば、 $Tr1$ によって行なわれる電圧の書き込みは、1ゲート選択期間内に収まるように行なわれるため、時間的な余裕がより少ないからである。 $Tr2$ および $Tr3$ のサイズについては、それぞれが電氣的に接続されている液晶素子または容量素子が有する電極がより大きい方が、トランジスタのサイズも大きいことが好ましい。なぜならば、電極が大きい素子は静電容量値も大きくなるため、そのような素子に対しては、より大きな電流によって書き込み、リセット、分配等が行なわれる必要があるからである。

10

【0253】

なお、図13(B)に示す回路は、基板上に並置されることで表示部が形成される。そして、図13(B)に示す回路は表示部を形成する回路の最小単位であり、これを画素または画素回路と呼ぶ。

【0254】

なお、図13(B)に示す回路が有する第1乃至第7の配線は、それぞれ隣接する画素回路と共有される。

20

【0255】

なお、図13(D)に示すように、第6の配線106と、第7の配線107は、それぞれ電氣的に接続されていてもよい。

【0256】

なお、図13(B)に示す回路が有する第1乃至第7の配線を、それぞれが有する役割から区別すると、次のようになっている。第1の配線101は、第1のトランジスタ $Tr1$ を制御するための第1の走査線としての機能を有することができる。第2の配線102は、第2のトランジスタ $Tr2$ を制御するための第2の走査線としての機能を有することができる。第3の配線103は、第3のトランジスタ $Tr3$ を制御するための第3の走査線としての機能を有することができる。第4の配線104は、第4のトランジスタ $Tr4$ を制御するための第4の走査線としての機能を有することができる。第5の配線105は、データ電圧が加えられるデータ線としての機能を有することができる。第6の配線106は、液晶素子に加えられる電圧を制御するための液晶共通電極としての機能を有することができる。第7の配線107は、共通の電圧が加えられるコモン線としての機能を有することができる。ただし、これに限定されず、各配線は様々な役割を有することができる。特に、同じ電圧を加えるための配線同士は、互いに電氣的に接続された、共通の配線とすることができる。共通の配線とすることで、回路における配線の面積を低減することができるので、開口率を向上させることができ、その結果、消費電力を低減することができる。さらに具体的には、液晶共通電極がトランジスタ基板側に設けられる構成の液晶素子(I PSモード、F F Sモード等)が用いられる場合は、第6の配線106と、第7の配線107を、互いに電氣的に接続させることができる。

30

40

【0257】

なお、回路例(3)の具体例としては、重複した説明を避けるため、液晶共通電極以外の電源線が一つの画素回路内に1本である場合のみを挙げているが、回路例(3)においても、回路例(1)の具体例(1)乃至(4)で述べたように、様々な本数の電源線を用いることができる。さらに、回路例(1)の具体例(5)で述べたように、電源線を省略することもできる。

【0258】

<回路例(4)の具体例>

次に、実施の形態2における回路例(4)の具体例について述べる。図13(C)に示す

50

回路は、図9(A)で示した回路例(4)の具体例であり、第1のトランジスタTr1と、第2のトランジスタTr2₁と、第3のトランジスタTr3と、第4のトランジスタTr4と、第5のトランジスタTr2₂と、第1の容量素子50と、第2の容量素子51と、第3の容量素子52と、第1の液晶素子31と、第2の液晶素子32と、第1の配線101と、第2の配線102と、第3の配線103と、第4の配線104と、第5の配線105と、第6の配線106と、第7の配線107と、第8の配線111と、を有する。

【0259】

第1の容量素子50の一方の電極は、第7の配線107と電氣的に接続される。ここで、第1の容量素子50の電極のうち、第7の配線107と電氣的に接続された電極とは別の電極の方を、容量電極と呼ぶこととする。

10

【0260】

第1の液晶素子31の一方の電極は、第6の配線106と電氣的に接続される。ここで、第1の液晶素子31の電極のうち、第6の配線106と電氣的に接続された電極とは別の電極の方を、第1の画素電極と呼ぶこととする。

【0261】

第2の液晶素子32の一方の電極は、第6の配線106と電氣的に接続される。ここで、第2の液晶素子32の電極のうち、第6の配線106と電氣的に接続された電極とは別の電極の方を、第2の画素電極と呼ぶこととする。

【0262】

さらに、図13(C)に示す回路例(4)の具体例は、図9(A)で示したように、内部電極Pを有する。

20

【0263】

第1のトランジスタTr1のソース電極またはドレイン電極の一方の電極は、第5の配線105と電氣的に接続され、第1のトランジスタTr1のソース電極またはドレイン電極の他方の電極は、内部電極Pと電氣的に接続され、第1のトランジスタTr1のゲート電極は、第1の配線101と電氣的に接続される。

【0264】

第2のトランジスタTr2₁のソース電極またはドレイン電極の一方の電極は、内部電極Pと電氣的に接続され、第2のトランジスタTr2₁のソース電極またはドレイン電極の他方の電極は、第1の画素電極と電氣的に接続され、第2のトランジスタTr2₁のゲート電極は、第2の配線102と電氣的に接続される。

30

【0265】

第3のトランジスタTr3のソース電極またはドレイン電極の一方の電極は、内部電極Pと電氣的に接続され、第3のトランジスタTr3のソース電極またはドレイン電極の他方の電極は、容量電極と電氣的に接続され、第3のトランジスタTr3のゲート電極は、第3の配線103と電氣的に接続される。

【0266】

第4のトランジスタTr4のソース電極またはドレイン電極の一方の電極は、内部電極Pと電氣的に接続され、第4のトランジスタTr4のソース電極またはドレイン電極の他方の電極は、第7の配線107と電氣的に接続され、第4のトランジスタTr4のゲート電極は、第4の配線104と電氣的に接続される。

40

【0267】

第5のトランジスタTr2₂のソース電極またはドレイン電極の一方の電極は、内部電極Pと電氣的に接続され、第5のトランジスタTr2₂のソース電極またはドレイン電極の他方の電極は、第2の画素電極と電氣的に接続され、第5のトランジスタTr2₂のゲート電極は、第8の配線111と電氣的に接続される。

【0268】

第2の容量素子51の一方の電極は、第1の画素電極と電氣的に接続され、第2の容量素子51の他方の電極は、第7の配線107と電氣的に接続される。第3の容量素子52の

50

一方の電極は、第2の画素電極と電氣的に接続され、第3の容量素子52の他方の電極は、第7の配線107と電氣的に接続される。

【0269】

ここで、各トランジスタのサイズ W/L は、 $(Tr1$ または $Tr4) > (Tr2_1, Tr2_2$ または $Tr3)$ であることが好ましい。なぜならば、リセット状態または書き込み状態のときに、 $Tr1$ または $Tr4$ には、 $Tr2_1$ 、 $Tr2_2$ または $Tr3$ に流れる電流よりも大きな電流がながれるためである。こうすることで、素早く書き込みまたはリセットを行うことができる。さらに詳細には、 $Tr1$ および $Tr4$ のサイズについては、 $Tr1 > Tr4$ であることが好ましい。なぜならば、 $Tr1$ によって行なわれる電圧の書き込みは、1ゲート選択期間内に収まるように行なわれるため、時間的な余裕がより少ないからである。 $Tr2_1$ 、 $Tr2_2$ または $Tr3$ のサイズについては、それぞれが電氣的に接続されている液晶素子または容量素子が有する電極がより大きい方が、トランジスタのサイズも大きいことが好ましい。なぜならば、電極が大きい素子は静電容量値も大きくなるため、そのような素子に対しては、より大きな電流によって書き込み、リセット、分配等が行なわれる必要があるからである。

10

【0270】

なお、図13(C)に示す回路は、基板上に並置されることで表示部が形成される。そして、図13(C)に示す回路は表示部を形成する回路の最小単位であり、これを画素または画素回路と呼ぶ。

【0271】

なお、図13(C)に示す回路が有する第1乃至第8の配線は、それぞれ隣接する画素回路と共有される。

20

【0272】

なお、図13(D)に示すように、第6の配線106と、第7の配線107は、それぞれ電氣的に接続されていてもよい。

【0273】

なお、図13(C)に示す回路が有する第1乃至第8の配線を、それぞれが有する役割から区別すると、次のようになっている。第1の配線101は、第1のトランジスタ $Tr1$ を制御するための第1の走査線としての機能を有することができる。第2の配線102は、第2のトランジスタ $Tr2_1$ を制御するための第2の走査線としての機能を有することができる。第3の配線103は、第3のトランジスタ $Tr3$ を制御するための第3の走査線としての機能を有することができる。第4の配線104は、第4のトランジスタ $Tr4$ を制御するための第4の走査線としての機能を有することができる。第5の配線105は、データ電圧が加えられるデータ線としての機能を有することができる。第6の配線106は、液晶素子に加えられる電圧を制御するための液晶共通電極としての機能を有することができる。第7の配線107は、共通の電圧が加えられるコモン線としての機能を有することができる。第8の配線111は、第5のトランジスタ $Tr2_2$ を制御するための第5の配線としての機能を有することができる。ただし、これに限定されず、各配線は様々な役割を有することができる。特に、同じ電圧を加えるための配線同士は、互いに電氣的に接続された、共通の配線とすることができる。共通の配線とすることで、回路における配線の面積を低減することができるので、開口率を向上させることができ、その結果、消費電力を低減することができる。さらに具体的には、液晶共通電極がトランジスタ基板側に設けられる構成の液晶素子(I PSモード、F FSモード等)が用いられる場合は、第6の配線106と、第7の配線107を、互いに電氣的に接続させることができる。

30

40

【0274】

なお、回路例(4)の具体例としては、重複した説明を避けるため、液晶共通電極以外の電源線が一つの画素回路内に1本である場合のみを挙げているが、回路例(4)においても、回路例(1)の具体例(1)乃至(4)で述べたように、様々な本数の電源線を用いることができる。さらに、回路例(1)の具体例(5)で述べたように、電源線を省略することもできる。

50

【 0 2 7 5 】

なお、本実施の形態においては、表示素子を液晶素子として説明したが、他の表示素子、たとえば自発光する素子、蛍光体の発光を利用する素子、外光の反射を利用する素子、等を用いることもできる。自発光する素子を用いた表示装置は、たとえば有機 E L ディスプレイ、無機 E L ディスプレイ等が挙げられる。蛍光体の発光を利用する素子を用いた表示装置は、たとえば陰極線管 (C R T) を用いたもの、プラズマディスプレイパネル (P D P)、フィールドエミッションディスプレイ (F E D)、等が挙げられる。外光の反射を利用する素子を用いた表示装置は、たとえば電子ペーパー等が挙げられる。

【 0 2 7 6 】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容 (一部でもよい) は、別の図で述べた内容 (一部でもよい)、別の実施の形態の図で述べた内容 (一部でもよい) に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分、別の実施の形態の部分の組み合わせることが出来る。

10

【 0 2 7 7 】

(実施の形態 4)

本実施の形態においては、これまで説明した様々な回路例について、液晶素子以外の表示素子を有する場合について説明する。既に述べたように、本明細書における画素が有することができる表示素子は、液晶素子以外にも、様々なものを用いることができる。

【 0 2 7 8 】

実施の形態 1 乃至 3 で説明した画素構成における表示素子は、液晶素子以外にも様々なものを用いることができる。表示素子として液晶素子以外のものを用いる場合、その表示素子が液晶素子のように直流の電圧で駆動され、表示素子自体に流れる電流が小さいものであるときは、これまで説明した構成において、液晶素子をその表示素子に置き換えればよい。しかし、置き換えられる表示素子が、電流で駆動される表示素子 (電流駆動表示素子) であるときは、単に表示素子を置き換えるだけでなく、以下に説明するような構成の変更を行なう必要がある。

20

【 0 2 7 9 】

電流駆動表示素子としては、高い結晶性を有する発光ダイオード (L E D)、有機材料を用いた有機発光ダイオード (O L E D : 有機 E L とも記す)、等がある。電流駆動表示素子は、表示素子を流れる電流の量によって、素子の発光強度が決まる表示素子である。図 1 4 (A) および (B) は、実施の形態 1 で説明した画素構成において、電流駆動表示素子を用いた場合の画素構成の例である。

30

【 0 2 8 0 】

図 1 4 (A) に示す画素構成例は、図 1 (A) に示した画素構成例のうち、第 1 のサブ画素 4 1 および第 2 のサブ画素 4 2 の構成が異なっており、他は同様の構成である。異なっている点は、具体的には、図 1 (A) に示した画素構成例においては、第 1 のサブ画素 4 1 は、第 1 の液晶素子 3 1 および第 1 の共通電極によって構成され、第 2 のサブ画素 4 2 は、第 2 の液晶素子 3 2 および第 2 の共通電極によって構成されていたが、図 1 4 (A) に示す画素構成例においては、第 1 のサブ画素 4 1 は、第 1 の電流制御回路 1 2 1 と、第 1 の電流駆動表示素子 1 3 1 と、第 1 の陽極配線 1 4 1 と、第 1 の陰極配線 1 5 1 と、によって構成され、第 2 のサブ画素 4 2 は、第 2 の電流制御回路 1 2 2 と、第 2 の電流駆動表示素子 1 3 2 と、第 2 の陽極配線 1 4 2 と、第 2 の陰極配線 1 5 2 と、によって構成されている点である。

40

【 0 2 8 1 】

図 1 4 (A) に示す画素構成例における第 1 のサブ画素 4 1 において、第 1 の電流制御回路 1 2 1 は、少なくとも 3 つの電極 1 2 1 a、1 2 1 b、1 2 1 c を有し、電極 1 2 1 a は第 1 の回路 1 0 と電氣的に接続され、電極 1 2 1 b は第 1 の陽極配線 1 4 1 と電氣的に接続され、電極 1 2 1 c は第 1 の電流駆動表示素子 1 3 1 と電氣的に接続される。第 1 の電流駆動表示素子 1 3 1 は少なくとも 2 つの電極を有し、一方の電極は電極 1 2 1 c と電

50

氣的に接続され、他方の電極は第1の陰極配線151と電氣的に接続される。

【0282】

同様に、第2のサブ画素42において、第2の電流制御回路122は、少なくとも3つの電極122a、122b、122cを有し、電極122aは第1の回路10と電氣的に接続され、電極122bは第2の陽極配線142と電氣的に接続され、電極122cは第2の電流駆動表示素子132と電氣的に接続される。第2の電流駆動表示素子132は少なくとも2つの電極を有し、一方の電極は電極122cと電氣的に接続され、他方の電極は第2の陰極配線152と電氣的に接続される。

【0283】

ここで、第1の電流制御回路121および第2の電流制御回路122は、それぞれ、第1の電流駆動表示素子131および第2の電流駆動表示素子132に流れる電流を、第1の回路10から供給される電圧にしたがって制御するための回路である。このような機能を有する第1の電流制御回路121または第2の電流制御回路122の具体例を、図14(C)および図14(D)に示す。

10

【0284】

図14(C)に示す回路は、Pチャネル型のトランジスタであり、そのゲート電極は電極121aまたは電極122aと電氣的に接続され、ソース電極及びドレイン電極の一方は電極121bまたは電極122bと電氣的に接続され、ソース電極及びドレイン電極の他方は電極121cまたは電極122cと電氣的に接続されている。このような構成とすることで、電極121aまたは電極122aに加えられる電圧にしたがって、電流駆動表示素子を流れる電流を制御することができる。

20

【0285】

図14(D)に示す回路は、Nチャネル型のトランジスタであり、そのゲート電極は電極121aまたは電極122aと電氣的に接続され、ソース電極及びドレイン電極の一方は電極121bまたは電極122bと電氣的に接続され、ソース電極及びドレイン電極の他方は電極121cまたは電極122cと電氣的に接続されている。このような構成とすることで、電極121aまたは電極122aに加えられる電圧にしたがって、電流駆動表示素子を流れる電流を制御することができる。

【0286】

なお、図14(B)に示す画素構成例は、第1の電流駆動表示素子131および第2の電流駆動表示素子132の向きを図14(A)に示す画素構成例と逆にした以外は、図14(A)に示す画素構成例と同様である。

30

【0287】

図14(A)に示す画素構成例における第1の電流制御回路121および第2の電流制御回路122を、図14(C)に示す回路のようにした場合、Pチャネル型トランジスタのソース電極の電位を固定することが容易であるため、電流駆動表示素子の電流電圧特性に関わらず、一定の電流を流すことができる。これにより、たとえば、電流駆動表示素子が劣化して電流電圧特性が変化した場合でも、電流駆動表示素子の発光強度を劣化前と変化させないことができるため、表示装置の焼きつきを抑制できるという利点を有する。

【0288】

逆に、図14(A)に示す画素構成例における第1の電流制御回路121および第2の電流制御回路122を、図14(D)に示す回路のようにした場合、たとえば、第1の回路10が有するスイッチをNチャネル型トランジスタで実現した場合に、図14(A)に示す画素構成例が有する全てのトランジスタの極性をNチャネル型とすることができる。これにより、両方の極性のトランジスタを有する回路とした場合に比べて、表示装置の製造プロセスを低減できるので、製造コストを低減できるという利点を有する。

40

【0289】

さらに、図14(B)に示す画素構成例における第1の電流制御回路121および第2の電流制御回路122を、図14(D)に示す回路のようにした場合、Nチャネル型トランジスタのソース電極の電位を固定することが容易であるため、電流駆動表示素子の電流電圧

50

特性に関わらず、一定の電流を流すことができる。これにより、たとえば、電流駆動表示素子が劣化して電流電圧特性が変化した場合でも、電流駆動表示素子の発光強度を劣化前と変化させないことができるため、表示装置の焼きつきを抑制できるという利点を有する。

【0290】

逆に、図14(B)に示す画素構成例における第1の電流制御回路121および第2の電流制御回路122を、図14(C)に示す回路のようにした場合、たとえば、第1の回路10が有するスイッチをPチャネル型トランジスタで実現した場合に、図14(B)に示す画素構成例が有する全てのトランジスタの極性をPチャネル型とすることができる。これにより、両方の極性のトランジスタを有する回路とした場合に比べて、表示装置の製造プロセスを低減できるので、製造コストを低減できるという利点を有する。

10

【0291】

なお、電流制御回路は、図14(C)および図14(D)に示す回路以外にも、様々な回路を用いることができる。たとえば、電流制御回路を、いわゆる閾値補正型回路とすれば、トランジスタの閾値を補正することができるため、画素間の電流値のばらつきを低減することができる、均一で美しい表示を行うことが可能となる。

【0292】

閾値補正型回路の一例を図14(E)に示す。図14(E)に示す電流制御回路は、スイッチ160、161、162、容量素子170、171、配線180、181を有する。スイッチ160の一方の電極は、トランジスタのゲート電極と電氣的に接続され、スイッチ160の他方の電極は、トランジスタのソース電極またはドレイン電極の一方と電氣的に接続される。スイッチ161の一方の電極は、トランジスタのソース電極またはドレイン電極の一方と電氣的に接続され、スイッチ161の他方の電極は、電極121cまたは電極122cと電氣的に接続される。スイッチ162の一方の電極は、トランジスタのゲート電極と電氣的に接続され、スイッチ162の他方の電極は、配線181と電氣的に接続される。容量素子170の一方の電極は、トランジスタのゲート電極と電氣的に接続され、容量素子170の他方の電極は、配線180と電氣的に接続される。容量素子171の一方の電極は、トランジスタのゲート電極と電氣的に接続され、容量素子171の他方の電極は、電極121aまたは電極122aと電氣的に接続される。なお、図14(E)に示す閾値補正型回路では、Pチャネル型トランジスタが用いられているが、Nチャネル型トランジスタが用いられてもよい。

20

30

【0293】

図14(E)に示す電流制御回路の動作を簡単に説明する。まず、スイッチ161をオフ状態、スイッチ162をオン状態とすることで、容量素子170および171を初期化する。このときの初期化電圧は配線181から供給され、初期化電圧はトランジスタが確実にオン状態となる電圧であればよい。その後、スイッチ160をオン状態、スイッチ161をオフ状態、スイッチ162をオフ状態とすることで、トランジスタを通じて容量素子170および171に電流を流す。この状態における電流は、トランジスタのゲートソース間電圧が、トランジスタの閾値と等しくなったところで止まる。このとき、電極121aまたは電極122aの電圧は、ある一定の電圧に固定しておく。こうすることで、容量素子171の両端に、トランジスタの閾値に従った電圧をかけることができる。その次に、トランジスタのゲート電極を浮遊状態(スイッチ160をオフ状態、スイッチ162をオフ状態)とした上で、電極121aまたは電極122aに画像信号に従った電圧を加える。こうすることで、トランジスタのゲート電圧に、トランジスタの閾値を補正した形で、画像信号に従った電圧を加えることができる。この状態で、スイッチ161をオン状態とすれば、トランジスタを通じて、画像信号に従った電流を電流駆動表示素子に流すことができる。なお、容量素子170はトランジスタのゲート電極に加えられる電圧を保持するためのものであるため、トランジスタの寄生容量等、他の手段でゲート電極に加えられる電圧を保持することができるならば、必ずしも設けられなくてもよい。なお、配線180に加えられる電圧は、一定の電圧であればよい。そのため、たとえば、電極121bま

40

50

たは電極 1 2 2 b と電氣的に接続されてもよい。

【 0 2 9 4 】

参考例として、図 6 (A) に示した回路例 (1) の第 1 のサブ画素 4 1 および第 2 のサブ画素 4 2 が有する液晶素子を、本実施の形態で説明したように電流駆動表示素子と置き換えると、図 1 5 (A) に示す回路のようになることを示す。図 1 5 (A) に示す回路は、電流制御回路として、図 1 4 (C) に示す回路を用いた例である。図 1 5 (A) に示す回路により、有機 E L 素子等の電流駆動表示素子を用いた場合でも、実施の形態 1 乃至 3 に示したような駆動を行なうことができる。さらに、この場合、有機 E L 素子等の電流駆動表示素子を用いた場合としては画素構成が簡単であるため、製造の歩留まりを高くすることができる。

10

【 0 2 9 5 】

他の参考例として、同じく図 6 (A) に示した回路例 (1) の第 1 のサブ画素 4 1 および第 2 のサブ画素 4 2 が有する液晶素子を、本実施の形態で説明したように電流駆動表示素子と置き換え、さらに、電流制御回路として、図 1 4 (E) に示す回路を用いた例を、図 1 5 (B) に示す。この場合、トランジスタの閾値を補正することができるため、画素間の電流値のばらつきを低減することができ、均一で美しい表示を行うことが可能となる。なお、スイッチ 1 6 2 は、スイッチ S W 4 と同じタイミングで制御されることができる。さらに、配線 1 8 1 は第 1 の配線 1 1 と電氣的に接続されてもよい。

【 0 2 9 6 】

なお、本実施の形態のように、サブ画素に有機 E L 素子等の電流駆動表示素子を用いる利点は、たとえば、サブ画素を用いることにより、明るく光るサブ画素と暗く光るサブ画素を同時に実現することができるため、暗いサブ画素の表示素子の寿命を長くすることができる点である。さらに、明るく光るサブ画素と暗く光るサブ画素を一定期間 (たとえば 1 フレーム期間) で交代するように駆動すれば、表示素子の劣化がサブ画素間で平均化されるため、さらに表示素子の劣化を抑制することが可能となる。

20

【 0 2 9 7 】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容 (一部でもよい) は、別の図で述べた内容 (一部でもよい)、別の実施の形態の図で述べた内容 (一部でもよい) に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分、別の実施の形態の部分の部分を組み合わせることが出来る。

30

【 0 2 9 8 】

(実施の形態 5)

本実施の形態においては、これまで説明した様々な画素構成によって形成された表示部を有する表示パネルの構成について説明する。

【 0 2 9 9 】

なお、本実施の形態において、表示パネルとは、画素回路が形成された基板と、それに接して形成された構造物全体のことをいう。たとえば、画素回路がガラス基板上に形成されている場合は、ガラス基板と、ガラス基板に接して形成されたトランジスタ、配線等を合わせて表示パネルと呼ぶこととする。

40

【 0 3 0 0 】

表示パネルには、画素回路の他にも、画素回路を駆動するための周辺駆動回路が形成される場合がある (一体形成) 。周辺駆動回路には、表示部の走査線を制御するスキュンドライバ (走査線ドライバ、ゲートドライバ等とも呼ぶ) 、信号線を制御するデータドライバ (信号線ドライバ、ソースドライバ等とも呼ぶ) が代表的なものであり、さらに、これらのドライバを制御するためのタイミングコントローラ、画像データを処理するデータ処理部、電源電圧を生成する電源回路、デジタルアナログコンバータの基準電圧生成部等も、周辺駆動回路に含まれる場合がある。

【 0 3 0 1 】

そして、周辺駆動回路を、画素回路と同一基板上に一体形成することによって、表示パネ

50

ルと外部回路の基板接続点の数を減少させることができる。基板接続点は機械的な強度が弱く、接続不良が発生しやすいため、基板接続点の数を減少させることができることは、装置の信頼性を大きく向上させることができ、さらに、外部回路の数を減少できるので、その分、製造コストを減少できるという利点がある。

【0302】

しかしながら、画素回路が形成される基板上の半導体素子は、単結晶半導体基板に形成される素子と比べると、移動度が小さく、素子間の特性ばらつきも大きい。そのため、周辺駆動回路を画素回路と同一基板上に一体形成する場合は、その回路の機能を実現するために必要となる素子性能の向上、または素子性能の不足を補うための回路技術等、様々な検討が必要となる。

10

【0303】

周辺駆動回路を画素回路と同一基板上に一体形成する場合は、たとえば、(1)表示部のみを形成、(2)表示部およびスキヤンドライバの一体形成、(3)表示部、スキヤンドライバおよびデータドライバの一体形成、(4)表示部、スキヤンドライバ、データドライバおよびその他の周辺駆動回路の一体形成、という構成が主として挙げられる。ただし、一体形成する回路の組み合わせは、これら以外でもよい。たとえば、スキヤンドライバが位置する部分の額縁面積を小さくする必要はあるがデータドライバが位置する部分の額縁面積は小さくする必要がない場合は、(5)表示部およびデータドライバの一体形成、という構成が最適である場合もある。同様に、(6)表示部およびその他の周辺駆動回路の一体形成、(7)表示部、データドライバおよびその他の周辺駆動回路の一体形成、(8)表示部、スキヤンドライバおよびその他の周辺駆動回路の一体形成、という構成もとることができる。

20

【0304】

<(1)表示部のみを形成>

上述した組み合わせのうち、(1)表示部のみを形成、について、図16(A)を参照して説明する。図16(A)に示す表示パネル200は、表示部201と、接続部202を有する。接続部202は複数の電極を有し、接続部202に接続基板203を接続することで、駆動信号を表示パネル200の外から表示パネル200の中へ入力することができる。

【0305】

なお、スキヤンドライバおよびデータドライバが表示部と一体形成されない場合、接続部202が有する電極の数は、表示部201が有する走査線の本数と信号線の本数の和程度の数となる。ただし、信号線への入力を時分割で行なうことで、信号線の電極の数を時分割数分の1にすることができる。たとえば、カラー表示を行うことができる表示装置では、R、G、Bに対応する信号線への入力を時分割で行なうことで、信号線の電極の数を3分の1にすることができる。これは、本実施の形態における他の例でも同様である。

30

【0306】

なお、表示部201と一体形成されない周辺駆動回路は、単結晶半導体で作製されたICを用いることができる。ICは、外部のプリント基板に実装されてもよいし、接続基板203上に実装(TAB)されてもよいし、表示パネル200上に実装(COG)されていてもよい。これは、本実施の形態における他の例でも同様である。

40

【0307】

なお、表示パネル200は、表示部201が有する走査線または信号線に静電気が発生することにより、素子が破壊される現象(静電破壊:ESD)を抑制するため、各走査線、各信号線または各電源線の間に、静電破壊保護回路を有していてもよい。これにより、表示パネル200の歩留まりを向上でき、その結果、製造コストを低減できる。これは、本実施の形態における他の例でも同様である。

【0308】

図16(A)に示す表示パネル200は、表示パネル200が有する半導体素子が、アモルファスシリコン等、移動度が小さい半導体で形成されている場合に、特に有効である。

50

なぜならば、表示部以外の周辺駆動回路を表示パネル200に一体形成しないことで、表示パネル200の歩留まりを向上でき、その結果、製造コストを低減できるからである。さらに、実施の形態1乃至4で説明した画素構成は、画素1行あたりの走査線本数が少なくとも4本であり、これらを駆動するスキヤンドライバは4種類必要となるため、周辺駆動回路を表示パネル200に一体形成しないことで、額縁面積を減少させることが可能となる。

【0309】

<(2)表示部およびスキヤンドライバの一体形成>

上述した組み合わせのうち、(2)表示部およびスキヤンドライバの一体形成、について、図16(B)を参照して説明する。図16(B)に示す表示パネル200は、表示部201と、接続部202と、第1のスキヤンドライバ211と、第2のスキヤンドライバ212と、第3のスキヤンドライバ213と、第4のスキヤンドライバ214と、を有する。接続部202は複数の電極を有し、接続部202に接続基板203を接続することで、駆動信号を表示パネル200の外から表示パネル200の中へ入力することができる。

10

【0310】

図16(B)に示す表示パネル200の場合、第1のスキヤンドライバ211、第2のスキヤンドライバ212、第3のスキヤンドライバ213、及び第4のスキヤンドライバ214が表示部201と一体形成されているため、スキヤンドライバ側の接続部202および接続基板203は必要ない。そのため、外部基板の配置の自由度が上がるという利点を有する。さらに、基板接続点の数が少ないため、接続不良が発生しにくく、装置の信頼性を向上できる。

20

【0311】

図16(B)に示す表示パネル200が有する半導体素子は、アモルファスシリコン等、移動度が小さい半導体で形成されていてもよいし、ポリシリコンまたは単結晶シリコン等、移動度が大きい半導体で形成されていてもよい。アモルファスシリコンで半導体素子が形成されている場合は、特に逆スタガ型のトランジスタの製造プロセスの工程数が少ないことにより、製造コストを低減することができる。ポリシリコンで半導体素子が形成されている場合は、移動度が高いことによりトランジスタを小さくすることができるため、開口率が向上し消費電力を低減することができる。さらに、トランジスタを小さくすることができることから、スキヤンドライバの回路面積を低減できるため、額縁面積を減少させることができる。単結晶シリコンで半導体素子が形成されている場合は、移動度が極めて高いことによりトランジスタを極めて小さくすることができるため、開口率の向上および額縁面積の減少をさらに大きくすることができる。

30

【0312】

<(3)表示部、スキヤンドライバおよびデータドライバの一体形成>

上述した組み合わせのうち、(3)表示部、スキヤンドライバおよびデータドライバの一体形成、について、図16(C)を参照して説明する。図16(C)に示す表示パネル200は、表示部201と、接続部202と、第1のスキヤンドライバ211と、第2のスキヤンドライバ212と、第3のスキヤンドライバ213と、第4のスキヤンドライバ214と、データドライバ221と、を有する。接続部202は複数の電極を有し、接続部202に接続基板203を接続することで、駆動信号を表示パネル200の外から表示パネル200の中へ入力することができる。

40

【0313】

図16(C)に示す表示パネル200の場合、第1のスキヤンドライバ211、第2のスキヤンドライバ212、第3のスキヤンドライバ213、第4のスキヤンドライバ214およびデータドライバ221が表示部201と一体形成されているため、スキヤンドライバ側の接続部202および接続基板203は必要ない上に、スキヤンドライバ側の接続基板203の数を減少させることができる。そのため、外部基板の配置の自由度がさらに上がるという利点を有する。さらに、基板接続点の数が少ないため、接続不良が発生しにくく、装置の信頼性を向上できる。

50

【 0 3 1 4 】

図 1 6 (C) に示す表示パネル 2 0 0 が有する半導体素子は、アモルファスシリコン等、移動度が小さい半導体で形成されていてもよいし、ポリシリコンまたは単結晶シリコン等、移動度が大きい半導体で形成されていてもよい。アモルファスシリコンで半導体素子が形成されている場合は、特に逆スタガ型のトランジスタの製造プロセスの工程数が少ないことにより、製造コストを低減することができる。ポリシリコンで半導体素子が形成されている場合は、移動度が高いことによりトランジスタを小さくすることができるため、開口率が向上し消費電力を低減することができる。さらに、トランジスタを小さくすることができることから、スキヤンドライバおよびデータドライバの回路面積を低減できるため、額縁面積を減少させることができる。特に、データドライバはスキヤンドライバよりも駆動周波数が高いため、ポリシリコンで半導体素子が形成されることにより、確実に動作できるデータドライバを実現することができる。単結晶シリコンで半導体素子が形成されている場合は、移動度が極めて高いことによりトランジスタを極めて小さくすることができるため、開口率の向上および額縁面積の減少をさらに大きくすることができる。

10

【 0 3 1 5 】

< (4) 表示部、スキヤンドライバ、データドライバおよびその他の周辺駆動回路の一体形成 >

上述した組み合わせのうち、(4) 表示部、スキヤンドライバ、データドライバおよびその他の周辺駆動回路の一体形成、について、図 1 6 (D) を参照して説明する。図 1 6 (D) に示す表示パネル 2 0 0 は、表示部 2 0 1 と、接続部 2 0 2 と、第 1 のスキヤンドライバ 2 1 1 と、第 2 のスキヤンドライバ 2 1 2 と、第 3 のスキヤンドライバ 2 1 3 と、第 4 のスキヤンドライバ 2 1 4 と、データドライバ 2 2 1 と、その他の周辺駆動回路 2 3 1、2 3 2、2 3 3 および 2 3 4 を有する。ここで、一体形成されるその他の周辺駆動回路を 4 つとしたのは一例であり、一体形成されるその他の周辺駆動回路の数は様々であって、その種類も様々なものとすることができる。たとえば、周辺駆動回路 2 3 1 はタイミングコントローラ、周辺駆動回路 2 3 2 は画像データを処理するデータ処理部、周辺駆動回路 2 3 3 は電源電圧を生成する電源回路、周辺駆動回路 2 3 4 はデジタルアナログコンバータ (D A C) の基準電圧生成部であることもできる。接続部 2 0 2 は複数の電極を有し、接続部 2 0 2 に接続基板 2 0 3 を接続することで、駆動信号を表示パネル 2 0 0 の外から表示パネル 2 0 0 の中へ入力することができる。

20

30

【 0 3 1 6 】

図 1 6 (D) に示す表示パネル 2 0 0 の場合、第 1 のスキヤンドライバ 2 1 1、第 2 のスキヤンドライバ 2 1 2、第 3 のスキヤンドライバ 2 1 3、第 4 のスキヤンドライバ 2 1 4、データドライバ 2 2 1、その他の周辺駆動回路 2 3 1、2 3 2、2 3 3 および 2 3 4 が表示部 2 0 1 と一体形成されているため、スキヤンドライバ側の接続部 2 0 2 および接続基板 2 0 3 は必要ない上に、スキヤンドライバ側の接続基板 2 0 3 の数を減少させることができる。そのため、外部基板の配置の自由度がさらに上がるという利点を有する。さらに、基板接続点の数が少ないため、接続不良が発生しにくく、装置の信頼性を向上できる。

。

【 0 3 1 7 】

図 1 6 (D) に示す表示パネル 2 0 0 が有する半導体素子は、アモルファスシリコン等、移動度が小さい半導体で形成されていてもよいし、ポリシリコンまたは単結晶シリコン等、移動度が大きい半導体で形成されていてもよい。アモルファスシリコンで半導体素子が形成されている場合は、特に逆スタガ型のトランジスタの製造プロセスの工程数が少ないことにより、製造コストを低減することができる。ポリシリコンで半導体素子が形成されている場合は、移動度が高いことによりトランジスタを小さくすることができるため、開口率が向上し消費電力を低減することができる。さらに、トランジスタを小さくすることができることから、スキヤンドライバおよびデータドライバの回路面積を低減できるため、額縁面積を減少させることができる。特に、データドライバはスキヤンドライバよりも駆動周波数が高いため、ポリシリコンで半導体素子が形成されることにより、確実に動作

40

50

できるデータドライバを実現することができる。さらに、その他の周辺駆動回路には高速な論理回路が必要であったり（データ処理部等）、アナログ回路が必要であったり（タイミングコントローラ、DACの基準電圧生成部、電源回路等）するため、移動度の高い半導体素子で回路が構成されることの利点は大きい。特に、単結晶シリコンで半導体素子が形成されている場合は、移動度が極めて高いことによりトランジスタを極めて小さくすることができるため、開口率の向上および額縁面積の減少をさらに大きくすることができる上に、その他の周辺駆動回路を確実に動作させることができ、さらに、電源電圧を低くすること等により、消費電力を低減することができる。

【0318】

<その他の組み合わせの一体形成>

(5)表示部およびデータドライバの一体形成、(6)表示部およびその他の周辺駆動回路の一体形成、(7)表示部、データドライバおよびその他の周辺駆動回路の一体形成、(8)表示部、スキャンドライバおよびその他の周辺駆動回路の一体形成、については、それぞれ図16(E)、(F)、(G)、(H)に示すようになる。一体形成の利点およびそれぞれの半導体素子の材料についての利点は、これまでに説明したものと同様である。

【0319】

図16(E)に示すように、(5)表示部およびデータドライバの一体形成、を行なった場合は、データドライバが配置された部分以外の額縁面積を低減できる。

【0320】

図16(F)に示すように、(6)表示部およびその他の周辺駆動回路の一体形成、を行なった場合は、その他の周辺駆動回路の配置の自由度が高いため、目的に合った部分を適宜選択して、額縁面積を低減できる。

【0321】

図16(G)に示すように、(7)表示部、データドライバおよびその他の周辺駆動回路の一体形成、を行なった場合は、スキャンドライバが一体形成されるときにスキャンドライバが配置されていた部分の額縁面積を低減できる。

【0322】

図16(H)に示すように、(8)表示部、スキャンドライバおよびその他の周辺駆動回路の一体形成、を行なった場合は、データドライバが一体形成されるときにデータドライバが配置されていた部分の額縁面積を低減できる。

【0323】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分、別の実施の形態の部分の組み合わせることが出来る。

【0324】

(実施の形態6)

本実施の形態においては、トランジスタの構造及び作製方法について説明する。

【0325】

図17(A)乃至(G)は、トランジスタの構造及び作製方法の例を示す図である。図17(A)は、トランジスタの構造の例を示す図である。図17(B)乃至(G)は、トランジスタの作製方法の例を示す図である。

【0326】

なお、トランジスタの構造及び作製方法は、図17(A)乃至(G)に示すものに限定されず、様々な構造及び作製方法を用いることができる。

【0327】

まず、図17(A)を参照し、トランジスタの構造の例について説明する。図17(A)は複数の異なる構造を有するトランジスタの断面図である。ここで、図17(A)におい

10

20

30

40

50

ては、複数の異なる構造を有するトランジスタを並置して示しているが、これは、トランジスタの構造を説明するための表現であり、トランジスタが、実際に図17(A)のように並置されている必要はなく、必要に応じて作り分けることができる。

【0328】

次に、トランジスタを構成する各層の特徴について説明する。

【0329】

基板7011は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板又はステンレスを含む金属基板等を用いることができる。他にも、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルホン(PES)に代表されるプラスチック又はアクリル等の可撓性を有する合成樹脂からなる基板を用いることも可能である。可撓性を有する基板を用いることによって、折り曲げが可能である半導体装置を作製することが可能となる。可撓性を有す基板であれば、基板の面積及び基板の形状に大きな制限はないため、基板7011として、例えば、1辺が1メートル以上であって、矩形のものを用いれば、生産性を格段に向上させることができる。このような利点は、円形のシリコン基板を用いる場合と比較すると、大きな優位点である。

【0330】

絶縁膜7012は、下地膜として機能する。基板7011からNaなどのアルカリ金属又はアルカリ土類金属が、半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。絶縁膜7012としては、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)(x>y)、窒化酸化珪素(SiN_xO_y)(x>y)等の酸素又は窒素を有する絶縁膜の単層構造若しくはこれらの積層構造で設けることができる。例えば、絶縁膜7012を2層構造で設ける場合、1層目の絶縁膜として窒化酸化珪素膜を設け、2層目の絶縁膜として酸化窒化珪素膜を設けるとよい。別の例として、絶縁膜7012を3層構造で設ける場合、1層目の絶縁膜として酸化窒化珪素膜を設け、2層目の絶縁膜として窒化酸化珪素膜を設け、3層目の絶縁膜として酸化窒化珪素膜を設けるとよい。

【0331】

半導体層7013、半導体層7014、半導体層7015は、非晶質(アモルファス)半導体、微結晶(マイクロクリスタル)半導体、又はセミアモルファス半導体(SAS)で形成することができる。あるいは、多結晶半導体層を用いても良い。SASは、非晶質と結晶構造(単結晶、多結晶を含む)の中間的な構造を有し、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、0.5~20nmの結晶領域を観測することができる。珪素を主成分とする場合にはラマンスペクトルが520cm⁻¹よりも低波数側にシフトしている。X線回折では珪素結晶格子に由来するとされる(111)、(220)の回折ピークが観測される。未結合手(ダングリングボンド)を補償するものとして水素又はハロゲンを少なくとも1原子%又はそれ以上含ませている。SASは、材料ガスをグロー放電分解(プラズマCVD)して形成する。材料ガスとしては、SiH₄、その他にもSi₂H₆、SiH₂Cl₂、SiHCl₃、SiCl₄、SiF₄などを用いることが可能である。あるいは、GeF₄を混合させても良い。この材料ガスをH₂、あるいは、H₂とHe、Ar、Kr、Neから選ばれた一種又は複数種の希ガス元素で希釈してもよい。希釈率は2~1000倍の範囲。圧力は概略0.1Pa~133Paの範囲、電源周波数は1MHz~120MHz、好ましくは13MHz~60MHz。基板加熱温度は300以下でよい。膜中の不純物元素として、酸素、窒素、炭素などの大気成分の不純物は1×10²⁰cm⁻³以下とすることが望ましく、特に、酸素濃度は5×10¹⁹/cm³以下、好ましくは1×10¹⁹/cm³以下とする。ここでは、スパッタ法、LPCVD法、プラズマCVD法等を用いてシリコン(Si)を主成分とする材料(例えばSi_xGe_{1-x}等)で非晶質半導体層を形成し、当該非晶質半導体層をレーザ結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法などの結晶化法により結晶化させる。

10

20

30

40

50

【0332】

絶縁膜7016は、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) ($x > y$)、窒化酸化珪素(SiN_xO_y) ($x > y$)等の酸素又は窒素を有する絶縁膜の単層構造、若しくはこれらの積層構造で設けることができる。

【0333】

ゲート電極7017は、単層の導電膜、又は二層、三層の導電膜の積層構造とすることができる。ゲート電極7017の材料としては、導電膜を用いることができる。たとえば、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)などの元素の単体膜、あるいは、前記元素の窒化膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、あるいは、前記元素を組み合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金)、あるいは、前記元素のシリサイド膜(代表的にはタングステンシリサイド膜、チタンシリサイド膜)などを用いることができる。なお、上述した単体膜、窒化膜、合金膜、シリサイド膜などは、単層で用いてもよいし、積層して用いてもよい。

10

【0334】

絶縁膜7018は、スパッタ法又はプラズマCVD法等によって、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) ($x > y$)、窒化酸化珪素(SiN_xO_y) ($x > y$)等の酸素又は窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜の単層構造、若しくはこれらの積層構造で設けることができる。

20

【0335】

絶縁膜7019は、シロキサン樹脂、あるいは、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) ($x > y$)、窒化酸化珪素(SiN_xO_y) ($x > y$)等の酸素又は窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜、あるいは、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料、からなる単層若しくは積層構造で設けることができる。なお、シロキサン樹脂とは、Si-O-Si結合を含む樹脂に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。有機基はフルオロ基を含んでも良い。なお、絶縁膜7018を設けずにゲート電極7017を覆うように直接絶縁膜7019を設けることも可能である。

30

【0336】

導電膜7023は、Al、Ni、C、W、Mo、Ti、Pt、Cu、Ta、Au、Mnなどの元素の単体膜、あるいは、前記元素の窒化膜、あるいは、前記元素を組み合わせた合金膜、あるいは、前記元素のシリサイド膜などを用いることができる。例えば、前記元素を複数含む合金として、C及びTiを含有したAl合金、Niを含有したAl合金、C及びNiを含有したAl合金、C及びMnを含有したAl合金等を用いることができる。例えば、積層構造で設ける場合、AlをMo又はTiなどで挟み込んだ構造とすることができる。こうすることで、Alの熱や化学反応に対する耐性を向上することができる。

40

【0337】

次に、図17(A)に示した、複数の異なる構造を有するトランジスタの断面図を参照して、各々の構造の特徴について説明する。

【0338】

トランジスタ7001は、シングルドレイントランジスタであり、簡便な方法で製造できるため、製造コストが低く、歩留まりを高く製造できる利点がある。なお、テーパ角は、 45° 以上 95° 未満、より好ましくは 60° 以上 95° 未満である。または、テーパ角を 45° 未満とすることも可能である。ここで、半導体層7013、半導体層7015は、それぞれ不純物の濃度が異なり、半導体層7013はチャンネル領域、半導体層7015はソース領域及びドレイン領域として用いる。このように、不純物の量を制御することで、半導体層の抵抗率を制御できる。半導体層と導電膜7023との電気的な接続状態を、

50

オーミック接続に近づけることができる。なお、不純物の量の異なる半導体層を作り分ける方法としては、ゲート電極7017をマスクとして半導体層に不純物をドーピングする方法を用いることができる。

【0339】

トランジスタ7002は、ゲート電極7017に一定以上のテーパ角を有するトランジスタであり、簡便な方法で製造できるため、製造コストが低く、歩留まりを高く製造できる利点がある。ここで、半導体層7013、半導体層7014、半導体層7015は、それぞれ不純物濃度が異なり、半導体層7013はチャンネル領域、半導体層7014は低濃度ドレイン(Lightly Doped Drain: LDD)領域、半導体層7015はソース領域及びドレイン領域として用いる。このように、不純物の量を制御することで、半導体層の抵抗率を制御できる。半導体層と導電膜7023との電気的な接続状態を、オーミック接続に近づけることができる。LDD領域を有するため、トランジスタ内部に高電界がかかりにくく、ホットキャリアによる素子の劣化を抑制することができる。なお、不純物の量の異なる半導体層を作り分ける方法としては、ゲート電極7017をマスクとして半導体層に不純物をドーピングする方法を用いることができる。トランジスタ7002においては、ゲート電極7017が一定以上のテーパ角を有しているため、ゲート電極7017を通過して半導体層にドーピングされる不純物の濃度に勾配を持たせることができ、簡便にLDD領域を形成することができる。なお、テーパ角は、45°以上95°未満、より好ましくは60°以上95°未満である。または、テーパ角を45°未満とすることも可能である。

10

20

【0340】

トランジスタ7003は、ゲート電極7017が少なくとも2層で構成され、下層のゲート電極が上層のゲート電極よりも長い形状を有するトランジスタである。本明細書中においては、上層のゲート電極及び下層のゲート電極の形状を、帽子型と呼ぶ。ゲート電極7017の形状が帽子型であることによって、フォトマスクを追加することなく、LDD領域を形成することができる。なお、トランジスタ7003のように、LDD領域がゲート電極7017と重なっている構造を、特にGOLD構造(Gate Overlapped LDD)と呼ぶ。なお、ゲート電極7017の形状を帽子型とする方法としては、次のような方法を用いてもよい。

【0341】

まず、ゲート電極7017をパターニングする際に、ドライエッチングにより、下層のゲート電極及び上層のゲート電極をエッチングして側面に傾斜(テーパ)のある形状にする。続いて、異方性エッチングにより上層のゲート電極の傾斜を垂直に近くなるように加工する。これにより、断面形状が帽子型のゲート電極が形成される。その後、2回、不純物元素をドーピングすることによって、チャンネル領域として用いる半導体層7013、LDD領域として用いる半導体層7014、ソース電極及びドレイン電極として用いる半導体層7015が形成される。

30

【0342】

なお、ゲート電極7017と重なっているLDD領域をLov領域、ゲート電極7017と重なっていないLDD領域をLoff領域と呼ぶことにする。ここで、Loff領域はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホットキャリアによるオン電流値の劣化を防ぐ効果は低い。一方、Lov領域はドレイン近傍の電界を緩和し、オン電流値の劣化の防止には有効であるが、オフ電流値を抑える効果は低い。よって、種々の回路毎に、求められる特性に応じた構造のトランジスタを作製することが好ましい。たとえば、半導体装置を表示装置として用いる場合、画素トランジスタは、オフ電流値を抑えるために、Loff領域を有するトランジスタを用いることが好適である。一方、周辺回路におけるトランジスタは、ドレイン近傍の電界を緩和し、オン電流値の劣化を防止するために、Lov領域を有するトランジスタを用いることが好適である。

40

【0343】

トランジスタ7004は、ゲート電極7017の側面に接して、サイドウォール7021

50

を有するトランジスタである。サイドウォール7021を有することによって、サイドウォール7021と重なる領域をLDD領域とすることができる。

【0344】

トランジスタ7005は、半導体層にマスク7022を用いてドーピングすることにより、LDD(Loff)領域を形成したトランジスタである。こうすることにより、確実にLDD領域を形成することができ、トランジスタのオフ電流値を低減することができる。

【0345】

トランジスタ7006は、半導体層にマスクを用いてドーピングすることにより、LDD(Lov)領域を形成したトランジスタである。こうすることにより、確実にLDD領域を形成することができ、トランジスタのドレイン近傍の電界を緩和し、オン電流値の劣化を低減することができる。

10

【0346】

次に、トランジスタの作製方法の例を、図17(B)乃至(G)に示す。

【0347】

なお、トランジスタの構造及び作製方法は、図17(A)乃至(G)に示すものに限定されず、様々な構造及び作製方法を用いることができる。

【0348】

本実施の形態においては、基板7011の表面に、絶縁膜7012の表面に、半導体層7013の表面に、半導体層7014の表面に、半導体層7015の表面に、絶縁膜7016の表面に、絶縁膜7018の表面に、又は絶縁膜7019の表面に、プラズマ処理を用いて酸化又は窒化を行うことにより、半導体層又は絶縁膜を酸化又は窒化することができる。このように、プラズマ処理を用いて半導体層又は絶縁膜を酸化又は窒化することによって、当該半導体層又は当該絶縁膜の表面を改質し、CVD法やスパッタ法により形成した絶縁膜と比較してより緻密な絶縁膜を形成することができるため、ピンホール等の欠陥を抑制し半導体装置の特性等を向上させることが可能となる。なお、プラズマ処理を行うことで形成された絶縁膜7024を、プラズマ処理絶縁膜と呼ぶ。

20

【0349】

なお、サイドウォール7021は、酸化珪素(SiO_x)又は窒化珪素(SiN_x)を用いることができる。サイドウォール7021をゲート電極7017の側面に形成する方法としては、たとえば、ゲート電極7017を形成した後に、酸化珪素(SiO_x)又は窒化珪素(SiN_x)を成膜した後に、異方性エッチングによって酸化珪素(SiO_x)又は窒化珪素(SiN_x)膜をエッチングする方法を用いることができる。こうすることで、ゲート電極7017の側面にのみ酸化珪素(SiO_x)又は窒化珪素(SiN_x)膜を残すことができるので、ゲート電極7017の側面にサイドウォール7021を形成することができる。

30

【0350】

図18(D)は、ボトムゲート型のトランジスタの断面構造及び容量素子の断面構造を示す図である。

【0351】

基板7091上に第1の絶縁膜(絶縁膜7092)が全面に形成されている。ただし、これに限定されない。第1の絶縁膜(絶縁膜7092)が形成しないことも可能である。第1の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ機能を有する。つまり、第1の絶縁膜は下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第1の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜(SiO_xN_y)などの単層、又はこれらの積層を用いることができる。

40

【0352】

第1の絶縁膜上に、第1の導電層(導電層7093及び導電層7094)が形成されている。導電層7093は、トランジスタ7108のゲート電極として機能する部分を含む。導電層7094は、容量素子7109の第1の電極として機能する部分を含む。なお、第

50

1の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【0353】

少なくとも第1の導電層を覆うように、第2の絶縁膜（絶縁膜7104）が形成されている。第2の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第2の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ SiO_xN_y ）などの単層、又はこれらの積層を用いることができる。

【0354】

なお、半導体層に接する部分の第2の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、半導体層と第2の絶縁膜とが接する界面におけるトラップ準位が少なくなるからである。

【0355】

なお、第2の絶縁膜がMoと接する場合、Moと接する部分の第2の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はMoを酸化させないからである。

【0356】

第2の絶縁膜上のうち第1の導電層と重なって形成されている部分の一部に、フォトリソグラフィ法、インクジェット法又は印刷法などによって、半導体層が形成されている。そして、半導体層の一部は、第2の絶縁膜上のうち第1の導電層と重なって形成されていない部分まで延長されている。半導体層は、チャンネル形成領域（チャンネル形成領域7100）、LDD領域（LDD領域7098、LDD領域7099）、不純物領域（不純物領域7095、不純物領域7096、不純物領域7097）を有している。チャンネル形成領域7100は、トランジスタ7108のチャンネル形成領域として機能する。LDD領域7098及びLDD領域7099は、トランジスタ7108のLDD領域として機能する。なお、LDD領域7098及びLDD領域7099は必ずしも必要ではない。不純物領域7095は、トランジスタ7108のソース電極及びドレイン電極の一方として機能する部分を含む。不純物領域7096は、トランジスタ7108のソース電極及びドレイン電極の他方として機能する部分を含む。不純物領域7097は、容量素子7109の第2の電極として機能する部分を含む。

【0357】

全面に、第3の絶縁膜（絶縁膜7101）が形成されている。第3の絶縁膜の一部には、選択的にコンタクトホールが形成されている。絶縁膜7101は、層間膜としての機能を有する。第3の絶縁膜としては、無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）あるいは、低誘電率の有機化合物材料（感光性又は非感光性の有機樹脂材料）などを用いることができる。あるいは、シロキサンを含む材料を用いることもできる。なお、シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される材料である。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。あるいは、置換基としてフルオロ基を用いてもよい。あるいは、有機基はフルオロ基を含んでもよい。

【0358】

第3の絶縁膜上に、第2の導電層（導電層7102及び導電層7103）が形成されている。導電層7102は、第3の絶縁膜に形成されたコンタクトホールを介してトランジスタ7108のソース電極及びドレイン電極の他方と接続されている。したがって、導電層7102は、トランジスタ7108のソース電極及びドレイン電極の他方として機能する部分を含む。導電層7103が導電層7094と電気的に接続されている場合は、導電層7103は容量素子7109の第1の電極として機能する部分を含む。あるいは、導電層7103が不純物領域7097と電気的に接続されている場合は、導電層7103は容量素子7109の第2の電極として機能する部分を含む。あるいは、導電層7103が導電層7094及び不純物領域7097と接続されていない場合は、容量素子7109とは別

10

20

30

40

50

の容量素子が形成される。この容量素子は、導電層 7103、不純物領域 7097 及び絶縁膜 7101 がそれぞれ容量素子の第 1 の電極、第 2 の電極、絶縁膜として用いられる構成である。なお、第 2 の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Ge など、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【0359】

なお、第 2 の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されていてもよい。

【0360】

次に、トランジスタの半導体層にアモルファスシリコン（a-Si:H）膜またはマイクロクリスタルシリコン膜などを用いた場合のトランジスタ及び容量素子の構造について説明する。

【0361】

図 18（A）は、トップゲート型のトランジスタの断面構造及び容量素子の断面構造を示す図である。

【0362】

基板 7031 上に第 1 の絶縁膜（絶縁膜 7032）が全面に形成されている。第 1 の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ機能を有する。つまり、第 1 の絶縁膜は下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第 1 の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（SiO_xN_y）などの単層、又はこれらの積層を用いることができる。

【0363】

なお、第 1 の絶縁膜を必ずしも形成する必要はない。この場合は、工程数の削減を図ることができる。製造コストの削減を図ることができる。構造を簡単にできるので、歩留まりの向上を図ることができる。

【0364】

第 1 の絶縁膜上に、第 1 の導電層（導電層 7033、導電層 7034 及び導電層 7035）が形成されている。導電層 7033 は、トランジスタ 7048 のソース電極及びドレイン電極の一方の電極として機能する部分を含む。導電層 7034 は、トランジスタ 7048 のソース電極及びドレイン電極の他方の電極として機能する部分を含む。導電層 7035 は、容量素子 7049 の第 1 の電極として機能する部分を含む。なお、第 1 の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Ge など、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【0365】

導電層 7033 及び導電層 7034 の上部に、第 1 の半導体層（半導体層 7036 及び半導体層 7037）が形成されている。半導体層 7036 は、ソース電極とドレイン電極の一方の電極として機能する部分を含む。半導体層 7037 は、ソース電極とドレイン電極の他方の電極として機能する部分を含む。なお、第 1 の半導体層としては、リン等を含んだシリコン等を用いることができる。

【0366】

導電層 7033 と導電層 7034 との間であって、かつ第 1 の絶縁膜上に、第 2 の半導体層（半導体層 7038）が形成されている。そして、半導体層 7038 の一部は、導電層 7033 上及び導電層 7034 上まで延長されている。半導体層 7038 は、トランジスタ 7048 のチャンネル領域として機能する部分を含む。なお、第 2 の半導体層としては、アモルファスシリコン（a-Si:H）等の非結晶性を有する半導体層、又は微結晶半導体（μ-Si:H）等の半導体層などを用いることができる。

【0367】

10

20

30

40

50

少なくとも半導体層 7038 及び導電層 7035 を覆うように、第 2 の絶縁膜（絶縁膜 7039 及び絶縁膜 7040）が形成されている。第 2 の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第 2 の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ SiO_xNy ）などの単層、又はこれらの積層を用いることができる。

【0368】

なお、第 2 の半導体層に接する部分の第 2 の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、第 2 の半導体層と第 2 の絶縁膜とが接する界面におけるトラップ準位が少なくなるからである。

【0369】

なお、第 2 の絶縁膜が Mo と接する場合、Mo と接する部分の第 2 の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜は Mo を酸化させないからである。

【0370】

第 2 の絶縁膜上に、第 2 の導電層（導電層 7041 及び導電層 7042）が形成されている。導電層 7041 は、トランジスタ 7048 のゲート電極として機能する部分を含む。導電層 7042 は、容量素子 7049 の第 2 の電極、又は配線としての機能を有する。なお、第 2 の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Ge など、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【0371】

なお、第 2 の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されていてもよい。

【0372】

図 18 (B) は、逆スタガ型（ボトムゲート型）のトランジスタの断面構造及び容量素子の断面構造を示す図である。特に、図 18 (B) に示すトランジスタは、チャネルエッチ型と呼ばれる構造である。

【0373】

基板 7051 上に第 1 の絶縁膜（絶縁膜 7052）が全面に形成されている。第 1 の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ機能を有する。つまり、第 1 の絶縁膜は下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第 1 の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ SiO_xNy ）などの単層、又はこれらの積層を用いることができる。

【0374】

なお、第 1 の絶縁膜を必ずしも形成する必要はない。この場合は、工程数の削減を図ることができる。製造コストの削減を図ることができる。構造を簡単にできるので、歩留まりの向上を図ることができる。

【0375】

第 1 の絶縁膜上に、第 1 の導電層（導電層 7053 及び導電層 7054）が形成されている。導電層 7053 は、トランジスタ 7068 のゲート電極として機能する部分を含む。導電層 7054 は、容量素子 7069 の第 1 の電極として機能する部分を含む。なお、第 1 の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Ge など、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【0376】

少なくとも第 1 の導電層を覆うように、第 2 の絶縁膜（絶縁膜 7055）が形成されている。第 2 の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第 2 の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ SiO_xNy ）などの単層、又はこれらの積層を用いることができる。

【0377】

10

20

30

40

50

なお、半導体層に接する部分の第2の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、半導体層と第2の絶縁膜とが接する界面におけるトラップ準位が少なくなるからである。

【0378】

なお、第2の絶縁膜がMoと接する場合、Moと接する部分の第2の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はMoを酸化させないからである。

【0379】

第2の絶縁膜上のうち第1の導電層と重なって形成されている部分の一部に、フォトリソグラフィ法、インクジェット法又は印刷法などによって、第1の半導体層（半導体層7056）が形成されている。そして、半導体層7056の一部は、第2の絶縁膜上のうち第1の導電層と重なって形成されていない部分まで延長されている。半導体層7056は、トランジスタ7068のチャンネル領域として機能する部分を含む。なお、半導体層7056としては、アモルファスシリコン（a-Si:H）等の非結晶性を有する半導体層、又は微結晶半導体（ μ -Si:H）等の半導体層などを用いることができる。

10

【0380】

第1の半導体層上の一部に、第2の半導体層（半導体層7057及び半導体層7058）が形成されている。半導体層7057は、ソース電極とドレイン電極の一方の電極として機能する部分を含む。半導体層7058は、ソース電極とドレイン電極の他方の電極として機能する部分を含む。なお、第2の導電層としては、リン等を含んだシリコン等を用いることができる。

20

【0381】

第2の半導体層上及び第2の絶縁膜上に、第2の導電層（導電層7059、導電層7060及び導電層7061）が形成されている。導電層7059は、トランジスタ7068のソース電極とドレイン電極の一方として機能する部分を含む。導電層7060は、トランジスタ7068のソース電極とドレイン電極の他方として機能する部分を含む。導電層7061は、容量素子7069の第2の電極として機能する部分を含む。なお、第2の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

30

【0382】

なお、第2の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されていてもよい。

【0383】

ここで、チャンネルエッチ型のトランジスタが特徴とする工程の一例を説明する。同じマスクを用いて、第1の半導体層及び第2の半導体層を形成することができる。具体的には、第1の半導体層と第2の半導体層とは連続して成膜される。そして、第1の半導体層及び第2の半導体層は、同じマスクを用いて形成される。

【0384】

チャンネルエッチ型のトランジスタが特徴とする工程の別の一例を説明する。新たなマスクを用いることなく、トランジスタのチャンネル領域を形成することができる。具体的には、第2の導電層が形成された後で、第2の導電層をマスクとして用いて第2の半導体層の一部を除去する。あるいは、第2の導電層と同じマスクを用いて第2の半導体層の一部を除去する。そして、除去された第2の半導体層の下部に形成されている第1の半導体層がトランジスタのチャンネル領域となる。

40

【0385】

図18(C)は、逆スタガ型（ボトムゲート型）のトランジスタの断面構造及び容量素子の断面構造を示す図である。特に、図18(C)に示すトランジスタは、チャンネル保護型（チャンネルストップ型）と呼ばれる構造である。

【0386】

50

基板7071上に第1の絶縁膜(絶縁膜7072)が全面に形成されている。第1の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ機能を有する。つまり、第1の絶縁膜は下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第1の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜(SiO_xNy)などの単層、又はこれらの積層を用いることができる。

【0387】

なお、第1の絶縁膜を必ずしも形成する必要はない。この場合は、工程数の削減を図ることができる。製造コストの削減を図ることができる。構造を簡単にできるので、歩留まりの向上を図ることができる。

10

【0388】

第1の絶縁膜上に、第1の導電層(導電層7073及び導電層7074)が形成されている。導電層7073は、トランジスタ7088のゲート電極として機能する部分を含む。導電層7074は、容量素子7089の第1の電極として機能する部分を含む。なお、第1の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素(合金も含む)の積層を用いることができる。

【0389】

少なくとも第1の導電層を覆うように、第2の絶縁膜(絶縁膜7075)が形成されている。第2の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第2の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜(SiO_xNy)などの単層、又はこれらの積層を用いることができる。

20

【0390】

なお、半導体層に接する部分の第2の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、半導体層と第2の絶縁膜とが接する界面におけるトラップ準位が少なくなるからである。

【0391】

なお、第2の絶縁膜がMoと接する場合、Moと接する部分の第2の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はMoを酸化させないからである。

30

【0392】

第2の絶縁膜上のうち第1の導電層と重なって形成されている部分の一部に、フォトリソグラフィ法、インクジェット法又は印刷法などによって、第1の半導体層(半導体層7076)が形成されている。そして、半導体層7076の一部は、第2の絶縁膜上のうち第1の導電層と重なって形成されていない部分まで延長されている。半導体層7076は、トランジスタ7088のチャネル領域として機能する部分を含む。なお、半導体層7076としては、アモルファスシリコン(a-Si:H)等の非結晶性を有する半導体層、又は微結晶半導体(μ -Si:H)等の半導体層などを用いることができる。

【0393】

第1の半導体層上の一部に、第3の絶縁膜(絶縁膜7082)が形成されている。絶縁膜7082は、トランジスタ7088のチャネル領域がエッチングによって除去されることを防止する機能を有する。つまり、絶縁膜7082は、チャネル保護膜(チャネルストップ膜)として機能する。なお、第3の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜(SiO_xNy)などの単層、又はこれらの積層を用いることができる。

40

【0394】

第1の半導体層上の一部及び第3の絶縁膜上の一部に、第2の半導体層(半導体層7077及び半導体層7078)が形成されている。半導体層7077は、ソース電極とドレイン電極の一方の電極として機能する部分を含む。半導体層7078は、ソース電極とドレイン電極の他方の電極として機能する部分を含む。なお、第2の導体層としては、リン等

50

を含んだシリコン等を用いることができる。

【0395】

第2の半導体層上に、第2の導電層(導電層7079、導電層7080及び導電層7081)が形成されている。導電層7079は、トランジスタ7088のソース電極とドレイン電極の一方として機能する部分を含む。導電層7080は、トランジスタ7088のソース電極とドレイン電極の他方として機能する部分を含む。導電層7081は、容量素子7089の第2の電極として機能する部分を含む。なお、第2の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素(合金も含む)の積層を用いることができる。

10

【0396】

なお、第2の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されていてもよい。

【0397】

次に、トランジスタを製造するための基板として、半導体基板を用いた例について説明する。半導体基板を用いて製造されたトランジスタは、移動度が高いため、トランジスタサイズを小さくすることができる。その結果、単位面積当たりのトランジスタ数を増やす(集積度を上げる)ことができ、同一の回路構成では集積度が大きいほど基板サイズを小さくすることができるため、製造コストを低減できる。さらに、同一の基板サイズでは集積度が大きいほど回路規模を大きくすることができるため、製造コストはほぼ同等のままで、より高い機能を持たせることが可能となる。その上、特性のばらつきが少ないため、製造の歩留まりも高くすることができる。さらに、動作電圧が小さいので、消費電力を低減することができる。さらに、移動度が高いため、高速動作が可能である。

20

【0398】

半導体基板を用いて製造されたトランジスタを集積して構成された回路は、ICチップ等の形態をとって装置に実装されることで、当該装置に様々な機能を持たせることができる。たとえば、表示装置の周辺駆動回路(データドライバ(ソースドライバ)、スキャンドライバ(ゲートドライバ)、タイミングコントローラ、画像処理回路、インターフェイス回路、電源回路、発振回路等)を、半導体基板を用いて製造されたトランジスタを集積して構成することで、サイズが小さく、消費電力が小さく、高速動作が可能な周辺駆動回路を、低コストで歩留まり高く製造することができる。なお、半導体基板を用いて製造されたトランジスタを集積して構成された回路は、単一の極性のトランジスタを有する構成であってもよい。こうすることで、製造プロセスを簡略化できるため、製造コストを低減できる。

30

【0399】

半導体基板を用いて製造されたトランジスタを集積して構成された回路は、その他には、たとえば、表示パネルに用いることができる。より詳細には、LCOS(Liquid Crystal On Silicon)等の反射型液晶パネル、微小ミラーを集積したDMD(Digital Micromirror Device)素子、ELパネル等に用いることができる。これらの表示パネルを、半導体基板を用いて製造することで、サイズが小さく、消費電力が小さく、高速動作が可能な表示パネルを、低コストで歩留まり高く製造することができる。なお、表示パネルには、大規模集積回路(LSI)など、表示パネルの駆動以外の機能を持った素子上に形成されたものも含む。

40

【0400】

以下に、半導体基板を用いてトランジスタを製造する方法について述べる。一例として、図19(A)乃至図19(G)に示すような工程を用いて、トランジスタを製造すればよい。

【0401】

図19(A)では、半導体基板7110において素子を分離した領域7112、領域7113、絶縁膜7111(フィールド酸化膜ともいう)、pウェル7114、を示している

50

。

【0402】

半導体基板7110は、半導体基板であれば特に限定されず用いることができる。例えば、n型又はp型の導電型を有する単結晶Si基板、化合物半導体基板（GaAs基板、InP基板、GaN基板、SiC基板、サファイア基板、ZnSe基板等）、貼り合わせ法またはSIMOX（Separation by Implanted Oxygen）法を用いて作製されたSOI（Silicon on Insulator）基板等を用いることができる。

【0403】

図19（B）では、絶縁膜7121、絶縁膜7122、を示している。絶縁膜7121、絶縁膜7122は、例えば、熱処理を行い半導体基板7110に設けられた領域7112、領域7113の表面を酸化させることにより酸化珪素膜で絶縁膜7121、絶縁膜7122を形成することができる。

10

【0404】

図19（C）では、導電膜7123、導電膜7124を示している。

【0405】

導電膜7123、導電膜7124としては、タンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ニオブ（Nb）等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。あるいは、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶珪素、金属材料を導入したシリサイド等に代表される半導体材料により形成することもできる。

20

【0406】

図19（A）乃至図19（G）では、ゲート電極7130、ゲート電極7131、レジストマスク7132、不純物領域7134、チャンネル形成領域7133、レジストマスク7135、不純物領域7137、チャンネル形成領域7136、第2の絶縁膜7138、配線7139を示している。

【0407】

第2の絶縁膜7138は、CVD法やスパッタ法等により、酸化珪素（SiO_x）、窒化珪素（SiN_x）、酸化窒化珪素（SiO_xN_y）（ $x > y$ ）、窒化酸化珪素（SiN_xO_y）（ $x > y$ ）等の酸素または窒素を有する絶縁膜やDLC（ダイヤモンドライクカーボン）等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、Si-O-Si結合を含む材料に相当する。シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。有機基はフルオロ基を含んでも良い。

30

【0408】

配線7139は、CVD法やスパッタリング法等により、アルミニウム（Al）、タングステン（W）、チタン（Ti）、タンタル（Ta）、モリブデン（Mo）、ニッケル（Ni）、白金（Pt）、銅（Cu）、金（Au）、銀（Ag）、マンガン（Mn）、ネオジム（Nd）、炭素（C）、シリコン（Si）から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。配線7139は、例えば、バリア膜とアルミニウムシリコン（Al-Si）膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン（Al-Si）膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、配線7139を形成する材料とし

40

50

て最適である。例えば、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。例えば、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元する。その結果、配線 7 1 3 9 は、結晶質半導体膜と、電気的および物理的に良好に接続することができる。

【 0 4 0 9 】

なお、トランジスタの構造は図示した構造に限定されるものではないことを付記する。例えば、逆スタガ構造、フィン F E T 構造等の構造のトランジスタの構造を取り得る。フィン F E T 構造であることでトランジスタサイズの微細化に伴う短チャネル効果を抑制することができるため好適である。

10

【 0 4 1 0 】

ここまで、トランジスタの構造及びトランジスタの作製方法について説明した。ここで、配線、電極、導電層、導電膜、端子、ビア、プラグなどは、アルミニウム (A l)、タンタル (T a)、チタン (T i)、モリブデン (M o)、タングステン (W)、ネオジム (N d)、クロム (C r)、ニッケル (N i)、白金 (P t)、金 (A u)、銀 (A g)、銅 (C u)、マグネシウム (M g)、スカンジウム (S c)、コバルト (C o)、亜鉛 (Z n)、ニオブ (N b)、シリコン (S i)、リン (P)、ボロン (B)、ヒ素 (A s)、ガリウム (G a)、インジウム (I n)、錫 (S n)、酸素 (O) で構成された群から選ばれた一つもしくは複数の元素、または、前記群から選ばれた一つもしくは複数の元素を成分とする化合物、合金材料 (例えば、インジウム錫酸化物 (I T O)、インジウム亜鉛酸化物 (I Z O)、酸化珪素を含むインジウム錫酸化物 (I T S O)、酸化亜鉛 (Z n O)、酸化錫 (S n O)、酸化錫カドミウム (C T O)、アルミネオジム (A l - N d)、マグネシウム銀 (M g - A g)、モリブデンニオブ (M o - N b) など) で形成されることが望ましい。または、配線、電極、導電層、導電膜、端子などは、これらの化合物を組み合わせた物質などを有して形成されることが望ましい。もしくは、前記群から選ばれた一つもしくは複数の元素とシリコンの化合物 (シリサイド) (例えば、アルミシリコン、モリブデンシリコン、ニッケルシリサイドなど)、前記群から選ばれた一つもしくは複数の元素と窒素の化合物 (例えば、窒化チタン、窒化タンタル、窒化モリブデン等) を有して形成されることが望ましい。

20

【 0 4 1 1 】

なお、シリコン (S i) には、n 型不純物 (リンなど) または p 型不純物 (ボロンなど) を含んでいてもよい。シリコンが不純物を含むことにより、導電率の向上、又は通常の導体と同様な振る舞いをするのが可能となる。従って、配線、電極などとして利用しやすくなる。

30

【 0 4 1 2 】

なお、シリコンは、単結晶、多結晶 (ポリシリコン)、微結晶 (マイクロクリスタルシリコン) など、様々な結晶性を有するシリコンを用いることができる。あるいは、シリコンは非晶質 (アモルファスシリコン) などの結晶性を有さないシリコンを用いることができる。単結晶シリコンまたは多結晶シリコンを用いることにより、配線、電極、導電層、導電膜、端子などの抵抗を小さくすることができる。非晶質シリコンまたは微結晶シリコンを用いることにより、簡単な工程で配線などを形成することができる。

40

【 0 4 1 3 】

なお、アルミニウムまたは銀は、導電率が高いため、信号遅延を低減することができる。さらに、エッチングしやすいので、パターンニングしやすく、微細加工を行うことができる。

【 0 4 1 4 】

なお、銅は、導電率が高いため、信号遅延を低減することができる。銅を用いる場合は、密着性を向上させるため、積層構造にすることが望ましい。

【 0 4 1 5 】

なお、モリブデンまたはチタンは、酸化物半導体 (I T O 、 I Z O など) またはシリコン

50

と接触しても、不良を起こさない、エッチングしやすい、耐熱性が高いなどの利点を有するため、望ましい。

【0416】

なお、タングステンは、耐熱性が高いなどの利点を有するため、望ましい。

【0417】

なお、ネオジムは、耐熱性が高いなどの利点を有するため、望ましい。特に、ネオジムとアルミニウムとの合金にすると、耐熱性が向上し、アルミニウムがヒロックをおこしにくくなる。

【0418】

なお、シリコンは、トランジスタが有する半導体層と同時に形成できる、耐熱性が高いなどの利点を有するため、望ましい。

10

【0419】

なお、ITO、IZO、ITSO、酸化亜鉛(ZnO)、シリコン(Si)、酸化錫(SnO)、酸化錫カドミウム(CTO)は、透光性を有しているため、光を透過させる部分に用いることができる。たとえば、画素電極や共通電極として用いることができる。

【0420】

なお、IZOは、エッチングしやすく、加工しやすいため、望ましい。IZOは、エッチングしたときに、残渣が残ってしまう、ということも起こりにくい。したがって、画素電極としてIZOを用いると、液晶素子や発光素子に不具合(ショート、配向乱れなど)をもたらすことを低減出来る。

20

【0421】

なお、配線、電極、導電層、導電膜、端子、ビア、プラグなどは、単層構造でもよいし、多層構造になっていてもよい。単層構造にすることにより、配線、電極、導電層、導電膜、端子などの製造工程を簡略化することができ、工程日数を少なくでき、コストを低減することが出来る。あるいは、多層構造にすることにより、それぞれの材料のメリットを生かしつつ、デメリットを低減させ、性能の良い配線、電極などを形成することが出来る。たとえば、低抵抗材料(アルミニウムなど)を多層構造の中に含むことにより、配線の低抵抗化を図ることができる。別の例として、低耐熱性の材料を、高耐熱性の材料で挟む積層構造にすることにより、低耐熱性の材料の持つメリットを生かしつつ、配線、電極などの耐熱性を高くすることが出来る。例えば、アルミニウムを含む層を、モリブデン、チタン、ネオジムなどを含む層で挟む積層構造にすると望ましい。

30

【0422】

ここで、配線、電極など同士が直接接する場合、お互いに悪影響を及ぼすことがある。例えば、一方の配線、電極などが他方の配線、電極など材料の中に入っていて、性質を変えてしまい、本来の目的を果たせなくなる。別の例として、高抵抗な部分を形成又は製造するときに、問題が生じて、正常に製造できなくなったりすることがある。そのような場合、積層構造により反応しやすい材料を、反応しにくい材料で挟んだり、覆ったりするとよい。例えば、ITOとアルミニウムとを接続させる場合は、ITOとアルミニウムとの間に、チタン、モリブデン、ネオジム合金を挟むことが望ましい。別の例として、シリコンとアルミニウムとを接続させる場合は、シリコンとアルミニウムとの間に、チタン、モリブデン、ネオジム合金を挟むことが望ましい。

40

【0423】

なお、配線とは、導電体が配置されているものを言う。配線の形状は、線状でもよいし、線状ではなく短くてもよい。したがって、電極は、配線に含まれている。

【0424】

なお、配線、電極、導電層、導電膜、端子、ビア、プラグなどとして、カーボンナノチューブを用いても良い。さらに、カーボンナノチューブは、透光性を有しているため、光を透過させる部分に用いることができる。たとえば、画素電極や共通電極として用いることができる。

【0425】

50

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分、別の実施の形態の部分の組み合わせることが出来る。

【0426】

（実施の形態7）

本実施の形態においては、電子機器の例について説明する。

【0427】

図20（A）は携帯型遊技機であり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636、記録媒体読込部9672、等を有することができる。図20（A）に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、他の携帯型遊技機と無線通信を行って情報を共有する機能、等を有することができる。なお、図20（A）に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

10

【0428】

図20（B）はデジタルカメラであり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636、シャッターボタン9676、受像部9677、等を有することができる。図20（B）に示すテレビ受像機能付きデジタルカメラは、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、アンテナから様々な情報を取得する機能、撮影した画像、又はアンテナから取得した情報を保存する機能、撮影した画像、又はアンテナから取得した情報を表示部に表示する機能、等を有することができる。なお、図20（B）に示すテレビ受像機能付きデジタルカメラが有する機能はこれに限定されず、様々な機能を有することができる。

20

【0429】

図20（C）はテレビ受像器であり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636、等を有することができる。図20（C）に示すテレビ受像機は、テレビ用電波を処理して画像信号に変換する機能、画像信号を処理して表示に適した信号に変換する機能、画像信号のフレーム周波数を変換する機能、等を有することができる。なお、図20（C）に示すテレビ受像機が有する機能はこれに限定されず、様々な機能を有することができる。

30

【0430】

図20（D）はコンピュータであり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636、ポインティングデバイス9681、外部接続ポート9680等を有することができる。図20（D）に示すコンピュータは、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信又は有線通信などの通信機能、通信機能を用いて様々なコンピュータネットワークに接続する機能、通信機能を用いて様々なデータの送信又は受信を行う機能、等を有することができる。なお、図20（D）に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

40

【0431】

次に、図20（E）は携帯電話であり、筐体9630、表示部9631、スピーカ9633、操作キー9635、マイクロフォン9638等を有することができる。図20（E）に示した携帯電話は、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。なお、図20（E）に示した携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。

【0432】

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有する

50

ことを特徴とする。このような電子機器は、視野角を大きくすることができるため、どの方向から見ても視覚的变化の少ない表示を行うことができる、さらに、視野角を拡大するために一つの画素を複数のサブ画素に分割し、サブ画素ごとに異なる信号電圧を加えることによって視野角を拡大する方法を用いた場合でも、サブ画素の駆動のための回路規模の増大または回路の駆動速度の増大等を引き起こすことがない。その結果、消費電力の低減および製造コストの低減を実現できる。さらに、正確な信号をそれぞれのサブ画素に入力することができるため、静止画表示時の画質を向上できる。さらに、特別な回路の追加および構成変更をすることなく、黒画像を任意のタイミングで表示することができるので、動画表示時の画質を向上できる。

【 0 4 3 3 】

10

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分、別の実施の形態の部分の組み合わせることが出来る。

【 符号の説明 】

【 0 4 3 4 】

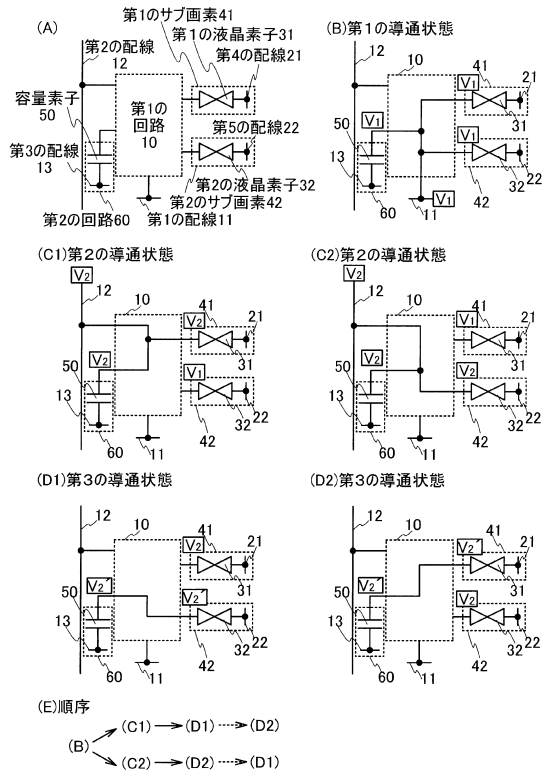
1 0	第 1 の回路	
1 1	第 1 の配線	
1 2	第 2 の配線	20
1 3	第 3 の配線	
2 1	第 4 の配線	
2 2	第 5 の配線	
2 3	第 6 の配線	
3 1	第 1 の液晶素子	
3 2	第 2 の液晶素子	
3 3	第 3 の液晶素子	
4 1	第 1 のサブ画素	
4 2	第 2 のサブ画素	
4 3	第 3 のサブ画素	30
5 0	容量素子	
5 1	容量素子	
5 2	容量素子	
6 0	第 2 の回路	
7 1	第 6 の配線	
7 2	第 7 の配線	
9 0	リセット回路	
1 0 1	第 1 の配線	
1 0 2	第 2 の配線	
1 0 3	第 3 の配線	40
1 0 4	第 4 の配線	
1 0 5	第 5 の配線	
1 0 6	第 6 の配線	
1 0 7	第 7 の配線	
1 0 8	第 8 の配線	
1 0 9	第 9 の配線	
1 1 0	第 1 0 の配線	
1 1 1	第 8 の配線	
1 2 1	第 1 の電流制御回路	
1 2 2	第 2 の電流制御回路	50

1 3 1	第 1 の電流駆動表示素子	
1 3 2	第 2 の電流駆動表示素子	
1 4 1	第 1 の陽極配線	
1 4 2	第 2 の陽極配線	
1 5 1	第 1 の陰極配線	
1 5 2	第 2 の陰極配線	
1 6 0	スイッチ	
1 6 1	スイッチ	
1 6 2	スイッチ	
1 7 0	容量素子	10
1 7 1	容量素子	
1 8 0	配線	
1 8 1	配線	
2 0 0	表示パネル	
2 0 1	表示部	
2 0 2	接続部	
2 0 3	接続基板	
2 1 1	第 1 のスキヤンドライバ	
2 1 2	第 2 のスキヤンドライバ	
2 1 3	第 3 のスキヤンドライバ	20
2 1 4	第 4 のスキヤンドライバ	
2 2 1	データドライバ	
2 3 1	周辺駆動回路	
2 3 2	周辺駆動回路	
2 3 3	周辺駆動回路	
2 3 4	周辺駆動回路	
1 2 1 a	電極	
1 2 1 b	電極	
1 2 1 c	電極	
1 2 2 a	電極	30
1 2 2 b	電極	
1 2 2 c	電極	
7 0 0 1	トランジスタ	
7 0 0 2	トランジスタ	
7 0 0 3	トランジスタ	
7 0 0 4	トランジスタ	
7 0 0 5	トランジスタ	
7 0 0 6	トランジスタ	
7 0 1 1	基板	
7 0 1 2	絶縁膜	40
7 0 1 3	半導体層	
7 0 1 4	半導体層	
7 0 1 5	半導体層	
7 0 1 6	絶縁膜	
7 0 1 7	ゲート電極	
7 0 1 8	絶縁膜	
7 0 1 9	絶縁膜	
7 0 2 1	サイドウォール	
7 0 2 2	マスク	
7 0 2 3	導電膜	50

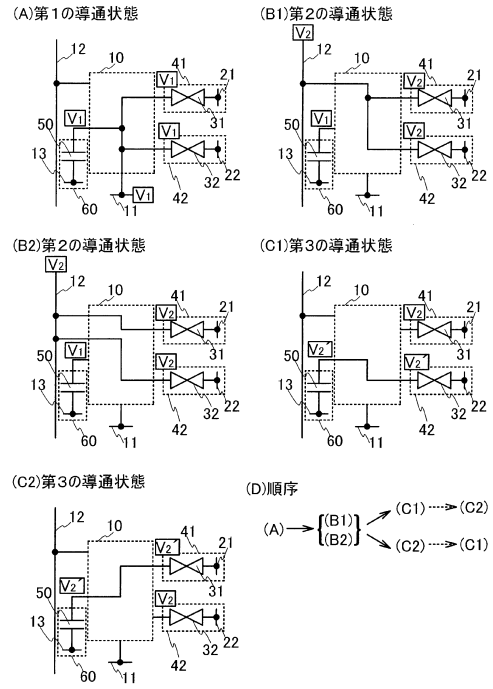
7 0 2 4	絶縁膜	
7 0 3 1	基板	
7 0 3 2	絶縁膜	
7 0 3 3	導電層	
7 0 3 3	導電層	
7 0 3 4	導電層	
7 0 3 5	導電層	
7 0 3 6	半導体層	
7 0 3 7	半導体層	
7 0 3 8	半導体層	10
7 0 3 9	絶縁膜	
7 0 4 0	絶縁膜	
7 0 4 1	導電層	
7 0 4 2	導電層	
7 0 4 8	トランジスタ	
7 0 4 9	容量素子	
7 0 5 1	基板	
7 0 5 2	絶縁膜	
7 0 5 3	導電層	
7 0 5 4	導電層	20
7 0 5 5	絶縁膜	
7 0 5 6	半導体層	
7 0 5 7	半導体層	
7 0 5 8	半導体層	
7 0 5 9	導電層	
7 0 6 0	導電層	
7 0 6 1	導電層	
7 0 6 8	トランジスタ	
7 0 6 9	容量素子	
7 0 7 1	基板	30
7 0 7 2	絶縁膜	
7 0 7 3	導電層	
7 0 7 4	導電層	
7 0 7 5	絶縁膜	
7 0 7 6	半導体層	
7 0 7 7	半導体層	
7 0 7 8	半導体層	
7 0 7 9	導電層	
7 0 8 0	導電層	
7 0 8 1	導電層	40
7 0 8 2	絶縁膜	
7 0 8 8	トランジスタ	
7 0 8 9	容量素子	
7 0 9 1	基板	
7 0 9 2	絶縁膜	
7 0 9 3	導電層	
7 0 9 4	導電層	
7 0 9 5	不純物領域	
7 0 9 6	不純物領域	
7 0 9 7	不純物領域	50

7 0 9 8	L D D 領域	
7 0 9 9	L D D 領域	
7 1 0 0	チャンネル形成領域	
7 1 0 1	絶縁膜	
7 1 0 2	導電層	
7 1 0 3	導電層	
7 1 0 4	絶縁膜	
7 1 0 8	トランジスタ	
7 1 0 9	容量素子	
7 1 1 0	半導体基板	10
7 1 1 1	絶縁膜	
7 1 1 2	領域	
7 1 1 3	領域	
7 1 1 4	p ウェル	
7 1 2 1	絶縁膜	
7 1 2 2	絶縁膜	
7 1 2 3	導電膜	
7 1 2 4	導電膜	
7 1 3 0	ゲート電極	
7 1 3 1	ゲート電極	20
7 1 3 2	レジストマスク	
7 1 3 3	チャンネル形成領域	
7 1 3 4	不純物領域	
7 1 3 5	レジストマスク	
7 1 3 6	チャンネル形成領域	
7 1 3 7	不純物領域	
7 1 3 8	絶縁膜	
7 1 3 9	配線	
9 6 3 0	筐体	
9 6 3 1	表示部	30
9 6 3 3	スピーカ	
9 6 3 5	操作キー	
9 6 3 6	接続端子	
9 6 3 8	マイクロフォン	
9 6 7 2	記録媒体読込部	
9 6 7 6	シャッターボタン	
9 6 7 7	受像部	
9 6 8 0	外部接続ポート	
9 6 8 1	ポインティングデバイス	

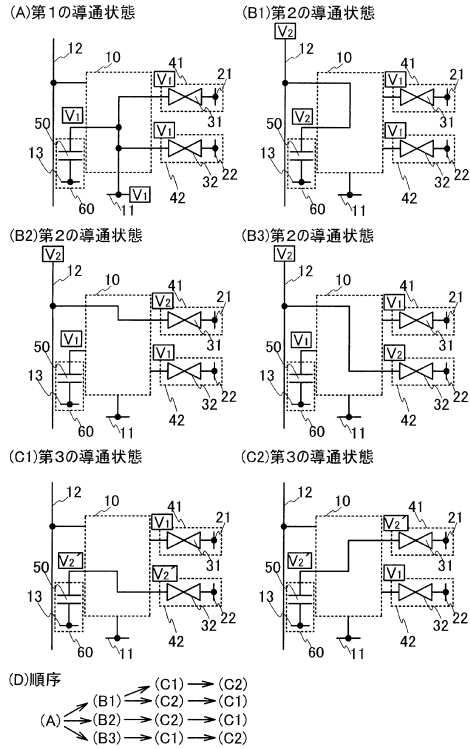
【図1】



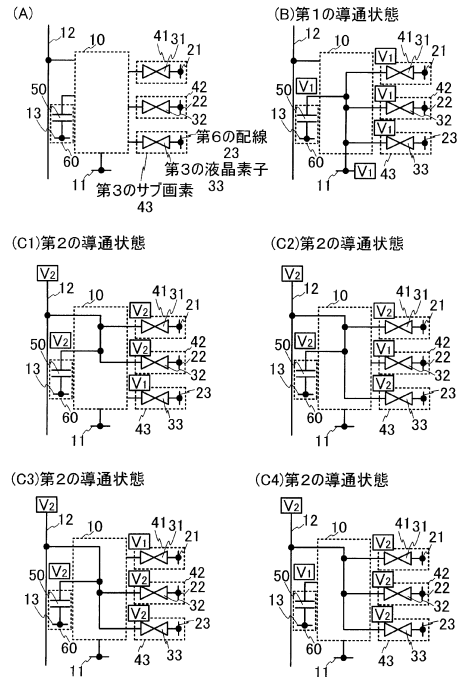
【図2】



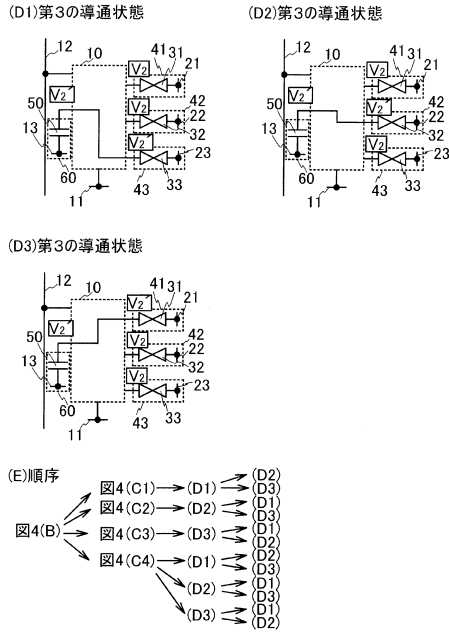
【図3】



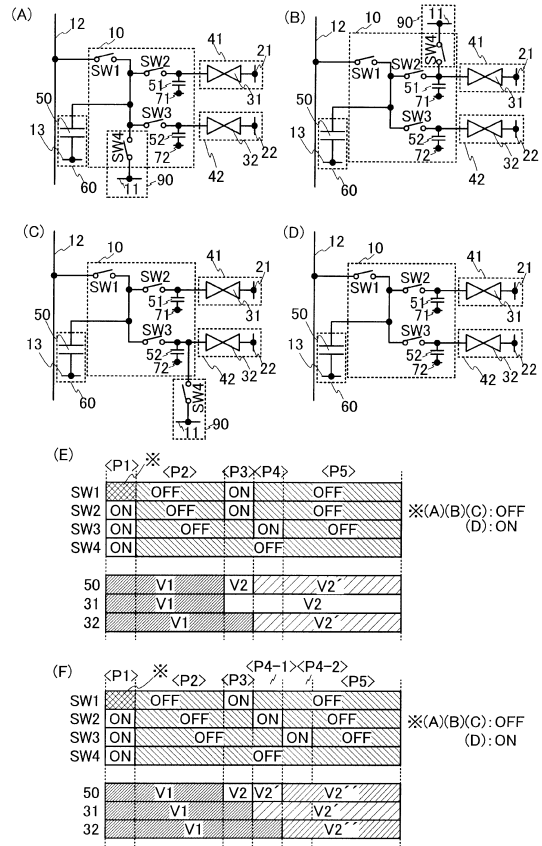
【図4】



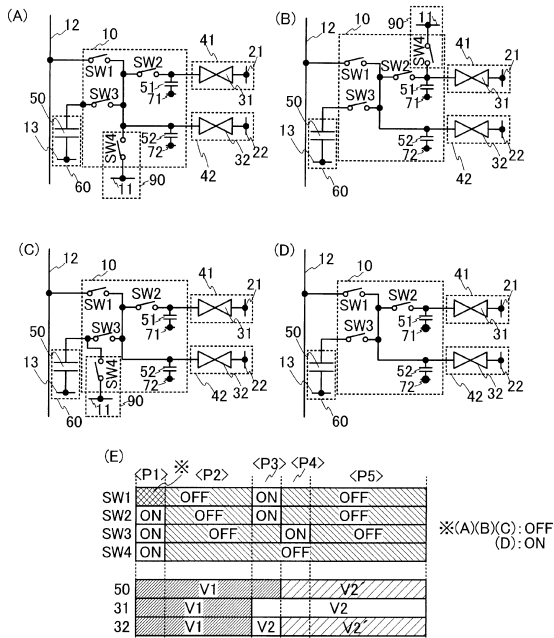
【図5】



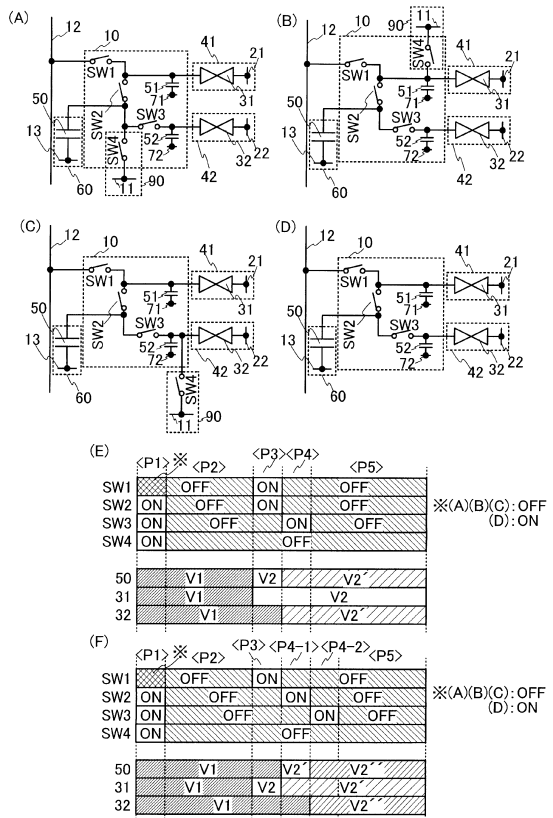
【図6】



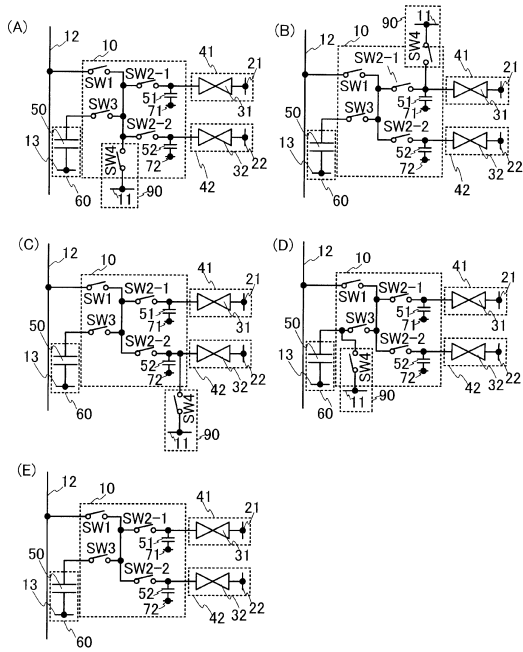
【図7】



【図8】



【図9】



【図10】

(A)

	<P1>	* <P2>	<P3><P4>	<P5>
SW1	OFF	ON	OFF	OFF
SW2-1	ON	OFF	ON	OFF
SW2-2	ON	OFF	ON	OFF
SW3	ON	OFF	ON	OFF
SW4	ON		OFF	

(B)

	<P1>	* <P2>	<P3><P4>	<P5>
SW1	OFF	ON	OFF	OFF
SW2-1	ON	OFF	ON	OFF
SW2-2	ON	OFF	ON	OFF
SW3	ON	OFF	ON	OFF
SW4	ON		OFF	

(C)

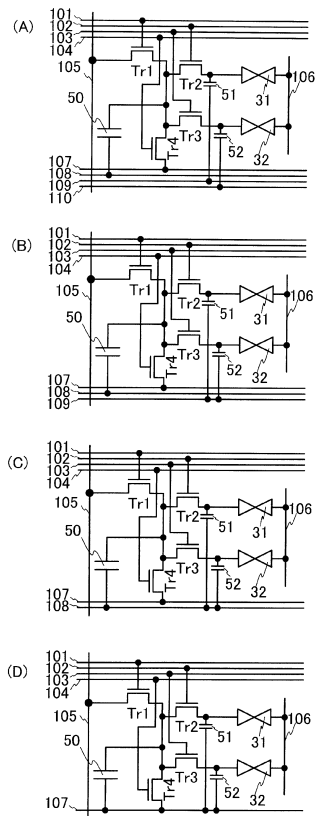
	<P1>	* <P2>	<P3><P4-1>	<P4-2>	<P5>
SW1	OFF	ON	OFF	OFF	OFF
SW2-1	ON	OFF	ON	OFF	OFF
SW2-2	ON	OFF	ON	OFF	OFF
SW3	ON	OFF	ON	OFF	OFF
SW4	ON		OFF		

(D)

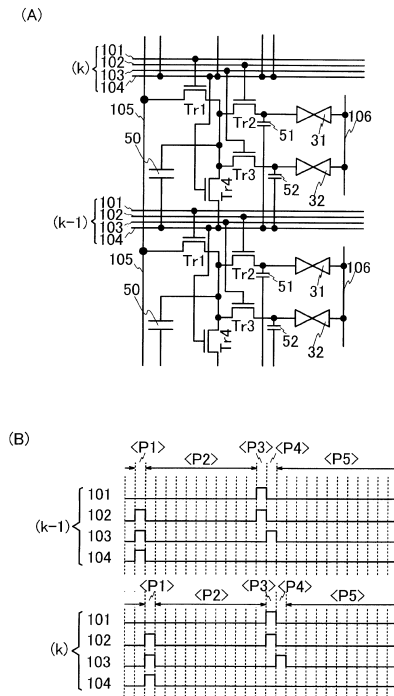
	<P1>	* <P2>	<P3><P4-1>	<P4-2>	<P5>
SW1	OFF	ON	OFF	OFF	OFF
SW2-1	ON	OFF	ON	OFF	OFF
SW2-2	ON	OFF	ON	OFF	OFF
SW3	ON	OFF	ON	OFF	OFF
SW4	ON		OFF		

*図9(A)(B)(C)(D): OFF
 図9(E): ON

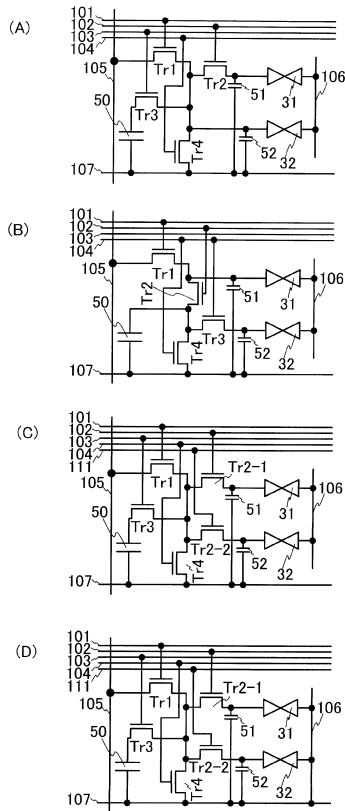
【図11】



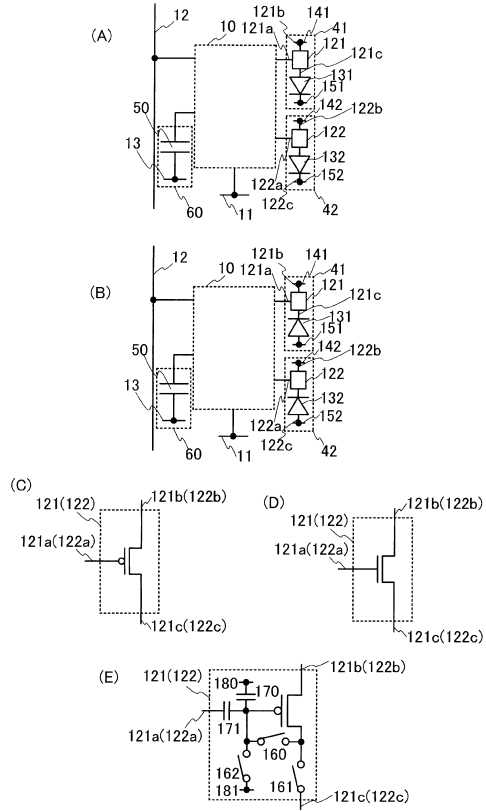
【図12】



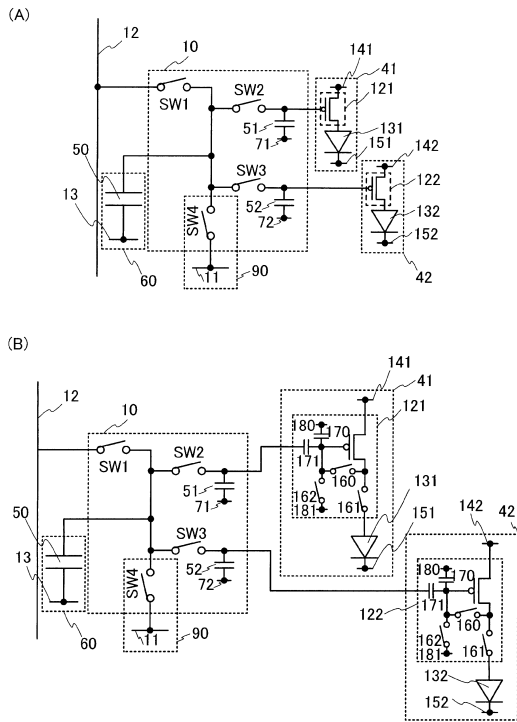
【図13】



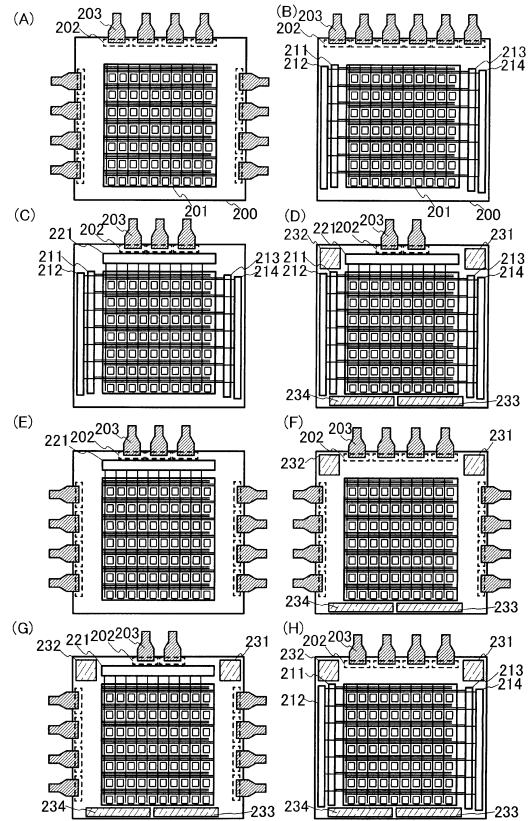
【図14】



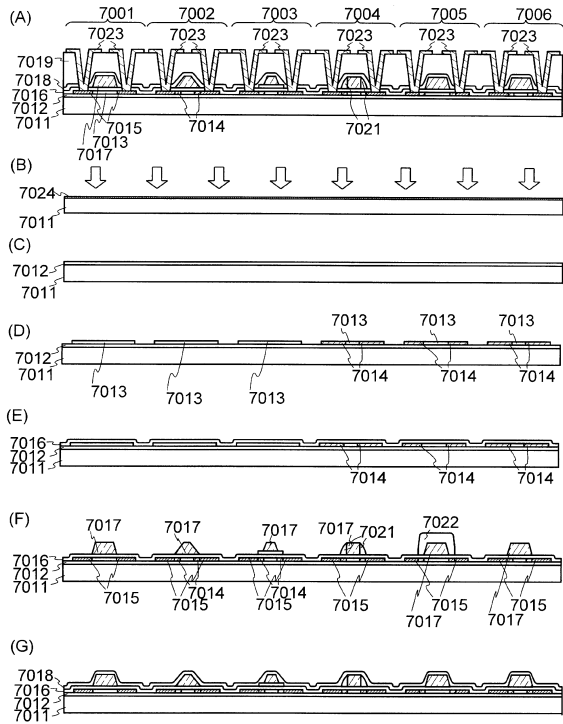
【図15】



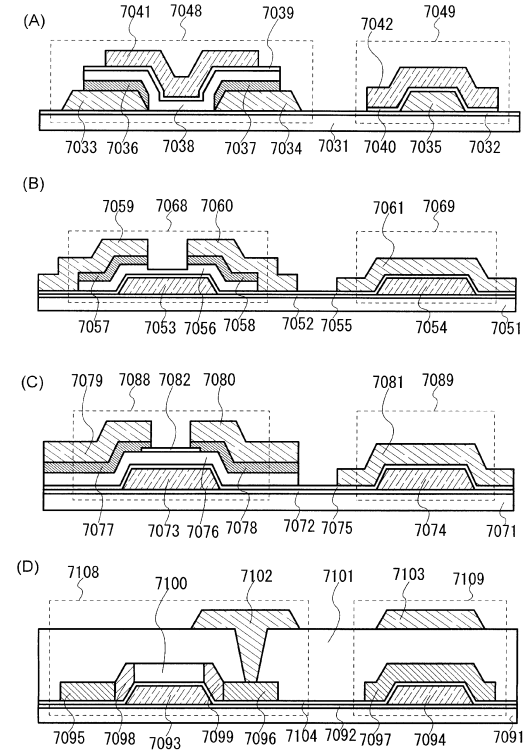
【図16】



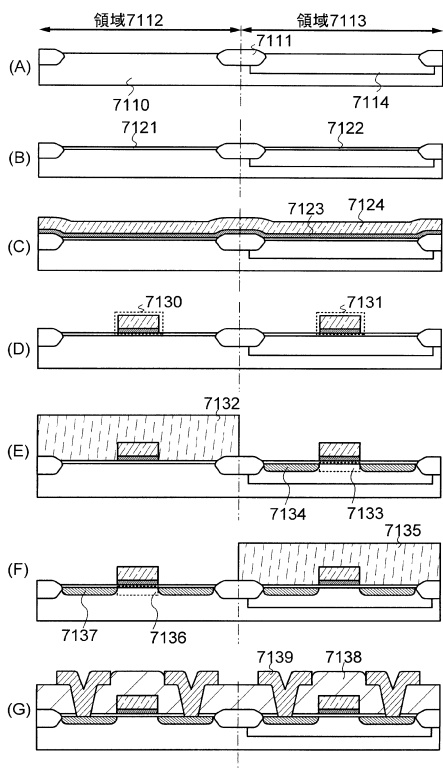
【図17】



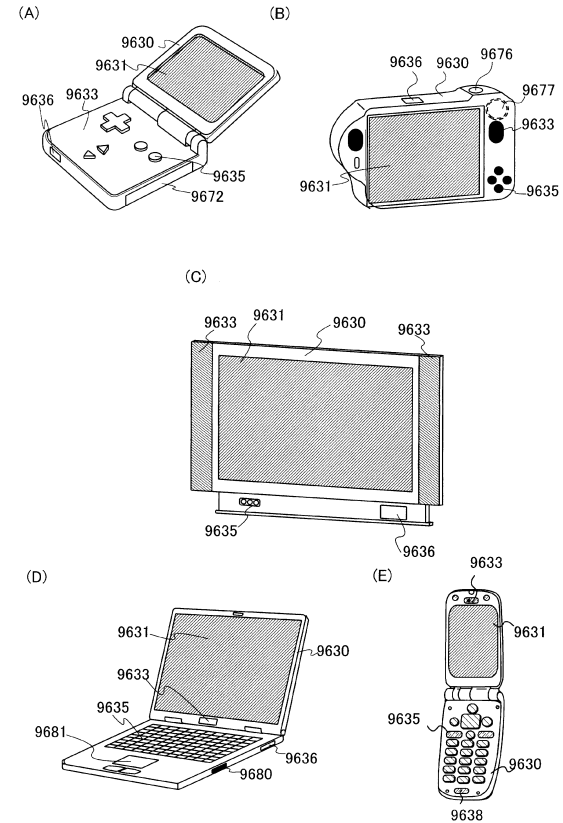
【図18】



【図19】



【図20】



フロントページの続き

(51) Int.Cl.

F I

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 4 1 G
G 0 9 G	3/20	6 4 1 R
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 7 5

(56) 参考文献 特開 2 0 0 6 - 3 4 3 7 3 3 (J P , A)

特開 2 0 0 6 - 3 3 0 6 3 4 (J P , A)

特開 2 0 0 1 - 2 8 1 6 2 8 (J P , A)

特開平 9 - 2 8 8 2 6 1 (J P , A)

(58) 調査した分野(Int.Cl. , DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3

专利名称(译)	液晶显示装置，显示模块和电子设备		
公开(公告)号	JP5786008B2	公开(公告)日	2015-09-30
申请号	JP2013206208	申请日	2013-10-01
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	吉田泰則		
发明人	吉田 泰則		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G3/207 G09G3/3233 G09G3/3607 G09G2300/0443 G09G2300/0447		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.611.E G09G3/20.611.H G09G3/20.621.F G09G3/20.624.B G09G3/20.641.C G09G3/20.641.G G09G3/20.641.R G02F1/133.550 G02F1/133.575 G09G3/20.624.C G09G3/30.J G09G3/3233		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZA19 2H193/ZB16 2H193/ZD23 2H193/ZE02 2H193/ZF36 5C006/AA12 5C006/AA16 5C006/AA22 5C006/AC21 5C006/AC22 5C006/AC25 5C006/AF33 5C006/BB16 5C006/BC06 5C006/BC20 5C006/BF31 5C006/EB04 5C006/FA12 5C006/FA14 5C006/FA23 5C006/FA29 5C006/FA42 5C006/FA47 5C006/FA51 5C006/FA54 5C006/FA55 5C080/AA05 5C080/AA06 5C080/AA07 5C080/AA08 5C080/AA10 5C080/BB05 5C080/DD02 5C080/DD03 5C080/DD06 5C080/DD23 5C080/DD26 5C080/DD27 5C080/EE19 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ01 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK07 5C080/KK43 5C080/KK50 5C380/AA01 5C380/AB06 5C380/AB15 5C380/AB18 5C380/AB22 5C380/AB23 5C380/BA28 5C380/BA39 5C380/BB01 5C380/BD11 5C380/CC02 5C380/CC07 5C380/CD036 5C380/CD049 5C380/DA02		
审查员(译)	武田 悟		
优先权	2007308858 2007-11-29 JP		
其他公开文献	JP2014016647A		
外部链接	Espacenet		

摘要(译)

使用具有子像素的像素的显示装置通过驱动子像素来消耗功率 在不增加电力的情况下，提供具有改善的视角和运动图像显示质量的显示设备。
 解决方案：可以通过多个开关提供可以改变导通状态的电路，子像素的数量和电容元件中的电荷相互移动，从而多次移动 并且在不施加子像素的电压的情况下将期望电压施加到多个子像素。此外，充电，提供在每个子像素中显示黑色的时段。点域1

(21) 出願番号	特願2013-206208 (P2013-206208)	(73) 特許権者	000153878
(22) 出願日	平成25年10月1日 (2013.10.1)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2008-299023 (P2008-299023) の分割		神奈川県厚木市長谷398番地
原出願日	平成20年11月25日 (2008.11.25)	(72) 発明者	吉田 泰則
(65) 公開番号	特開2014-16647 (P2014-16647A)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(43) 公開日	平成26年1月30日 (2014.1.30)	審査官	武田 悟
審査請求日	平成25年10月1日 (2013.10.1)		
(31) 優先権主張番号	特願2007-308858 (P2007-308858)		
(32) 優先日	平成19年11月29日 (2007.11.29)		
(33) 優先権主張国	日本国 (JP)		
前置審査			