

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5679532号
(P5679532)

(45) 発行日 平成27年3月4日(2015.3.4)

(24) 登録日 平成27年1月16日(2015.1.16)

(51) Int.Cl.

F I

GO2F 1/1339 (2006.01)

GO2F 1/1345 (2006.01)

GO2F 1/1339 505

GO2F 1/1345

請求項の数 6 (全 20 頁)

(21) 出願番号	特願2013-118546 (P2013-118546)	(73) 特許権者	000153878
(22) 出願日	平成25年6月5日 (2013.6.5)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2012-192910 (P2012-192910)		神奈川県厚木市長谷398番地
	の分割	(72) 発明者	張 宏勇
原出願日	平成7年12月21日 (1995.12.21)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2013-200573 (P2013-200573A)		半導体エネルギー研究所内
(43) 公開日	平成25年10月3日 (2013.10.3)		
審査請求日	平成25年6月10日 (2013.6.10)	審査官	山口 裕之
早期審査対象出願			
			最終頁に続く

(54) 【発明の名称】 アクティブマトリックス型表示装置

(57) 【特許請求の範囲】

【請求項1】

第1の基板と、
前記第1の基板上の周辺駆動回路と、
前記第1の基板上の、画素部において第1の方向に延在する第1の配線と、
前記第1の基板上の、前記画素部において前記第1の方向に延在する第2の配線と、
前記第1の基板上の第1のダミー配線と、
前記第1の基板上の第2のダミー配線と、
前記第1の基板と対向する第2の基板と、
前記第1の基板と前記第2の基板との間のシール材と、を有し、
前記第1の配線、前記第2の配線、前記第1のダミー配線、及び前記第2のダミー配線
は、同一の出発膜から形成されたものであり、
前記第1の基板は、前記第1の方向と交差する第2の方向に延在する第1の辺を有し、
前記周辺駆動回路は、前記第1の辺側に設けられ、かつ前記シール材と重なっておらず、
前記シール材は、前記第1の辺に沿って設けられた第1の領域を有し、
前記第1のダミー配線は、前記第1の領域と重なる領域を有し、
前記第2のダミー配線は、前記第1の領域と重なる領域を有し、
前記第2の方向における前記第1のダミー配線の一端から他端までの距離は、前記第2
の方向における前記第1の配線と前記第2の配線との間の距離よりも長く、

10

20

前記第 2 の方向における前記第 2 のダミー配線の一端から他端までの距離は、前記第 2 の方向における前記第 1 の配線と前記第 2 の配線との間の距離よりも長く、

前記第 1 のダミー配線の全上面及び全側面は、第 1 の絶縁物に覆われており、

前記第 2 のダミー配線の全上面及び全側面は、前記第 1 の絶縁物に覆われており、

前記第 1 のダミー配線の全底面及び前記第 2 のダミー配線の全底面は、第 2 の絶縁物と接しており、

前記第 1 の絶縁物と前記第 2 の絶縁物は、前記第 1 のダミー配線と前記第 2 のダミー配線の間の領域において接しており、

前記第 1 の方向に延在する断面において、前記第 1 のダミー配線の一部と、前記第 2 のダミー配線の一部とが配置されており、

10

前記断面は、前記第 1 の基板の表面に対して垂直な面であることを特徴とするアクティブマトリックス型表示装置。

【請求項 2】

第 1 の基板と、

前記第 1 の基板上の周辺駆動回路と、

前記第 1 の基板上の、画素部において第 1 の方向に延在する第 1 の配線と、

前記第 1 の基板上の、前記画素部において前記第 1 の方向に延在する第 2 の配線と、

前記第 1 の基板上の第 1 のダミー配線と、

前記第 1 の基板上の第 2 のダミー配線と、

前記第 1 の基板と対向する第 2 の基板と、

20

前記第 1 の基板と前記第 2 の基板との間のシール材と、を有し、

前記第 1 の配線、前記第 2 の配線、前記第 1 のダミー配線、及び前記第 2 のダミー配線は、同一の出発膜から形成されたものであり、

前記第 1 の基板は、前記第 1 の方向と交差する第 2 の方向に延在する第 1 の辺を有し、

前記周辺駆動回路は、前記第 1 の辺側に設けられ、かつ前記シール材と重なっておらず、

前記シール材は、前記第 1 の辺に沿って設けられた第 1 の領域を有し、

前記第 1 のダミー配線は、前記第 1 の領域と重なる領域を有し、

前記第 2 のダミー配線は、前記第 1 の領域と重なる領域を有し、

前記第 2 の方向における前記第 1 のダミー配線の一端から他端までの距離は、前記第 2 の方向における前記第 1 の配線と前記第 2 の配線との間の距離よりも長く、

30

前記第 2 の方向における前記第 2 のダミー配線の一端から他端までの距離は、前記第 2 の方向における前記第 1 の配線と前記第 2 の配線との距離よりも長く、

前記第 1 の方向における前記第 1 のダミー配線の一端から他端までの距離は、前記第 1 の方向における前記第 1 の領域の一端から他端までの距離よりも長く、

前記第 1 の方向における前記第 2 のダミー配線の一端から他端までの距離は、前記第 1 の方向における前記第 1 の領域の一端から他端までの距離よりも長く、

前記第 1 のダミー配線の全上面及び全側面は、第 1 の絶縁物に覆われており、

前記第 2 のダミー配線の全上面及び全側面は、前記第 1 の絶縁物に覆われており、

前記第 1 のダミー配線の全底面及び前記第 2 のダミー配線の全底面は、第 2 の絶縁物と接しており、

40

前記第 1 の絶縁物と前記第 2 の絶縁物は、前記第 1 のダミー配線と前記第 2 のダミー配線の間の領域において接しており、

前記第 1 の方向に延在する断面において、前記第 1 のダミー配線の一部と、前記第 2 のダミー配線の一部とが配置されており、

前記断面は、前記第 1 の基板の表面に対して垂直な面であることを特徴とするアクティブマトリックス型表示装置。

【請求項 3】

請求項 1 又は請求項 2 において、

前記第 1 のダミー配線及び前記第 2 のダミー配線は、半導体膜及び導電膜のいずれとも

50

接しないことを特徴とするアクティブマトリックス型表示装置。

【請求項 4】

請求項 1 又は請求項 2 において、

前記第 1 のダミー配線及び前記第 2 のダミー配線は、半導体膜及び導電膜のいずれとも重ならないことを特徴とするアクティブマトリックス型表示装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 の基板上の、前記画素部において前記第 1 の方向に延在する第 3 の配線と、

前記第 1 の基板上の、前記画素部において前記第 1 の方向に延在する第 4 の配線と、を有し、

10

前記第 3 の配線及び前記第 4 の配線は、前記同一の出発膜から形成されたものであり、

前記第 1 の基板は、前記第 1 の方向に延在する第 2 の辺と、前記第 1 の方向に延在する第 3 の辺とを有し、

前記第 3 の配線は、前記第 1 の配線及び前記第 2 の配線よりも前記第 2 の辺に近接し、

前記第 4 の配線は、前記第 1 の配線及び前記第 2 の配線よりも前記第 3 の辺に近接し、

前記第 1 のダミー配線及び前記第 2 のダミー配線は、前記第 3 の配線の仮定の延長線と、前記第 4 の配線の仮定の延長線との間に設けられていることを特徴とするアクティブマトリックス型表示装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

20

前記第 1 の基板の前記第 1 の辺側に、外部端子を有することを特徴とするアクティブマトリックス型表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリックス方式の液晶表示装置に関するものであり、基板張り合わせ時に発生する不良を削減することを目的とする。特に、周辺回路一体型の液晶表示装置に関するものである。

【背景技術】

【0002】

30

従来のアクティブマトリックス型液晶表示装置においては、画素部にマトリクス状に配置された MIM 等の 2 端子素子、又は TFT 等の 3 端子素子のスイッチング作用を利用して、画素電極間に挟持されている液晶材料の透光性等の光学特性を制御して、表示を得ている。一般に、画素電極のスイッチング素子として、アモルファスシリコンを使用した TFT が広く使用されている。

【0003】

しかしながら、アモルファスシリコンの電界効果移動度が $0.1 \text{ cm}^2/\text{Vs} \sim 1 \text{ cm}^2/\text{Vs}$ 程度と低いため、アモルファスシリコンを利用した TFT を画素電極に接続された TFT を制御する周辺駆動回路に配置することはできない。

【0004】

40

このため、従来のアクティブマトリックス型液晶表示装置では、半導体集積回路により構成された周辺駆動回路を、テープ自動ボンディング (TAB) 法や、チップ・オン・ガラス (COG) 法により、液晶パネルに外付けしている。

【0005】

図 16 は第 1 の従来例のアクティブマトリックス型液晶パネルの概略の正面図であり、周辺駆動回路を外付けにしたものである。図 16 に示すように、ガラス、石英等の素子基板 1 上には、走査線 2、信号線 3 がマトリクス状に配置され、画素部 4 において、これらの配線の交差部には、画素電極、画素電極のスイッチング用の画素 TFT が接続されている。走査線 2、信号線 3 はそれぞれシール材領域 5 の外側まで延在しており、このため、シール材を横切る配線数は少なくとも、走査線 2、信号線 3 の数だけある。それら配線の

50

端部はそのまま引き出し端子 6 となり、引き出し端子 6 には、図示しない周辺駆動回路が接続されている。

更に、シール材領域 5 に形成されるシール材により、素子基板 1 と図示しない対向基板とが接合され、これらの基板間にシール材により液晶材料が封入されている。

【 0 0 0 6 】

また、近年では、電界効果移動度が大きい T F T を得るために、結晶性シリコンを利用して T F T を作製する技術が盛んに研究されている。結晶性シリコンを利用した T F T はアモルファスシリコン T F T よりも格段の高速動作が可能であり、結晶性シリコンにより、N M O S の T F T のみでなく、P M O S の T F T も同様に得られるので C M O S 回路を形成することが可能である。従って、同一基板上に表示部と共に、周辺駆動回路を作製することが可能になる。

10

【 0 0 0 7 】

図 1 7 は第 2 の従来例のアクティブマトリックス型液晶表示装置の概略の正面図であり、周辺駆動回路と表示部をパネル一体化したものである。図 1 7 に示すように、ガラス、石英等の素子基板 1 1 上には、画素部 1 2 が配置され、画素部 1 2 の周囲において、上側には信号線駆動回路 1 3 が設けられ、左側には走査線駆動回路 1 4 が設けられている。信号線駆動回路 1 3、走査線駆動回路 1 4 にはそれぞれ信号線 1 5、走査線 1 6 が接続されている。信号線 1 5、走査線 1 6 はそれぞれ画素部 1 2 において格子を成し、信号線駆動回路 1 3、走査線駆動回路 1 4 に接続されていない端部はシール材領域 1 7 の外側まで延在して、図示しない制御回路、電源等が接続されている。また、シール材領域 1 7 に形成されるシール材により、素子基板 1 1 と対向基板 1 8 とが接合され、シール材により、これら基板 1 1、1 8 間に液晶材料が封入されている。更に、素子基板 1 1 上には、外部端子 1 9 が設けられている。

20

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

図 1 6 に示す第 1 の従来例では、画素部 4 周辺の配線構造が紙面において上下及び左右に対称的であるため、シール部の段差が均一になるので、基板間隔を均等にすることができる。

【 0 0 0 9 】

30

しかしながら、第 1 の従来例では、周辺駆動回路がシール材の外側に接続されるため、シール材を横切る配線数が多く、駆動回路から画素部に接続されている配線とシール材との界面から水分が侵入して、液晶材料を劣化してしまうという問題点がある。また、周辺駆動回路が外側にあるため、装置自体が大型化してしまう。

【 0 0 1 0 】

これらの問題点を回避するために、図 1 7 に示す第 2 の従来例の周辺駆動回路一体型のアクティブマトリックス型液晶表示装置では、シール材領域 1 7 の内側に周辺駆動回路を配置している。また、一般的に冗長回路を設けずに、片側駆動方式が採用されている。このため、図 1 7 に示すように、素子基板 1 1 の右側、下側だけ配線がシール材を横断しているので、配線構造が紙面上下及び左右で対称性が無くなり、シール材の段差は周辺駆動回路側と、配線が延長している側では異なる。従って、基板を張り合わせる際に、基板に均等に圧力がかからないため、基板間隔を均等にすることが困難になる。この結果、表示ムラが生じたり、画質を低下させてしまう。

40

【 0 0 1 1 】

特に、周辺駆動回路側のシール材の段差が低くなっているため、基板張り合わせ時に、周辺駆動回路において、配線が上下間でショートしてしまう恐れがあり、線欠陥が生じ易い。これらの問題点は、周辺駆動回路一体型の液晶表示装置の歩留りの低下、信頼性の低下の新たな原因となっている。

【 0 0 1 2 】

また、画素部において、最も突出している部分は走査線と信号線とが重なっている領域

50

であり、この領域には、走査線、信号線、これらを分離するための層間絶縁膜のみでなく、更に、画素電極、ブラックマトリクス等が積層されている。

一般に、シール材には基板間隔を維持するための円柱状のファイバーが混入されている。ファイバーの寸法は画素部の突出部の厚さと、シール材の内側に散布されるスペーサの寸法とを合わせて、マージンを考慮した値とされて、画素部よりシール材の段差が高くなるようにしているが、画素部の突出部上にスペーサが配置されていると、シール材よりもこの部分のほうが高くなってしまいうので、この状態で、基板を張り合わせると、スペーサにより走査線と信号線が上下間でショートされてしまい、点欠陥、線欠陥の原因となる。

【0013】

10

本発明の目的は、上述の問題点を解消して、画質の優れた、信頼性の高い周辺駆動回路一体型の液晶表示装置を提供することにある。

【課題を解決するための手段】

【0014】

上述の問題点を解消するために、本発明に係る液晶装置の構成は、マトリクス回路を有する素子基板と、該素子基板と対向する対向基板と、前記素子基板と前記対向基板とを接着するためのシール材と、を有する液晶表示装置において、前記素子基板において、前記シール材が形成される領域には、前記シール材の下部に少なくとも1層以上の積層構造が形成され、前記積層構造は電気的に実質的に絶縁されていることを特徴とする。

【0015】

20

また本発明の他の構成は、マトリクス状に配置され、第1の層間絶縁膜より層間分離された信号線と走査線と、該信号線と該走査線との交点に配置され、第2の層間絶縁膜により信号線と層間分離された画素電極とを有するマトリクス回路と、該マトリクス回路を制御するための周辺駆動回路とを有する素子基板と、該素子基板と対向する対向基板と、前記マトリクス回路を取り囲み、前記素子基板と前記対向基板とを接着するためのシール材と、を有する液晶表示装置において、前記素子基板において、前記シール材の形成領域には、前記シール材の下部に少なくとも走査線と同一の材料から成る第1の支持部材と、前記第1の層間絶縁膜と、信号線と同一の材料から成る第2の支持部材と、第2の層間絶縁膜とが互いに異なる層に積層構造が形成され、前記積層構造は電気的に実質的に絶縁されていることを特徴とする。

30

【0016】

更に、本発明に係る液晶装置の他の構成は、マトリクス状に配置され、第1の層間絶縁膜より層間分離された信号線と走査線と、該信号線と該走査線との交点に配置され、第2の層間絶縁膜により信号線と層間分離された画素電極と、画素電極を動作させるための薄膜トランジスタとを有するマトリクス回路と、該マトリクス回路を制御するための周辺駆動回路とを有する素子基板と、該素子基板と対向する対向基板と、前記マトリクス回路を取り囲み、前記素子基板と前記対向基板とを接着するためのシール材と、を有する液晶表示装置において、前記素子基板において、前記シール材の形成領域には、前記シール材の下部に少なくとも走査線と同一の材料から成る支持部材と、前記第1の層間絶縁膜と、第2の層間絶縁膜とが互いに異なる層に形成されている積層構造を有し、前記積層構造は電気的に実質的に絶縁されていることを特徴とする。

40

【発明の効果】

【0017】

本発明に係る液晶表示装置において、シール材の下部に形成される基板間隔補正手段により段差を均一にすることができるためシール材自体の段差も均一にすることができる。また、基板間隔補正手段により、スペーサを含んでもマトリクス回路がシール材よりも突出することがない。従って、基板張り合わせ時に、周辺駆動回路において配線が上下間でショートすることを回避することができ、周辺駆動回路一体型の液晶表示装置の歩留りを向上するとともに、信頼性をも向上することができる。さらに、基板間隔を均一に維持することができるので、表示ムラがなくなり、高精細な表示が可能になる。

50

【 0 0 1 8 】

更に、本発明の基板間隔補正手段は、マトリクス回路、周辺駆動回路と同時に、かつ工程数を増加することなく作製することが可能である。

【図面の簡単な説明】

【 0 0 1 9 】

【図 1】実施例 1 ～ 5 の液晶表示装置の上面図である。

【図 2】実施例 1 ～ 5 の T F T の作製工程図である。

【図 3】実施例 1 のシール材下部構成の作製工程図である。

【図 4】実施例 1 のシール材下部構成の作製工程図である。

【図 5】図 4 の線 A - A ' における断面図であり、図 7 の線 B - B ' における断面図である。 10

【図 6】図 4 の線 A - A ' における断面図であり、図 8 の線 B - B ' における断面図である。

【図 7】実施例 2 の基板間隔補正手段の作製工程図である。

【図 8】実施例 2 の基板間隔補正手段の作製工程図である。

【図 9】実施例 3 の基板間隔補正手段の作製工程図である。

【図 10】図 9 の線 C - C ' における断面図である。

【図 11】図 9 の線 D - D ' における断面図である。

【図 12】実施例 4 の基板間隔補正手段の上面図である。

【図 13】図 12 の線 E - E ' における断面図である。 20

【図 14】実施例 5 の基板間隔補正手段の上面図である。

【図 15】図 14 の線 F - F ' における断面図である。

【図 16】従来例 1 の液晶表示装置の上面図である。

【図 17】従来例 2 の液晶表示装置の上面図である。

【発明を実施するための形態】

【 0 0 2 0 】

図面を使用して本発明の実施の形態を説明する。

図 1 は本実施例のアクティブマトリクス型液晶表示装置の素子基板の概略の正面図であり、周辺駆動回路 1 0 3、1 0 4 と表示部 1 0 2 が素子基板 1 0 1 上に配置されている。 30

【 0 0 2 1 】

図 1 に示すように、紙面右側、下側において、信号線 1 0 5、走査線 1 0 6 がシール材形成領域 1 0 7 を横断しているが、周辺回路 1 0 3、1 0 4 側のシール材形成領域 1 0 7 には、これらの配線が横断していない。このため本発明において、シール材下部構造の段差を均一にする基板間隔補正手段を形成する。

【 0 0 2 2 】

図 6 は基板間隔補正手段のシール材幅方向の断面図である。図 6 に示すように、シール材形成領域には、走査線 1 0 6 と同一の材料から成る第 1 の支持部材 3 0 1、3 0 2、3 0 3 と、信号線 1 0 5 と走査線 1 0 6 とを分離する第 1 の層間絶縁膜 2 2 0、信号線 1 0 5 と同一の材料から成る第 2 の支持部材 3 0 4 とが積層されている。特に、第 1 の支持部材 3 0 1、3 0 2、3 0 3 上に、第 2 の支持部材 3 0 4 が存在しないようにしたため、シール材形成領域 1 0 7 の縁部に沿った基板間隔補正手段の断面構成を一様になるので、シール材の段差を均一にすることができる。 40

【 0 0 2 3 】

図 1 5 は他の基板間隔補正手段のシール材幅方向の断面図である。図 1 5 に示すように、シール材形成領域 1 0 7 には、走査線 1 0 6 と同一の材料から成る第 1 の支持部材 3 0 1、3 0 2、3 0 3 と、信号線 1 0 5 と走査線 1 0 6 とを分離する第 1 の層間絶縁膜 2 2 0、信号線 1 0 5 と同一の材料から成る第 2 の支持部材 7 0 1 とが積層されている。マトリクス回路の厚さが最大となる領域は、信号線 1 0 5 と走査線 1 0 6 とが重なる領域であり、その領域には、少なくとも、素子基板上に、信号線、層間絶縁膜、走査線、パッシベ 50

ーション膜が積層されている。従って、本発明では、第1の支持部材301、302、303上と、第2の支持部材701とを重なるように配置することにより、基板間隔補正手段の段差と、マトリクス回路の厚さが最大となる領域の高さを略等しくすることができるので、シール材よりも、スペーサーを含むマトリクス回路の段差が低くなるので、基板を張り合わせる際の圧力はシール材で支えることができるため、スペーサにより走査線と信号線が上下間でショートされることを防止することができる。

なお、信号線105と走査線106とが重なる領域には、更に、画素電極、ブラックマトリクス等が積層されるため、基板間隔補正手段にも、同様に、画素電極、ブラックマトリクス等を積層するとよい。

図4は基板間隔補正手段の上面図であり、シール材形成領域107には、線状の第1の支持部材301、302、303と第2の支持部材304とが等間隔に交互に配置されている。

10

【0024】

マトリクス回路から延長された走査線はシール材形成領域107を横断する領域R3において、第1の支持部材302と一体的に形成され、シール材形成領域107の外部に延長される。他方、マトリクス回路102から延長された信号線305はシール材形成領域107を横断する第1の支持部材303とシール材形成領域107の内側で接続される。

【0025】

このように、本発明では、シール材形成領域107を横断して電氣的に素子基板外部の回路と接続される配線パターンを第1の支持部材302、303のみで構成するようにしたため、シール材の段差をより均一にすることができる。

20

【0026】

また、図8に示すように、マトリクス回路102又は周辺回路103、104からの配線がシール材形成領域107を横断しない領域R1、R2において、第1の配線層401を分断せずに、シール材形成領域107の幅と略等しく矩形波状に形成する。これにより、シール材形成領域107の幅方向の任意の断面構成において、第1の配線層が存在するため、外部から水分が侵入することを防止することができる。

【0027】

また、本発明において、基板間隔補正手段は、前記画素電極を駆動する薄膜トランジスタと共に形成されるようにし、第1の配線層は前記走査線と同時に形成され、前記第2の配線層は前記信号線と同時に形成される。

30

【0028】

本発明を図示の実施例に基づいて、詳細に説明する。

【0029】

図1は実施例1～5のアクティブマトリクス型液晶表示装置の素子基板の概略の正面図であり、周辺駆動回路と表示部を一体化したものである。図1に示すように、ガラス、石英等の素子基板101上には、画素部102が配置され、画素部102の周囲において、上側には信号線駆動回路103が設けられ、左側には走査線駆動回路104が設けられている。信号線駆動回路103、走査線駆動回路104はそれぞれ信号線105、走査線106により画素部102と接続され、信号線105、走査線106は画素部102において格子を成し、それらの交差には、それぞれ液晶セル111、画素TFT112が直列に接続されている。画素TFT112において、ゲート電極は信号線105に接続され、ソース電極は走査線106に接続され、ドレイン電極は液晶セル111の電極に接続されている。

40

【0030】

更に、画素部102、信号線駆動回路103、走査線駆動回路104を取り囲むようにシール材領域107が配置され、シール材領域107に形成されるシール材により、素子基板101と図示しない対向基板とが接合され、これらの基板間に液晶材料が封入される。

【0031】

50

紙面右側、下側において、信号線 105、走査線 106 はシール材形成領域 107 の外部に延長されて、パネル外部の制御回路等に接続される。更に、素子基板 101 には外部端子 108 が設けられており、配線 109 により外部端子 108 と信号線駆動回路 103、走査線駆動回路 104 とがそれぞれ接続される。

【実施例 1】

【0032】

本実施例では、図 1 に示すアクティブマトリクス型の液晶表示装置において、シール材の段差を均等にするために、信号線 105、走査線 106 の出発膜から整形された電氣的に実質的に絶縁されている配線パターン（ダミー配線構造）をシール材形成領域 107 に配置して、シール材下部の構造を均一にすることにより、シール材の段差を均一にする

10

【0033】

本実施例のアクティブマトリクス型の液晶パネルの作製工程について、図 2～6 を用いて説明する。図 2 に TFT の作製工程を断面図で示し、図 2 の左側に周辺駆動回路（信号線駆動回路 203、走査線駆動回路 204）に配置される駆動回路 TFT の作製工程を示し、右側に画素部 202 に配置される画素 TFT の作製工程を示す。

【0034】

また、図 3～図 6 に第 1 層目のダミー配線 301 の作製工程図を示す。図 3、図 4 はシール材形成領域 107 の模式的な上面図であり、図 1 において楕円で示す領域 R1～R4 の拡大図である。また、図 5、図 6 はそれぞれ図 3、図 4 における線 A-A' による断面図である。

20

【0035】

TFT を作製するには、図 2 (A) に示すように、石英基板またはガラス基板等の基板 201 上に、下地酸化膜 202 として厚さ 1000～3000 の酸化珪素膜を形成する。この酸化珪素膜の形成方法としては、酸素雰囲気中でのスパッタ法やプラズマ CVD 法を用いればよい。

【0036】

次に、プラズマ CVD 法や LPCVD 法によってアモルファスシリコン膜を 300～1500、好ましくは 500～1000 形成する。そして、500 以上、好ましくは、800～950 の温度で熱アニールをおこない、シリコン膜を結晶化させる。熱アニールによって結晶化させた後に、光アニールをおこなって、さらに結晶性を高めてもよい。また、熱アニールによる結晶化の際に、特開平 6-244103、同 6-244104 に記述されているように、ニッケル等のシリコンの結晶化を促進させる元素（触媒元素）を添加してもよい。

30

【0037】

次に結晶化されたシリコン膜をエッチングして、島状の周辺駆動回路の TFT の活性層 203（Pチャネル型 TFT 用）、204（Nチャネル型 TFT）とマトリクス回路の TFT（画素 TFT）の活性層 205 をそれぞれ形成する。さらに、酸素雰囲気中でのスパッタ法によって、厚さ 500～2000 の酸化シリコンをゲイト絶縁膜 206 として形成する。酸化シリコン膜の形成方法としては、プラズマ CVD 法を用いてもよい。プラズマ CVD 法によって酸化シリコン膜を形成する場合には、原料ガスとして、一酸化二窒素（ N_2O ）もしくは酸素（ O_2 ）とモンシラン（ SiH_4 ）を用いることが好ましい。

40

【0038】

その後、第 1 層目の配線の出発膜を形成する。本実施例では、厚さ 2000～5 μm 、好ましくは 2000～6000 の多結晶シリコン膜（導電性を高めるため微量の燐を含有する）を LPCVD 法によって基板全面に形成する。そして、これをエッチングして、ゲイト電極 207、208、209 を形成する。（図 2 (A)）

【0039】

更に、本実施例では、ゲイト電極 207～209 を形成すると同時に、図 3 に示すよう

50

に、シール材領域 107 にも第 1 層目の配線の出発膜をパターンニングして、配線パターンを形成する。

【0040】

走査線駆動回路側領域 R1、信号線駆動回路側領域 R2 には、シール材形成領域 107 を横断するような配線パターンを形成する必要がないので、シリコン膜をパターンニングして、電氣的に接続されない、等間隔に配置された線状の第 1 層目のダミー配線 301 が形成される。

【0041】

走査線延長側領域 R3 には、シール材形成領域 107 を横断するように配線 302 を形成する。配線 302 は図 1 に示す走査線 106 に相当し、画素 TFT のゲイト電極 209 が延長されたものである。

10

【0042】

また信号線延長側領域 R4 には、シール材形成領域 107 を横断するように配線 303 が形成される。配線 303 の画素部 102 側の端部には画素部 102 から延長された第 2 層目の配線と接続するための接続端部 303a が形成される。

【0043】

なお、ダミー配線 301、及び配線 302、303 の間隔は走査線 106 の間隔と同じに、即ち画素の間隔と略同一とされる。本実施例では、第 1 層目のダミー配線 301、配線 302、第 1 層目のダミー配線 301 の間隔を約 $50\text{ }\mu\text{m}$ とし、その幅を約 $10\text{ }\mu\text{m}$ とする。

20

【0044】

従って、図 5 に示すように、シール材形成領域 107 には、第 1 層目のダミー配線 301、配線 302、配線 303 が等間隔に配置されているためシール材形成領域 107 の断面構成を一様にすることができる。

【0045】

なお、ゲイト電極 207 ~ 209、第 1 層目のダミー配線 301、配線 302、303 の出発膜の材料はシリコン膜に限定されるものでなく、一般的に使用されているゲイト電極の材料を使用すればよく、例えば、シリサイドや、陽極酸化可能な材料としてアルミニウム、タンタル、クロム、モリブデン等を使用することができる。

【0046】

30

次に、図 2 (B) に示すように、イオンドーピング法によって、全ての島状活性層 203 ~ 205 に、ゲイト電極 207 ~ 209 をマスクとして、自己整合的にフォスフィン (PH_3) をドーピングガスとして燐を注入する。ドーピング量は $1 \times 10^{12} \sim 5 \times 10^{13}$ 原子 / cm^2 する。この結果、弱い N 型領域 210、211、212 が形成される。

【0047】

次に、P チャネル型 TFT の活性層 203 を覆うフォトレジストのマスク 213 を形成すると同時に、画素 TFT の活性層 205 のうち、ゲイト電極 209 に平行にゲイト電極 209 の端から $3\text{ }\mu\text{m}$ 離れた部分までを覆うフォトレジストのマスク 214 を形成する。そして、再び、イオンドーピング法によって、フォスフィンをドーピングガスとして燐を注入する。ドーピング量は $1 \times 10^{14} \sim 5 \times 10^{15}$ 原子 / cm^2 とする。この結果、強い N 型領域 (ソース / ドレイン) 215、216 が形成される。画素 TFT の活性層 205 の弱い N 型領域 212 のうち、マスク 214 に覆われていた領域 217 は今回のドーピングでは燐が注入されないで、弱い N 型のままとする。(図 2 (C))

40

【0048】

次に、図 2 (D) に示す N チャネル型 TFT の活性層 204、205 をフォトレジストのマスク 218 で覆い、ジボラン (B_2H_6) をドーピングガスとして、イオンドーピング法により、島状領域 103 に硼素を注入する。ドーピング量は $5 \times 10^{14} \sim 8 \times 10^{15}$ 原子 / cm^2 とする。このドーピングでは、硼素のドーピング量が図 2 (C) における燐のドーピング量を上回るため、先に形成されていた弱い N 型領域 210 は強い P 型領域 219 に反転する。

50

【 0 0 4 9 】

図 2 (B) ~ (D) に示すドーピング工程を経て、強い N 型領域 (ソース / ドレイン) 2 1 5、2 1 6、強い P 型領域 (ソース / ドレイン) 2 1 9、弱い N 型領域 (低濃度不純物領域) 2 1 7 が形成される。本実施例においては、低濃度不純物領域 2 1 7) の幅 x は、約 3 μm とする。

【 0 0 5 0 】

その後、4 5 0 ~ 8 5 0 で 0 . 5 ~ 3 時間の熱アニールを施すことにより、ドーピングによるダメージを回復せしめ、ドーピング不純物を活性化して、シリコンの結晶性を回復させる。

【 0 0 5 1 】

その後、図 2 (E)、図 5 に示すように、基板全面に層間絶縁物 2 2 0 として、プラズマ C V D 法によって酸化シリコン膜を厚さ 3 0 0 0 ~ 6 0 0 0 形成する。本実施例では層間絶縁物 2 2 0 の膜厚を 4 0 0 0 とする。なお、層間絶縁物 2 2 0 は、窒化シリコン膜の単層膜、又は酸化シリコン膜と窒化シリコン膜の多層膜であってもよい。層間絶縁物 2 2 0 をエッチングして、ソース / ドレイン 2 1 9、2 1 5、2 1 6 及び、図 3 に示す配線 3 0 3 の接続端部 3 0 3 a に対するコンタクトホールをそれぞれ形成する。

【 0 0 5 2 】

そして、第 2 層目の配線・電極の出発膜を形成する。本実施例では、スパッタ法によって、厚さ 1 0 0 0 のチタン膜、厚さ 2 0 0 0 のアルミニウム膜、厚さ 1 0 0 0 のチタン膜を連続的に形成する。この 3 層膜をエッチングして、周辺回路の電極・配線 2 2 1、2 2 2、2 2 3 および画素 T F T の電極・配線 2 2 4、2 2 5 を形成すると同時に、図 4、図 6 に示すように、シール材形成領域 1 0 7 に電氣的に接続されない第 2 層目のダミー配線 3 0 4 が形成される。なお、図 6 は図 4 の領域 R1 ~ R4 における線 A - A' による断面図である。

【 0 0 5 3 】

図 4 に示すように、第 2 層目のダミー配線 3 0 4 は第 1 層目の電極・配線の出発膜 (シリコン膜) から形成された第 1 層目のダミー配線 3 0 1、配線 3 0 2、配線 3 0 3 の間隔に均等に配置される。このため、図 6 に示すように、シール材形成領域 1 0 7 の下部構成を一様に行うことができる。なお、ダミー配線 3 0 4 は走査線駆動回路側 R 1 と走査線延長線側領域 R 3 とで 1 本の配線が分断されたように形成され、同様に、信号線駆動回路側領域 R 2、信号線延長側領域 R 4 とにおいても、1 本の配線が分断されたように形成される。

【 0 0 5 4 】

更に、本実施例では、図 3 に示すように、素子基板 1 0 1 外部の回路や外部端子と接続するために、シール材形成領域 1 0 7 を横断するような配線パターン (配線 3 0 2、配線 3 0 3) を第 1 層目の配線の出発膜から形成するようにして、第 2 層目の配線をシール材形成領域 1 0 7 の外部に延長しないようにして、シール材形成領域 1 0 7 の下部構造の段差がより均一になるようにしている。

【 0 0 5 5 】

従って、信号線延長側領域 R 4 で画素部 1 0 2 と他の回路とをパネル外部で接続するために、第 2 層目の電極・配線の出発膜 (チタン / アルミニウム / チタン膜) をパターンニングする際に、配線 3 0 3 と接続端部 3 0 3 a で接続される配線 3 0 5 が形成される。配線 3 0 3、配線 3 0 5 により、画素部 1 0 2 を他の回路にパネル外部で接続することが可能になる。

【 0 0 5 6 】

なお、第 2 層目のダミー配線 3 0 4 のピッチを走査線 1 0 6 のピッチとし、即ち配線 3 0 5 のピッチと同じにして、第 2 層目のダミー配線 3 0 4 の幅を 3 0 μm とする。第 1 層目のダミー配線 3 0 1、配線 3 0 2、配線 3 0 3 の間隔は 5 0 μm 程度であるため、第 2 層目のダミー配線 3 0 4 の端面と、第 1 層目のダミー配線 3 0 1、配線 3 0 2、配線 3 0 3 端面の間隔は 1 0 μm 程度となる。

10

20

30

40

50

【 0 0 5 7 】

そして、第2層目の電極・配線の出発膜（チタン／アルミニウム／チタン膜）をパターニングした後に、図2（E）、図6に示すように、プラズマCVD法によって、厚さ1000～3000の窒化シリコン膜をパッシベーション膜227として形成する。

【 0 0 5 8 】

図6に示すように、シール材形成領域107において、層間絶縁膜220上に、第2層目のダミー配線304が第1層目のダミー配線301、配線302、303が形成されていない領域に等間隔に配置されることにより、図4における線A-A'による断面構成、即ちシール材形成領域107の外周に沿った断面構成を同一にすることができる。そして、第2層目のダミー配線304の表面にパッシベーション膜227を形成することにより、シール材形成領域107の表面を平坦化することができる。

10

【 0 0 5 9 】

なお、シール材形成領域107の外周に沿った断面構成を同一にするためには、第1層目の電極・配線の出発膜から形成されたダミー配線301、配線302、配線303のみを配置してもよいが、これらの配線301～303の間隔が約50μmであるのに対して、その幅が約10μmと小さく、その強度を補償できないため、第2層目のダミー配線304を形成して、シール材の下部構成を補強する。

【 0 0 6 0 】

更に、本実施例では、シール材形成領域107の下部構造の段差を均一するためには、第2層目のダミー配線304が第1層目のダミー配線301、配線302、配線303と重ならないようにすることが重要になる。端面の間隔が10μm程度であれば、マスクのアライメント等の誤差を考慮しても、第2層目のダミー配線304が第1層目のダミー配線301、配線302、配線303とが重なることを回避することができる。

20

【 0 0 6 1 】

本実施例では、ダミー配線301、304をシール材形成領域107の幅よりも長く成るように形成したが、ダミー配線301、304がシール材形成領域107から突出しないように形成してもよい。

【 0 0 6 2 】

なお、外部端子108と接続される配線パターン109の構成は信号線延長側領域R4に配置された配線301、305構成と同一にすればよい。第1層目の配線の出発膜からシール材形成領域を横断する配線パターンを形成する。そして、第2層目の配線の出発膜から第1層目の配線パターンと接続する配線パターンを形成して、信号線駆動回路103と走査線駆動回路104と、外部端子109とが接続されるようにすればよい。

30

【 0 0 6 3 】

パッシベーション膜227をエッチングして、画素TFEの電極225に達するコンタクトホールを形成する。最後に、スパッタ法で成膜した厚さ500～1500のITO（インディウム錫酸化物）膜をエッチングして、画素電極228を形成する。このようにして、周辺論理回路とアクティブマトリクス回路を一体化して形成する。（図2（E））

【 0 0 6 4 】

以下に、アクティブマトリクス型液晶表示パネルの組立工程を説明する。

図2～図6に示す工程により得られたTFE基板101と、カラーフィルタ基板とをそれぞれ表面処理に用いられたエッチング液レジスト剥離液等の各種薬品を十分に洗浄する。

40

【 0 0 6 5 】

次に配向膜をカラーフィルタ基板及びTFE基板に付着させる。配向膜はある一定の溝が刻まれ、その溝に沿って液晶分子が均一に配列する。配向膜材料にはブチルセルソルブかn-メチルピロリドンといった溶媒に、溶媒の約10重量%のポリイミドを溶解したものをを用いる。これをポリイミドワニスと呼ぶ。ポリイミドワニスはフレキソ印刷装置によって印刷する。

50

【 0 0 6 6 】

そして、T F T基板・カラーフィルタ基板の両基板に付着した配向膜を加熱・硬化させる。これをベークと呼ぶ。ベークは最高使用温度約300の熱風を送り加熱し、ポリイミドワニスを焼成・硬化させるものである。

【 0 0 6 7 】

次に、配向膜の付着したガラス基板表面を毛足の長さ2～3mmのパフ布（レイヨン・ナイロン等の繊維）で一定方向に擦り、微細な溝を作るラビング工程を行う。

【 0 0 6 8 】

そして、T F T基板もしくはカラーフィルタ基板のいずれかに、ポリマー系・ガラス系・シリカ系等の球のスペーサを散布する。スペーサ散布の方式としては純水・アルコール等の溶媒にスペーサを混ぜ、ガラス基板上に散布するウェット方式と、溶媒を一切使用せずスペーサを散布するドライ方式がある。

【 0 0 6 9 】

その次に、T F T基板101の外枠に封止材を塗布する。封止材塗布には、T F T基板とカラーフィルタ基板を接着する役割と注入する液晶材が外部に流出するのを防ぐ目的がある。封止材の材料は、エポキシ樹脂とフェノール硬化剤をエチルセルソルブの溶媒に溶かしたものが使用される。封止材塗布後に2枚のガラス基板の貼り合わせを行う。方法は約160の高温プレスによって、約3時間で封止材を硬化する加熱硬化方式をとる。

【 0 0 7 0 】

素子基板とカラーフィルタ基板を貼り合わせたアクティブマトリクス型液晶表示デバイスの液晶注入口より液晶材を入れて、液晶材注入後エポキシ系樹脂で液晶注入口を封止する。以上のようにして、アクティブマトリクス型液晶表示デバイスが組み立てられる。

【 実施例 2 】

【 0 0 7 1 】

本実施例は実施例1の変形例であり、図1に示す液晶パネルにおいて、シール材形成領域107の配線が横断しない領域の第1層目のダミー配線に関するものである。

【 0 0 7 2 】

実施例1では、線状の第1層目のダミー配線301と、線状の第2層目のダミー配線304を交互に配置するようにしたため、パターニングは容易であるが、シール材形成領域107を横断するように配線パターンが配置されているため、配線と層間絶縁膜220、パッシベーション膜227との界面から水分が侵入しやすい。本実施例では、シール材形成領域107において、図4に示す配線302、303のように、画素部102、駆動回路103、104をシール材外部の回路に電氣的に接続するための配線が横断しない領域には、第1層目のダミー配線301を分断しないで形成することにより、外部から水分が侵入することを防止する。

【 0 0 7 3 】

図7、図8は本実施例のシール材下部構成の作製工程図であり、図7、図8はシール材形成領域107の模式的な上面図であり、図1において楕円で示す領域R1～R4の拡大図である。

【 0 0 7 4 】

本実施例において、ダミー配線は実施例1と同様にT F Tと同時に作製される。また、電氣的に接続される配線がシール材形成領域107を横断するような領域、即ち走査線延長側領域R3、信号線延長側領域R4、及び外部端子108に接続される配線パターン109は実施例1と同一の構成とする。以下、シール材形成領域107に電氣的に接続されない第1層目のダミー配線401の作製工程を図7、図8に従って説明する。

【 0 0 7 5 】

第1層目の電極・配線となるアルミニウム膜等の出発膜を例えば3000の厚さに成膜する。図7に示すように、この出発膜をパターニングして、T F Tのゲイト電極・配線を形成すると共に、走査線駆動回路側領域R1、信号線駆動回路側領域R2には矩形波状の第1層目のダミー配線401を形成する。走査線駆動回路側領域R1、信号線駆動回路

10

20

30

40

50

側領域 R 2 において、第 1 層目のダミー配線 4 0 1 のピッチ P 1、P 2 は走査線 1 0 6、信号線 1 0 5 のピッチと等しくなるようにし、本実施例では約 5 0 μ m とし、第 1 層目のダミー配線 4 0 1 の幅を 1 0 μ m とする。又、第 1 層目のダミー配線 4 0 1 はシール材形成領域 1 0 7 から突出しないようにする。

【 0 0 7 6 】

図 7 の線 B - B ' による断面図は図 5 に対応する。図 5 に示すように、本実施例では、図 5 に示すように、シール材形成領域 1 0 7 には、第 1 層目のダミー配線 4 0 1 を配線 3 0 2、配線 3 0 3 を等間隔に配置したため、シール材形成領域 1 0 7 の断面構成を一樣にすることができる。

【 0 0 7 7 】

この状態で、シール材形成領域 1 0 7 の外周に沿った断面構成を同一にすることができるが、1 層目の配線の出発膜から形成された第 1 層目のダミー配線 4 0 1 は間隔が約 5 0 μ m に対して、その幅が約 1 0 μ m と小さく、その強度を補償できないため、層間絶縁物 2 2 0 上にダミー配線 4 0 2 を形成して、シール材の下部構成を補強する。

【 0 0 7 8 】

層間絶縁物 2 2 0 を約 4 0 0 0 の厚さに形成した後に、チタン膜やチタンとアルミの積層膜等を第 2 層目の電極・配線の出発膜として、4 0 0 0 の厚さに形成する。この出発膜をパターンングして、T F T のソース・ドレイン電極・配線を形成すると共に、図 8 に示すように、線状の第 2 層目のダミー配線 4 0 2 を等間隔に形成する。第 2 層目のダミー配線 4 0 2 は第 1 層目のダミー配線 4 0 1 が形成されていない領域を埋める様に、かつ第 1 層目のダミー配線 4 0 1 と重ならないように形成される。その後、第 2 層目の電極・配線の出発膜（チタン / アルミニウム / チタン膜）をパターンングした後に、厚さ 1 0 0 0 ~ 3 0 0 0 の窒化シリコン膜をパッシベーション膜 2 2 7 として形成する。なお、図 8 における線 B - B ' による断面図は図 6 に対応する。

【 0 0 7 9 】

図 8 に示すように、本実施例では、シール材形成領域 1 0 7 において、層間絶縁膜 2 2 0 上に、第 2 層目のダミー配線 4 0 2 を第 1 層目のダミー配線 4 0 1 が形成されていない領域に、等間隔に配置することにより、図 6 に示すようにシール材形成領域 1 0 7 の外周に沿った断面構成を同一にすることができる。更に、第 2 層目のダミー配線 3 0 4 の表面にパッシベーション膜 2 2 7 を形成することにより、シール材形成領域 1 0 7 の表面を平坦化することができる。

【 0 0 8 0 】

特に、シール材形成領域 1 0 7 の下部構造の段差を均一にするためには、第 2 層目のダミー配線 4 0 2 が第 1 層目のダミー配線 4 0 1 と重ならないようにすることが重要になる。端面の間隔が 1 0 μ m 程度であれば、マスクのアライメント等の誤差を考慮しても、ダミー配線 4 0 1 と 4 0 2 とが重なることを回避することができる。

【 0 0 8 1 】

本実施例では、シール材形成領域 1 0 7 において、配線が横断しない領域に、具体的には領域 R 1、R 2 に、分断されないダミー配線 4 0 1 を形成したため、シール材形成領域 1 0 7 を横断する断面構成（線 B - B ' に直交する線に沿った断面構成）において、ダミー配線 4 0 1 が必ず存在するため、外部からの水分の侵入を防止することが可能になる。

【 実施例 3 】

【 0 0 8 2 】

本実施例は実施例 1 の第 1 層目の配線パターンの変形例であり、シール材形成領域 1 0 7 に配線パターンを 1 層のみ配置するようにしている。

実施例 1 では、第 1 層目のダミー配線 3 0 1、第 2 層目のダミー配線 3 0 4 を交互に配置するようにしたため、パターンングは容易であるが、図 6 の断面図に示すように、第 1 層目のダミー配線 3 0 1、第 2 層目のダミー配線 3 0 4 と層間絶縁膜 2 2 0、パッシベーション膜 2 2 7 との界面から水分が侵入しやすい。本実施例は水分の侵入を防止するために、シール材形成領域 1 0 7 における第 1 層目の配線の形状を工夫したものである。

10

20

30

40

50

【0083】

図9は本実施例のシール材形成領域107の上面図であり、走査線駆動回路側領域R1、信号線駆動回路側領域R2付近の拡大図を示す。図10は図9における点線C-C'による断面図であり、図11は図9における点線D-D'による断面図である。また、本実施例のシール材の下部のダミー配線は実施例1と同様にTF Tと同時に作製される。

【0084】

第1層目の電極・配線となる出発膜をアルミニウム膜等により例えば3000の厚さに成膜する。この出発膜をパターンニングして、TF Tのゲイト電極・配線が形成されると共に、図9に示すように、電氣的に接続されないダミー配線501が形成される。その表面に、図10、図11に示すように、TF Tの作製工程に従って、層間絶縁物220、パッシベーション膜227が順次に積層される。なお、実施例1、2と同様に、層間絶縁膜220上に、第2の電極・配線の出発膜からなる配線パターンを、ダミー配線501と重ならないように形成してもよい。

【0085】

また、ダミー配線501のシール材形成領域107外縁側には、ダミー配線501の長手方向に対して直交する分岐501a等間隔に形成される。これらの分岐501aは隣合うダミー配線501の分岐501aと互い違いに形成されて、ダミー配線501の隙間を埋めるように配置される。従って、シール材形成領域107を横断する任意の断面構成(線C-C'に直交する線に沿った断面構成)において、ダミー配線501が必ず存在するため、外部からの水分の侵入を防止することが可能になる。

【0086】

外部からの水分の侵入を防止するには、シール材形成領域107の幅Wは数mm程度であるため、分岐501aが形成される領域の長さLは100 μ m~500 μ m程度にすればよい。また、ダミー配線501のピッチは画素のピッチと同一にし、且つ分岐501aが形成されている部分において、隣合うダミー配線501の端面の間隔の最小値は、配線間でショートすることを防止するためには、5~10 μ m程度にすることが好ましい。

【0087】

なお、本実施例では、走査線駆動回路側領域R1、信号線駆動回路側領域R2に形成されるダミー配線501のみについて説明したが、走査線延長側領域R3には、ダミー配線501をシール材形成領域107を横断して画素側及び基板外側それぞれ延長して形成する。また、信号線延長側領域R4には、ダミー配線501を基板外側に延長するようして、画素側には図3に示す配線303のように接続端部を形成すればよい。

【0088】

この結果、シール材形成領域107の外縁部側に分岐501aを有する配線パターンが均一に配置されるために、図1に示すシール材形成領域107に配置されるシール材の下部構成を紙面において左右、上下に対称にすることができるため、基板張り合わせ時に基板に均等に圧力をかけることができる。

【0089】

なお、実施例1~3において、シール材形成領域107に配置された基板間隔補正手段の最上層をパッシベーション膜227としたが、その表面に、さらに、画素電極228、ブラックマトリクス等を画素部102の作製工程に従って形成してもよい。

【実施例4】

【0090】

実施例1、2においては、シール材の下部構成を均一に配置するようにするため、シール材形成領域において、第1層目の配線の端面と第2層目の配線の端面とが重ならないようにしている。本実施例では、第1層目の配線の端面と第2層目の配線の端面とを重ねて、シール材と画素部との段差が小さくなるようにする。図12は本実施例の基板間隔補正手段の上面図であり、走査線駆動回路側、又は信号線駆動回路側の領域のみを図示している。また、図13は図12の線E-E'における断面図である。

【 0 0 9 1 】

本実施例は図 4、図 6 に示す実施例 1 の第 2 層目のダミー配線 3 0 4 の変形例であり、先ず、シール材形成領域には、走査線 6 0 2 の出発膜により線状の第 1 層目のダミー配線を形成する。そして、層間絶縁物 2 2 0 を形成した後に、信号線 6 0 3 の出発膜をパターンニングして、第 2 層目のダミー配線 6 0 1 を形成する。ダミー配線 6 0 1 は第 1 層目のダミー配線 3 0 1 と重なるように、かつダミー配線 3 0 1 が形成されていない領域を埋める様に等間隔に形成される。

【 0 0 9 2 】

これにより、シール材の下部構成を均一にすることができるので、基板の張り合わせ時に、シール材に均等に圧力をかけることができる。更に、走査線 6 0 2 と信号線 6 0 3 とが重なっている部分と略同じ段差を有する凸部が、シール材形成領域に等間隔に配置されている。従って、基板張り合わせの圧力をシール形成領域の凸部で支持されるので、スペーサにより、走査線 6 0 2 と信号線 6 0 3 とが上下間でショートすることを防止することができる。

10

【 0 0 9 3 】

なお、本実施例では、第 2 層目のダミー配線 6 0 1 をシール材形成領域 1 0 7 の幅よりも短くしたが、シール材形成領域 1 0 7 の幅よりも長くしてもよい。

【実施例 5】

【 0 0 9 4 】

本実施例では、実施例 4 と同様に、第 1 層目の配線の端面と第 2 層目の配線の端面とを重ねて、シール材と画素部との段差が小さくなるようにする。図 1 4 は本実施例の基板間隔補正手段の上面図であり、走査線駆動回路側、又は信号線駆動回路側の領域のみを図示している。また、図 1 5 は図 1 4 の線 F - F ' における断面図である。

20

【 0 0 9 5 】

本実施例は図 8 に示す実施例 2 の第 2 層目のダミー配線 4 0 1 の変形例であり、先ず、シール材形成領域には、走査線 7 0 2 の出発膜により線状の第 1 層目のダミー配線を形成する。そして、層間絶縁物 2 2 0 を形成した後に、信号線 7 0 3 の出発膜をパターンニングして、第 2 層目のダミー配線 7 0 1 を形成し、その表面にパッシベーション膜 2 2 7 を形成する。ダミー配線 7 0 1 は第 1 層目のダミー配線 4 0 1 と重なるように、かつダミー配線 4 0 1 が形成されていない領域を埋める様に等間隔に形成される。これにより、シール材の下部構成を均一にすることができるので、基板の張り合わせ時に、シール材に均等に圧力をかけることができる。更に、走査線 6 0 2 と信号線 6 0 3 とが重なっている部分と略同じ段差を有する凸部が、シール材形成領域に等間隔に配置されている。従って、基板張り合わせの圧力をシール形成領域の凸部で支持されるので、スペーサにより、走査線 6 0 7 と信号線 7 0 3 とが上下間でショートすることを防止することができる。

30

【 0 0 9 6 】

なお、実施例 4、5 において、シール材形成領域 1 0 7 に配置された基板間隔補正手段の最上層をパッシベーション膜 2 2 7 としたが、その表面に、さらに、画素電極 2 2 8、ブラックマトリクス等を画素部 1 0 2 の作製工程に従って、形成してもよい。これにより、基板補正手段の段差と画素部の段差をより等しくすることができる。

40

【符号の説明】

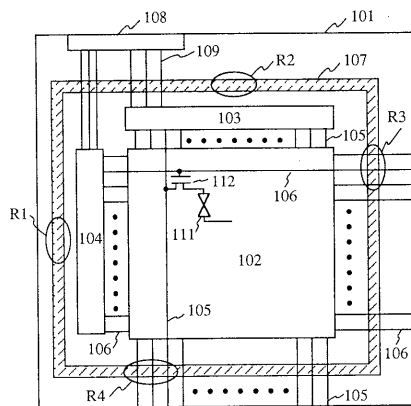
【 0 0 9 7 】

1 0 1	素子基板
1 0 2	画素部
1 0 3	信号線駆動回路
1 0 4	走査線駆動回路
1 0 5	信号線
1 0 6	走査線
1 0 7	シール材形成領域
3 0 1、4 0 1	第 1 層目のダミー配線

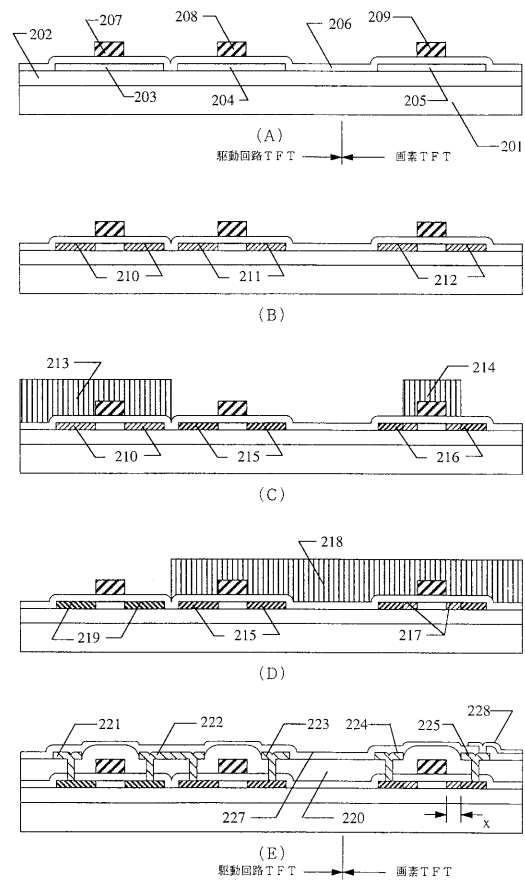
50

302、303、305 配線
 304、402 第2層目のダミー配線
 501 ダミー配線

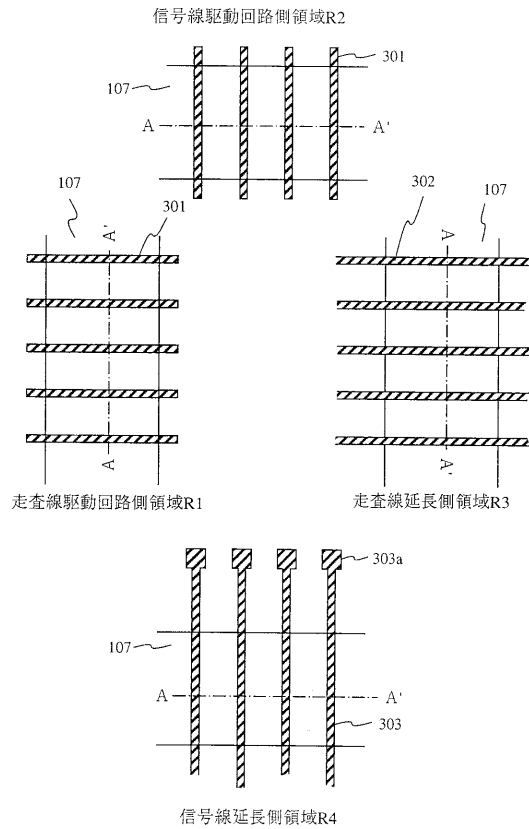
【図1】



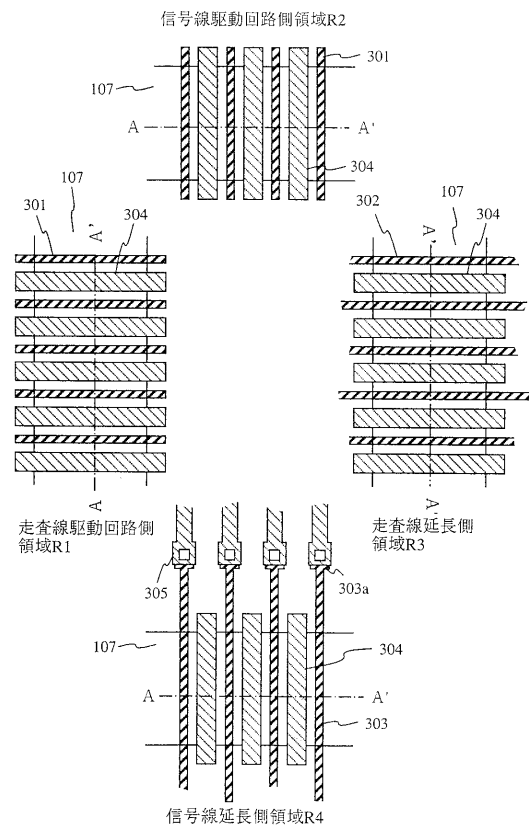
【図2】



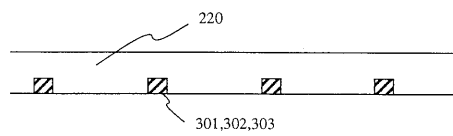
【図 3】



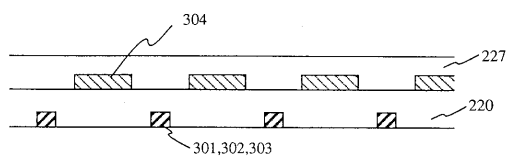
【図 4】



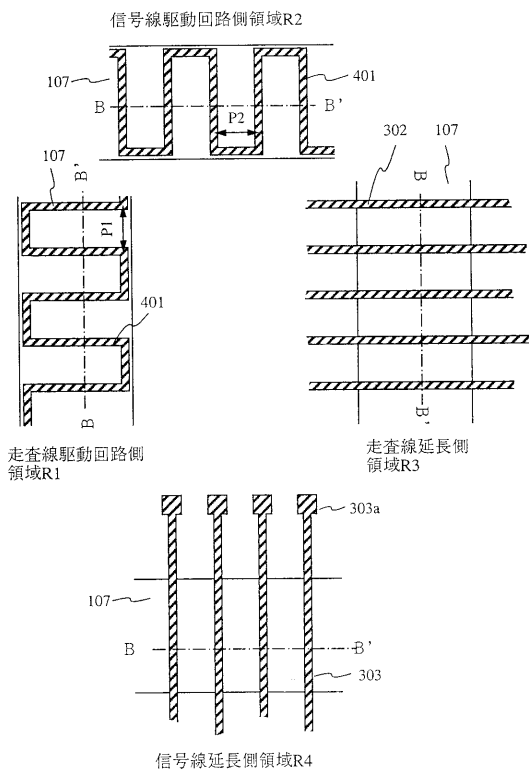
【図 5】



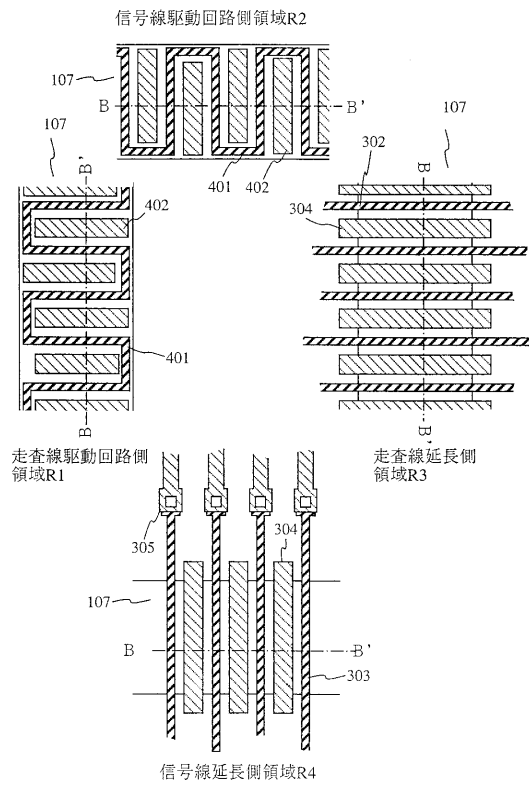
【図 6】



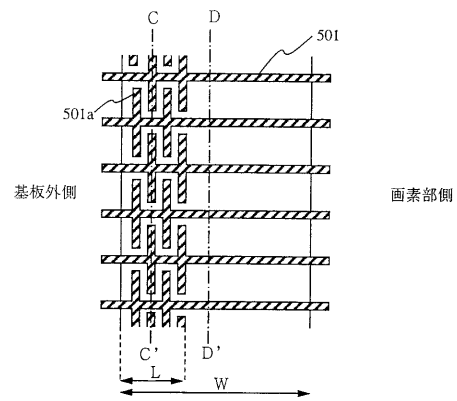
【図 7】



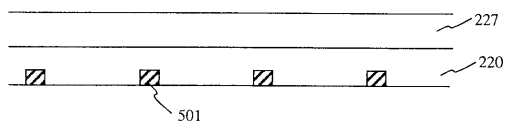
【図 8】



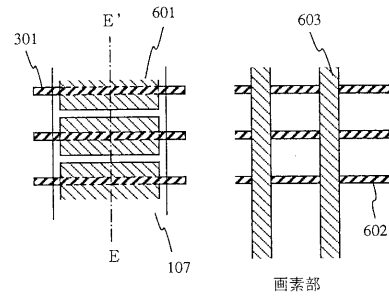
【図 9】



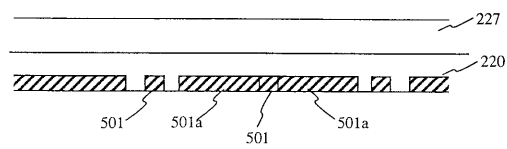
【図 10】



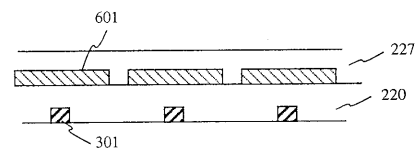
【図 12】



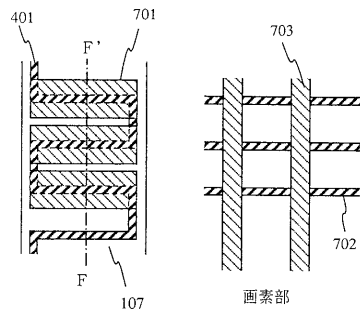
【図 11】



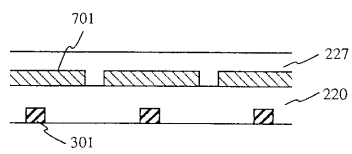
【図 13】



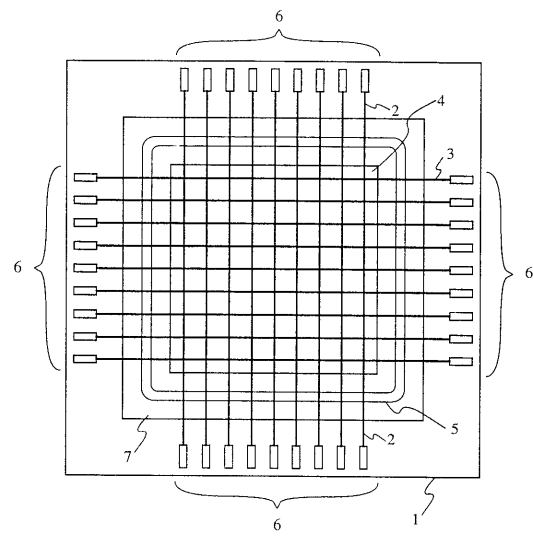
【図 14】



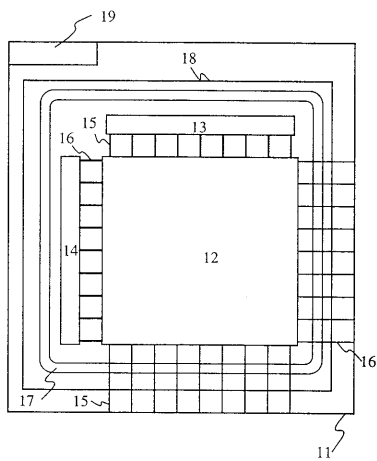
【図 15】



【図 16】



【図 17】



フロントページの続き

(56)参考文献 特開平05-307163(JP,A)
特開平06-202124(JP,A)
特開平06-250224(JP,A)
特開平07-159811(JP,A)
特開平02-242230(JP,A)
特開平02-042420(JP,A)
特開平06-258662(JP,A)
特開平04-324826(JP,A)
特開昭63-026631(JP,A)
特開平01-265229(JP,A)
特開平06-214241(JP,A)
特開平06-082811(JP,A)
特開平08-171082(JP,A)
特開昭63-100427(JP,A)
国際公開第97/010529(WO,A1)
特開平06-289413(JP,A)
特開平06-186588(JP,A)
特開平09-179130(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1339
G02F 1/1345

专利名称(译)	有源矩阵型显示装置		
公开(公告)号	JP5679532B2	公开(公告)日	2015-03-04
申请号	JP2013118546	申请日	2013-06-05
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	張宏勇		
发明人	張 宏勇		
IPC分类号	G02F1/1339 G02F1/1345		
FI分类号	G02F1/1339.505 G02F1/1345 G02F1/1333		
F-TERM分类号	2H092/GA33 2H092/GA35 2H092/GA59 2H092/JA24 2H092/NA29 2H092/PA04 2H189/DA84 2H189/DA86 2H189/LA04 2H189/LA10		
审查员(译)	山口博之		
其他公开文献	JP2013200573A JP2013200573A5		
外部链接	Espacenet		

摘要(译)

要解决的问题:使密封材料的高度差均匀化,以提高液晶的产量和可靠性。设置密封剂以包围元件基板的像素部分;密封构件设置在元件基板的密封剂内并具有一侧驱动类型外围驱动电路,第一布线和第二布线,它们设置在密封材料下面并连接到外围驱动电路,并且在与密封材料下面的第一布线和第二布线相对的区域中支撑构件,其设置在第一布线和第二布线中的每一个中并且与第一布线和第二布线电绝缘,并且黑矩阵设置成与支撑构件部分地重叠,其中支撑构件和第一布线电线由相同的材料制成。点域1

