

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5292521号
(P5292521)

(45) 発行日 平成25年9月18日 (2013.9.18)

(24) 登録日 平成25年6月14日 (2013.6.14)

(51) Int.Cl.

F I

G O 2 F 1/1343 (2006.01)

G O 2 F 1/1343

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 2 F 1/1333 (2006.01)

G O 2 F 1/1333 5 0 5

G O 2 F 1/1337 (2006.01)

G O 2 F 1/1337

G O 9 F 9/00 (2006.01)

G O 9 F 9/00 3 3 8

請求項の数 22 (全 39 頁) 最終頁に続く

(21) 出願番号 特願2013-94865 (P2013-94865)
 (22) 出願日 平成25年4月29日 (2013.4.29)
 (62) 分割の表示 特願2012-203768 (P2012-203768)
 の分割
 原出願日 平成13年9月7日 (2001.9.7)
 (65) 公開番号 特開2013-178561 (P2013-178561A)
 (43) 公開日 平成25年9月9日 (2013.9.9)
 審査請求日 平成25年5月1日 (2013.5.1)
 (31) 優先権主張番号 特願2000-273807 (P2000-273807)
 (32) 優先日 平成12年9月8日 (2000.9.8)
 (33) 優先権主張国 日本国 (JP)

早期審査対象出願

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 平形 吉晴
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 辻 百合子
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 佐竹 瑠茂
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

審査官 右田 昌士

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

トランジスタと、前記トランジスタの上方の絶縁膜と、前記絶縁膜のコンタクトホールを介して、前記トランジスタと電氣的に接続された画素電極と、前記画素電極の下方の凸部と、を有し、前記トランジスタのゲート電極は、第 1 の層と、前記第 1 の層の上方の第 2 の層と、を有し、前記第 1 の層の端部は、前記第 2 の層の端部より突出した部分を有し、前記画素電極は、前記凸部と重なる第 1 の部分と、前記凸部と重ならない第 2 の部分と、を有し、前記凸部は、前記第 1 の部分が設けられた平面から前記第 2 の部分が設けられた平面までの高さと同じ高さを有する第 3 の部分を有し、前記第 3 の部分の高さは、セルギャップに対して 4 . 4 % 以上 1 5 . 6 % 以下であり、前記第 1 の部分は、幅が 0 . 5 μ m 以上である部分を有すること特徴とする表示装置。

【請求項 2】

トランジスタと、前記トランジスタの上方の絶縁膜と、前記絶縁膜のコンタクトホールを介して、前記トランジスタと電氣的に接続された画素

10

20

電極と、

前記画素電極の下方の凸部と、を有し、

前記トランジスタのゲート電極は、第 1 の層と、前記第 1 の層の上方の第 2 の層と、を有し、

前記第 1 の層の端部は、前記第 2 の層の端部と異なる形状の部分を有し、

前記画素電極は、前記凸部と重なる第 1 の部分と、前記凸部と重ならない第 2 の部分と、を有し、

前記凸部は、前記第 1 の部分が設けられた平面から前記第 2 の部分が設けられた平面までの高さと同じ高さを有する第 3 の部分を有し、

前記第 3 の部分の高さは、セルギャップに対して 4 . 4 % 以上 1 5 . 6 % 以下であり、

前記第 1 の部分は、幅が 0 . 5 μ m 以上である部分を有すること特徴とする表示装置。

10

【請求項 3】

トランジスタと、

前記トランジスタの上方の絶縁膜と、

前記絶縁膜のコンタクトホールを介して、前記トランジスタと電氣的に接続された画素電極と、

前記画素電極の下方の凸部と、を有し、

前記トランジスタのゲート電極は、第 1 の層と、前記第 1 の層の上方の第 2 の層と、を有し、

前記第 1 の層の端部は、前記第 2 の層の端部と異なるテーパー形状の部分を有し、

前記画素電極は、前記凸部と重なる第 1 の部分と、前記凸部と重ならない第 2 の部分と、を有し、

20

前記凸部は、前記第 1 の部分が設けられた平面から前記第 2 の部分が設けられた平面までの高さと同じ高さを有する第 3 の部分を有し、

前記第 3 の部分の高さは、セルギャップに対して 4 . 4 % 以上 1 5 . 6 % 以下であり、

前記第 1 の部分は、幅が 0 . 5 μ m 以上である部分を有すること特徴とする表示装置。

【請求項 4】

トランジスタと、

前記トランジスタの上方の絶縁膜と、

前記絶縁膜のコンタクトホールを介して、前記トランジスタと電氣的に接続された画素電極と、

前記画素電極の下方の凸部と、を有し、

前記トランジスタのゲート電極は、第 1 の層と、前記第 1 の層の上方の第 2 の層と、を有し、

前記第 1 の層は、A l を含み、

前記第 2 の層は、M o を含み、

前記第 1 の層の端部は、前記第 2 の層の端部より突出した部分を有し、

前記画素電極は、前記凸部と重なる第 1 の部分と、前記凸部と重ならない第 2 の部分と、を有し、

30

前記凸部は、前記第 1 の部分が設けられた平面から前記第 2 の部分が設けられた平面までの高さと同じ高さを有する第 3 の部分を有し、

前記第 3 の部分の高さは、セルギャップに対して 4 . 4 % 以上 1 5 . 6 % 以下であり、

前記第 1 の部分は、幅が 0 . 5 μ m 以上である部分を有すること特徴とする表示装置。

40

【請求項 5】

トランジスタと、

前記トランジスタの上方の絶縁膜と、

前記絶縁膜のコンタクトホールを介して、前記トランジスタと電氣的に接続された画素電極と、

前記画素電極の下方の凸部と、を有し、

前記トランジスタのゲート電極は、第 1 の層と、前記第 1 の層の上方の第 2 の層と、を

50

有し、

前記第 1 の層は、A l を含み、

前記第 2 の層は、M o を含み、

前記第 1 の層の端部は、前記第 2 の層の端部と異なる形状の部分を有し、

前記画素電極は、前記凸部と重なる第 1 の部分と、前記凸部と重ならない第 2 の部分と、を有し、

前記凸部は、前記第 1 の部分が設けられた平面から前記第 2 の部分が設けられた平面までの高さと同じ高さを有する第 3 の部分を有し、

前記第 3 の部分の高さは、セルギャップに対して 4 . 4 % 以上 1 5 . 6 % 以下であり、

前記第 1 の部分は、幅が 0 . 5 μ m 以上である部分を有すること特徴とする表示装置。

10

【請求項 6】

トランジスタと、

前記トランジスタの上方の絶縁膜と、

前記絶縁膜のコンタクトホールを介して、前記トランジスタと電氣的に接続された画素電極と、

前記画素電極の下方の凸部と、を有し、

前記トランジスタのゲート電極は、第 1 の層と、前記第 1 の層の上方の第 2 の層と、を有し、

前記第 1 の層は、A l を含み、

前記第 2 の層は、M o を含み、

前記第 1 の層の端部は、前記第 2 の層の端部と異なるテーパー形状の部分を有し、

前記画素電極は、前記凸部と重なる第 1 の部分と、前記凸部と重ならない第 2 の部分と、を有し、

20

前記凸部は、前記第 1 の部分が設けられた平面から前記第 2 の部分が設けられた平面までの高さと同じ高さを有する第 3 の部分を有し、

前記第 3 の部分の高さは、セルギャップに対して 4 . 4 % 以上 1 5 . 6 % 以下であり、

前記第 1 の部分は、幅が 0 . 5 μ m 以上である部分を有すること特徴とする表示装置。

【請求項 7】

トランジスタと、

前記トランジスタの上方の絶縁膜と、

前記絶縁膜のコンタクトホールを介して、前記トランジスタと電氣的に接続された画素電極と、

前記画素電極の下方の凸部と、を有し、

前記トランジスタのゲート電極は、第 1 の層と、前記第 1 の層の上方の第 2 の層と、を有し、

30

前記第 1 の層は、A l を含み、

前記第 2 の層は、M o を含み、

前記トランジスタのソース電極又はドレイン電極は、第 3 の層と、前記第 3 の層の上方の第 4 の層と、前記第 4 の層の上方の第 5 の層と、を有し、

前記第 4 の層は、A l を含み、

前記画素電極は、前記凸部と重なる第 1 の部分と、前記凸部と重ならない第 2 の部分と、を有し、

40

前記凸部は、前記第 1 の部分が設けられた平面から前記第 2 の部分が設けられた平面までの高さと同じ高さを有する第 3 の部分を有し、

前記第 3 の部分の高さは、セルギャップに対して 4 . 4 % 以上 1 5 . 6 % 以下であり、

前記第 1 の部分は、幅が 0 . 5 μ m 以上である部分を有すること特徴とする表示装置。

【請求項 8】

トランジスタと、

前記トランジスタの上方の絶縁膜と、

前記絶縁膜のコンタクトホールを介して、前記トランジスタと電氣的に接続された画素

50

電極と、

前記画素電極の下方の凸部と、を有し、

前記トランジスタのゲート電極は、第 1 の層と、前記第 1 の層の上方の第 2 の層と、を有し、

前記第 1 の層の端部は、前記第 2 の層の端部より突出した部分を有し、

前記第 1 の層の端部は、前記第 2 の層の端部と異なる形状を有し、

前記画素電極は、前記凸部と重なる第 1 の部分と、前記凸部と重ならない第 2 の部分と、を有し、

前記凸部は、前記第 1 の部分が設けられた平面から前記第 2 の部分が設けられた平面までの高さと同じ高さを有する第 3 の部分を有し、

前記第 3 の部分の高さは、セルギャップに対して 4 . 4 % 以上 1 5 . 6 % 以下であり、

前記第 1 の部分は、幅が 0 . 5 μ m 以上である部分を有すること特徴とする表示装置。

【請求項 9】

トランジスタと、

前記トランジスタの上方の絶縁膜と、

前記絶縁膜のコンタクトホールを介して、前記トランジスタと電氣的に接続された画素電極と、

前記画素電極の下方の凸部と、を有し、

前記トランジスタのゲート電極は、第 1 の層と、前記第 1 の層の上方の第 2 の層と、を有し、

前記第 1 の層の端部は、前記第 2 の層の端部より突出した部分を有し、

前記第 1 の層の端部は、前記第 2 の層の端部と異なるテーパ形状の部分を有し、

前記画素電極は、前記凸部と重なる第 1 の部分と、前記凸部と重ならない第 2 の部分と、を有し、

前記凸部は、前記第 1 の部分が設けられた平面から前記第 2 の部分が設けられた平面までの高さと同じ高さを有する第 3 の部分を有し、

前記第 3 の部分の高さは、セルギャップに対して 4 . 4 % 以上 1 5 . 6 % 以下であり、

前記第 1 の部分は、幅が 0 . 5 μ m 以上である部分を有すること特徴とする表示装置。

【請求項 10】

トランジスタと、

前記トランジスタの上方の絶縁膜と、

前記絶縁膜のコンタクトホールを介して、前記トランジスタと電氣的に接続された画素電極と、

前記画素電極の下方の凸部と、を有し、

前記トランジスタのゲート電極は、第 1 の層と、前記第 1 の層の上方の第 2 の層と、を有し、

前記第 1 の層の端部は、前記第 2 の層の端部より突出した部分を有し、

前記トランジスタのソース電極又はドレイン電極は、第 3 の層と、前記第 3 の層の上方の第 4 の層と、前記第 4 の層の上方の第 5 の層と、を有し、

前記第 4 の層は、A 1 を含み、

前記画素電極は、前記凸部と重なる第 1 の部分と、前記凸部と重ならない第 2 の部分と、を有し、

前記凸部は、前記第 1 の部分が設けられた平面から前記第 2 の部分が設けられた平面までの高さと同じ高さを有する第 3 の部分を有し、

前記第 3 の部分の高さは、セルギャップに対して 4 . 4 % 以上 1 5 . 6 % 以下であり、

前記第 1 の部分は、幅が 0 . 5 μ m 以上である部分を有すること特徴とする表示装置。

【請求項 11】

トランジスタと、

前記トランジスタの上方の絶縁膜と、

前記絶縁膜のコンタクトホールを介して、前記トランジスタと電氣的に接続された画素

10

20

30

40

50

電極と、

前記画素電極の下方の凸部と、を有し、

前記トランジスタのゲート電極は、第 1 の層と、前記第 1 の層の上方の第 2 の層と、を有し、

前記第 1 の層の端部は、前記第 2 の層の端部と異なる形状を有し、

前記トランジスタのソース電極又はドレイン電極は、第 3 の層と、前記第 3 の層の上方の第 4 の層と、前記第 4 の層の上方の第 5 の層と、を有し、

前記第 4 の層は、Al を含み、

前記画素電極は、前記凸部と重なる第 1 の部分と、前記凸部と重ならない第 2 の部分と、を有し、

前記凸部は、前記第 1 の部分が設けられた平面から前記第 2 の部分が設けられた平面までの高さと同じ高さを有する第 3 の部分を有し、

前記第 3 の部分の高さは、セルギャップに対して 4 . 4 % 以上 15 . 6 % 以下であり、

前記第 1 の部分は、幅が 0 . 5 μ m 以上である部分を有すること特徴とする表示装置。

【請求項 12】

トランジスタと、

前記トランジスタの上方の絶縁膜と、

前記絶縁膜のコンタクトホールを介して、前記トランジスタと電氣的に接続された画素電極と、

前記画素電極の下方の凸部と、を有し、

前記トランジスタのゲート電極は、第 1 の層と、前記第 1 の層の上方の第 2 の層と、を有し、

前記第 1 の層の端部は、前記第 2 の層の端部と異なるテーパー形状の部分を有し、

前記トランジスタのソース電極又はドレイン電極は、第 3 の層と、前記第 3 の層の上方の第 4 の層と、前記第 4 の層の上方の第 5 の層と、を有し、

前記第 4 の層は、Al を含み、

前記画素電極は、前記凸部と重なる第 1 の部分と、前記凸部と重ならない第 2 の部分と、を有し、

前記凸部は、前記第 1 の部分が設けられた平面から前記第 2 の部分が設けられた平面までの高さと同じ高さを有する第 3 の部分を有し、

前記第 3 の部分の高さは、セルギャップに対して 4 . 4 % 以上 15 . 6 % 以下であり、

前記第 1 の部分は、幅が 0 . 5 μ m 以上である部分を有すること特徴とする表示装置。

【請求項 13】

トランジスタと、

前記トランジスタの上方の絶縁膜と、

前記絶縁膜のコンタクトホールを介して、前記トランジスタと電氣的に接続された画素電極と、

前記画素電極の下方の凸部と、を有し、

前記トランジスタのゲート電極は、第 1 の層と、前記第 1 の層の上方の第 2 の層と、を有し、

前記第 1 の層は、Al を含み、

前記第 2 の層は、Mo を含み、

前記第 1 の層の端部は、前記第 2 の層の端部より突出した部分を有し、

前記第 1 の層の端部は、前記第 2 の層の端部と異なる形状を有し、

前記画素電極は、前記凸部と重なる第 1 の部分と、前記凸部と重ならない第 2 の部分と、を有し、

前記凸部は、前記第 1 の部分が設けられた平面から前記第 2 の部分が設けられた平面までの高さと同じ高さを有する第 3 の部分を有し、

前記第 3 の部分の高さは、セルギャップに対して 4 . 4 % 以上 15 . 6 % 以下であり、

前記第 1 の部分は、幅が 0 . 5 μ m 以上である部分を有すること特徴とする表示装置。

10

20

30

40

50

【請求項 14】

トランジスタと、
 前記トランジスタの上方の絶縁膜と、
 前記絶縁膜のコンタクトホールを介して、前記トランジスタと電氣的に接続された画素電極と、
 前記画素電極の下方の凸部と、を有し、
 前記トランジスタのゲート電極は、第1の層と、前記第1の層の上方の第2の層と、を有し、
 前記第1の層は、Alを含み、
 前記第2の層は、Moを含み、
 前記第1の層の端部は、前記第2の層の端部より突出した部分を有し、
 前記第1の層の端部は、前記第2の層の端部と異なるテーパ形状の部分を有し、
 前記画素電極は、前記凸部と重なる第1の部分と、前記凸部と重ならない第2の部分と、を有し、
 前記凸部は、前記第1の部分が設けられた平面から前記第2の部分が設けられた平面までの高さと同じ高さを有する第3の部分を有し、
 前記第3の部分の高さは、セルギャップに対して4.4%以上15.6%以下であり、
 前記第1の部分は、幅が0.5 μm以上である部分を有すること特徴とする表示装置。

10

【請求項 15】

トランジスタと、
 前記トランジスタの上方の絶縁膜と、
 前記絶縁膜のコンタクトホールを介して、前記トランジスタと電氣的に接続された画素電極と、
 前記画素電極の下方の凸部と、を有し、
 前記トランジスタのゲート電極は、第1の層と、前記第1の層の上方の第2の層と、を有し、
 前記第1の層は、Alを含み、
 前記第2の層は、Moを含み、
 前記第1の層の端部は、前記第2の層の端部より突出した部分を有し、
 前記トランジスタのソース電極又はドレイン電極は、第3の層と、前記第3の層の上方の第4の層と、前記第4の層の上方の第5の層と、を有し、
 前記第4の層は、Alを含み、
 前記画素電極は、前記凸部と重なる第1の部分と、前記凸部と重ならない第2の部分と、を有し、
 前記凸部は、前記第1の部分が設けられた平面から前記第2の部分が設けられた平面までの高さと同じ高さを有する第3の部分を有し、
 前記第3の部分の高さは、セルギャップに対して4.4%以上15.6%以下であり、
 前記第1の部分は、幅が0.5 μm以上である部分を有すること特徴とする表示装置。

20

30

【請求項 16】

トランジスタと、
 前記トランジスタの上方の絶縁膜と、
 前記絶縁膜のコンタクトホールを介して、前記トランジスタと電氣的に接続された画素電極と、
 前記画素電極の下方の凸部と、を有し、
 前記トランジスタのゲート電極は、第1の層と、前記第1の層の上方の第2の層と、を有し、
 前記第1の層は、Alを含み、
 前記第2の層は、Moを含み、
 前記第1の層の端部は、前記第2の層の端部と異なる形状を有し、
 前記トランジスタのソース電極又はドレイン電極は、第3の層と、前記第3の層の上方

40

50

の第 4 の層と、前記第 4 の層の上方の第 5 の層と、を有し、

前記第 4 の層は、A l を含み、

前記画素電極は、前記凸部と重なる第 1 の部分と、前記凸部と重ならない第 2 の部分と、を有し、

前記凸部は、前記第 1 の部分が設けられた平面から前記第 2 の部分が設けられた平面までの高さと同じ高さを有する第 3 の部分を有し、

前記第 3 の部分の高さは、セルギャップに対して 4 . 4 % 以上 1 5 . 6 % 以下であり、

前記第 1 の部分は、幅が 0 . 5 μ m 以上である部分を有すること特徴とする表示装置。

【請求項 1 7】

トランジスタと、

10

前記トランジスタの上方の絶縁膜と、

前記絶縁膜のコンタクトホールを介して、前記トランジスタと電氣的に接続された画素電極と、

前記画素電極の下方の凸部と、を有し、

前記トランジスタのゲート電極は、第 1 の層と、前記第 1 の層の上方の第 2 の層と、を有し、

前記第 1 の層は、A l を含み、

前記第 2 の層は、M o を含み、

前記第 1 の層の端部は、前記第 2 の層の端部と異なるテーパ形状の部分を有し、

前記トランジスタのソース電極又はドレイン電極は、第 3 の層と、前記第 3 の層の上方の第 4 の層と、前記第 4 の層の上方の第 5 の層と、を有し、

20

前記第 4 の層は、A l を含み、

前記画素電極は、前記凸部と重なる第 1 の部分と、前記凸部と重ならない第 2 の部分と、を有し、

前記凸部は、前記第 1 の部分が設けられた平面から前記第 2 の部分が設けられた平面までの高さと同じ高さを有する第 3 の部分を有し、

前記第 3 の部分の高さは、セルギャップに対して 4 . 4 % 以上 1 5 . 6 % 以下であり、

前記第 1 の部分は、幅が 0 . 5 μ m 以上である部分を有すること特徴とする表示装置。

【請求項 1 8】

トランジスタと、

30

前記トランジスタの上方の絶縁膜と、

前記絶縁膜のコンタクトホールを介して、前記トランジスタと電氣的に接続された画素電極と、

前記画素電極の下方の凸部と、を有し、

前記トランジスタのゲート電極は、第 1 の層と、前記第 1 の層の上方の第 2 の層と、を有し、

前記第 1 の層の端部は、前記第 2 の層の端部より突出した部分を有し、

前記第 1 の層の端部は、前記第 2 の層の端部と異なる形状を有し、

前記トランジスタのソース電極又はドレイン電極は、第 3 の層と、前記第 3 の層の上方の第 4 の層と、前記第 4 の層の上方の第 5 の層と、を有し、

40

前記第 4 の層は、A l を含み、

前記画素電極は、前記凸部と重なる第 1 の部分と、前記凸部と重ならない第 2 の部分と、を有し、

前記凸部は、前記第 1 の部分が設けられた平面から前記第 2 の部分が設けられた平面までの高さと同じ高さを有する第 3 の部分を有し、

前記第 3 の部分の高さは、セルギャップに対して 4 . 4 % 以上 1 5 . 6 % 以下であり、

前記第 1 の部分は、幅が 0 . 5 μ m 以上である部分を有すること特徴とする表示装置。

【請求項 1 9】

トランジスタと、

50

前記トランジスタの上方の絶縁膜と、

前記絶縁膜のコンタクトホールを介して、前記トランジスタと電氣的に接続された画素電極と、

前記画素電極の下方の凸部と、を有し、

前記トランジスタのゲート電極は、第 1 の層と、前記第 1 の層の上方の第 2 の層と、を有し、

前記第 1 の層の端部は、前記第 2 の層の端部より突出した部分を有し、

前記第 1 の層の端部は、前記第 2 の層の端部と異なるテーパ形状の部分を有し、

前記トランジスタのソース電極又はドレイン電極は、第 3 の層と、前記第 3 の層の上方の第 4 の層と、前記第 4 の層の上方の第 5 の層と、を有し、

前記第 4 の層は、Al を含み、

前記画素電極は、前記凸部と重なる第 1 の部分と、前記凸部と重ならない第 2 の部分と、を有し、

前記凸部は、前記第 1 の部分が設けられた平面から前記第 2 の部分が設けられた平面までの高さと同じ高さを有する第 3 の部分を有し、

前記第 3 の部分の高さは、セルギャップに対して 4 . 4 % 以上 15 . 6 % 以下であり、

前記第 1 の部分は、幅が 0 . 5 μ m 以上である部分を有すること特徴とする表示装置。

【請求項 20】

トランジスタと、

前記トランジスタの上方の絶縁膜と、

前記絶縁膜のコンタクトホールを介して、前記トランジスタと電氣的に接続された画素電極と、

前記画素電極の下方の凸部と、を有し、

前記トランジスタのゲート電極は、第 1 の層と、前記第 1 の層の上方の第 2 の層と、を有し、

前記第 1 の層は、Al を含み、

前記第 2 の層は、Mo を含み、

前記第 1 の層の端部は、前記第 2 の層の端部より突出した部分を有し、

前記第 1 の層の端部は、前記第 2 の層の端部と異なる形状を有し、

前記トランジスタのソース電極又はドレイン電極は、第 3 の層と、前記第 3 の層の上方の第 4 の層と、前記第 4 の層の上方の第 5 の層と、を有し、

前記第 4 の層は、Al を含み、

前記画素電極は、前記凸部と重なる第 1 の部分と、前記凸部と重ならない第 2 の部分と、を有し、

前記凸部は、前記第 1 の部分が設けられた平面から前記第 2 の部分が設けられた平面までの高さと同じ高さを有する第 3 の部分を有し、

前記第 3 の部分の高さは、セルギャップに対して 4 . 4 % 以上 15 . 6 % 以下であり、

前記第 1 の部分は、幅が 0 . 5 μ m 以上である部分を有すること特徴とする表示装置。

【請求項 21】

トランジスタと、

前記トランジスタの上方の絶縁膜と、

前記絶縁膜のコンタクトホールを介して、前記トランジスタと電氣的に接続された画素電極と、

前記画素電極の下方の凸部と、を有し、

前記トランジスタのゲート電極は、第 1 の層と、前記第 1 の層の上方の第 2 の層と、を有し、

前記第 1 の層は、Al を含み、

前記第 2 の層は、Mo を含み、

前記第 1 の層の端部は、前記第 2 の層の端部より突出した部分を有し、

前記第 1 の層の端部は、前記第 2 の層の端部と異なるテーパ形状の部分を有し、

前記トランジスタのソース電極又はドレイン電極は、第 3 の層と、前記第 3 の層の上方

10

20

30

40

50

の第4の層と、前記第4の層の上方の第5の層と、を有し、

前記第4の層は、A1を含み、

前記画素電極は、前記凸部と重なる第1の部分と、前記凸部と重ならない第2の部分と、を有し、

前記凸部は、前記第1の部分が設けられた平面から前記第2の部分が設けられた平面までの高さと同じ高さを有する第3の部分を有し、

前記第3の部分の高さは、セルギャップに対して4.4%以上15.6%以下であり、

前記第1の部分は、幅が0.5 μm 以上である部分を有すること特徴とする表示装置。

【請求項22】

請求項1乃至請求項21のいずれか一項に記載の表示装置と、操作スイッチとを有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本願発明は電界効果型トランジスタ(FET)、例えば、薄膜トランジスタ(TFT)で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される半導体装置およびその様な半導体装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において電気光学装置とは、電気的な信号の変化により明暗の表示を行う装置全般を指し、液晶表示装置、ELを用いた表示装置は全て電気光学装置である。

【0003】

なお、本明細書中において素子基板とは、TFT、MIMのような能動素子を形成した基板全般を指す。

【背景技術】

【0004】

近年、絶縁表面を有する基板上に形成された半導体薄膜(厚さ数~数百nm程度)を用いて薄膜トランジスタを構成する技術が注目されている。薄膜トランジスタはICや半導体装置のような電子デバイスに広く応用され、特に液晶表示装置のスイッチング素子として開発が急がれている。

【0005】

液晶表示装置には大きく分けてアクティブマトリクス型とパッシブマトリクス型の二種類のタイプが知られている。

【0006】

アクティブマトリクス型の液晶表示装置はスイッチング素子としてTFTを用いており、高品位な画像を得ることができる。アクティブマトリクス型の用途としてはノート型のパーソナルコンピュータが一般的であるが、家庭用のテレビ、携帯端末用途としても期待されている。

【0007】

ところで、アクティブマトリクス型の液晶表示装置はライン反転駆動をするのが一般的である。ライン反転駆動とは、例えばソースライン反転駆動では、図37のように隣接するソースラインに印加される電圧の極性が異なり、フレーム毎に各ソースラインに印加される電圧の極性を変えていくものである。図37はソースライン反転駆動をするときの画素に印加される電圧の極性を示す。隣接するソースライン毎に電圧の極性が異なる駆動をソースライン反転駆動という。隣接するゲートライン毎に電圧の極性が異なるものをゲートライン反転駆動という。

【0008】

図10に液晶表示装置の画素部の断面を模式的に示す。本明細書では、図10のように基板101に形成された画素電極102a~102bと対向基板104に形成された対向電極103の間にできる電界を「縦方向電界」105という。また、隣接する画素電極1

10

20

30

40

50

02a及び102bの間にできる電界を「横方向電界」106という。

【0009】

ライン反転駆動をすると、画素電極の近傍で液晶が横方向電界にならって配向するため、画素電極の端部で液晶の配向が不均一になりディスクリネーションが出る。良質な黒レベルを得るためには、ディスクリネーションを隠す遮光膜が必要である。しかし、遮光膜によりディスクリネーションを隠すと、遮光膜により開口率が低下する。良質の黒レベルを得て、かつ、開口率の高い明るい表示をするには、できるだけ、ディスクリネーションが生じないような工夫が必要である。なお、本明細書では、液晶の配向膜界面でのプレチルトの方向の違い、ツイストの向きの違いにより生じる液晶の配向不良を「ディスクリネーション」と称する。また、液晶が正規の配向状態ではないために生じる偏光板を設けたときの明度の異なる領域を「光漏れ」と称する。

10

【0010】

特に、投影型の液晶表示装置のような微細なピッチで画素が形成されている液晶表示装置においては、横方向電界によりできるディスクリネーション及び光漏れが画素に占める割合が無視できないくらいに大きい。また、投影型の液晶表示装置ではこのようなディスクリネーション及び光漏れがスクリーンに拡大して投影されるため、これら光漏れやディスクリネーションをいかに抑えるかがコントラストを確保する上で大切である。

【発明の概要】

【発明が解決しようとする課題】

【0011】

20

本発明において、アクティブマトリクス型の液晶表示装置で、液晶のディスクリネーション及び光漏れを防止できるような素子構造を提供することが課題である。

【課題を解決するための手段】

【0012】

上述した従来技術の課題を解決するために以下の手段を講じた。

【0013】

[画素電極の端部を所定の高さの凸部に重ねる] 図2はシミュレーションのモデルの断面図を示す。本発明は、図2に示すように第1の基板(図示しない)上の画素電極203a~203bの端部を、平坦面上に形成された凸部204上に重ねるようにして形成することにより、液晶202に電圧をかけたときのディスクリネーション及び光漏れが画素電極の端部に移動することを利用するものである。図2においては対向電極201が対向基板207に形成されている。

30

【0014】

なお、本明細書では、画素電極下に選択的に凸部が設けられている。画素電極と凸部の上端部が重なる領域を、画素電極の第1の領域(a)と称する。画素電極が凸部の側部に形成された領域を画素電極の第2の領域(b)と称する。画素電極が平坦面に形成された領域であり、画素電極の第2の領域に接する領域を画素電極の第3の領域(c)と称する。

【0015】

また、凸部の高さ(h)とは、凸部の上端部から凸部が形成された平坦面に垂線をおろしたときの、その垂線の長さの最大値をいう。

40

【0016】

また、セルギャップ(d)とは、対向基板(第2の基板)上に形成された対向電極と画素電極の第3の領域までの距離をいう。

【0017】

また、画素電極間の距離(s)とは、互いに隣り合う前記画素電極の第1の領域の間の距離をいう。

【0018】

従来は、液晶の配向面に凸部があると、その凸部で液晶の配向が乱れて光漏れが生じるため、液晶の配向面はできるだけ平坦な方が良いといわれていた。しかし、発明者らが、

50

液晶の配向をシミュレーションした結果、所定の高さを有する凸部に形成された画素電極の第1の領域、及び、所定の高さを有する凸部の側部に形成された画素電極の第2の領域を有するときには、液晶表示装置を駆動したときの横方向電界に起因する液晶の配向不良が低減することがわかった。具体的には、黒表示をしているときのディスクリネーション及び光漏れが現れる位置が、画素電極の端の方になることがわかった。

【0019】

この現象を本発明の原理を示す図1の模式図により説明する。液晶の配向方式はTN方式とする。図1においてはライン反転駆動で+5V若しくは-5Vのビデオ電圧で液晶表示装置を駆動したときの液晶の配向を示す。配向膜は図示していない。

【0020】

まず、図1(a)のように第1の基板(図示せず)に形成された画素電極203a及び203bの端部が、凸部204上に形成されていると、凸部がないときに比べ、ディスクリネーションがでにくい。それでも、凸部の高さが低いと、第2の基板(図示せず)に形成された対向電極201と画素電極203a~203bの間にできる縦方向電界に対し、画素電極203aと画素電極203bの間にできる横方向電界の影響が強くて、凸部近傍の液晶分子208は基板面に対し、斜め方向の傾きを持って配向する。そこで、クロスニコルの偏光板の下で光漏れとなって見える。また、ラビング方向205~206により配向膜の界面近傍の液晶分子209のプレチルト角が決まるので、界面近傍の横方向電界の向きと、ラビングにより決まる界面近傍の液晶分子の向きが異なるところで光の強度の高いディスクリネーション210ができる。

【0021】

しかし、凸部の高さが高くなるにつれて、図1(a)で見られたディスクリネーション210の出る位置が画素電極の端へと変わる。さらに、画素電極203a及び203bの端部と重なる凸部204を高くしていくと、図1(b)のように画素電極の第1の領域215と対向電極201の間にできる縦方向電界が凸部の高さが高くなるにつれて強くなり、横方向電界の影響が弱まる。かつ、画素電極203a~203bのうち凸部の側部に形成された画素電極の第2の領域212と、対向電極201の間にできる電界で、ほぼ基板面に垂直な方向の電界が多く出来る。TN方式の液晶はポジ型の液晶の為、電界に対し液晶分子211の長軸が平行に配向する。ポジ型の液晶とは、正の誘電率異方性を有する液晶をいう。これにより、凸部近傍のディスクリネーション及び光漏れが減少する。

【0022】

次に、図1(c)のように、凸部204の高さを高くしていくと、画素電極203b上の液晶は対向電極と画素の第2の領域の間に基板面に対し斜め方向の電界が、プレチルトと同じ向きにできるため、液晶分子213が電界にならって、基板面に対し斜めに配向し、凸部近傍で、無視できないほど幅の広い光漏れができる。画素電極203a上では、画素電極の第2の領域216と対向電極の間にできる基板面に対し、斜め方向の電界が液晶のプレチルトの向きと逆のため、液晶217が電界に従いにくく、光漏れが比較的できにくい。とはいっても、対向電極と画素電極203bの第2の領域212の間にできる電界により光漏れの幅が広がったことによって、全体としてみると開口率が低下する。

【0023】

以上により、画素電極の端部を凸部上に形成したときに、黒表示のディスクリネーション及び光漏れの幅の両方を低減するためには、凸部の高さに最適値が存在することがわかる。凸部が高すぎると、全体的に、光漏れの幅が広がる(図1(c))。開口率を高く出来るのは、図1(a)及び図1(b)の構造である。後述のシミュレーションの結果は、この原理を裏付けるものである。

【0024】

ここで、凸部の高さの最適値はセルギャップ(つまり縦方向電界の強さを決める要素)をパラメーターとして決まると考えられる。

【0025】

そこで、発明者らはシミュレーションを行って、凸部の高さの最適値を確認した。

【0026】

横方向電界に起因するディスクリネーション及び光漏れが特に問題になるのは、画素の面積が小さく、ディスクリネーション及び光漏れが出たときに、それが画素に占める割合が無視できないくらいに大きいときである。つまり、主に投影型の液晶表示装置として使われる場合である。投影型の液晶表示装置は画素のピッチが小さく、必然的に画素電極間の距離が $4.0\mu\text{m}$ 以下と小さいときが多い。そこで、発明者らは、投影型の液晶表示装置においてディスクリネーション及び光漏れの低減を図るために、画素電極間の距離が $4.0\mu\text{m}$ 以下のときに注目してシミュレーションを行った。

【0027】

シミュレーションモデルを図2に示す。図2において対向電極201、液晶202、凸部204、画素電極203a～203bがシミュレーションモデルの構成要素となっている。図2のシミュレーションモデルを一単位として、それが周期的に繰り返される。

10

【0028】

シミュレーションのパラメーターを以下にまとめる。セルギャップ d ： $4.5\mu\text{m}$ 、 $3.0\mu\text{m}$ 画素電極間の距離 s ： $2\mu\text{m}$ 、 $4\mu\text{m}$ 凸部の高さ h ： $0\mu\text{m}$ 、 $0.2\mu\text{m}$ 、 $0.3\mu\text{m}$ 、 $0.4\mu\text{m}$ 、 $0.5\mu\text{m}$ 、 $0.7\mu\text{m}$ 、 $1.0\mu\text{m}$ 、 $1.5\mu\text{m}$ 画素のピッチ p ： $18\mu\text{m}$ 、 $43\mu\text{m}$

【0029】

シミュレーションにおいて固定された条件を以下にまとめる。

画素電極の第1の領域の幅 o ： $1.0\mu\text{m}$ 画素電極203aの電位： $+5\text{V}$ 画素電極203bの電位： -5V 対向電極201の電位： 0V

20

【0030】

画素電極間の距離(s)、セルギャップ(d)及び画素電極の端部が形成される凸部の高さ(h)の関係を一般化するために、 $4.5\mu\text{m}$ と $3.0\mu\text{m}$ のセルギャップでシミュレーションを行った。シミュレーションにおいては、セルギャップ $4.5\mu\text{m}$ 及び $3.0\mu\text{m}$ のときとも、液晶にZLI4792を用いて、配向を計算により求めた。

【0031】

液晶のプレチルト角は 6.0° 、カイラルピッチは左巻きで $70\mu\text{m}$ とした。図2にラビング方向205～206を示す。ツイスト角が 90° である。液晶の配向はTN方式である。

30

【0032】

また、評価数を増やして傾向をつかむため、上述のように画素のピッチを2通りにしてシミュレーションを行った。

【0033】

シンテック社製の液晶配向シミュレーションソフトであるLCD Masterの2SBENCHを用いて、液晶の配向をシミュレーションした。2SBENCHは液晶の配向をセルギャップ方向と、基板面方向からなる二次元平坦面で示したものである。

【0034】

シミュレーション結果を以下に示す。図3～図8はシミュレーションの結果を示す部分拡大図である。

40

【0035】

図3～8においてはセルギャップ(d)が $4.5\mu\text{m}$ 、画素電極間の距離(s)が $2.0\mu\text{m}$ 、画素のピッチ(p)が $18\mu\text{m}$ の条件で凸部の高さを変えてシミュレーションしている。シミュレーションの結果には、等電位線、液晶のダイレクタ - 及び屈折率異方性から計算される各座標における透過率が示されている。横軸の $18\mu\text{m}$ の座標が画素の端(隣接する画素と画素の境界)を示す。画素電極203aは $1\sim 17\mu\text{m}$ の座標にあり、画素電極203bは $19\sim 35\mu\text{m}$ の座標にあるが、図3～8は、凸部近傍の光漏れ及びディスクリネーションがあるところを拡大して示したものである。液晶がボジ型のため、電気力線は、液晶のダイレクタ - の向きとほぼ等しいと考えられる。

【0036】

50

- 5 Vの電位を有する画素電極上での液晶の配向を以下に説明する。

【0037】

図3のように凸部がないときは、横方向電界が画素電極の内側に入った領域まで形成される。また、横方向電界の向きと液晶のプレチルトの向きが逆になった領域でディスクリネーションが出ている。

【0038】

図4のように凸部の高さが、 $0.3\ \mu\text{m}$ のときは、凸部の上端部に形成された画素電極の第1の領域により、縦方向電界が強くなるため、ディスクリネーションの位置が、図3の凸部がないときに比べ、画素電極の外側寄りに移動する。

【0039】

図5のように凸部の高さが $0.7\ \mu\text{m}$ と高くなったときは、縦方向電界が強まった効果と、凸部の側部に形成された画素電極の第2の領域と対向電極によりできる電気力線が基板面に対し、ほぼ垂直の成分を持つ効果により、液晶も電気力線にならって基板面に垂直に配向するものが多くなり、凸部近傍のディスクリネーションが少なくなる。

【0040】

図6のように凸部の高さが $1.0\ \mu\text{m}$ と高くなったときは、凸部近傍のディスクリネーションの幅は凸部の高さが $0.7\ \mu\text{m}$ のときに比べ $0.2\ \mu\text{m}$ しか減っていない。

【0041】

図7のように凸部の高さが $1.5\ \mu\text{m}$ と高くなったときは、凸部近傍で、凸部の側部に形成された画素電極の第2の領域と対向電極によりできる電気力線が基板面に対し 60° 程度の角度を持つ。液晶が電気力線にならって配向し、凸部近傍で光漏れができる。

【0042】

なお、電気力線の基板面に対する角度は等電位線の分布から推測したものである。

【0043】

図8においては、凸部の高さが $3.0\ \mu\text{m}$ と高くなり、縦方向電界が強まったため凸部上端部の画素電極の第3の領域上方の液晶はほぼ基板面に垂直に配向する。しかし、凸部の側部に形成された画素電極の第2の領域と対向電極の間にできる電界が基板面に対し、 30° 程度の角度を持ち、液晶が電気力線にならって配向するため、凸部近傍で幅の広い光漏れができる。

【0044】

図4の液晶の配向は図1(a)の模式図に対応する。図5及び図6の液晶の配向は図1(b)の模式図に対応する。図7及び図8の液晶の配向は図1(c)の模式図に対応する。つまり、凸部の高さが、上限を超えると液晶の光漏れが多くなることが確認された。

【0045】

そこで、表示品位の改善を図るために、体系的なシミュレーションデータをとった。開口率に影響するディスクリネーション及び光漏れの端部と端部の間の距離に注目した。

【0046】

かつ、- 5 Vの電位を有する画素電極上での光漏れ及びディスクリネーションの幅についてもデータを取った。- 5 Vの電位を有する画素電極上での光漏れ及びディスクリネーションは、その光強度が高く、表示品位に大きく影響するからである。

【0047】

図9及び図36にシミュレーション結果を示す。図9は、図2のシミュレーションモデルにおいて、セルギャップ(d)に対する凸部の高さ(h)と光漏れ及びディスクリネーションの幅(x)をグラフにしたものである。ここで、光漏れ及びディスクリネーションの幅(x)とは、凸部の両側にできるディスクリネーション及び光漏れに起因する明度の高い領域の幅を示す。

【0048】

図36は、図2のシミュレーションモデルにおいて、セルギャップ(d)に対する凸部の高さ(h)と光漏れ及びディスクリネーションの幅(y)をグラフにしたものである。ここで、光漏れ及びディスクリネーションの幅(y)とは、凸部の片側つまり、- 5 Vの

10

20

30

40

50

電位を有する電極側にできるディスクリネーション及び光漏れに起因する明度の高い領域の幅を示す。

【0049】

セルギャップが $4.5\mu\text{m}$ のときは、画素のピッチ(p)が $18\mu\text{m}$ のときと $43\mu\text{m}$ のときとでシミュレーションをした。また、隣接する画素電極の間の距離(s)は $2.0\mu\text{m}$ 若しくは $4.0\mu\text{m}$ とした。

【0050】

また、セルギャップが $3.0\mu\text{m}$ のときは、隣接する画素電極の間の距離(s)は $2.0\mu\text{m}$ 若しくは $4.0\mu\text{m}$ とした。画素のピッチ(p)は $18\mu\text{m}$ とした。

【0051】

図9及び図36とも、凸部の高さで光漏れ及びディスクリネーションの幅の関係は同様の傾向を示した。

【0052】

まず、画素のピッチによらず、凸部の高さで光漏れ及びディスクリネーションの幅の関係がほとんど変わらなかった。光漏れ及びディスクリネーションが出るのは、画素電極端部の横方向電界及び縦方向電界に起因する現象だからである。

【0053】

また、隣接する画素電極の距離が狭い方が、光漏れ及びディスクリネーションが比較的少なかった。

【0054】

図9及び図36とも、画素のピッチ(p)とセルギャップ(d)によらず、凸部の高さを増やすにつれて光漏れ及びディスクリネーションに代表される液晶の配向不良の領域が低減した。そして、凸部の高さが高くなりすぎると、逆に液晶の配向不良の領域が多くなった。最適な凸部の高さは、セルギャップ、画素電極間の距離により決まる。

【0055】

グラフの変曲点から考えて、液晶の配向不良の領域が減少する効果が顕著に現れる凸部の高さは、セルギャップが $4.5\mu\text{m}$ のときは、セルギャップの 4.4% 以上 22.5% 以下が望ましい。

【0056】

セルギャップが $3.0\mu\text{m}$ のときも、画素電極間の距離(s)が $2.0\mu\text{m}$ 以下のときは、凸部の高さをセルギャップの 4.4% 以上、 22.5% 以下とすることで、凸部がないときに比べ、良好な配向不良の領域の低減効果が得られる。

【0057】

セルギャップに対する凸部の高さが 4.4% 未満のときは、凸部の高さを増やしても、それほど光漏れおよびディスクリネーションの幅は変わらない。セルギャップに対する凸部の高さが 22.5% を超えると光漏れおよびディスクリネーションの幅が増える。

【0058】

また、凸部が高いとラビングのむらによる液晶の配向不良が生じやすいため、凸部を低くして光漏れおよびディスクリネーションの幅が減らせる方が、良好な表示品位を確保する上で好ましい。このため、セルギャップが $4.5\mu\text{m}$ の場合はセルギャップに対する凸部の高さをセルギャップの 4.4% 以上 15.6% 以下に抑える方がよい。この凸部の高さの範囲でも凸部の高さをセルギャップの 4.4% 以上 22.5% 以下としたときとほぼ同じ光漏れ及びディスクリネーションの低減効果が得られる。

【0059】

また、セルギャップが $3.0\mu\text{m}$ で画素電極間の距離(s)が $2.0\mu\text{m}$ 以下のときにも凸部の高さが 4.4% 以上 15.6% 以下の範囲で、凸部の高さをセルギャップの 4.4% 以上 22.5% 以下としたときと同じに、良好な光漏れ及びディスクリネーションの低減効果が得られる。

【0060】

また、画素電極間の距離(s)が $4.0\mu\text{m}$ のときは、凸部の高さが 22.5% のとき

10

20

30

40

50

には、逆に光漏れが多くなってしまっている。そこで、画素電極間の距離（ s ）が $4.0\ \mu\text{m}$ のときまで含めても、セルギャップに対する凸部の高さは 4.4% 以上、 15.6% 以下が望ましい。

【0061】

つまり、画素電極間の距離が $4.0\ \mu\text{m}$ 以下の条件において、セルギャップが $3.0\ \mu\text{m}$ 以上 $4.5\ \mu\text{m}$ 以下のときは凸部の高さをセルギャップの 4.4% 以上 22.5% 以下、望ましくは 4.4% 以上 15.6% 以下にすると良い。

【0062】

セルギャップが小さくなるほど、光漏れ及びディスクリネーションの幅を減らすのに必要な凸部の高さは小さくなる。セルギャップが $3.0\ \mu\text{m}$ 以上 $4.5\ \mu\text{m}$ 以下の場合に、凸部の高さが 15.6% 以下で良好な液晶の配向が得られるのだから、セルギャップが $3.0\ \mu\text{m}$ 以下の場合に、光漏れ及びディスクリネーションの幅を減らすのに必要な凸部の高さはセルギャップの 15.6% 以下で充分と考えられる。

【0063】

セルギャップが $3.0\ \mu\text{m}$ 以下のときは、凸部の高さはセルギャップの 15.6% 以下とすると良い。もちろん、グラフの変曲点から考えて、凸部の高さをセルギャップの 6.7% 以下としても、良好な効果が得られると予測される。

【0064】

セルギャップが $3.0\ \mu\text{m}$ のときにセルギャップに対する凸部の高さが 6.7% 以下であれば、凸部が高くなるにつれて単調に光漏れ及びディスクリネーションの幅が減少する。そこで、セルギャップを $3.0\ \mu\text{m}$ 以下と小さくしたときに、凸部が高くなるにつれて単調に光漏れ及びディスクリネーションの幅が減少するのは、セルギャップに対する凸部の高さが 6.7% を超えない範囲と考えられる。

【0065】

このようにして、凸部の高さの上限あるいは、上限と下限を定めた。凸部により、ラビングの布の毛先が乱れてラビング不良が起こる恐れがあるので凸部の高さの上限を定めることは液晶表示パネルを作製するために必要である。また、セルギャップに対する凸部の高さの最適値は、セルギャップが小さくなるにつれて小さくなる傾向があった。

【0066】

このように定めた、凸部の高さの最適値はTN方式だけでなくノーマリーホワイトモードの配向方式において液晶のディスクリネーションを隠す手段として広く用いることができる。

【0067】

凸部の高さの最適値はアクティブマトリクス型の液晶表示装置の横方向電界及び縦方向電界によりできる電気力線を、適切に調節し、図1(b)のように基板面に垂直な成分持つ電気力線が発生する領域を画素電極の端部において増やすものである。

【0068】

このため、シミュレーションは透過型の液晶表示装置で行っているが、本発明は、反射型の液晶表示装置にも適用可能と考えられる。反射型の液晶表示装置でも画素電極に電圧を印可し、縦方向電界で液晶を配向させるときに、不要な、基板面に対し斜め方向の電界を低減し、画素電極の端部の光漏れ及びディスクリネーションを減らすことができるからである。

【0069】

また、TN方式を用いてシミュレーションをしたが、液晶の配向方式はTN方式に限定されない。アクティブマトリクス型の液晶表示装置において、縦方向電界で液晶を配向させるときに、凸部の高さを最適化して、不要な、基板面に対し斜め方向の電界を低減するものだからである。例えば、OCB (Optically Controlled Birefringence) 方式、STN方式、ホモジニアス配向セルを用いたECB方式等に本発明が適用可能と考えられる。

【0070】

また、凸部が、液晶の配向欠陥を誘起しないのであれば、スメクチック液晶を用いた配向方式に適用することが可能であると考えられる。例えば、強誘電性液晶、反強誘電性液晶を用いた液晶表示装置に適用可能であると考えられる。また、これらの液晶に液晶性高分子を添加して光（例えば紫外線）照射により硬化した材料を用いた液晶表示装置にも適用可能であると考えられる。

【0071】

シミュレーションは凸部の側面に形成された画素電極の第2の領域に接する面と、平坦面に形成された画素電極の第3の領域の成す角度（以降、凸部のテーパ角と称す）が 90° である。しかし、本発明は凸部のテーパ角が 90° 以下のものにも適用可能である。図35の凸部がテーパを有するときの電気力線を示す断面図のように凸部204のテーパ角 θ が 90° 未満の場合、電気力線は導電体に対して垂直方向に発生するため、凸部にテーパがついている方が、対向電極201と画素電極203a~203bの第2の領域219の間にできる電気力線218の屈曲がなだらかになり、より液晶220が基板面に垂直に配向しやすい。このため、凸部にテーパがついているときは、本発明で示した凸部の高さ221とセルギャップの関係を用いることで、テーパ角が 90° のときに比べ、より大きな光漏れ及びディスクリネーションの低減効果があると考えられる。

【0072】

[凸部の上端部の画素電極の第1の領域の幅] 次に、凸部の上端部に重なって形成されている画素電極の第1の領域の幅を変えたときの液晶の配向の変化を調べた。

【0073】

シミュレーションモデルを図2に示す。図2において対向電極201、液晶202、凸部204、画素電極203a~203bがシミュレーションモデルの構成要素となっている。

【0074】

シミュレーションのパラメーターを以下にまとめる。セルギャップ d : $4.5\mu\text{m}$ 画素電極間の距離 s : $2\mu\text{m}$ 、 $4\mu\text{m}$ 凸部の高さ h : $0\mu\text{m}$ 、 $0.5\mu\text{m}$ 画素電極の第1の領域の幅 o : $-1.0\mu\text{m}$ 、 $-0.5\mu\text{m}$ 、 $0\mu\text{m}$ 、 $0.5\mu\text{m}$ 、 $1.0\mu\text{m}$ 画素電極の第1の領域の幅 o で、 $-1.0\mu\text{m}$ のような $-$ の符号は、凸部に画素電極が形成されておらず、凸部から、 $1.0\mu\text{m}$ 離れた位置に画素電極の端部があることを示す。

【0075】

シミュレーションにおいて固定された条件を以下にまとめる。
画素電極203aの電位: $+5\text{V}$ 画素電極203bの電位: -5V 対向電極201の電位: 0V 画素のピッチ p : $18\mu\text{m}$

【0076】

シミュレーション結果を図11~図15の断面図に示す。画素電極間の距離(s)は $2.0\mu\text{m}$ である。

【0077】

図11は、凸部がない。図12は、凸部と画素電極が重なり合っておらず、凸部の端から $0.5\mu\text{m}$ のところに画素電極の端がある。つまり、図11~図12において画素電極の第2の領域および画素電極の第1の領域が存在していない。このとき、画素の端からの光漏れ及びディスクリネーションの幅(x)は図11と図12で全く変わらなかった。

【0078】

図13は凸部の側部に画素電極が形成されている。つまり、画素電極の第2の領域がある。図11~図12に比べ、 -5V の電位を有する画素電極上方のディスクリネーションの位置が $0.4\mu\text{m}$ 画素端に移動している。画素電極の第2の領域により、縦方向電界が強まり、横方向電界が、若干弱まっている。

【0079】

図14は凸部の上端部に形成された画素電極の第1の領域及び、凸部の側部に形成された画素電極の第2の領域がある。画素電極の第1の領域の幅は $0.5\mu\text{m}$ である。画素電

10

20

30

40

50

極の第2の領域により、縦方向電界が強くなり、-5Vの電位を有する画素電極上方のディスクリネーションが画素電極の端に移動している。

【0080】

図15は、図14に対し、画素電極の第1の領域の幅を $1.0\mu\text{m}$ にしている。これにより、さらに、縦方向電界が、横方向電界に対し強くなり、-5Vの電位を有する画素電極上方のディスクリネーションが画素電極の端に移動している。

【0081】

以上により、画素電極の第1の領域及び画素電極の第2の領域があることによる、ディスクリネーションの低減効果がわかる。

【0082】

次に、画素電極間の距離(s)が $4.0\mu\text{m}$ のときのデータを追加して、体系的なデータをとった。図16にシミュレーション結果を示す。図16(a)は、図2のシミュレーションモデルにおいて、セルギャップ(d)に対する画素電極の第1の領域の幅(o)と光漏れ及びディスクリネーションの幅(x)をグラフにしたものである。ここで、光漏れ及びディスクリネーションの幅(x)とは、凸部の両側にできるディスクリネーション及び光漏れに起因する明度の高い領域の幅を示す。

【0083】

図16(b)は、図2のシミュレーションモデルにおいて、セルギャップ(d)に対する画素電極の第1の領域の幅(o)と光漏れ及びディスクリネーションの幅(y)をグラフにしたものである。ここで、光漏れ及びディスクリネーションの幅(y)とは、凸部の片側つまり、-5Vの電位を有する電極側にできるディスクリネーション及び光漏れに起因する明度の高い領域の幅を示す。

【0084】

図16(a)～図16(b)から、画素電極間の距離(s)によらず、画素電極の第1の領域の幅(o)が $0.5\mu\text{m}$ 以上、望ましくは $1.0\mu\text{m}$ 以上あると、ディスクリネーション及び光漏れが低減する効果があることがわかる。

【0085】

図16(a)～図16(b)において画素電極の第1の領域の幅が $0\mu\text{m}$ のときの光漏れ及びディスクリネーションの幅は、画素電極が凸部の側面にのみ形成された状態の光漏れ及びディスクリネーションの幅を示している。画素電極の第1の領域の幅が $0.5\mu\text{m}$ 以上、あるいは $1.0\mu\text{m}$ 以上ある場合に比べると光漏れ及びディスクリネーションの幅が低減する効果が低い。しかし、画素電極が凸部に全くかかっていない画素電極の第1の領域の幅が $-0.5\mu\text{m}$ の場合に比べて、光漏れ及びディスクリネーションの幅が減っている。

【0086】

実際に凸部と画素電極の重なる幅を変えて実験をした。図33(a)は凸部を有する基板の上面図、図33(b)～図33(c)は凸部を有する基板の断面図である。

【0087】

図33(a)の上面図において、斜線部で示される画素電極301aがすべて同電位になる。また、縦線部で示される画素電極301bが全て同電位になる。

これは、隣接する画素電極が $3\mu\text{m}$ の幅の透明導電膜300により接続されているためである。ライン反転駆動を仮定して、画素電極301aに+5Vの電位を与えている。かつ、画素電極301bに-5Vの電位を与えている。凸構造を有する基板のラビング方向302を図中に示す。凸構造を有する基板と対向する基板のラビング方向は、ラビング方向302と直交する。

【0088】

図33(a)の上面図を鎖線G-G'で切断した断面を図33(b)に示す。

図33(a)の上面図を鎖線H-H'で切断した断面を図33(c)に示す。図33(a)と同じ部位は同一の符号を用いる。基板303上に形成された画素電極301a、301bの端部が凸部304にかかる。隣接する画素電極301a、301bの距離は 2.0

10

20

30

40

50

μm と一定にして、凸部上に重なる画素電極の幅つまり、画素電極の第1の領域の幅305を変えて、液晶の配向を確認した。画素電極の第1の領域の幅は-1.0 μm 、0 μm 、0.5 μm 、1.0 μm である。

セルギャップは4.5 μm 、凸部の高さは0.5 μm 、画素のピッチは18 μm である。
【0089】

図33の画素電極構造を用いたときの液晶の配向の写真を図34に示す。紙面の水平方向に隣接する画素電極は同電位である。ラビングは紙面の垂直方向にされている。実験においても、画素電極の第1の領域の幅(o)が0.5 μm 以上、望ましくは1.0 μm 以上あると、ディスクリネーションの幅が低減する効果があった。紙面の水平方向に伸びるディスクリネーション及び光漏れの幅が画素電極の第1の領域の幅(o)が大きくなるにつれて減っていることがわかる。

10

【発明の効果】

【0090】

本発明によれば、黒レベルを表示するときの液晶表示装置のディスクリネーション及び光漏れといった液晶の配向不良を低減でき、コントラストが高く、視認性の良い液晶表示装置を提供することができる。

【図面の簡単な説明】

【0091】

【図1】本発明の原理を示す断面図。

【図2】本発明のシミュレーションのモデルを示す断面図。

20

【図3】凸部がないときのシミュレーション結果を示す断面図。

【図4】凸部の高さが0.3 μm でのシミュレーション結果を示す断面図。

【図5】凸部の高さが0.7 μm でのシミュレーション結果を示す断面図。

【図6】凸部の高さが1.0 μm でのシミュレーション結果を示す断面図。

【図7】凸部の高さが1.5 μm でのシミュレーション結果を示す断面図。

【図8】凸部の高さが3.0 μm でのシミュレーション結果を示す断面図。

【図9】セルギャップに対する凸部の高さ、光漏れ及びディスクリネーションの幅の関係を示す図。

【図10】横方向電界と縦方向電界の定義を示す断面図。

【図11】凸部がないときのシミュレーション結果を示す断面図。

30

【図12】凸部に画素電極が重ならないときのシミュレーション結果を示す断面図。

【図13】凸部の側部に画素電極があるときのシミュレーション結果を示す断面図。

【図14】凸部の側部及び上端部に画素電極があるときのシミュレーション結果を示す断面図。

【図15】凸部の側部及び上端部に画素電極があるときのシミュレーション結果を示す断面図。

【図16】画素電極の第1の領域の幅と光漏れ及びディスクリネーションの幅の関係を示す図。

【図17】本発明の実施形態の一例を示す上面図。

【図18】本発明の実施形態の一例を示す上面図。

40

【図19】本発明の実施形態の一例を示す上面図。

【図20】本発明の実施形態の一例を示す上面図。

【図21】アクティブマトリクス基板の作製工程を示す断面図(実施例1)。

【図22】アクティブマトリクス基板の作製工程を示す断面図(実施例1)。

【図23】アクティブマトリクス基板の作製工程を示す断面図(実施例1)。

【図24】アクティブマトリクス基板の作製工程を示す断面図(実施例1)。

【図25】アクティブマトリクス基板の画素部を示す上面図(実施例1)。

【図26】液晶表示装置を示す断面図(実施例3)。

【図27】アクティブマトリクス基板の作製工程を示す断面図(実施例2)。

【図28】アクティブマトリクス基板の作製工程を示す断面図(実施例2)。

50

【図 29】アクティブマトリクス基板の画素部を示す上面図（実施例 2）。

【図 30】電子機器の一例を示す図（実施例 4）。

【図 31】電子機器の一例を示す図（実施例 4）。

【図 32】電子機器の一例を示す図（実施例 4）。

【図 33】実験基板の電極及び凸部を示す図。

【図 34】画素電極の第 1 の幅による液晶配向の変化を示す図。

【図 35】凸部がテーパを有するときの電気力線を示す断面図。

【図 36】セルギャップに対する凸部の高さ、光漏れ及びディスクリネーションの幅の関係を示す図。

【図 37】ソースライン反転駆動をするときの画素に印加される電圧の極性を示す図。

10

【発明を実施するための形態】

【0092】

本発明の実施の形態を図 17～図 20 に示す。なお、図 17～図 20 において同一の機能を有する部位は同じ符号を付す。

【0093】

図 17 に示す画素の上面図は、半導体層 306 と、半導体層のゲート電極となるゲート配線 301、半導体層のソース領域と電氣的に接続するソース配線 302、半導体層のドレイン領域とコンタクトホール 305 を介して電氣的に接続する画素電極 303 が図示されている。図 17 はソース配線 302 上方にソース配線と平行に本発明の凸部 304 を設けたものである。ソースライン反転駆動をしたときに画素電極端部において、ソース配線と平行にできるディスクリネーション及び光漏れを低減するのに効果がある。本発明の効果を発揮するのは、凸部の上端部に重なり合って形成された画素電極の第 1 の領域及び凸部の側部に形成された画素電極の第 2 の領域である。このため、凸部は画素電極と重なり合う領域に設ける。

20

【0094】

ゲートライン反転駆動をするときには、ゲート配線と平行に本発明の凸部を設ければ良い。

【0095】

図 18 に示す画素の上面図はソース配線 302 及びゲート配線 301 と平行に本発明の凸部 304 を設けたものである。例えば、ソースライン反転駆動をしたときに横方向電界はソース配線を挟んで隣接する画素電極の間だけでなく、ゲート配線を挟んで隣接する画素電極の間にも生じる。そこで、図 18 はゲート配線を挟んで隣接する画素電極間の横方向電界によりできるディスクリネーション及び光漏れを低減する効果も合わせ持つ。凸部は図 17 と同じで、画素電極と重なり合う領域に設ける。

30

【0096】

図 19 に示す画素の上面図はソース配線 302 及びゲート配線 301 と平行に本発明の凸部 304 を設けたものである。図 18 においては、凸部が高く、ラビングの布の毛先が、図 18 の凸部 304 の間隙の凹部にとどかず、ラビングむらができることがある。図 19 ではラビングを均一にするために、ソース配線及びゲート配線上において、凸部と画素電極 303 が重ならない部分にも、ダミーパターンとして凸部を設けている。

40

【0097】

図 17～図 19 において、セルギャップが $3.0\ \mu\text{m}$ 以上、 $4.5\ \mu\text{m}$ 以下のときは凸部の高さをセルギャップの 4.4% 以上、 22.5% 以下、望ましくは 4.4% 以上、 15.6% 以下にすると良い。また、セルギャップが $3.0\ \mu\text{m}$ 以下のときは、凸部の高さはセルギャップの 15.6% 以下望ましくは、 6.7% 以下とすることが望ましい。セルギャップが $4.5\ \mu\text{m}$ 以上のときは、凸部の高さはセルギャップの 15.6% 以下とすることが望ましい。

【0098】

図 20 に示す画素の上面図はソース配線 302 及びゲート配線 301 と平行に本発明の凸部を設け、凸部の高さを場所によって変えたものである。例えば、ソースライン反転駆

50

動をしたときに横方向電界はソース配線 302 を挟んで隣接する画素電極間だけでなく、ゲート配線 301 を挟んで隣接する画素電極間にも生じる。もちろん、ソース配線を挟んで隣接する画素電極間の横方向電界の方が大きい。そこで、隣接する画素間にできる電気力線のでき方を考慮して、凸部の高さを変えると良い。図 20 においては、第 1 の高さを有する凸部 307 及び第 2 の高さを有する凸部 308 を図示している。電界の出来かたによって、さらに、凸部の高さを場所によって変えても良い。例えば、電気力線の出来方によっては、第 1 の高さを有する凸部を第 2 の高さを有する凸部に対し相対的に高くすることが可能である。

【0099】

第 1 の高さを有する凸部及び第 2 の高さを有する凸部はそれらの高さをセルギャップが 3.0 μm 以上 4.5 μm 以下のときはセルギャップの 4.4 % 以上 22.5 % 以下望ましくは、4.4 % 以上 15.6 % 以下にすると良い。また、セルギャップが 3.0 μm 以下のときは、第 1 の高さを有する凸部及び第 2 の高さを有する凸部はセルギャップの 15.6 % 以下望ましくは、6.7 % 以下とすることが望ましい。セルギャップが 4.5 μm 以上のときは、第 1 の高さを有する凸部及び第 2 の高さを有する凸部はセルギャップの 15.6 % 以下とすることが望ましい。

【0100】

凸部は、感光性有機樹脂膜や有機樹脂膜をフォトリソ工程によりパターンニングして形成すると良い。もちろん、酸化珪素膜、酸化窒素膜、酸化窒素珪素膜のような無機膜をパターンニングして形成することも可能である。

【0101】

凸部の高さを場所によって変えるには、感光性樹脂膜を二回に分けて形成すると良い。また、素子基板の、半導体層、ゲート配線、ソース配線等を凸部を高くしたい場所においても形成し、画素電極を形成する前に、選択的に凸状になったところを形成しておいても良い。

【0102】

また、図 17 ~ 図 20 において、凸部の上端部に形成された画素電極の第 1 の領域の幅は 0.5 μm 以上、望ましくは 1.0 μm とすると良い。

【0103】

本発明は上記の実施形態に限定されず、上記実施形態の特徴を組み合わせることも可能である。

【実施例 1】

【0104】

本発明の実施例を図 21 ~ 図 25 を用いて説明する。

【0105】

本実施例では、画素部のスイッチング素子である画素 TFT と、画素部の周辺に設けられる駆動回路（信号線駆動回路、走査線駆動回路等）の TFT を同一基板上に作製する方法について工程に従って説明する。但し、説明を簡単にするために、駆動回路部にはその基本構成回路である CMOS 回路を、画素部の画素 TFT には n チャネル型 TFT とを、ある経路に沿った断面により図示することにする。

【0106】

まず、図 21 (A) に示すように、コーニング社の #7059 ガラスや #1737 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板 400 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 401 を形成する。例えば、プラズマ CVD 法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜 401a を 10 ~ 200 nm（好ましくは 50 ~ 100 nm）形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜 401b を 50 ~ 200 nm（好ましくは 100 ~ 150 nm）の厚さに積層形成する。本実施例では下地膜 401 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。

10

20

30

40

50

【0107】

島状半導体膜402～406は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体膜402～406の厚さは25～80nm（好ましくは30～60nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

【0108】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザー、Arレーザー、KrレーザーやYAGレーザー、YVO₄レーザー、YLFレーザー、YAlO₃レーザー、ガラスレーザー、ルビーレーザー、アレキサンドライドレーザー、Ti：サファイアレーザー等を用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状または矩形状または楕円形状に集光し半導体膜に照射する方法を用いると良い。

0.5～2000cm/s程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射すると良い。結晶化の条件は実施者が適宜選択するものであるが、非晶質半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザーを用い、基本波の第2高調波～第4高調波を適用するのが好ましい。代表的には、Nd：YVO₄レーザー（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を適用する。なお、基本波に対する高調波は、非線形光学素子を用いることで得ることができる。例えば、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100～400mJ/cm²（代表的には200～300mJ/cm²）とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10kHzとし、レーザーエネルギー密度を300～600mJ/cm²（代表的には350～500mJ/cm²）とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を80～98%として行う。

【0109】

次いで、島状半導体膜402～406を覆うゲート絶縁膜407を形成する。ゲート絶縁膜407はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nmの厚さの酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS（Tetraethyl Ortho Silicate）とO₂とを混合し、反応圧力40Pa、基板温度300～400とし、高周波（13.56MHz）電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0110】

そして、ゲート絶縁膜407上にゲート電極を形成するための第1の導電膜408と第2の導電膜409とを形成する。本実施例では、第1の導電膜408をTa₂Nで50～100nmの厚さに形成し、第2の導電膜409をWで100～300nmの厚さに形成する。

【0111】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン（WF₆）を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成するこ

とにより、抵抗率 $9 \sim 20 \mu\Omega\text{cm}$ を実現することができる。

【0112】

なお、本実施例では、第1の導電膜408をTaN、第2の導電膜409をWとしたが、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の組み合わせとしては、第1の導電膜をタンタル(Ta)で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をAlとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をCuとする組み合わせなどがある。

10

【0113】

次に、レジストによるマスク410~415を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用い、エッチング用ガスを混合し、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。エッチングガスを適宜選択することによりW膜及びTaN膜とも同程度にエッチングされる。

【0114】

上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ部の角度が $15 \sim 45^\circ$ のテーパ形状となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50nm程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層417~422(第1の導電層417a~422aと第2の導電層417b~422b)を形成する。416はゲート絶縁膜であり、第1の形状の導電層417~422で覆われない領域は20~50nm程度エッチングされ薄くなった領域が形成される。

20

30

【0115】

そして、第1のドーピング処理を行い、n型を付与する不純物元素を添加する。(図21(B))ドーピングの方法はイオンドーブ法若しくはイオン注入法で行えば良い。イオンドーブ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{atoms/cm}^2$ とし、加速電圧を60~100keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層417~420がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域423~426が形成される。第1の不純物領域423~426には $1 \times 10^{20} \sim 1 \times 10^{21} \text{atomic/cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。

40

【0116】

次に、図21(C)に示すように第2のエッチング処理を行う。ICPエッチング法を用い、反応性ガスをチャンバーに導入して、コイル型の電極に所定のRF電力(13.56MHz)を供給し、プラズマを生成して行う。基板側(試料ステージ)には低めのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。W膜を異方性エッチングして第2の形状の導電層427~432を得る。

【0117】

さらに、図21(C)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてn型を付与する不純物元

50

素をドーピングする。例えば、加速電圧を70～120 keVとし、 $1 \times 10^{13}/\text{cm}^2$ のドーピング量で行い、図21(B)で島状半導体膜に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層427～430を不純物元素に対するマスクとして用い、第1の導電層427a～430aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第1の導電層427a～430aと重なる第2の不純物領域433～437を形成する。n型を付与する不純物元素は、第2の不純物領域で $1 \times 10^{17} \sim 1 \times 10^{18} \text{ atomic}/\text{cm}^3$ の濃度となるようにする。

【0118】

図22(A)のように、ゲート絶縁膜416をエッチングすることで同時に第1の導電層であるTa₂Nがエッチングされて後退するので第3の形状の導電層438～443(第1の導電層438a～443aと第2の導電層438b～443b)を形成する。444はゲート絶縁膜であり第3の形状の導電層438～443で覆われない領域はさらに20～50nm程度エッチングされ薄くなった領域が形成される。

【0119】

図22(A)において、第1の導電層438a～441aと重なる第3の不純物領域445～449と、第3の不純物領域の外側にある第4の不純物領域450～454が形成される。これにより第3の不純物領域及び第4の不純物領域におけるn型を付与する不純物元素の濃度は第2の不純物領域におけるn型を付与する不純物元素の濃度とほぼ等しくなる。

【0120】

そして、図22(B)に示すように、pチャネル型TFTを形成する島状半導体膜403、pチャネル型TFTを形成する島状半導体膜406に一導電型とは逆の導電型の第4の不純物領域458～461を形成する。第3の形状の導電層439、第3の形状の導電層441を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体膜402、島状半導体膜404、島状半導体膜405はレジストマスク455～457で全面を被覆しておく。不純物領域458～461にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B_2H_6)を用いたイオンドーピング法により、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms}/\text{cm}^3$ となるようにする。

【0121】

以上の工程により、それぞれの島状半導体膜に不純物領域が形成される。島状半導体膜と重なる導電層(ゲート電極を形成する導電層)438～441がTFTのゲート電極として機能する。また、442はソース配線、443は駆動回路内の配線として機能する。

【0122】

こうして導電型の制御を目的として図22(C)に示すように、それぞれの島状半導体膜に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行うものであり、本実施例では500℃で4時間の熱処理を行う。ただし、438～443に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0123】

さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体膜を水素化する工程を行う。この工程は熱的に励起された水素により半導体膜のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0124】

そして、図23のように、第1の層間絶縁膜472を酸化窒化シリコン膜で100～200nmの厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜473と

10

20

30

40

50

してアクリル樹脂膜又はポリイミド樹脂膜を $1.8\ \mu\text{m}$ の厚さで形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【0125】

次に、導電性の金属膜をスパッタ法や真空蒸着法で形成する。これは、Ti 膜を $50 \sim 150\ \text{nm}$ の厚さで形成し、島状半導体膜のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、その Ti 膜上に重ねてアルミニウム (Al) を $300 \sim 400\ \text{nm}$ の厚さで形成し、さらに Ti 膜または窒化チタン (TiN) 膜を $100 \sim 200\ \text{nm}$ の厚さで形成して 3 層構造とした。

【0126】

そして、駆動回路部において島状半導体膜のソース領域とコンタクトを形成するソース配線 474 ~ 476、ドレイン領域とコンタクトを形成するドレイン配線 477 ~ 479 を形成する。

【0127】

また、画素部においては、接続電極 480、ゲート配線 481、ドレイン電極 482、電極 492 を形成する。

【0128】

接続電極 480 は、ソース配線 483 と第 1 の半導体膜 484 と電気的に接続する。図示してはいないが、ゲート配線 481 はゲート電極を形成する導電層 485 とコンタクトホールにより電気的に接続する。ドレイン電極 482 は第 1 の半導体膜 484 のドレイン領域と電気的に接続する。電極 492 は第 2 の半導体膜 493 と電気的に接続し、第 2 の半導体膜 493 を保持容量 505 の電極として機能させる。

【0129】

次に、図 24 に示すように感光性樹脂膜を用いて、フォトリソ工程を行い、 $0.32\ \mu\text{m}$ の厚さで、ソース配線 483 の上方に凸部 600 を形成する。感光性樹脂膜は、JSR 社製の BPR-107VL を PGMEA (プロピレングリコールモノメチルエーテルアセテート) で希釈して、粘度を下げた材料を用いる。画素部の上面図では、凸部は細長い長方形のパターンであり、その短軸の幅は $4.0\ \mu\text{m}$ とする。

【0130】

その後、図 23 及び図 24 に示すように透明導電膜を全面に形成し、フォトリソを用いたパターニング処理およびエッチング処理により画素電極 491 を形成する。画素電極 491 は、第 2 の層間絶縁膜 473 上に形成され、画素 TFT のドレイン電極 482、電極 492 と重なる部分を設け、接続構造を形成している。ここで、凸部の上端部に形成された画素電極 491 の第 1 の領域 601 の幅が $1.0\ \mu\text{m}$ となるようにする。

【0131】

透明導電膜の材料は、酸化インジウム (In_2O_3) や酸化インジウム酸化スズ合金 ($\text{In}_2\text{O}_3\text{—SnO}_2$; ITO) などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特に ITO のエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金 ($\text{In}_2\text{O}_3\text{—ZnO}$) を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITO に対して熱安定性にも優れているので、ドレイン電極 482 の端面で接触する Al との腐蝕反応を防止できる。同様に、酸化亜鉛 (ZnO) も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム (Ga) を添加した酸化亜鉛 (ZnO:Ga) などを用いることができる。

【0132】

このようにして、透過型の液晶表示装置に対応したアクティブマトリクス基板を完成させることができる。

【0133】

以上のようにして、n チャネル型 TFT 501、p チャネル型 TFT 502、n チャネル型 TFT 503 を有する駆動回路部と、画素 TFT 504、保持容量 505 とを有する画素部を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上ア

10

20

30

40

50

クティブマトリクス基板と呼ぶ(図23)。

【0134】

駆動回路部のnチャネル型TF T501はチャネル形成領域462、ゲート電極を形成する導電層438と重なる第3の不純物領域445(GOLD領域)、ゲート電極の外側に形成される第4の不純物領域450(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域423を有している。

pチャネル型TF T502にはチャネル形成領域463、ゲート電極を形成する導電層439と重なる第5の不純物領域446、ソース領域またはドレイン領域として機能する第6の不純物領域451を有している。nチャネル型TF T503にはチャネル形成領域464、ゲート電極を形成する導電層440と重なる第3の不純物領域447(GOLD領域)、ゲート電極の外側に形成される第4の不純物領域452(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域425を有している。

【0135】

画素部の画素TF T504にはチャネル形成領域465、ゲート電極を形成する導電層485と重なる第3の不純物領域448(GOLD領域)、ゲート電極の外側に形成される第4の不純物領域453(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域426を有している。また、保持容量505の一方の電極として機能する半導体膜493にはp型を付与する不純物元素が添加されている。ゲート電極を形成する導電層485とその間の絶縁層(ゲート絶縁膜と同じ層)とで保持容量を形成している。

【0136】

図25の上面図を鎖線A—A'、鎖線B—B'で切断した断面が、図23の鎖線A—A'、鎖線B—B'で切断された断面に対応する。図25の上面図を鎖線C—C'で切断した断面が、図24の鎖線C—C'で切断された断面に対応する。図25の801~805はコンタクトホールである。

【0137】

図25の上面図において、ソース配線の上方に形成された凸部は島状の矩形の形をしている。しかし、互いに隣接する画素の凸部を接続したストライプ状にすることも可能である。

【実施例2】

【0138】

実施例1で作製したアクティブマトリクス基板の作製方法の一部を反射型の液晶表示装置に適用することができる。

【0139】

まず、実施例1の図21~図22にしたがって工程を進め、図22(C)の構造を得る。

【0140】

そして、図27のように、第1の層間絶縁膜472を酸化窒化シリコン膜で100~200nmの厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜473としてアクリル樹脂膜又はポリイミド膜を1.8μmの厚さで形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【0141】

次に、図28のように、感光性樹脂膜を用いて、フォトリソ工程を行い、0.32μmの厚さで、ソース配線483の上方に凸部600を形成する。感光性樹脂膜は、JSR社製のBPR-107VLをPGMEA(プロピレングリコールモノメチルエーテルアセート)で希釈して、粘度を下げた材料を用いる。

【0142】

次に、図27及び図28のように、導電性の金属膜をスパッタ法や真空蒸着法で形成する。これは、Ti膜を50~150nmの厚さで形成し、島状半導体膜のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、そのTi膜上に重ねてアルミニウム

(A1)を300～400nmの厚さで形成し、さらにTi膜または窒化チタン(TiN)膜を100～200nmの厚さで形成して3層構造とした。

【0143】

そして、駆動回路部において島状半導体膜のソース領域とコンタクトを形成するソース配線474～476、ドレイン領域とコンタクトを形成するドレイン配線477～479を形成する。

【0144】

また、画素部においては、接続電極480、ゲート配線481、ドレイン電極482を形成する。本実施例においては、ドレイン電極482が反射型液晶表示装置の画素電極としての機能を有している。なお、図28に示すように凸部の上端部と、ドレイン電極482が重なり合う。ドレイン電極の第1の領域602の幅は1.5μmとする。

10

【0145】

接続電極480は、ソース配線483と第1の半導体膜484と電氣的に接続する。図示してはいないが、ゲート配線481はゲート電極を形成する導電層485とコンタクトホールにより電氣的に接続する。ドレイン電極482は第1の半導体膜484のドレイン領域と電氣的に接続する。かつ、ドレイン電極482は第2の半導体膜493と電氣的に接続し、第2の半導体膜493を保持容量505の電極として機能させる。

【0146】

保持容量については、画素毎に設けられた第2の半導体膜493とゲート電極を形成する導電層485を電極とする。ゲート絶縁膜444は保持容量の誘電体膜として機能する。第2の半導体膜493はドレイン電極482と同電位になる。ゲート電極を形成する導電層485はゲート配線と同電位になる。

20

【0147】

このようにして、反射型の液晶表示装置に対応したアクティブマトリクス基板を完成させることができる。

【0148】

以上のようにして、nチャネル型TF T501、pチャネル型TF T502、nチャネル型TF T503を有する駆動回路部と、画素TF T504、保持容量505とを有する画素部を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

30

【0149】

駆動回路部のnチャネル型TF T501はチャネル形成領域462、ゲート電極を形成する導電層438と重なる第3の不純物領域445(GOLD領域)、ゲート電極の外側に形成される第4の不純物領域450(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域423を有している。

pチャネル型TF T502にはチャネル形成領域463、ゲート電極を形成する導電層439と重なる第5の不純物領域446、ソース領域またはドレイン領域として機能する第6の不純物領域451を有している。nチャネル型TF T503にはチャネル形成領域464、ゲート電極を形成する導電層440と重なる第3の不純物領域447(GOLD領域)、ゲート電極の外側に形成される第4の不純物領域452(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域425を有している。

40

【0150】

画素部の画素TF T504にはチャネル形成領域465、ゲート電極を形成する導電層485と重なる第3の不純物領域448(GOLD領域)、ゲート電極の外側に形成される第4の不純物領域453(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域426を有している。また、保持容量505の一方の電極として機能する半導体膜493にはp型を付与する不純物元素が添加されている。ゲート電極を形成する導電層485とその間の絶縁層(ゲート絶縁膜と同じ層)とで保持容量を形成している。

【0151】

50

図 29 の上面図を鎖線 D—D'、鎖線 E—E' で切断した断面が、図 27 の鎖線 D—D'、鎖線 E—E' で切断された断面に対応する。図 29 の上面図を鎖線 F—F' で切断した断面が、図 28 の鎖線 F—F' で切断された断面に対応する。

【実施例 3】

【0152】

本実施例では、実施例 1 で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図 26 を用いる。

【0153】

まず、実施例 1 に従い、アクティブマトリクス基板を得る。図 26 は、図 25 に示すアクティブマトリクス基板の画素部の上面図を鎖線 A—A'、鎖線 C—C' で切断した断面を図示している。アクティブマトリクス基板には駆動回路部 506 及び画素部 507 が形成されている。

【0154】

まず、アクティブマトリクス基板上に配向膜 512 を形成しラビング処理を行う。なお、本実施例では配向膜 512 を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターンニングすることによって基板間隔を保持するための柱状のスペーサ（図示しない）を所望の位置に形成した。本実施例では、 $4.0\ \mu\text{m}$ の高さを有する柱状のスペーサを用いた。また、柱状のスペーサに代えて、球状のスペーサ（図示しない）を基板全面に散布してもよい。

【0155】

次いで、対向基板 508 を用意する。この対向基板には、着色層、遮光層が各画素に対応して配置されたカラーフィルタが設けられている。また、駆動回路の部分にも遮光層を設けた。このカラーフィルタと遮光層とを覆う平坦化膜を設けた。次いで、平坦化膜上に透明導電膜からなる対向電極 510 を画素部に形成し、対向基板の全面に配向膜 511 を形成し、ラビング処理を施した。

【0156】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材 513 で貼り合わせる。シール材 513 にはフィラーが混入されていて、このフィラーと柱状のスペーサによって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 514 を注入し、封止剤（図示せず）によって完全に封止する。液晶材料 514 には公知の液晶材料を用いれば良い。このようにして図 26 に示すアクティブマトリクス型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板等を適宜設けた。そして、公知の技術を用いて FPC を貼りつけた。

【0157】

以上のようにして作製される液晶表示パネルは各種電子機器の表示部として用いることができる。

【0158】

本実施例は、実施例 2 と組み合わせることも可能である。

【0159】

本実施例では、画素電極 491 の端部が $0.32\ \mu\text{m}$ の高さの凸部 600 に重なって形成されている。セルギャップが $4.0\ \mu\text{m}$ であることから、凸部の高さはセルギャップの 8% となる。図 9 及び図 36 のグラフからこの凸部の高さでディスクリネーションおよび光漏れを低減する効果があることがわかる。

【実施例 4】

【0160】

上記各実施例 1 乃至 3 のいずれかーを実施して形成された液晶表示装置は様々な電気光学装置に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本発明を適用できる。

【0161】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図30、図31及び図32に示す。

【0162】

図30（A）はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を表示部2003に適用することができる。

【0163】

図30（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102に適用することができる。

10

【0164】

図30（C）はモバイルコンピュータ（モータイルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明を表示部2205に適用できる。

【0165】

図30（D）はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。本発明を表示部2302に適用することができる。

【0166】

20

図30（E）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明を表示部2402に適用することができる。

【0167】

図30（F）はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部（図示しない）等を含む。本発明を表示部2502に適用することができる。

30

【0168】

図31（A）はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本発明を投射装置2601の一部を構成する液晶表示装置2808に適用することができる。

【0169】

図31（B）はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本発明を投射装置2702の一部を構成する液晶表示装置2808に適用することができる。

【0170】

なお、図31（C）は、図31（A）及び図31（B）中における投射装置2601、投射装置2702の構造の一例を示した図である。投射装置2601、投射装置2702は、光源光学系2801、ミラー2802、ミラー2804～2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図31（C）中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

40

【0171】

また、図31（D）は、図31（C）中における光源光学系2801の構造の一例を示

50

した図である。本実施例では、光源光学系 2801 は、リフレクター 2811、光源 2812、レンズアレイ 2813、レンズアレイ 2814、偏光変換素子 2815、集光レンズ 2816 で構成される。なお、図 31 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IR フィルム等の光学系を設けてもよい。

【0172】

ただし、図 31 に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置での適用例は図示していない。

【0173】

図 32 (A) は携帯電話であり、本体 2901、音声出力部 2902、音声入力部 2903、表示部 2904、操作スイッチ 2905、アンテナ 2906 等を含む。本発明を表示部 2904 に適用することができる。

【0174】

図 32 (B) は携帯書籍（電子書籍）であり、本体 3001、表示部 3002、表示部 3003、記憶媒体 3004、操作スイッチ 3005、アンテナ 3006 等を含む。本発明を表示部 3002、表示部 3003 に適用することができる。

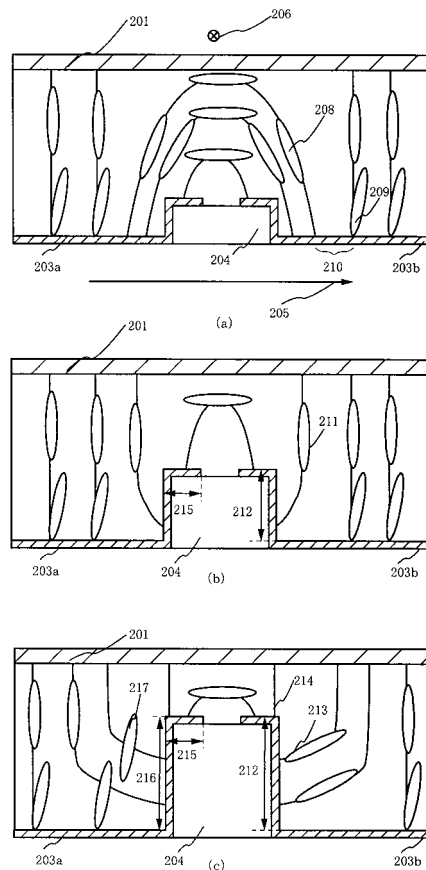
【0175】

図 32 (C) はディスプレイであり、本体 3101、支持台 3102、表示部 3103 等を含む。本発明を表示部 3103 に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角 10 インチ以上（特に 30 インチ以上）のディスプレイには有利である。

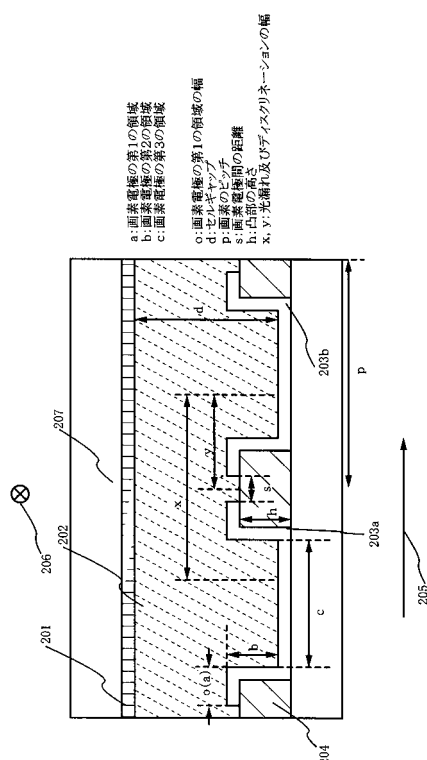
【0176】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1～3 のどのような組み合わせからなる構成を用いても実現することができる。

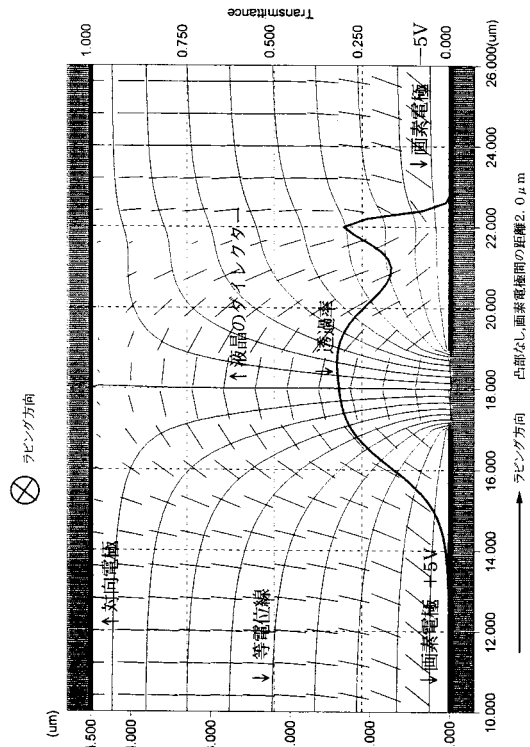
【図 1】



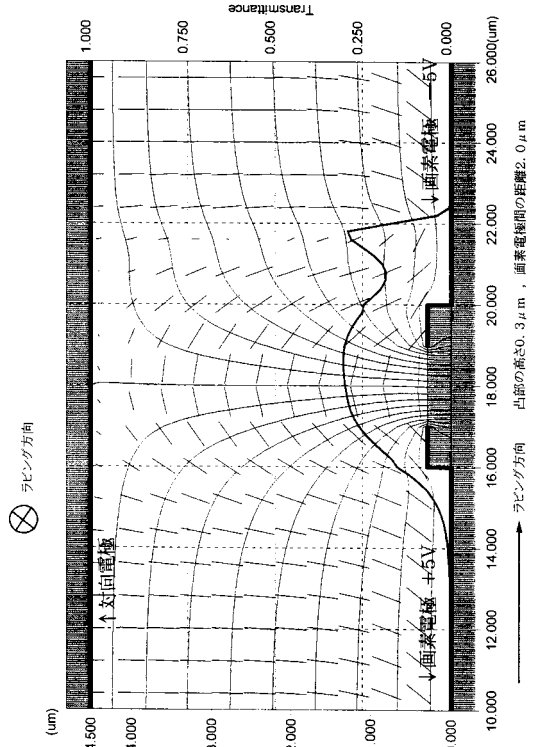
【図 2】



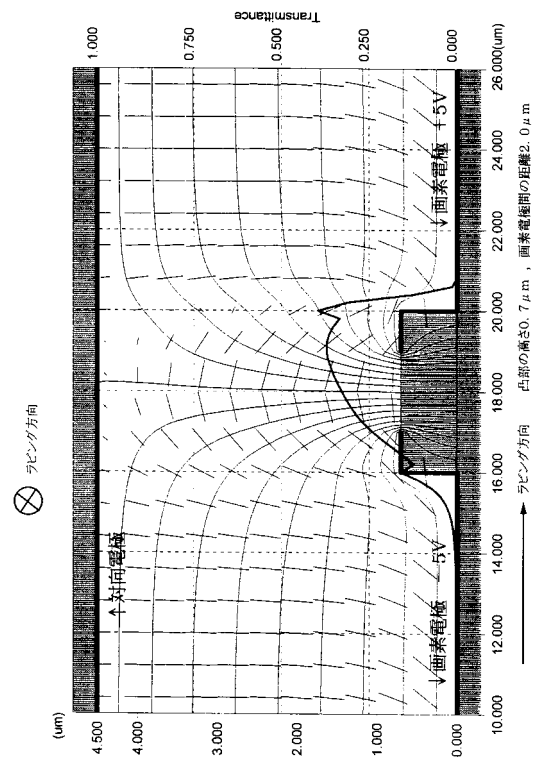
【 図 3 】



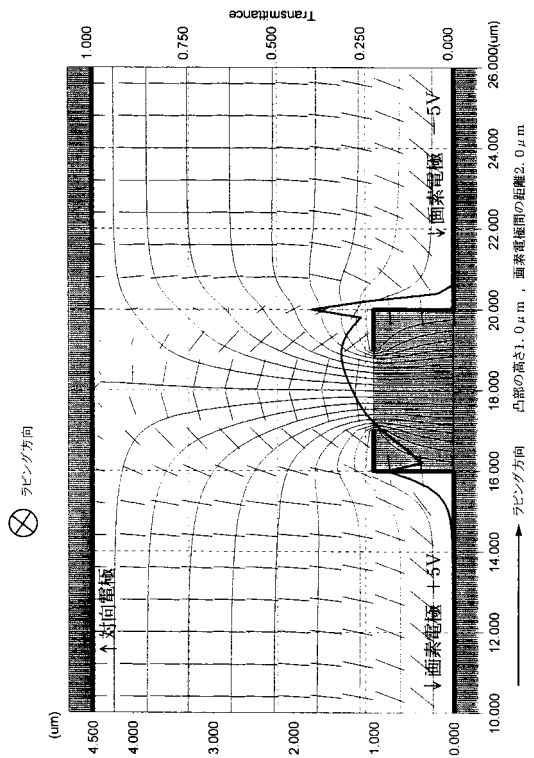
【 図 4 】



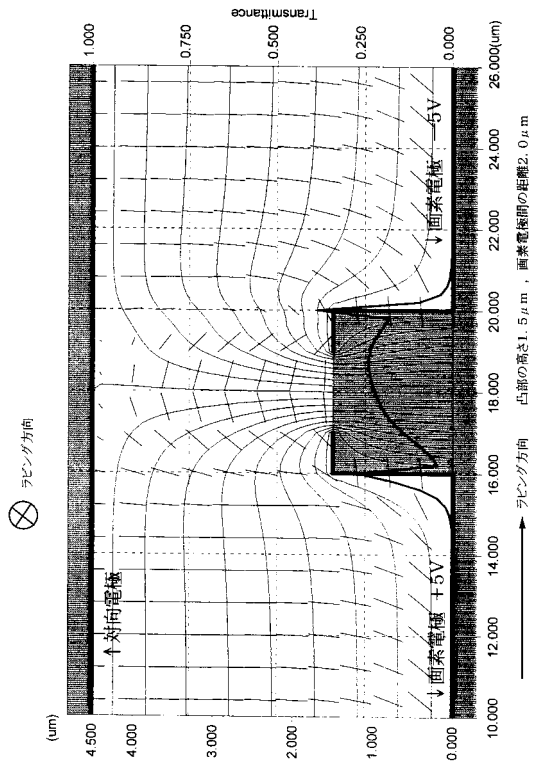
【圖 5】



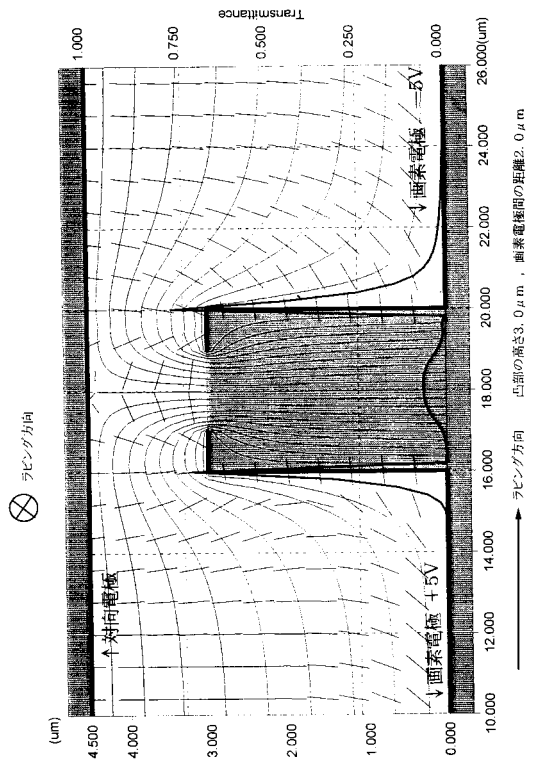
【 図 6 】



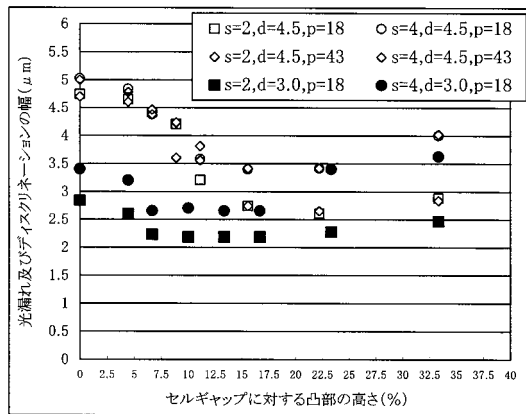
【図 7】



【図 8】



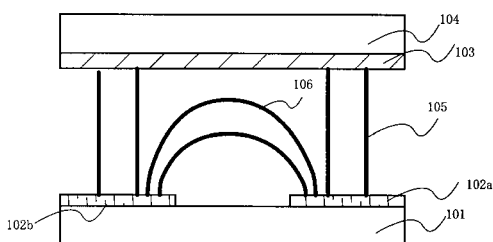
【図 9】



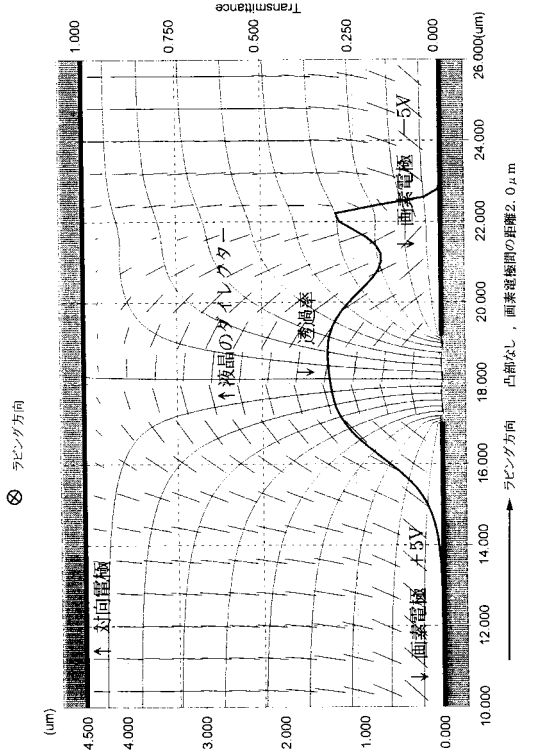
d:セルギャップ(μm)
s:画素電極間の距離(μm)
p:画素のピッチ(μm)

光漏れ及びディスクリネーションの幅(x)と凸部の高さ(h)の関係

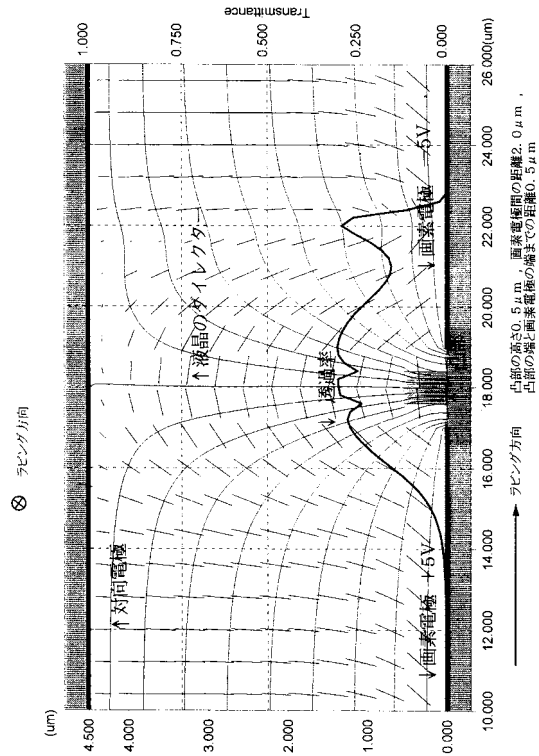
【図 10】



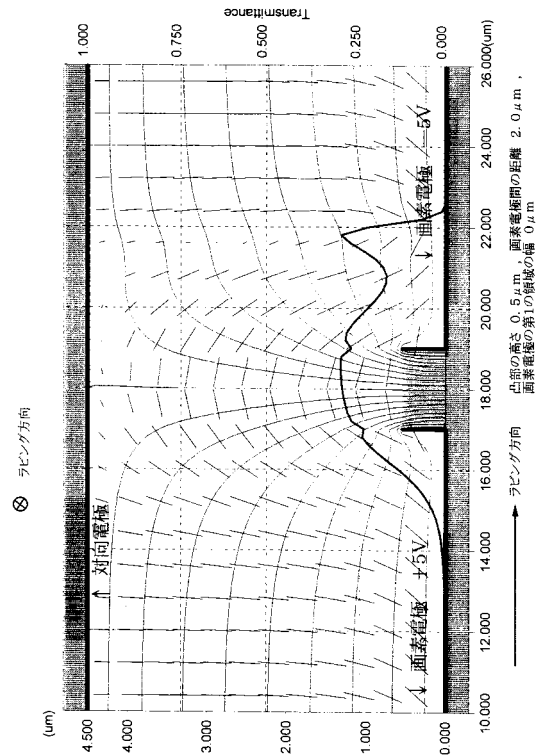
【図 11】



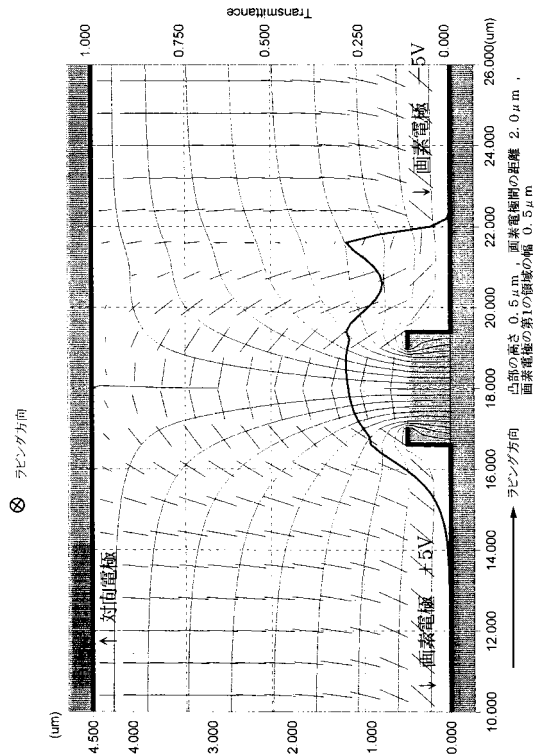
【図 1 2】



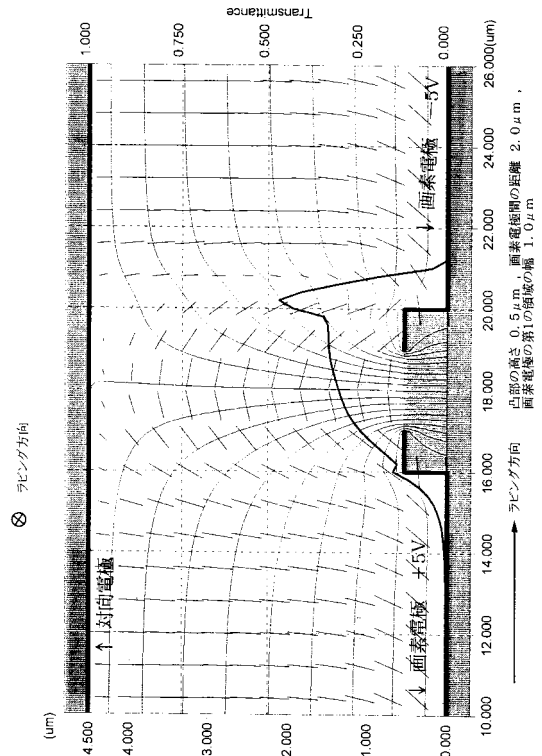
【図 1 3】



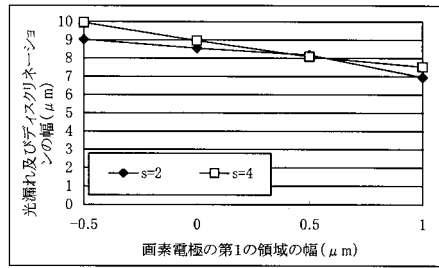
【図 1 4】



【図 1 5】

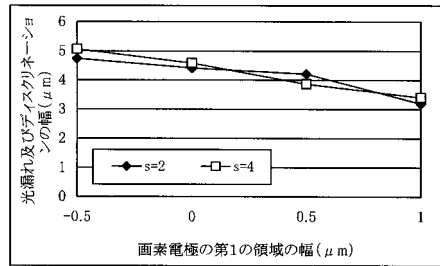


【図 16】



(a)

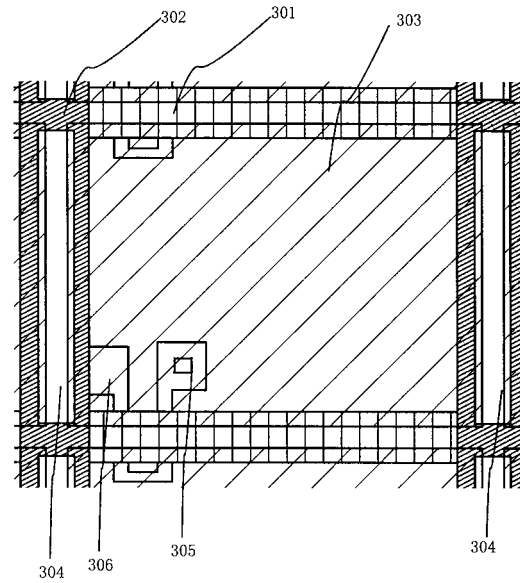
画素電極の第1の領域の幅(o)とディスプレイネーション及び光漏れの幅(x)の関係
画素電極間の距離: 2.0 μm (s=2), 4.0 μm (s=4)



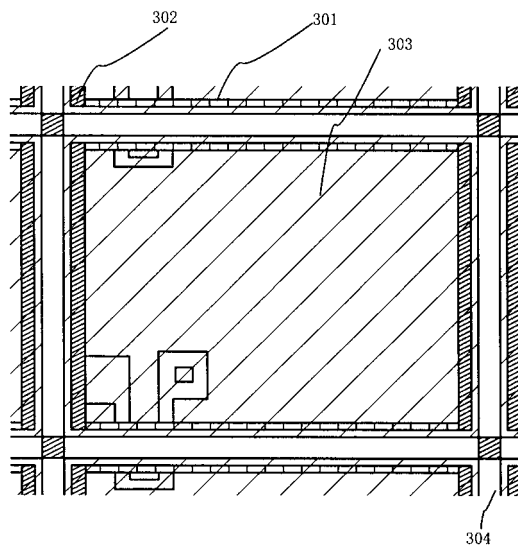
(b)

画素電極の第1の領域の幅(o)とディスプレイネーション及び光漏れの幅(y)の関係
画素電極間の距離: 2.0 μm (s=2), 4.0 μm (s=4)

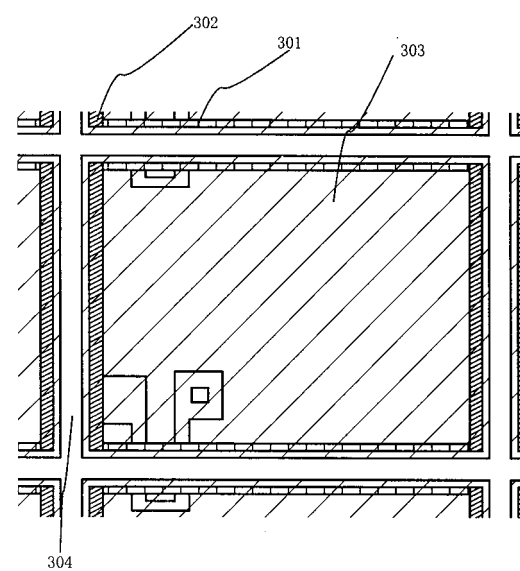
【図 17】



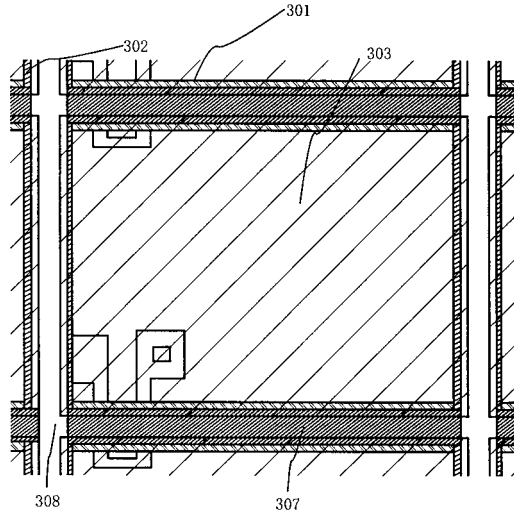
【図 18】



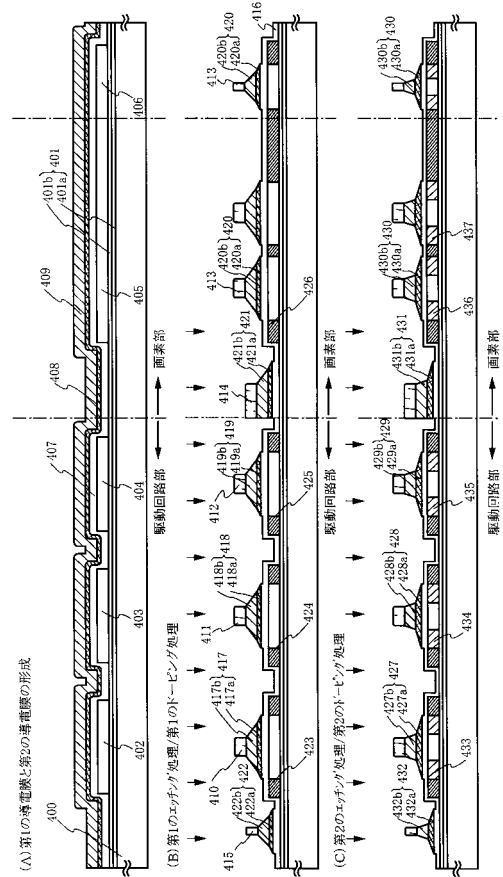
【図 19】



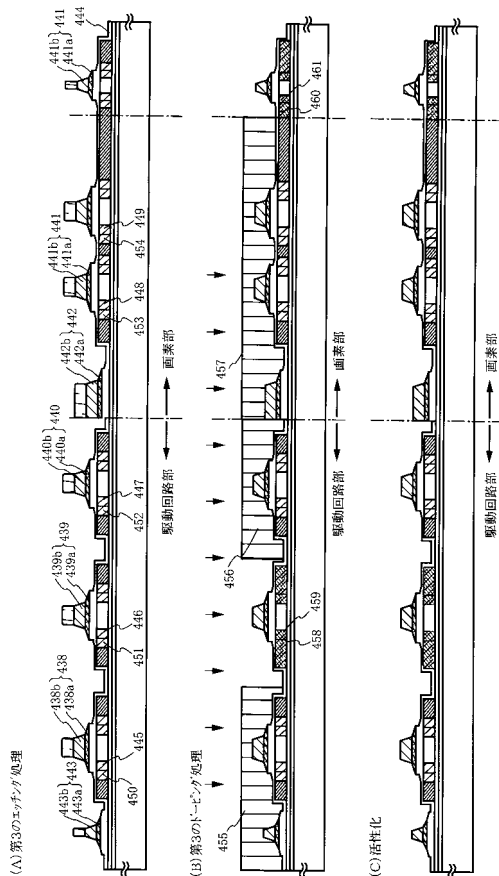
【図20】



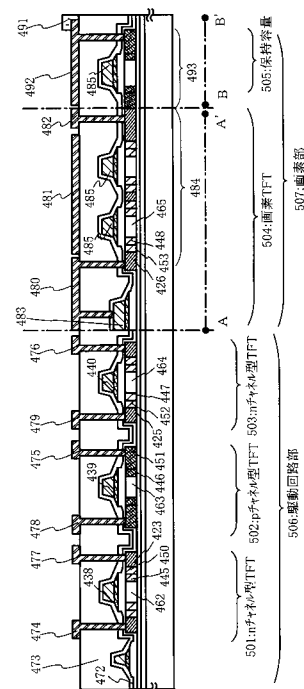
【図21】



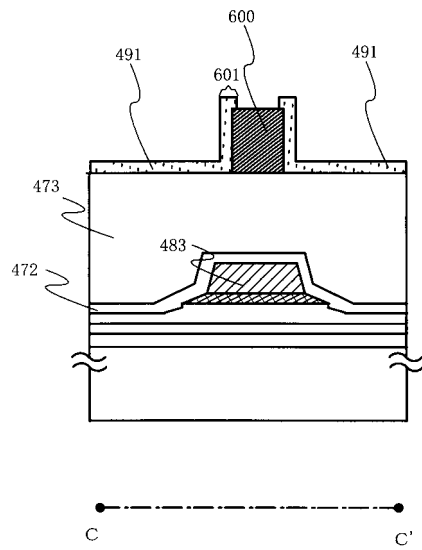
【図22】



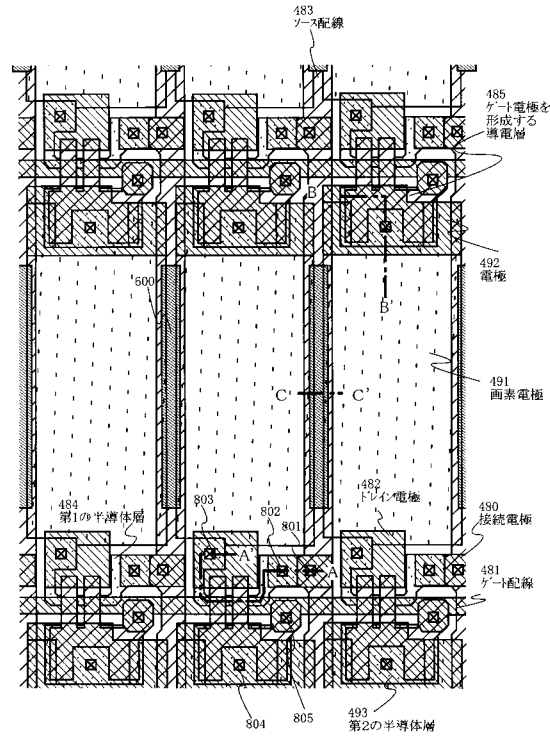
【図23】



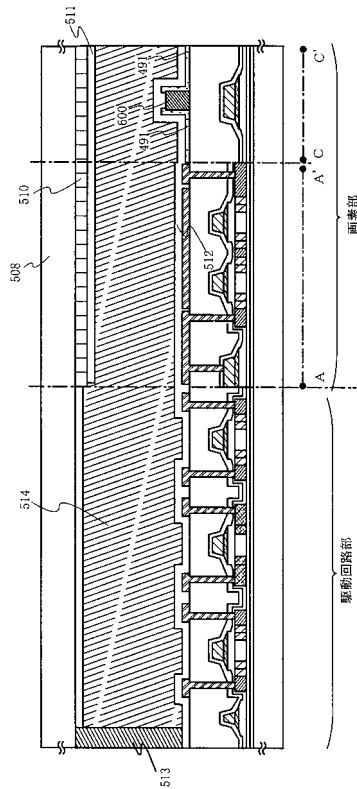
【図 24】



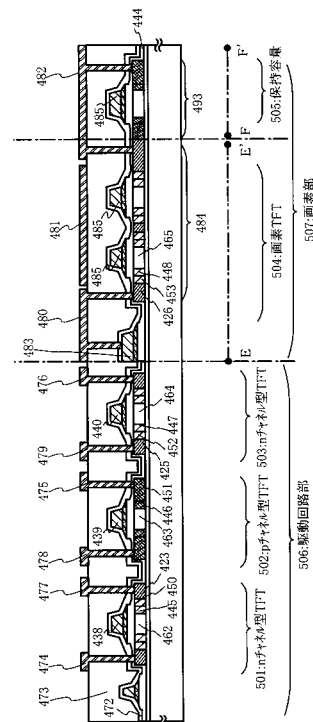
【図 25】



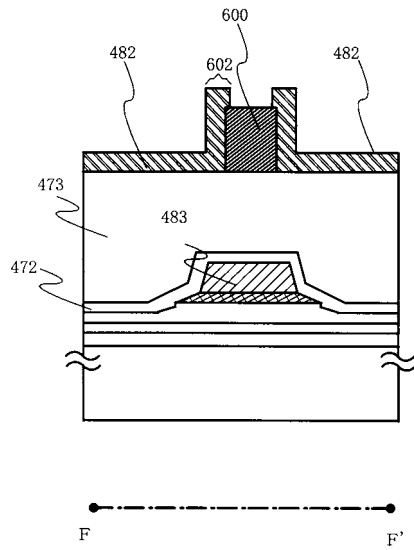
【図 26】



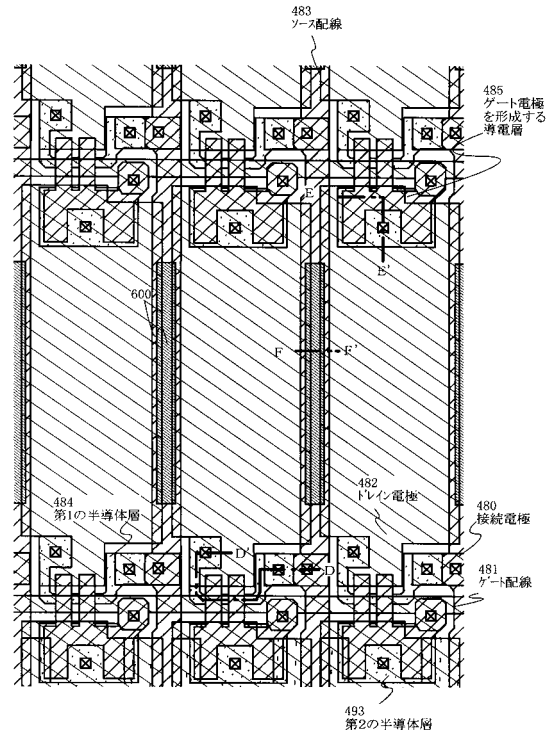
【図 27】



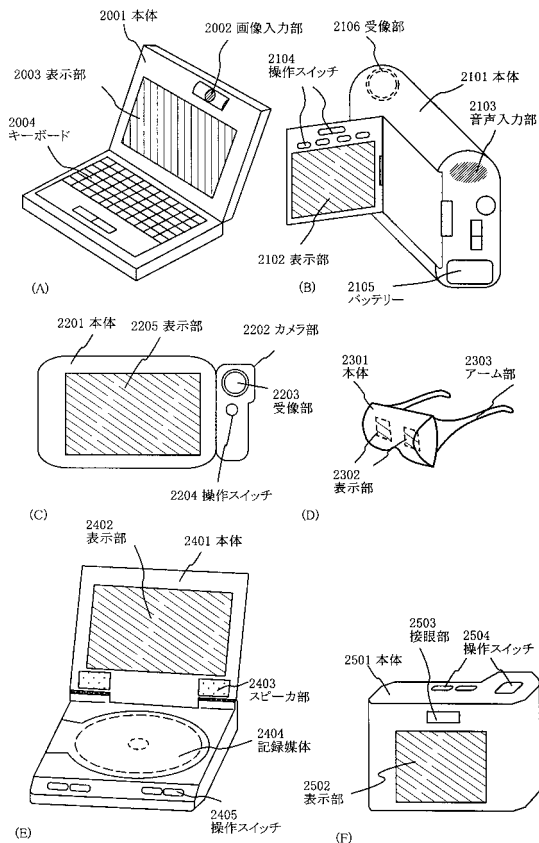
【図 28】



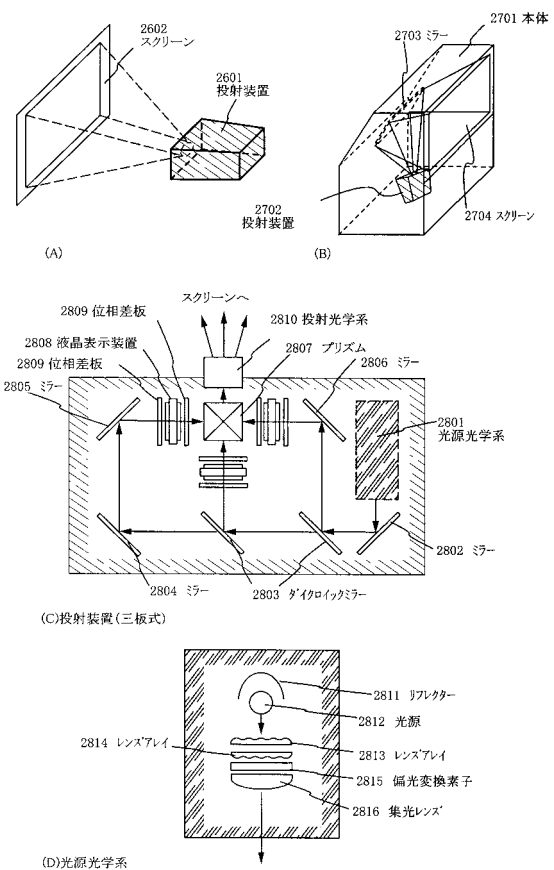
【図 29】



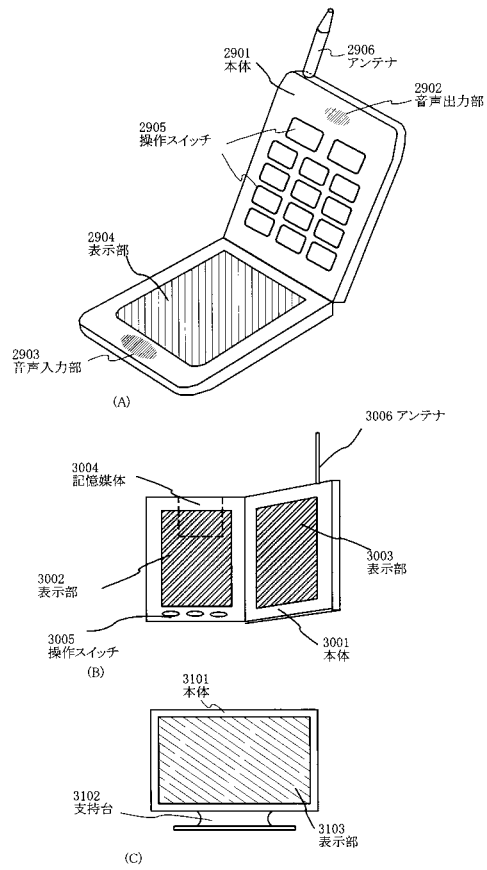
【図 30】



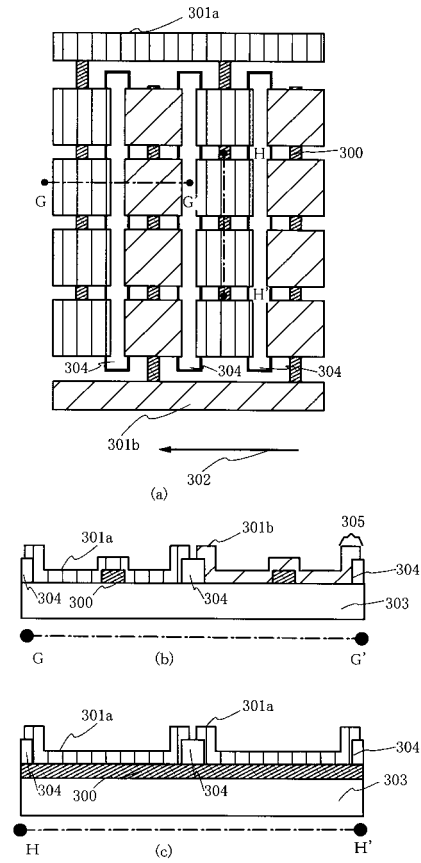
【図 31】



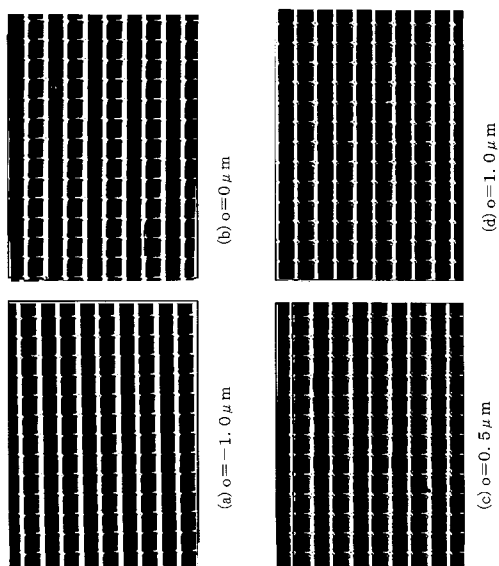
【図 3 2】



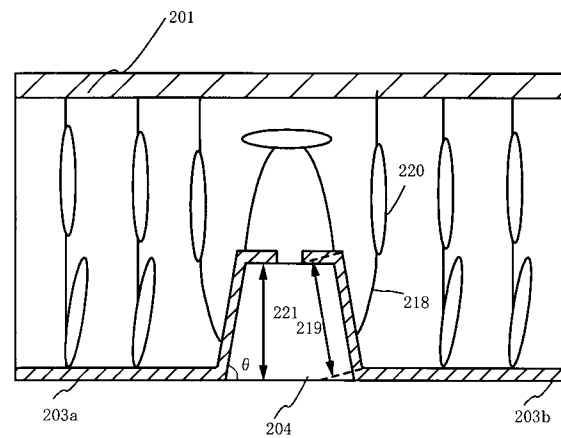
【図 3 3】



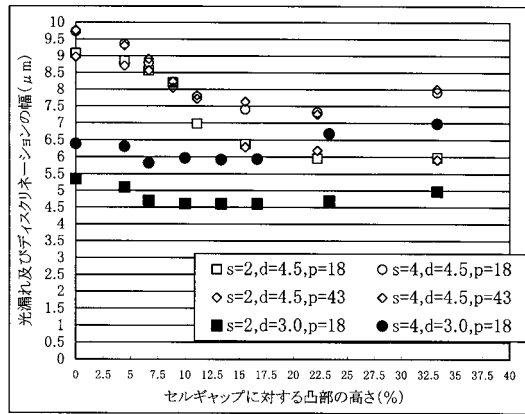
【図 3 4】



【図 3 5】



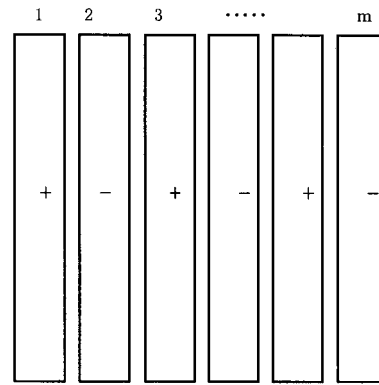
【図 36】



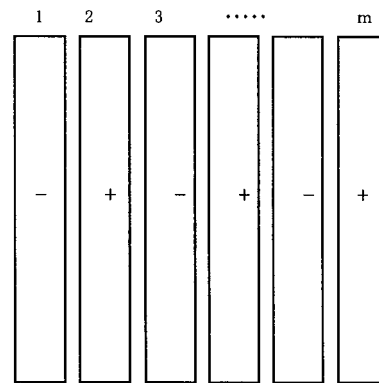
d: セルギャップ (μm)
s: 画素電極の間の距離 (μm)
p: 画素のピッチ (μm)

光漏れ及びディスクリネーションの幅 (y) と凸部の高さ (h) の関係

【図 37】



(a) 奇数フレームのソースラインの極性



(b) 偶数フレームのソースラインの極性

フロントページの続き

(51)Int.Cl. F I
G 0 9 F 9/00 3 4 9 Z

(56)参考文献 特開平 8 - 1 6 0 4 5 4 (J P , A)
特開平 3 - 2 1 2 6 2 1 (J P , A)
特開 2 0 0 2 - 4 0 4 5 5 (J P , A)
特開平 1 0 - 3 1 1 9 8 2 (J P , A)
特開昭 6 3 - 2 9 2 1 1 4 (J P , A)
特開 2 0 0 0 - 2 2 1 5 3 2 (J P , A)
特開 2 0 0 0 - 5 6 3 1 9 (J P , A)
特開 2 0 0 1 - 8 3 5 2 2 (J P , A)
特開平 7 - 8 4 2 8 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 4 3
G 0 2 F 1 / 1 3 3 3
G 0 2 F 1 / 1 3 3 7
G 0 2 F 1 / 1 3 6 8
G 0 9 F 9 / 0 0

专利名称(译)	表示装置		
公开(公告)号	JP5292521B2	公开(公告)日	2013-09-18
申请号	JP2013094865	申请日	2013-04-29
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	平形吉晴 辻百合子 佐竹瑠茂		
发明人	平形 吉晴 辻 百合子 佐竹 瑠茂		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1333 G02F1/1337 G09F9/00		
CPC分类号	G02F1/1333 G02F1/133707 G02F1/134336 G02F2001/13373 G02F2001/133776 G02F1/136209		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1333.505 G02F1/1337 G09F9/00.338 G09F9/00.349.Z G09F9/00.350.Z		
F-TERM分类号	2H190/HA03 2H190/HB07 2H190/HC10 2H190/KA05 2H190/LA01 2H190/LA04 2H190/LA22 2H192/AA24 2H192/CB02 2H192/CB34 2H192/CB53 2H192/DA02 2H290/AA15 2H290/BA05 2H290/BB25 2H290/BB35 2H290/BD03 2H290/BF13 2H290/CA46 2H290/CB02 2H290/CB22 5G435/AA02 5G435/BB12 5G435/CC09 5G435/EE49 5G435/HH12		
优先权	2000273807 2000-09-08 JP		
其他公开文献	JP2013178561A		
外部链接	Espacenet		

摘要(译)

减少了有源矩阵液晶显示装置的倾斜。像素电极的一部分形成为与凸部相互重叠。如果凸起部分的高度太高,则由于液晶相对于基板表面对角定向,漏光量增加。(参见图1C。)如果凸起部分的高度低,则旋错减少效果低。由此确定最佳凸起部分高度。

【图 2】

