

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-57012

(P2020-57012A)

(43) 公開日 令和2年4月9日(2020.4.9)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G02F 1/1368 (2006.01)</b>	G02F 1/1368	2H092
<b>H01L 21/28 (2006.01)</b>	H01L 21/28 3O1B	2H192
<b>H01L 21/8234 (2006.01)</b>	H01L 27/06 1O2A	4M104
<b>H01L 27/06 (2006.01)</b>	H01L 27/088 B	5F048
<b>H01L 27/088 (2006.01)</b>	H01L 27/088 C	5F110
審査請求 有 請求項の数 10 O L (全 77 頁) 最終頁に続く		

(21) 出願番号	特願2019-227080 (P2019-227080)	(71) 出願人	000153878
(22) 出願日	令和1年12月17日 (2019.12.17)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2018-231501 (P2018-231501) の分割	(72) 発明者	山崎 舜平
原出願日	平成22年7月27日 (2010.7.27)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2009-179773 (P2009-179773)		半導体エネルギー研究所内
(32) 優先日	平成21年7月31日 (2009.7.31)	(72) 発明者	大原 宏樹
(33) 優先権主張国・地域又は機関	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	佐々木 俊成
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	野田 耕生
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

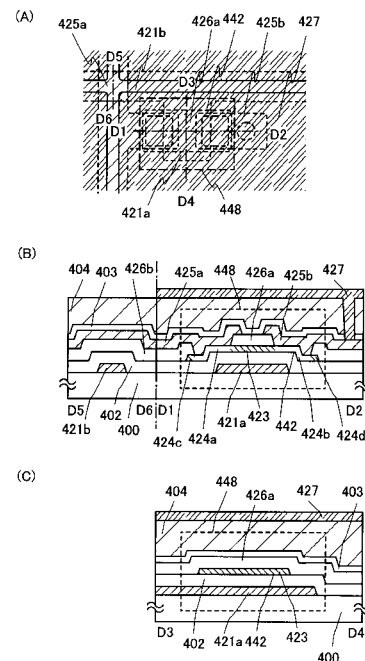
(54) 【発明の名称】 液晶表示装置の作製方法、及び液晶表示装置

## (57) 【要約】

【課題】配線間の寄生容量を十分に低減できる構成を備えた半導体装置を提供することを課題の一とする。

【解決手段】ボトムゲート構造の薄膜トランジスタにおいて、ゲート電極層と重なる酸化物半導体層の一部にチャネル保護層となる酸化物絶縁層を形成し、その酸化物絶縁層の形成時に酸化物半導体層の周縁部（側面を含む）を覆う酸化物絶縁層を形成する。酸化物半導体層の周縁部（側面を含む）を覆う酸化物絶縁層は、ゲート電極層と、その上方または周辺に形成される配線層（ソース配線層や容量配線層など）との距離を大きくし、寄生容量の低減を図る。酸化物半導体層の周縁部を覆う酸化物絶縁層は、チャネル保護層と同一工程で形成されるため、工程数の増加なく、寄生容量を低減できる。

【選択図】図1



## 【特許請求の範囲】

## 【請求項 1】

絶縁表面上の、第 1 の領域及び第 2 の領域を有する第 1 の導電層と、  
前記第 1 の導電層上の、酸化珪素を有するゲート絶縁層と、  
前記ゲート絶縁層上にあって、前記第 1 の領域と重なる領域に I 型のチャネル形成領域を有する酸化物半導体膜と、  
前記酸化物半導体膜上の、酸化珪素を有する酸化物絶縁層と、  
前記酸化物半導体膜と電氣的に接続された、第 3 の領域及び第 4 の領域を有する第 2 の導電層と、  
前記酸化物半導体膜と電氣的に接続された、ドレイン電極と、  
前記第 2 の導電層上、及び前記ドレイン電極上の、平坦化絶縁層と、  
前記平坦化絶縁層上にあって、前記ドレイン電極と電氣的に接続された画素電極と、  
前記第 2 の領域と、前記第 4 の領域とが交差する、配線交差部と、を有し、  
前記第 1 の領域は、ゲート電極として機能する領域であり、  
前記第 2 の領域は、ゲート配線として機能する領域であり、  
前記第 3 の領域は、ソース電極として機能する領域であり、  
前記第 4 の領域は、ソース配線として機能する領域であり、  
前記酸化物半導体膜のチャネル幅方向の断面において、前記酸化物半導体膜の端部を越えて延在する前記酸化物絶縁層は、前記ゲート絶縁層と接する領域を有し、  
前記酸化物絶縁層は、第 1 のコンタクトホールと、第 2 のコンタクトホールとを有し、  
前記第 1 のコンタクトホールを介して、前記第 3 の領域は前記酸化物半導体膜と電氣的に接続され、  
前記第 2 のコンタクトホールを介して、前記ドレイン電極は前記酸化物半導体膜と電氣的に接続され、  
前記配線交差部において、前記第 2 の領域と、前記第 4 の領域との間には、前記ゲート絶縁層の第 5 の領域と、前記第 5 の領域に接する前記酸化物絶縁層の第 6 の領域とを有する液晶表示装置の作製方法であって、  
前記酸化物半導体膜に対する第 1 の熱処理を行った後に、前記酸化物半導体膜が前記酸化物絶縁層と接する領域を有する状態で第 2 の熱処理を行って、前記 I 型のチャネル形成領域を形成することを特徴とする液晶表示装置の作製方法。

## 【請求項 2】

絶縁表面上の、第 1 の領域及び第 2 の領域を有する第 1 の導電層と、  
前記第 1 の導電層上の、酸化珪素を有するゲート絶縁層と、  
前記ゲート絶縁層上にあって、前記第 1 の領域と重なる領域に I 型のチャネル形成領域を有する酸化物半導体膜と、  
前記酸化物半導体膜上の、酸化珪素を有する酸化物絶縁層と、  
前記酸化物半導体膜と電氣的に接続された、第 3 の領域及び第 4 の領域を有する第 2 の導電層と、  
前記酸化物半導体膜と電氣的に接続された、ドレイン電極と、  
前記第 2 の導電層上、及び前記ドレイン電極上の、平坦化絶縁層と、  
前記平坦化絶縁層上にあって、前記ドレイン電極と電氣的に接続された画素電極と、  
前記第 2 の領域と、前記第 4 の領域とが交差する、配線交差部と、を有し、  
前記酸化物半導体膜は、In と、Ga と、Zn と、を有し、  
前記第 1 の領域は、ゲート電極として機能する領域であり、  
前記第 2 の領域は、ゲート配線として機能する領域であり、  
前記第 3 の領域は、ソース電極として機能する領域であり、  
前記第 4 の領域は、ソース配線として機能する領域であり、  
前記酸化物半導体膜のチャネル幅方向の断面において、前記酸化物半導体膜の端部を越えて延在する前記酸化物絶縁層は、前記ゲート絶縁層と接する領域を有し、  
前記酸化物絶縁層は、第 1 のコンタクトホールと、第 2 のコンタクトホールとを有し、

前記第 1 のコンタクトホールを介して、前記第 3 の領域は前記酸化物半導体膜と電氣的に接続され、

前記第 2 のコンタクトホールを介して、前記ドレイン電極は前記酸化物半導体膜と電氣的に接続され、

前記配線交差部において、前記第 2 の領域と、前記第 4 の領域との間には、前記ゲート絶縁層の第 5 の領域と、前記第 5 の領域に接する前記酸化物絶縁層の第 6 の領域とを有する液晶表示装置の作製方法であって、

前記酸化物半導体膜に対する第 1 の熱処理を行った後に、前記酸化物半導体膜が前記酸化物絶縁層と接する領域を有する状態で第 2 の熱処理を行って、前記 I 型の領域を形成することを特徴とする液晶表示装置の作製方法。

10

【請求項 3】

絶縁表面上の、第 1 の領域及び第 2 の領域を有する第 1 の導電層と、

前記第 1 の導電層上の、酸化珪素を有するゲート絶縁層と、

前記ゲート絶縁層上にあって、前記第 1 の領域と重なる領域に I 型のチャネル形成領域を有する酸化物半導体膜と、

前記酸化物半導体膜上の、酸化珪素を有する酸化物絶縁層と、

前記酸化物半導体膜と電氣的に接続された、第 3 の領域及び第 4 の領域を有する第 2 の導電層と、

前記酸化物半導体膜と電氣的に接続された、ドレイン電極と、

前記第 2 の導電層上、及び前記ドレイン電極上の、平坦化絶縁層と、

20

前記平坦化絶縁層上にあって、前記ドレイン電極と電氣的に接続された画素電極と、

前記第 2 の領域と、前記第 4 の領域とが交差する、配線交差部と、を有し、

前記第 1 の領域は、ゲート電極として機能する領域であり、

前記第 2 の領域は、ゲート配線として機能する領域であり、

前記第 3 の領域は、ソース電極として機能する領域であり、

前記第 4 の領域は、ソース配線として機能する領域であり、

前記酸化物半導体膜のチャネル幅方向の断面において、前記酸化物半導体膜の端部を越えて延在する前記酸化物絶縁層は、前記ゲート絶縁層と接する領域を有し、

前記酸化物絶縁層は、第 1 のコンタクトホールと、第 2 のコンタクトホールとを有し、

前記第 1 のコンタクトホールを介して、前記第 3 の領域は前記酸化物半導体膜と電氣的に接続され、

30

前記第 2 のコンタクトホールを介して、前記ドレイン電極は前記酸化物半導体膜と電氣的に接続され、

前記平坦化絶縁層は、第 3 のコンタクトホールを有し、

前記画素電極は、前記第 3 のコンタクトホールを介して、前記ドレイン電極と電氣的に接続され、

前記配線交差部において、前記第 2 の領域と、前記第 4 の領域との間には、前記ゲート絶縁層の第 5 の領域と、前記第 5 の領域に接する前記酸化物絶縁層の第 6 の領域とを有する液晶表示装置の作製方法であって、

前記酸化物半導体膜に対する第 1 の熱処理を行った後に、前記酸化物半導体膜が前記酸化物絶縁層と接する領域を有する状態で第 2 の熱処理を行って、前記 I 型の領域を形成することを特徴とする液晶表示装置の作製方法。

40

【請求項 4】

絶縁表面上の、第 1 の領域及び第 2 の領域を有する第 1 の導電層と、

前記第 1 の導電層上の、酸化珪素を有するゲート絶縁層と、

前記ゲート絶縁層上にあって、前記第 1 の領域と重なる領域に I 型のチャネル形成領域を有する酸化物半導体膜と、

前記酸化物半導体膜上の、酸化珪素を有する酸化物絶縁層と、

前記酸化物半導体膜と電氣的に接続された、第 3 の領域及び第 4 の領域を有する第 2 の導電層と、

50

前記酸化物半導体膜と電氣的に接続された、ドレイン電極と、  
前記第2の導電層上、及び前記ドレイン電極上の、平坦化絶縁層と、  
前記平坦化絶縁層上にあって、前記ドレイン電極と電氣的に接続された画素電極と、  
前記第2の領域と、前記第4の領域とが交差する、配線交差部と、を有し、  
前記酸化物半導体膜は、Inと、Gaと、Znと、を有し、  
前記第1の領域は、ゲート電極として機能する領域であり、  
前記第2の領域は、ゲート配線として機能する領域であり、  
前記第3の領域は、ソース電極として機能する領域であり、  
前記第4の領域は、ソース配線として機能する領域であり、  
前記酸化物半導体膜のチャネル幅方向の断面において、前記酸化物半導体膜の端部を越えて延在する前記酸化物絶縁層は、前記ゲート絶縁層と接する領域を有し、  
前記酸化物絶縁層は、第1のコンタクトホールと、第2のコンタクトホールとを有し、  
前記第1のコンタクトホールを介して、前記第3の領域は前記酸化物半導体膜と電氣的に接続され、  
前記第2のコンタクトホールを介して、前記ドレイン電極は前記酸化物半導体膜と電氣的に接続され、  
前記平坦化絶縁層は、第3のコンタクトホールを有し、  
前記画素電極は、前記第3のコンタクトホールを介して、前記ドレイン電極と電氣的に接続され、  
前記配線交差部において、前記第2の領域と、前記第4の領域との間には、前記ゲート絶縁層の第5の領域と、前記第5の領域に接する前記酸化物絶縁層の第6の領域とを有する液晶表示装置の作製方法であって、  
前記酸化物半導体膜に対する第1の熱処理を行った後に、前記酸化物半導体膜が前記酸化物絶縁層と接する領域を有する状態で第2の熱処理を行って、前記I型の領域を形成することを特徴とする液晶表示装置の作製方法。

【請求項5】

絶縁表面上の、第1の領域及び第2の領域を有する第1の導電層と、  
前記第1の導電層上の、酸化珪素を有するゲート絶縁層と、  
前記ゲート絶縁層上にあって、前記第1の領域と重なる領域にI型のチャネル形成領域を有する酸化物半導体膜と、  
前記酸化物半導体膜上の、酸化珪素を有する酸化物絶縁層と、  
前記酸化物半導体膜と電氣的に接続された、第3の領域及び第4の領域を有する第2の導電層と、  
前記酸化物半導体膜と電氣的に接続された、ドレイン電極と、  
前記第2の導電層上、及び前記ドレイン電極上の、平坦化絶縁層と、  
前記平坦化絶縁層上にあって、前記ドレイン電極と電氣的に接続された画素電極と、  
前記第2の領域と、前記第4の領域とが交差する、配線交差部と、を有し、  
前記第1の領域は、ゲート電極として機能する領域であり、  
前記第2の領域は、ゲート配線として機能する領域であり、  
前記第3の領域は、ソース電極として機能する領域であり、  
前記第4の領域は、ソース配線として機能する領域であり、  
前記酸化物半導体膜のチャネル幅方向の断面において、前記酸化物半導体膜の端部を越えて延在する前記酸化物絶縁層は、前記ゲート絶縁層と接する領域を有し、  
前記酸化物絶縁層は、第1のコンタクトホールと、第2のコンタクトホールとを有し、  
前記第1のコンタクトホールを介して、前記第3の領域は前記酸化物半導体膜と電氣的に接続され、  
前記第2のコンタクトホールを介して、前記ドレイン電極は前記酸化物半導体膜と電氣的に接続され、  
前記配線交差部において、前記第2の領域と、前記第4の領域との間には、前記ゲート絶縁層の第5の領域と、前記第5の領域に接する前記酸化物絶縁層の第6の領域とを有する

ることを特徴とする液晶表示装置。

【請求項 6】

絶縁表面上の、第 1 の領域及び第 2 の領域を有する第 1 の導電層と、  
 前記第 1 の導電層上の、酸化珪素を有するゲート絶縁層と、  
 前記ゲート絶縁層上にあって、前記第 1 の領域と重なる領域に I 型のチャネル形成領域  
 を有する酸化物半導体膜と、  
 前記酸化物半導体膜上の、酸化珪素を有する酸化物絶縁層と、  
 前記酸化物半導体膜と電氣的に接続された、第 3 の領域及び第 4 の領域を有する第 2 の  
 導電層と、  
 前記酸化物半導体膜と電氣的に接続された、ドレイン電極と、  
 前記第 2 の導電層上、及び前記ドレイン電極上の、平坦化絶縁層と、  
 前記平坦化絶縁層上にあって、前記ドレイン電極と電氣的に接続された画素電極と、  
 前記第 2 の領域と、前記第 4 の領域とが交差する、配線交差部と、を有し、  
 前記酸化物半導体膜は、In と、Ga と、Zn と、を有し、  
 前記第 1 の領域は、ゲート電極として機能する領域であり、  
 前記第 2 の領域は、ゲート配線として機能する領域であり、  
 前記第 3 の領域は、ソース電極として機能する領域であり、  
 前記第 4 の領域は、ソース配線として機能する領域であり、  
 前記酸化物半導体膜のチャネル幅方向の断面において、前記酸化物半導体膜の端部を越  
 えて延在する前記酸化物絶縁層は、前記ゲート絶縁層と接する領域を有し、  
 前記酸化物絶縁層は、第 1 のコンタクトホールと、第 2 のコンタクトホールとを有し、  
 前記第 1 のコンタクトホールを介して、前記第 3 の領域は前記酸化物半導体膜と電氣的  
 に接続され、  
 前記第 2 のコンタクトホールを介して、前記ドレイン電極は前記酸化物半導体膜と電氣的  
 に接続され、  
 前記配線交差部において、前記第 2 の領域と、前記第 4 の領域との間には、前記ゲート  
 絶縁層の第 5 の領域と、前記第 5 の領域に接する前記酸化物絶縁層の第 6 の領域と有する  
 ことを特徴とする液晶表示装置。

10

20

【請求項 7】

絶縁表面上の、第 1 の領域及び第 2 の領域を有する第 1 の導電層と、  
 前記第 1 の導電層上の、酸化珪素を有するゲート絶縁層と、  
 前記ゲート絶縁層上にあって、前記第 1 の領域と重なる領域に I 型のチャネル形成領域  
 を有する酸化物半導体膜と、  
 前記酸化物半導体膜上の、酸化珪素を有する酸化物絶縁層と、  
 前記酸化物半導体膜と電氣的に接続された、第 3 の領域及び第 4 の領域を有する第 2 の  
 導電層と、  
 前記酸化物半導体膜と電氣的に接続された、ドレイン電極と、  
 前記第 2 の導電層上、及び前記ドレイン電極上の、平坦化絶縁層と、  
 前記平坦化絶縁層上にあって、前記ドレイン電極と電氣的に接続された画素電極と、  
 前記第 2 の領域と、前記第 4 の領域とが交差する、配線交差部と、を有し、  
 前記第 1 の領域は、ゲート電極として機能する領域であり、  
 前記第 2 の領域は、ゲート配線として機能する領域であり、  
 前記第 3 の領域は、ソース電極として機能する領域であり、  
 前記第 4 の領域は、ソース配線として機能する領域であり、  
 前記酸化物半導体膜のチャネル幅方向の断面において、前記酸化物半導体膜の端部を越  
 えて延在する前記酸化物絶縁層は、前記ゲート絶縁層と接する領域を有し、  
 前記酸化物絶縁層は、第 1 のコンタクトホールと、第 2 のコンタクトホールとを有し、  
 前記第 1 のコンタクトホールを介して、前記第 3 の領域は前記酸化物半導体膜と電氣的  
 に接続され、  
 前記第 2 のコンタクトホールを介して、前記ドレイン電極は前記酸化物半導体膜と電氣

30

40

50

的に接続され、

前記平坦化絶縁層は、第3のコンタクトホールを有し、

前記画素電極は、前記第3のコンタクトホールを介して、前記ドレイン電極と電氣的に接続され、

前記配線交差部において、前記第2の領域と、前記第4の領域との間には、前記ゲート絶縁層の第5の領域と、前記第5の領域に接する前記酸化物絶縁層の第6の領域とを有することを特徴とする液晶表示装置。

【請求項8】

絶縁表面上の、第1の領域及び第2の領域を有する第1の導電層と、

前記第1の導電層上の、酸化珪素を有するゲート絶縁層と、

前記ゲート絶縁層上にあって、前記第1の領域と重なる領域にI型のチャネル形成領域を有する酸化物半導体膜と、

前記酸化物半導体膜上の、酸化珪素を有する酸化物絶縁層と、

前記酸化物半導体膜と電氣的に接続された、第3の領域及び第4の領域を有する第2の導電層と、

前記酸化物半導体膜と電氣的に接続された、ドレイン電極と、

前記第2の導電層上、及び前記ドレイン電極上の、平坦化絶縁層と、

前記平坦化絶縁層上にあって、前記ドレイン電極と電氣的に接続された画素電極と、

前記第2の領域と、前記第4の領域とが交差する、配線交差部と、を有し、

前記酸化物半導体膜は、Inと、Gaと、Znと、を有し、

前記第1の領域は、ゲート電極として機能する領域であり、

前記第2の領域は、ゲート配線として機能する領域であり、

前記第3の領域は、ソース電極として機能する領域であり、

前記第4の領域は、ソース配線として機能する領域であり、

前記酸化物半導体膜のチャネル幅方向の断面において、前記酸化物半導体膜の端部を越えて延在する前記酸化物絶縁層は、前記ゲート絶縁層と接する領域を有し、

前記酸化物絶縁層は、第1のコンタクトホールと、第2のコンタクトホールとを有し、

前記第1のコンタクトホールを介して、前記第3の領域は前記酸化物半導体膜と電氣的に接続され、

前記第2のコンタクトホールを介して、前記ドレイン電極は前記酸化物半導体膜と電氣的に接続され、

前記平坦化絶縁層は、第3のコンタクトホールを有し、

前記画素電極は、前記第3のコンタクトホールを介して、前記ドレイン電極と電氣的に接続され、

前記配線交差部において、前記第2の領域と、前記第4の領域との間には、前記ゲート絶縁層の第5の領域と、前記第5の領域に接する前記酸化物絶縁層の第6の領域とを有することを特徴とする液晶表示装置。

【請求項9】

請求項5乃至請求項8のいずれかーにおいて、

前記第2の導電層、及び前記ドレイン電極は、金属導電膜を有し、

前記金属導電膜は、Al、Cr、Cu、Ta、Ti、Mo又はWを有することを特徴とする液晶表示装置。

【請求項10】

請求項9において、前記Tiを有する金属導電膜は、前記酸化物半導体膜と接する領域を有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

酸化物半導体を用いる半導体装置及びその作製方法に関する。

【0002】

10

20

30

40

50

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、表示装置などの電気光学装置、半導体回路及び電子機器は全て半導体装置である。

【背景技術】

【0003】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。金属酸化物は多様に存在しさまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶ディスプレイなどで必要とされる透明電極材料として用いられている。

10

【0004】

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タンゲステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域とする薄膜トランジスタが既に知られている（特許文献1及び特許文献2）。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2007-123861号公報

20

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

絶縁表面上に複数の薄膜トランジスタを作製する場合、例えばゲート配線とソース配線とで交差する部分がある。交差する部分には、ゲート配線と、該ゲート配線と電位が異なるソース配線の間に絶縁層が設けられ、該絶縁層が誘電体となって容量が形成される。この容量は、配線間の寄生容量とも呼ばれ、信号波形のなまりが生じる恐れがある。また、寄生容量が大きいと信号の伝達が遅くなる恐れがある。

30

【0007】

また、寄生容量の増加は、配線間で電気信号が漏れてしまうクロストーク現象や、消費電力の増大に繋がる。

【0008】

また、アクティブマトリクス型の表示装置において、特に映像信号を供給する信号配線と、他の配線または電極との間に大きな寄生容量が形成されると、表示品質が低下する恐れがある。

【0009】

また、回路の微細化を図る場合においても、配線間隔が狭くなり、配線間の寄生容量が増加する恐れがある。

【0010】

40

本発明の一態様は、配線間の寄生容量を十分に低減できる構成を備えた半導体装置を提供することを課題の一とする。

【0011】

また、絶縁表面上に駆動回路を形成する場合、駆動回路に用いる薄膜トランジスタの動作速度は、速い方が好ましい。

【0012】

例えば、薄膜トランジスタのチャネル長（L）を短くする、またはチャネル幅Wを広くすると動作速度が高速化される。しかし、チャネル長を短くすると、スイッチング特性、例えばオンオフ比が小さくなる問題がある。また、チャネル幅Wを広くすると薄膜トランジスタ自身の容量負荷を上昇させる問題がある。

50

## 【 0 0 1 3 】

また、チャネル長が短くとも、安定した電気特性を有する薄膜トランジスタを備えた半導体装置を提供することも課題の一とする。

## 【 0 0 1 4 】

また、絶縁表面上に複数の異なる回路を形成する場合、例えば、画素部と駆動回路を同一基板上に形成する場合には、画素部に用いる薄膜トランジスタは、優れたスイッチング特性、例えばオンオフ比が大きいことが要求され、駆動回路に用いる薄膜トランジスタには動作速度が速いことが要求される。特に、表示装置の精細度が高精細であればあるほど、表示画像の書き込み時間が短くなるため、駆動回路に用いる薄膜トランジスタは速い動作速度とすることが好ましい。

10

## 【 0 0 1 5 】

また、同一基板上に複数種の回路を形成し、複数種の回路の特性にそれぞれ合わせた複数種の薄膜トランジスタを備えた半導体装置を提供することも課題の一とする。

## 【課題を解決するための手段】

## 【 0 0 1 6 】

ボトムゲート構造の薄膜トランジスタにおいて、ゲート電極層と重なる酸化物半導体層の一部にチャネル保護層となる酸化物絶縁層を形成し、その酸化物絶縁層の形成時に酸化物半導体層の周縁部（側面を含む）を覆う酸化物絶縁層を形成する。

## 【 0 0 1 7 】

酸化物半導体層の周縁部（側面を含む）を覆う酸化物絶縁層は、ゲート電極層と、その上方または周辺に形成される配線層（ソース配線層や容量配線層など）との距離を大きくし、寄生容量の低減を図る。酸化物半導体層の周縁部を覆う酸化物絶縁層は、チャネル保護層と同一工程で形成されるため、工程数の増加なく、寄生容量を低減できる。

20

## 【 0 0 1 8 】

酸化物半導体層の周縁部（側面を含む）を覆う酸化物絶縁層は、寄生容量を低減することができ、信号波形のなまりを抑制することができる。

## 【 0 0 1 9 】

なお、寄生容量を低減するためには配線間に挟む酸化物絶縁層として、誘電率の小さな絶縁材料を用いることが好ましい。

## 【 0 0 2 0 】

酸化物半導体層の周縁部（側面を含む）を覆う酸化物絶縁層を設けることにより、寄生容量をできる限り小さくし、薄膜トランジスタの高速動作を実現できる。また、動作速度の速い薄膜トランジスタを用いることで回路の集積度が向上する。

30

## 【 0 0 2 1 】

本明細書で開示する本発明の一態様は、ゲート電極層と、前記ゲート電極層上にゲート絶縁層と、前記ゲート絶縁層上に酸化物半導体層と、前記酸化物半導体層上に酸化物絶縁層と、前記酸化物絶縁層上にソース電極層またはドレイン電極層とを有し、前記酸化物半導体層は、前記酸化物絶縁層と接する第1の領域と、前記ソース電極層または前記ドレイン層と接する第2の領域とを有し、前記第1の領域は、前記ゲート電極層と前記ゲート絶縁層を介して重なるチャネル形成領域と、前記酸化物半導体層の周縁及び側面を覆う前記酸化物絶縁層と重なる領域とを有し、前記酸化物半導体層の端面は、前記酸化物絶縁層を介して前記ソース電極層または前記ドレイン電極層と重なる半導体装置である。

40

## 【 0 0 2 2 】

上記構成は、上記課題の少なくとも一つを解決する。

## 【 0 0 2 3 】

また、上記構造を実現するための本発明の一態様は、ゲート電極層と、前記ゲート電極層上にゲート絶縁層と、前記ゲート絶縁層上に酸化物半導体層と、前記酸化物半導体層上に酸化物絶縁層と、前記酸化物絶縁層上にソース電極層またはドレイン電極層と、前記ソース電極層または前記ドレイン電極層上に保護絶縁層とを有し、前記酸化物半導体層は、前記酸化物絶縁層と接する第1の領域と、前記ソース電極層または前記ドレイン層と接する

50



第2の領域と、前記保護絶縁層と接する第3の領域と、を有し、前記第1の領域のうち、前記ゲート電極層と前記ゲート絶縁層を介して重なる領域がチャネル形成領域であり、前記チャネル形成領域と前記第2の領域との間に前記第3の領域を有する半導体装置である。

【0024】

また、本明細書中で用いる酸化物半導体は、例えば、 $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) で表記される薄膜を形成し、その薄膜を酸化物半導体層として用いた薄膜トランジスタを作製する。なお、Mは、Ga、Fe、Ni、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。例えばMとして、Gaの場合があることその他、GaとNiまたはGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、または該遷移金属の酸化物が含まれているものがある。本明細書においては、 $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) で表記される構造の酸化物半導体層のうち、MとしてGaを含む構造の酸化物半導体をIn-Ga-Zn-O系酸化物半導体とよび、その薄膜をIn-Ga-Zn-O系非単結晶膜とも呼ぶ。

10

【0025】

また、酸化物半導体層に適用する金属酸化物として上記の他にも、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の金属酸化物を適用することができる。また上記金属酸化物からなる酸化物半導体層に酸化珪素を含ませてもよい。

20

【0026】

窒素、または希ガス（アルゴン、ヘリウムなど）の不活性気体雰囲気下での加熱処理を行った場合、酸化物半導体層は加熱処理により酸素欠乏型となって低抵抗化、即ちN型化（N<sup>-</sup>化など）させ、その後、酸化物半導体層に接する酸化物絶縁膜の形成や、形成後に加熱処理を行うことにより酸化物半導体層を酸素過剰な状態とすることで高抵抗化、即ちI型化させているとも言える。また、酸化物半導体層を酸素過剰な状態とする固相酸化を行っているとも呼べる。これにより、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を作製し、提供することが可能となる。

30

【0027】

脱水化または脱水素化は、窒素、または希ガス（アルゴン、ヘリウムなど）の不活性気体雰囲気下での400℃以上基板の歪み点未満、好ましくは420℃以上570℃以下の加熱処理を行い、酸化物半導体層の含有水分などの不純物を低減する。

【0028】

脱水化または脱水素化を行った酸化物半導体層は、脱水化または脱水素化後の酸化物半導体層に対してTDSで450℃まで測定を行っても水の2つのピーク、少なくとも300℃付近に現れる1つのピークは検出されない程度の熱処理条件とする。従って、脱水化または脱水素化が行われた酸化物半導体層を用いた薄膜トランジスタに対してTDSで450℃まで測定を行っても少なくとも300℃付近に現れる水のピークは検出されない。

40

【0029】

そして、酸化物半導体層に対して脱水化または脱水素化を行う加熱温度Tから温度を下げる際、脱水化または脱水素化を行った同じ炉を用いて大気に触れさせないことで、水または水素が再び混入させないことが重要である。脱水化または脱水素化を行い、酸化物半導体層を低抵抗化、即ちN型化（N<sup>-</sup>など）させた後、高抵抗化させてI型とした酸化物半導体層を用いて薄膜トランジスタを作製すると、薄膜トランジスタのしきい値電圧値をプラスとすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。薄膜トランジスタのゲート電圧が0Vにできるだけ近い正のしきい値電圧でチャネルが形成されることが半導体装置（表示装置）には望ましい。なお、薄膜トランジスタのしきい値電圧値がマイナスであると、ゲート電圧が0Vでもソース電極とドレイン電極の間に電流が流れる、所謂ノーマリーオンとなりやすい。アクティブマトリクス型の表示装置においては、

50

回路を構成する薄膜トランジスタの電気特性が重要であり、この電気特性が表示装置の性能を左右する。特に、薄膜トランジスタの電気特性のうち、しきい値電圧 ( $V_{th}$ ) が重要である。電界効果移動度が高くともしきい値電圧値が高い、或いはしきい値電圧値がマイナスであると、回路として制御することが困難である。しきい値電圧値が高く、しきい値電圧の絶対値が大きい薄膜トランジスタの場合には、駆動電圧が低い状態では T F T としてのスイッチング機能を果たすことができず、負荷となる恐れがある。nチャネル型の薄膜トランジスタの場合、ゲート電圧に正の電圧を印加してはじめてチャネルが形成されて、ドレイン電流が流れ出すトランジスタが望ましい。駆動電圧を高くしないとチャネルが形成されないトランジスタや、負の電圧状態でもチャネルが形成されてドレイン電流が流れるトランジスタは、回路に用いる薄膜トランジスタとしては不向きである。

10

#### 【0030】

また、加熱温度 T から下げるガス雰囲気は、加熱温度 T まで昇温したガス雰囲気と異なるガス雰囲気に切り替えてもよい。例えば、脱水化または脱水素化を行った同じ炉で大気に触れさせることなく、炉の中を高純度の酸素ガスまたは  $N_2O$  ガス、超乾燥エア（露点が - 40 以下、好ましくは - 60 以下）で満たして冷却を行う。

#### 【0031】

脱水化または脱水素化を行う加熱処理によって膜中の含有水分を低減させた後、水分を含まない雰囲気（露点が - 40 以下、好ましくは - 60 以下）下で徐冷（または冷却）した酸化物半導体膜を用いて、薄膜トランジスタの電気特性を向上させるとともに、量産性と高性能の両方を備えた薄膜トランジスタを実現する。

20

#### 【0032】

本明細書では、窒素、または希ガス（アルゴン、ヘリウムなど）の不活性気体雰囲気下での加熱処理を脱水化または脱水素化のための加熱処理と呼ぶ。本明細書では、この加熱処理によって  $H_2$  として脱離させていることのみを脱水素化と呼んでいるわけではなく、H、OHなどを脱離することを含めて脱水化または脱水素化と便宜上呼ぶこととする。

#### 【0033】

窒素、または希ガス（アルゴン、ヘリウムなど）の不活性気体雰囲気下での加熱処理を行った場合、酸化物半導体層は加熱処理により酸素欠乏型となって低抵抗化、即ちN型化（ $N^-$ 化など）させる。

#### 【0034】

また、ドレイン電極層と重なる酸素欠乏型である高抵抗ドレイン領域（HRD（High Resistance Drain）領域とも呼ぶ）が形成される。また、ソース電極層と重なる酸素欠乏型である高抵抗ソース領域（HRS（High Resistance Source）領域とも呼ぶ）が形成される。

30

#### 【0035】

具体的には、高抵抗ドレイン領域のキャリア濃度は、 $1 \times 10^{18} / cm^3$  以上の範囲内であり、少なくともチャネル形成領域のキャリア濃度（ $1 \times 10^{18} / cm^3$  未満）よりも高い領域である。なお、本明細書のキャリア濃度は、室温にて Hall 効果測定から求めたキャリア濃度の値を指す。

#### 【0036】

そして、脱水化または脱水素化した酸化物半導体層の少なくとも一部を酸素過剰な状態とすることで、さらに高抵抗化、即ちI型化させてチャネル形成領域を形成する。なお、脱水化または脱水素化した酸化物半導体層を酸素過剰な状態とする処理としては、脱水化または脱水素化した酸化物半導体層に接する酸化物絶縁膜のスパッタ法の成膜、または酸化物絶縁膜成膜後の加熱処理、または酸素を含む雰囲気での加熱処理、または不活性ガス雰囲気下で加熱した後に酸素雰囲気で冷却する処理、超乾燥エア（露点が - 40 以下、好ましくは - 60 以下）で冷却する処理などによって行う。

40

#### 【0037】

また、脱水化または脱水素化した酸化物半導体層の少なくとも一部（ゲート電極層と重なる部分）をチャネル形成領域とするため、選択的に酸素過剰な状態とすることで、高抵抗

50

化、即ち I 型化させることもできる。

【 0 0 3 8 】

これにより、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を作製し、提供することが可能となる。

【 0 0 3 9 】

なお、ドレイン電極層と重畳した酸化物半導体層において高抵抗ドレイン領域を形成することにより、駆動回路を形成した際の信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域を形成することで、ドレイン電極層から高抵抗ドレイン領域、チャンネル形成領域にかけて、導電性を段階的に変化させようような構造とすることができる。そのため、ドレイン電極層に高電源電位  $VDD$  を供給する配線に接続して動作させる場合、ゲート電極層とドレイン電極層との間に高電界が印加されても高抵抗ドレイン領域がバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成とすることができる。

10

【 0 0 4 0 】

また、ドレイン電極層（及びソース電極層）と重畳した酸化物半導体層において高抵抗ドレイン領域を形成することにより、駆動回路を形成した際のチャンネル形成領域でのリーク電流の低減を図ることができる。具体的には、高抵抗ドレイン領域を形成することで、ドレイン電極層とソース電極層との間に流れるトランジスタのリーク電流の経路として、ドレイン電極層、ドレイン電極層側の高抵抗ドレイン領域、チャンネル形成領域、ソース電極層側の高抵抗ソース領域、ソース電極層の順となる。このときチャンネル形成領域では、ドレイン電極層側の高抵抗ドレイン領域よりチャンネル領域に流れるリーク電流を、トランジスタがオフ時に高抵抗となるゲート絶縁層とチャンネル形成領域の界面近傍に集中させることができ、バックチャンネル部（ゲート電極層から離れているチャンネル形成領域の表面の一部）でのリーク電流を低減することができる。

20

【 0 0 4 1 】

また、ソース電極層に重なる高抵抗ソース領域と、ドレイン電極層に重なる高抵抗ドレイン領域は、ゲート電極層の幅にもよるが、ゲート電極層の一部とゲート絶縁層を介して重なり、より効果的にドレイン電極層の端部近傍の電界強度を緩和させることができる。

【 0 0 4 2 】

また、駆動回路を有する表示装置としては、液晶表示装置の他に、発光素子を用いた発光表示装置や、電気泳動表示素子を用いた電子ペーパーとも称される表示装置が挙げられる。

30

【 0 0 4 3 】

発光素子を用いた発光表示装置においては、画素部に複数の薄膜トランジスタを有し、画素部においてもある薄膜トランジスタのゲート電極と他のトランジスタのソース配線、或いはドレイン配線を接続させる箇所を有している。また、発光素子を用いた発光表示装置の駆動回路においては、薄膜トランジスタのゲート電極とその薄膜トランジスタのソース配線、或いはドレイン配線を接続させる箇所を有している。

【 0 0 4 4 】

また、薄膜トランジスタは静電気などにより破壊されやすいため、ゲート線またはソース線に対して、画素部の薄膜トランジスタの保護用の保護回路を同一基板上に設けることが好ましい。保護回路は、酸化物半導体層を用いた非線形素子を用いて構成することが好ましい。

40

【 0 0 4 5 】

なお、第 1、第 2 として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【 発明の効果 】

【 0 0 4 6 】

寄生容量を十分に低減し、チャンネル長が短くとも、安定した電気特性を有する薄膜トラン

50

ジスタを備えた半導体装置を実現する。

【図面の簡単な説明】

【0047】

【図1】本発明の一態様を示す平面図及び断面図である。

【図2】本発明の一態様を示す工程断面図である。

【図3】本発明の一態様を示す断面図である。

【図4】本発明の一態様を示す平面図及び断面図である。

【図5】本発明の一態様を示す平面図及び断面図である。

【図6】本発明の一態様を示す断面図である。

【図7】本発明の一態様を示す平面図及び断面図である。

10

【図8】本発明の一態様を示す工程断面図である。

【図9】半導体装置を説明する図。

【図10】半導体装置を説明する図。

【図11】半導体装置を説明する図。

【図12】半導体装置の画素等価回路を説明する図。

【図13】半導体装置を説明する図。

【図14】半導体装置のブロック図を説明する図。

【図15】信号線駆動回路の構成を説明する図および動作を説明するタイミングチャート

。

【図16】シフトレジスタの構成を示す回路図。

20

【図17】シフトレジスタの構成を説明する図および動作を説明するタイミングチャート

。

【図18】半導体装置を説明する図。

【図19】半導体装置を説明する図。

【図20】電子書籍の一例を示す外観図。

【図21】テレビジョン装置およびデジタルフォトフレームの例を示す外観図。

【図22】遊技機の例を示す外観図。

【図23】携帯型のコンピュータ及び携帯電話機の一例を示す外観図。

【図24】半導体装置を説明する図。

【図25】半導体装置を説明する図。

30

【図26】半導体装置を説明する図。

【図27】半導体装置を説明する図。

【図28】半導体装置を説明する図。

【図29】半導体装置を説明する図。

【図30】半導体装置を説明する図。

【図31】半導体装置を説明する図。

【図32】半導体装置を説明する図。

【図33】半導体装置を説明する図。

【図34】半導体装置を説明する図。

【図35】半導体装置を説明する図。

40

【図36】半導体装置を説明する図。

【図37】計算で用いた酸化物半導体層の構造を説明する図である。

【図38】酸化物半導体層の酸素密度の計算結果を説明する図である。

【図39】酸素と酸化物半導体膜表面の相互作用を説明する図である。

【発明を実施するための形態】

【0048】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同一部分又は同様な機能を有す

50

る部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0049】

(実施の形態1)

本実施の形態では、半導体装置及び半導体装置の作製方法の一形態を図1、図2、図3、及び図4を用いて説明する。

【0050】

また、図1(A)は画素に配置されるチャネル保護型の薄膜トランジスタ448の平面図であり、図1(B)は図1(A)の線D1-D2における断面図及び図1(A)の線D5-D6における断面図である。また、図1(C)は、図1(A)の線D3-D4における断面図である。なお、図2(E)は図1(B)と同一である。

10

【0051】

画素に配置される薄膜トランジスタ448はチャネル保護型(チャネルストップ型ともいう)の薄膜トランジスタであり、絶縁表面を有する基板400上に、ゲート電極層421a、ゲート絶縁層402、チャネル形成領域423を含む酸化物半導体層442、チャネル保護層として機能する酸化物絶縁層426a、ソース電極層425a、及びドレイン電極層425bを含む。また、薄膜トランジスタ448を覆い、酸化物絶縁層426a、ソース電極層425a、及びドレイン電極層425bに接して保護絶縁層403、及び平坦化絶縁層404が積層して設けられている。平坦化絶縁層404上にはドレイン電極層425bと接する画素電極層427が設けられており、薄膜トランジスタ448と電氣的に接続している。

20

【0052】

画素用の薄膜トランジスタ448は、高抵抗ソース領域424a、高抵抗ドレイン領域424b、及びチャネル形成領域423を含む酸化物半導体層442を有し、ソース電極層425aの下面に接して高抵抗ソース領域424aが形成されている。また、ドレイン電極層425bの下面に接して高抵抗ドレイン領域424bが形成されている。薄膜トランジスタ448は、高電界が印加されても高抵抗ドレイン領域または高抵抗ソース領域がバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成となっている。

【0053】

画素に配置される薄膜トランジスタ448のチャネル形成領域は、酸化物半導体層442のうち、チャネル保護層である酸化物絶縁層426aに接し、且つゲート電極層421aと重なる領域である。薄膜トランジスタ448は、酸化物絶縁層426aによって保護されるため、ソース電極層425a、ドレイン電極層425bを形成するエッチング工程で、酸化物半導体層442がエッチングされるのを防ぐことができる。

30

【0054】

また、薄膜トランジスタ448は透光性を有する薄膜トランジスタとして高開口率を有する表示装置を実現するためにソース電極層425a、ドレイン電極層425bは、透光性を有する導電膜を用いる。

【0055】

また、薄膜トランジスタ448のゲート電極層421aも透光性を有する導電膜を用いる。

40

【0056】

また、薄膜トランジスタ448が配置される画素には、画素電極層427、またはその他の電極層(容量電極層など)や、容量配線層などの他の配線層に可視光に対して透光性を有する導電膜を用い、高開口率を有する表示装置を実現する。勿論、ゲート絶縁層402、酸化物絶縁層426aも可視光に対して透光性を有する膜を用いることが好ましい。

【0057】

本明細書において、可視光に対して透光性を有する膜とは可視光の透過率が75~100%である膜厚を有する膜を指し、その膜が導電性を有する場合は透明の導電膜とも呼ぶ。また、ゲート電極層、ソース電極層、ドレイン電極層、画素電極層、またはその他の電極

50

層や、その他の配線層に適用する金属酸化物として、可視光に対して半透明の導電膜を用いてもよい。可視光に対して半透明とは可視光の透過率が50～75%であることを指す。

【0058】

また、ゲート配線とソース配線の交差する配線交差部は、寄生容量の低減を図るため、ゲート電極層421bとソース電極層425aとの間にゲート絶縁層402と酸化物絶縁層426bが設けられている。なお、チャネル形成領域423と重なる領域の酸化物絶縁層426aと、チャネル形成領域423と重ならない領域の酸化物絶縁層426bとを異なる符号で示しているが、同じ材料、同じ工程で形成される層である。

【0059】

以下、図2(A)乃至図2(E)を用い、同一基板上に薄膜トランジスタ448と配線交差部を作製する工程を説明する。また、画素部だけでなく駆動回路の薄膜トランジスタを形成してもよく、同じ工程で同一基板上に作製することもできる。

【0060】

まず、絶縁表面を有する基板400上に透光性を有する導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層421a、421bを形成する。また、画素部にはゲート電極層421a、421bと同じ透光性を有する材料、同じ第1のフォトリソグラフィ工程により容量配線層を形成する。また、画素部だけでなく駆動回路も形成する場合、駆動回路に容量が必要な場合には、駆動回路にも容量配線層を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0061】

絶縁表面を有する基板400に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。絶縁表面を有する基板400にはガラス基板を用いることができる。

【0062】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、酸化ホウ素と比較して酸化バリウム(BaO)を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 $B_2O_3$ よりBaOを多く含むガラス基板を用いることが好ましい。

【0063】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体でなる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。

【0064】

また、下地膜となる絶縁膜を基板400とゲート電極層421a、421bの間に設けてもよい。下地膜は、基板400からの不純物元素の拡散を防止する機能があり、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、又は酸化窒化珪素膜から選ばれた一又は複数の膜による積層構造により形成することができる。

【0065】

ゲート電極層421a、421bの材料は、可視光に対して透光性を有する導電材料、例えばIn-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の金属酸化物を適用することができ、膜厚は50nm以上300nm以下の範囲内で適宜選択する。ゲート電極層421a、421bに用いる金属酸化物の成膜方法は、スパッタ法や真空蒸着法(電子ビーム蒸着法など)や、アーク放電イオンプレーティング法や、スプレー法を用いる。また、スパッタ法を用いる場合、 $SiO_2$ を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、透光性を有する導電膜に結晶化を阻害する $SiO_x$ ( $x>0$ )を含ませ、後の

10

20

30

40

50

工程で行う脱水化または脱水素化のための加熱処理の際に結晶化してしまうのを抑制することが好ましい。

【0066】

酸化物半導体は、好ましくはInを含有する酸化物半導体、さらに好ましくは、In、及びGaを含有する酸化物半導体である。酸化物半導体層をI型（真性）とするため、脱水化または脱水素化の工程を経ることは有効である。

【0067】

次いで、ゲート電極層421a、421b上にゲート絶縁層402を形成する。

【0068】

ゲート絶縁層402は、プラズマCVD法又はスパッタリング法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層、窒化酸化珪素層、又は酸化アルミニウム層を単層で又は積層して形成することができる。例えば、成膜ガスとして、 $\text{SiH}_4$ 、酸素及び窒素を用いてプラズマCVD法により酸化窒化珪素層を形成すればよい。ゲート絶縁層402の膜厚は、100nm以上500nm以下とし、積層の場合は、例えば、膜厚50nm以上200nm以下の第1のゲート絶縁層と、第1のゲート絶縁層上に膜厚5nm以上300nm以下の第2のゲート絶縁層の積層とする。

10

【0069】

本実施の形態では、プラズマCVD法により窒化珪素層である膜厚200nm以下のゲート絶縁層402とする。

【0070】

次いで、ゲート絶縁層402上に、膜厚2nm以上200nm以下の酸化物半導体膜430を形成する（図2（A）参照。）。酸化物半導体膜430の形成後に脱水化または脱水素化のための加熱処理を行っても酸化物半導体膜を非晶質な状態とするため、膜厚を50nm以下と薄くすることが好ましい。酸化物半導体膜の膜厚を薄くすることで酸化物半導体層の形成後に加熱処理した場合に、結晶化してしまうのを抑制することができる。

20

【0071】

酸化物半導体膜430は、In-Ga-Zn-O系非単結晶膜、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体膜を用いる。本実施の形態では、In-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタ法により成膜する。また、酸化物半導体膜430は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素雰囲気下においてスパッタ法により形成することができる。また、スパッタ法を用いる場合、 $\text{SiO}_2$ を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、酸化物半導体膜430に結晶化を阻害する $\text{SiO}_x$ （ $x > 0$ ）を含ませ、後の工程で行う脱水化または脱水素化のための加熱処理の際に結晶化してしまうのを抑制することが好ましい。

30

【0072】

ここでは、In、Ga、及びZnを含む酸化物半導体ターゲット（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$  [mol数比]）を用いて、基板とターゲットの間との距離を100mm、圧力0.2Pa、直流（DC）電源0.5kW、アルゴン及び酸素（アルゴン：酸素=30sccm：20sccm 酸素流量比率40%）雰囲気下で成膜する。なお、パルス直流（DC）電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。In-Ga-Zn-O系非単結晶膜の膜厚は、5nm～200nmとする。本実施の形態では、酸化物半導体膜として、In-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタ法により膜厚20nmのIn-Ga-Zn-O系非単結晶膜を成膜する。

40

【0073】

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法と、DCスパッタ法があり、さらにパルスのバイアスを与えるパルスDCスパッタ法もある。RFスパッタ

50

法は主に絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に金属膜を成膜する場合に用いられる。

【0074】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0075】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

10

【0076】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアスパッタ法もある。

【0077】

次いで、酸化物半導体膜430を第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。また、島状の酸化物半導体層を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0078】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400 以上基板の歪み点未満、好ましくは425 以上とする。なお、425 以上であれば熱処理時間は1時間以下でよいが、425 未満であれば加熱処理時間は、1時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層を得る。本実施の形態では、酸化物半導体層の脱水化または脱水素化を行う加熱温度Tから、再び水が入らないような十分な温度まで同じ炉を用い、具体的には加熱温度Tよりも100 以上下がるまで窒素雰囲気下で徐冷する。また、窒素雰囲気に限定されず、ヘリウム、ネオン、アルゴン等の希ガス雰囲気下において脱水化または脱水素化を行う。

20

30

【0079】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0080】

また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、結晶化し、微結晶膜または多結晶膜となる場合もある。

40

【0081】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜430に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0082】

また、酸化物半導体膜430の成膜前に、不活性ガス雰囲気(窒素、またはヘリウム、ネオン、アルゴン等)下、酸素雰囲気下において加熱処理(400 以上基板の歪み点未満)を行い、ゲート絶縁層内に含まれる水素及び水などの不純物を除去してもよい。

【0083】

次いで、ゲート絶縁層402、及び酸化物半導体層上に、スパッタ法で酸化物絶縁膜を形

50



成した後、第3のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って酸化物絶縁層426a、426bを形成し、その後レジストマスクを除去する。この段階で、酸化物半導体層は、酸化物絶縁層と接する領域が形成され、この領域のうち、ゲート電極層とゲート絶縁層を介して重なり且つ酸化物絶縁層426aと重なる領域がチャンネル形成領域となる。また、酸化物半導体層の周縁及び側面を覆う酸化物絶縁層426bと重なる領域も形成される。

#### 【0084】

酸化物絶縁膜は、少なくとも1nm以上の膜厚とし、スパッタリング法など、酸化物絶縁膜に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。本実施の形態では、酸化物絶縁膜として膜厚300nmの酸化珪素膜をスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では室温とする。酸化珪素膜のスパッタリング法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス（代表的にはアルゴン）及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタリング法により酸化珪素膜を形成することができる。低抵抗化した酸化物半導体層に接して形成する酸化物絶縁膜は、水分や、水素イオンや、 $\text{OH}^-$ などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

#### 【0085】

次いで、不活性ガス雰囲気下、または窒素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う（図2（B）参照）。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物絶縁層426bと重なる酸化物半導体層442の端部と、酸化物絶縁層426aと重なる酸化物半導体層442の一部が酸化物絶縁層と接した状態で加熱される。なお、第2の加熱処理を行うと、酸化物絶縁層と重ならない酸化物半導体層442の一部は露出した状態で加熱される。酸化物半導体層442が露出している状態で、窒素、または不活性ガス雰囲気下で加熱処理を行うと、酸化物半導体層442において露出している高抵抗化された（I型化された）領域を低抵抗化することができる。また、酸化物絶縁層426aは酸化物半導体層442のチャンネル形成領域となる領域上に接して設けられ、チャンネル保護層として機能する。

#### 【0086】

次いで、ゲート絶縁層402、酸化物絶縁層426a、426b、及び酸化物半導体層442上に、透光性を有する導電膜を形成した後、第4のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってソース電極層425a、及びドレイン電極層425bを形成する（図2（C）参照）。透光性を有する導電膜の成膜方法は、スパッタ法や真空蒸着法（電子ビーム蒸着法など）や、アーク放電イオンプレーティング法や、スプレー法を用いる。導電膜の材料としては、可視光に対して透光性を有する導電材料、例えばIn-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の金属酸化物を適用することができる。膜厚は50nm以上300nm以下の範囲内で適宜選択する。また、スパッタ法を用いる場合、 $\text{SiO}_2$ を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、透光性を有する導電膜に結晶化を阻害する $\text{SiO}_x$ （ $x > 0$ ）を含ませ、後の工程で行う脱水化または脱水素化のための加熱処理の際に結晶化してしまうのを抑制することが好ましい。

#### 【0087】

なお、ソース電極層425a、ドレイン電極層425bを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成すると

10

20

30

40

50

フォトマスクを使用しないため、製造コストを低減できる。

【0088】

次いで、酸化物絶縁層426a、426b、ソース電極層425a、ドレイン電極層425b上に保護絶縁層403を形成する。本実施の形態では、RFスパッタ法を用いて窒化珪素膜を形成する。RFスパッタ法は、量産性がよいため、保護絶縁層403の成膜方法として好ましい。保護絶縁層403は、水分や、水素イオンや、OH<sup>-</sup>などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化珪素膜、窒化アルミニウム膜、窒化酸化珪素膜、酸化窒化アルミニウム膜などを用いる。勿論、保護絶縁層403は透光性を有する絶縁膜である。

【0089】

次いで、保護絶縁層403上に平坦化絶縁層404を形成する。平坦化絶縁層404としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁層404を形成してもよい。

【0090】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0091】

平坦化絶縁層404の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

【0092】

次に、第5のフォトリソグラフィ工程を行い、レジストマスクを形成し、平坦化絶縁層404、及び保護絶縁層403のエッチングによりドレイン電極層425bに達するコンタクトホール441を形成し、レジストマスクを除去する（図2（D）参照。）。図2（D）に示すようにコンタクトホール441の下方には酸化物絶縁層426bが設けられており、コンタクトホール441の下方に酸化物絶縁層が設けられていない場合に比べて除去する平坦化絶縁層の膜厚を薄くでき、エッチング時間を短くすることができる。また、コンタクトホール441の下方に酸化物絶縁層が設けられていない場合に比べてコンタクトホール441の深さを浅くことができ、コンタクトホール441と重なる領域において、後の工程で形成する透光性を有する導電膜のカバレッジを良好なものとすることができる。また、ここでのエッチングによりゲート電極層421bに達するコンタクトホールも形成する。また、ドレイン電極層425bに達するコンタクトホールを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0093】

次いで、透光性を有する導電膜を成膜する。透光性を有する導電膜の材料としては、酸化インジウム（ $\text{In}_2\text{O}_3$ ）や酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3$  -  $\text{SnO}_2$ 、ITOと略記する）などをスパッタ法や真空蒸着法などを用いて形成する。透光性を有する導電膜の他の材料として、窒素を含ませたAl-Zn-O系非単結晶膜、即ちAl-Zn-O-N系非単結晶膜や、Zn-O-N系非単結晶膜や、Sn-Zn-O-N系非単結晶膜を用いてもよい。なお、Al-Zn-O-N系非単結晶膜の亜鉛の組成比（原子%）は、47原子%以下とし、非単結晶膜中のアルミニウムの組成比（原子%）より大きく、非単結晶膜中のアルミニウムの組成比（原子%）は、非単結晶膜中の窒素の組成比（原子%）より大きい。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特に

10

20

30

40

50

ITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金 ( $\text{In}_2\text{O}_3$   $\text{ZnO}$ ) を用いても良い。

【0094】

なお、透光性を有する導電膜の組成比の単位は原子%とし、電子線マイクロアナライザー (EPMA: Electron Probe X-ray Micro Analyzer) を用いた分析により評価するものとする。

【0095】

次に、第6のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層427を形成し、レジストマスクを除去する(図2(E)参照。)

【0096】

以上の工程により、6枚のマスクを用いて、同一基板上に薄膜トランジスタ448と、寄生容量の低減された配線交差部を作製することができる。画素用の薄膜トランジスタ448は、高抵抗ソース領域424a、高抵抗ドレイン領域424b、及びチャネル形成領域423を含む酸化物半導体層442を含むチャネル保護型薄膜トランジスタである。よって、薄膜トランジスタ448は、高電界が印加されても高抵抗ドレイン領域424bまたは高抵抗ソース領域424aがバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成となっている。

【0097】

また、ゲート絶縁層402を誘電体とし容量配線層と容量電極とで形成される保持容量も同一基板上に形成することができる。薄膜トランジスタ448と保持容量を個々の画素に対応してマトリクス状に配置して画素部を構成し、アクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0098】

また、同一基板上に駆動回路の薄膜トランジスタを設けることもできる。同一基板上に駆動回路と画素部を形成することによって、駆動回路と外部信号との接続配線が短縮でき、半導体装置の小型化、低コスト化が可能である。

【0099】

また、図1(B)に示す画素用の薄膜トランジスタ448の酸化物半導体層442は、酸化物絶縁層426bと重なる第1領域424c、第2領域424dを周縁部に有している。酸化物半導体層442の周縁部である第1領域424c、及び第2領域424dは、チャネル形成領域423と同じ酸素過剰な状態であり、近くに電位の異なる配線や酸化物半導体層が配置された場合にリーク電流の低減や、寄生容量の低減を実現できる。

【0100】

特に駆動回路においては、高集積化のため、複数の配線や複数の酸化物半導体層の間隔を狭めて配置することが好ましく、酸化物絶縁層426bと重なることで第1領域424c、及び第2領域424dを設け、リーク電流の低減や、寄生容量の低減を行うことは有効である。また、複数の薄膜トランジスタを直列または並列に配置する場合、複数の薄膜トランジスタの酸化物半導体層を一つのアイランドとし、それぞれの素子分離を酸化物絶縁層426bと重なることで行い、酸化物絶縁層426bと重なる領域を素子分離領域とすることができる。このようにすることで、狭い面積に複数の薄膜トランジスタを配置することができるため、駆動回路の高集積化を図ることができる。

【0101】

(実施の形態2)

本実施の形態では、実施の形態1に示した薄膜トランジスタを用いて、同一基板上に画素部と駆動回路を形成し、アクティブマトリクス型の液晶表示装置を作製する一例を示す。

【0102】

アクティブマトリクス基板の断面構造の一例を図3(A)に示す。

【0103】

10

20

30

40

50

実施の形態 1 では、画素部の薄膜トランジスタ及び配線交差部を図示したが、本実施の形態では、薄膜トランジスタ及び配線交差部に加え、駆動回路の薄膜トランジスタ、保持容量、ゲート配線、ソース配線の端子部も図示して説明する。容量、ゲート配線、ソース配線の端子部は、実施の形態 1 に示す作製工程と同じ工程で形成することができる。また、画素部の表示領域となる部分においては、ゲート配線、ソース配線、及び容量配線層は全て透光性を有する導電膜で形成されており、高い開口率を実現している。

#### 【0104】

図 3 (A) において、画素電極層 227 と電氣的に接続する薄膜トランジスタ 220 は、画素部に設けられるチャネル保護型の薄膜トランジスタであり、本実施の形態では、実施の形態 1 の薄膜トランジスタ 448 と同じ構造を用いる。また、薄膜トランジスタ 220 のゲート電極層のチャネル長方向の幅は薄膜トランジスタ 220 の酸化物半導体層のチャネル長方向の幅よりも狭い。

10

#### 【0105】

薄膜トランジスタ 220 のゲート電極層と同じ透光性を有する材料、及び同じ工程で形成される容量配線層 230 は、誘電体となるゲート絶縁層 202 を介して容量電極 231 と重なり、保持容量を形成する。なお、容量電極 231 は、薄膜トランジスタ 220 のソース電極層またはドレイン電極層と同じ透光性を有する材料、及び同じ工程で形成される。従って、薄膜トランジスタ 220 が透光性を有していることに加え、それぞれの保持容量も透光性を有するため、開口率を向上させることができる。

20

#### 【0106】

保持容量が透光性を有することは、開口率を向上させる上で重要である。特に 10 インチ以下の小型の液晶表示パネルにおいて、ゲート配線の本数を増やすなどして表示画像の高精細化を図るため、画素寸法を微細化しても、高い開口率を実現することができる。また、薄膜トランジスタ 220 及び保持容量の構成部材に透光性を有する膜を用いることで、広視野角を実現するため、1 画素を複数のサブピクセルに分割しても高い開口率を実現することができる。即ち、高密度の薄膜トランジスタ群を配置しても開口率を大きくとることができる。例えば、一つの画素内に 2 ~ 4 個のサブピクセル及び保持容量を有する場合、薄膜トランジスタが透光性を有していることに加え、それぞれの保持容量も透光性を有するため、開口率を向上させることができる。

30

#### 【0107】

なお、保持容量は、画素電極層 227 の下方に設けられ、容量電極 231 が画素電極層 227 と電氣的に接続される。

#### 【0108】

本実施の形態では、容量電極 231、及び容量配線層 230 を用いて保持容量を形成する例を示したが、保持容量を形成する構造については特に限定されない。例えば、容量配線層を設けず、画素電極層を隣り合う画素のゲート配線と平坦化絶縁層、保護絶縁層、及びゲート絶縁層を介して重ねて保持容量を形成してもよい。

#### 【0109】

また、図 3 (A) において保持容量は、大きな容量を形成するため、容量配線層と容量電極の間にゲート絶縁層 202 のみとしており、配線交差部は、寄生容量を低減するためにゲート電極層 421b とその上方に形成される配線の間にゲート絶縁層 202 と酸化物絶縁層 266b とを設けている。保持容量において、容量配線層と容量電極の間にゲート絶縁層 202 のみとする場合、酸化物絶縁層 266b を除去するエッチングの際に、選択的にゲート絶縁層 202 のみを残すようなエッチング条件またはゲート絶縁層の材料を選択する。本実施の形態では、酸化物絶縁層 266b がスパッタ法で得られる酸化珪素膜、ゲート絶縁層 202 がプラズマ CVD 法で得られる窒化珪素膜であるため、選択的に除去することができる。なお、酸化物絶縁層 266b とゲート絶縁層 202 が同じエッチング条件で除去される材料を用いる場合には、エッチングによりゲート絶縁層の一部が薄膜化されてもゲート絶縁層が少なくとも残存し、容量を形成することができる膜厚とすることが

40

50

好ましい。保持容量を大きくするためには、ゲート絶縁層の膜厚を薄くすることが好ましいため、酸化物絶縁層 266b の選択的なエッチングの際に容量配線上のゲート絶縁層を薄膜化させた構成としてもよい。

【0110】

また、薄膜トランジスタ 260 は、駆動回路に設けられるチャネル保護型の薄膜トランジスタであり、薄膜トランジスタ 220 に比べチャネル長  $L$  を短くして、動作速度を高速化したものである。駆動回路に設けられるチャネル保護型の薄膜トランジスタのチャネル長  $L$  は、 $0.1\mu\text{m}$  以上  $2\mu\text{m}$  以下とすることが好ましい。薄膜トランジスタ 260 のゲート電極層 261 のチャネル長方向の幅は薄膜トランジスタ 260 の酸化物半導体層のチャネル長方向の幅よりも広く、ゲート電極層 261 の端面は、ゲート絶縁層 202 及び酸化物絶縁層 266b を介してソース電極層 265a、又はドレイン電極層 265b と重なる。

10

【0111】

薄膜トランジスタ 260 は、絶縁表面を有する基板 200 上に、ゲート電極層 261、ゲート絶縁層 202、少なくともチャネル形成領域 263、高抵抗ソース領域 264a、及び高抵抗ドレイン領域 264b を有する酸化物半導体層、ソース電極層 265a、及びドレイン電極層 265b を含む。また、チャネル形成領域 263 に接する酸化物絶縁層 266a が設けられている。

【0112】

また、駆動回路の薄膜トランジスタ 260 のゲート電極層は、酸化物半導体層の上方に設けられた導電層 267 と電氣的に接続させる構造としてもよい。その場合には、薄膜トランジスタ 220 のドレイン電極層と、画素電極層 227 とを電氣的に接続するためのコンタクトホールと同じフォトマスクを用い、平坦化絶縁層 204、保護絶縁層 203、酸化物絶縁層 266b、ゲート絶縁層 202 を選択的にエッチングしてコンタクトホールを形成する。このコンタクトホールを介して導電層 267 と駆動回路の薄膜トランジスタ 260 のゲート電極層 261 とを電氣的に接続する。

20

【0113】

保護絶縁層 203 は、無機絶縁膜を用い、窒化珪素膜、窒化アルミニウム膜、窒化酸化珪素膜、酸化窒化アルミニウム膜などを用いる。本実施の形態では窒化珪素膜を用いる。

【0114】

また、薄膜トランジスタ 260 は、ゲート電極層 261 の幅が酸化物半導体層の幅よりも広い構造となっている。また、酸化物絶縁層 266b は、酸化物半導体層の周縁部と重なっており、さらにゲート電極層 261 と重なっている。酸化物絶縁層 266b は、ドレイン電極層 265b とゲート電極層 261 との間隔を広げ、ドレイン電極層 265b とゲート電極層 261 との間に形成される寄生容量を低減する機能を果たしている。また、酸化物絶縁層 266b と重なる酸化物半導体層の第 1 領域 264c、第 2 領域 264d は、チャネル形成領域 263 と同じ酸素過剰な状態であり、リーク電流の低減や、寄生容量を低減する機能も果たしている。

30

【0115】

また、液晶表示パネルのサイズが 10 インチを超え、60 インチ、さらには 120 インチとする場合には透光性を有する配線の配線抵抗が問題となる恐れがあるため、配線の一部を金属配線として配線抵抗を低減することが好ましい。例えば、ソース電極層 265a、及びドレイン電極層 265b を Ti などの金属配線とする。金属配線を形成するため、実施の形態 1 に比べ、フォトマスクの数は 1 枚増える。

40

【0116】

その場合、脱水化または脱水素化した酸化物半導体層上に接して Ti などの金属電極からなるソース電極層やドレイン電極層を形成し、ソース電極層に重なる高抵抗ソース領域と、ドレイン電極層に重なる高抵抗ドレイン領域とが形成され、高抵抗ソース領域と高抵抗ドレイン領域との間の領域がチャネル形成領域となる。

【0117】

50

また、配線抵抗を低減するために図3(A)のように、ソース電極層265a、及びドレイン電極層265b上により低抵抗な金属電極を用いた補助電極層268a、268bを形成する。この場合も金属配線(金属電極)を形成するため、実施の形態1に比べ、さらにフォトマスクの数は1枚増える。透光性のソース電極層及びドレイン電極層のみの構造としてもよいが、ソース電極層及びドレイン電極層上に金属電極を用いた補助電極層を設けると配線抵抗を低減することができる。

【0118】

ソース電極層265a、ドレイン電極層265b、補助電極層268a、268b、薄膜トランジスタ220のソース電極層及びドレイン電極層は、透光性を有する導電膜及び金属導電膜を積層し、フォトリソグラフィ工程により選択的にエッチングして形成する。薄膜トランジスタ220のソース電極層及びドレイン電極層上の金属導電膜は除去する。

10

【0119】

なお、金属導電膜のエッチングの際に、薄膜トランジスタ220のソース電極層及びドレイン電極層も除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0120】

例えば、金属導電膜を選択的にエッチングするため、アルカリ性のエッチャントを用いる。金属導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、金属導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、Ti膜と、そのTi膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を成膜する3層構造などが挙げられる。また、Alに、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、ネオジム(Nd)、スカンジウム(Sc)から選ばれた元素を単数、又は複数組み合わせた膜、合金膜、もしくは窒化膜を用いてもよい。

20

【0121】

本実施の形態では、金属導電膜としてTi膜を用いて、ソース電極層及びドレイン電極層にはIn-Sn-O系酸化物を用いて、エッチャントとして過水アンモニア水(アンモニア、水、過酸化水素水の混合液)を用いる。

【0122】

酸化物半導体層と金属材料からなる補助電極層268bの間に設けられるドレイン電極層265bは低抵抗ドレイン領域(LRN(Low Resistance N-type conductivity)領域、LRD(Low Resistance Drain)領域とも呼ぶ)としても機能する。酸化物半導体層、低抵抗ドレイン領域、金属電極である補助電極層268bの構成とすることによって、よりトランジスタの耐圧を向上させることができる。具体的には、低抵抗ドレイン領域のキャリア濃度は、高抵抗ドレイン領域(HRD領域)よりも大きく、例えば $1 \times 10^{20} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下の範囲内であると好ましい。

30

【0123】

また、ゲート配線、ソース配線、及び容量配線層は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第1の端子電極、ソース配線と同電位の第2の端子電極、容量配線層と同電位の第3の端子電極などが複数並べられて配置される。それぞれの端子電極の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

40

【0124】

端子部において、ゲート配線と同電位の第1の端子電極は、画素電極層227と同じ透光性を有する材料で形成することができる。第1の端子電極は、ゲート配線に達するコンタクトホールを介してゲート配線と電氣的に接続される。ゲート配線に達するコンタクトホールは、薄膜トランジスタ220のドレイン電極層と、画素電極層227とを電氣的に接続するためのコンタクトホールと同じフォトマスクを用い、平坦化絶縁層204、保護絶

50

縁層 2 0 3、酸化物絶縁層 2 6 6 b、ゲート絶縁層 2 0 2 を選択的にエッチングして形成する。

【 0 1 2 5 】

また、端子部のソース配線 2 5 4 と同電位の第 2 の端子電極 2 5 5 は、画素電極層 2 2 7 と同じ透光性を有する材料で形成することができる。第 2 の端子電極 2 5 5 は、ソース配線 2 5 4 に達するコンタクトホールを介してソース配線と電氣的に接続される。ソース配線は金属配線であり、薄膜トランジスタ 2 6 0 のソース電極層 2 6 5 a と同じ材料、同じ工程で形成され、同電位である。

【 0 1 2 6 】

また、容量配線層 2 3 0 と同電位の第 3 の端子電極は、画素電極層 2 2 7 と同じ透光性を有する材料で形成することができる。また、容量配線層 2 3 0 に達するコンタクトホールは、容量電極 2 3 1 が画素電極層 2 2 7 と電氣的に接続するためのコンタクトホールと同じフォトリソ、同じ工程で形成することができる。

10

【 0 1 2 7 】

また、アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定する。なお、対向基板に設けられた対向電極と電氣的に接続する共通電極をアクティブマトリクス基板上に設け、共通電極と電氣的に接続する第 4 の端子電極を端子部に設ける。この第 4 の端子電極は、共通電極を固定電位、例えば GND、0 V などに設定するための端子である。第 4 の端子電極は、画素電極層 2 2 7 と同じ透光性を有する材料で形成することができる。

20

【 0 1 2 8 】

また、ゲート電極層、ソース電極層、ドレイン電極層、画素電極層、またはその他の電極層や、その他の配線層に同じ材料を用いれば共通のスパッタターゲットや共通の製造装置を用いることができ、その材料コスト及びエッチング時に使用するエッチャント（またはエッチングガス）に要するコストを低減することができ、結果として製造コストを削減することができる。

【 0 1 2 9 】

また、図 3 ( A ) の構造において、平坦化絶縁層 2 0 4 として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

30

【 0 1 3 0 】

また、図 3 ( B ) に、図 3 ( A ) とは一部異なる断面構造を示す。図 3 ( B ) は、図 3 ( A ) と平坦化絶縁層 2 0 4 が端子部で存在しない点と駆動回路の薄膜トランジスタの構造が異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。図 3 ( B ) では、金属配線を用いる薄膜トランジスタ 2 7 0 を配置する。また、端子電極も金属配線と同じ材料、同じ工程で形成する。

【 0 1 3 1 】

また、図 3 ( B ) の構造においては、平坦化絶縁層 2 0 4 として感光性の樹脂材料を用い、レジストマスクを形成する工程を省略する。従って、レジストマスクを用いることなく、平坦化絶縁層 2 0 4 が端子部で存在しない構成とすることができる。端子部において、平坦化絶縁層が存在しないと、FPC との良好な接続を行いやすい。

40

【 0 1 3 2 】

薄膜トランジスタ 2 7 0 は、絶縁表面を有する基板 2 0 0 上に、ゲート電極層 2 7 1、ゲート絶縁層 2 0 2、少なくともチャネル形成領域 2 7 3、高抵抗ソース領域 2 7 4 a、及び高抵抗ドレイン領域 2 7 4 b を有する酸化物半導体層、ソース電極層 2 7 5 a、及びドレイン電極層 2 7 5 b を含む。また、チャネル形成領域 2 7 3 に接する酸化物絶縁層 2 7 6 a が設けられている。

【 0 1 3 3 】

また、酸化物絶縁層 2 7 6 b と重なる酸化物半導体層の第 1 領域 2 7 4 c、第 2 領域 2 7 4 d は、チャネル形成領域 2 7 3 と同じ酸素過剰な状態であり、リーク電流の低減や、寄

50

生容量を低減する機能も果たしている。また、保護絶縁層 203 と接する酸化物半導体層の第 3 領域 274 e は、チャネル形成領域 273 と高抵抗ソース領域 274 a の間に設けられる。また、保護絶縁層 203 と接する酸化物半導体層の第 4 領域 274 f は、チャネル形成領域 273 と高抵抗ドレイン領域 274 b の間に設けられる。保護絶縁層 203 と接する酸化物半導体層の第 3 領域 274 e、及び第 4 領域 274 f はオフ電流の低減を図ることができる。

【0134】

また、チャネル保護型の薄膜トランジスタは、チャネル形成領域のチャネル長 L を短くするため酸化物絶縁層の幅を狭くして、幅の狭い酸化物絶縁層上にソース電極層及びドレイン電極層を設けると酸化物絶縁層上で短絡する恐れがある。そのため、幅の狭い酸化物絶縁層 276 a から端部を離してソース電極層 275 a 及びドレイン電極層 275 b を設ける構成である。

10

【0135】

なお、金属導電膜のエッチングの際に、薄膜トランジスタ 270 の酸化物半導体層も除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0136】

本実施の形態では、金属導電膜として Ti 膜を用いて、酸化物半導体層には In - Ga - Zn - O 系酸化物を用いて、エッチャントとして過水アンモニア水（アンモニア水、水、過酸化水素水の混合液）を用いる。

【0137】

また、駆動回路の薄膜トランジスタ 270 のゲート電極層は、酸化物半導体層の上方に設けられた導電層 277 と電氣的に接続させる構造としてもよい。

20

【0138】

また、端子部のソース配線 256 と同電位の第 2 の端子電極 257 は、画素電極層 227 と同じ透光性を有する材料で形成することができる。ソース配線は金属配線であり、薄膜トランジスタ 270 のソース電極層 275 a と同じ材料、同じ工程で形成され、同電位である。

【0139】

また、薄膜トランジスタは静電気などにより破壊されやすいため、画素部または駆動回路と同一基板上に保護回路を設けることが好ましい。保護回路は、酸化物半導体層を用いた非線形素子を用いて構成することが好ましい。例えば、保護回路は画素部と、走査線入力端子及び信号線入力端子との間に配設されている。本実施の形態では複数の保護回路を配設して、走査線、信号線及び容量バス線に静電気等によりサージ電圧が印加され、画素トランジスタなどが破壊されないように構成されている。そのため、保護回路にはサージ電圧が印加されたときに、共通配線に電荷を逃がすように構成する。また、保護回路は、走査線に対して並列に配置された非線形素子によって構成されている。非線形素子は、ダイオードのような二端子素子又はトランジスタのような三端子素子で構成される。例えば、画素部の薄膜トランジスタ 220 と同じ工程で形成することも可能であり、例えばゲート端子とドレイン端子を接続することによりダイオードと同様の特性を持たせることができる。

30

40

【0140】

なお、平坦化絶縁層 204 の形成工程を省略し、平坦化絶縁層 204 を設けない構造としてもよい。この場合、導電層 267、導電層 277、画素電極層 227、第 2 の端子電極 255、257 は保護絶縁層 203 上に接して設けられる。

【0141】

本実施の形態は実施の形態 1 と自由に組み合わせることができる。

【0142】

（実施の形態 3）

また、本実施の形態では、薄膜トランジスタと同一基板上に設けられる端子部の構成の一例を示す。なお、実施の形態 2 ではソース配線の端子部の一例を示したが、本実施の形態

50



では実施の形態 2 とは異なる構成のソース配線の端子部と、ゲート配線の端子部を図示する。なお、図 4 において、図 3 ( A ) または図 3 ( B ) と同じ箇所には同じ符号を用いて説明する。

【 0 1 4 3 】

図 4 ( A 1 )、図 4 ( A 2 ) は、ゲート配線端子部の上面図及び断面図をそれぞれ図示している。図 4 ( A 1 ) は図 4 ( A 2 ) 中の C 1 - C 2 線に沿った断面図に相当する。図 4 ( A 1 ) において、保護絶縁層 2 0 3 上に形成される導電層 2 2 5 は、入力端子として機能する接続用の端子電極である。また、図 4 ( A 1 ) において、端子部では、ゲート電極層 4 2 1 b と同じ材料で形成される第 1 の端子 2 2 1 と、ソース配線と同じ材料で形成される接続電極層 2 2 3、2 2 8 とがゲート絶縁層 2 0 2 を介して重なり、導電層 2 2 5 で導通させている。また、第 1 の端子 2 2 1 は、図 3 ( B ) に示す構成とする場合には金属配線材料を用いることができる。

10

【 0 1 4 4 】

また、図 4 ( B 1 )、及び図 4 ( B 2 ) は、図 3 ( B ) に示すソース配線端子部とは異なるソース配線端子部の上面図及び断面図をそれぞれ図示している。また、図 4 ( B 1 ) は図 4 ( B 2 ) 中の C 3 - C 4 線に沿った断面図に相当する。図 4 ( B 1 ) において、保護絶縁層 2 0 3 上に形成される導電層 2 2 5 は、入力端子として機能する接続用の端子電極である。また、図 4 ( B 1 ) において、端子部では、ゲート配線と同じ材料で形成される電極層 2 2 6 が、ソース配線と電氣的に接続される第 2 の端子 2 2 2、2 2 9 の下方にゲート絶縁層 2 0 2 を介して重なる。電極層 2 2 6 は第 2 の端子 2 2 2、2 2 9 とは電氣的に接続しておらず、電極層 2 2 6 を第 2 の端子 2 2 2、2 2 9 と異なる電位、例えばフローティング、GND、0 V などに設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第 2 の端子 2 2 2、2 2 9 は、保護絶縁層 2 0 3 を介して導電層 2 2 5 と電氣的に接続している。また、導電材料の積層である第 2 の端子 2 2 2、2 2 9 は、図 3 ( B ) に示す構成とする場合には金属配線材料の単層を用いることができる。

20

【 0 1 4 5 】

ゲート配線、ソース配線、及び容量配線は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第 1 の端子、ソース配線と同電位の第 2 の端子、容量配線と同電位の第 3 の端子などが複数並べられて配置される。それぞれの端子の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

30

【 0 1 4 6 】

本実施の形態は実施の形態 1 または実施の形態 2 と自由に組み合わせることができる。

【 0 1 4 7 】

( 実施の形態 4 )

ここでは、第 1 の基板と第 2 の基板の間に液晶層を封入する液晶表示装置において、第 2 の基板に設けられた対向電極と電氣的に接続するための共通接続部を第 1 の基板上に形成する例を示す。なお、第 1 の基板にはスイッチング素子として薄膜トランジスタが形成されており、共通接続部の作製工程を画素部のスイッチング素子の作製工程と共通化させることで工程を複雑にすることなく形成する。

40

【 0 1 4 8 】

共通接続部は、第 1 の基板と第 2 の基板とを接着するためのシール材と重なる位置に配置され、シール材に含まれる導電性粒子を介して対向電極と電氣的な接続が行われる。或いは、シール材と重ならない箇所（ただし画素部を除く）に共通接続部を設け、共通接続部に重なるように導電性粒子を含むペーストをシール材とは別途設けて、対向電極と電氣的な接続が行われる。

【 0 1 4 9 】

図 5 ( A ) は薄膜トランジスタと共通接続部とを同一基板上に作製する半導体装置の断面構造図を示す図である。

【 0 1 5 0 】

50

図 5 ( A ) において、画素電極層 2 2 7 と電氣的に接続する薄膜トランジスタ 2 2 0 は、画素部に設けられるチャネル保護型の薄膜トランジスタであり、本実施の形態では、実施の形態 1 の薄膜トランジスタ 4 4 8 と同じ構造を用いる。

【 0 1 5 1 】

また、図 5 ( B ) は共通接続部の上面図の一例を示す図であり、図中の鎖線 C 5 - C 6 に沿った共通接続部の断面図が図 5 ( A ) に相当する。なお、図 5 ( B ) において図 5 ( A ) と同一の部分には同じ符号を用いて説明する。

【 0 1 5 2 】

共通電位線 2 0 5、2 1 0 は、ゲート絶縁層 2 0 2 上に設けられ、薄膜トランジスタ 2 2 0 のソース電極層及びドレイン電極層と同じ材料及び同じ工程で作製される。

10

【 0 1 5 3 】

また、共通電位線 2 0 5、2 1 0 は、保護絶縁層 2 0 3 で覆われ、保護絶縁層 2 0 3 は、共通電位線 2 0 5、2 1 0 と重なる位置に複数の開口部を有している。この開口部は、薄膜トランジスタ 2 2 0 のドレイン電極層と画素電極層 2 2 7 とを接続するコンタクトホールと同じ工程で作製される。

【 0 1 5 4 】

なお、ここでは面積サイズが大きく異なるため、画素部におけるコンタクトホールと、共通接続部の開口部と使い分けて呼ぶこととする。また、図 5 ( A ) では、画素部と共通接続部とで同じ縮尺で図示しておらず、例えば共通接続部の鎖線 C 5 - C 6 の長さが 5 0 0  $\mu$ m 程度であるのに対して、薄膜トランジスタの幅は 5 0  $\mu$ m 未満であり、実際には 1 0 倍以上面積サイズが大きい、分かりやすくするため、図 5 ( A ) に画素部と共通接続部の縮尺をそれぞれ変えて図示している。

20

【 0 1 5 5 】

また、共通電極層 2 0 6 は、保護絶縁層 2 0 3 上に設けられ、画素部の画素電極層 2 2 7 と同じ材料及び同じ工程で作製される。

【 0 1 5 6 】

このように、画素部のスイッチング素子の作製工程と共通させて共通接続部の作製工程を行う。

【 0 1 5 7 】

そして画素部と共通接続部が設けられた第 1 の基板と、対向電極を有する第 2 の基板とをシール材を用いて固定する。

30

【 0 1 5 8 】

シール材に導電性粒子を含ませる場合は、シール材と共通接続部が重なるように一对の基板の位置合わせが行われる。例えば、小型の液晶パネルにおいては、画素部の対角などに 2 個の共通接続部がシール材と重ねて配置される。また、大型の液晶パネルにおいては、4 個以上の共通接続部がシール材と重ねて配置される。

【 0 1 5 9 】

なお、共通電極層 2 0 6 は、シール材に含まれる導電性粒子と接触する電極であり、第 2 の基板の対向電極と電氣的に接続が行われる。

【 0 1 6 0 】

液晶注入法を用いる場合は、シール材で一对の基板を固定した後、液晶を一对の基板間に注入する。また、液晶滴下法を用いる場合は、第 2 の基板或いは第 1 の基板上にシール材を描画し、液晶を滴下させた後、減圧下で一对の基板を貼り合わせる。

40

【 0 1 6 1 】

なお、本実施の形態では、対向電極と電氣的に接続する共通接続部の例を示したが、特に限定されず、他の配線と接続する接続部や、外部接続端子などと接続する接続部に用いることができる。

【 0 1 6 2 】

また、図 5 ( C ) に、図 5 ( A ) とは一部異なる断面構造を示す。図 5 ( C ) は、図 5 ( A ) と共通電極層 2 0 6 と重なる酸化物半導体層及び端部を覆う酸化物絶縁層が存在する

50

点と、共通電位線として金属配線を用いる点以外の構成は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。

【0163】

酸化物半導体層207は、ゲート絶縁層202上に設けられ、薄膜トランジスタ220の酸化物半導体層と同じ材料及び同じ工程で作製される。また、酸化物半導体層207を覆う酸化物絶縁層208を形成する。そして、酸化物半導体層207上に金属配線からなる共通電位線209を形成する。この金属配線からなる共通電位線209は、実施の形態2の図3(B)に示したように、駆動回路の薄膜トランジスタのソース電極層またはドレイン電極層と同じ工程で形成する。

【0164】

また、共通電位線209は、保護絶縁層203で覆われ、保護絶縁層203は、共通電位線209と重なる位置に複数の開口部を有している。この開口部は、薄膜トランジスタ220のドレイン電極層と画素電極層227とを接続するコンタクトホールと同じ工程で作製される。

【0165】

また、共通電極層206は、保護絶縁層203上に設けられ、画素部の画素電極層227と同じ材料及び同じ工程で作製される。

【0166】

このように、画素部のスイッチング素子の作製工程と共通させて共通接続部の作製工程を行い、共通電位線を金属配線として配線抵抗の低減を図る構成としてもよい。

【0167】

本実施の形態は実施の形態1乃至3のいずれか一と自由に組み合わせることができる。

【0168】

(実施の形態5)

実施の形態1または実施の形態2ではゲート絶縁層が単層の例を示したが、本実施の形態では、積層の例を示す。なお、図6において、図3(A)または図3(B)と同じ箇所には同じ符号を用いて説明する。

【0169】

図6(A)において、薄膜トランジスタ280は、画素部に設けられるチャネル保護型の薄膜トランジスタであり、ゲート絶縁層が2層の例である。

【0170】

本実施の形態では、膜厚50nm以上200nm以下の第1のゲート絶縁層282aと、膜厚50nm以上300nm以下の第2のゲート絶縁層282bの積層のゲート絶縁層とする。第1のゲート絶縁層282aとしては膜厚100nmの窒化珪素膜または窒化酸化珪素膜を用いる。また、第2のゲート絶縁層282bとしては、膜厚100nmの酸化珪素膜を用いる。

【0171】

また、薄膜トランジスタ280は、絶縁表面を有する基板上に、ゲート電極層281、第1のゲート絶縁層282a、第2のゲート絶縁層282b、少なくともチャネル形成領域283、高抵抗ソース領域284a、及び高抵抗ドレイン領域284b、ソース領域284c、ドレイン領域284dを有する酸化物半導体層、ソース電極層285a、及びドレイン電極層285bを含む。また、チャネル形成領域283に接する酸化物絶縁層286aが設けられている。また、画素電極層227はドレイン電極層285bと電氣的に接続されている。

【0172】

なお、保持容量は、画素電極層227の下方に設けられ、容量電極231が画素電極層227と電氣的に接続される。

【0173】

本実施の形態では、容量電極231、及び容量配線層230を用いて保持容量を形成する。

10

20

30

40

50

## 【0174】

また、図6(A)において保持容量は、大きな容量を形成するため、容量配線と容量電極の間にゲート絶縁層のみとしている。

## 【0175】

本実施の形態では酸化物絶縁層286bとしてスパッタ法で得られる酸化珪素膜を用い、容量配線層230と重なる酸化物絶縁層を除去する際に、酸化珪素膜である第2のゲート絶縁層もエッチングして薄膜化して第3のゲート絶縁層282cとする例である。なお、第1のゲート絶縁層282aは、窒化珪素膜または窒化酸化珪素膜であり、エッチングストッパーとして機能し、ゲート電極層や基板へのエッチングダメージを防ぐ。

## 【0176】

膜厚の薄い第3のゲート絶縁層282cとすることによって保持容量を増大させることができる。

## 【0177】

また、図6(B)に、図6(A)とは一部異なる断面構造を示す。

## 【0178】

図6(B)に示す薄膜トランジスタ290では、膜厚50nm以上200nm以下の第1のゲート絶縁層292aと、膜厚1nm以上50nm以下の第2のゲート絶縁層292bの積層のゲート絶縁層とする。第1のゲート絶縁層292aとしては膜厚100nmの酸化珪素膜を用いる。また、第2のゲート絶縁層292bとしては、膜厚10nmの窒化珪素膜または窒化酸化珪素膜を用いる。

## 【0179】

薄膜トランジスタ290は、絶縁表面を有する基板200上に、ゲート電極層291、第1のゲート絶縁層292a、第2のゲート絶縁層292b、少なくともチャネル形成領域293、高抵抗ソース領域294a、及び高抵抗ドレイン領域294bを有する酸化物半導体層、ソース電極層295a、及びドレイン電極層295bを含む。また、チャネル形成領域293に接する酸化物絶縁層296aが設けられている。

## 【0180】

また、酸化物絶縁層296bと重なる酸化物半導体層の第1領域294c、第2領域294dは、チャネル形成領域293と同じ酸素過剰な状態であり、リーク電流の低減や、寄生容量を低減する機能も果たしている。また、保護絶縁層203と接する酸化物半導体層の第3領域294eは、チャネル形成領域293と高抵抗ソース領域294aの間に設けられる。また、保護絶縁層203と接する酸化物半導体層の第4領域294fは、チャネル形成領域293と高抵抗ドレイン領域294bの間に設けられる。保護絶縁層203と接する酸化物半導体層の第3領域294e、及び第4領域294fはオフ電流の低減を図ることができる。

## 【0181】

また、酸化物半導体層の第3領域294e、及び第4領域294fは窒化珪素膜または窒化酸化珪素膜である第2のゲート絶縁層292bとも接する。保護絶縁層203は、水分や、水素イオンや、OH<sup>-</sup>などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化珪素膜、窒化アルミニウム膜、窒化酸化珪素膜、酸化窒化アルミニウム膜などを用いる。

## 【0182】

また、本実施の形態では酸化物絶縁層296bとしてスパッタ法で得られる酸化珪素膜を用い、容量配線層230と重なる酸化物絶縁層を除去する際に、窒化珪素膜または窒化酸化珪素膜である第2のゲート絶縁層をエッチングストッパーとして酸化物絶縁層をエッチングする例である。

## 【0183】

また、チャネル保護型の薄膜トランジスタは、チャネル形成領域のチャネル長Lを短くするため酸化物絶縁層の幅を狭くして、幅の狭い酸化物絶縁層上にソース電極層及びドレイン電極層を設けると酸化物絶縁層上で短絡する恐れがある。そのため、幅の狭い酸化物絶

10

20

30

40

50

縁層 2 9 6 a から端部を離してソース電極層 2 9 5 a 及びドレイン電極層 2 9 5 b を設ける構成である。

【0184】

本実施の形態は実施の形態 1 乃至 4 のいずれか一と自由に組み合わせることができる。

【0185】

(実施の形態 6)

本実施の形態では、薄膜トランジスタの作製工程の一部が実施の形態 1 と異なる例を図 7 及び図 8 に示す。図 7 及び図 8 は、図 1 及び図 2 と工程が一部異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。

【0186】

まず、実施の形態 1 に従って、基板上にゲート電極層、ゲート絶縁層、及び酸化物半導体膜 4 3 0 の形成を行い、実施の形態 1 における図 2 (A) の工程まで行う。図 2 (A) は図 8 (A) と同一である。

【0187】

そして、酸化物半導体膜 4 3 0 を第 2 のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。

【0188】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第 1 の加熱処理の温度は、400 以上基板の歪み点未満、好ましくは 425 以上とする。なお、425 以上であれば熱処理時間は 1 時間以下でよいが、425 未満であれば加熱処理時間は、1 時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層を得る。その後、同じ炉に高純度の酸素ガス、高純度の  $N_2O$  ガス、又は超乾燥エア (露点が -40 以下、好ましくは -60 以下) を導入して冷却を行う。酸素ガスまたは  $N_2O$  ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスまたは  $N_2O$  ガスの純度を、6N (99.9999%) 以上、好ましくは 7N (99.99999%) 以上、(即ち酸素ガスまたは  $N_2O$  ガス中の不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下) とすることが好ましい。

【0189】

また、脱水化または脱水素化を行う第 1 の加熱処理後に 200 以上 400 以下、好ましくは 200 以上 300 以下の温度で酸素ガスまたは  $N_2O$  ガス雰囲気下での加熱処理を行ってもよい。

【0190】

また、酸化物半導体層の第 1 の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜 4 3 0 に行うこともできる。その場合には、第 1 の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0191】

以上の工程を経ることによって酸化物半導体膜全体を酸素過剰な状態とすることで、高抵抗化、即ち I 型化させる。

【0192】

次いで、ゲート絶縁層 4 0 2、及び酸化物半導体層上に、スパッタ法で酸化物絶縁膜を形成した後、第 3 のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って酸化物絶縁層 4 2 6 a、4 2 6 b を形成し、その後レジストマスクを除去する (図 8 (B) 参照)。

【0193】

次いで、ゲート絶縁層 4 0 2、酸化物絶縁層 4 2 6 a、4 2 6 b、及び酸化物半導体層 4 2 2 上に、透光性を有する導電膜を形成した後、第 4 のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってソース電極層 4 2 5 a、及びドレイン電極層 4 2 5 b を形成する (図 8 (C) 参照)。

10

20

30

40

50

## 【0194】

次いで、薄膜トランジスタの電気的特性のばらつきを軽減するため、不活性ガス雰囲気下、または窒素ガス雰囲気下で加熱処理（好ましくは150 以上350 未満）を行ってもよい。例えば、窒素雰囲気下で250 、1時間の加熱処理を行う。

## 【0195】

次いで、酸化物絶縁層426a、426b、ソース電極層425a、ドレイン電極層425b上に保護絶縁層403を形成する。

## 【0196】

次いで、保護絶縁層403上に平坦化絶縁層404を形成する。

## 【0197】

次に、第5のフォトリソグラフィ工程を行い、レジストマスクを形成し、平坦化絶縁層404、及び保護絶縁層403のエッチングによりドレイン電極層425bに達するコンタクトホール441を形成し、レジストマスクを除去する（図8（D）参照。）。10

## 【0198】

次いで、透光性を有する導電膜を成膜する。

## 【0199】

次に、第6のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層427を形成し、レジストマスクを除去する（図8（E）参照。）。20

## 【0200】

以上の工程により、6枚のマスクを用いて、同一基板上に薄膜トランジスタ420と、寄生容量の低減された配線交差部を作製することができる。

## 【0201】

画素用の薄膜トランジスタ420は、チャネル形成領域を含む酸化物半導体層422を含むチャネル保護型薄膜トランジスタである。

## 【0202】

また、図7（A）は、画素に配置されるチャネル保護型の薄膜トランジスタ420の平面図であり、図7（B）は図7（A）の線D7 - D8における断面図及び図7（A）の線D11 - D12における断面図である。また、図7（C）は、図7（A）の線D9 - D10における断面図である。なお、図8（E）は図7（B）と同一である。30

## 【0203】

本実施の形態は実施の形態1乃至5のいずれか一と自由に組み合わせることができる。

## 【0204】

（実施の形態7）

本実施の形態では、保持容量の構成について、実施の形態2と異なる例を図9（A）及び図9（B）に示す。図9（A）は、図3（A）と保持容量の構成が異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。なお、図9（A）では画素部の薄膜トランジスタ220と保持容量の断面構造を示す。

## 【0205】

図9（A）は、誘電体を保護絶縁層203、及び平坦化絶縁層204とし、画素電極層227と、該画素電極層227と重なる容量配線層250とで保持容量を形成する例である。容量配線層250は、画素部の薄膜トランジスタ220のソース電極層と同じ透光性を有する材料、及び同じ工程で形成されるため、薄膜トランジスタ220のソース配線層と重ならないようにレイアウトされる。40

## 【0206】

図9（A）に示す保持容量は、一对の電極及び誘電体が透光性を有しており、保持容量全体として透光性を有する。

## 【0207】

また、図9（B）は、図9（A）と異なる保持容量の構成の例である。図9（B）も、図3（A）と保持容量の構成が異なる点以外は同じであるため、同じ箇所には同じ符号を用50

い、同じ箇所の詳細な説明は省略する。

【0208】

図9(B)は、誘電体をゲート絶縁層202とし、容量配線層230と、該容量配線層230と重なる酸化物半導体層251と容量電極231との積層で保持容量を形成する例である。また、酸化物半導体層251上に容量電極231は接して積層されており、保持容量の一方の電極として機能する。なお、酸化物半導体層251は、薄膜トランジスタ220の酸化物半導体層と同じ透光性を有する材料、同じ工程で形成する。また、容量配線層230は、薄膜トランジスタ220のゲート電極層と同じ透光性を有する材料、同じ工程で形成されるため、薄膜トランジスタ220のゲート配線層と重ならないようにレイアウトされる。また、容量電極231は画素電極層227と電氣的に接続されている。

10

【0209】

図9(B)に示す保持容量も、一对の電極及び誘電体が透光性を有しており、保持容量全体として透光性を有する。

【0210】

図9(A)及び図9(B)に示す保持容量は、透光性を有しており、ゲート配線の本数を増やすなどして表示画像の高精細化を図るため、画素寸法を微細化しても、十分な容量を得ることができ、且つ、高い開口率を実現することができる。

【0211】

本実施の形態は他の実施の形態と自由に組み合わせることができる。

【0212】

20

(実施の形態8)

本実施の形態では、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

【0213】

画素部に配置する薄膜トランジスタは、実施の形態1、2、5、6に従って形成する。また、実施の形態1、2、5、6に示す薄膜トランジスタはnチャネル型TFTであるため、駆動回路のうち、nチャネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

【0214】

アクティブマトリクス型表示装置のブロック図の一例を図14(A)に示す。表示装置の基板5300上には、画素部5301、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304を有する。画素部5301には、複数の信号線が信号線駆動回路5304から延伸して配置され、複数の走査線が第1の走査線駆動回路5302、及び走査線駆動回路5303から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に配置されている。また、表示装置の基板5300はFPC(Flexible Printed Circuit)等の接続部を介して、タイミング制御回路5305(コントローラ、制御ICともいう)に接続されている。

30

【0215】

図14(A)では、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304は、画素部5301と同じ基板5300上に形成される。そのため、外部に設ける駆動回路等の部品数が減るので、コストの低減を図ることができる。また、基板5300外部に駆動回路を設けた場合の配線を延伸させることによる接続部での接続数を減らすことができ、信頼性の向上、又は歩留まりの向上を図ることができる。

40

【0216】

なお、タイミング制御回路5305は、第1の走査線駆動回路5302に対し、一例として、第1の走査線駆動回路用スタート信号(GSP1)、走査線駆動回路用クロック信号(GCK1)を供給する。また、タイミング制御回路5305は、第2の走査線駆動回路5303に対し、一例として、第2の走査線駆動回路用スタート信号(GSP2)(スタートパルスともいう)、走査線駆動回路用クロック信号(GCK2)を供給する。信号線

50

駆動回路 5304 に、信号線駆動回路用スタート信号 (SSP)、信号線駆動回路用クロック信号 (SCK)、ビデオ信号用データ (DATA) (単にビデオ信号ともいう)、ラッチ信号 (LAT) を供給するものとする。なお各クロック信号は、周期のずれた複数のクロック信号でもよいし、クロック信号を反転させた信号 (CKB) とともに供給されるものであってもよい。なお、第 1 の走査線駆動回路 5302 と第 2 の走査線駆動回路 5303 との一方を省略することが可能である。

#### 【0217】

図 14 (B) では、駆動周波数が低い回路 (例えば、第 1 の走査線駆動回路 5302、第 2 の走査線駆動回路 5303) を画素部 5301 と同じ基板 5300 に形成し、信号線駆動回路 5304 を画素部 5301 とは別の基板に形成する構成について示している。当該構成により、単結晶半導体を用いたトランジスタと比較すると電界効果移動度が小さい薄膜トランジスタによって、基板 5300 に形成する駆動回路を構成することができる。したがって、表示装置の大型化、コストの低減、又は歩留まりの向上などを図ることができる。

10

#### 【0218】

また、実施の形態 1、2、5、6 に示す薄膜トランジスタは、 $n$ チャネル型 TFT である。図 15 (A)、図 15 (B) では  $n$ チャネル型 TFT で構成する信号線駆動回路の構成、動作について一例を示し説明する。

#### 【0219】

信号線駆動回路は、シフトレジスタ 5601、及びスイッチング回路 5602 を有する。スイッチング回路 5602 は、スイッチング回路 5602\_\_1 ~ 5602\_\_N ( $N$  は自然数) という複数の回路を有する。スイッチング回路 5602\_\_1 ~ 5602\_\_N は、各々、薄膜トランジスタ 5603\_\_1 ~ 5603\_\_k ( $k$  は自然数) という複数のトランジスタを有する。薄膜トランジスタ 5603\_\_1 ~ 5603\_\_k が、 $N$ チャネル型 TFT である例を説明する。

20

#### 【0220】

信号線駆動回路の接続関係について、スイッチング回路 5602\_\_1 を例にして説明する。薄膜トランジスタ 5603\_\_1 ~ 5603\_\_k の第 1 端子は、各々、配線 5604\_\_1 ~ 5604\_\_k と接続される。薄膜トランジスタ 5603\_\_1 ~ 5603\_\_k の第 2 端子は、各々、信号線  $S_1$  ~  $S_k$  と接続される。薄膜トランジスタ 5603\_\_1 ~ 5603\_\_k のゲートは、配線 5605\_\_1 と接続される。

30

#### 【0221】

シフトレジスタ 5601 は、配線 5605\_\_1 ~ 5605\_\_N に順番に H レベル (H 信号、高電源電位レベル、ともいう) の信号を出力し、スイッチング回路 5602\_\_1 ~ 5602\_\_N を順番に選択する機能を有する。

#### 【0222】

スイッチング回路 5602\_\_1 は、配線 5604\_\_1 ~ 5604\_\_k と信号線  $S_1$  ~  $S_k$  との導通状態 (第 1 端子と第 2 端子との間の導通) に制御する機能、即ち配線 5604\_\_1 ~ 5604\_\_k の電位を信号線  $S_1$  ~  $S_k$  に供給するか否かを制御する機能を有する。このように、スイッチング回路 5602\_\_1 は、セクタとしての機能を有する。また薄膜トランジスタ 5603\_\_1 ~ 5603\_\_k は、各々、配線 5604\_\_1 ~ 5604\_\_k と信号線  $S_1$  ~  $S_k$  との導通状態を制御する機能、即ち配線 5604\_\_1 ~ 5604\_\_k の電位を信号線  $S_1$  ~  $S_k$  に供給する機能を有する。このように、薄膜トランジスタ 5603\_\_1 ~ 5603\_\_k は、各々、スイッチとしての機能を有する。

40

#### 【0223】

なお、配線 5604\_\_1 ~ 5604\_\_k には、各々、ビデオ信号用データ (DATA) が入力される。ビデオ信号用データ (DATA) は、画像情報又は画像信号に応じたアナログ信号である場合が多い。

#### 【0224】

次に、図 15 (A) の信号線駆動回路の動作について、図 15 (B) のタイミングチャー

50



トを参照して説明する。図 15 (B) には、信号  $Sout\_1 \sim Sout\_N$ 、及び信号  $Vdata\_1 \sim Vdata\_k$  の一例を示す。信号  $Sout\_1 \sim Sout\_N$  は、各々、シフトレジスタ 5601 の出力信号の一例であり、信号  $Vdata\_1 \sim Vdata\_k$  は、各々、配線 5604\_1 ~ 5604\_k に入力される信号の一例である。なお、信号線駆動回路の 1 動作期間は、表示装置における 1 ゲート選択期間に対応する。1 ゲート選択期間は、一例として、期間  $T_1 \sim$  期間  $T_N$  に分割される。期間  $T_1 \sim T_N$  は、各々、選択された行に属する画素にビデオ信号用データ (DATA) を書き込むための期間である。

#### 【0225】

なお、本実施の形態の図面等において示す各構成の、信号波形のなまり等は、明瞭化のために誇張して表記している場合がある。よって、必ずしもそのスケールに限定されないものであることを付記する。

#### 【0226】

期間  $T_1 \sim$  期間  $T_N$  において、シフトレジスタ 5601 は、H レベルの信号を配線 5605\_1 ~ 5605\_N に順番に出力する。例えば、期間  $T_1$  において、シフトレジスタ 5601 は、ハイレベルの信号を配線 5605\_1 に出力する。すると、薄膜トランジスタ 5603\_1 ~ 5603\_k はオンになるので、配線 5604\_1 ~ 5604\_k と、信号線  $S_1 \sim S_k$  とが導通状態になる。このとき、配線 5604\_1 ~ 5604\_k には、 $Data(S_1) \sim Data(S_k)$  が入力される。 $Data(S_1) \sim Data(S_k)$  は、各々、薄膜トランジスタ 5603\_1 ~ 5603\_k を介して、選択される行に属する画素のうち、1 列目 ~ k 列目の画素に書き込まれる。こうして、期間  $T_1 \sim T_N$  において、選択された行に属する画素に、k 列ずつ順番にビデオ信号用データ (DATA) が書き込まれる。

#### 【0227】

以上のように、ビデオ信号用データ (DATA) が複数の列ずつ画素に書き込まれることによって、ビデオ信号用データ (DATA) の数、又は配線の数減らすことができる。よって、外部回路との接続数を減らすことができる。また、ビデオ信号が複数の列ずつ画素に書き込まれることによって、書き込み時間を長くすることができ、ビデオ信号の書き込み不足を防止することができる。

#### 【0228】

なお、シフトレジスタ 5601 及びスイッチング回路 5602 としては、実施の形態 1、2、5、6 に示す薄膜トランジスタで構成される回路を用いることが可能である。この場合、シフトレジスタ 5601 が有する全てのトランジスタの極性を N チャンネル型、又は P チャンネル型のいずれかの極性のみで構成することができる。

#### 【0229】

走査線駆動回路及び / または信号線駆動回路の一部に用いるシフトレジスタの一形態について図 16 及び図 17 を用いて説明する。

#### 【0230】

走査線駆動回路は、シフトレジスタを有している。また場合によってはレベルシフタやバッファなどを有していても良い。走査線駆動回路において、シフトレジスタにクロック信号 (CLK) 及びスタートパルス信号 (SP) が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1 ライン分の画素のトランジスタのゲート電極が接続されている。そして、1 ライン分の画素のトランジスタを一斉に ON にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

#### 【0231】

走査線駆動回路、信号線駆動回路のシフトレジスタについて、図 16 及び図 17 を参照して説明する。シフトレジスタは、第 1 のパルス出力回路 10\_1 乃至第 N のパルス出力回路 10\_N (N は 3 以上の自然数) を有している (図 16 (A) 参照)。図 16 (A) に示すシフトレジスタの第 1 のパルス出力回路 10\_1 乃至第 N のパルス出力回路 10\_N

10

20

30

40

50

には、第 1 の配線 1 1 より第 1 のクロック信号 C K 1、第 2 の配線 1 2 より第 2 のクロック信号 C K 2、第 3 の配線 1 3 より第 3 のクロック信号 C K 3、第 4 の配線 1 4 より第 4 のクロック信号 C K 4 が供給される。また第 1 のパルス出力回路 1 0 \_\_ 1 では、第 5 の配線 1 5 からのスタートパルス S P 1 (第 1 のスタートパルス)が入力される。また 2 段目以降の第 n のパルス出力回路 1 0 \_\_ n (n は、2 以上 N 以下の自然数)では、一段前段のパルス出力回路からの信号 (前段信号 O U T ( n - 1 ) という)が入力される。また第 1 のパルス出力回路 1 0 \_\_ 1 では、2 段後段の第 3 のパルス出力回路 1 0 \_\_ 3 からの信号が入力される。同様に、または 2 段目以降の第 n のパルス出力回路 1 0 \_\_ n では、2 段後段の第 ( n + 2 ) のパルス出力回路 1 0 \_\_ ( n + 2 ) からの信号 (後段信号 O U T ( n + 2 ) という)が入力される。従って、また各段のパルス出力回路からは、後段及び / または二つ前段のパルス出力回路に入力するための第 1 の出力信号 ( O U T ( 1 ) ( S R ) ~ O U T ( N ) ( S R ) ) 及び別の回路等に入力される第 2 の出力信号 ( O U T ( 1 ) ~ O U T ( N ) ) が出力される。なお、図 1 6 ( A ) に示すように、シフトレジスタの最終段の 2 つの段には、後段信号 O U T ( n + 2 ) が入力されないため、一例としては、別途第 2 のスタートパルス S P 2、第 3 のスタートパルス S P 3 をそれぞれ入力する構成とすればよい。

10

#### 【 0 2 3 2 】

なお、クロック信号 ( C K ) は、一定の間隔で H レベルと L レベル ( L 信号、低電源電位レベル、ともいう)を繰り返す信号である。ここで、第 1 のクロック信号 ( C K 1 ) ~ 第 4 のクロック信号 ( C K 4 ) は、順に 1 / 4 周期分遅延している。本実施の形態では、第 1 のクロック信号 ( C K 1 ) ~ 第 4 のクロック信号 ( C K 4 ) を利用して、パルス出力回路の駆動の制御等を行う。なお、クロック信号は、入力される駆動回路に応じて、G C K、S C K ということもあるが、ここでは C K として説明を行う

20

#### 【 0 2 3 3 】

第 1 の入力端子 2 1、第 2 の入力端子 2 2 及び第 3 の入力端子 2 3 は、第 1 の配線 1 1 ~ 第 4 の配線 1 4 のいずれかと電氣的に接続されている。例えば、図 1 6 ( A ) において、第 1 のパルス出力回路 1 0 \_\_ 1 は、第 1 の入力端子 2 1 が第 1 の配線 1 1 と電氣的に接続され、第 2 の入力端子 2 2 が第 2 の配線 1 2 と電氣的に接続され、第 3 の入力端子 2 3 が第 3 の配線 1 3 と電氣的に接続されている。また、第 2 のパルス出力回路 1 0 \_\_ 2 は、第 1 の入力端子 2 1 が第 2 の配線 1 2 と電氣的に接続され、第 2 の入力端子 2 2 が第 3 の配線 1 3 と電氣的に接続され、第 3 の入力端子 2 3 が第 4 の配線 1 4 と電氣的に接続されている。

30

#### 【 0 2 3 4 】

第 1 のパルス出力回路 1 0 \_\_ 1 ~ 第 N のパルス出力回路 1 0 \_\_ N の各々は、第 1 の入力端子 2 1、第 2 の入力端子 2 2、第 3 の入力端子 2 3、第 4 の入力端子 2 4、第 5 の入力端子 2 5、第 1 の出力端子 2 6、第 2 の出力端子 2 7 を有しているとする (図 1 6 ( B ) 参照)。第 1 のパルス出力回路 1 0 \_\_ 1 において、第 1 の入力端子 2 1 に第 1 のクロック信号 C K 1 が入力され、第 2 の入力端子 2 2 に第 2 のクロック信号 C K 2 が入力され、第 3 の入力端子 2 3 に第 3 のクロック信号 C K 3 が入力され、第 4 の入力端子 2 4 にスタートパルスが入力され、第 5 の入力端子 2 5 に後段信号 O U T ( 3 ) が入力され、第 1 の出力端子 2 6 より第 1 の出力信号 O U T ( 1 ) ( S R ) が出力され、第 2 の出力端子 2 7 より第 2 の出力信号 O U T ( 1 ) が出力されていることとなる。

40

#### 【 0 2 3 5 】

なお第 1 のパルス出力回路 1 0 \_\_ 1 ~ 第 N のパルス出力回路 1 0 \_\_ N は、3 端子の薄膜トランジスタ ( T F T : T h i n F i l m T r a n s i s t o r とともいう)の他に、上記実施の形態で説明した 4 端子の薄膜トランジスタを用いることができる。図 1 6 ( C ) に上記実施の形態で説明した 4 端子の薄膜トランジスタ 2 8 のシンボルについて示す。図 1 6 ( C ) に示す薄膜トランジスタ 2 8 のシンボルは、上記実施の形態 1、2、5、6 のいずれか一で説明した 4 端子の薄膜トランジスタを意味し、図面等で以下用いることとする。なお、本明細書において、薄膜トランジスタが半導体層を介して二つのゲート電極を

50

有する場合、半導体層より下方のゲート電極を下方のゲート電極、半導体層に対して上方のゲート電極を上方のゲート電極とも呼ぶ。薄膜トランジスタ28は、下方のゲート電極に入力される第1の制御信号G1及び上方のゲート電極に入力される第2の制御信号G2によって、In端子とOut端子間の電氣的な制御を行うことのできる素子である。

#### 【0236】

酸化物半導体を薄膜トランジスタのチャネル形成領域を含む半導体層に用いた場合、製造工程により、しきい値電圧がマイナス側、或いはプラス側にシフトすることがある。そのため、チャネル形成領域を含む半導体層に酸化物半導体を用いた薄膜トランジスタでは、しきい値電圧の制御を行うことのできる構成が好適である。図16(C)に示す4端子の薄膜トランジスタ28のしきい値電圧は、薄膜トランジスタ28のチャネル形成領域の上下にゲート絶縁膜を介してゲート電極を設け、上方及び/または下方のゲート電極の電位を制御することにより所望の値に制御することができる。

10

#### 【0237】

次に、図16(B)に示したパルス出力回路の具体的な回路構成の一例について、図16(D)で説明する。

#### 【0238】

図16(D)に示した第1のパルス出力回路10\_1は、第1のトランジスタ31~第13のトランジスタ43を有している。また、上述した第1の入力端子21~第5の入力端子25、及び第1の出力端子26、第2の出力端子27に加え、第1の高電源電位VDDが供給される電源線51、第2の高電源電位VCCが供給される電源線52、低電源電位VSSが供給される電源線53から、第1のトランジスタ31~第13のトランジスタ43に信号、または電源電位が供給される。ここで図16(D)における各電源線の電源電位の大小関係は、第1の電源電位VDDは第2の電源電位VCC以上の電位とし、第2の電源電位VCCは、第3の電源電位VSSより大きい電位とする。なお、第1のクロック信号(CK1)~第4のクロック信号(CK4)は、一定の間隔でHレベルとLレベルを繰り返す信号であるが、HレベルのときVDD、LレベルのときVSSであるとする。なお電源線51の電位VDDを、電源線52の電位VCCより高くすることにより、動作に影響を与えることなく、トランジスタのゲート電極に印加される電位を低く抑えることができ、トランジスタのしきい値のシフトを低減し、劣化を抑制することができる。なお図16(D)に図示するように、第1のトランジスタ31~第13のトランジスタ43のうち、第1のトランジスタ31、第6のトランジスタ36乃至第9のトランジスタ39には、図16(C)で示した4端子の薄膜トランジスタ28を用いることが好ましい。第1のトランジスタ31、第6のトランジスタ36乃至第9のトランジスタ39の動作は、ソースまたはドレインとなる電極の一方が接続されたノードの電位を、ゲート電極の制御信号によって切り替えることが求められるトランジスタであり、ゲート電極に入力される制御信号に対する応答が速い(オン電流の立ち上がりが急峻)ことでよりパルス出力回路の誤動作を低減することができるトランジスタである。そのため、図16(C)で示した4端子の薄膜トランジスタ28を用いることによりしきい値電圧を制御することができ、誤動作がより低減できるパルス出力回路とすることができる。なお図16(D)では第1の制御信号G1及び第2の制御信号G2が同じ制御信号としたが、異なる制御信号が入力される構成としてもよい。

20

30

40

#### 【0239】

図16(D)において第1のトランジスタ31は、第1端子が電源線51に電氣的に接続され、第2端子が第9のトランジスタ39の第1端子に電氣的に接続され、ゲート電極(下方のゲート電極及び上方のゲート電極)が第4の入力端子24に電氣的に接続されている。第2のトランジスタ32は、第1端子が電源線53に電氣的に接続され、第2端子が第9のトランジスタ39の第1端子に電氣的に接続され、ゲート電極が第4のトランジスタ34のゲート電極に電氣的に接続されている。第3のトランジスタ33は、第1端子が第1の入力端子21に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続されている。第4のトランジスタ34は、第1端子が電源線53に電氣的に接続され、

50

第 2 端子が第 1 の出力端子 2 6 に電氣的に接続されている。第 5 のトランジスタ 3 5 は、第 1 端子が電源線 5 3 に電氣的に接続され、第 2 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続され、ゲート電極が第 4 の入力端子 2 4 に電氣的に接続されている。第 6 のトランジスタ 3 6 は、第 1 端子が電源線 5 2 に電氣的に接続され、第 2 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続され、ゲート電極（下方のゲート電極及び上方のゲート電極）が第 5 の入力端子 2 5 に電氣的に接続されている。第 7 のトランジスタ 3 7 は、第 1 端子が電源線 5 2 に電氣的に接続され、第 2 端子が第 8 のトランジスタ 3 8 の第 2 端子に電氣的に接続され、ゲート電極（下方のゲート電極及び上方のゲート電極）が第 3 の入力端子 2 3 に電氣的に接続されている。第 8 のトランジスタ 3 8 は、第 1 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続され、ゲート電極（下方のゲート電極及び上方のゲート電極）が第 2 の入力端子 2 2 に電氣的に接続されている。第 9 のトランジスタ 3 9 は、第 1 端子が第 1 のトランジスタ 3 1 の第 2 端子及び第 2 のトランジスタ 3 2 の第 2 端子に電氣的に接続され、第 2 端子が第 3 のトランジスタ 3 3 のゲート電極及び第 10 のトランジスタ 4 0 のゲート電極に電氣的に接続され、ゲート電極（下方のゲート電極及び上方のゲート電極）が電源線 5 2 に電氣的に接続されている。第 10 のトランジスタ 4 0 は、第 1 端子が第 1 の入力端子 2 1 に電氣的に接続され、第 2 端子が第 2 の出力端子 2 7 に電氣的に接続され、ゲート電極が第 9 のトランジスタ 3 9 の第 2 端子に電氣的に接続されている。第 11 のトランジスタ 4 1 は、第 1 端子が電源線 5 3 に電氣的に接続され、第 2 端子が第 2 の出力端子 2 7 に電氣的に接続され、ゲート電極が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続されている。第 12 のトランジスタ 4 2 は、第 1 端子が電源線 5 3 に電氣的に接続され、第 2 端子が第 2 の出力端子 2 7 に電氣的に接続され、ゲート電極が第 7 のトランジスタ 3 7 のゲート電極（下方のゲート電極及び上方のゲート電極）に電氣的に接続されている。第 13 のトランジスタ 4 3 は、第 1 端子が電源線 5 3 に電氣的に接続され、第 2 端子が第 1 の出力端子 2 6 に電氣的に接続され、ゲート電極が第 7 のトランジスタ 3 7 のゲート電極（下方のゲート電極及び上方のゲート電極）に電氣的に接続されている。

#### 【0240】

図 16 (D) において、第 3 のトランジスタ 3 3 のゲート電極、第 10 のトランジスタ 4 0 のゲート電極、及び第 9 のトランジスタ 3 9 の第 2 端子の接続箇所をノード A とする。また、第 2 のトランジスタ 3 2 のゲート電極、第 4 のトランジスタ 3 4 のゲート電極、第 5 のトランジスタ 3 5 の第 2 端子、第 6 のトランジスタ 3 6 の第 2 端子、第 8 のトランジスタ 3 8 の第 1 端子、及び第 11 のトランジスタ 4 1 のゲート電極の接続箇所をノード B とする。

#### 【0241】

図 17 (A) に、図 16 (D) で説明したパルス出力回路を第 1 のパルス出力回路 10 \_\_ 1 に適用した場合に、第 1 の入力端子 2 1 乃至第 5 の入力端子 2 5 と第 1 の出力端子 2 6 及び第 2 の出力端子 2 7 に入力または出力される信号を示している。

#### 【0242】

具体的には、第 1 の入力端子 2 1 に第 1 のクロック信号 CK 1 が入力され、第 2 の入力端子 2 2 に第 2 のクロック信号 CK 2 が入力され、第 3 の入力端子 2 3 に第 3 のクロック信号 CK 3 が入力され、第 4 の入力端子 2 4 にスタートパルスが入力され、第 5 の入力端子 2 5 に後段信号 OUT (3) が入力され、第 1 の出力端子 2 6 より第 1 の出力信号 OUT (1) (SR) が出力され、第 2 の出力端子 2 7 より第 2 の出力信号 OUT (1) が出力される。

#### 【0243】

なお、薄膜トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。また、ゲートと重畳した領域にチャネル領域が形成される半導体を有しており、ゲートの電位を制御することでチャネル領域を介してドレインとソース

10

20

30

40

50

の間に流れる電流を制御することが出来る。ここで、ソースとドレインとは、薄膜トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。

#### 【0244】

なお図16(D)、図17(A)において、ノードAを浮遊状態とすることによりブートストラップ動作を行うための、容量素子を別途設けても良い。またノードBの電位を保持するため、一方の電極をノードBに電氣的に接続した容量素子を別途設けてもよい。

#### 【0245】

ここで、図17(A)に示したパルス出力回路を複数具備するシフトレジスタのタイミングチャートについて図17(B)に示す。なおシフトレジスタが走査線駆動回路である場合、図17(B)中の期間61は垂直帰線期間であり、期間62はゲート選択期間に相当する。

#### 【0246】

なお、図17(A)に示すように、ゲートに第2の電源電位VCCが印加される第9のトランジスタ39を設けておくことにより、ブートストラップ動作の前後において、以下のような利点がある。

#### 【0247】

ゲート電極に第2の電位VCCが印加される第9のトランジスタ39がない場合、ブートストラップ動作によりノードAの電位が上昇すると、第1のトランジスタ31の第2端子であるソースの電位が上昇していき、第1の電源電位VDDより大きくなる。そして、第1のトランジスタ31のソースが第1端子側、即ち電源線51側に切り替わる。そのため、第1のトランジスタ31においては、ゲートとソースの間、ゲートとドレインの間ともに、大きなバイアス電圧が印加されるために大きなストレスがかかり、トランジスタの劣化の要因となりうる。そこで、ゲート電極に第2の電源電位VCCが印加される第9のトランジスタ39を設けておくことにより、ブートストラップ動作によりノードAの電位は上昇するものの、第1のトランジスタ31の第2端子の電位の上昇を生じないようにすることができる。つまり、第9のトランジスタ39を設けることにより、第1のトランジスタ31のゲートとソースの間に印加される負のバイアス電圧の値を小さくすることができる。よって、本実施の形態の回路構成とすることにより、第1のトランジスタ31のゲートとソースの間に印加される負のバイアス電圧も小さくできるため、ストレスによる第1のトランジスタ31の劣化を抑制することができる。

#### 【0248】

なお、第9のトランジスタ39を設ける箇所については、第1のトランジスタ31の第2端子と第3のトランジスタ33のゲートとの間に第1端子と第2端子を介して接続されるように設ける構成であればよい。なお、本実施形態でのパルス出力回路を複数具備するシフトレジスタの場合、走査線駆動回路より段数の多い信号線駆動回路では、第9のトランジスタ39を省略してもよく、トランジスタ数を削減することが利点である。

#### 【0249】

なお第1のトランジスタ31乃至第13のトランジスタ43の半導体層として、酸化物半導体を用いることにより、薄膜トランジスタのオフ電流を低減すると共に、オン電流及び電界効果移動度を高めることが出来ると共に、劣化の度合いを低減することが出来るため、回路内の誤動作を低減することができる。また酸化物半導体を用いたトランジスタ、アモルファスシリコンを用いたトランジスタに比べ、ゲート電極に高電位が印加されることによるトランジスタの劣化の程度が小さい。そのため、第2の電源電位VCCを供給する電源線に、第1の電源電位VDDを供給しても同様の動作が得られ、且つ回路間を引き回す電源線の数を低減することができるため、回路の小型化を図ることが出来る。

#### 【0250】

なお、第7のトランジスタ37のゲート電極(下方のゲート電極及び上方のゲート電極)

10

20

30

40

50

に第3の入力端子23によって供給されるクロック信号、第8のトランジスタ38のゲート電極（下方のゲート電極及び上方のゲート電極）に第2の入力端子22によって供給されるクロック信号は、第7のトランジスタ37のゲート電極（下方のゲート電極及び上方のゲート電極）に第2の入力端子22によって供給されるクロック信号、第8のトランジスタ38ゲート電極（下方のゲート電極及び上方のゲート電極）に第3の入力端子23によって供給されるクロック信号となるように、結線関係を入れ替えても同様の作用を奏する。この時、図17（A）に示すシフトレジスタにおいて、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオフ、第8のトランジスタ38がオンの状態、次いで第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じる、ノードBの電位の低下が第7のトランジスタ37のゲート電極の電位の低下、及び第8のトランジスタ38のゲート電極の電位の低下に起因して2回生じることとなる。一方、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオン、第8のトランジスタ38がオフの状態、次いで、第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じるノードBの電位の低下を、第8のトランジスタ38のゲート電極の電位の低下による一回に低減することができる。そのため、第7のトランジスタ37のゲート電極（下方のゲート電極及び上方のゲート電極）に第3の入力端子23からクロック信号が供給され、第8のトランジスタ38のゲート電極（下方のゲート電極及び上方のゲート電極）に第2の入力端子22からクロック信号が供給される結線関係とすることが好適である。なぜなら、ノードBの電位の変動回数が低減され、またノイズを低減することが出来るからである。

10

20

30

40

50

#### 【0251】

このように、第1の出力端子26及び第2の出力端子27の電位をLレベルに保持する期間に、ノードBに定期的にHレベルの信号が供給される構成とすることにより、パルス出力回路の誤動作を抑制することができる。

#### 【0252】

（実施の形態9）

薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置（表示装置ともいう）を作製することができる。また、薄膜トランジスタを駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

#### 【0253】

表示装置は表示素子を含む。表示素子としては液晶素子（液晶表示素子ともいう）、発光素子（発光表示素子ともいう）を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL（Electro Luminescence）素子、有機EL素子等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

#### 【0254】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

#### 【0255】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクタ、例えばFPC（Flexible pr

inted circuit)もしくはTAB(Tape Automated Bonding)テープもしくはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG(Chip On Glass)方式によりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。

#### 【0256】

半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図10を用いて説明する。図10(A1)(A2)は、薄膜トランジスタ4010、4011、及び液晶素子4013を、第1の基板4001と第2の基板4006との間にシール材4005によって封止した、パネルの平面図であり、図10(B)は、図10(A1)(A2)のM-Nにおける断面図に相当する。

10

#### 【0257】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

#### 【0258】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図10(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図10(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

20

#### 【0259】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図10(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4041a、4041b、4042a、4042b、4020、4021が設けられている。

30

#### 【0260】

薄膜トランジスタ4010、4011は、実施の形態1、2、5、6で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタを適用することができる。駆動回路用の薄膜トランジスタ4011としては、実施の形態1、2、5、6で示した薄膜トランジスタ260、270、画素用の薄膜トランジスタ4010としては、薄膜トランジスタ420、448、220、280、290を用いることができる。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

#### 【0261】

絶縁層4021上において、駆動回路用の薄膜トランジスタ4011の酸化物半導体層のチャネル形成領域と重なる位置に導電層4040が設けられている。導電層4040を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後における薄膜トランジスタ4011のしきい値電圧の変化量を低減することができる。また、導電層4040は、電位が薄膜トランジスタ4011のゲート電極層と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層4040の電位がGND、0V、或いはフローティング状態であってもよい。

40

#### 【0262】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向

50

電極層 4031 はそれぞれ配向膜として機能する絶縁層 4032、4033 が設けられ、絶縁層 4032、4033 を介して液晶層 4008 を挟持している。

【0263】

なお、第 1 の基板 4001、第 2 の基板 4006 としては、透光性基板を用いることができ、ガラス、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP (Fiber glass - Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。

【0264】

また 4035 は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層 4030 と対向電極層 4031 との間の距離 (セルギャップ) を制御するために設けられている。なお球状のスペーサを用いていても良い。また、対向電極層 4031 は、薄膜トランジスタ 4010 と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層 4031 と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材 4005 に含有させる。

10

【0265】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために 5 重量 % 以上のカイラル剤を混合させた液晶組成物を用いて液晶層 4008 に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が 1 msec 以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

20

【0266】

なお透過型液晶表示装置の他に、半透過型液晶表示装置でも適用できる。

【0267】

また、液晶表示装置では、基板の外側 (視認側) に偏光板を設け、内側に着色層 (カラーフィルタ)、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、表示部以外にブラックマトリクスとして機能する遮光膜を設けてもよい。

30

【0268】

薄膜トランジスタ 4011 は、チャネル保護層として機能する絶縁層 4041a と、酸化物半導体層の積層の周縁部 (側面を含む) を覆う絶縁層 4041b とが形成されている。同様に薄膜トランジスタ 4010 は、チャネル保護層として機能する絶縁層 4042a と、酸化物半導体層の積層の周縁部 (側面を含む) を覆う絶縁層 4042b とが形成されている。

【0269】

酸化物半導体層の積層の周縁部 (側面を含む) を覆う酸化物絶縁層である絶縁層 4041b、4042b は、ゲート電極層と、その上方または周辺に形成される配線層 (ソース配線層や容量配線層など) との距離を大きくし、寄生容量の低減を図ることができる。絶縁層 4041a、4041b、4042a、4042b は実施の形態 1 で示した酸化物絶縁層 426a、426b と同様な材料及び方法で形成すればよい。また、薄膜トランジスタの表面凹凸を低減するため平坦化絶縁膜として機能する絶縁層 4021 で覆う構成となっている。ここでは、絶縁層 4041a、4041b、4042a、4042b として、実施の形態 1 を用いてスパッタ法により酸化珪素膜を形成する。

40

【0270】

また、絶縁層 4041a、4041b、4042a、4042b 上に絶縁層 4020 が形成されている。絶縁層 4020 は実施の形態 1 で示した保護絶縁層 403 と同様な材料及び方法で形成すればよい。ここでは、絶縁層 4020 として、RF スパッタ法により窒化

50



珪素膜を形成する。

【0271】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、実施の形態1で示した平坦化絶縁層404と同様な材料及び方法で形成すればよく、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

【0272】

本実施の形態では、画素部の複数の薄膜トランジスタをまとめて窒化物絶縁膜で囲む構成としてもよい。絶縁層4020とゲート絶縁層とに窒化物絶縁膜を用いて、図10に示すように少なくともアクティブマトリクス基板の画素部の周縁を囲むように絶縁層4020とゲート絶縁層とが接する領域を設ける構成とすればよい。このような構成により、外部からの水分の侵入を防ぐことができる。また、半導体装置、例えば表示装置としてデバイスが完成した後にも長期的に、外部からの水分の侵入を防ぐことができデバイスの長期信頼性を向上することができる。

【0273】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0274】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

【0275】

画素電極層4030、対向電極層4031は、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0276】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1・cm以下であることが好ましい。

【0277】

導電性高分子としては、いわゆる電子共役系導電性高分子を用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0278】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0279】

接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極層

10

20

30

40

50

及びドレイン電極層と同じ導電膜で形成されている。

【0280】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0281】

また図10においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているがこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0282】

図19は、本明細書に開示する作製方法により作製されるTFT基板2600を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

【0283】

図19は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、着色層2605が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

【0284】

液晶表示モジュールには、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モードなどを用いることができる。

【0285】

以上の工程により、半導体装置として信頼性の高い液晶表示パネルを作製することができる。

【0286】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0287】

(実施の形態10)

半導体装置の一形態として電子ペーパーの例を示す。

【0288】

スイッチング素子と電氣的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置(電気泳動ディスプレイ)も呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【0289】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に

10

20

30

40

50

複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの（無色を含む）とする。

【0290】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。

【0291】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

10

【0292】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態1、2、5、6の薄膜トランジスタによって得られるアクティブマトリクス基板を用いることができる。

【0293】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

20

【0294】

図18は、半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ581としては、実施の形態1で示す薄膜トランジスタと同様に作製でき、酸化物半導体層を含む信頼性の高い薄膜トランジスタである。また、実施の形態2、5、6で示す薄膜トランジスタも本実施の薄膜トランジスタ581として適用することもできる。

【0295】

図18の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせての球形粒子の向きを制御することにより、表示を行う方法である。

30

【0296】

基板580上に形成された薄膜トランジスタ581はボトムゲート構造の薄膜トランジスタであり、半導体層と接する絶縁膜583に覆われている。薄膜トランジスタ581のソース電極層又はドレイン電極層によって第1の電極層587と、絶縁層585に形成する開口で接しており電氣的に接続している。第1の電極層587と基板596上に形成された第2の電極層588との間には、黒色領域590a及び白色領域590bを有し、周りに液体で満たされているキャビティ594を含む球形粒子589が設けられており、球形粒子589の周囲は樹脂等の充填材595で充填されている。第1の電極層587が画素電極に相当し、第2の電極層588が共通電極に相当する。第2の電極層588は、薄膜トランジスタ581と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して第2の電極層588と共通電位線とを電氣的に接続することができる。

40

【0297】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10 $\mu$ m~200 $\mu$ m程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場が与えられると、白

50

い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

#### 【0298】

以上の工程により、半導体装置として信頼性の高い電子ペーパーを作製することができる。

10

#### 【0299】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

#### 【0300】

（実施の形態11）

半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

20

#### 【0301】

有機EL素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

#### 【0302】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー・アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

30

#### 【0303】

図12は、半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

#### 【0304】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層をチャネル形成領域に用いるnチャネル型のトランジスタを1つの画素に2つ用いる例を示す。

40

#### 【0305】

画素6400は、スイッチング用トランジスタ6401、発光素子駆動用トランジスタ6402、発光素子6404及び容量素子6403を有している。スイッチング用トランジスタ6401はゲートが走査線6406に接続され、第1電極（ソース電極及びドレイン電極の一方）が信号線6405に接続され、第2電極（ソース電極及びドレイン電極の他方）が発光素子駆動用トランジスタ6402のゲートに接続されている。発光素子駆動用トランジスタ6402は、ゲートが容量素子6403を介して電源線6407に接続され、第1電極が電源線6407に接続され、第2電極が発光素子6404の第1電極（画素電極）に接続されている。発光素子6404の第2電極は共通電極6408に相当する。

50

共通電極 6408 は、同一基板上に形成される共通電位線と電氣的に接続される。

【0306】

なお、発光素子 6404 の第 2 電極（共通電極 6408）には低電源電位が設定されている。なお、低電源電位とは、電源線 6407 に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えば GND、0V などが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子 6404 に印加して、発光素子 6404 に電流を流して発光素子 6404 を発光させるため、高電源電位と低電源電位との電位差が発光素子 6404 の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

【0307】

なお、容量素子 6403 は発光素子駆動用トランジスタ 6402 のゲート容量を代用して省略することも可能である。発光素子駆動用トランジスタ 6402 のゲート容量については、チャネル領域とゲート電極との間で容量が形成されていてもよい。

【0308】

ここで、電圧入力電圧駆動方式の場合には、発光素子駆動用トランジスタ 6402 のゲートには、発光素子駆動用トランジスタ 6402 が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、発光素子駆動用トランジスタ 6402 は線形領域で動作させる。発光素子駆動用トランジスタ 6402 は線形領域で動作させるため、電源線 6407 の電圧よりも高い電圧を発光素子駆動用トランジスタ 6402 のゲートにかける。なお、信号線 6405 には、（電源線電圧 + 発光素子駆動用トランジスタ 6402 の  $V_{th}$ ）以上の電圧をかける。

【0309】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図 12 と同じ画素構成を用いることができる。

【0310】

アナログ階調駆動を行う場合、発光素子駆動用トランジスタ 6402 のゲートに発光素子 6404 の順方向電圧 + 発光素子駆動用トランジスタ 6402 の  $V_{th}$  以上の電圧をかける。発光素子 6404 の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、発光素子駆動用トランジスタ 6402 が飽和領域で動作するようなビデオ信号を入力することで、発光素子 6404 に電流を流すことができる。発光素子駆動用トランジスタ 6402 を飽和領域で動作させるため、電源線 6407 の電位は、発光素子駆動用トランジスタ 6402 のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子 6404 にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【0311】

なお、図 12 に示す画素構成は、これに限定されない。例えば、図 12 に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

【0312】

次に、発光素子の構成について、図 13 を用いて説明する。ここでは、発光素子駆動用 TFT が n 型の場合を例に挙げて、画素の断面構造について説明する。図 13 (A) (B) (C) の半導体装置に用いられる発光素子駆動用 TFT である TFT 7001、7011、7021 は、実施の形態 1 で示す画素に配置される薄膜トランジスタと同様に作製でき、酸化物半導体層を含む信頼性の高い薄膜トランジスタである。また、実施の形態 2、5、6 で示す画素に配置される薄膜トランジスタを TFT 7001、7011、7021 として適用することもできる。

【0313】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、画素構成はどの射出構造の発

10

20

30

40

50

光素子にも適用することができる。

【0314】

上面射出構造の発光素子について図13(A)を用いて説明する。

【0315】

図13(A)に、発光素子駆動用TFTであるTFT7001がn型で、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図13(A)では、発光素子7002の陰極7003と発光素子駆動用TFTであるTFT7001が電氣的に接続されており、陰極7003上に発光層7004、陽極7005が順に積層されている。陰極7003は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々な材料を用いることができる。例えば、Ca、Al、MgAg、AlLi等が望ましい。そして発光層7004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いても良い。

10

【0316】

また、陰極7003と隣り合う画素の陰極7008の間に、それぞれの端部を覆って隔壁7009を設ける。隔壁7009は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁7009は、特に感光性の樹脂材料を用い、隔壁7009の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7009として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

20

【0317】

陰極7003及び陽極7005で発光層7004を挟んでいる領域が発光素子7002に相当する。図13(A)に示した画素の場合、発光素子7002から発せられる光は、矢印で示すように陽極7005側に射出する。

30

【0318】

次に、下面射出構造の発光素子について図13(B)を用いて説明する。発光素子駆動用TFT7011がn型で、発光素子7012から発せられる光が陰極7013側に射出する場合の、画素の断面図を示す。図13(B)では、発光素子駆動用TFT7011と電氣的に接続された透光性を有する導電膜7017上に、発光素子7012の陰極7013が成膜されており、陰極7013上に発光層7014、陽極7015が順に積層されている。なお、陽極7015が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜7016が成膜されていてもよい。陰極7013は、図13(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミニウム膜を、陰極7013として用いることができる。そして発光層7014は、図13(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7015は光を透過する必要はないが、図13(A)と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜7016は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

40

【0319】

また、導電膜7017と隣り合う画素の導電膜7018の間に、それぞれの端部を覆って隔壁7019を設ける。隔壁7019は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁7019

50

は、特に感光性の樹脂材料を用い、隔壁 7019 の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁 7019 として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0320】

陰極 7013 及び陽極 7015 で、発光層 7014 を挟んでいる領域が発光素子 7012 に相当する。図 13 (B) に示した画素の場合、発光素子 7012 から発せられる光は、矢印で示すように陰極 7013 側に射出する。

【0321】

次に、両面射出構造の発光素子について、図 13 (C) を用いて説明する。図 13 (C) では、発光素子駆動用 TFT 7021 と電氣的に接続された透光性を有する導電膜 7027 上に、発光素子 7022 の陰極 7023 が成膜されており、陰極 7023 上に発光層 7024、陽極 7025 が順に積層されている。陰極 7023 は、図 13 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 20 nm の膜厚を有する Al を、陰極 7023 として用いることができる。そして発光層 7024 は、図 13 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7025 は、図 13 (A) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

10

【0322】

また、導電膜 7027 と隣り合う画素の導電膜 7028 の間に、それぞれの端部を覆って隔壁 7029 を設ける。隔壁 7029 は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁 7029 は、特に感光性の樹脂材料を用い、隔壁 7029 の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁 7029 として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

20

【0323】

陰極 7023 と、発光層 7024 と、陽極 7025 とが重なっている部分が発光素子 7022 に相当する。図 13 (C) に示した画素の場合、発光素子 7022 から発せられる光は、矢印で示すように陽極 7025 側と陰極 7023 側の両方に射出する。

【0324】

なお、ここでは、発光素子として有機 EL 素子について述べたが、発光素子として無機 EL 素子を設けることも可能である。

30

【0325】

なお、発光素子の駆動を制御する薄膜トランジスタ（発光素子駆動用 TFT）と発光素子が電氣的に接続されている例を示したが、発光素子駆動用 TFT と発光素子との間に電流制御用 TFT が接続されている構成であってもよい。

【0326】

なお半導体装置は、図 13 に示した構成に限定されるものではなく、本明細書に開示する技術的思想に基づく各種の変形が可能である。

【0327】

次に、半導体装置の一形態に相当する発光表示パネル（発光パネルともいう）の外観及び断面について、図 11 を用いて説明する。図 11 (A) は、第 1 の基板上に形成された薄膜トランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの平面図であり、図 11 (B) は、図 11 (A) の H - I における断面図に相当する。

40

【0328】

第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503 a、4503 b、及び走査線駆動回路 4504 a、4504 b を囲むようにして、シール材 4505 が設けられている。また画素部 4502、信号線駆動回路 4503 a、4503 b、及び走査線駆動回路 4504 a、4504 b の上に第 2 の基板 4506 が設けられている。よって画素部 4502、信号線駆動回路 4503 a、4503 b、及び走査線駆動回路 45

50

04a、4504bは、第1の基板4501とシール材4505と第2の基板4506とによって、充填材4507と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【0329】

また第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、薄膜トランジスタを複数有しており、図11(B)では、画素部4502に含まれる薄膜トランジスタ4510と、信号線駆動回路4503aに含まれる薄膜トランジスタ4509とを例示している。

【0330】

薄膜トランジスタ4509、4510は、実施の形態1、2、5、6で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタを適用することができる。駆動回路に配置される薄膜トランジスタ4509としては、実施の形態1、2、5、6で示した薄膜トランジスタ260、270、画素に配置される薄膜トランジスタ4510としては、薄膜トランジスタ420、448、220、280、290を用いることができる。本実施の形態において、薄膜トランジスタ4509、4510はnチャネル型薄膜トランジスタである。

【0331】

絶縁層4544上において駆動回路用の薄膜トランジスタ4509の酸化物半導体層のチャネル形成領域と重なる位置に導電層4540が設けられている。導電層4540を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後における薄膜トランジスタ4509のしきい値電圧の変化量を低減することができる。また、導電層4540は、電位が薄膜トランジスタ4509のゲート電極層と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層4540の電位がGND、0V、或いはフローティング状態であってもよい。

【0332】

薄膜トランジスタ4509上には、チャネル保護層として機能する絶縁層4541aと、酸化物半導体層の周縁部（側面を含む）を覆う絶縁層4541bとが形成されている。同様に薄膜トランジスタ4510は、チャネル保護層として機能する絶縁層4542aと、酸化物半導体層の周縁部（側面を含む）を覆う絶縁層4542bとが形成されている。

【0333】

酸化物半導体層の周縁部（側面を含む）を覆う酸化物絶縁層である絶縁層4541b、4542bは、ゲート電極層と、その上方または周辺に形成される配線層（ソース配線層や容量配線層など）との距離を大きくし、寄生容量の低減を図ることができる。絶縁層4541a、4541b、4542a、4542bは実施の形態1で示した酸化物絶縁層426a、426bと同様な材料及び方法で形成すればよい。また、薄膜トランジスタの表面凹凸を低減するため平坦化絶縁膜として機能する絶縁層4543で覆う構成となっている。ここでは、絶縁層4541a、4541b、4542a、4542bとして、実施の形態1を用いてスパッタ法により酸化珪素膜を形成する。

【0334】

また、絶縁層4541a、4541b、4542a、4542b上に絶縁層4543が形成されている。絶縁層4543は実施の形態1で示した保護絶縁層403と同様な材料及び方法で形成すればよい。ここでは、絶縁層4543として、RFスパッタ法により窒化珪素膜を形成する。

【0335】

また、平坦化絶縁膜として絶縁層4544を形成する。絶縁層4544としては、実施の形態1で示した平坦化絶縁層404と同様な材料及び方法で形成すればよい。ここでは、絶縁層4544としてアクリルを用いる。

【0336】

本実施の形態では、画素部の複数の薄膜トランジスタをまとめて窒化物絶縁膜で囲む構成としてもよい。絶縁層4543とゲート絶縁層とに窒化物絶縁膜を用いて、図11に示す

10

20

30

40

50



ように少なくともアクティブマトリクス基板の画素部の周縁を囲むように絶縁層 4 5 4 3 とゲート絶縁層とが接する領域を設ける構成とすればよい。この製造プロセスでは、外部からの水分の侵入を防ぐことができる。また、半導体装置、例えば表示装置としてデバイスが完成した後にも長期的に、外部からの水分の侵入を防ぐことができデバイスの長期信頼性を向上することができる。

【0337】

また 4 5 1 1 は発光素子に相当し、発光素子 4 5 1 1 が有する画素電極である第 1 の電極層 4 5 1 7 は、薄膜トランジスタ 4 5 1 0 のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子 4 5 1 1 の構成は、第 1 の電極層 4 5 1 7、電界発光層 4 5 1 2、第 2 の電極層 4 5 1 3 の積層構造であるが、示した構成に限定されない。発光素子 4 5 1 1 から取り出す光の方向などに合わせて、発光素子 4 5 1 1 の構成は適宜変えることができる。

10

【0338】

隔壁 4 5 2 0 は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第 1 の電極層 4 5 1 7 上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0339】

電界発光層 4 5 1 2 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

20

【0340】

発光素子 4 5 1 1 に酸素、水素、水分、二酸化炭素等が侵入しないように、第 2 の電極層 4 5 1 3 及び隔壁 4 5 2 0 上に保護膜を形成してもよい。保護膜としては、窒化珪素膜、窒化酸化珪素膜、DLC 膜等を形成することができる。

【0341】

また、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、走査線駆動回路 4 5 0 4 a、4 5 0 4 b、または画素部 4 5 0 2 に与えられる各種信号及び電位は、FPC 4 5 1 8 a、4 5 1 8 b から供給されている。

【0342】

接続端子電極 4 5 1 5 が、発光素子 4 5 1 1 が有する第 1 の電極層 4 5 1 7 と同じ導電膜から形成され、端子電極 4 5 1 6 は、薄膜トランジスタ 4 5 0 9、4 5 1 0 が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

30

【0343】

接続端子電極 4 5 1 5 は、FPC 4 5 1 8 a が有する端子と、異方性導電膜 4 5 1 9 を介して電氣的に接続されている。

【0344】

発光素子 4 5 1 1 からの光の取り出し方向に位置する第 2 の基板は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0345】

また、充填材 4 5 0 7 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）または EVA（エチレンビニルアセテート）を用いることができる。例えば充填材として窒素を用いればよい。

40

【0346】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ / 4 板、 / 2 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0347】

50

信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b は、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、図 1 1 の構成に限定されない。

【0348】

以上の工程により、半導体装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。

【0349】

本実施の形態は、実施の形態 1 乃至 4、及び 6 乃至 8 に記載した構成と適宜組み合わせて実施することが可能である。

【0350】

（実施の形態 1 2）

本明細書に開示する半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図 2 0 に示す。

【0351】

図 2 0 は、電子書籍 2 7 0 0 の一例を示している。例えば、電子書籍 2 7 0 0 は、筐体 2 7 0 1 および筐体 2 7 0 3 の 2 つの筐体で構成されている。筐体 2 7 0 1 および筐体 2 7 0 3 は、軸部 2 7 1 1 により一体とされており、該軸部 2 7 1 1 を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0352】

筐体 2 7 0 1 には表示部 2 7 0 5 が組み込まれ、筐体 2 7 0 3 には表示部 2 7 0 7 が組み込まれている。表示部 2 7 0 5 および表示部 2 7 0 7 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図 2 0 では表示部 2 7 0 5）に文章を表示し、左側の表示部（図 2 0 では表示部 2 7 0 7）に画像を表示することができる。

【0353】

また、図 2 0 では、筐体 2 7 0 1 に操作部などを備えた例を示している。例えば、筐体 2 7 0 1 において、電源 2 7 2 1、操作キー 2 7 2 3、スピーカ 2 7 2 5などを備えている。操作キー 2 7 2 3により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2 7 0 0 は、電子辞書としての機能を持たせた構成としてもよい。

【0354】

また、電子書籍 2 7 0 0 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0355】

（実施の形態 1 3）

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

10

20

30

40

50

## 【0356】

図21(A)は、テレビジョン装置9600の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

## 【0357】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。また、リモコン操作機9610に、当該リモコン操作機9610から出力する情報を表示する表示部9607を設ける構成としてもよい。

10

## 【0358】

なお、テレビジョン装置9600は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向(送信者から受信者)または双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。

## 【0359】

図21(B)は、デジタルフォトフレーム9700の一例を示している。例えば、デジタルフォトフレーム9700は、筐体9701に表示部9703が組み込まれている。表示部9703は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

20

## 【0360】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子(USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

## 【0361】

また、デジタルフォトフレーム9700は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

30

## 【0362】

図22(A)は携帯型遊技機であり、筐体9881と筐体9891の2つの筐体で構成されており、連結部9893により、開閉可能に連結されている。筐体9881には表示部9882が組み込まれ、筐体9891には表示部9883が組み込まれている。また、図22(A)に示す携帯型遊技機は、その他、スピーカ部9884、記録媒体挿入部9886、LEDランプ9890、入力手段(操作キー9885、接続端子9887、センサ9888(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)、マイクロフォン9889)等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図22(A)に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図22(A)に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

40

## 【0363】

図22(B)は大型遊技機であるスロットマシン9900の一例を示している。スロットマシン9900は、筐体9901に表示部9903が組み込まれている。また、スロットマシン9900は、その他、スタートレバーやストップスイッチなどの操作手段、コイン

50

投入口、スピーカなどを備えている。もちろん、スロットマシン 9 9 0 0 の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

【 0 3 6 4 】

図 2 3 ( A ) は携帯型のコンピュータの一例を示す斜視図である。

【 0 3 6 5 】

図 2 3 ( A ) の携帯型のコンピュータは、上部筐体 9 3 0 1 と下部筐体 9 3 0 2 とを接続するヒンジユニットを閉状態として表示部 9 3 0 3 を有する上部筐体 9 3 0 1 と、キーボード 9 3 0 4 を有する下部筐体 9 3 0 2 とを重ねた状態とすることができ、持ち運ぶことが便利であるとともに、使用者がキーボード入力する場合には、ヒンジユニットを開状態として、表示部 9 3 0 3 を見て入力操作を行うことができる。

10

【 0 3 6 6 】

また、下部筐体 9 3 0 2 はキーボード 9 3 0 4 の他に入力操作を行うポインティングデバイス 9 3 0 6 を有する。また、表示部 9 3 0 3 をタッチ入力パネルとすれば、表示部の一部に触れることで入力操作を行うこともできる。また、下部筐体 9 3 0 2 は C P U やハードディスク等の演算機能部を有している。また、下部筐体 9 3 0 2 は他の機器、例えば U S B の通信規格に準拠した通信ケーブルが差し込まれる外部接続ポート 9 3 0 5 を有している。

【 0 3 6 7 】

上部筐体 9 3 0 1 には更に上部筐体 9 3 0 1 内部にスライドさせて収納可能な表示部 9 3 0 7 を有しており、広い表示画面を実現することができる。また、収納可能な表示部 9 3 0 7 の画面の向きを使用者は調節できる。また、収納可能な表示部 9 3 0 7 をタッチ入力パネルとすれば、収納可能な表示部の一部に触れることで入力操作を行うこともできる。

20

【 0 3 6 8 】

表示部 9 3 0 3 または収納可能な表示部 9 3 0 7 は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。

【 0 3 6 9 】

また、図 2 3 ( A ) の携帯型のコンピュータは、受信機などを備えた構成として、テレビ放送を受信して映像を表示部に表示することができる。また、上部筐体 9 3 0 1 と下部筐体 9 3 0 2 とを接続するヒンジユニットを閉状態としたまま、表示部 9 3 0 7 をスライドさせて画面全面を露出させ、画面角度を調節して使用者がテレビ放送を見ることが出来る。この場合には、ヒンジユニットを開状態として表示部 9 3 0 3 を表示させず、さらにテレビ放送を表示するだけの回路の起動のみを行うため、最小限の消費電力とすることができ、バッテリー容量の限られている携帯型のコンピュータにおいて有用である。

30

【 0 3 7 0 】

また、図 2 3 ( B ) は、腕時計のように使用者の腕に装着可能な形態を有している携帯電話の一例を示す斜視図である。

【 0 3 7 1 】

この携帯電話は、少なくとも電話機能を有する通信装置及びバッテリーを有する本体、本体を腕に装着するためのバンド部 9 2 0 4、腕に対するバンド部の固定状態を調節する調節部 9 2 0 5、表示部 9 2 0 1、スピーカ 9 2 0 7、及びマイク 9 2 0 8 から構成されている。

40

【 0 3 7 2 】

また、本体は、操作スイッチ 9 2 0 3 を有し、電源入力スイッチや、表示切り替えスイッチや、撮像開始指示スイッチの他、例えばボタンを押すとインターネット用のプログラムが起動されるなど、各ファンクションに対応づけることができる。

【 0 3 7 3 】

この携帯電話の入力操作は、表示部 9 2 0 1 に指や入力ペンなどで触れること、又は操作スイッチ 9 2 0 3 の操作、またはマイク 9 2 0 8 への音声入力により行われる。なお、図 2 3 ( B ) では、表示部 9 2 0 1 に表示された表示ボタン 9 2 0 2 を図示しており、指な

50

どで触れることにより入力を行うことができる。

【0374】

また、本体は、撮影レンズを通して結像される被写体像を電子画像信号に変換する撮像手段を有するカメラ部9206を有する。なお、特にカメラ部は設けなくともよい。

【0375】

また、図23(B)に示す携帯電話は、テレビ放送の受信機などを備えた構成として、テレビ放送を受信して映像を表示部9201に表示することができ、さらにメモリーなどの記憶装置などを備えた構成として、テレビ放送をメモリーに録画できる。また、図23(B)に示す携帯電話は、GPSなどの位置情報を収集できる機能を有していてもよい。

【0376】

表示部9201は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。図23(B)に示す携帯電話は、小型、且つ、軽量であるため、バッテリー容量の限られており、表示部9201に用いる表示装置は低消費電力で駆動できるパネルを用いることが好ましい。

【0377】

なお、図23(B)では”腕”に装着するタイプの電子機器を図示したが、特に限定されず、携行できる形状を有しているものであればよい。

【0378】

(実施の形態14)

本実施の形態では、半導体装置の一形態として、実施の形態1、2、5、6で示す薄膜トランジスタを有する表示装置の例を図24乃至図357を用いて説明する。本実施の形態は、表示素子として液晶素子を用いた液晶表示装置の例を図24乃至図35を用いて説明する。図24乃至図37の液晶表示装置に用いられるTFT628、629は、実施の形態1、2、5、6で示す薄膜トランジスタを適用することができ、実施の形態1、2、5、6で示す工程で同様に作製できる電気特性及び信頼性の高い薄膜トランジスタである。TFT628はチャネル保護層608を、TFT629はチャネル保護層611をそれぞれ有し、半導体膜をチャネル形成領域とする逆スタガ薄膜トランジスタである。

【0379】

はじめにVA(Vertical Alignment)型の液晶表示装置について示す。VA型とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。本実施の形態では、特に画素(ピクセル)をいくつかの領域(サブピクセル)に分け、それぞれ別の方向に分子を倒すよう工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン設計が考慮された液晶表示装置について説明する。

【0380】

図25及び図26は、それぞれ画素電極及び対向電極を示している。なお、図25は画素電極が形成される基板側の平面図であり、図中に示す切断線E-Fに対応する断面構造を図24に表している。また、図26は対向電極が形成される基板側の平面図である。以下の説明ではこれらの図を参照して説明する。

【0381】

図24は、TFT628とそれに接続する画素電極層624、及び保持容量部630が形成された基板600と、対向電極層640等が形成される対向基板601とが重ね合わせられ、液晶が注入された状態を示している。

【0382】

対向基板601には、着色膜636、対向電極層640が形成され、対向電極層640上に突起644が形成されている。この構造により、液晶の配向を制御するための突起644とスペーサの高さを異ならせている。画素電極層624上には配向膜648が形成され、同様に対向電極層640及び突起644上にも配向膜646が形成されている。基板600と対向基板601の間に液晶層650が形成されている

10

20

30

40

50

## 【0383】

スペーサ柱状スペーサを形成してもビーズスペーサを散布してもよい。スペーサが透光性の場合、基板600上に形成される画素電極層624上に形成してもよい。

## 【0384】

基板600上には、TFT628とそれに接続する画素電極層624、及び保持容量部630が形成される。画素電極層624は、TFT628、配線616、及び保持容量部630を覆う絶縁膜620、絶縁膜620を覆う第3絶縁膜622をそれぞれ貫通するコンタクトホール623で、配線618と接続する。TFT628は実施の形態1、2、5、6で示す薄膜トランジスタを適宜用いることができる。また、保持容量部630は、TFT628のゲート配線602と同時に形成した第1の容量配線604と、ゲート絶縁膜606と、配線616、618と同時に形成した第2の容量配線617で構成される。

10

## 【0385】

画素電極層624と液晶層650と対向電極層640が重なり合うことで、液晶素子が形成されている。

## 【0386】

図25に基板600上の平面構造を示す。画素電極層624は実施の形態1で示した材料を用いて形成する。画素電極層624にはスリット625を設ける。スリット625は液晶の配向を制御するためのものである。

## 【0387】

図25に示すTFT629とそれに接続する画素電極層626及び保持容量部631は、それぞれTFT628、画素電極層624及び保持容量部630と同様に形成することができる。TFT628とTFT629は共に配線616と接続している。この液晶表示パネルの画素（ピクセル）は、画素電極層624と画素電極層626により構成されている。画素電極層624と画素電極層626はサブピクセルである。

20

## 【0388】

図26に対向基板側の平面構造を示す。遮光膜632上に対向電極層640が形成されている。対向電極層640は、画素電極層624と同様の材料を用いて形成することが好ましい。対向電極層640上には液晶の配向を制御する突起644が形成されている。なお、図26に基板600上に形成される画素電極層624及び画素電極層626を破線で示し、対向電極層640と、画素電極層624及び画素電極層626が重なり合っ

30

## 【0389】

この画素構造の等価回路を図27に示す。TFT628とTFT629は、共にゲート配線602、配線616と接続している。この場合、容量配線604と容量配線605の電位を異ならせることで、液晶素子651と液晶素子652の動作を異ならせることができる。すなわち、容量配線604と容量配線605の電位を個別に制御することにより液晶の配向を精密に制御して視野角を広げている。

## 【0390】

スリット625を設けた画素電極層624に電圧を印加すると、スリット625の近傍には電界の歪み（斜め電界）が発生する。このスリット625と、対向基板601側の突起644とを交互に咬み合うように配置することで、斜め電界を効果的に発生させて液晶の配向を制御することで、液晶が配向する方向を場所によって異ならせている。すなわち、マルチドメイン化して液晶表示パネルの視野角を広げている。

40

## 【0391】

次に、上記とは異なるVA型の液晶表示装置について、図28乃至図31を用いて説明する。

## 【0392】

図28と図29は、VA型液晶表示パネルの画素構造を示している。図29は基板600の平面図であり、図中に示す切断線Y-Zに対応する断面構造を図28に表している。以下の説明ではこの両図を参照して説明する。

50

## 【0393】

この画素構造は、一つの画素に複数の画素電極が有り、それぞれの画素電極にTFTが接続されている。各TFTは、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン設計された画素において、個々の画素電極に印加する信号を、独立して制御する構成を有している。

## 【0394】

画素電極層624は、絶縁膜620、絶縁膜621及び絶縁膜622をそれぞれ貫通するコンタクトホール623において、配線618でTFT628と接続している。また、画素電極層626は、絶縁膜620、絶縁膜621及び絶縁膜622をそれぞれ貫通するコンタクトホール627において、配線619でTFT629と接続している。TFT628のゲート配線602と、TFT629のゲート配線603には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能する配線616は、TFT628とTFT629で共通に用いられている。TFT628とTFT629は実施の形態1、2、5、6で示す薄膜トランジスタを適宜用いることができる。なお、ゲート配線602、ゲート配線603及び容量配線690上にはゲート絶縁膜606が形成されている。

10

## 【0395】

画素電極層624と画素電極層626の形状は異なっており、スリット625によって分離されている。V字型に広がる画素電極層624の外側を囲むように画素電極層626が形成されている。画素電極層624と画素電極層626に印加する電圧のタイミングを、TFT628及びTFT629により異ならせることで、液晶の配向を制御している。この画素構造の等価回路を図31に示す。TFT628はゲート配線602と接続し、TFT629はゲート配線603と接続している。また、TFT628とTFT629は、共に配線616と接続している。ゲート配線602とゲート配線603に異なるゲート信号を与えることで、TFT628とTFT629の動作タイミングを異ならせることができる。すなわち、TFT628とTFT629の動作を個別に制御することにより、液晶素子651と液晶素子652の液晶の配向を精密に制御して視野角を広げることができる。

20

## 【0396】

対向基板601には、着色膜636、対向電極層640が形成されている。また、着色膜636と対向電極層640の間には平坦化膜637が形成され、液晶の配向乱れを防いでいる。図30に対向基板側の平面構造を示す。対向電極層640は異なる画素間で共通化されている電極であるが、スリット641が形成されている。このスリット641と、画素電極層624及び画素電極層626側のスリット625とを交互に咬み合うように配置することで、斜め電界を効果的に発生させて液晶の配向を制御することができる。これにより、液晶が配向する方向を場所によって異ならせることができ、視野角を広げている。なお、図30に基板600上に形成される画素電極層624及び画素電極層626を破線で示し、対向電極層640と、画素電極層624及び画素電極層626が重なり合って配置されている様子を示している。

30

## 【0397】

画素電極層624及び画素電極層626上には配向膜648が形成され、同様に対向電極層640上にも配向膜646が形成されている。基板600と対向基板601の間に液晶層650が形成されている。また、画素電極層624と液晶層650と対向電極層640が重なり合うことで、第1の液晶素子が形成されている。また、画素電極層626と液晶層650と対向電極層640が重なり合うことで、第2の液晶素子が形成されている。また、図28乃至図31で説明する表示パネルの画素構造は、一画素に第1の液晶素子と第2の液晶素子が設けられたマルチドメイン構造となっている。

40

## 【0398】

次に、横電界方式の液晶表示装置について示す。横電界方式は、セル内の液晶分子に対して水平方向に電界を加えることで液晶を駆動して階調表現する方式である。この方式によれば、視野角を約180度にまで広げることができる。以下の説明では、横電界方式を採

50

用する液晶表示装置について説明する。

【0399】

図32は、電極層607、TFT628、TFT628に接続する画素電極層624が形成された基板600と、対向基板601を重ね合わせ、液晶を注入した状態を示している。対向基板601には、着色膜636、平坦化膜637などが形成されている。なお、対向基板601側に対向電極層は設けられていない。また、基板600と対向基板601の間に配向膜646及び配向膜648を介して液晶層650が形成されている。

【0400】

基板600上には、電極層607及び電極層607に接続する容量配線604、並びにTFT628が形成される。容量配線604はTFT628のゲート配線602と同時に形成することができる。TFT628としては、実施の形態1乃至5で示した薄膜トランジスタを適用することができる。電極層607は、実施の形態1で示す画素電極層427と同様の材料を用いることができる。また、電極層607は略画素の形状に区画化した形状で形成する。なお、電極層607及び容量配線604上にはゲート絶縁膜606が形成される。

10

【0401】

TFT628の配線616、配線618がゲート絶縁膜606上に形成される。配線616は液晶表示パネルにおいてビデオ信号をのせるデータ線であり一方向に伸びる配線であると同時に、TFT628のソース領域又はドレイン領域と接続し、ソース及びドレインの一方の電極となる。配線618はソース及びドレインの他方の電極となり、画素電極層624と接続する配線である。

20

【0402】

配線616、配線618上に第2の絶縁膜620が形成される。また、絶縁膜620上には、絶縁膜620に形成されるコンタクトホール623を介して、配線618に接続する画素電極層624が形成される。画素電極層624は実施の形態1で示した画素電極層と同様の材料を用いて形成する。

【0403】

このようにして、基板600上にTFT628とそれに接続する画素電極層624が形成される。なお、保持容量は電極層607と画素電極層624の間で形成している。

【0404】

図33は、画素電極層の構成を示す平面図である。図33に示す切断線O-Pに対応する断面構造を図32に表している。画素電極層624にはスリット625が設けられる。スリット625は液晶の配向を制御するためのものである。この場合、電界は電極層607と画素電極層624の間で発生する。電極層607と画素電極層624の間にはゲート絶縁膜606が形成されているが、ゲート絶縁膜606の厚さは50~200nmであり、2~10μmである液晶層の厚さと比較して十分薄いので、実質的に基板600と平行な方向(水平方向)に電界が発生する。この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。また、電極層607と画素電極層624は共に透光性の電極であるので、開口率を向上させることができる。

30

40

【0405】

次に、横電界方式の液晶表示装置の他の一例について示す。

【0406】

図34と図35は、IPS型の液晶表示装置の画素構造を示している。図35は平面図であり、図中に示す切断線V-Wに対応する断面構造を図34に表している。以下の説明ではこの両図を参照して説明する。

【0407】

図34は、TFT628とそれに接続する画素電極層624が形成された基板600と、対向基板601を重ね合わせ、液晶を注入した状態を示している。対向基板601には、

50



着色膜 6 3 6、平坦化膜 6 3 7 などが形成されている。なお、対向基板 6 0 1 側に対向電極層は設けられていない。基板 6 0 0 と対向基板 6 0 1 の間に、配向膜 6 4 6 及び配向膜 6 4 8 を介して液晶層 6 5 0 が形成されている。

【0408】

基板 6 0 0 上には、共通電位線 6 0 9、及び T F T 6 2 8 が形成される。共通電位線 6 0 9 は T F T 6 2 8 のゲート配線 6 0 2 と同時に形成することができる。T F T 6 2 8 としては、実施の形態 1、2、5、6 で示した薄膜トランジスタを適用することができる。

【0409】

T F T 6 2 8 の配線 6 1 6、配線 6 1 8 がゲート絶縁膜 6 0 6 上に形成される。配線 6 1 6 は液晶表示パネルにおいてビデオ信号をのせるデータ線であり一方向に伸びる配線であると同時に、T F T 6 2 8 のソース領域又はドレイン領域と接続し、ソース及びドレインの一方の電極となる。配線 6 1 8 はソース及びドレインの他方の電極となり、画素電極層 6 2 4 と接続する配線である。

10

【0410】

配線 6 1 6、配線 6 1 8 上に絶縁膜 6 2 0 が形成される。また、絶縁膜 6 2 0 上には、絶縁膜 6 2 0 に形成されるコンタクトホール 6 2 3 を介して、配線 6 1 8 に接続する画素電極層 6 2 4 が形成される。画素電極層 6 2 4 は実施の形態 1 で示した画素電極層 4 2 7 と同様の材料を用いて形成する。なお、図 3 5 に示すように、画素電極層 6 2 4 は、共通電位線 6 0 9 と同時に形成した櫛形の電極と横電界が発生するように形成される。また、画素電極層 6 2 4 の櫛歯の部分が共通電位線 6 0 9 と同時に形成した櫛形の電極と交互に咬み合うように形成される。

20

【0411】

画素電極層 6 2 4 に印加される電位と共通電位線 6 0 9 の電位との間に電界が生じると、この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。

【0412】

このようにして、基板 6 0 0 上に T F T 6 2 8 とそれに接続する画素電極層 6 2 4 が形成される。保持容量は共通電位線 6 0 9 と容量電極 6 1 5 の間にゲート絶縁膜 6 0 6 を設け、それにより形成している。容量電極 6 1 5 と画素電極層 6 2 4 はコンタクトホール 6 3 3 を介して接続されている。

30

【0413】

以上の工程により、表示装置として液晶表示装置を作製することができる。本実施の形態の液晶表示装置は、開口率が高い液晶表示装置である。

【0414】

(実施の形態 1 5)

本実施の形態では、液晶表示パネルのサイズが 1 0 インチを超え、6 0 インチ、さらには 1 2 0 インチとする場合には透光性を有する配線の配線抵抗が問題となる恐れがあるため、ゲート配線の一部を金属配線として配線抵抗を低減する例を示す。

【0415】

なお、図 3 6 ( A ) は図 3 ( A ) と同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。なお、本実施の形態は実施の形態 1 で示したアクティブマトリクス基板に適用することができる。

40

【0416】

図 3 6 ( A ) ( B ) は、駆動回路の薄膜トランジスタのゲート電極層を金属配線とする例である。駆動回路においては、ゲート電極層は透光性を有する材料に限定されない。なお、金属配線を形成するため、実施の形態 1 及び実施の形態 2 に比べ、フォトリソの数は増える。

【0417】

図 3 6 ( A ) において、駆動回路の薄膜トランジスタ 2 6 0 は第 1 の金属配線層 2 4 2 上

50

に第2の金属配線層241が積層されたゲート電極層とする。なお、第1の金属配線層242は、第1の金属配線層236と同じ材料、同じ工程で形成することができる。また、第2の金属配線層241は、第2の金属配線層237と同じ材料、同じ工程で形成することができる。

【0418】

同様に、図36(B)において、駆動回路の薄膜トランジスタ270は第1の金属配線層244上に第2の金属配線層243が積層されたゲート電極層とする。なお、第1の金属配線層244は、第1の金属配線層236と同じ材料、同じ工程で形成することができる。また、第2の金属配線層243は、第2の金属配線層237と同じ材料、同じ工程で形成することができる。

10

【0419】

また、第1の金属配線層242と導電層267とを電氣的に接続する場合、第1の金属配線層242の酸化を防ぐための第2の金属配線層241が窒化金属膜であることが好ましい。同様に、第1の金属配線層244と導電層277とを電氣的に接続する場合、第1の金属配線層244の酸化を防ぐための第2の金属配線層243が窒化金属膜であることが好ましい。

【0420】

まず、基板200上に脱水化または脱水素化のための第1の加熱処理に耐えることのできる耐熱性導電性材料膜(膜厚100nm以上500nm以下)を形成する。

【0421】

本実施の形態では、膜厚370nmのタンゲステン膜と膜厚50nmの窒化タンタル膜を形成する。ここでは導電膜を窒化タンタル膜とタンゲステン膜との積層としたが、特に限定されず、Ta、W、Ti、Mo、Al、Cuから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物で形成する。耐熱性導電性材料膜は、上述した元素を含む単層に限定されず、二層以上の積層を用いることができる。

20

【0422】

第1のフォトリソグラフィ工程により金属配線を形成し、第1の金属配線層236と第2の金属配線層237、第1の金属配線層242と第2の金属配線層241、第1の金属配線層244と第2の金属配線層243を形成する。タンゲステン膜及び窒化タンタル膜のエッチングにはICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いると良い。ICPエッチング法を用い、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節することによって所望のテーパ形状に膜をエッチングすることができる。第1の金属配線層236と第2の金属配線層237をテーパ形状とすることで上に接して形成する透光性を有する導電膜の成膜不良を低減することができる。

30

【0423】

次いで、透光性を有する導電膜を形成した後、第2のフォトリソグラフィ工程によりゲート配線層238、薄膜トランジスタ220のゲート電極層を形成する。透光性を有する導電膜は、実施の形態1に記載の可視光に対して透光性を有する導電材料を用いる。

40

【0424】

なお、透光性を有する導電膜の材料によっては、例えば、ゲート配線層238が第1の金属配線層236または第2の金属配線層237に接する界面があると、後の熱処理などによって酸化膜が形成され、接触抵抗が高くなる恐れがあるため、第2の金属配線層237は第1の金属配線層236の酸化を防ぐ窒化金属膜を用いることが好ましい。

【0425】

次いで、実施の形態1と同じ工程でゲート絶縁層、酸化物半導体層などを形成する。以降の工程は、実施の形態1に従ってアクティブマトリクス基板を作製する。

【0426】

図36(A)(B)では、第2の金属配線層237の一部と重なるゲート配線層238を

50

示したが、第 1 の金属配線層 2 3 6 及び第 2 の金属配線層 2 3 7 の全部を覆うゲート配線層としてもよい。即ち、第 1 の金属配線層 2 3 6 及び第 2 の金属配線層 2 3 7 は、ゲート配線層 2 3 8 を低抵抗化するための補助配線と呼ぶことができる。

【0427】

また、端子部において、ゲート配線と同電位の第 1 の端子電極は、保護絶縁層 2 0 3 上に形成され、第 2 の金属配線層 2 3 7 と電氣的に接続する。端子部から引き回す配線も金属配線で形成する。

【0428】

また、表示領域でない部分のゲート配線層、容量配線層は、配線抵抗を低抵抗とするため金属配線、即ち、第 1 の金属配線層 2 3 6 及び第 2 の金属配線層 2 3 7 を補助配線として用いることもできる。

10

【0429】

本実施の形態では、金属配線を一部用いて配線抵抗を低減し、液晶表示パネルのサイズが 10 インチを超え、60 インチ、さらには 120 インチとする場合であっても表示画像の高精細化を図り、高い開口率を実現することができる。

【実施例 1】

【0430】

本実施例では、酸素密度の高い領域及び酸素密度の低い領域を有する酸化物半導体層における、加熱処理に伴う酸素の拡散現象について計算した。結果を、図 3 7 及び図 3 8 を用いて説明する。ここでは、計算用のソフトウェアとしては、富士通株式会社製の Materials Explorer 5.0 を用いた。

20

【0431】

図 3 7 に、計算に用いた酸化物半導体層のモデルを示す。ここでは、酸化物半導体層 7 0 1 を、酸素密度の低い層 7 0 3 及び酸素密度の高い層 7 0 5 が積層される構造とした。

【0432】

ここでは、酸素密度の低い層 7 0 3 として、15 個の In 原子、15 個の Ga 原子、15 個の Zn 原子、及び 54 個の O 原子からなるアモルファス構造とした。

【0433】

また、酸素密度の高い層 7 0 5 として、15 個の In 原子、15 個の Ga 原子、15 個の Zn 原子、及び 66 個の O 原子からなるアモルファス構造とした。

30

【0434】

また、酸化物半導体層 7 0 1 の密度を  $5.9 \text{ g/cm}^3$  とした。

【0435】

次に、酸化物半導体層 7 0 1 に対して、NVT アンサンブル、温度 250 の条件で、古典 MD (分子動力学) 計算を行った。時間刻み幅を 0.2 fs とし、総計算時間を 200 ps と設定した。また、ポテンシャルは、金属 - 酸素結合、及び酸素 - 酸素結合に Born-Mayer-Huggins 型を適用した。また、酸化物半導体層 7 0 1 の上端及び下端の原子の動きを固定した。

【0436】

次に、計算結果を図 3 8 に示す。z 軸座標の 0 nm から 1.15 nm が酸素密度の低い層 7 0 3 であり、z 軸座標の 1.15 nm から 2.3 nm が酸素密度の高い層 7 0 5 である。MD 計算前の酸素の密度分布を実線 7 0 7 で示し、MD 計算後の酸素密度の分布を破線 7 0 9 で示す。

40

【0437】

実線 7 0 7 においては、酸素密度の低い層 7 0 3 と酸素密度の高い層 7 0 5 との界面より、酸素密度の高い層 7 0 5 において、酸素の密度が高い。一方、破線 7 0 9 においては、酸素密度の低い層 7 0 3 及び酸素密度の高い層 7 0 5 において、酸素密度が均質であることが分かる。

【0438】

以上のことから、酸素密度の低い層 7 0 3 と酸素密度の高い層 7 0 5 の積層状態のように

50

、酸素密度の分布に偏りが有る場合、加熱処理により酸素密度が高い方から低い方へ拡散し、酸素密度が均質になることが分かる。

【 0 4 3 9 】

即ち、実施の形態 1 及び実施の形態 6 に示すように、酸化物半導体層上に酸化物絶縁層を形成することで、酸化物半導体層及び酸化物絶縁層の界面において酸素密度が高まるため、当該酸素が酸化物半導体層の酸素密度の低い方へ拡散し、酸化物半導体層が高抵抗化する。

【 0 4 4 0 】

本実施例が示すとおり、酸化物半導体層の表面に吸着した酸素は、酸化物半導体層に含まれる金属イオン ( Me ) とイオン結合を生じ、酸素原子の状態で酸化物半導体層内部に拡散する。( 図 3 9 参照。 )。

10

【 符号の説明 】

【 0 4 4 1 】

1 0	パルス出力回路	
1 1	第 1 の配線	
1 2	第 2 の配線	
1 3	第 3 の配線	
1 4	第 4 の配線	
1 5	第 5 の配線	
2 1	第 1 の入力端子	20
2 2	第 2 の入力端子	
2 3	第 3 の入力端子	
2 4	第 4 の入力端子	
2 5	第 5 の入力端子	
2 6	第 1 の出力端子	
2 7	第 2 の出力端子	
2 8	薄膜トランジスタ	
3 1	トランジスタ	
3 2	トランジスタ	
3 3	トランジスタ	30
3 4	トランジスタ	
3 5	トランジスタ	
3 6	トランジスタ	
3 7	トランジスタ	
3 8	トランジスタ	
3 9	トランジスタ	
4 0	トランジスタ	
4 1	トランジスタ	
4 2	トランジスタ	
4 3	トランジスタ	40
5 1	電源線	
5 2	電源線	
5 3	電源線	
6 1	期間	
6 2	期間	
2 0 0	基板	
2 0 2	ゲート絶縁層	
2 0 3	保護絶縁層	
2 0 4	平坦化絶縁層	
2 0 5	共通電位線	50

2 0 6	共通電極層	
2 0 7	酸化物半導体層	
2 0 8	酸化物絶縁層	
2 0 9	共通電位線	
2 1 0	共通電位線	
2 2 0	薄膜トランジスタ	
2 2 1	端子	
2 2 2	端子	
2 2 3	接続電極層	
2 2 5	導電層	10
2 2 6	電極層	
2 2 7	画素電極層	
2 2 8	端子	
2 2 9	端子	
2 3 0	容量配線層	
2 3 1	容量電極	
2 3 6	金属配線層	
2 3 7	金属配線層	
2 3 8	ゲート配線層	
2 4 1	金属配線層	20
2 4 2	金属配線層	
2 4 3	金属配線層	
2 4 4	金属配線層	
2 5 0	容量配線層	
2 5 1	酸化物半導体層	
2 5 4	ソース配線	
2 5 5	端子電極	
2 5 6	ソース配線	
2 5 7	端子電極	
2 6 0	薄膜トランジスタ	30
2 6 1	ゲート電極層	
2 6 3	チャネル形成領域	
2 6 4 a	高抵抗ソース領域	
2 6 4 b	高抵抗ドレイン領域	
2 6 4 c	領域	
2 6 4 d	領域	
2 6 5 a	ソース電極層	
2 6 5 b	ドレイン電極層	
2 6 6 a	酸化物絶縁層	
2 6 6 b	酸化物絶縁層	40
2 6 7	導電層	
2 6 8 a	補助電極層	
2 6 8 b	補助電極層	
2 7 0	薄膜トランジスタ	
2 7 1	ゲート電極層	
2 7 3	チャネル形成領域	
2 7 4 a	高抵抗ソース領域	
2 7 4 b	高抵抗ドレイン領域	
2 7 4 c	領域	
2 7 4 d	領域	50

2 7 4 e	領域	
2 7 4 f	領域	
2 7 5 a	ソース電極層	
2 7 5 b	ドレイン電極層	
2 7 6 a	酸化物絶縁層	
2 7 6 b	酸化物絶縁層	
2 7 7	導電層	
2 8 0	薄膜トランジスタ	
2 8 1	ゲート電極層	
2 8 2 a	ゲート絶縁層	10
2 8 2 b	ゲート絶縁層	
2 8 2 c	ゲート絶縁層	
2 8 3	チャネル形成領域	
2 8 4 a	高抵抗ソース領域	
2 8 4 b	高抵抗ドレイン領域	
2 8 4 c	ソース領域	
2 8 4 d	ドレイン領域	
2 8 5 a	ソース電極層	
2 8 5 b	ドレイン電極層	
2 8 6 a	酸化物絶縁層	20
2 8 6 b	酸化物絶縁層	
2 9 0	薄膜トランジスタ	
2 9 1	ゲート電極層	
2 9 2 a	ゲート絶縁層	
2 9 2 b	ゲート絶縁層	
2 9 3	チャネル形成領域	
2 9 4 a	高抵抗ソース領域	
2 9 4 b	高抵抗ドレイン領域	
2 9 4 c	領域	
2 9 4 d	領域	30
2 9 4 e	領域	
2 9 4 f	領域	
2 9 5 a	ソース電極層	
2 9 5 b	ドレイン電極層	
2 9 6 a	酸化物絶縁層	
2 9 6 b	酸化物絶縁層	
4 0 0	基板	
4 0 2	ゲート絶縁層	
4 0 3	保護絶縁層	
4 0 4	平坦化絶縁層	40
4 2 0	薄膜トランジスタ	
4 2 1 a	ゲート電極層	
4 2 1 b	ゲート電極層	
4 2 2	酸化物半導体層	
4 2 3	チャネル形成領域	
4 2 4 a	高抵抗ソース領域	
4 2 4 b	高抵抗ドレイン領域	
4 2 4 c	領域	
4 2 4 d	領域	
4 2 5 a	ソース電極層	50

4 2 5 b	ドレイン電極層	
4 2 6 a	酸化物絶縁層	
4 2 6 b	酸化物絶縁層	
4 2 7	画素電極層	
4 3 0	酸化物半導体膜	
4 4 1	コンタクトホール	
4 4 2	酸化物半導体層	
4 4 8	薄膜トランジスタ	
5 8 0	基板	
5 8 1	薄膜トランジスタ	10
5 8 3	絶縁膜	
5 8 5	絶縁層	
5 8 7	電極層	
5 8 8	電極層	
5 8 9	球形粒子	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
5 9 4	キャビティ	
5 9 5	充填材	
5 9 6	基板	20
6 0 0	基板	
6 0 1	対向基板	
6 0 2	ゲート配線	
6 0 3	ゲート配線	
6 0 4	容量配線	
6 0 5	容量配線	
6 0 6	ゲート絶縁膜	
6 0 7	電極層	
6 0 8	チャネル保護層	
6 0 9	共通電位線	30
6 1 1	チャネル保護層	
6 1 5	容量電極	
6 1 6	配線	
6 1 7	容量配線	
6 1 8	配線	
6 1 9	配線	
6 2 0	絶縁膜	
6 2 1	絶縁膜	
6 2 2	絶縁膜	
6 2 3	コンタクトホール	40
6 2 4	画素電極層	
6 2 5	スリット	
6 2 6	画素電極層	
6 2 7	コンタクトホール	
6 2 8	T F T	
6 2 9	T F T	
6 3 0	保持容量部	
6 3 1	保持容量部	
6 3 2	遮光膜	
6 3 3	コンタクトホール	50

6 3 6	着色膜	
6 3 7	平坦化膜	
6 4 0	対向電極層	
6 4 1	スリット	
6 4 4	突起	
6 4 6	配向膜	
6 4 8	配向膜	
6 5 0	液晶層	
6 5 1	液層素子	
6 5 2	液晶素子	10
6 9 0	容量配線	
7 0 1	酸化物半導体層	
7 0 3	酸素密度の低い層	
7 0 5	酸素密度の高い層	
7 0 7	実線	
7 0 9	破線	
2 6 0 0	T F T 基板	
2 6 0 1	対向基板	
2 6 0 2	シール材	
2 6 0 3	画素部	20
2 6 0 4	表示素子	
2 6 0 5	着色層	
2 6 0 6	偏光板	
2 6 0 7	偏光板	
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	
2 6 1 1	反射板	
2 6 1 2	回路基板	
2 6 1 3	拡散板	30
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	
4 0 0 1	基板	40
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	50



4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 0 4 0	導電層	
4 0 4 1 a	絶縁層	10
4 0 4 1 b	絶縁層	
4 0 4 2 a	絶縁層	
4 0 4 2 b	絶縁層	
4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	20
4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	電極層	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	電極層	
4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	
4 5 4 0	導電層	
4 5 4 1 a	絶縁層	30
4 5 4 1 b	絶縁層	
4 5 4 2 a	絶縁層	
4 5 4 2 b	絶縁層	
4 5 4 3	絶縁層	
4 5 4 4	絶縁層	
5 3 0 0	基板	
5 3 0 1	画素部	
5 3 0 2	走査線駆動回路	
5 3 0 3	走査線駆動回路	
5 3 0 4	信号線駆動回路	40
5 3 0 5	タイミング制御回路	
5 6 0 1	シフトレジスタ	
5 6 0 2	スイッチング回路	
5 6 0 3	薄膜トランジスタ	
5 6 0 4	配線	
5 6 0 5	配線	
6 4 0 0	画素	
6 4 0 1	スイッチング用トランジスタ	
6 4 0 2	発光素子駆動用トランジスタ	
6 4 0 3	容量素子	50

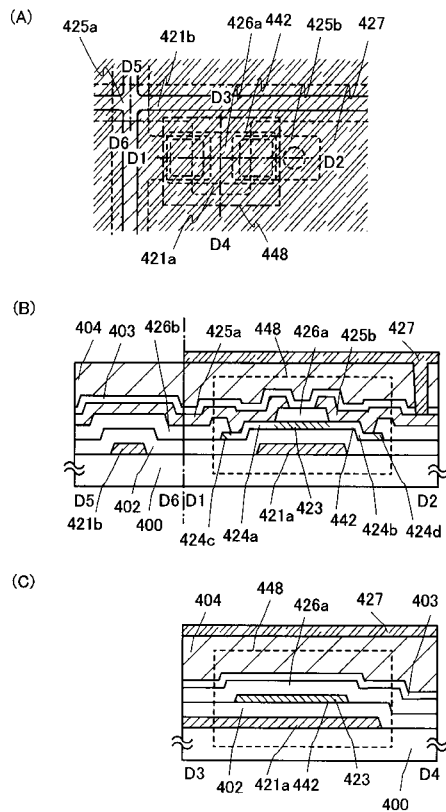
6 4 0 4	発光素子	
6 4 0 5	信号線	
6 4 0 6	走査線	
6 4 0 7	電源線	
6 4 0 8	共通電極	
7 0 0 1	T F T	
7 0 0 2	発光素子	
7 0 0 3	陰極	
7 0 0 4	発光層	
7 0 0 5	陽極	10
7 0 0 8	陰極	
7 0 0 9	隔壁	
7 0 1 1	発光素子駆動用 T F T	
7 0 1 2	発光素子	
7 0 1 3	陰極	
7 0 1 4	発光層	
7 0 1 5	陽極	
7 0 1 6	遮蔽膜	
7 0 1 7	導電膜	
7 0 1 8	導電膜	20
7 0 1 9	隔壁	
7 0 2 1	発光素子駆動用 T F T	
7 0 2 2	発光素子	
7 0 2 3	陰極	
7 0 2 4	発光層	
7 0 2 5	陽極	
7 0 2 7	導電膜	
7 0 2 8	導電膜	
7 0 2 9	隔壁	
9 2 0 1	表示部	30
9 2 0 2	表示ボタン	
9 2 0 3	操作スイッチ	
9 2 0 4	バンド部	
9 2 0 5	調節部	
9 2 0 6	カメラ部	
9 2 0 7	スピーカ	
9 2 0 8	マイク	
9 3 0 1	上部筐体	
9 3 0 2	下部筐体	
9 3 0 3	表示部	40
9 3 0 4	キーボード	
9 3 0 5	外部接続ポート	
9 3 0 6	ポインティングデバイス	
9 3 0 7	表示部	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	
9 6 0 9	操作キー	50

9 6 1 0	リモコン操作機
9 7 0 0	デジタルフォトフレーム
9 7 0 1	筐体
9 7 0 3	表示部
9 8 8 1	筐体
9 8 8 2	表示部
9 8 8 3	表示部
9 8 8 4	スピーカ部
9 8 8 5	入力手段（操作キー）
9 8 8 6	記録媒体挿入部
9 8 8 7	接続端子
9 8 8 8	センサ
9 8 8 9	マイクロフォン
9 8 9 0	L E Dランプ
9 8 9 1	筐体
9 8 9 3	連結部
9 9 0 0	スロットマシン
9 9 0 1	筐体
9 9 0 3	表示部
4 5 0 3 a	信号線駆動回路
4 5 0 4 a	走査線駆動回路
4 5 1 8 a	F P C

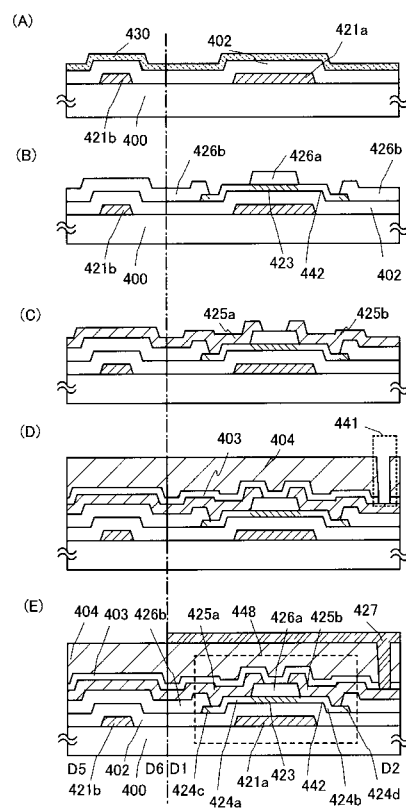
10

20

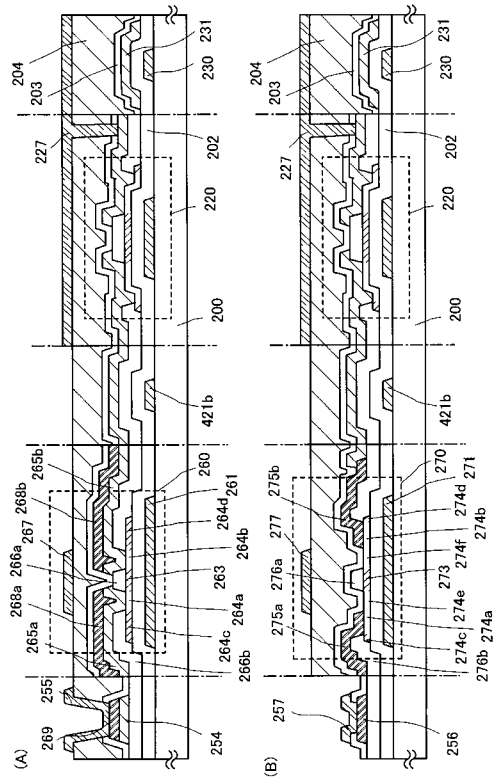
【図 1】



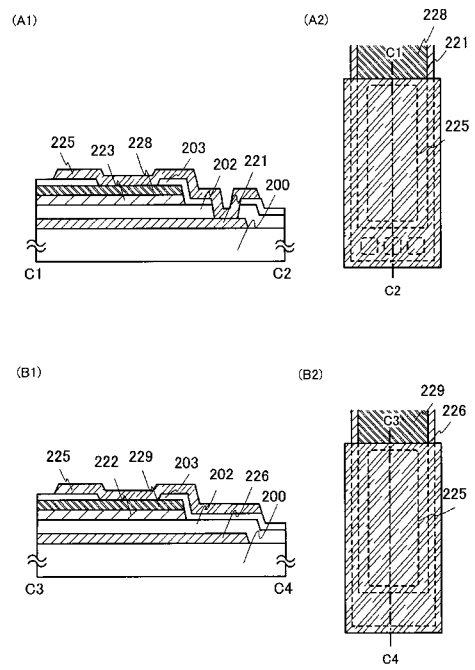
【図 2】



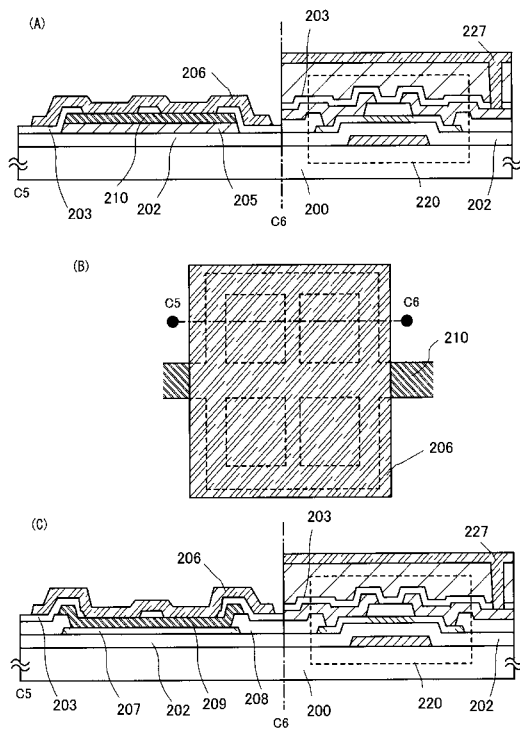
【 図 3 】



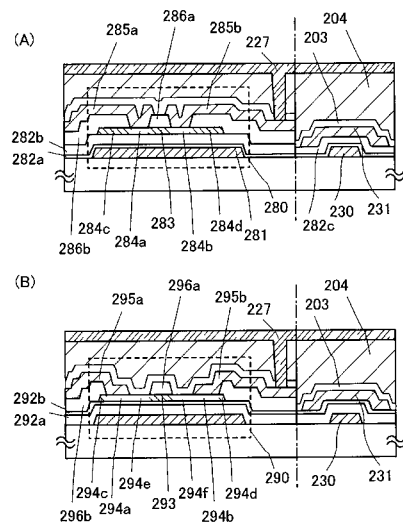
【 図 4 】



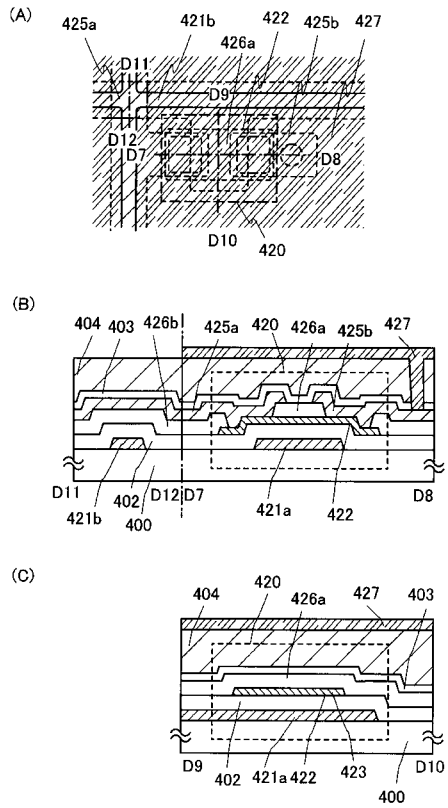
【 図 5 】



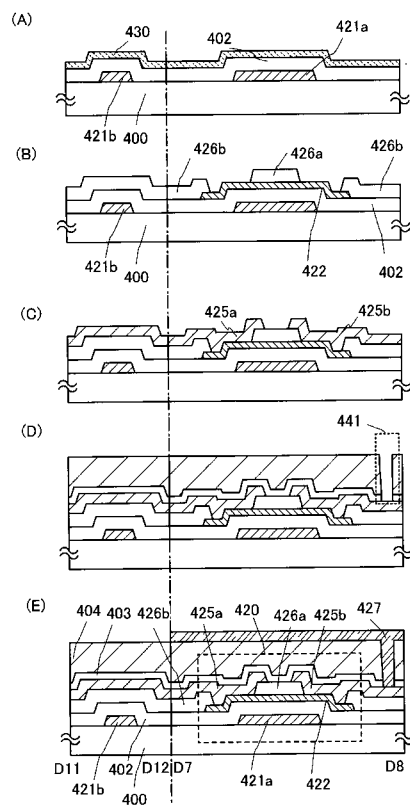
【 図 6 】



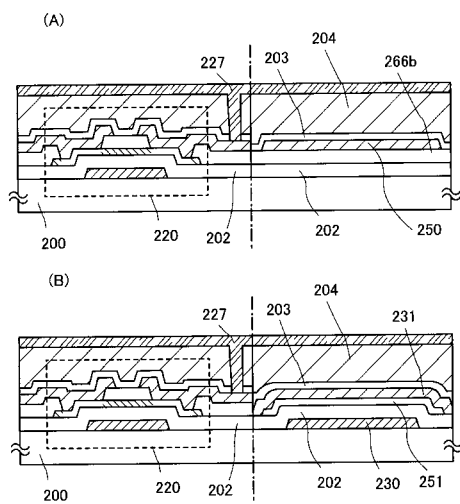
【図 7】



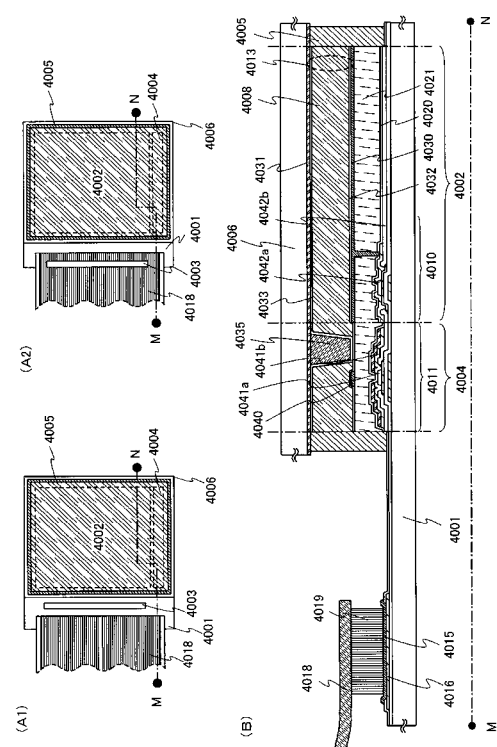
【図 8】



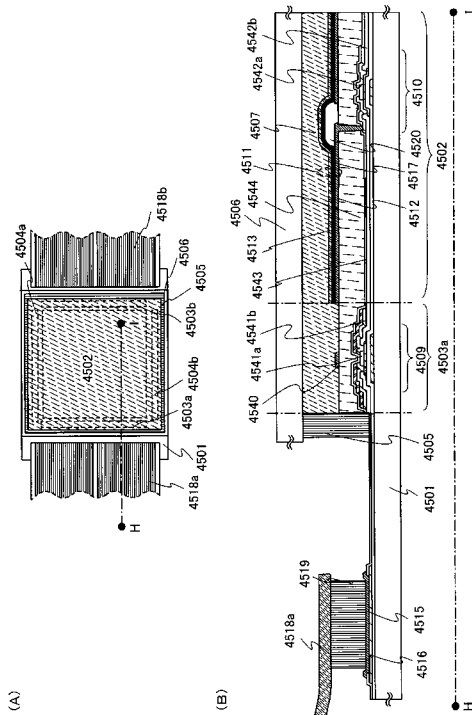
【図 9】



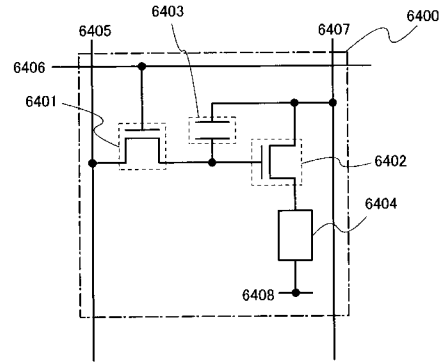
【図 10】



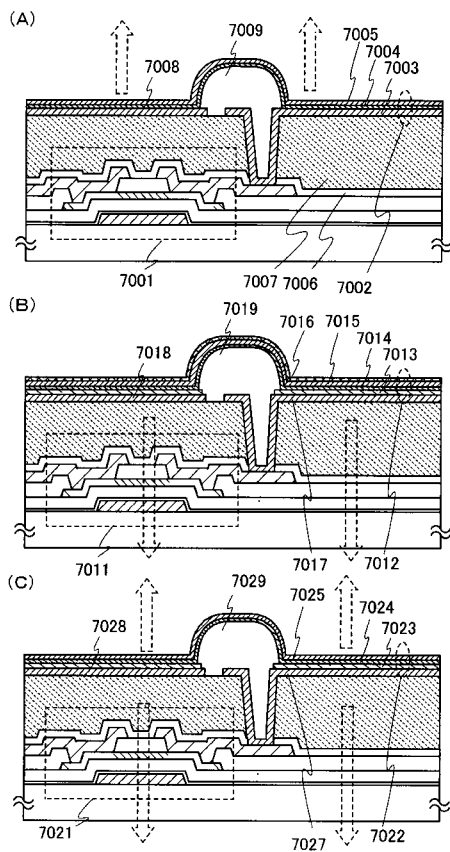
【図 1 1】



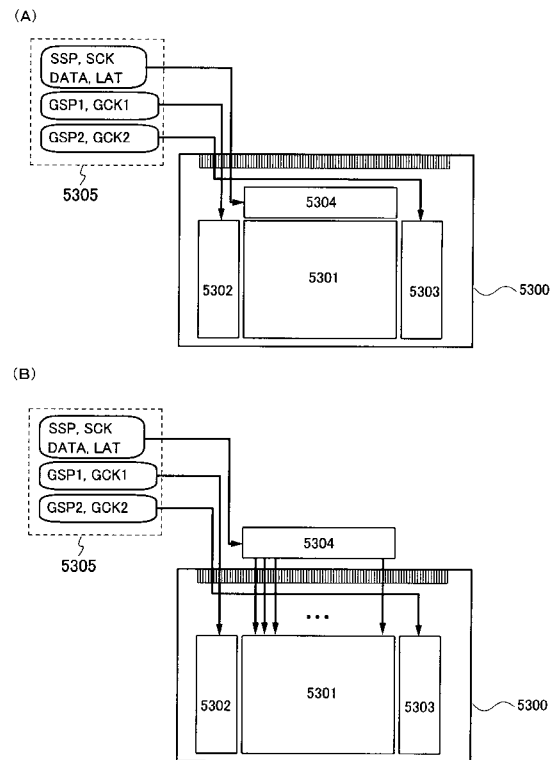
【図 1 2】



【図 1 3】

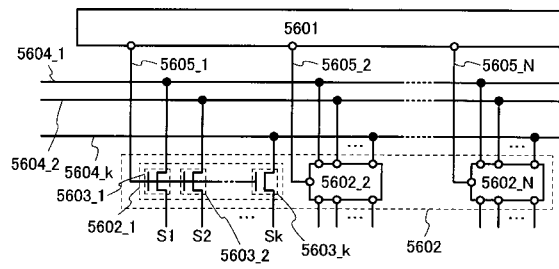


【図 1 4】

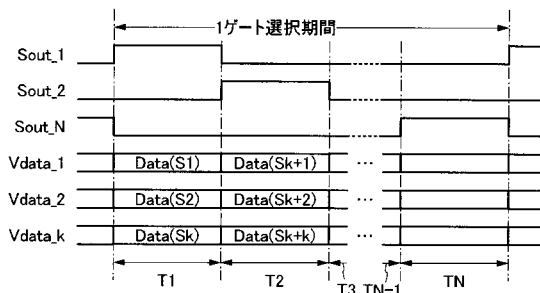


【図 15】

(A)

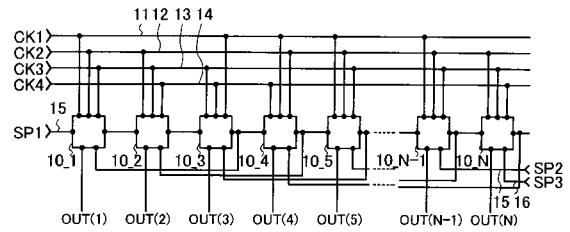


(B)

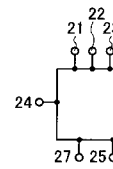


【図 16】

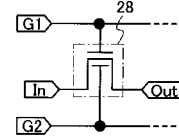
(A)



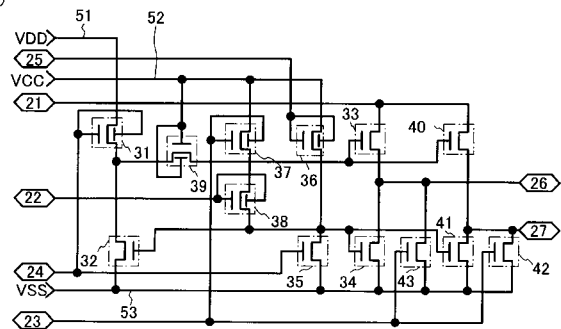
(B)



(C)

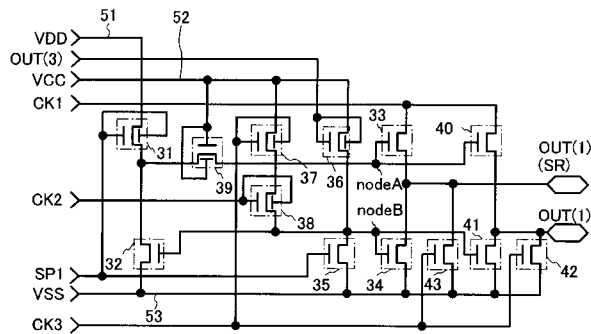


(D)

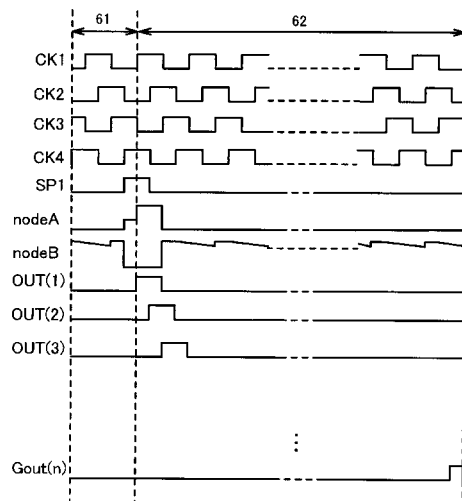


【図 17】

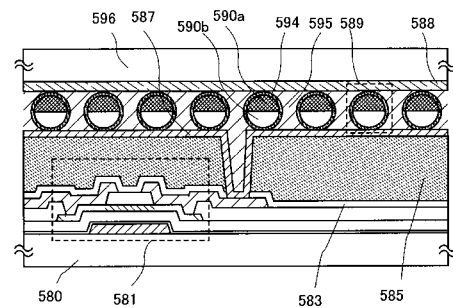
(A)



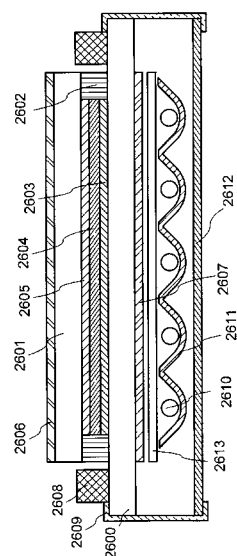
(B)



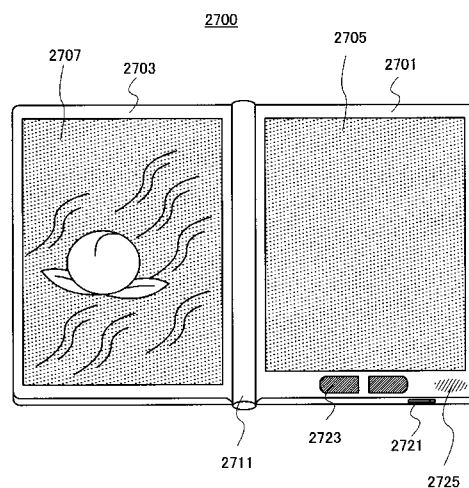
【図 18】



【 図 1 9 】

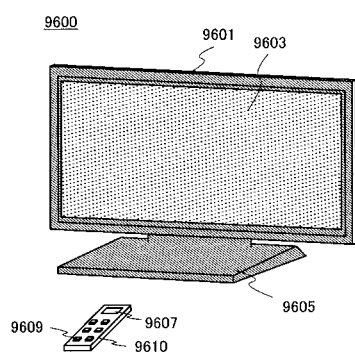


【 図 2 0 】

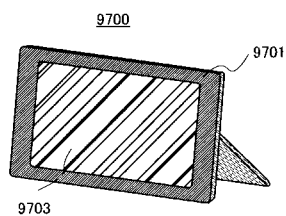


【 図 2 1 】

(A)

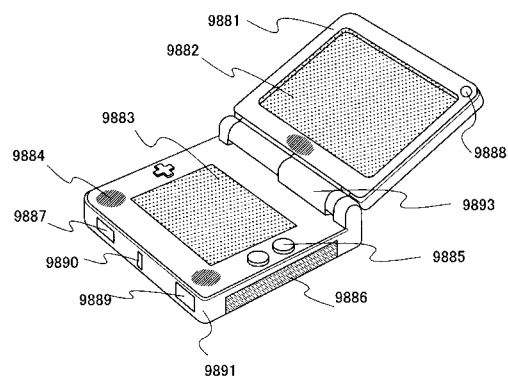


(B)

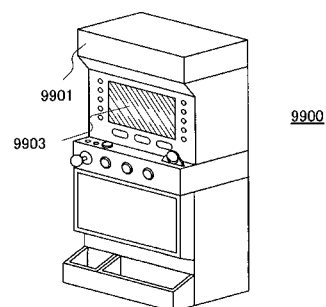


【 図 2 2 】

(A)

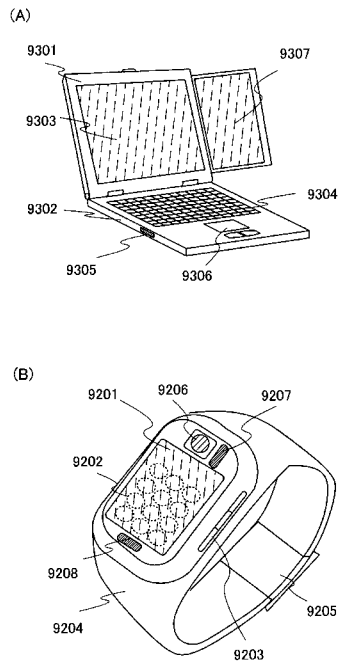


(B)

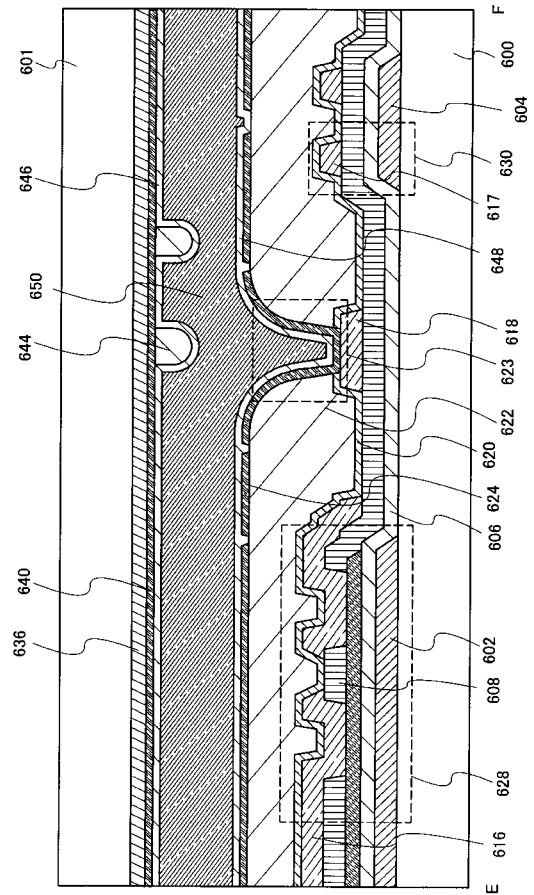




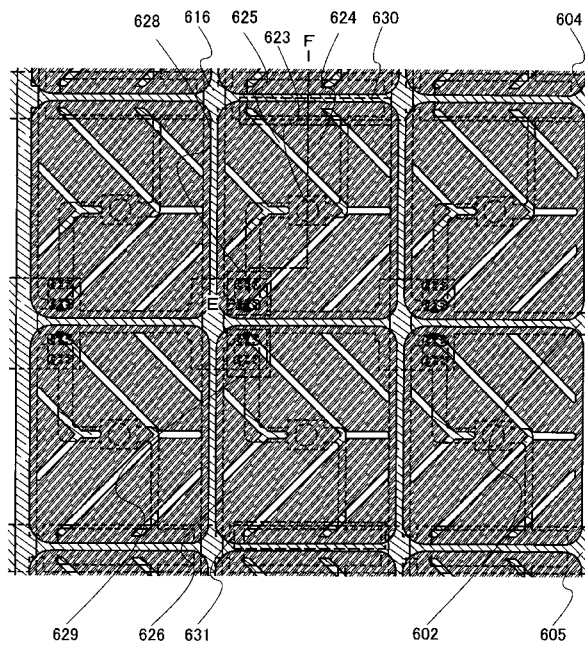
【図 2 3】



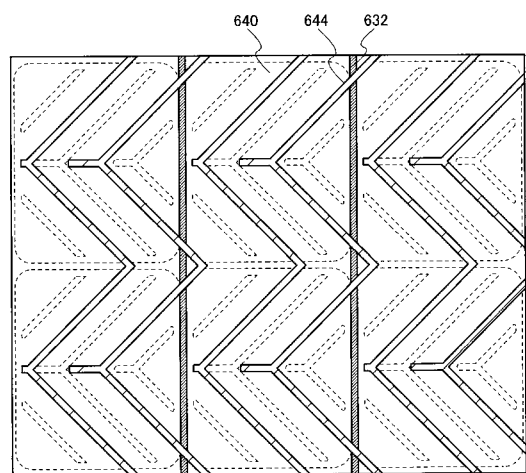
【図 2 4】



【図 2 5】

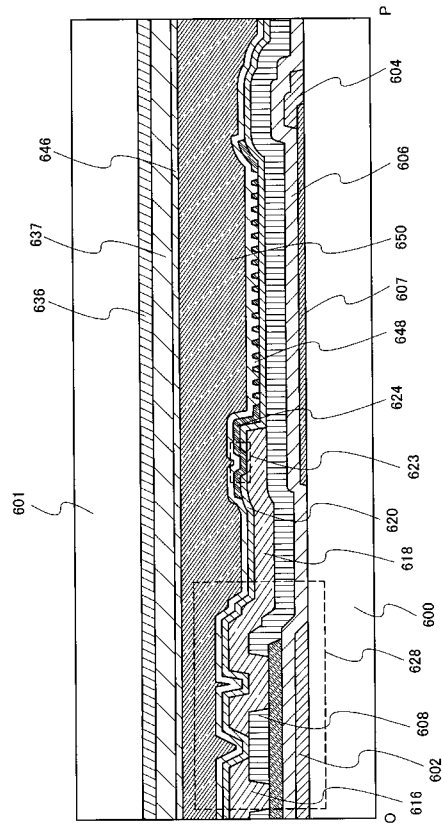


【図 2 6】

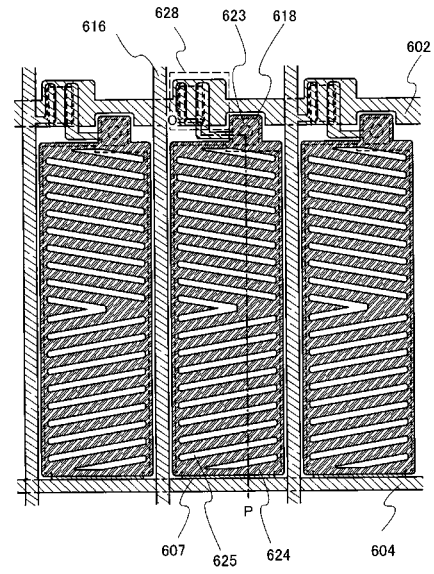




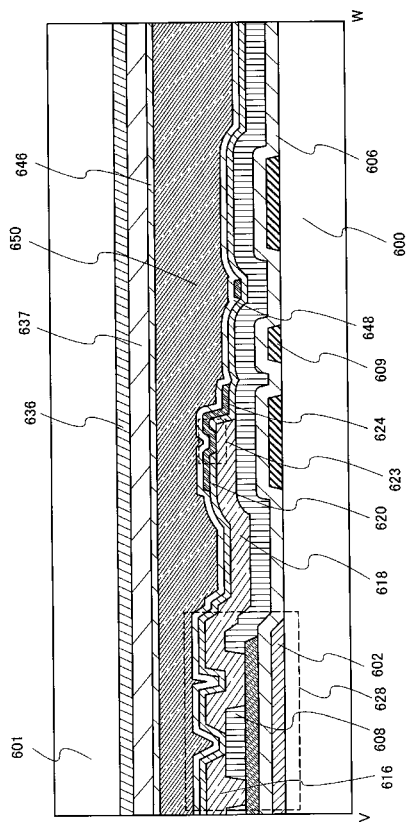
【図 3 2】



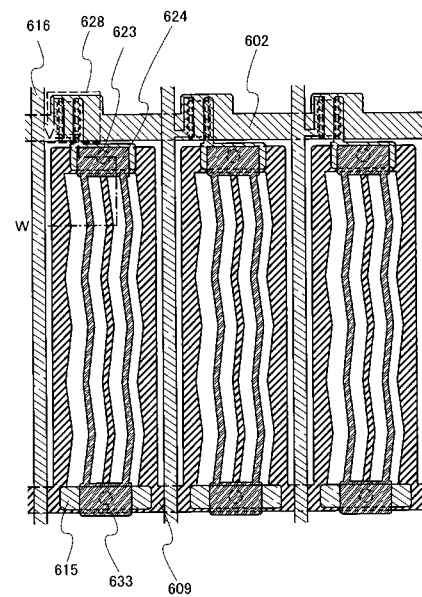
【図 3 3】



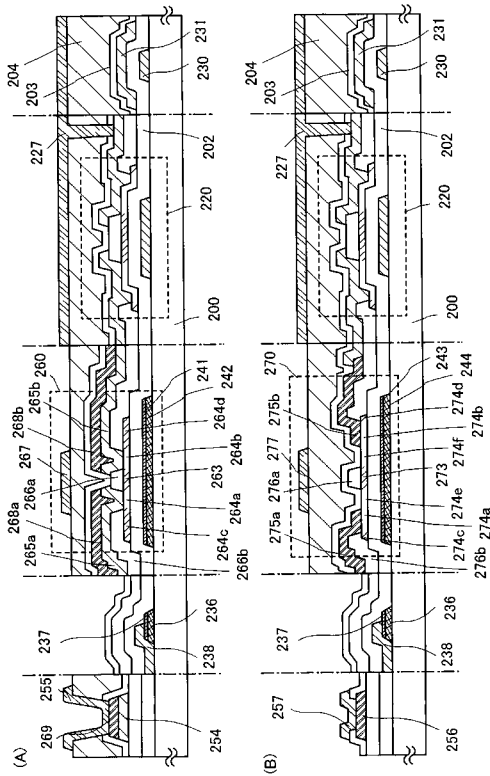
【図 3 4】



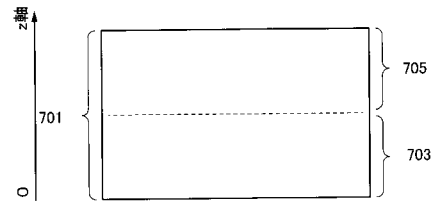
【図 3 5】



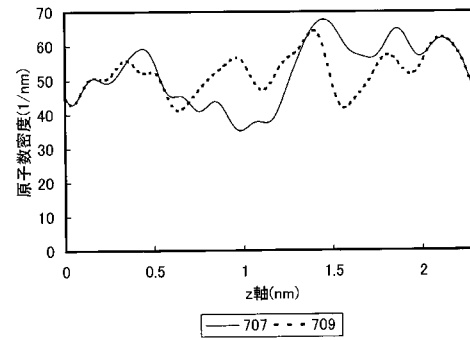
【 図 3 6 】



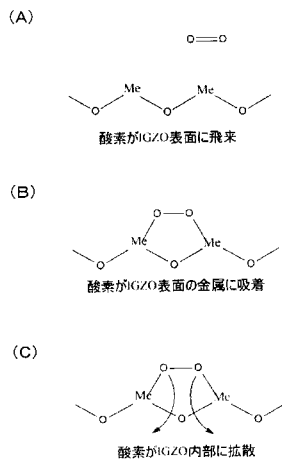
【 図 3 7 】



【 図 3 8 】



【 ㊦ 3 9 】



## フロントページの続き

(51)Int.Cl.	F I			テーマコード(参考)
<b>H 0 1 L 29/417 (2006.01)</b>	H 0 1 L	29/50	M	
<b>H 0 1 L 29/786 (2006.01)</b>	H 0 1 L	29/78	6 1 2 C	
<b>H 0 1 L 21/336 (2006.01)</b>	H 0 1 L	29/78	6 1 7 T	
<b>G 0 2 F 1/1343 (2006.01)</b>	H 0 1 L	29/78	6 1 8 B	
	H 0 1 L	29/78	6 2 7 F	
	H 0 1 L	29/78	6 1 9 A	
	G 0 2 F	1/1343		

## (72)発明者 桑原 秀明

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

F ターム(参考)	2H092	GA14	GA17	GA29	GA59	GA60	HA04	JA26	JA29	JA46	JB05
	JB58	JB69	KA08	NA23							
	2H192	AA24	BA25	BB02	BB13	BB54	BB64	BC31	CB05	CB37	CB71
		CC04	CC22	DA12	DA42	EA22	EA43	EA67	EA74	FA65	FA73
		FB02	FB27	GD14	GD25	HA90	JA13	JA33			
	4M104	AA03	AA09	BB02	BB03	BB04	BB13	BB14	BB16	BB17	BB18
		BB29	BB36	CC01	DD34	DD36	DD37	DD64	DD65	DD72	GG09
		GG14	HH20								
	5F048	AB10	AC01	AC10	BA14	BA16	BB02	BB03	BB09	BB11	BB12
		BB14	BB16	BC18	BD10	BF07	BF16				
	5F110	AA01	AA02	AA05	AA06	BB01	BB02	CC07	DD01	DD02	DD03
		DD04	DD07	DD13	DD14	DD15	DD17	EE01	EE02	EE03	EE04
		EE06	EE07	EE08	EE14	EE23	EE25	EE30	EE38	EE42	EE43
		EE44	FF01	FF02	FF03	FF04	FF09	FF28	FF30	FF36	GG01
		GG13	GG14	GG15	GG24	GG25	GG26	GG28	GG35	GG43	GG58
		HK02	HK03	HK04	HK06	HK07	HK21	HK22	HK32	HK33	HL01
		HL02	HL03	HL04	HL06	HL07	HL08	HL09	HL11	HL12	HL22
		HL23	HM14	HM15	HM18	NN03	NN04	NN12	NN14	NN22	NN23
		NN24	NN25	NN27	NN33	NN34	NN36	NN40	NN72	NN73	NN78
		PP10	PP13	QQ06	QQ19						

专利名称(译)	液晶显示装置的制造方法及液晶显示装置		
公开(公告)号	<a href="#">JP2020057012A</a>	公开(公告)日	2020-04-09
申请号	JP2019227080	申请日	2019-12-17
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 大原宏樹 佐々木俊成 野田耕生 桑原秀明		
发明人	山崎 舜平 大原 宏樹 佐々木 俊成 野田 耕生 桑原 秀明		
IPC分类号	G02F1/1368 H01L21/28 H01L21/8234 H01L27/06 H01L27/088 H01L29/417 H01L29/786 H01L21/336 G02F1/1343		
CPC分类号	H01L27/1225 H01L27/124 H01L27/1248 H01L29/78609 H01L29/7869 H01L27/1214 H01L29/517 H01L29/66742 H01L29/78606 H01L29/78696 G02F1/133345 G02F1/1337 G02F1/134309 G02F1/136227 G02F1/136277 G02F1/1368 H01L29/24		
FI分类号	G02F1/1368 H01L21/28.301.B H01L27/06.102.A H01L27/088.B H01L27/088.C H01L29/50.M H01L29/78.612.C H01L29/78.617.T H01L29/78.618.B H01L29/78.627.F H01L29/78.619.A G02F1/1343		
F-TERM分类号	2H092/GA14 2H092/GA17 2H092/GA29 2H092/GA59 2H092/GA60 2H092/HA04 2H092/JA26 2H092/JA29 2H092/JA46 2H092/JB05 2H092/JB58 2H092/JB69 2H092/KA08 2H092/NA23 2H192/AA24 2H192/BA25 2H192/BB02 2H192/BB13 2H192/BB54 2H192/BB64 2H192/BC31 2H192/CB05 2H192/CB37 2H192/CB71 2H192/CC04 2H192/CC22 2H192/DA12 2H192/DA42 2H192/EA22 2H192/EA43 2H192/EA67 2H192/EA74 2H192/FA65 2H192/FA73 2H192/FB02 2H192/FB27 2H192/GD14 2H192/GD25 2H192/HA90 2H192/JA13 2H192/JA33 4M104/AA03 4M104/AA09 4M104/BB02 4M104/BB03 4M104/BB04 4M104/BB13 4M104/BB14 4M104/BB16 4M104/BB17 4M104/BB18 4M104/BB29 4M104/BB36 4M104/CC01 4M104/DD34 4M104/DD36 4M104/DD37 4M104/DD64 4M104/DD65 4M104/DD72 4M104/GG09 4M104/GG14 4M104/HH20 5F048/AB10 5F048/AC01 5F048/AC10 5F048/BA14 5F048/BA16 5F048/BB02 5F048/BB03 5F048/BB09 5F048/BB11 5F048/BB12 5F048/BB14 5F048/BB16 5F048/BC18 5F048/BD10 5F048/BF07 5F048/BF16 5F110/AA01 5F110/AA02 5F110/AA05 5F110/AA06 5F110/BB01 5F110/BB02 5F110/CC07 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD04 5F110/DD07 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE07 5F110/EE08 5F110/EE14 5F110/EE23 5F110/EE25 5F110/EE30 5F110/EE38 5F110/EE42 5F110/EE43 5F110/EE44 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF28 5F110/FF30 5F110/FF36 5F110/GG01 5F110/GG13 5F110/GG14 5F110/GG15 5F110/GG24 5F110/GG25 5F110/GG26 5F110/GG28 5F110/GG35 5F110/GG43 5F110/GG58 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK07 5F110/HK21 5F110/HK22 5F110/HK32 5F110/HK33 5F110/HL01 5F110/HL02 5F110/HL03 5F110/HL04 5F110/HL06 5F110/HL07 5F110/HL08 5F110/HL09 5F110/HL11 5F110/HL12 5F110/HL22 5F110/HL23 5F110/HM14 5F110/HM15 5F110/HM18 5F110/NN03 5F110/NN04 5F110/NN12 5F110/NN14 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN25 5F110/NN27 5F110/NN33 5F110/NN34 5F110/NN36 5F110/NN40 5F110/NN72 5F110/NN73 5F110/NN78 5F110/PP10 5F110/PP13 5F110/QQ06 5F110/QQ19		

## 摘要(译)

一个目的是提供一种半导体器件，该半导体器件具有可以充分减小布线之间的寄生电容的结构。在与栅电极层重叠的氧化物半导体层的一部分上形成用作沟道保护层的氧化物绝缘层。在与氧化物绝缘层的形成相同的步骤中，形成覆盖氧化物半导体层的外围部分的氧化物绝缘层。设置覆盖氧化物半导体层的外围部分的氧化物绝缘层以增加栅电极层与形成在栅电极层上方或外围的布线层之间的距离，从而减小了寄生电容。

