

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-141995

(P2018-141995A)

(43) 公開日 平成30年9月13日 (2018.9.13)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H189
HO1L 29/786 (2006.01)	HO1L 29/78 618E	2H192
GO2F 1/1339 (2006.01)	HO1L 29/78 618C	5F110
	HO1L 29/78 616U	
審査請求 有 請求項の数 1 O L (全 45 頁) 最終頁に続く		

(21) 出願番号	特願2018-76732 (P2018-76732)	(71) 出願人	000153878
(22) 出願日	平成30年4月12日 (2018.4.12)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2017-170762 (P2017-170762) の分割	(72) 発明者	山崎 舜平
原出願日	平成20年6月27日 (2008.6.27)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2007-179092 (P2007-179092)		半導体エネルギー研究所内
(32) 優先日	平成19年7月6日 (2007.7.6)	(72) 発明者	鈴木 幸恵
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	桑原 秀明
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	木村 肇
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

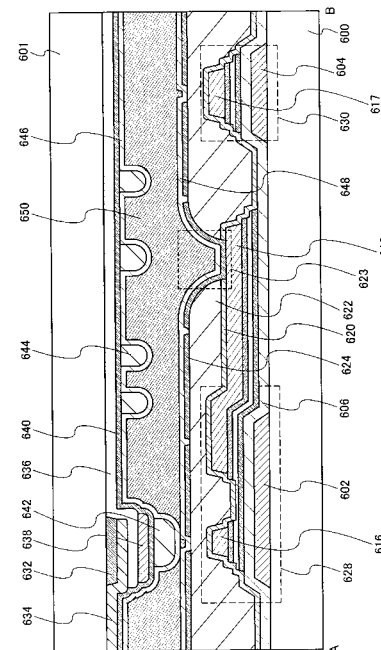
(54) 【発明の名称】 液晶表示装置

(57) 【要約】 (修正有)

【課題】 量産性の高い液晶表示装置を提供する。

【解決手段】 対向基板601と、遮光膜632と、第1のカラーフィルタ634と、第2のカラーフィルタ636と、第3のカラーフィルタ638と、対向電極640と、スペーサ642とを有し、第1のカラーフィルタ634乃至第3のカラーフィルタ638は、互いに重なり、さらにスペーサとなる有機層が重なった液晶表示装置である。

【選択図】 図15



【特許請求の範囲】**【請求項 1】**

トランジスタと、前記トランジスタ上方の液晶とを有し、
前記トランジスタは、
ゲート電極と、
前記ゲート電極上に形成されるゲート絶縁膜と、
前記ゲート絶縁膜上に形成される第 1 の半導体膜と、
前記第 1 の半導体膜上に形成され、且つ凹部を有する第 2 の半導体膜と、
前記第 2 の半導体膜上に形成される第 3 の半導体膜と、
前記第 3 の半導体膜に接するソース電極及びドレイン電極とを有し、
前記第 3 の半導体膜は、ソース領域又はドレイン領域として機能する領域を有し、
前記ソース電極は、前記第 1 の半導体膜の端部及び前記ソース領域の端部にそれぞれ
重ならず、
前記ドレイン電極は、前記第 1 の半導体膜の端部及び前記ドレイン領域の端部にそれ
ぞれ重ならないことを特徴とする液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、少なくとも画素部に薄膜トランジスタを用いた液晶表示装置に関する。

【背景技術】**【0002】**

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数十～数百 nm 程度）をチャネル形成領域に用いて薄膜トランジスタを構成する技術が注目されている。薄膜トランジスタは IC や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0003】

画像表示装置のスイッチング素子として、非晶質半導体膜をチャネル形成領域に用いた薄膜トランジスタ、または多結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタ等が用いられている。多結晶半導体膜の形成方法としては、パルス発振のエキシマレーザービームを光学系により線状に加工して、非晶質珪素膜に対し線状ビームを走査させながら照射して結晶化する技術が知られている。

【0004】

また、画像表示装置のスイッチング素子として、微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタが用いられている（特許文献 1 及び 2）。

【先行技術文献】**【特許文献】****【0005】**

【特許文献 1】特開平 4 - 2 4 2 7 2 4 号公報

【特許文献 2】特開 2 0 0 5 - 4 9 8 3 2 号公報

【発明の概要】**【発明が解決しようとする課題】****【0006】**

多結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタは、非晶質半導体膜をチャネル形成領域に用いた薄膜トランジスタに比べて電界効果移動度が 2 桁以上高く、半導体表示装置の画素部とその周辺の駆動回路を同一基板上に一体形成できるという利点を有している。しかしながら、非晶質半導体膜をチャネル形成領域に用いた場合に比べて、半導体膜の結晶化のために工程が複雑化するため、その分歩留まりが低減し、コストが高まるという問題がある。

【0007】

また、微結晶半導体膜の結晶粒の表面は、酸化されやすいという問題がある。このため、

チャンネル形成領域の結晶粒が酸化されると、結晶粒の表面に酸化膜が形成されてしまい、当該酸化膜がキャリアの移動の障害となり、薄膜トランジスタの電気特性が低下するという問題がある。

【0008】

上述した問題に鑑み、本発明は、電気特性が良好であり、信頼性の高い薄膜トランジスタを有する液晶表示装置及びその液晶表示装置を量産高く作製する方法を提案することを課題とする。

【課題を解決するための手段】

【0009】

逆スタガ型の薄膜トランジスタを有する液晶表示装置において、逆スタガの薄膜トランジスタは、ゲート電極上にゲート絶縁膜が形成され、ゲート絶縁膜上にチャンネル形成領域として機能する微結晶半導体膜（セミアモルファス半導体膜ともいう。）が形成され、微結晶半導体膜上にバッファ層が形成され、バッファ層上に一对のソース領域及びドレイン領域が形成され、ソース領域及びドレイン領域の一部を露出するようにソース領域及びドレイン領域に接する一对のソース電極及びドレイン電極が形成される。このため、ソース領域及びドレイン領域は、ソース電極及びドレイン電極に接する領域と、ソース電極及びドレイン電極に接しない領域とを有する。また、ソース電極及びドレイン電極の外側において、ソース領域及びドレイン領域の一部、並びにバッファ層の一部が露出しており、ソース電極及びドレイン電極は、微結晶半導体膜及びソース領域及びドレイン領域の端部に重ならない。また、ソース電極及びドレイン電極の端部の外側にソース領域及びドレイン領域の端部、並びにバッファ層の端部が形成される。

【0010】

ソース電極及びドレイン電極の端部と、ソース領域及びドレイン領域の端部が一致せず、ソース電極及びドレイン電極の端部の外側にソース領域及びドレイン領域の端部が形成されることにより、ソース電極及びドレイン電極の端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。また、ソース電極及びドレイン電極並びにソース領域及びドレイン領域の端部に電界が集中せず、ゲート電極と、ソース電極及びドレイン電極との間でのリーク電流を防止することができる。

【0011】

また、バッファ層は一部に凹部を有し、当該凹部の側面とソース領域及びドレイン領域の端部とが一致している。バッファ層は一部に凹部を有し、ソース領域及びドレイン領域の間の距離が離れているため、ソース領域及びドレイン領域の間のキャリアが移動する距離が長いため、ソース領域及びドレイン領域の間でのリーク電流を低減することができる。

【0012】

また、微結晶半導体膜とソース領域及びドレイン領域との間に、バッファ層が形成されている。微結晶半導体膜はチャンネル形成領域として機能する。また、バッファ層は、微結晶半導体膜の酸化を防止すると共に、高抵抗領域として機能する。微結晶半導体膜とソース領域及びドレイン領域との間に、高抵抗率の非晶質半導体膜を用いてバッファ層が形成されている。これらのため、本発明の薄膜トランジスタは、電界効果移動度が高く、且つオフの場合（即ち、ゲート電圧を負の電圧とした場合）リーク電流が少なく、ドレイン耐圧が高い。

【0013】

バッファ層としては、非晶質半導体膜があり、更には、窒素、水素、またはハロゲンのいずれか一つ以上を含む非晶質半導体膜であることが好ましい。非晶質半導体膜に、窒素、水素、またはハロゲンのいずれか一つを含むことで、微結晶半導体膜に含まれる結晶粒が酸化されることを低減することが可能である。

【0014】

バッファ層は、プラズマCVD法、スパッタリング法等で形成することができる。また、非晶質半導体膜を形成した後、非晶質半導体膜を窒素プラズマ、水素プラズマ、またはハロゲンプラズマで処理して非晶質半導体膜を窒素化、水素化またはハロゲン化することが

できる。

【0015】

バッファ層を微結晶半導体膜の表面に設けることで、微結晶半導体膜に含まれる結晶粒の酸化を低減することが可能であるため、薄膜トランジスタの電気特性の劣化を低減することができる。

【0016】

微結晶半導体膜は、多結晶半導体膜と異なり、微結晶半導体膜として直接基板上に成膜することができる。具体的には、水素化珪素を原料ガスとし、プラズマCVD装置を用いて成膜することができる。上記方法を用いて作製された微結晶半導体膜は、0.5nm~20nmの結晶粒を非晶質半導体中に含む微結晶半導体膜も含んでいる。よって、多結晶半導体膜を用いる場合と異なり、半導体膜の成膜後に結晶化の工程を設ける必要がない。薄膜トランジスタの作製における工程数を削減することができ、液晶表示装置の歩留まりを高め、コストを抑えることができる。また、周波数が1GHz以上のマイクロ波を用いたプラズマは電子密度が高く、原料ガスである水素化珪素の解離が容易となる。このため、周波数が1GHz以上のマイクロ波を用いたプラズマCVD法を用いることで、周波数が数十MHz~数百MHzのマイクロ波プラズマCVD法と比較して、微結晶半導体膜を容易に作製することが可能であり、成膜速度を高めることが可能である。このため、液晶表示装置の量産性を高めることが可能である。

10

【0017】

また、微結晶半導体膜を用い、薄膜トランジスタ(TFT)を作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて液晶表示装置を作製する。微結晶半導体膜を用いた薄膜トランジスタは、その電界効果移動度が $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{sec}$ と、非晶質半導体膜をチャンネル形成領域に用いた薄膜トランジスタの2~20倍の電界効果移動を有しているので、駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

20

【0018】

また、液晶表示装置は液晶素子を含む。また、液晶表示装置は、液晶素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに本発明は、該液晶表示装置を作製する過程における、液晶素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電圧を液晶素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、液晶素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であっても、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

30

【0019】

なお、本明細書中における液晶表示装置とは、画像表示デバイス、液晶表示デバイス、もしくは光源(照明装置含む)を指す。また、コネクタ、例えばFPC(Flexible printed circuit)もしくはTAB(Tape Automated Bonding)テープもしくはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または液晶素子にCOG(Chip On Glass)方式によりIC(集積回路)が直接実装されたモジュールも全て液晶表示装置に含むものとする。

40

【発明の効果】

【0020】

本発明により、電気特性が良好であり、信頼性の高い薄膜トランジスタを有する液晶表示装置を量産高く作製することができる。

【図面の簡単な説明】

【0021】

【図1】本発明の液晶表示装置の作製方法を説明する断面図である。

【図2】本発明の液晶表示装置の作製方法を説明する断面図である。

【図3】本発明の液晶表示装置の作製方法を説明する断面図である。

50

- 【図 4】本発明の液晶表示装置の作製方法を説明する断面図である。
- 【図 5】本発明の液晶表示装置の作製方法を説明する上面図である。
- 【図 6】本発明の液晶表示装置の作製方法を説明する断面図である。
- 【図 7】本発明の液晶表示装置の作製方法を説明する断面図である。
- 【図 8】本発明の液晶表示装置の作製方法を説明する断面図である。
- 【図 9】本発明の液晶表示装置の作製方法を説明する上面図である。
- 【図 10】本発明のマイクロ波プラズマ CVD 装置を説明する上面図である。
- 【図 11】本発明に適用可能な多階調マスクを説明する断面図である。
- 【図 12】本発明の液晶表示パネルを説明する斜視図である。
- 【図 13】本発明の液晶表示装置を用いた電子機器を説明する斜視図である。 10
- 【図 14】本発明の液晶表示装置を用いた電子機器を説明する図である。
- 【図 15】本発明の液晶表示装置を説明する図である。
- 【図 16】本発明の液晶表示装置を説明する図である。
- 【図 17】本発明の液晶表示装置を説明する図である。
- 【図 18】本発明の液晶表示装置を説明する図である。
- 【図 19】本発明の液晶表示装置を説明する図である。
- 【図 20】本発明の液晶表示装置を説明する図である。
- 【図 21】本発明の液晶表示装置を説明する図である。
- 【図 22】本発明の液晶表示装置を説明する図である。
- 【図 23】本発明の液晶表示装置を説明する図である。 20
- 【図 24】本発明の液晶表示装置を説明する図である。
- 【図 25】本発明の液晶表示装置を説明する図である。
- 【図 26】本発明の液晶表示装置を説明する図である。
- 【図 27】本発明の液晶表示装置を説明する図である。
- 【図 28】本発明の液晶表示装置を説明する図である。
- 【図 29】本発明の液晶表示パネルを説明する上面図及び断面図である。
- 【図 30】本発明の液晶表示装置の構成を説明するブロック図である。
- 【図 31】本発明の液晶表示装置の駆動回路の構成を説明する等価回路図である。
- 【図 32】本発明の液晶表示装置の駆動回路の構成を説明する等価回路図である。
- 【図 33】本発明の液晶表示装置の駆動回路のレイアウトを説明する上面図である。 30
- 【図 34】微結晶半導体膜をラマン分光法で測定した結果を示す図である。
- 【図 35】デバイスシミュレーションに用いたモデル図を示す図である。
- 【図 36】デバイスシミュレーションにより得られた電流電圧特性を示す図である。
- 【図 37】デバイスシミュレーションに得られた薄膜トランジスタの電子濃度分布を示す図である。

【発明を実施するための形態】

【0022】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。 40

【0023】

(実施の形態 1)

本実施の形態では、液晶表示装置に用いられる薄膜トランジスタの作製工程について、図 1 乃至図 12 を用いて説明する。図 1 乃至図 4、図 6 乃至図 8 は、薄膜トランジスタの作製工程を示す断面図であり、図 5、及び図 9 は、一画素における薄膜トランジスタ及び画素電極の接続領域の上面図である。

【0024】

微結晶半導体膜を有する薄膜トランジスタは、p 型よりも n 型の方が、電界効果移動が高いので駆動回路に用いるのにより適している。同一の基板上に形成する薄膜トランジスタ 50

を全て同じ極性にそろえておくことが、工程数を抑えるためにも望ましい。ここでは、 n チャネル型の薄膜トランジスタを用いて説明する。

【0025】

図1(A)に示すように、基板50上にゲート電極51を形成する。基板50は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、若しくはアルミノシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。基板50がマザーガラスの場合、基板の大きさは、第1世代(320mm×400mm)、第2世代(400mm×500mm)、第3世代(550mm×650mm)、第4世代(680mm×880mm、または730mm×920mm)、第5世代(1000mm×1200mmまたは1100mm×1250mm)、第6世代1500mm×1800mm)、第7世代(1900mm×2200mm)、第8世代(2160mm×2460mm)、第9世代(2400mm×2800mm、2450mm×3050mm)、第10世代(2950mm×3400mm)等を用いることができる。

10

【0026】

ゲート電極51は、チタン、モリブデン、クロム、タンタル、タングステン、アルミニウムなどの金属材料またはその合金材料を用いて形成する。ゲート電極51は、スパッタリング法や真空蒸着法で基板50上に導電膜を形成し、当該導電膜上にフォトリソグラフィ技術またはインクジェット法によりマスクを形成し、当該マスクを用いて導電膜をエッチングすることで、形成することができる。なお、ゲート電極51の密着性向上と下地への拡散を防ぐバリアメタルとして、上記金属材料の窒化物膜を、基板50及びゲート電極51の間に設けてもよい。ここでは、第1のフォトマスクを用いて形成したレジストマスクを用いて基板50上に形成された導電膜をエッチングしてゲート電極51を形成する。

20

【0027】

なお、ゲート電極51上には、絶縁膜、半導体膜、配線等を形成するので、段切れ防止のため端部がテーパ状になるように加工することが望ましい。また、図示しないがこの工程でゲート電極に接続する配線も同時に形成することができる。

【0028】

次に、ゲート電極51上に、ゲート絶縁膜52a、52b、微結晶半導体膜53、バッファ層54、一導電型を付与する不純物元素が添加された半導体膜55、導電膜65a~65cを順に形成する。次に、導電膜65c上にレジスト80を塗布する。なお、少なくとも、ゲート絶縁膜52a、52b、微結晶半導体膜53、及びバッファ層54を連続的に形成することが好ましい。さらには、ゲート絶縁膜52a、52b、微結晶半導体膜53、バッファ層54、及び一導電型を付与する不純物元素が添加された半導体膜55を連続的に形成することが好ましい。少なくとも、ゲート絶縁膜52a、52b、微結晶半導体膜53、及びバッファ層54を大気に触れさせることなく連続成膜することで、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

30

【0029】

ゲート絶縁膜52a、52bはそれぞれ、CVD法やスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。ここでは、ゲート絶縁膜52a、52bとして、酸化珪素膜または酸化窒化珪素膜と、窒化珪素膜または窒化酸化珪素膜との順に積層して形成する形態を示す。なお、ゲート絶縁膜を2層とせず、基板側から窒化珪素膜または窒化酸化珪素膜と、酸化珪素膜または酸化窒化珪素膜と、窒化珪素膜または窒化酸化珪素膜との順に3層積層して形成することができる。また、ゲート絶縁膜を、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜の単層で形成することができる。

40

【0030】

ここでは、酸化窒化珪素膜とは、その組成として、窒素よりも酸素の含有量が多いもので

50

あって、ラザフォード後方散乱法 (RBS: Rutherford Backscattering Spectrometry) 及び水素前方散乱法 (HFS: Hydrogen Forward Scattering) を用いて測定した場合に、濃度範囲として酸素が 50 ~ 70 原子%、窒素が 0.5 ~ 15 原子%、珪素が 25 ~ 35 原子%、水素が 0.1 ~ 10 原子% の範囲に含まれるものをいう。また、窒化酸化珪素膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、RBS 及び HFS を用いて測定した場合に、濃度範囲として酸素が 5 ~ 30 原子%、窒素が 20 ~ 55 原子%、珪素が 25 ~ 35 原子%、水素が 10 ~ 30 原子% の範囲に含まれるものをいう。但し、酸化窒化珪素または窒化酸化珪素を構成する原子の合計を 100 原子% としたとき、窒素、酸素、珪素及び水素の含有比率が上記の範囲内に含まれるものとする。

10

【0031】

微結晶半導体膜 53 は、非晶質と結晶構造 (単結晶、多結晶を含む) の中間的な構造の半導体を含む膜である。この半導体は、自由エネルギー的に安定な第 3 の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、粒径が 0.5 ~ 20 nm の柱状または針状結晶が基板表面に対して法線方向に成長している。また、微結晶半導体と非晶質半導体とが混在している。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す 521 cm^{-1} よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す 521 cm^{-1} とアモルファスシリコンを示す 480 cm^{-1} の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手 (ダングリングボンド) を終端するため水素またはハロゲンを少なくとも 1 原子% またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体膜が得られる。このような微結晶半導体膜に関する記述は、例えば、米国特許 4,409,134 号で開示されている。

20

【0032】

この微結晶半導体膜は、周波数が数十 MHz ~ 数百 MHz の高周波プラズマ CVD 法、または周波数が 1 GHz 以上のマイクロ波プラズマ CVD 装置により形成することができる。代表的には、 SiH_4 、 Si_2H_6 などの水素化珪素を水素で希釈して形成することができる。また、水素化珪素及び水素に加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。これらのときの水素化珪素に対して水素の流量比を 50 倍以上 1000 倍以下、好ましくは 50 倍以上 200 倍以下、更に好ましくは 100 倍とする。なお、水素化珪素の代わりに、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いることができる。

30

【0033】

また、微結晶半導体膜は、価電子制御を目的とした不純物元素を意図的に添加しないときに弱い n 型の電気伝導性を示すので、薄膜トランジスタのチャネル形成領域として機能する微結晶半導体膜に対しては、p 型を付与する不純物元素を、成膜と同時に、或いは成膜後に添加することで、しきい値制御をすることが可能となる。p 型を付与する不純物元素としては、代表的には硼素であり、 B_2H_6 、 BF_3 などの不純物気体を 1 ppm ~ 1000 ppm、好ましくは 1 ~ 100 ppm の割合で水素化珪素に混入させると良い。そしてボロンの濃度を、例えば $1 \times 10^{14} \sim 6 \times 10^{16} \text{ atoms/cm}^3$ とすると良い。

40

【0034】

また、微結晶半導体膜の酸素濃度を、 $5 \times 10^{19} \text{ cm}^{-3}$ 以下、 $1 \times 10^{19} \text{ cm}^{-3}$ 以下、窒素及び炭素の濃度それぞれを $3 \times 10^{18} \text{ cm}^{-3}$ 以下とすることが好ましい。酸素、窒素、及び炭素が微結晶半導体膜に混入する濃度を低減することで、微結晶半導体膜が n 型化になることを防止することができる。

【0035】

微結晶半導体膜 53 は、0 nm より厚く 200 nm 以下、好ましくは 1 nm 以上 100

50

nm以下、好ましくは5 nm以上50 nmで形成する。微結晶半導体膜53は後に形成される薄膜トランジスタのチャネル形成領域として機能する。微結晶半導体膜53の厚さを5 nm以上50 nm以下とすることで、後に形成される薄膜トランジスタは、完全空乏型となる。また、微結晶半導体膜53は成膜速度が非晶質半導体膜の成膜速度の $1/10 \sim 1/100$ と遅いため、膜厚を薄くすることでスループットを向上させることができる。微結晶半導体膜は微結晶で構成されているため、非晶質半導体膜と比較して抵抗が低い。このため、微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタは、電流電圧特性を示す曲線の立ち上がり部分の傾きが急峻となり、スイッチング素子としての応答性が優れ、高速動作が可能となる。また、薄膜トランジスタのチャネル形成領域に微結晶半導体膜を用いることで、薄膜トランジスタの閾値の変動を抑制することが可能である。このため、電気特性のばらつきの少ない液晶表示装置を作製することができる。

10

【0036】

また、微結晶半導体膜は非晶質半導体膜と比較して移動度が高い。このため、液晶素子のスイッチングとして、チャネル形成領域が微結晶半導体膜で形成される薄膜トランジスタを用いることで、チャネル形成領域の面積、即ち薄膜トランジスタの面積を縮小することが可能である。このため、一画素あたりに占める薄膜トランジスタの面積が小さくなり、画素の開口率を高めることが可能である。この結果、解像度の高い装置を作製することができる。

【0037】

バッファ層54は、 SiH_4 、 Si_2H_6 などの水素化珪素を用いて、プラズマCVD法により形成することができる。また、上記水素化珪素に、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して非晶質半導体膜を形成することができる。水素化珪素の流量の1倍以上20倍以下、好ましくは1倍以上10倍以下、更に好ましくは1倍以上5倍以下の流量の水素を用いて、水素を含む非晶質半導体膜を形成することができる。また、上記水素化珪素と窒素またはアンモニアとを用いることで、窒素を含む非晶質半導体膜を形成することができる。また、上記水素化珪素と、フッ素、塩素、臭素、またはヨウ素を含む気体(F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等)を用いることで、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体膜を形成することができる。なお、水素化珪素の代わりに、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いることができる。

20

30

【0038】

また、バッファ層54は、ターゲットに非晶質半導体を用いて水素、または希ガスでスパッタリングして非晶質半導体膜を形成することができる。このとき、アンモニア、窒素、または N_2O を雰囲気中に含ませることにより、窒素を含む非晶質半導体膜を形成することができる。また、雰囲気中にフッ素、塩素、臭素、またはヨウ素を含む気体(F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等)に含ませることにより、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体膜を形成することができる。

【0039】

また、バッファ層54として、微結晶半導体膜53の表面にプラズマCVD法またはスパッタリング法により非晶質半導体膜を形成した後、非晶質半導体膜の表面を水素プラズマ、窒素プラズマ、またはハロゲンプラズマで処理して、非晶質半導体膜の表面を水素化、窒素化、またはハロゲン化してもよい。または、非晶質半導体膜の表面を、ヘリウムプラズマ、ネオンプラズマ、アルゴンプラズマ、クリプトンプラズマ等で処理してもよい。

40

【0040】

バッファ層54は、結晶粒を含まない非晶質半導体膜で形成することが好ましい。このため、周波数が数十MHz~数百MHzの高周波プラズマCVD法、またはマイクロ波プラズマCVD法で形成する場合は、結晶粒を含まない非晶質半導体膜となるように、成膜条件を制御することが好ましい。

【0041】

バッファ層54は、後のソース領域及びドレイン領域の形成プロセスにおいて、一部エッ

50

チングされる場合があるが、そのときに、バッファ層 5 4 の一部がエッチング後に残存する厚さで形成することが好ましい。代表的には、150 nm 以上 400 nm 以下の厚さで形成することが好ましい。薄膜トランジスタの印加電圧の高い（例えば 15 V 程度）液晶表示装置において、バッファ層 5 4 の膜厚を上記範囲に示すように厚く形成すると、耐圧が高くなり、薄膜トランジスタに高い電圧が印加されても、薄膜トランジスタが劣化することを回避することができる。

【0042】

なお、バッファ層 5 4 には、リンやボロン等の一導電型を付与する不純物元素が添加されていないことが好ましい。特に、閾値を制御するために微結晶半導体膜に含まれるボロン、または一導電型を付与する不純物元素が添加された半導体膜に含まれるリンがバッファ層 5 4 に混入されないことが好ましい。この結果、PN 接合によるリーク電流の発生領域をなくすことで、リーク電流の低減を図ることができる。また、一導電型を付与する不純物元素が添加された半導体膜と微結晶半導体膜との間に、リンやボロン等の一導電型を付与する不純物元素が添加されない非晶質半導体膜を形成することで、微結晶半導体膜とソース領域及びドレイン領域それぞれに含まれる不純物が拡散するのを妨げることが可能である。

10

【0043】

微結晶半導体膜 5 3 の表面に、非晶質半導体膜、更には水素、窒素、またはハロゲンを含む非晶質半導体膜を形成することで、微結晶半導体膜 5 3 に含まれる結晶粒の表面の自然酸化を防止することが可能である。特に、非晶質半導体と微結晶粒が接する領域では、局部応力により亀裂が入りやすい。この亀裂が酸素に触れると結晶粒は酸化され、酸化珪素が形成される。しかしながら、微結晶半導体膜 5 3 の表面にバッファ層を形成することで、微結晶粒の酸化を防ぐことができる。また、バッファ層を形成することで、後にソース領域及びドレイン領域を形成する際に発生するエッチング残渣が微結晶半導体膜に混入することを防ぐことができる。

20

【0044】

また、バッファ層 5 4 は、非晶質半導体膜を用いて、または、水素、窒素、若しくはハロゲンを含む非晶質半導体膜で形成する。非晶質半導体膜のエネルギーギャップが微結晶半導体膜に比べて大きく（非晶質半導体膜のエネルギーギャップは 1.6 eV 以上 1.8 eV 以下、微結晶半導体膜のエネルギーギャップは 1.1 eV 以上 1.5 eV 以下）、また抵抗が高く、移動度が低く、微結晶半導体膜の $1/5 \sim 1/10$ である。このため、後に形成される薄膜トランジスタにおいて、ソース領域及びドレイン領域と、微結晶半導体膜との間に形成されるバッファ層は高抵抗領域として機能し、微結晶半導体膜がチャネル形成領域として機能する。このため、薄膜トランジスタのオフ電流を低減することができる。当該薄膜トランジスタを液晶表示装置のスイッチング素子として用いた場合、液晶表示装置のコントラストを向上させることができる。

30

【0045】

一導電型を付与する不純物元素が添加された半導体膜 5 5 は、n チャネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてリンを添加すれば良く、水素化珪素に PH_3 などの不純物気体を加えれば良い。また、p チャネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてボロンを添加すれば良く、水素化珪素に B_2H_6 などの不純物気体を加えれば良い。一導電型を付与する不純物元素が添加された半導体膜 5 5 は、微結晶半導体膜、または非晶質半導体で形成することができる。さらには一導電型を付与する不純物元素が添加された半導体膜 5 5 を、一導電型を付与する不純物元素が添加された非晶質半導体膜と、一導電型を付与する不純物元素が添加された微結晶半導体膜との積層で形成してもよい。バッファ層 5 4 側に一導電型を付与する不純物元素が添加された非晶質半導体膜を形成し、その上に一導電型を付与する不純物元素が添加された微結晶半導体膜を形成することで、抵抗が段階的に変化するため、キャリアが流れやすくなり、移動度を高めることができる。一導電型を付与する不純物元素が添加された半導体膜 5 5 は 2 nm 以上 50 nm 以下の厚さで形成する。一導電型を付与する不純物元

40

50

素が添加された半導体膜の膜厚を、薄くすることでスループットを向上させることができる。

【0046】

ここで、ゲート絶縁膜52a、52bから一導電型を付与する不純物元素が添加された半導体膜55を連続成膜ことが可能なプラズマCVD装置について、図10を用いて示す。図10はプラズマCVD装置の上断面を示す模式図であり、共通室1120の周りに、ロード室1110、アンロード室1115、反応室(1)~反応室(4)1111~1114を備えた構成となっている。共通室1120と各室の間にはゲートバルブ1122~1127が備えられ、各室で行われる処理が、相互に干渉しないように構成されている。基板はロード室1110、アンロード室1115のカセット1128、1129に装填され、共通室1120の搬送手段1121により反応室(1)~反応室(4)1111~1114へ運ばれる。この装置では、堆積膜種ごとに反応室をあてがうことが可能であり、複数の異なる被膜を大気に触れさせることなく連続して形成することができる。

10

【0047】

反応室(1)~反応室(4)それぞれにおいて、ゲート絶縁膜52a、52b、微結晶半導体膜53、バッファ層54、及び一導電型を付与する不純物元素が添加された半導体膜55を積層形成する。この場合は、原料ガスの切り替えにより異なる種類の膜を連続的に複数積層することができる。この場合、ゲート絶縁膜を形成した後、反応室内にシラン等の水素化珪素を導入し、残留酸素及び水素化珪素を反応させて、反応物を反応室外に排出することで、反応室内の残留酸素濃度を低減させることができる。この結果、微結晶半導体膜に含まれる酸素の濃度を低減することができる。また、微結晶半導体膜に含まれる結晶粒の酸化を防止することができる。

20

【0048】

または、反応室(1)及び反応室(3)でゲート絶縁膜52a、52b、微結晶半導体膜53、及びバッファ層54を形成し、反応室(2)及び反応室(4)で一導電型を付与する不純物元素が添加された半導体膜55を形成する。一導電型を付与する不純物のみ単独で成膜することにより、チャンバに残存する一導電型を付与する不純物元素が他の膜に混入することを防ぐことができる。

【0049】

このように、複数のチャンバが接続されたマイクロ波プラズマCVD装置で、同時にゲート絶縁膜52a、52b、微結晶半導体膜53、バッファ層54、及び一導電型を付与する不純物元素が添加された半導体膜55を成膜することができるため、量産性を高めることができる。また、ある反応室がメンテナンスやクリーニングを行っていても、残りの反応室において成膜処理が可能となり、成膜のタクトを向上させることができる。また、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

30

【0050】

また、反応室(1)でゲート絶縁膜52a、52bを形成し、反応室(2)で微結晶半導体膜53及びバッファ層54を形成し、反応室(3)で一導電型を付与する不純物元素が添加された半導体膜55を形成することができる。また、ゲート絶縁膜52aを酸化珪素膜または酸化窒化珪素膜で形成し、ゲート絶縁膜52bを窒化珪素膜または窒化酸化珪素膜で形成する場合、反応室を5つ設け、反応室(1)で、ゲート絶縁膜52aの酸化珪素膜または酸化窒化珪素膜を形成し、反応室(2)で、ゲート絶縁膜52bの窒化珪素膜または窒化酸化珪素膜を形成し、反応室(3)で、微結晶半導体膜を形成し、反応室(4)でバッファ層を形成し、反応室(5)で、一導電型を付与する不純物元素が添加された半導体膜を形成してもよい。また、微結晶半導体膜は成膜速度が遅いため、複数の反応室で微結晶半導体膜を成膜してもよい。例えば、反応室(1)でゲート絶縁膜52a、52bを形成し、反応室(2)及び(3)で微結晶半導体膜53を形成し、反応室(4)でバッファ層54を形成し、反応室(5)で一導電型を付与する不純物元素が添加された半導体膜55を形成してもよい。このように、複数の反応室で同時に微結晶半導体膜53を成膜

40

50

することでスループットを向上させることができる。なお、このとき、各反応室の内壁を成膜する種類の膜でコーティングすることが好ましい。

【0051】

このような構成のプラズマCVD装置を用いれば、各反応室で種類の類似する膜または種類の膜を成膜することが可能であり、且つ大気に曝すことなく連続して形成することができるため、前に成膜した膜の残留物や大気に浮遊する不純物元素に汚染されることなく、各積層界面を形成することができる。

【0052】

なお、図10に示すプラズマCVD装置には、ロード室及びアンロード室が別々に設けられているが、一つとしロード/アンロード室とでもよい。また、プラズマCVD装置に予備室を設けてもよい。予備室で基板を予備加熱することで、各反応室において成膜までの加熱時間を短縮することが可能であるため、スループットを向上させることができる。

10

【0053】

以下に、成膜処理について説明する。これらの成膜処理は、その目的に応じて、ガス供給部から供給するガスを選択すれば良い。

【0054】

ここでは、ゲート絶縁膜52aに、酸化窒化珪素膜を形成し、ゲート絶縁膜52bに窒化酸化珪素膜を形成する方法を一例としてあげる。

【0055】

はじめに、マイクロ波プラズマCVD装置の反応室の処理容器の内部を、フッ素ラジカルでクリーニングする。なお、フッ素ラジカルは、反応室の外側に設けられたプラズマ発生器に、フッ化炭素、フッ化窒素、またはフッ素を導入し、解離し、フッ素ラジカルを反応室に導入することで、反応室内をクリーニングすることができる。

20

【0056】

フッ素ラジカルでクリーニングした後、反応室内部に水素を大量に導入することで、反応室内の残留フッ素と水素を反応させて、残留フッ素の濃度を低減することができる。このため、後に反応室の内壁に成膜する保護膜へのフッ素の混入量を減らすことが可能であり、保護膜の厚さを薄くすることが可能である。

【0057】

次に、反応室の処理容器内壁表面に保護膜として酸化窒化膜を堆積する。ここでは、処理容器内の圧力を1~200Pa、好ましくは1~100Paとし、プラズマ着火用ガスとして、ヘリウム、アルゴン、キセノン、クリプトン等の希ガスのいずれか一種以上のガスを導入する。さらには、希ガスのいずれか一種及び水素を導入する。特に、プラズマ着火用ガスとしてヘリウム、更にはヘリウムと水素を用いることが好ましい。

30

【0058】

ヘリウムのイオン化エネルギーは24.5eVと高いエネルギーを持つが、約20eVに準安定状態があるので、放電中においては約4eVでイオン化が可能である。このため、放電開始電圧が低く、また放電を維持しやすい。よって、プラズマを均一に維持することが可能であると共に、省電力化が可能である。

【0059】

また、プラズマ着火用ガスとして、ヘリウム、アルゴン、キセノン、クリプトン等の希ガスのいずれか一種以上及び酸素ガスを導入してもよい。希ガスと共に、酸素ガスを処理容器内に導入することで、プラズマの着火を容易とすることができる。

40

【0060】

次に、電源装置の電源をオンにし、電源装置の出力は500~6000W、好ましくは4000~6000Wとしてプラズマを発生させる。次に、ガス供給部から原料ガスを処理容器内に導入する。具体的には、原料ガスとして、一酸化二窒素、希ガス、及びシランを導入することで、処理容器の内壁表面に保護膜として酸化窒化珪素膜を形成する。このときの水素化珪素の流量を50~300sccm、一酸化二窒素の流量を500~6000sccmとし、保護膜の膜厚を500~2000nmとする。

50

【 0 0 6 1 】

次に、原料ガスの供給を停止し、処理容器内の圧力を低下し、電源装置の電源をオフにした後、処理容器内の支持台上に基板を導入する。

【 0 0 6 2 】

次に、上記保護膜と同様の工程により、基板上にゲート絶縁膜 5 2 a として酸化窒化珪素膜を堆積させる。

【 0 0 6 3 】

所定の厚さの酸化窒化珪素膜が堆積されたら、原料ガスの供給を停止し、処理容器内の圧力を低下し、電源装置の電源をオフにする。

【 0 0 6 4 】

次に、処理容器内の圧力を 1 ~ 2 0 0 P a、好ましくは 1 ~ 1 0 0 P a とし、プラズマ着火用ガスとして、ヘリウム、アルゴン、キセノン、クリプトン等の希ガスのいずれか一種以上と、原料ガスであるシラン、一酸化二窒素、及びアンモニアを導入する。なお、原料ガスとして、アンモニアの代わりに窒素を導入しても良い。次に、電源装置の電源をオンにし、電源装置の出力は 5 0 0 ~ 6 0 0 0 W、好ましくは 4 0 0 0 ~ 6 0 0 0 W としてプラズマを発生させる。次に、ガス供給部から原料ガスを処理容器内に導入し、基板 1 1 3 0 の酸化窒化珪素膜上にゲート絶縁膜として窒化酸化珪素膜を形成する。次に、原料ガスの供給を停止し、処理容器内の圧力を低下し、電源装置の電源をオフにして、成膜プロセスを終了する。

【 0 0 6 5 】

以上の工程により、反応室内壁の保護膜を酸化窒化珪素膜とし、基板上に酸化窒化珪素膜及び窒化酸化珪素膜を連続的に成膜することで、上層側の窒化酸化珪素膜中に酸化珪素等の不純物の混入を低減することができる。電源装置としてマイクロ波を発生させることが可能な電源装置を用いたマイクロ波プラズマ C V D 法により上記膜を形成することで、プラズマ密度が高くなり耐圧の高い膜を形成することができ、当該膜をゲート絶縁膜として用いると、トランジスタの閾値のばらつきを低減することができる。また、B T 特性を向上させることができる。また、静電気に対する耐性が高まり、高い電圧が印加されても破壊にくいトランジスタを作製することができる。また、経時破壊の少ないトランジスタを作製することができる。また、ホットキャリアダメージの少ないトランジスタを作製することができる。

【 0 0 6 6 】

また、ゲート絶縁膜として、マイクロ波プラズマ C V D 装置により形成した酸化窒化珪素膜単層の場合、上記保護膜の形成方法及び酸化窒化珪素膜の形成方法を用いる。特に、シランに対する一酸化二窒素の流量比を 5 0 倍以上 3 0 0 倍以下、好ましくは 5 0 倍以上 2 5 0 倍以下とすると、耐圧の高い酸化窒化珪素膜を形成することができる。

【 0 0 6 7 】

次に、プラズマ C V D 法による微結晶半導体膜及びバッファ層として非晶質半導体膜を連続的に成膜する成膜処理方法について示す。まず、上記ゲート絶縁膜と同様により、反応室内をクリーニングする。次に、処理容器内に保護膜として珪素膜を堆積する。ここでは、処理容器内の圧力を 1 ~ 2 0 0 P a、好ましくは 1 ~ 1 0 0 P a とし、プラズマ着火用ガスとして、ヘリウム、アルゴン、キセノン、クリプトン等の希ガスのいずれか一種以上を導入する。なお、希ガスと共に水素を導入してもよい。

【 0 0 6 8 】

次に、電源装置の電源をオンにし、電源装置の出力は 5 0 0 ~ 6 0 0 0 W、好ましくは 4 0 0 0 ~ 6 0 0 0 W としてプラズマを発生させる。次に、ガス供給部から原料ガスを処理容器内に導入する。具体的には、原料ガスとして、具体的には、水素化珪素ガス、及び水素ガスを導入することで、処理容器の内壁表面に保護膜として微結晶珪素膜を形成する。また、水素化珪素ガス及び水素ガスに加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。これらのときの水素化珪素に対して水素の流量比を 5 倍以上 1 0 0 0 倍以下、好ま

10

20

30

40

50

しくは50倍以上200倍以下、更に好ましくは100倍以上150倍とする。また、このときの保護膜の膜厚を500～2000nmとする。なお、電源装置の電源をオンにする前に、処理容器内に上記希ガスの他、水素化珪素ガス及び水素ガスを導入してもよい。

【0069】

また、水素化珪素ガス、及び水素ガスに加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して、保護膜として非晶質半導体膜を形成することができる。

【0070】

次に、原料ガスの供給を停止し、処理容器内の圧力を低下し、電源装置の電源をオフにした後、処理容器内の支持台上に基板を導入する。

10

【0071】

次に、基板上に形成されるゲート絶縁膜52bの表面を水素プラズマ処理してもよい。微結晶半導体膜を形成する前に水素プラズマ処理することにより、ゲート絶縁膜及び微結晶半導体膜の界面における格子歪を低減することが可能であり、ゲート絶縁膜及び微結晶半導体膜の界面特性を向上させることができる。このため、後に形成される薄膜トランジスタの電気特性を向上させることができる。

【0072】

また、上記水素プラズマ処理において、処理容器内に形成された保護膜である非晶質半導体膜または微結晶半導体膜をも水素プラズマ処理することにより、保護膜がエッチングされてゲート絶縁膜52bの表面に少量の半導体が堆積する。当該半導体が結晶成長の核となり、当該核によって、微結晶半導体膜が堆積する。この結果、ゲート絶縁膜及び微結晶半導体膜の界面における格子歪を低減することが可能であり、ゲート絶縁膜及び微結晶半導体膜の界面特性を向上させることができる。このため、後に形成される薄膜トランジスタの電気特性を向上させることができる。

20

【0073】

次に、上記保護膜と同様の工程により、基板上に微結晶珪素膜を堆積させる。微結晶珪素膜の膜厚を0nmより厚く50nm以下、好ましくは0nmより厚く20nm以下とする。

【0074】

所定の厚さの微結晶珪素膜が堆積されたら、次に、原料ガスの供給を停止し、処理容器内の圧力を低下し、電源装置の電源をオフにして、微結晶半導体膜成膜プロセスを終了する。

30

【0075】

次に、処理容器内の圧力を下げ、原料ガスの流量を調整する。具体的には、水素ガスの流量を微結晶半導体膜の成膜条件より大幅に低減する。代表的には、水素化珪素の流量の1倍以上20倍以下、好ましくは1倍以上10倍以下、更に好ましくは1倍以上5倍以下の流量の水素ガスを導入する。または、水素ガスを処理容器内に導入せず、水素化珪素ガスを導入する。このように水素化珪素に対する水素の流量を低減することにより、バッファ層として非晶質半導体膜の成膜速度を向上させることができる。または、水素化珪素ガスに加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈する。次に、電源装置の電源をオンにし、電源装置の出力は500～6000W、好ましくは4000～6000Wとしてプラズマ200を発生させて、非晶質半導体膜を形成することができる。非晶質半導体膜の成膜速度は微結晶半導体膜に比べて高いため、処理容器内の圧力を低く設定することができる。このときの非晶質半導体膜の膜厚を200～400nmとする。

40

【0076】

所定の厚さの非晶質半導体膜が堆積されたら、次に、原料ガスの供給を停止し、処理容器内の圧力を低下し、電源装置の電源をオフにして、非晶質半導体膜の成膜プロセスを終了する。

【0077】

50

なお、微結晶半導体膜 5 3 及びバッファ層 5 4 である非晶質半導体膜をプラズマの着火したまま形成してもよい。具体的には微結晶半導体膜 5 3 を形成する原料ガスである水素化珪素に対する水素の流量比を徐々に低減させて微結晶半導体膜 5 3 及びバッファ層 5 4 である非晶質半導体膜を積層する。このような手法により微結晶半導体膜 5 3 及びバッファ層 5 4 の界面に不純物が堆積せず、歪の少ない界面を形成することが可能であり、後に形成される薄膜トランジスタの電気特性を向上させることができる。

【 0 0 7 8 】

微結晶半導体膜 5 3 を形成する場合、周波数が 1 G H z 以上のマイクロ波プラズマ C V D 装置を用いることが好ましい。マイクロ波プラズマは、電子密度が高く、原料ガスから多くのラジカルが形成され、基板 1 1 3 0 へ供給されるため、基板でのラジカルの表面反応が促進され、微結晶シリコンの成膜速度を高めることができる。また、1 M H z から 2 0 M H z 、代表的には 1 3 . 5 6 M H z の高周波、または 2 0 M H z より大きく 1 2 0 M H z 程度までの V H F 帯の高周波、代表的には 2 7 . 1 2 M H z 、 6 0 M H z を用いたプラズマ C V D 法により、微結晶半導体膜を形成することができる。

【 0 0 7 9 】

なお、ゲート絶縁膜及び半導体膜それぞれの作製工程において、反応室の内壁に 5 0 0 ~ 2 0 0 0 n m の保護膜が形成されている場合は、上記クリーニング処理及び保護膜形成処理を省くことができる。

【 0 0 8 0 】

次に、一導電型を付与する不純物元素が添加された半導体膜 5 5 上に、導電膜 6 5 a ~ 6 5 c を形成する。導電膜 6 5 a ~ 6 5 c は、アルミニウム、銅、若しくはシリコン、チタン、ネオジム、スカンジウム、モリブデンなどの耐熱性向上元素若しくはヒロック防止元素が添加されたアルミニウム合金の単層または積層で形成することが好ましい。また、一導電型を付与する不純物元素が添加された半導体膜と接する側の膜を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で形成し、その上にアルミニウムまたはアルミニウム合金を形成した積層構造としても良い。更には、アルミニウムまたはアルミニウム合金の上面及び下面を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で挟んだ積層構造としてもよい。ここでは、導電膜としては、導電膜 6 5 a ~ 6 5 c 3 層が積層した構造の導電膜を示し、導電膜 6 5 a 、 6 5 c にモリブデン膜、導電膜 6 5 b にアルミニウム膜を用いた積層導電膜や、導電膜 6 5 a 、 6 5 c にチタン膜、導電膜 6 5 b にアルミニウム膜を用いた積層導電膜を示す。導電膜 6 5 a ~ 6 5 c は、スパッタリング法や真空蒸着法で形成する。

【 0 0 8 1 】

レジスト 8 0 は、ポジ型レジストまたはネガ型レジストを用いることができる。ここでは、ポジ型レジストを用いて示す。

【 0 0 8 2 】

次に、第 2 のフォトマスクとして多階調マスク 5 9 を用いて、レジスト 8 0 に光を照射して、レジスト 8 0 を露光する。

【 0 0 8 3 】

ここで、多階調マスク 5 9 を用いた露光について、図 1 1 を用いて説明する。

【 0 0 8 4 】

多階調マスクとは、露光部分、中間露光部分、及び未露光部分に 3 つの露光レベルを行うことが可能なマスクであり、一度の露光及び現像工程により、複数（代表的には二種類）の厚さの領域を有するレジストマスクを形成することが可能である。このため、多階調マスクを用いることで、フォトマスクの枚数を削減することが可能である。

【 0 0 8 5 】

多階調マスクの代表例としては、図 1 1 (A) に示すようなグレートーンマスク 5 9 a 、図 1 1 (C) に示すようなハーフトーンマスク 5 9 b がある。

【 0 0 8 6 】

図 1 1 (A) に示すように、グレートーンマスク 5 9 a は、透光性を有する基板 1 6 3 及

10

20

30

40

50

びその上に形成される遮光部 164 並びに回折格子 165 で構成される。遮光部 164 においては、光の透過率が 0 % である。一方、回折格子 165 はスリット、ドット、メッシュ等の光透過部の間隔を、露光に用いる光の解像度限界以下の間隔とすることにより、光の透過率を制御することができる。なお、回折格子 165 は、周期的なスリット、ドット、メッシュ、または非周期的なスリット、ドット、メッシュどちらも用いることができる。

【0087】

透光性を有する基板 163 は、石英等の透光性を有する基板を用いることができる。遮光部 164 及び回折格子 165 は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

10

【0088】

グレートンマスク 59a に露光光を照射した場合、図 11 (B) に示すように、遮光部 164 においては、光透過率 166 は 0 % であり、遮光部 164 及び回折格子 165 が設けられていない領域では光透過率 166 は 100 % である。また、回折格子 165 においては、10 ~ 70 % の範囲で調整可能である。回折格子 165 における光の透過率の調整は、回折格子のスリット、ドット、またはメッシュの間隔あるいはピッチの調整により可能である。

【0089】

図 11 (C) に示すように、ハーフトンマスク 59b は、透光性を有する基板 163 及びその上に形成される半透過部 167 並びに遮光部 168 で構成される。半透過部 167 は、MoSiN、MoSi、MoSiO、MoSiON、CrSi などを用いることができる。遮光部 168 は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

20

【0090】

ハーフトンマスク 59b に露光光を照射した場合、図 11 (D) に示すように、遮光部 168 においては、光透過率 169 は 0 % であり、遮光部 168 及び半透過部 167 が設けられていない領域では光透過率 169 は 100 % である。また、半透過部 167 においては、10 ~ 70 % の範囲で調整可能である。半透過部 167 に於ける光の透過率の調整は、半透過部 167 の材料により調整により可能である。

【0091】

多階調マスクを用いて露光した後、現像することで、図 1 (B) に示すように、膜厚の異なる領域を有するレジストマスク 81 を形成することができる。

30

【0092】

次に、レジストマスク 81 により、微結晶半導体膜 53、バッファ層 54、一導電型を付与する不純物元素が添加された半導体膜 55、及び導電膜 65a ~ 65c をエッチングし分離する。この結果、図 2 (A) に示すような、微結晶半導体膜 61、バッファ層 62、一導電型を付与する不純物元素が添加された半導体膜 63、及び導電膜 85a ~ 85c を形成することができる。なお、図 2 (A) は図 5 (A) の A - B における断面図に相当する (但しレジストマスク 86 を除く)。

【0093】

微結晶半導体膜 61、バッファ層 62 の端部側面が傾斜していることにより、バッファ層 62 上に形成されるソース領域及びドレイン領域と微結晶半導体膜 61 との間にリーク電流が生じること防止することが可能である。また、ソース電極及びドレイン電極と、微結晶半導体膜 61 との間にリーク電流が生じるのを防止することが可能である。微結晶半導体膜 61 及びバッファ層 62 の端部側面の傾斜角度は、30° ~ 90°、好ましくは 45° ~ 80° である。このような角度とすることで、段差形状によるソース電極またはドレイン電極の段切れを防ぐことができる。

40

【0094】

次に、レジストマスク 81 をアッシングする。この結果、レジストの面積が縮小し、厚さが薄くなる。このとき、膜厚の薄い領域のレジスト (ゲート電極 51 の一部と重畳する

50

領域)は除去され、図6(B)に示すように、分離されたレジストマスク86を形成することができる。

【0095】

次に、レジストマスク86を用いて一導電型を付与する不純物元素が添加された半導体膜63、及び導電膜85a~85cをエッチングし分離する。ここでは、ドライエッチングにより、導電膜85a~85cを分離する。この結果、図2(B)に示すような、一対の導電膜89a~89c、及び一対のソース領域及びドレイン領域89を形成することができる。なお、当該エッチング工程において、パッファ層62の一部もエッチングする。一部エッチングされたパッファ層をパッファ層88と示す。ソース領域及びドレイン領域の形成工程と、パッファ層の凹部とを同一工程で形成することができる。ここでは、パッファ層88の一部が、面積が縮小したレジストマスク86で一部エッチングされたため、導電膜85a~85cの外側にパッファ層88が突出した形状となる。

10

【0096】

次に、図2(C)に示すように、導電膜89a~89cの一部をエッチングしソース電極及びドレイン電極92a~92cを形成する。ここでは、レジストマスク86を用いて導電膜89a~89cをウエットエッチングすると、導電膜89a~89cの端部が選択的にエッチングされる。この結果、レジストマスク86及び導電膜89a~89cより面積の小さいソース電極及びドレイン電極92a~92cを形成することができる。ソース電極及びドレイン電極92a~92cの端部と、ソース領域及びドレイン領域89の端部は一致せずずれており、ソース電極及びドレイン電極92a~92cの端部の外側に、ソース領域及びドレイン領域89の端部が形成される。この後、レジストマスク86を除去する。

20

【0097】

なお、図2(C)は、図5(B)のA-Bの断面図に相当する。図5(B)に示すように、ソース領域及びドレイン領域89の端部は、ソース電極及びドレイン電極92cの端部の外側に位置することが分かる。また、パッファ層88の端部はソース電極及びドレイン電極92c及びソース領域及びドレイン領域89の端部の外側に位置する。また、ソース電極及びドレイン電極の一方はソース領域及びドレイン領域の他方を部分的に囲む形状(具体的には、U字型、C字型)である。このため、キャリアが移動する領域の面積を増加させることが可能であるため、電流量を増やすことが可能であり、薄膜トランジスタの面積を縮小することができる。また、ゲート電極の内側において、微結晶半導体膜87、ソース電極及びドレイン電極92cが重畳されているため、ゲート電極の端部における凹凸の影響が少なく、被覆率の低減及びリーク電流の発生を抑制することができる。なお、ソース電極またはドレイン電極の一方は、ソース配線またはドレイン配線としても機能する。

30

【0098】

図2(C)に示すように、ソース電極及びドレイン電極92a~92cの端部と、ソース領域及びドレイン領域89の端部は一致せずずれた形状となることで、ソース電極及びドレイン電極92a~92cの端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。このため、信頼性が高く、且つ耐圧の高い薄膜トランジスタを作製することができる。

40

【0099】

以上の工程により、チャネルエッチ型の薄膜トランジスタ83を形成することができる。また、2枚のフォトマスクを用いて薄膜トランジスタを形成することができる。

【0100】

本実施の形態で示す薄膜トランジスタは、ゲート電極上にゲート絶縁膜、微結晶半導体膜、パッファ層、ソース領域及びドレイン領域、ソース電極及びドレイン電極が積層され、チャネル形成領域として機能する微結晶半導体膜の表面をパッファ層が覆う。また、パッファ層の一部には凹部(溝)が形成されており、当該凹部以外の領域がソース領域及びドレイン領域で覆われる。即ち、パッファ層に形成される凹部により、ソース領域及びド

50

レイン領域の間のキャリアが移動する距離が長いこと、ソース領域及びドレイン領域の間でのリーク電流を低減することができる。また、バッファ層の一部をエッチングすることにより凹部を形成するため、ソース領域及びドレイン領域の形成工程において発生するエッチング残渣を除去することができるため、残渣を介してソース領域及びドレイン領域にリーク電流（寄生チャネル）が発生することを回避することができる。

【0101】

また、チャンネル形成領域として機能する微結晶半導体膜とソース領域及びドレイン領域との間に、バッファ層が形成されている。また、微結晶半導体膜の表面がバッファ層で覆われている。高抵抗率の非晶質半導体膜で形成されたバッファ層は、微結晶半導体膜と、ソース領域及びドレイン領域との間にまで延在しているため、薄膜トランジスタがオフの場合（即ち、ゲート電圧を負の電圧とした場合）の、リーク電流を低減することができる。また、高い電圧の印加による劣化を低減することができる。また、微結晶半導体膜の表面に水素で表面が終端された非晶質半導体膜がバッファ層として形成されているため、微結晶半導体膜の酸化を防止することが可能であると共に、ソース領域及びドレイン領域の形成工程に発生するエッチング残渣が微結晶半導体膜に混入することを防ぐことができる。このため、電気特性が高く、且つドレイン耐圧に優れた薄膜トランジスタである。

【0102】

また、ソース電極及びドレイン電極の端部と、ソース領域及びドレイン領域の端部は一致せずずれた形状となることで、ソース電極及びドレイン電極の端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。

【0103】

次に、図3（A）に示すように、ソース電極及びドレイン電極92a～92c、ソース領域及びドレイン領域89、バッファ層88、微結晶半導体膜87、及びゲート絶縁膜52b上に絶縁膜76を形成する。絶縁膜76は、ゲート絶縁膜52a、52bと同様に形成することができる。なお、絶縁膜76は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。また、絶縁膜76に窒化珪素膜を用いることで、バッファ層88中の酸素濃度を $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下とすることができる。

【0104】

次に、絶縁膜76にコンタクトホールを形成し、当該コンタクトホールにおいてソース電極またはドレイン電極92cに接する画素電極77を形成する。なお、図3（B）は、図5（C）のA-Bの断面図に相当する。

【0105】

画素電極77は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0106】

また、画素電極77として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が $10000 \Omega/\square$ 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1 \Omega \cdot \text{cm}$ 以下であることが好ましい。

【0107】

導電性高分子としては、いわゆる π 電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0108】

以上により液晶表示装置に用いることが可能な素子基板を形成することができる。

10

20

30

40

50

【 0 1 0 9 】

なお、図 2 (A) に示すように、微結晶半導体膜 6 1、バッファ層 6 2、一導電型を付与する不純物元素が添加された半導体膜 6 3、及び導電膜 8 5 a ~ 8 5 c を形成した後、図 4 (A) に示すように、レジストマスク 8 6 を用いて導電膜 8 5 a ~ 8 5 c をエッチングする。ここでは、レジストマスク 8 6 を用いて導電膜 8 5 a ~ 8 5 c をウエットエッチングにより等方的にエッチングすると、導電膜 8 5 a ~ 8 5 c が選択的にエッチングされる。この結果、レジストマスク 8 6 より面積の小さいソース電極及びドレイン電極 9 2 a ~ 9 2 c を形成することができる。

【 0 1 1 0 】

次に、図 4 (B) に示すように、レジストマスク 8 6 を用いて一導電型を付与する不純物元素が添加された半導体膜 6 3 をエッチングする。ここでは、ドライエッチングにより一導電型を付与する不純物元素が添加された半導体膜 6 3 を異方的にエッチングすると、レジストマスク 8 6 と同程度の面積のソース領域及びドレイン領域 8 9 を形成することができる。

10

【 0 1 1 1 】

ソース電極及びドレイン電極 9 2 a ~ 9 2 c の端部と、ソース領域及びドレイン領域 8 9 の端部は一致せずずれた形状となることで、ソース電極及びドレイン電極 9 2 a ~ 9 2 c の端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。このため、信頼性が高く、且つ耐圧の高い薄膜トランジスタを作製することができる。

20

【 0 1 1 2 】

図 1 乃至図 4 に示すように、ウエットエッチングで導電膜をエッチングし、ドライエッチングで一導電型を付与する不純物元素が添加された半導体膜をエッチングすることで、少ないフォトマスク数でソース電極及びドレイン電極の端部と、ソース領域及びドレイン領域の端部が一致せず、異なる構造にすることができる。

【 0 1 1 3 】

次に、上記形態とは異なる薄膜トランジスタの作製方法について、図 6 乃至図 9 を用いて説明する。ここでは、ソース電極またはドレイン電極と、ソース配線またはドレイン配線とが異なる形態について以下に示す。

【 0 1 1 4 】

図 6 (A) に示すように、基板 5 0 上にゲート電極 5 1 を形成する。次に、ゲート電極 5 1 上に、ゲート絶縁膜 5 2 a、5 2 b、微結晶半導体膜 5 3、バッファ層 5 4、一導電型を付与する不純物元素が添加された半導体膜 5 5、及び導電膜 6 5 a を順に形成する。次に、導電膜 6 5 a 上にレジストを塗布し、図 1 (A) に示す多階調マスクを用いて厚さの異なる領域を有するレジストマスク 8 1 を形成する。

30

【 0 1 1 5 】

次に、レジストマスク 8 1 により、微結晶半導体膜 5 3、バッファ層 5 4、一導電型を付与する不純物元素が添加された半導体膜 5 5、及び導電膜 6 5 a をエッチングし分離する。この結果、図 6 (B) に示すような、微結晶半導体膜 6 1、バッファ層 6 2、一導電型を付与する不純物元素が添加された半導体膜 6 3、及び導電膜 8 5 a を形成する。なお、図 6 (B) は図 9 (A) の A - B における断面図に相当する（但しレジストマスク 8 6 を除く）。

40

【 0 1 1 6 】

次に、レジストマスク 8 1 をアッシングして分離されたレジストマスク 8 6 を形成する。次に、レジストマスク 8 6 を用いて一導電型を付与する不純物元素が添加された半導体膜 6 3、及び導電膜 8 5 a をエッチングし分離する。この結果、図 6 (C) に示すような、一対の導電膜 8 9 a、及び一対のソース領域及びドレイン領域 8 9 を形成することができる。なお、当該エッチング工程において、バッファ層 6 2 の一部もエッチングする。一部エッチングされたバッファ層をバッファ層 8 8 と示す。ここでは、バッファ層 8 8 の一部が、面積が縮小したレジストマスク 8 6 で一部エッチングされたため、導電膜 8 5 a の外

50

側にバッファ層 8 8 が突出した形状となる。本実施の形態に示すように、バッファ層の側面において、階段状になっているため、後に形成される絶縁膜の被覆率が高まる。このため、絶縁膜上に形成される画素電極と、薄膜トランジスタとの間におけるリーク電流を低減することができる。

【 0 1 1 7 】

次に、レジストマスク 8 6 をアッシングする。この結果、図 7 (A) に示すように、レジストマスクの面積が縮小し、厚さが薄くなる。次にアッシングされたレジストマスク 9 1 を用いて導電膜 8 9 a の一部をエッチングすることで、図 7 (B) に示すように、ソース電極及びドレイン電極 9 2 a を形成する。ソース電極及びドレイン電極 9 2 a の端部と、ソース領域及びドレイン領域 8 9 の端部は一致せずずれる。ここでは、レジストマスク 9 1 を用いてドライエッチングにより導電膜 8 9 a の露出部を異方的にエッチングする。この後、レジストマスク 9 1 を除去する。

10

【 0 1 1 8 】

この結果、導電膜 8 9 a より面積の小さいソース電極及びドレイン電極 9 2 a を形成する。この後、レジストマスク 9 1 を除去する。なお、図 7 (B) は、図 9 (B) の A - B の断面図に相当する。図 9 (B) に示すように、ソース領域及びドレイン領域 8 9 の端部は、ソース電極及びドレイン電極 9 2 a の端部の外側に位置することが分かる。また、バッファ層 8 8 の端部は、ソース電極及びドレイン電極 9 2 a 、並びにソース領域及びドレイン領域 8 9 の外側に位置する。また、ソース電極及びドレイン電極 9 2 a はそれぞれ分離されていて、隣接する画素に形成される電極と接続していない。なお、ここでは、レジストマスク 8 6 をアッシングして形成したレジストマスク 9 1 を用いてソース電極及びドレイン電極 9 2 a を形成したが、図 1 乃至図 4 に示す工程に示すように、レジストマスク 8 6 を用いてウェットエッチングしてソース電極及びドレイン電極 9 2 a ~ 9 2 c を形成してもよい。

20

【 0 1 1 9 】

図 7 (B) に示すように、ソース電極及びドレイン電極 9 2 a の端部と、ソース領域及びドレイン領域 8 9 の端部は一致せずずれた形状となることで、ソース電極及びドレイン電極 9 2 a の端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。このため、信頼性が高く、且つ耐圧の高い薄膜トランジスタを作製することができる。

30

【 0 1 2 0 】

次に、図 7 (C) に示すように、ソース電極及びドレイン電極 9 2 a 、ソース領域及びドレイン領域 8 9 、バッファ層 8 8 、及びゲート絶縁膜 5 2 b 上に絶縁膜 7 6 を形成する。絶縁膜 7 6 は、ゲート絶縁膜 5 2 a 、 5 2 b と同様に形成することができる。

【 0 1 2 1 】

次に、図 8 (A) に示すように、絶縁膜 7 6 にコンタクトホールを形成し、当該コンタクトホールにおいてソース電極またはドレイン電極 9 2 a の一方に接し、且つ積層された配線 9 3 b 、 9 3 c を形成する。なお、図 8 (A) は、図 9 (C) の A - B の断面図に相当する。また、配線 9 3 b 、 9 3 c は、隣接する画素に形成されるソース電極またはドレイン電極を接続する配線である。

40

【 0 1 2 2 】

次に、図 8 (B) に示すように、次に、コンタクトホールにおいてソース電極またはドレイン電極 9 2 a の他方に接する画素電極 7 7 を形成する。なお、図 8 (B) は、図 9 (D) の A - B の断面図に相当する。

【 0 1 2 3 】

以上の工程により、チャネルエッチ型の薄膜トランジスタ 8 4 を形成することができる。チャネルエッチ型の薄膜トランジスタは、作製工程数が少なく、コスト削減が可能である。また、微結晶半導体膜でチャネル形成領域を構成することにより $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{s} \cdot \text{e} \cdot \text{c}$ の電界効果移動度を得ることができる。従って、この薄膜トランジスタを画素部の画素のスイッチング用素子として、さらに走査線 (ゲート線) 側の駆動回路を形成する

50

素子として利用することができる。

【 0 1 2 4 】

本実施の形態により、電気特性の信頼性の高い薄膜トランジスタを作製することができる。

【 0 1 2 5 】

(実施の形態 2)

本実施の形態では、実施の形態 1 で示す薄膜トランジスタを有する液晶表示装置について、以下に示す。

【 0 1 2 6 】

はじめに V A (V e r t i c a l A l i g n m e n t) 型の液晶表示装置について示す。V A 型の液晶表示装置とは、液晶パネルの液晶分子の配列を制御する方式の一種である。V A 型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。本実施の形態では、特に画素 (ピクセル) をいくつかの領域 (サブピクセル) に分け、それぞれ別の方向に分子を倒すよう工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン設計が考慮された液晶表示装置について説明する。

10

【 0 1 2 7 】

図 1 6 及び図 1 7 は、それぞれ画素電極及び対向電極を示している。なお、図 1 6 は画素電極が形成される基板側の平面図であり、図中に示す切断線 A - B に対応する断面構造を図 1 5 に表している。また、図 1 7 は対向電極が形成される基板側の平面図である。以下の説明ではこれらの図を参照して説明する。

20

【 0 1 2 8 】

図 1 5 は、T F T 6 2 8 とそれに接続する画素電極 6 2 4、及び保持容量部 6 3 0 が形成された基板 6 0 0 と、対向電極 6 4 0 等が形成される対向基板 6 0 1 とが重ね合わせられ、液晶が注入された状態を示している。

【 0 1 2 9 】

対向基板 6 0 1 においてスペーサ 6 4 2 が形成される位置には、遮光膜 6 3 2、第 1 の着色膜 6 3 4、第 2 の着色膜 6 3 6、第 3 着色膜 6 3 8、対向電極 6 4 0 が形成されている。この構造により、液晶の配向を制御するための突起 6 4 4 とスペーサ 6 4 2 の高さを異ならせている。画素電極 6 2 4 上には配向膜 6 4 8 が形成され、同様に対向電極 6 4 0 上にも配向膜 6 4 6 が形成されている。この間に液晶層 6 5 0 が形成されている。

30

【 0 1 3 0 】

スペーサ 6 4 2 はここでは柱状スペーサを用いて示したがビーズスペーサを散布してもよい。さらには、スペーサ 6 4 2 を基板 6 0 0 上に形成される画素電極 6 2 4 上に形成してもよい。

【 0 1 3 1 】

基板 6 0 0 上には、T F T 6 2 8 とそれに接続する画素電極 6 2 4、及び保持容量部 6 3 0 が形成される。画素電極 6 2 4 は、T F T 6 2 8、配線、及び保持容量部 6 3 0 を覆う絶縁膜 6 2 0、絶縁膜 6 2 0 を覆う絶縁膜 6 2 2 をそれぞれ貫通するコンタクトホール 6 2 3 で、配線 6 1 8 と接続する。T F T 6 2 8 は実施の形態 1 で示す薄膜トランジスタを適宜用いることができる。また、保持容量部 6 3 0 は、T F T 6 2 8 のゲート配線 6 0 2 と同様に形成した第 1 の容量配線 6 0 4 と、ゲート絶縁膜 6 0 6 と、配線 6 1 6、6 1 8 と同様に形成した第 2 の容量配線 6 1 7 で構成される。

40

【 0 1 3 2 】

画素電極 6 2 4 と液晶層 6 5 0 と対向電極 6 4 0 が重なり合うことで、液晶素子が形成されている。

【 0 1 3 3 】

図 1 6 に基板 6 0 0 上の構造を示す。画素電極 6 2 4 は実施の形態 1 で示した材料を用いて形成する。画素電極 6 2 4 にはスリット 6 2 5 を設ける。スリット 6 2 5 は液晶の配向を制御するためのものである。

50

【0134】

図16に示すTF T 6 2 9とそれに接続する画素電極6 2 6及び保持容量部6 3 1は、それぞれTF T 6 2 8、画素電極6 2 4及び保持容量部6 3 0と同様に形成することができる。TF T 6 2 8とTF T 6 2 9は共に配線6 1 6と接続している。この液晶パネルの画素（ピクセル）は、画素電極6 2 4と画素電極6 2 6により構成されている。画素電極6 2 4と画素電極6 2 6はサブピクセルである。

【0135】

図17に対向基板側の構造を示す。遮光膜6 3 2上に対向電極6 4 0が形成されている。対向電極6 4 0は、画素電極6 2 4と同様の材料を用いて形成することが好ましい。対向電極6 4 0上には液晶の配向を制御する突起6 4 4が形成されている。また、遮光膜6 3 2の位置に合わせてスペーサ6 4 2が形成されている。

10

【0136】

この画素構造の等価回路を図18に示す。TF T 6 2 8とTF T 6 2 9は、共にゲート配線6 0 2、配線6 1 6と接続している。この場合、容量配線6 0 4と容量配線6 0 5の電位を異ならせることで、液層素子6 5 1と液晶素子6 5 2の動作を異ならせることができる。すなわち、容量配線6 0 4と容量配線6 0 5の電位を個別に制御することにより液晶の配向を精密に制御して視野角を広げている。

【0137】

スリット6 2 5を設けた画素電極6 2 4に電圧を印加すると、スリット6 2 5の近傍には電界の歪み（斜め電界）が発生する。このスリット6 2 5と、対向基板6 0 1側の突起6 4 4とを交互に咬み合うように配置することで、斜め電界が効果的に発生させて液晶の配向を制御することで、液晶が配向する方向を場所によって異ならせている。すなわち、マルチドメイン化して液晶パネルの視野角を広げている。

20

【0138】

次に、上記とは異なるVA型の液晶表示装置について、図19乃至図22を用いて説明する。

【0139】

図19と図20は、VA型液晶パネルの画素構造を示している。図20は基板6 0 0の平面図であり、図中に示す切断線Y - Zに対応する断面構造を図19に表している。以下の説明ではこの両図を参照して説明する。

30

【0140】

この画素構造は、一つの画素に複数の画素電極が有り、それぞれの画素電極にTF Tが接続されている。各TF Tは、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン設計された画素において、個々の画素電極に印加する信号を、独立して制御する構成を有している。

【0141】

画素電極6 2 4はコンタクトホール6 2 3において、配線6 1 8を用いてTF T 6 2 8と接続している。また、画素電極6 2 6はコンタクトホール6 2 7において、配線6 1 9を用いてTF T 6 2 9と接続している。TF T 6 2 8のゲート配線6 0 2と、TF T 6 2 9のゲート配線6 0 3には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能する配線6 1 6は、TF T 6 2 8とTF T 6 2 9で共通に用いられている。また、容量配線6 9 0、ゲート絶縁膜6 0 6、及び配線6 1 8で第1の容量素子を形成し、容量配線6 9 0、ゲート絶縁膜6 0 6、及び配線6 1 9で第2の容量素子を形成する。TF T 6 2 8とTF T 6 2 9は実施の形態1で示す薄膜トランジスタを適宜用いることができる。

40

【0142】

画素電極6 2 4と画素電極6 2 6の形状は異なっており、スリット6 2 5によって分離されている。V字型に広がる画素電極6 2 4の外側を囲むように画素電極6 2 6が形成されている。画素電極6 2 4と画素電極6 2 6に印加する電圧のタイミングを、TF T 6 2 8及びTF T 6 2 9により異ならせることで、液晶の配向を制御している。この画素構造

50

の等価回路を図 2 2 に示す。T F T 6 2 8 はゲート配線 6 0 2 と接続し、T F T 6 2 9 はゲート配線 6 0 3 と接続している。ゲート配線 6 0 2 とゲート配線 6 0 3 は異なるゲート信号を与えることで、T F T 6 2 8 と T F T 6 2 9 の動作タイミングを異ならせることができる。

【 0 1 4 3 】

対向基板 6 0 1 には、遮光膜 6 3 2、第 2 の着色膜 6 3 6、対向電極 6 4 0 が形成されている。また、第 2 の着色膜 6 3 6 と対向電極 6 4 0 の間には平坦化膜 6 3 7 が形成され、液晶の配向乱れを防いでいる。図 2 1 に対向基板側の構造を示す。対向電極 6 4 0 は異なる画素間で共通化されている電極であるが、スリット 6 4 1 が形成されている。このスリット 6 4 1 と、画素電極 6 2 4 及び画素電極 6 2 6 側のスリット 6 2 5 とを交互に咬み合うように配置することで、斜め電界が効果的に発生させて液晶の配向を制御することができる。これにより、液晶が配向する方向を場所によって異ならせることができ、視野角を広げている。

10

【 0 1 4 4 】

画素電極 6 2 4 と液晶層 6 5 0 と対向電極 6 4 0 が重なり合うことで、第 1 の液晶素子が形成されている。また、画素電極 6 2 6 と液晶層 6 5 0 と対向電極 6 4 0 が重なり合うことで、第 2 の液晶素子が形成されている。また、一画素に第 1 の液晶素子と第 2 の液晶素子が設けられたマルチドメイン構造である。

【 0 1 4 5 】

次に、横電界方式の液晶表示装置について示す。横電界方式は、セル内の液晶分子に対して水平方向に電界を加えることで液晶を駆動して階調表現する方式である。この方式によれば、視野角を約 1 8 0 度にまで広げることができる。以下の説明では、横電界方式を採用する液晶表示装置について説明する。

20

【 0 1 4 6 】

図 2 3 は、T F T 6 2 8 とそれに接続する画素電極 6 2 4 が形成された基板 6 0 0 と、対向基板 6 0 1 を重ね合わせ、液晶を注入した状態を示している。対向基板 6 0 1 には遮光膜 6 3 2、第 2 の着色膜 6 3 6、平坦化膜 6 3 7 などが形成されている。画素電極は基板 6 0 0 側に有るので、対向基板 6 0 1 側には設けられていない。基板 6 0 0 と対向基板 6 0 1 の間に液晶層 6 5 0 が形成されている。

【 0 1 4 7 】

基板 6 0 0 上には、第 1 の画素電極 6 0 7 及び第 1 の画素電極 6 0 7 に接続する容量配線 6 0 4、及び実施の形態 1 で示す T F T 6 2 8 が形成される。第 1 の画素電極 6 0 7 は、実施の形態 1 で示す画素電極 7 7 と同様の材料を用いることができる。また、第 1 の画素電極 6 0 7 は略画素の形状に区画化した形状で形成する。なお、第 1 の画素電極 6 0 7 及び容量配線 6 0 4 上にはゲート絶縁膜 6 0 6 が形成される。

30

【 0 1 4 8 】

T F T 6 2 8 の配線 6 1 6、配線 6 1 8 がゲート絶縁膜 6 0 6 上に形成される。配線 6 1 6 は液晶パネルにおいてビデオ信号をのせるデータ線であり一方向に伸びる配線であると同時に、ソース領域 6 1 0 と接続し、ソース及びドレインの一方の電極となる。配線 6 1 8 はソース及びドレインの他方の電極となり、第 2 の画素電極 6 2 4 と接続する配線である。

40

【 0 1 4 9 】

配線 6 1 6、配線 6 1 8 上に絶縁膜 6 2 0 が形成される。また、絶縁膜 6 2 0 上には、絶縁膜 6 2 0 に形成されるコンタクトホール 6 2 3 において、配線 6 1 8 に接続する第 2 の画素電極 6 2 4 が形成される。画素電極 6 2 4 は実施の形態 1 で示した画素電極 7 7 と同様の材料を用いて形成する。

【 0 1 5 0 】

このようにして、基板 6 0 0 上に T F T 6 2 8 とそれに接続する第 2 の画素電極 6 2 4 が形成される。なお、保持容量は第 1 の画素電極 6 0 7 と第 2 の画素電極 6 2 4 の間で形成している。

50

【0151】

図24は、画素電極の構成を示す平面図である。画素電極624にはスリット625が設けられる。スリット625は液晶の配向を制御するためのものである。この場合、電界は第1の画素電極607と第2の画素電極624の間で発生する。第1の画素電極607と第2の画素電極624の間にはゲート絶縁膜606が形成されているが、ゲート絶縁膜606の厚さは50～200nmであり、2～10μmである液晶層の厚さと比較して十分薄いので、実質的に基板600と平行な方向（水平方向）に電界が発生する。この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。また、第1の画素電極607と第2の画素電極624は共に透光性の電極であるので、開口率を向上させることができる。

10

【0152】

次に、横電界方式の液晶表示装置の他の一例について示す。

【0153】

図25と図26は、IPS型の液晶表示装置の画素構造を示している。図26は平面図であり、図中に示す切断線A-Bに対応する断面構造を図25に表している。以下の説明ではこの両図を参照して説明する。

【0154】

図25は、TFT628とそれに接続する画素電極624が形成された基板600と、対向基板601を重ね合わせ、液晶を注入した状態を示している。対向基板601には遮光膜632、第2の着色膜636、平坦化膜637などが形成されている。画素電極は基板600側にあるので、対向基板601側には設けられていない。基板600と対向基板601の間に液晶層650が形成されている。

20

【0155】

基板600上には、共通電位線609、及び実施の形態1で示すTFT628が形成される。共通電位線609は薄膜トランジスタ628のゲート配線602と同時に形成することができる。

【0156】

TFT628の配線616、配線618がゲート絶縁膜606上に形成される。配線616は液晶パネルにおいてビデオ信号をのせるデータ線であり一方向に伸びる配線であると同時に、ソース領域610と接続し、ソース及びドレインの一方の電極となる。配線618はソース及びドレインの他方の電極となり、第2の画素電極624と接続する配線である。

30

【0157】

配線616、配線618上に第2の絶縁膜620が形成される。また、絶縁膜620上には、絶縁膜620に形成されるコンタクトホール623において、配線618に接続する画素電極624が形成される。画素電極624は実施の形態1で示した画素電極77と同様の材料を用いて形成する。なお、図26に示すように、画素電極624は、共通電位線609と同時に形成した櫛形の電極と横電界が発生するように形成される。また、画素電極624の櫛歯の部分が共通電位線609と同時に形成した櫛形の電極と交互に咬み合うように形成される。

40

【0158】

画素電極624に印加される電位と共通電位線609の電位との間に電界が生じると、この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。

【0159】

このようにして、基板600上にTFT628とそれに接続する画素電極624が形成される。保持容量は共通電位線609と容量電極615の間にゲート絶縁膜606を設け

50

、それにより形成している。容量電極 6 1 5 と画素電極 6 2 4 はコンタクトホール 6 3 3 を介して接続されている。

【 0 1 6 0 】

次に、T N 型の液晶表示装置の形態について示す。

【 0 1 6 1 】

図 2 7 と図 2 8 は、T N 型の液晶表示装置の画素構造を示している。図 2 8 は平面図であり、図中に示す切断線 A - B に対応する断面構造を図 2 7 に表している。以下の説明ではこの両図を参照して説明する。

【 0 1 6 2 】

画素電極 6 2 4 はコンタクトホール 6 2 3 により、配線 6 1 8 で T F T 6 2 8 と接続している。データ線として機能する配線 6 1 6 は、T F T 6 2 8 と接続している。T F T 6 2 8 は実施の形態 1 に示す T F T のいずれかを適用することができる。

10

【 0 1 6 3 】

画素電極 6 2 4 は、実施の形態 1 で示す画素電極 7 7 を用いて形成されている。

【 0 1 6 4 】

対向基板 6 0 1 には、遮光膜 6 3 2、第 2 の着色膜 6 3 6、対向電極 6 4 0 が形成されている。また、第 2 の着色膜 6 3 6 と対向電極 6 4 0 の間には平坦化膜 6 3 7 が形成され、液晶の配向乱れを防いでいる。液晶層 6 5 0 は画素電極 6 2 4 と対向電極 6 4 0 の間に形成されている。

20

【 0 1 6 5 】

画素電極 6 2 4 と液晶層 6 5 0 と対向電極 6 4 0 が重なり合うことで、液晶素子が形成されている。

【 0 1 6 6 】

対向電極 6 4 0 は、画素電極 6 2 4 と同様の材料を適宜用いることができる。画素電極 6 2 4 と液晶層 6 5 0 と対向電極 6 4 0 が重なり合うことで、液晶素子が形成されている。

【 0 1 6 7 】

また、図 1 5 乃至図 2 8 に示す液晶表示装置において、基板 6 0 0 または対向基板 6 0 1 にカラーフィルタや、ディスクリネーションを防ぐための遮蔽膜（ブラックマトリクス）などが形成されていても良い。また、基板 6 0 0 の薄膜トランジスタが形成されている面とは逆の面に偏光板を貼り合わせ、また対向基板 6 0 1 の対向電極 6 4 0 が形成されている面とは逆の面に、偏光板を貼り合わせておく。

30

【 0 1 6 8 】

以上の工程により、液晶表示装置を作製することができる。本実施の形態の液晶表示装置は、オフ電流が少なく、電気特性の信頼性の高い薄膜トランジスタを用いているため、コントラストが高く、視認性の高い液晶表示装置である。また、レーザ結晶化工程のない微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタを用いているため、視認性の高い液晶表示装置を量産高く作製することができる。

【 0 1 6 9 】

（実施の形態 3）

40

次に、本発明の液晶表示装置の一形態である表示パネルの構成について、以下に示す。

【 0 1 7 0 】

図 1 2 (A) に、信号線駆動回路 6 0 1 3 のみを別途形成し、基板 6 0 1 1 上に形成された画素部 6 0 1 2 と接続している表示パネルの形態を示す。画素部 6 0 1 2 及び走査線駆動回路 6 0 1 4 は、微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタを用いて形成する。微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタよりも高い電界効果移動が得られるトランジスタで信号線駆動回路を形成することで、走査線駆動回路よりも高い駆動周波数が要求される信号線駆動回路の動作を安定させることができる。なお、信号線駆動回路 6 0 1 3 は、単結晶の半導体をチャネル形成領域に用いたトランジスタ、多結晶の半導体をチャネル形成領域に用いた薄膜トランジスタ、または S O I を用

50

いたトランジスタであっても良い。画素部 6 0 1 2 と、信号線駆動回路 6 0 1 3 と、走査線駆動回路 6 0 1 4 とに、それぞれ電源の電位、各種信号等が、F P C 6 0 1 5 を介して供給される。

【 0 1 7 1 】

なお、信号線駆動回路及び走査線駆動回路を、共に画素部と同じ基板上に形成しても良い。

【 0 1 7 2 】

また、駆動回路を別途形成する場合、必ずしも駆動回路が形成された基板を、画素部が形成された基板上に貼り合わせる必要はなく、例えば F P C 上に貼り合わせるようにしても良い。図 1 2 (B) に、信号線駆動回路 6 0 2 3 のみを別途形成し、基板 6 0 2 1 上に形成された画素部 6 0 2 2 と信号線駆動回路 6 0 2 3 とを接続している液晶表示装置パネルの形態を示す。画素部 6 0 2 2 及び走査線駆動回路 6 0 2 4 は、微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタを用いて形成する。信号線駆動回路 6 0 2 3 は、F P C 6 0 2 5 を介して画素部 6 0 2 2 と接続されている。画素部 6 0 2 2 と、信号線駆動回路 6 0 2 3 と、走査線駆動回路 6 0 2 4 とに、それぞれ電源の電位、各種信号等が、F P C 6 0 2 5 を介して供給される。

10

【 0 1 7 3 】

また、信号線駆動回路の一部または走査線駆動回路の一部のみを、微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタを用いて画素部と同じ基板上に形成し、残りを別途形成して画素部と電氣的に接続するようにしても良い。図 1 2 (C) に、信号線駆動回路が有するアナログスイッチ 6 0 3 3 a を、画素部 6 0 3 2、走査線駆動回路 6 0 3 4 と同じ基板 6 0 3 1 上に形成し、信号線駆動回路が有するシフトレジスタ 6 0 3 3 b を別途異なる基板に形成して貼り合わせる液晶表示装置パネルの形態を示す。画素部 6 0 3 2 及び走査線駆動回路 6 0 3 4 は、微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタを用いて形成する。信号線駆動回路が有するシフトレジスタ 6 0 3 3 b は、F P C 6 0 3 5 を介して画素部 6 0 3 2 と接続されている。画素部 6 0 3 2 と、信号線駆動回路と、走査線駆動回路 6 0 3 4 とに、それぞれ電源の電位、各種信号等が、F P C 6 0 3 5 を介して供給される。

20

【 0 1 7 4 】

図 1 2 に示すように、本発明の液晶表示装置は、駆動回路の一部または全部を、画素部と同じ基板上に、微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタを用いて形成することができる。

30

【 0 1 7 5 】

なお、別途形成した基板の接続方法は、特に限定されるものではなく、公知の C O G 方法、ワイヤボンディング方法、或いは T A B 方法などを用いることができる。また接続する位置は、電氣的な接続が可能であるならば、図 1 2 に示した位置に限定されない。また、コントローラ、C P U、メモリ等を別途形成し、接続するようにしても良い。

【 0 1 7 6 】

なお本発明で用いる信号線駆動回路は、シフトレジスタとアナログスイッチのみを有する形態に限定されない。シフトレジスタとアナログスイッチに加え、バッファ、レベルシフタ、ソースフォロワ等、他の回路を有していても良い。また、シフトレジスタとアナログスイッチは必ずしも設ける必要はなく、例えばシフトレジスタの代わりにデコード回路のような信号線の選択ができる別の回路を用いても良いし、アナログスイッチの代わりにラッチ等を用いても良い。

40

【 0 1 7 7 】

図 3 0 に本発明の液晶表示装置のブロック図を示す。図 3 0 に示す液晶表示装置は、液晶素子を備えた画素を複数有する画素部 7 0 0 と、各画素を選択する走査線駆動回路 7 0 2 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 7 0 3 とを有する。

【 0 1 7 8 】

50

図30において信号線駆動回路703は、シフトレジスタ704、アナログスイッチ705を有している。シフトレジスタ704には、クロック信号(CLK)、スタートパルス信号(SP)が入力されている。クロック信号(CLK)とスタートパルス信号(SP)が入力されると、シフトレジスタ704においてタイミング信号が生成され、アナログスイッチ705に入力される。

【0179】

またアナログスイッチ705には、ビデオ信号(video signal)が与えられている。アナログスイッチ705は入力されるタイミング信号に従ってビデオ信号をサンプリングし、後段の信号線に供給する。

【0180】

10

次に、走査線駆動回路702の構成について説明する。走査線駆動回路702は、シフトレジスタ706、バッファ707を有している。また場合によってはレベルシフトを有していても良い。走査線駆動回路702において、シフトレジスタ706にクロック信号(CLK)及びスタートパルス信号(SP)が入力されることによって、選択信号が生成される。生成された選択信号はバッファ707において緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲートが接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなければならないので、バッファ707は大きな電流を流すことが可能なものが用いられる。

【0181】

フルカラーの液晶表示装置で、R(赤)、G(緑)、B(青)に対応するビデオ信号を、順にサンプリングして対応する信号線に供給している場合、シフトレジスタ704とアナログスイッチ705とを接続するための端子数が、アナログスイッチ705と画素部700の信号線を接続するための端子数の1/3程度に相当する。よって、アナログスイッチ705を画素部700と同じ基板上に形成することで、アナログスイッチ705を画素部700と異なる基板上に形成した場合に比べて、別途形成した基板の接続に用いる端子の数を抑えることができ、接続不良の発生確率を抑え、歩留まりを高めることができる。

20

【0182】

なお、図30の走査線駆動回路702は、シフトレジスタ706、及びバッファ707を有するが、シフトレジスタ706で走査線駆動回路702を構成してもよい。

【0183】

30

なお、図30に示す構成は、本発明の液晶表示装置の一形態を示したに過ぎず、信号線駆動回路と走査線駆動回路の構成はこれに限定されない。

【0184】

次に、極性が全て同一の微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタを含むシフトレジスタの一形態について図31及び図32を用いて説明する。図31に、本実施の形態のシフトレジスタの構成を示す。図31に示すシフトレジスタは、複数のフリップフロップ(フリップフロップ701-1~701-n)で構成される。また、第1のクロック信号、第2のクロック信号、スタートパルス信号、リセット信号が入力されて動作する。

【0185】

40

図31のシフトレジスタの接続関係について説明する。図31のシフトレジスタは、i段目のフリップフロップ701-i(フリップフロップ701-1~701-nのうちいずれか一)は、図32に示した第1の配線501が第7の配線717-i-1に接続され、図32に示した第2の配線502が第7の配線717-i+1に接続され、図32に示した第3の配線503が第7の配線717-iに接続され、図32に示した第6の配線506が第5の配線715に接続される。

【0186】

また、図32に示した第4の配線504が奇数段目のフリップフロップでは第2の配線712に接続され、偶数段目のフリップフロップでは第3の配線713に接続され、図32に示した第5の配線505が第4の配線714に接続される。

50

【 0 1 8 7 】

ただし、１段目のフリップフロップ 7 0 1 - 1 の図 3 2 に示す第 1 の配線 5 0 1 は第 1 の配線 7 1 1 に接続され、 n 段目のフリップフロップ 7 0 1 - n の図 3 2 に示す第 2 の配線 5 0 2 は第 6 の配線 7 1 6 に接続される。

【 0 1 8 8 】

なお、第 1 の配線 7 1 1、第 2 の配線 7 1 2、第 3 の配線 7 1 3、第 6 の配線 7 1 6 を、それぞれ第 1 の信号線、第 2 の信号線、第 3 の信号線、第 4 の信号線と呼んでもよい。さらに、第 4 の配線 7 1 4、第 5 の配線 7 1 5 を、それぞれ第 1 の電源線、第 2 の電源線と呼んでもよい。

【 0 1 8 9 】

次に、図 3 1 に示すフリップフロップの詳細について、図 3 2 に示す。図 3 2 に示すフリップフロップは、第 1 の薄膜トランジスタ 1 7 1、第 2 の薄膜トランジスタ 1 7 2、第 3 の薄膜トランジスタ 1 7 3、第 4 の薄膜トランジスタ 1 7 4、第 5 の薄膜トランジスタ 1 7 5、第 6 の薄膜トランジスタ 1 7 6、第 7 の薄膜トランジスタ 1 7 7 及び第 8 の薄膜トランジスタ 1 7 8 を有する。本実施の形態において、第 1 の薄膜トランジスタ 1 7 1、第 2 の薄膜トランジスタ 1 7 2、第 3 の薄膜トランジスタ 1 7 3、第 4 の薄膜トランジスタ 1 7 4、第 5 の薄膜トランジスタ 1 7 5、第 6 の薄膜トランジスタ 1 7 6、第 7 の薄膜トランジスタ 1 7 7 及び第 8 の薄膜トランジスタ 1 7 8 は、 n チャネル型トランジスタとし、ゲート・ソース間電圧 (V_{gs}) がしきい値電圧 (V_{th}) を上回ったとき導通状態になるものとする。

10

20

【 0 1 9 0 】

次に、図 3 2 に示すフリップフロップの接続構成について、以下に示す。

【 0 1 9 1 】

第 1 の薄膜トランジスタ 1 7 1 の第 1 の電極 (ソース電極またはドレイン電極の一方) が第 4 の配線 5 0 4 に接続され、第 1 の薄膜トランジスタ 1 7 1 の第 2 の電極 (ソース電極またはドレイン電極の他方) が第 3 の配線 5 0 3 に接続される。

【 0 1 9 2 】

第 2 の薄膜トランジスタ 1 7 2 の第 1 の電極が第 6 の配線 5 0 6 に接続され、第 2 の薄膜トランジスタ 1 7 2 の第 2 の電極が第 3 の配線 5 0 3 に接続される。

【 0 1 9 3 】

第 3 の薄膜トランジスタ 1 7 3 の第 1 の電極が第 5 の配線 5 0 5 に接続され、第 3 の薄膜トランジスタ 1 7 3 の第 2 の電極が第 2 の薄膜トランジスタ 1 7 2 のゲート電極に接続され、第 3 の薄膜トランジスタ 1 7 3 のゲート電極が第 5 の配線 5 0 5 に接続される。

30

【 0 1 9 4 】

第 4 の薄膜トランジスタ 1 7 4 の第 1 の電極が第 6 の配線 5 0 6 に接続され、第 4 の薄膜トランジスタ 1 7 4 の第 2 の電極が第 2 の薄膜トランジスタ 1 7 2 のゲート電極に接続され、第 4 の薄膜トランジスタ 1 7 4 のゲート電極が第 1 の薄膜トランジスタ 1 7 1 のゲート電極に接続される。

【 0 1 9 5 】

第 5 の薄膜トランジスタ 1 7 5 の第 1 の電極が第 5 の配線 5 0 5 に接続され、第 5 の薄膜トランジスタ 1 7 5 の第 2 の電極が第 1 の薄膜トランジスタ 1 7 1 のゲート電極に接続され、第 5 の薄膜トランジスタ 1 7 5 のゲート電極が第 1 の配線 5 0 1 に接続される。

40

【 0 1 9 6 】

第 6 の薄膜トランジスタ 1 7 6 の第 1 の電極が第 6 の配線 5 0 6 に接続され、第 6 の薄膜トランジスタ 1 7 6 の第 2 の電極が第 1 の薄膜トランジスタ 1 7 1 のゲート電極に接続され、第 6 の薄膜トランジスタ 1 7 6 のゲート電極が第 2 の薄膜トランジスタ 1 7 2 のゲート電極に接続される。

【 0 1 9 7 】

第 7 の薄膜トランジスタ 1 7 7 の第 1 の電極が第 6 の配線 5 0 6 に接続され、第 7 の薄膜トランジスタ 1 7 7 の第 2 の電極が第 1 の薄膜トランジスタ 1 7 1 のゲート電極に接続さ

50

れ、第7の薄膜トランジスタ177のゲート電極が第2の配線502に接続される。第8の薄膜トランジスタ178の第1の電極が第6の配線506に接続され、第8の薄膜トランジスタ178の第2の電極が第2の薄膜トランジスタ172のゲート電極に接続され、第8の薄膜トランジスタ178のゲート電極が第1の配線501に接続される。

【0198】

なお、第1の薄膜トランジスタ171のゲート電極、第4の薄膜トランジスタ174のゲート電極、第5の薄膜トランジスタ175の第2の電極、第6の薄膜トランジスタ176の第2の電極及び第7の薄膜トランジスタ177の第2の電極の接続箇所をノード143とする。さらに、第2の薄膜トランジスタ172のゲート電極、第3の薄膜トランジスタ173の第2の電極、第4の薄膜トランジスタ174の第2の電極、第6の薄膜トランジスタ176のゲート電極及び第8の薄膜トランジスタ178の第2の電極の接続箇所をノード144とする。

10

【0199】

なお、第1の配線501、第2の配線502、第3の配線503及び第4の配線504を、それぞれ第1の信号線、第2の信号線、第3の信号線、第4の信号線と呼んでもよい。さらに、第5の配線505を第1の電源線、第6の配線506を第2の電源線と呼んでもよい。

【0200】

図32に示したフリップフロップの上面図の一例を図33に示す。

20

【0201】

導電膜901は、第1の薄膜トランジスタ171の第1の電極として機能する部分を含み、画素電極と同時に形成される配線951を介して第4の配線504と接続される。

【0202】

導電膜902は第1の薄膜トランジスタ171の第2の電極として機能する部分を含み、画素電極と同時に形成される配線952を介して第3の配線503と接続される。

【0203】

導電膜903は、第1の薄膜トランジスタ171のゲート電極、及び第4の薄膜トランジスタ174のゲート電極として機能する部分を含む。

【0204】

導電膜904は、第2の薄膜トランジスタ172の第1の電極、第6の薄膜トランジスタ176の第1の電極、第4の薄膜トランジスタ174の第1の電極、及び第8の薄膜トランジスタ178の第1の電極として機能する部分を含み、第6の配線506と接続される。

30

【0205】

導電膜905は、第2の薄膜トランジスタ172の第2の電極として機能する部分を含み、画素電極と同時に形成される配線954を介して第3の配線503と接続される。

【0206】

導電膜906は第2の薄膜トランジスタ172のゲート電極、及び第6の薄膜トランジスタ176のゲート電極として機能する部分を含む。

40

【0207】

導電膜907は、第3の薄膜トランジスタ173の第1の電極として機能する部分を含み、配線955を介して第5の配線505と接続される。

【0208】

導電膜908は、第3の薄膜トランジスタ173の第2の電極、及び第4の薄膜トランジスタ174の第2の電極として機能する部分を含み、画素電極と同時に形成される配線956を介して導電膜906と接続される。

【0209】

導電膜909は、第3の薄膜トランジスタ173のゲート電極として機能する部分を含み、配線955を介して第5の配線505と接続される。

【0210】

50

導電膜 910 は、第 5 の薄膜トランジスタ 175 の第 1 の電極として機能する部分を含み、画素電極と同時に形成される配線 959 を介して第 5 の配線 505 と接続される。

【0211】

導電膜 911 は、第 5 の薄膜トランジスタ 175 の第 2 の電極、及び第 7 の薄膜トランジスタ 177 の第 2 の電極として機能する部分を含み、画素電極と同時に形成される配線 958 を介して導電膜 903 と接続される。

【0212】

導電膜 912 は、第 5 の薄膜トランジスタ 175 のゲート電極として機能する部分を含み、画素電極と同時に形成される配線 960 を介して第 1 の配線 501 と接続される。

【0213】

導電膜 913 は、第 6 の薄膜トランジスタ 176 の第 2 の電極として機能する部分を含み、画素電極と同時に形成される配線 957 を介して導電膜 903 と接続される。

【0214】

導電膜 914 は、第 7 の薄膜トランジスタ 177 のゲート電極として機能する部分を含み、画素電極と同時に形成される配線 962 を介して第 2 の配線 502 と接続される。

【0215】

導電膜 915 は、第 8 の薄膜トランジスタ 178 のゲート電極として機能する部分を含み、画素電極と同時に形成される配線 961 を介して導電膜 912 と接続される。

【0216】

導電膜 916 は、第 8 の薄膜トランジスタ 178 の第 2 の電極として機能する部分を含み、画素電極と同時に形成される配線 953 を介して導電膜 906 と接続される。

【0217】

なお、微結晶半導体膜 981 ~ 988 の一部は、それぞれ第 1 の薄膜トランジスタ ~ 第 8 の薄膜トランジスタのチャネル形成領域として機能する。

【0218】

図 30 乃至図 32 に示したような回路を、微結晶半導体をチャネル形成領域に用いた薄膜トランジスタで構成することにより、回路を高速に動作させることが出来る。例えば、非晶質半導体膜をチャネル形成領域に用いた場合と微結晶半導体膜をチャネル形成領域に用いた場合とを比較すると、微結晶半導体膜をチャネル形成領域に用いた場合の方が、薄膜トランジスタの電界効果移動が大きいいため、駆動回路（例えば走査線駆動回路 702 のシフトレジスタ 706）の駆動周波数を高くすることが可能となる。走査線駆動回路 702 を高速に動作させることが出来るため、フレーム周波数を高くすること、または、黒画面挿入を実現することなども実現することが出来る。

【0219】

フレーム周波数を上げる場合は、画像の動きの方向に応じて、画面のデータを生成することが望ましい。つまり、動き補償を行って、データを補間することが望ましい。このように、フレーム周波数を上げ、画像データを補間することにより、動画の表示特性が改善され、滑らかな表示を行うことが出来る。例えば、2 倍（例えば 120 ヘルツ、100 ヘルツ）以上、より好ましくは 4 倍（例えば 480 ヘルツ、400 ヘルツ）以上にすることにより、動画における画像のぼけや残像を低減することが出来る。その場合、走査線駆動回路 702 も、駆動周波数を高くして、動作させることにより、フレーム周波数を上げることが出来る。

【0220】

黒画面挿入を行う場合は、画像データもしくは黒表示となるデータを画素部 700 に供給できるようにする。その結果、インパルス駆動に近い形となり、残像を低減することが出来る。その場合、走査線駆動回路 702 も、駆動周波数を高くして、動作させることにより、黒画面挿入を行うことが出来る。

【0221】

さらに、走査線駆動回路 702 の薄膜トランジスタのチャネル幅を大きくすることや、複数の走査線駆動回路を配置することなどによって、さらに高いフレーム周波数を実現する

10

20

30

40

50

ことが出来る。例えば8倍(例えば960ヘルツ、800ヘルツ)以上のフレーム周波数とすることが出来る。複数の走査線駆動回路を配置する場合は、偶数行の走査線を駆動する為の走査線駆動回路を片側に配置し、奇数行の走査線を駆動するための走査線駆動回路をその反対側に配置することにより、フレーム周波数を高くすることを実現することが出来る。一例としては、第2の薄膜トランジスタ172のチャネル幅は、300 μ m以上、より望ましくは、1000 μ m以上であることが望ましい。

【0222】

なお、図30乃至図32に示したような回路を、微結晶半導体をチャネル形成領域に用いた薄膜トランジスタで構成することにより、レイアウト面積を小さくすることが出来る。そのため、液晶表示装置の額縁を小さくすることができる。例えば、非晶質半導体膜をチャネル形成領域に用いた場合と微結晶半導体膜をチャネル形成領域に用いた場合とを比較すると、微結晶半導体膜をチャネル形成領域に用いた場合の方が、薄膜トランジスタの電界効果移動が大きい為、薄膜トランジスタのチャネル幅を小さくすることが出来る。その結果、液晶表示装置を狭額縁化させることが可能となる。一例としては、第2の薄膜トランジスタ172のチャネル幅は、3000 μ m以下、より望ましくは、2000 μ m以下であることが望ましい。

【0223】

なお、図32における第2の薄膜トランジスタ172は、第3の配線503にローレベルの信号を出力する期間が長い。その間、第2の薄膜トランジスタ172は、ずっとオン状態になっている。したがって、第2の薄膜トランジスタ172には、強いストレスが加わり、トランジスタ特性が劣化しやすくなっている。トランジスタ特性が劣化すると、しきい値電圧が徐々に大きくなっていく。その結果、電流値が小さくなっていく。そこで、トランジスタが劣化しても、十分な電流を供給できるようにするため、第2の薄膜トランジスタ172のチャネル幅は大きいことが望ましい。あるいは、トランジスタが劣化しても、回路動作に支障がないように、補償されていることが望ましい。例えば、第2の薄膜トランジスタ172と並列に、トランジスタを配置し、第2の薄膜トランジスタ172と交互にオン状態となるようにすることによって、劣化の影響を受けにくくすることが望ましい。

【0224】

しかしながら、非晶質半導体膜をチャネル形成領域に用いた場合と微結晶半導体膜をチャネル形成領域に用いた場合とを比較すると、微結晶半導体膜をチャネル形成領域に用いた場合の方が、劣化しにくい。したがって、微結晶半導体膜をチャネル形成領域に用いた場合は、薄膜トランジスタのチャネル幅を小さくすることが出来る。または、劣化に対する補償用の回路を配置しなくても正常に動作させることが出来る。これらにより、レイアウト面積を小さくすることが出来る。

【0225】

次に、本発明の液晶表示装置の一形態に相当する液晶表示パネルの外観及び断面について、図29を用いて説明する。図29(A)は、第1の基板4001上に形成された微結晶半導体膜を有する薄膜トランジスタ4010及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図29(B)は、図29(A)のA-A'における断面図相当する。

【0226】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に多結晶半導体膜で形成された信号線駆動回路4003が実装されている。なお本実施の形態では、多結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタを有する信号線駆動回路

を、第1の基板4001に貼り合わせる例について説明するが、単結晶半導体をチャネル形成領域に用いたトランジスタで信号線駆動回路を形成し、貼り合わせるようにしても良い。図29では、信号線駆動回路4003に含まれる、多結晶半導体膜で形成された薄膜トランジスタ4009を例示する。

【0227】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図29(B)では、画素部4002に含まれる薄膜トランジスタ4010を例示している。薄膜トランジスタ4010は微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタに相当する。

【0228】

また、液晶素子4013が有する画素電極4030は、薄膜トランジスタ4010と配線4040を介して電氣的に接続されている。そして液晶素子4013の対向電極4031は第2の基板4006上に形成されている。画素電極4030と対向電極4031と液晶4008とが重なっている部分が、液晶素子4013に相当する。

【0229】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiber glass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【0230】

また、球状のスペーサ4035は、画素電極4030と対向電極4031との間の距離(セルギャップ)を制御するために設けられている。なお絶縁膜を選択的にエッチングすることで得られるスペーサを用いても良い。

【0231】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、引き回し配線4014、4015を介して、FPC4018から供給されている。

【0232】

本実施の形態では、接続端子4016が、液晶素子4013が有する画素電極4030と同じ導電膜から形成されている。また、引き回し配線4014、4015は、配線4040と同じ導電膜で形成されている。

【0233】

接続端子4016は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0234】

なお図示していないが、本実施の形態に示した液晶表示装置は配向膜、偏光板を有し、更にカラーフィルタや遮蔽膜を有していても良い。

【0235】

また図29では、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0236】

本実施の形態は、他の実施の形態に記載した構成と組み合わせて実施することが可能である。

【0237】

(実施の形態4)

本発明により得られる液晶表示装置によって、アクティブマトリクス型液晶モジュール

10

20

30

40

50

に用いることができる。即ち、それらを表示部に組み込んだ電子機器全てに本発明を実施できる。

【0238】

その様な電子機器としては、ビデオカメラやデジタルカメラ等のカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図13に示す。

【0239】

図13（A）はテレビジョン装置である。表示モジュールを、図13（A）に示すように、筐体に組みこんで、テレビジョン装置を完成させることができる。FPCまで取り付けられた表示パネルのことを表示モジュールとも呼ぶ。表示モジュールにより主画面2003が形成され、その他付属設備としてスピーカー部2009、操作スイッチなどが備えられている。このように、テレビジョン装置を完成させることができる。

【0240】

図13（A）に示すように、筐体2001に液晶素子を利用した表示用パネル2002が組みこまれ、受信機2005により一般のテレビ放送の受信をはじめ、モデム2004を介して有線又は無線による通信ネットワークに接続することにより一方向（送信者から受信者）又は双方向（送信者と受信者間、又は受信者間同士）の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン操作機2006により行うことが可能であり、このリモコン装置にも出力する情報を表示する表示部2007が設けられていても良い。

【0241】

また、テレビジョン装置にも、主画面2003の他にサブ画面2008を第2の表示用パネルで形成し、チャンネルや音量などを表示する構成が付加されていても良い。この構成において、主画面2003を視野角の優れた液晶表示パネルで形成し、サブ画面を低消費電力で表示可能な液晶表示パネルで形成しても良い。また、低消費電力化を優先させるためには、主画面2003を液晶表示パネルで形成し、サブ画面を液晶表示パネルで形成し、サブ画面は点滅可能とする構成としても良い。

【0242】

図14はテレビ装置の主要な構成を示すブロック図を示している。表示パネル900には、画素部921が形成されている。信号線駆動回路922と走査線駆動回路923は、表示パネル900にCOG方式により実装されていても良い。

【0243】

その他の外部回路の構成として、映像信号の入力側では、チューナ924で受信した信号のうち、映像信号を増幅する映像信号増幅回路925と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路926と、その映像信号をドライバICの入力仕様に換するためのコントロール回路927などを有している。コントロール回路927は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路928を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

【0244】

チューナ924で受信した信号のうち、音声信号は、音声信号増幅回路929に送られ、その出力は音声信号処理回路930を経てスピーカ933に供給される。制御回路931は受信局（受信周波数）や音量の制御情報を入力部932から受け、チューナ924や音声信号処理回路930に信号を送出する。

【0245】

勿論、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など大面積の表示媒体としても様々な用途に適用することができる。

【0246】

10

20

30

40

50

図 1 3 (B) は携帯電話機 2 2 0 1 の一例を示している。この携帯電話機 2 2 0 1 は、表示部 2 2 0 2、操作部 2 2 0 3 などを含んで構成されている。表示部 2 2 0 2 においては、上記実施の形態で説明した液晶表示装置を適用することで、量産性を高めることができる。

【 0 2 4 7 】

また、図 1 3 (C) に示す携帯型のコンピュータは、本体 2 4 0 1、表示部 2 4 0 2 等を含んでいる。表示部 2 4 0 2 に、上記実施の形態に示す液晶表示装置を適用することにより、量産性を高めることができる。

【 実施例 1 】

【 0 2 4 8 】

微結晶珪素膜を成膜し、その膜をラマン分光法で結晶性を測定した結果を図 3 4 に示す。

【 0 2 4 9 】

微結晶珪素膜の成膜条件は、R F 電源周波数を 1 3 . 5 6 M H z とし、成膜温度を 2 8 0 とし、水素流量とシランガス流量の比を 1 0 0 : 1 とし、2 8 0 P a の圧力で成膜を行った。また、図 3 4 (A) は、ラマン散乱スペクトルであり、成膜時の R F 電源の電力を 1 0 0 W とした微結晶珪素膜と、3 0 0 W とした微結晶珪素膜とを比較した測定結果である。

【 0 2 5 0 】

なお、単結晶シリコンの結晶ピーク位置は、 $5 2 1 \text{ cm}^{-1}$ である。なお、アモルファスシリコンは勿論、結晶ピークと言えるものは測定できず、図 3 4 (B) に示すように $4 8 0 \text{ cm}^{-1}$ になだらかな山が測定されるだけである。本明細書の微結晶珪素膜とは、ラマン分光器で測定して $4 8 1 \text{ cm}^{-1}$ 以上 $5 2 0 \text{ cm}^{-1}$ 以下に結晶ピーク位置を確認できるものを指す。

【 0 2 5 1 】

成膜時の R F 電源の電力を 1 0 0 W とした微結晶珪素膜の結晶ピーク位置は、 $5 1 8 . 6 \text{ cm}^{-1}$ であり、半値幅 (F W H M) は、 $1 1 . 9 \text{ cm}^{-1}$ であり、結晶 / アモルファスピーク強度比 (I_c / I_a) は、4 . 1 である。

【 0 2 5 2 】

また、成膜時の R F 電源の電力を 3 0 0 W とした微結晶珪素膜の結晶ピーク位置は、 $5 1 4 . 8 \text{ cm}^{-1}$ であり、半値幅 (F W H M) は、 $1 8 . 7 \text{ cm}^{-1}$ であり、結晶 / アモルファスピーク強度比 (I_c / I_a) は、4 . 4 である。

【 0 2 5 3 】

図 3 4 (A) に示すように、R F 電力によって結晶ピーク位置と半値幅に大きな差が出ている。これは、大電力ではイオン衝撃が増加し粒成長が阻害されるため小粒径になる傾向があるためと考えられる。また、図 3 4 (A) の測定に用いた微結晶珪素膜を形成した C V D 装置の電源周波数が 1 3 . 5 6 M H z であるので結晶 / アモルファスピーク強度比 (I_c / I_a) は、4 . 1 または 4 . 4 となっているが、R F 電源周波数が 2 7 M H z であれば、結晶 / アモルファスピーク強度比 (I_c / I_a) を 6 とすることができることも確認している。従って、さらに 2 7 M H z よりも高い R F 電源周波数、例えば、2 . 4 5 G H z の R F 電源周波数とすることでさらに、結晶 / アモルファスピーク強度比 (I_c / I_a) を高めることができる。

【 実施例 2 】

【 0 2 5 4 】

本実施例では、本発明に示す薄膜トランジスタのトランジスタ特性及び電子密度分布についてデバイスシミュレーションを行った結果を示す。デバイスシミュレーションには、S i l v a c o 社製デバイスシミュレータ " A T L A S " を用いている。

【 0 2 5 5 】

図 3 5 にデバイス構造を示す。絶縁性基板 2 3 0 1 は酸化珪素 (誘電率 4 . 1) を主成分とするガラス基板 (厚さ $0 . 5 \mu\text{m}$) を仮定している。なお、絶縁性基板 2 3 0 1 の厚さは、実際の製造工程では $0 . 5 \text{ mm}$ 、 $0 . 7 \text{ mm}$ などが使われることが多いが、絶縁性基

10

20

30

40

50

板 2 3 0 1 の下面における電界が、薄膜トランジスタ特性に影響が無い程度に十分な厚さに定義している。

【 0 2 5 6 】

絶縁性基板 2 3 0 1 上に、モリブデンで形成される（厚さ 1 5 0 n m）のゲート電極 2 3 0 3 を積層している。モリブデンの仕事関数は 4 . 6 e V としている。

【 0 2 5 7 】

ゲート電極 2 3 0 3 の上に、窒化珪素膜（誘電率 7 . 0、厚さ 1 1 0 n m）と酸化窒化珪素膜（誘電率 4 . 1、厚さ 1 1 0 n m）との積層構造のゲート絶縁膜 2 3 0 5 を積層している。

【 0 2 5 8 】

ゲート絶縁膜 2 3 0 5 の上に、 μ c - S i 膜 2 3 0 7、a - S i 膜 2 3 0 9 を積層している。ここでは、厚さ 0 n m の μ c - S i 膜 2 3 0 7 及び厚さ 1 0 0 n m の a - S i 膜の積層と、厚さ 1 0 n m の μ c - S i 膜 2 3 0 7 及び厚さ 9 0 n m の a - S i 膜 2 3 0 9 の積層と、厚さ 5 0 n m の μ c - S i 膜 2 3 0 7 及び厚さ 5 0 n m の a - S i 膜 2 3 0 9 の積層と、厚さ 9 0 n m の μ c - S i 膜 2 3 0 7 及び厚さ 1 0 n m の a - S i 膜 2 3 0 9 の積層と、厚さ 1 0 0 n m の μ c - S i 膜 2 3 0 7 及び厚さ 0 n m の a - S i 膜 2 3 0 9 の積層とにそれぞれ条件振りをしている。

10

【 0 2 5 9 】

また、a - S i 膜 2 3 0 9 は、第 1 の a - S i (n ⁺) 膜 2 3 1 1 と第 2 の a - S i (n ⁺) 膜 2 3 1 3 と重畳する領域においては、上記厚さのほか更に 5 0 n m の a - S i 膜を積層している。即ち、第 1 の a - S i (n ⁺) 膜 2 3 1 1 と第 2 の a - S i (n ⁺) 膜 2 3 1 3 が形成されない領域において、a - S i 膜 2 3 0 9 は一部 5 0 n m エッチングされた凹部状である。

20

【 0 2 6 0 】

a - S i 膜 2 3 0 9 上に、第 1 の a - S i (n ⁺) 膜 2 3 1 1 （厚さ 5 0 n m）と第 2 の a - S i (n ⁺) 膜 2 3 1 3 （厚さ 5 0 n m）とを各々積層している。図 3 5 に示す薄膜トランジスタにおいて、第 1 の a - S i (n ⁺) 膜 2 3 1 1 と第 2 の a - S i (n ⁺) 膜 2 3 1 3 との距離が、チャネル長 L になる。ここでは、チャネル長 L を 6 μ m としている。また、チャネル幅 W を 1 5 μ m としている。

【 0 2 6 1 】

第 1 の a - S i (n ⁺) 膜 2 3 1 1 と第 2 の a - S i (n ⁺) 膜 2 3 1 3 との上に、モリブデン M o で形成される（厚さ 3 0 0 n m）のソース電極 2 3 1 5 とドレイン電極 2 3 1 7 とを各々積層している。ソース電極 2 3 1 5 及び第 1 の a - S i (n ⁺) 膜 2 3 1 1、並びにドレイン電極 2 3 1 7 及び第 2 の a - S i (n ⁺) 膜 2 3 1 3 の間は、オーミック接触と定義している。

30

【 0 2 6 2 】

図 3 6 に、図 3 5 に示す薄膜トランジスタにおいて、 μ c - S i 膜及び a - S i 膜の膜厚を変えて、デバイスシミュレーションを行った際の、D C 特性（V g - I d 特性、V d = 1 4 V）の結果を示す。また、図 3 7 に、 μ c - S i 膜 2 3 0 7 の厚さを 1 0 n m、a - S i 膜の厚さを 9 0 n m としたときの薄膜トランジスタの電子濃度分布を示す。図 3 7 （A）は、薄膜トランジスタがオン状態（V g が + 1 0 V、V d が 1 4 V）の電子濃度分布の結果を示し、図 3 7 （B）はオフ状態（V g が - 1 0 V、V d が 1 4 V）の電子濃度分布の結果を示す。

40

【 0 2 6 3 】

図 3 6 より、a - S i 膜の厚さを厚くするにつれ、オフ電流が低減することが分かる。また、a - S i 膜の厚さを 5 0 n m 以上とすることにより、V g が - 2 0 V のときのドレイン電流を 1×10^{-13} A 未満とすることができる。

【 0 2 6 4 】

また、 μ c - S i 膜の厚さを厚くするにつれ、オン電流が増加することが分かる。また、 μ c - S i 膜の厚さを 1 0 n m 以上とすることにより、V g が 2 0 V のときのドレイン電

50

流を 1×10^{-5} A 以上とすることができる。

【0265】

図37(A)より、オン状態においては、電子密度がa-Si膜よりも μ c-Si膜において高いことが分かる。即ち、電気伝導度の高い μ c-Si膜において電子密度が高いため、オン状態においては、電子は流れやすく、ドレイン電流が上昇することがわかる。

【0266】

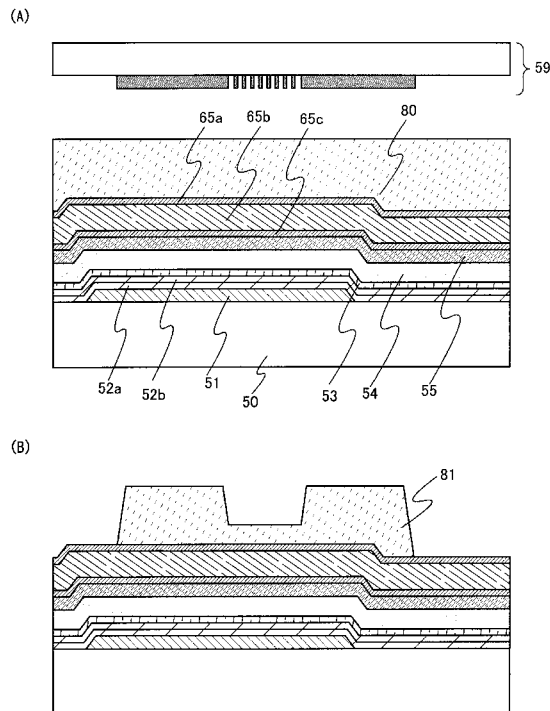
図37(B)より、オフ状態においては、電子密度が μ c-Si膜よりもa-Si膜において高いことが分かる。即ち、電気伝導度の低いa-Si膜において電子密度が高いため、オフ状態においては、電子は流れにくく、a-Si膜をチャネル形成領域に用いる薄膜トランジスタと同様のドレイン電流となることがわかる。

【0267】

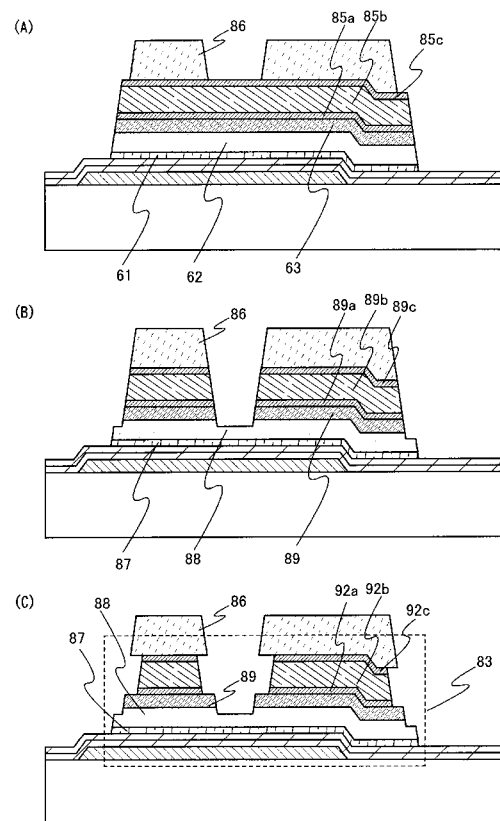
以上のことから、図35に示すような、ゲート絶縁膜上に μ c-Si膜が形成され、 μ c-Si膜上にa-Siが形成され、a-Si膜上にソース領域及びドレイン領域が形成される薄膜トランジスタは、オフ電流を低減すると共に、オン電流を高めることが可能であることがわかる。

10

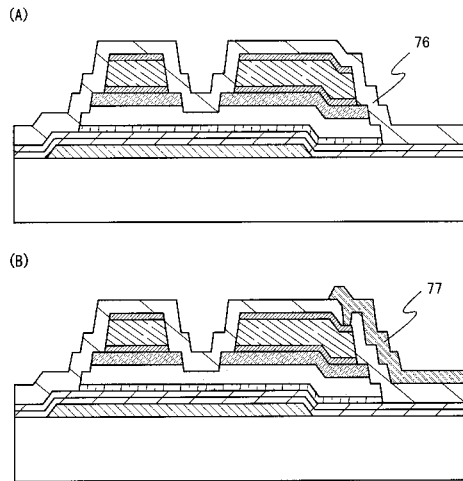
【図1】



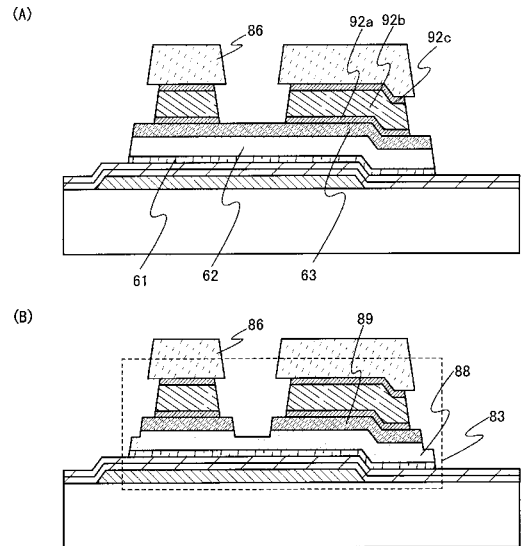
【図2】



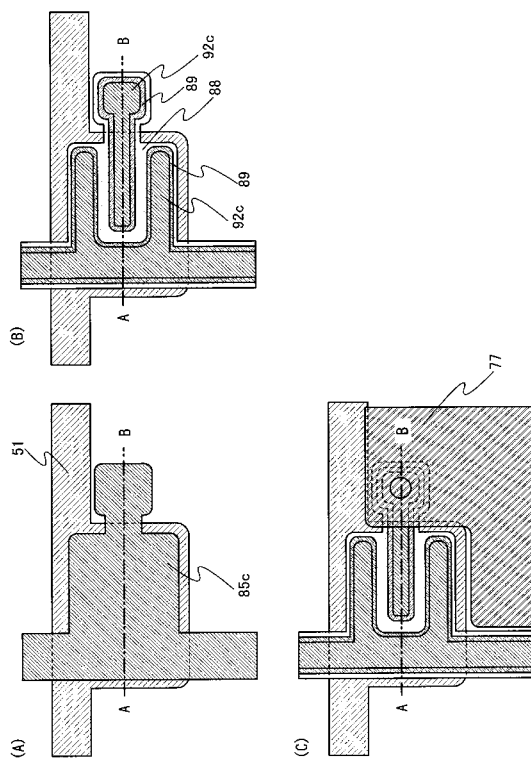
【図 3】



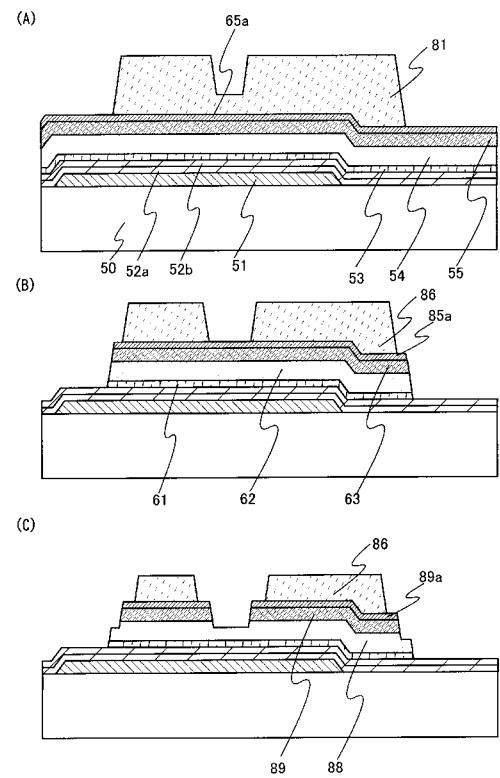
【図 4】



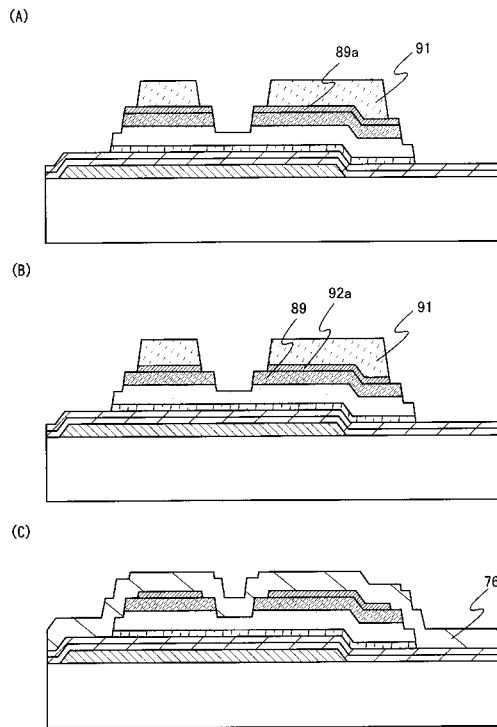
【図 5】



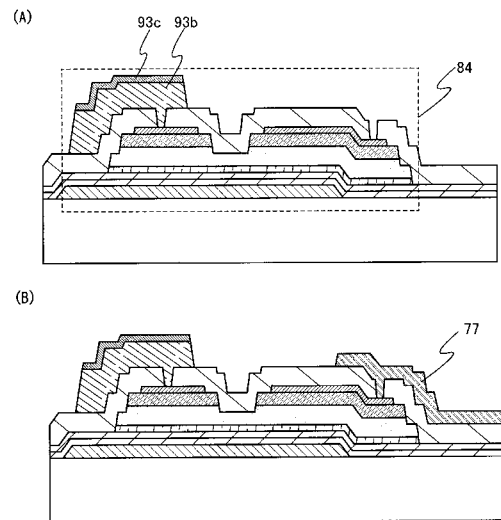
【図 6】



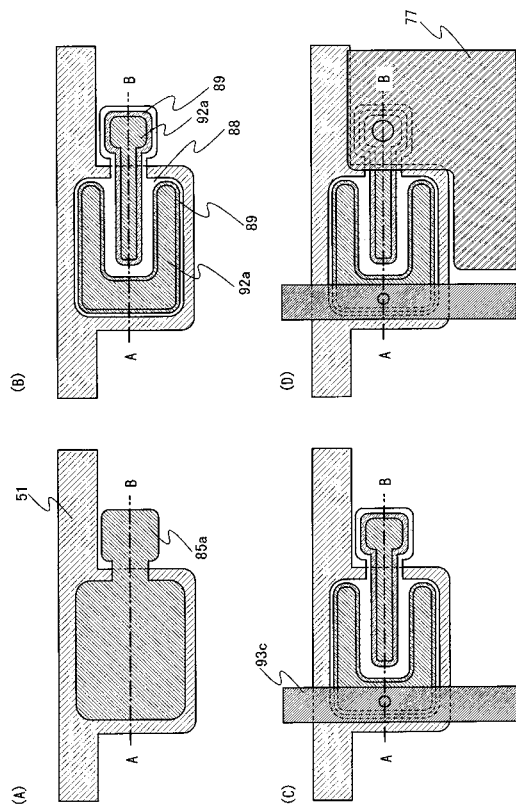
【図 7】



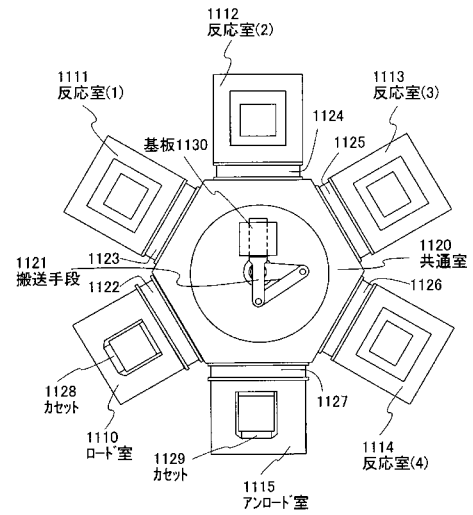
【図 8】



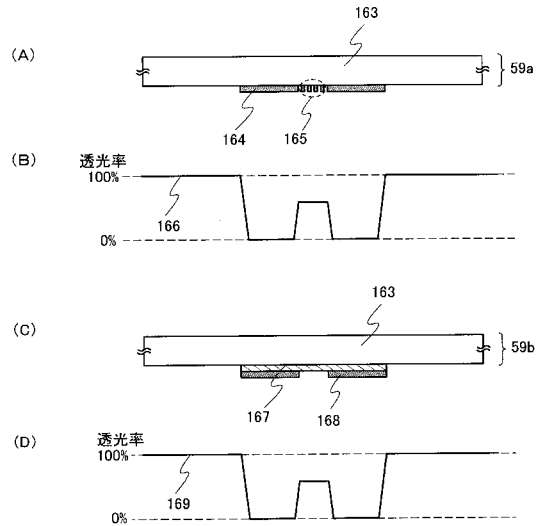
【図 9】



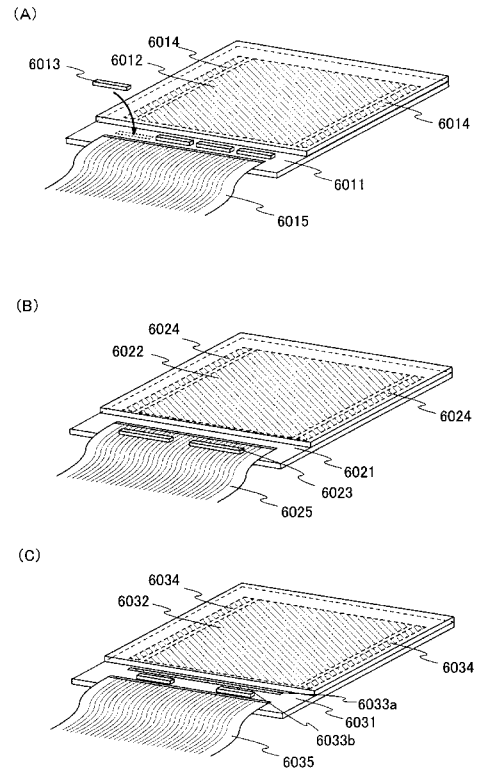
【図 10】



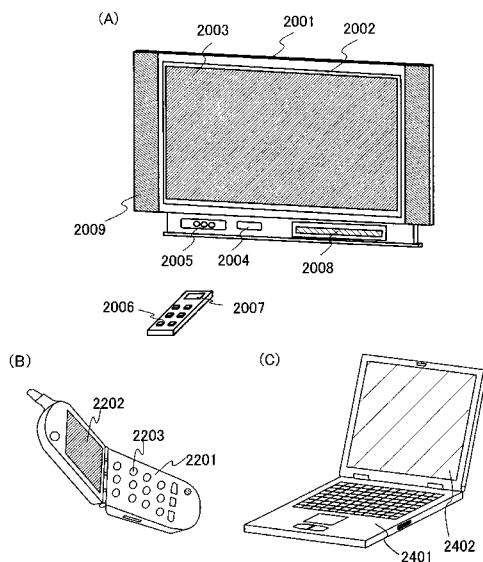
【図 1 1】



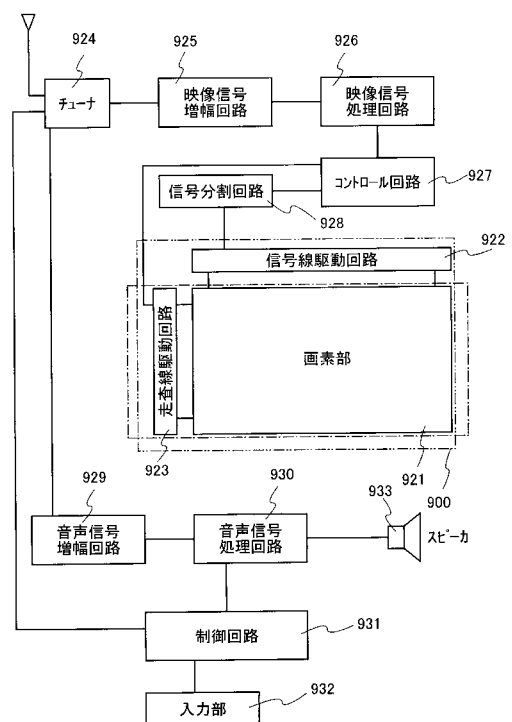
【図 1 2】



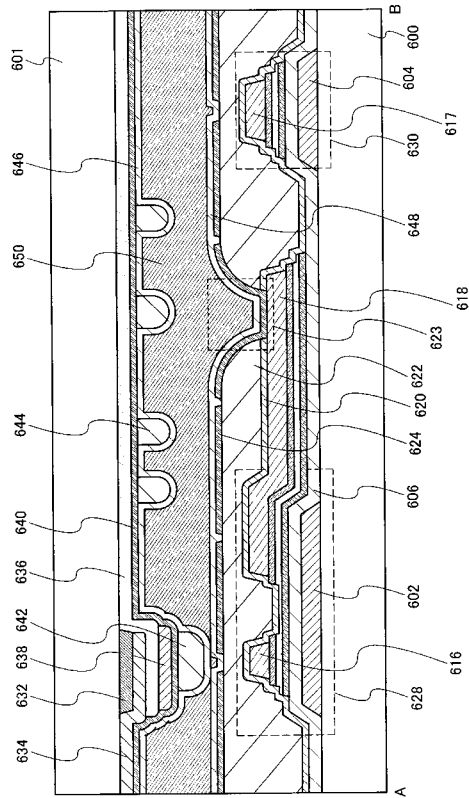
【図 1 3】



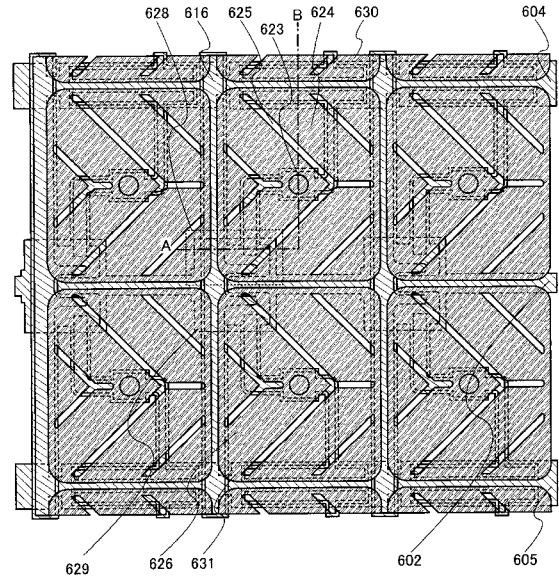
【図 1 4】



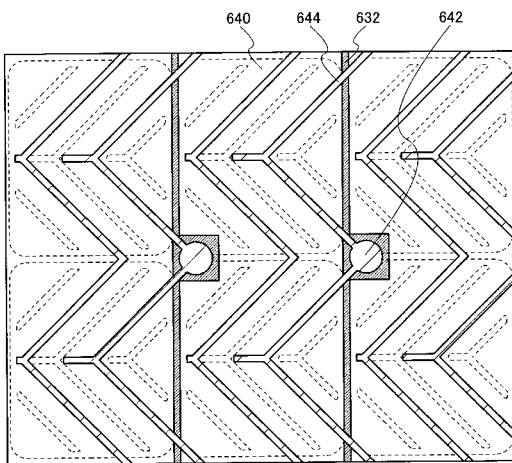
【図 15】



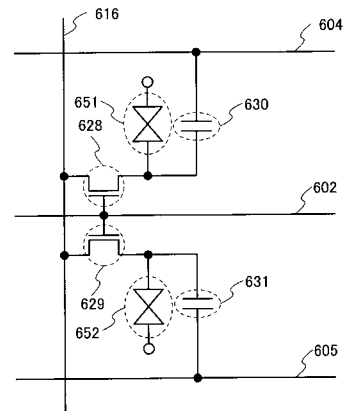
【図 16】



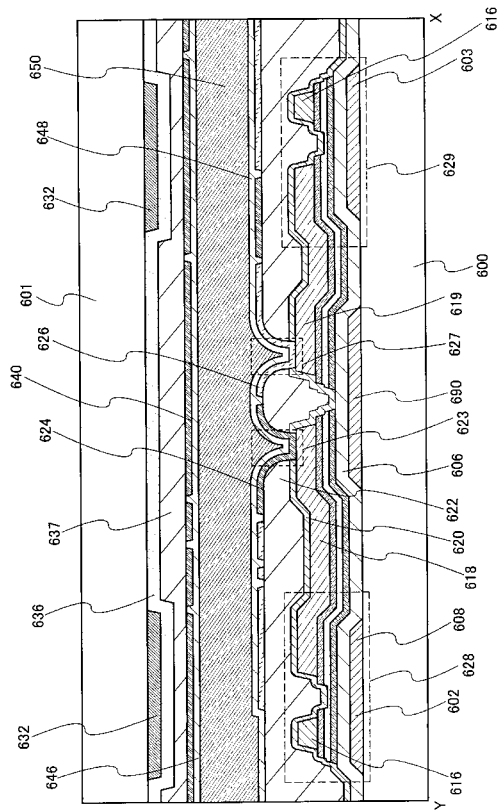
【図 17】



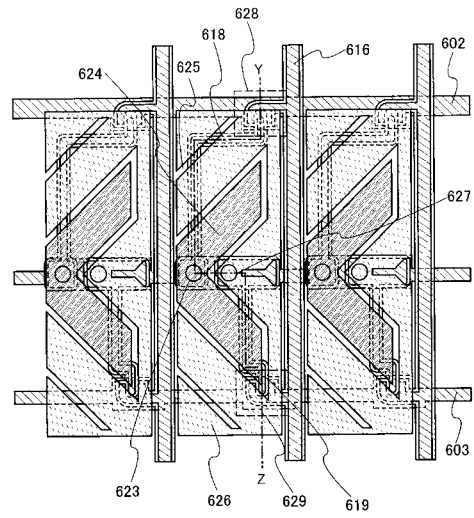
【図 18】



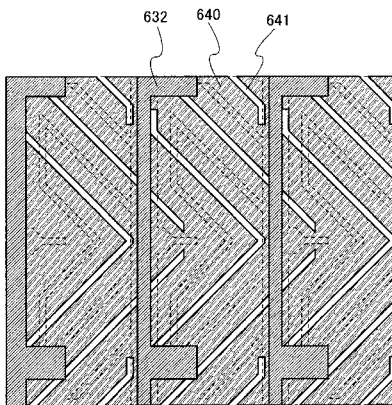
【図 19】



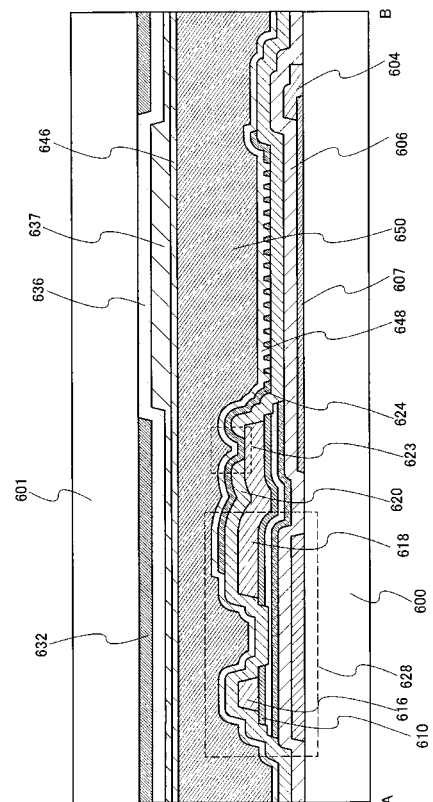
【図 20】



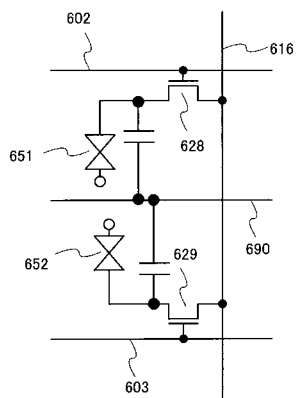
【図 21】



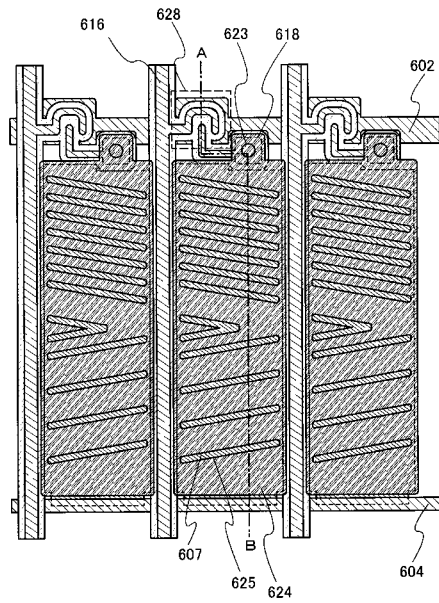
【図 23】



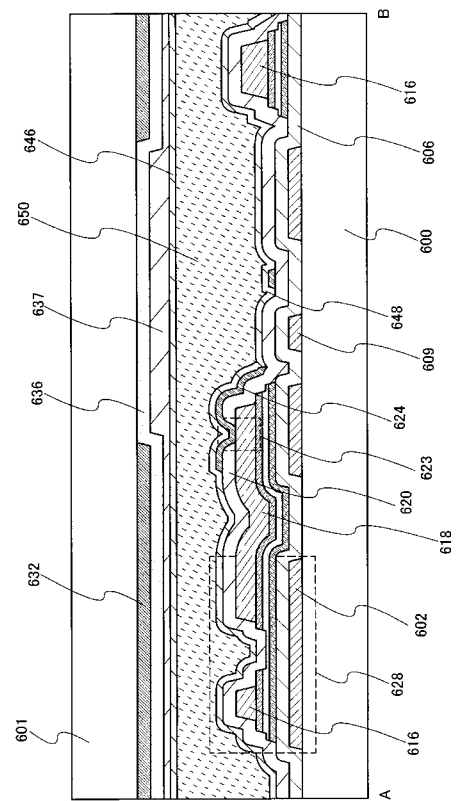
【図 22】



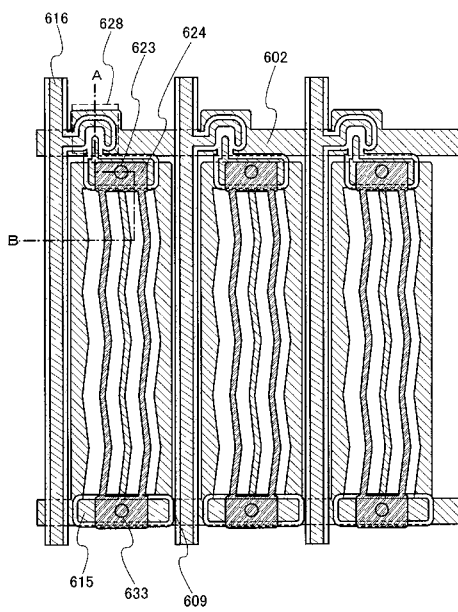
【図 24】



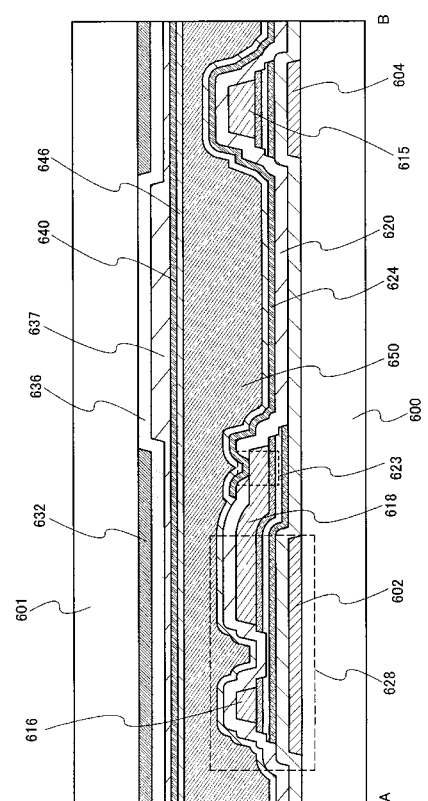
【図 25】



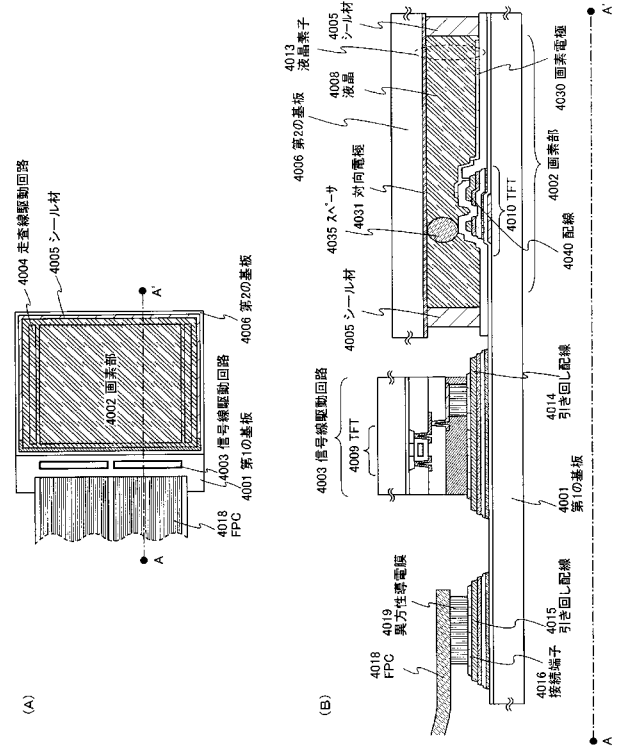
【図 26】



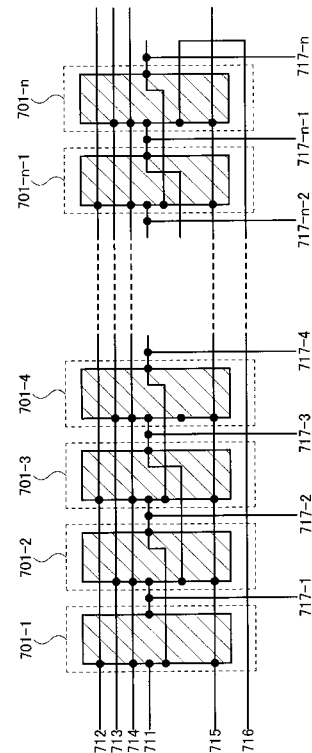
【図 27】



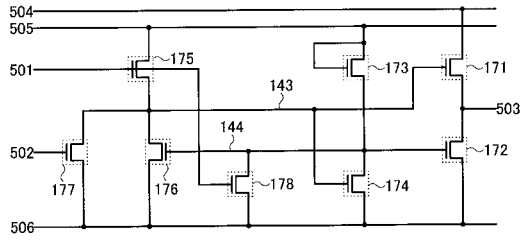
【 図 2 9 】



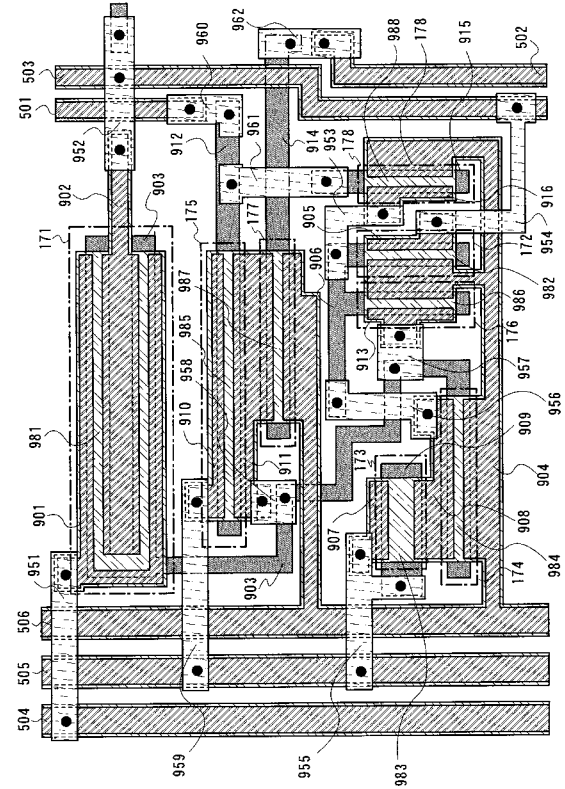
【 ㊦ 3 1 】



【図 3 2】

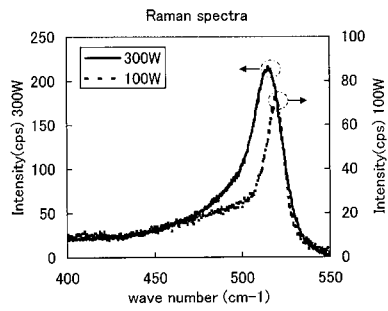


【図 3 3】

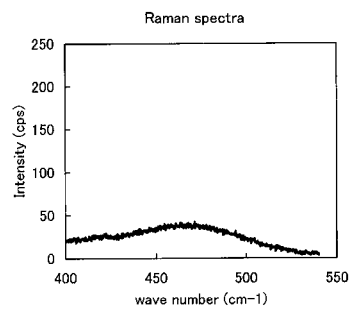


【図 3 4】

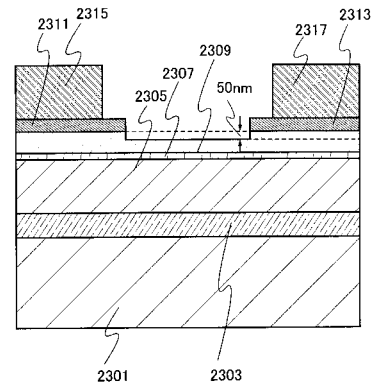
(A)



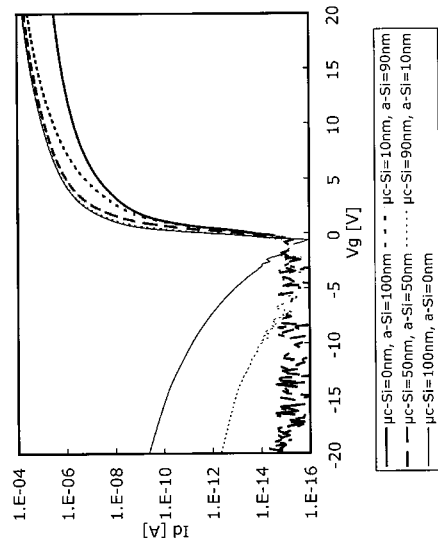
(B)



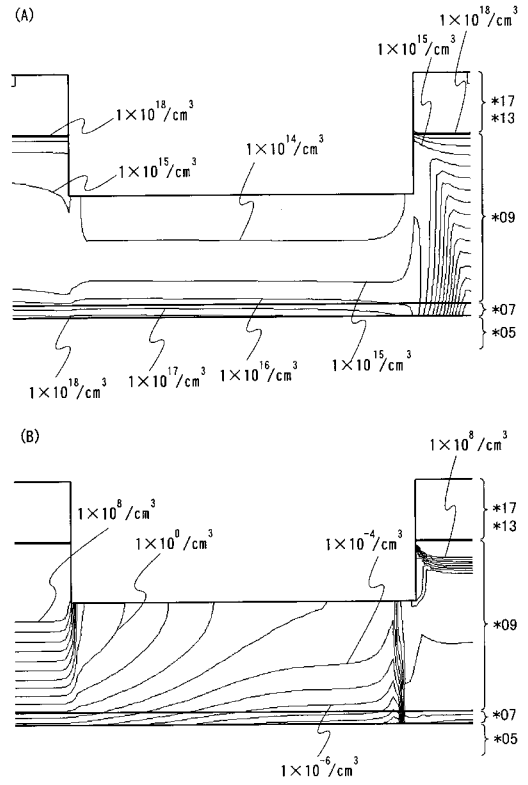
【図 3 5】



【図 36】



【図 37】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L	29/78	6 1 6 T
G 0 2 F	1/1339	5 0 0

F ターム(参考) 2H092 GA14 GA17 GA48 GA50 GA59 GA60 HA04 JA26 JA29 JA42
 JA46 JA47 JB05 JB69 KA04 KA05 MA05 MA07 MA20 MA35
 PA08 PA09 QA09
 2H189 DA07 DA12 DA19 DA22 DA23 DA31 EA04X EA06X FA16 GA06
 JA10 JA14 LA10 LA14 LA15
 2H192 AA24 BA25 BB02 BB13 BB53 BB54 BC24 BC31 CB05 CB34
 CB35 CB45 CB54 CB56 CB83 CC22 CC42 CC62 DA12 DA43
 DA44 EA22 EA43 FA73 FB02 FB27 GD14 HA44 JA13 JA33
 5F110 AA01 BB02 CC07 DD01 DD02 EE01 EE03 EE04 EE06 EE14
 EE23 EE43 EE44 FF02 FF03 FF04 FF09 FF10 FF28 FF29
 FF30 FF36 GG02 GG06 GG14 GG15 GG16 GG19 GG22 GG24
 GG25 GG28 GG29 GG32 GG33 GG34 GG43 GG45 GG57 GG58
 HK02 HK03 HK04 HK06 HK08 HK09 HK15 HK16 HK21 HK22
 HK25 HK32 HK33 HK35 HL01 HL07 HL09 HM02 HM04 HM12
 NN02 NN24 NN73 QQ02 QQ09

专利名称(译)	液晶表示装置		
公开(公告)号	JP2018141995A	公开(公告)日	2018-09-13
申请号	JP2018076732	申请日	2018-04-12
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 鈴木幸恵 桑原秀明 木村肇		
发明人	山崎 舜平 鈴木 幸恵 桑原 秀明 木村 肇		
IPC分类号	G02F1/1368 G02F1/1343 H01L29/786 G02F1/1339		
CPC分类号	G02F1/1368 G02F1/133345 G02F1/136286 H01L27/1214 H01L27/1222 H01L27/1288 H01L29/04 H01L29/458 H01L29/4908 H01L29/66765 H01L29/78696 H01L29/78678 G02F1/1343 G02F1/136209 H01L29/41733 H01L29/78618 G02F1/1339 G02F1/134309		
FI分类号	G02F1/1368 G02F1/1343 H01L29/78.618.E H01L29/78.618.C H01L29/78.616.U H01L29/78.616.T G02F1/1339.500		
F-TERM分类号	2H092/GA14 2H092/GA17 2H092/GA48 2H092/GA50 2H092/GA59 2H092/GA60 2H092/HA04 2H092 /JA26 2H092/JA29 2H092/JA42 2H092/JA46 2H092/JA47 2H092/JB05 2H092/JB69 2H092/KA04 2H092/KA05 2H092/MA05 2H092/MA07 2H092/MA20 2H092/MA35 2H092/PA08 2H092/PA09 2H092 /QA09 2H189/DA07 2H189/DA12 2H189/DA19 2H189/DA22 2H189/DA23 2H189/DA31 2H189/EA04X 2H189/EA06X 2H189/FA16 2H189/GA06 2H189/JA10 2H189/JA14 2H189/LA10 2H189/LA14 2H189 /LA15 2H192/AA24 2H192/BA25 2H192/BB02 2H192/BB13 2H192/BB53 2H192/BB54 2H192/BC24 2H192/BC31 2H192/CB05 2H192/CB34 2H192/CB35 2H192/CB45 2H192/CB54 2H192/CB56 2H192 /CB83 2H192/CC22 2H192/CC42 2H192/CC62 2H192/DA12 2H192/DA43 2H192/DA44 2H192/EA22 2H192/EA43 2H192/FA73 2H192/FB02 2H192/FB27 2H192/GD14 2H192/HA44 2H192/JA13 2H192 /JA33 5F110/AA01 5F110/BB02 5F110/CC07 5F110/DD01 5F110/DD02 5F110/EE01 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE23 5F110/EE43 5F110/EE44 5F110/FF02 5F110 /FF03 5F110/FF04 5F110/FF09 5F110/FF10 5F110/FF28 5F110/FF29 5F110/FF30 5F110/FF36 5F110 /GG02 5F110/GG06 5F110/GG14 5F110/GG15 5F110/GG16 5F110/GG19 5F110/GG22 5F110/GG24 5F110/GG25 5F110/GG28 5F110/GG29 5F110/GG32 5F110/GG33 5F110/GG34 5F110/GG43 5F110 /GG45 5F110/GG57 5F110/GG58 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK08 5F110/HK09 5F110/HK15 5F110/HK16 5F110/HK21 5F110/HK22 5F110/HK25 5F110/HK32 5F110 /HK33 5F110/HK35 5F110/HL01 5F110/HL07 5F110/HL09 5F110/HM02 5F110/HM04 5F110/HM12 5F110/NN02 5F110/NN24 5F110/NN73 5F110/QQ02 5F110/QQ09		
优先权	2007179092 2007-07-06 JP		
其他公开文献	JP6648186B2		
外部链接	Espacenet		
摘要(译)			

要解决的问题：提供具有高批量生产率的液晶显示装置。对向基板601，遮光膜632，第一滤色器634，第二滤色器636，第三滤色器638，对向电极640和间隔物642，第一滤色器634至第三滤色器638是彼此重叠并且进一步重叠成为间隔物的有机层的液晶显示装置。 .The 15

