

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-49276

(P2018-49276A)

(43) 公開日 平成30年3月29日(2018.3.29)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G02F 1/1343 (2006.01)	G02F 1/1343	2H192
H01L 21/336 (2006.01)	H01L 29/78 612Z	5C094
H01L 29/786 (2006.01)	G09F 9/30 338	5F110
G09F 9/30 (2006.01)		

審査請求 有 請求項の数 1 O L (全 70 頁)

(21) 出願番号	特願2017-195742 (P2017-195742)	(71) 出願人	000153878
(22) 出願日	平成29年10月6日 (2017.10.6)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2017-44889 (P2017-44889) の分割	(72) 発明者	山崎 舜平
原出願日	平成25年9月12日 (2013.9.12)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2012-202125 (P2012-202125)		半導体エネルギー研究所内
(32) 優先日	平成24年9月13日 (2012.9.13)	(72) 発明者	三宅 博之
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2013-53988 (P2013-53988)		半導体エネルギー研究所内
(32) 優先日	平成25年3月15日 (2013.3.15)	(72) 発明者	穴戸 英明
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	小山 潤
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

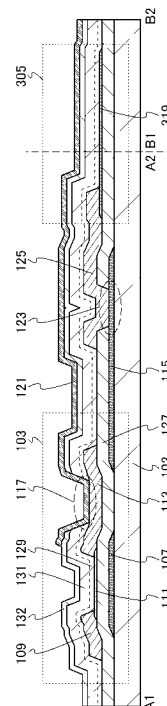
(54) 【発明の名称】 液晶表示装置

(57) 【要約】 (修正有)

【課題】開口率が高く、且つ電荷容量を増大させることが可能な容量素子を有する半導体装置を提供する。また、消費電力を低減することが可能な半導体装置を提供する。

【解決手段】透光性を有する半導体膜111を含むトランジスタ103と、一対の電極の間に誘電体膜が設けられた容量素子305と、透光性を有する半導体膜上に設けられた絶縁膜131と、絶縁膜131上に設けられた第1の透光性を有する導電膜121とを有し、容量素子305において、一方の電極として機能する第1の透光性を有する導電膜319と、誘電体として機能する絶縁膜131と、絶縁膜131を介して第1の透光性を有する導電膜121と対向し、且つ他方の電極として機能する第2の透光性を有する導電膜319を有する。また、第2の透光性を有する導電膜319は、トランジスタの透光性を有する半導体膜111と同一表面上に形成され、且つドーパントを含む金属酸化物膜である。

【選択図】 図15



【特許請求の範囲】

【請求項 1】

基板上の第 1 の導電膜と、
前記第 1 の導電膜上の第 1 の絶縁膜と、
前記第 1 の絶縁膜上の半導体膜と、
前記第 1 の絶縁膜上の画素電極と、
前記半導体膜上の第 2 の導電膜と、
前記半導体膜上、かつ前記画素電極上の第 3 の導電膜と、
前記画素電極上の第 2 の絶縁膜と、
前記第 2 の絶縁膜上の共通電極と、を有し、
前記第 1 の導電膜は、ゲート電極としての機能と、走査線としての機能と、を有し、
前記第 1 の導電膜は、前記第 1 の絶縁膜を介して前記半導体膜と重なる領域を有し、
前記第 2 の導電膜は、ソース電極またはドレイン電極の一方としての機能と、信号線としての機能と、を有し、
前記第 3 の導電膜は、前記ソース電極または前記ドレイン電極の他方としての機能を有し、
前記共通電極は、複数の開口部を有し、
前記画素電極は、前記開口部と重なる第 1 の領域と、前記開口部とは重ならない第 2 の領域と、を有する液晶表示装置。

10

【発明の詳細な説明】

20

【技術分野】

【0001】

本明細書などで開示する発明は半導体装置に関する。

【背景技術】

【0002】

近年、液晶ディスプレイ（LCD）などのフラットパネルディスプレイが広く普及してきている。フラットパネルディスプレイなどの表示装置において、行方向及び列方向に配設された画素内には、スイッチング素子であるトランジスタと、当該トランジスタと電氣的に接続された液晶素子と、当該液晶素子と並列に接続された容量素子とが設けられている。

30

【0003】

当該トランジスタの半導体膜を構成する半導体材料としては、アモルファス（非晶質）シリコン又はポリ（多結晶）シリコンなどのシリコン半導体が汎用されている。

【0004】

また、半導体特性を示す金属酸化物（以下、酸化物半導体と記す。）は、トランジスタの半導体膜に適用できる半導体材料である。例えば、酸化亜鉛又は $In-Ga-Zn$ 系酸化物半導体を用いて、トランジスタを作製する技術が開示されている（特許文献 1 及び特許文献 2 を参照。）。

【0005】

また、開口率を高めるために、トランジスタの酸化物半導体膜と同じ表面上に設けられた酸化物半導体膜と、トランジスタに接続する画素電極とが所定の距離を離れて設けられた容量素子を有する表示装置が開示されている（特許文献 3 を参照。）。

40

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2007-123861 号公報

【特許文献 2】特開 2007-96055 号公報

【特許文献 3】米国特許第 8102476 号明細書

【発明の概要】

【発明が解決しようとする課題】

50

【0007】

容量素子是一对の電極の間に誘電体膜が設けられており、一对の電極のうち、少なくとも一方の電極は、トランジスタを構成するゲート電極、ソース電極又はドレイン電極など遮光性を有する導電膜で形成されていることが多い。

【0008】

また、容量素子の容量値を大きくするほど、電界を加えた状況において、液晶素子の液晶分子の配向を一定に保つことができる期間を長くすることができる。静止画を表示させる表示装置において、当該期間を長くできることは、画像データを書き換える回数を低減することができ、消費電力の低減が望める。

【0009】

しかしながら、容量素子の一方の電極が半導体膜で形成される場合、当該半導体膜に印加される電位によっては、容量素子に充電される容量値が所定の値より低い値となってしまう、液晶素子の液晶分子の配向を一定に保つ期間が短くなり、画像データの書き換え回数が増加し、消費電力が増大してしまう。

【0010】

また、容量素子の電荷容量を大きくするためには、容量素子の占有面積を大きくする、具体的には一对の電極が重畳している面積を大きくするという手段がある。しかしながら、上記表示装置において、一对の電極が重畳している面積を大きくするために遮光性を有する導電膜の面積を大きくすると、画素の開口率が低減し、画像の表示品位が低下する。

【0011】

そこで、上記課題に鑑みて、本発明の一態様は、開口率が高く、且つ電荷容量を増大させることが可能な容量素子を有する半導体装置を提供することを課題の一とする。また、消費電力を低減する可能な半導体装置を提供することを課題の一とする。

【課題を解決するための手段】

【0012】

本発明の一態様は、透光性を有する半導体膜を含むトランジスタと、一对の電極の間に誘電体膜が設けられた容量素子と、透光性を有する半導体膜上に設けられた絶縁膜と、絶縁膜上に設けられた第1の透光性を有する導電膜とを有し、容量素子において、一方の電極として機能する第1の透光性を有する導電膜と、誘電体として機能する上記絶縁膜と、該絶縁膜を介して第1の透光性を有する導電膜と対向し、且つ他方の電極として機能する第2の透光性を有する導電膜を有する。また、該第2の透光性を有する導電膜は、トランジスタの透光性を有する半導体膜と同一表面上に形成され、且つドーパントを含む金属酸化物膜である。

【0013】

トランジスタに含まれる透光性を有する半導体膜は、酸化物半導体を用いて形成することができる。酸化物半導体は、エネルギーギャップが3.0 eV以上と大きく、可視光に対する透過率が大きいためである。なお、本明細書において、トランジスタに含まれる透光性を有する半導体膜のように半導体特性を示す金属酸化物を、酸化物半導体として説明する。また、容量素子に含まれる第2の透光性を有する導電膜は、導体特性を示すため、当該膜を金属酸化物として説明する。

【0014】

容量素子の他方の電極として機能する第2の透光性を有する導電膜として、トランジスタに含まれる半導体膜を形成する工程で形成した半導体膜を用い、当該半導体膜にドーパントを添加することで導電率を増大させ、導体特性を有する金属酸化物膜とすることができる。例えば、水素、ホウ素、窒素、フッ素、アルミニウム、リン、ヒ素、インジウム、スズ、アンチモン及び希ガス元素から選ばれた一種以上のドーパントを、イオン注入法又はイオンドーピング法などで半導体膜に添加することが可能であり、又は当該半導体膜を上記元素含むプラズマに曝すことでも上記ドーパントを添加することができる。この場合、容量素子の他方の電極である第2の透光性を有する導電膜の導電率は、10 S/cm以上1000 S/cm以下、好ましくは100 S/cm以上1000 S/cm以下とする。

10

20

30

40

50

【0015】

また、容量素子において、誘電体膜はトランジスタに含まれる透光性を有する半導体膜上に設けられた絶縁膜を用いることから、当該絶縁膜と同じ積層構造とすることができる。例えば、トランジスタに含まれる半導体膜上に設けられた絶縁膜を酸化絶縁膜及び窒化絶縁膜の積層構造とする場合、容量素子の誘電体膜は、酸化絶縁膜及び窒化絶縁膜の積層構造とすることができる。

【0016】

また、容量素子において、トランジスタに含まれる半導体膜上に設けられた絶縁膜を酸化絶縁膜及び窒化絶縁膜とする場合、当該酸化絶縁膜を形成した後に容量素子が形成される領域のみ当該酸化絶縁膜を除去することで、容量素子の誘電体膜を、窒化絶縁膜の単層構造とすることができる。別言すると、当該窒化絶縁膜は、容量素子の他方の電極として機能する第2の透光性を有する導電膜に接する。第2の透光性を有する導電膜は、トランジスタに含まれる透光性を有する半導体膜と同時に形成される半導体膜を用いて形成されており、且つ当該半導体膜が窒化絶縁膜と接することで、当該窒化絶縁膜と当該半導体膜の界面に欠陥準位（界面準位）が形成される。又は／及び、窒化絶縁膜をプラズマCVD法又はスパッタリング法で成膜すると、当該半導体膜がプラズマに曝され、酸素欠損が生成される。更には、当該窒化絶縁膜に含まれる窒素又は／及び水素が当該半導体膜に移動する。欠陥準位又は酸素欠損に窒化絶縁膜に含まれる水素が入ることで、キャリアである電子が生成される。この結果、当該半導体膜は、導電率が増大し、n型となり、導電性を有する膜となる。即ち、導体としての特性を有する金属酸化物膜を形成することができる。また、誘電体膜の厚さを薄くすることが可能であるため、容量素子の電荷容量を増大させることができる。

10

20

【0017】

上記より、容量素子において、窒化絶縁膜が上記半導体膜に接する構造とすることで、イオン注入法又はイオンドーピング法など、導電率を増大させるドーパントを上記半導体膜に添加する工程を省略することができ、半導体装置の歩留まりを向上させ、作製コストを低減することができる。

【0018】

なお、トランジスタに含まれる半導体膜を酸化半導体膜とし、酸化絶縁膜及び窒化絶縁膜の積層構造を当該半導体膜上に設けられる絶縁膜とする場合、当該酸化絶縁膜は窒素を透過させにくい、すなわち窒素に対するバリア性を有していることが好ましい。

30

【0019】

このようにすることで、トランジスタに含まれる半導体膜である酸化半導体膜に窒素及び水素の一方又は双方が拡散することを抑制でき、トランジスタの電気特性変動を抑制することができる。

【0020】

なお、第1の透光性を有する導電膜がトランジスタに接続する場合、第1の透光性を有する導電膜が画素電極として機能する。

【0021】

第1の透光性を有する導電膜が画素電極として機能する場合、容量線が、走査線と平行方向に延伸し、且つ走査線と同一表面上に設けられている。容量素子の他方の電極（第2の透光性を有する導電膜）は、トランジスタのソース電極又はドレイン電極を形成する際に同時に形成される導電膜によって容量線と電氣的に接続されている。

40

【0022】

また、容量線は、走査線と平行方向に延伸し、走査線と同一表面上に設けることに限らず、トランジスタのソース電極又はドレイン電極を含む信号線と平行方向に延伸し、且つ信号線と同一表面上に設けられており、容量素子の他方の電極（第2の透光性を有する導電膜）と電氣的に接続されてもよい。

【0023】

また、容量線は、容量素子に含まれる第2の透光性を有する導電膜を用いて形成されて

50

もよい。

【0024】

また、容量線は、隣接する複数の画素に含まれる容量素子それぞれと接続してもよい。この場合、隣接する画素の間に容量線が設けられてもよい。

【0025】

また、第2の透光性を有する導電膜がトランジスタと接続してもよい。この場合、第2の透光性を有する導電膜が画素電極として機能し、第1の透光性を有する導電膜が共通電極及び容量配線として機能する。

【0026】

上記構成とすることで、容量素子は透光性を有するため、画素内のトランジスタが形成される箇所以外の領域に大きく（大面積に）形成することができる。従って、開口率を高めつつ、電荷容量を増大させた半導体装置を得ることができる。この結果、表示品位の優れた半導体装置を得ることができる。

【0027】

透光性を有する容量素子は、トランジスタの作製工程を利用することで作製できる。容量素子の一方の電極は、画素電極又は共通電極として機能する透光性を有する導電膜を形成する工程を利用することができる。容量素子の他方の電極は、トランジスタに含まれる半導体膜を形成する工程を利用できる。このため、トランジスタに含まれる半導体膜と、容量素子の他方の電極とは、同じ金属元素で構成される。容量素子の誘電体膜は、トランジスタに含まれる半導体膜上に設けられる絶縁膜を形成する工程を利用できる。

【0028】

なお、本発明の一態様である半導体装置を作製する作製方法についても本発明の一態様に含まれる。

【発明の効果】

【0029】

本発明の一態様より、開口率を高めつつ、電荷容量を増大させた容量素子を有する半導体装置を提供することができる。また、消費電力の低い半導体装置を提供することができる。

【図面の簡単な説明】

【0030】

【図1】本発明の一態様である半導体装置を説明する図、及び画素を説明する回路図。

【図2】本発明の一態様である半導体装置を説明する上面図。

【図3】本発明の一態様である半導体装置を説明する断面図。

【図4】本発明の一態様である半導体装置を説明する上面図。

【図5】本発明の一態様である半導体装置を説明する断面図。

【図6】本発明の一態様である半導体装置の作製方法を説明する断面図。

【図7】本発明の一態様である半導体装置の作製方法を説明する断面図。

【図8】本発明の一態様である半導体装置の作製方法を説明する断面図。

【図9】本発明の一態様である半導体装置を説明する断面図。

【図10】本発明の一態様である半導体装置を説明する断面図。

【図11】本発明の一態様である半導体装置を説明する上面図。

【図12】本発明の一態様である半導体装置を説明する上面図。

【図13】本発明の一態様である半導体装置を説明する上面図。

【図14】本発明の一態様である半導体装置を説明する上面図。

【図15】本発明の一態様である半導体装置を説明する断面図。

【図16】本発明の一態様である半導体装置の作製方法を説明する断面図。

【図17】本発明の一態様である半導体装置の作製方法を説明する断面図。

【図18】本発明の一態様である半導体装置を説明する上面図。

【図19】本発明の一態様である半導体装置を説明する断面図。

【図20】本発明の一態様である半導体装置を説明する断面図。

10

20

30

40

50

- 【図 2 1】本発明の一態様である半導体装置を説明する上面図。
【図 2 2】本発明の一態様である半導体装置を説明する断面図。
【図 2 3】本発明の一態様である半導体装置を説明する断面図及び上面図。
【図 2 4】本発明の一態様である半導体装置を用いた電子機器を説明する図。
【図 2 5】本発明の一態様である半導体装置を用いた電子機器を説明する図。
【図 2 6】試料構造を説明する図である。
【図 2 7】シート抵抗を説明する図である。
【図 2 8】SIMSの測定結果を説明する図である。
【図 2 9】ESRの測定結果を説明する図である。
【図 3 0】ESRの測定結果を説明する図である。10
【図 3 1】シート抵抗を説明する図である。
【図 3 2】シート抵抗を説明する図である。
【図 3 3】InGaZnO₄結晶のバルクモデルを説明する図。
【図 3 4】VoHの形成エネルギー及び熱力学的遷移レベルを説明する図。
【図 3 5】試料の作製工程を説明する図及び試料のシート抵抗を説明する図である。
【図 3 6】試料の作製工程及びその構造を説明する図である。
【図 3 7】試料の透過率を説明する図である。

【発明を実施するための形態】

【0031】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。20

【0032】

以下に説明する本発明の構成において、同一部分又は同様の機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を有する部分を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0033】

本明細書で説明する各図において、各構成の大きさ、膜の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。30

【0034】

本明細書などにおいて、第1、第2等として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書等において発明を特定するための事項として固有の名称を示すものではない。

【0035】

また、本発明における「ソース」及び「ドレイン」の機能は、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」及び「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0036】

また、電圧とは2点間における電位差のことをいい、電位とはある一点における静電場の中にある単位電荷が持つ静電エネルギー（電気的な位置エネルギー）のことをいう。ただし、一般的に、ある一点における電位と基準となる電位（例えば接地電位）との電位差のことを、単に電位もしくは電圧と呼び、電位と電圧が同義語として用いられることが多い。このため、本明細書では特に指定する場合を除き、電位を電圧と読み替えてもよいし、電圧を電位と読み替えてもよいこととする。40

【0037】

本明細書において、フォトリソグラフィ処理を行った後にエッチング処理を行う場合は、フォトリソグラフィ処理で形成したマスクは除去するものとする。

【0038】

(実施の形態 1)

本実施の形態では、本発明の一態様である半導体装置について、図面を用いて説明する。なお、本実施の形態では、液晶表示装置を例にして本発明の一態様である半導体装置を説明する。

【0039】

<半導体装置の構成>

図1(A)に、半導体装置の一例を示す。図1(A)に示す半導体装置は、画素部100と、走査線駆動回路104と、信号線駆動回路106と、各々が平行又は略平行に配設され、且つ走査線駆動回路104によって電位が制御されるm本の走査線107と、各々が平行又は略平行に配設され、且つ信号線駆動回路106によって電位が制御されるn本の信号線109と、を有する。さらに、画素部100はマトリクス状に配設された複数の画素201を有する。また、走査線107に沿って、各々が平行又は略平行に配設された容量線115を有する。なお、容量線115は、信号線109に沿って、各々が平行又は略平行に配設されていてもよい。

【0040】

各走査線107は、画素部100においてm行n列に配設された画素201のうち、いずれかの行に配設されたn個の画素201と電氣的に接続される。また、各信号線109は、m行n列に配設された画素201のうち、いずれかの列に配設されたm個の画素201に電氣的と接続される。m、nは、ともに1以上の整数である。また、各容量線115は、m行n列に配設された画素201のうち、いずれかの行に配設されたn個の画素201と電氣的に接続される。なお、容量線115が、信号線109に沿って、各々が平行又は略平行に配設されている場合は、m行n列に配設された画素201のうち、いずれかの列に配設されたm個の画素201に電氣的と接続される。

【0041】

図1(B)は、図1(A)に示す半導体装置が有する画素201の回路図の一例である。図1(B)に示す画素201は、走査線107及び信号線109と電氣的に接続されたトランジスタ103と、一方の電極がトランジスタ103のドレイン電極と電氣的に接続され、他方の電極が一定の電位を供給する容量線115と電氣的に接続された容量素子205と、画素電極がトランジスタ103のドレイン電極及び容量素子205の一方の電極に電氣的に接続され、画素電極と対向して設けられる電極(対向電極)が対向電位を供給する配線に電氣的に接続された液晶素子108と、を有する。

【0042】

液晶素子108は、トランジスタ103及び画素電極が形成される基板と、対向電極が形成される基板とで挟持される液晶の光学的変調作用によって、光の透過又は非透過を制御する素子である。なお、液晶の光学的変調作用は、液晶にかかる電界(縦方向の電界又は斜め方向の電界を含む。)によって制御される。なお、画素電極が形成される基板において対向電極(共通電極ともいう。)が形成される場合、液晶にかかる電界は横方向の電界となる。

【0043】

次いで、液晶表示装置の画素201の具体的な例について説明する。画素201の上面図を図2に示す。なお、図2においては、対向電極及び液晶素子を省略する。

【0044】

図2において、走査線107は、信号線109に略直交する方向(図中左右方向)に延伸して設けられている。信号線109は、走査線107に略直交する方向(図中上下方向)に延伸して設けられている。容量線115は、走査線107と平行方向に延伸して設けられている。なお、走査線107及び容量線115は、走査線駆動回路104(図1(A)を参照。)と電氣的に接続されており、信号線109は、信号線駆動回路106(図1(A)を参照。)に電氣的に接続されている。

【0045】

トランジスタ103は、走査線107及び信号線109が交差する領域に設けられてい

10

20

30

40

50

る。トランジスタ103は、少なくとも、チャネル形成領域を有する半導体膜111と、ゲート電極と、ゲート絶縁膜（図2に図示せず。）と、ソース電極と、及びドレイン電極とを含む。なお、走査線107において、半導体膜111と重畳する領域はトランジスタ103のゲート電極として機能する。信号線109において、半導体膜111と重畳する領域はトランジスタ103のソース電極として機能する。導電膜113において、半導体膜111と重畳する領域はトランジスタ103のドレイン電極として機能する。このため、ゲート電極、ソース電極、及びドレイン電極をそれぞれ、走査線107、信号線109、及び導電膜113と示す場合がある。また、図2において、走査線107は、上面形状において端部が半導体膜の端部より外側に位置する。このため、走査線107はバックライトなどの光源からの光を遮る遮光膜として機能する。この結果、トランジスタに含まれる半導体膜111に光が照射されず、トランジスタの電気特性の変動を抑制することができる。

10

【0046】

また、酸化物半導体は適切な条件にて処理することでトランジスタのオフ電流を極めて低減することができるため、本発明の一態様では半導体膜111は酸化物半導体を用いる。これにより、半導体装置の消費電力を低減することができる。

【0047】

また、導電膜113は、開口117を通じて透光性を有する導電膜で形成される画素電極221と電気的に接続されている。なお、図2において、画素電極221はハッチングを省略して図示している。

20

【0048】

容量素子205は、画素201内の容量線115及び信号線109で囲まれる領域に設けられている。容量素子205は、開口123に設けられた導電膜125を通じて容量線115と電気的に接続されている。容量素子205は、透光性を有する導電膜119と、透光性を有する画素電極221と、誘電体膜として、トランジスタ103上に形成される透光性を有する絶縁膜（図2に図示せず。）とで構成されている。即ち、容量素子205は透光性を有する。

【0049】

このように容量素子205は透光性を有するため、画素201内に容量素子205を大きく（大面積に）形成することができる。従って、開口率を高めつつ、代表的には55%以上、好ましくは60%以上とすることが可能であると共に、電荷容量を増大させた半導体装置を得ることができる。例えば、解像度の高い半導体装置、例えば液晶表示装置においては、画素の面積が小さくなり、容量素子の面積も小さくなる。このため、解像度の高い半導体装置において、容量素子に蓄積される電荷容量が小さくなる。しかしながら、本実施の形態に示す容量素子205は透光性を有するため、当該容量素子を画素に設けることで、各画素において十分な電荷容量を得つつ、開口率を高めることができる。代表的には、画素密度が200ppi以上、さらには300ppi以上である高解像度の半導体装置に好適に用いることができる。また、本発明の一態様は、高解像度の表示装置においても、開口率を高めることができるため、バックライトなどの光源の光を効率よく利用することができ、表示装置の消費電力を低減することができる。

30

40

【0050】

ここで、酸化物半導体を用いたトランジスタの特徴について記載する。酸化物半導体を用いたトランジスタはnチャネル型トランジスタである。また、酸化物半導体に含まれる酸素欠損に起因してキャリアが生成されることがあり、トランジスタの電気特性及び信頼性を低下させる恐れがある。例えば、トランジスタのしきい値電圧をマイナス方向に変動し、ゲート電圧が0Vの場合にドレイン電流が流れてしまうことがある。このように、ゲート電圧が0Vの場合にドレイン電流が流れてしまうトランジスタをノーマリーオン特性といい、このような特性を有するトランジスタをデプレッション型トランジスタという。なお、ゲート電圧が0Vの場合にドレイン電流が流れていないとみなすことができるトランジスタをノーマリーオフ特性といい、このような特性を有するトランジスタをエンハン

50

スメント型トランジスタという。

【0051】

半導体膜111に酸化物半導体を用いる際、半導体膜111である酸化物半導体膜に含まれる欠陥、代表的には酸素欠損はできる限り低減されていることが好ましい。例えば、磁場の向きを膜面に対して平行に印加した電子スピン共鳴法による g 値 $=1.93$ のスピン密度（酸化物半導体膜に含まれる欠陥密度に相当する。）は、測定器の検出下限以下まで低減されていることが好ましい。酸化物半導体膜に含まれる欠陥、代表的には酸素欠損をできる限り低減することで、トランジスタ103がノーマリーオン特性となることを抑制することができ、半導体装置の電気特性及び信頼性を向上させることができる。また、半導体装置の消費電力を低減することができる。

10

【0052】

トランジスタのしきい値電圧のマイナス方向への変動は酸素欠損だけではなく、酸化物半導体に含まれる水素（水などの水素化合物を含む。）によっても引き起こされることがある。酸化物半導体に含まれる水素は金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子（又は酸素が脱離した部分）に欠損（酸素欠損ともいえる。）を形成する。また、水素の一部が酸素と反応することで、キャリアである電子を生成してしまう。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。

【0053】

そこで、半導体膜111に酸化物半導体を用いる際、半導体膜111である酸化物半導体膜は水素ができる限り低減されていることが好ましい。具体的には、半導体膜111において、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる水素濃度を、 $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下とする。

20

【0054】

また、半導体膜111は、二次イオン質量分析法により得られるアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります、トランジスタ103のオフ電流を増大させることがある。

30

【0055】

また、半導体膜111である酸化物半導体膜に窒素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、 n 型化しやすい。この結果、窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。従って、当該酸化物半導体膜において、窒素はできる限り低減されていることが好ましい、例えば、窒素濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下にすることが好ましい。

【0056】

このように、不純物（水素、窒素、アルカリ金属又はアルカリ土類金属など）をできる限り低減させ、高純度化させた酸化物半導体膜を半導体膜111とすることで、エンハンスメント型となり、トランジスタ103がノーマリーオン特性となることを抑制でき、トランジスタ103のオフ電流を極めて低減することができる。従って、良好な電気特性に有する半導体装置を作製できる。また、信頼性を向上させた半導体装置を作製することができる。

40

【0057】

なお、高純度化された酸化物半導体膜を用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長 L が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1 V から 10 V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{ A}$ 以下という特性を得ることができる。この場合、トランジス

50

タのチャネル幅で除した数値に相当するオフ電流は、 $100\text{ zA}/\mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入又は容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行う。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定する。その結果、トランジスタのソース電極とドレイン電極間の電圧が 3 V の場合に、数十 $\text{yA}/\mu\text{m}$ という、さらに低いオフ電流が得られる。従って、高純度化された酸化物半導体膜を用いたトランジスタは、オフ電流が著しく小さい。

【0058】

次いで、図2の一点鎖線A1-A2間及び一点鎖線B1-B2間における断面図を図3に示す。

【0059】

液晶表示装置の画素201の断面構造は以下の通りである。液晶表示装置は、基板102上に形成される素子部と、基板150上に形成される素子部と、該2つの素子部で挟まれる液晶層とを有する。

【0060】

はじめに、基板102上に設けられる素子部の構造について説明する。基板102上に、トランジスタ103のゲート電極107aを含む走査線107と、走査線107と同一表面上に設けられている容量線115とが設けられている。走査線107及び容量線115上にゲート絶縁膜127が設けられている。ゲート絶縁膜127の走査線107と重畳する領域上に半導体膜111が設けられており、ゲート絶縁膜127上に透光性を有する導電膜119が設けられている。半導体膜111上及びゲート絶縁膜127上にトランジスタ103のソース電極109aを含む信号線109と、トランジスタ103のドレイン電極113aを含む導電膜113とが設けられている。ゲート絶縁膜127には容量線115に達する開口123が設けられており、開口123、ゲート絶縁膜127上、及び透光性を有する導電膜119上に導電膜125が設けられている。ゲート絶縁膜127上、信号線109上、半導体膜111上、導電膜113上、導電膜125上にトランジスタ103の保護絶縁膜として機能する絶縁膜229、絶縁膜231、及び絶縁膜232が設けられている。また、少なくとも容量素子205となる領域において、透光性を有する導電膜119に接する絶縁膜232が設けられている。絶縁膜229、絶縁膜231、及び絶縁膜232には導電膜113に達する開口117が設けられており、開口117及び絶縁膜232上に画素電極221が設けられている。また、画素電極221及び絶縁膜232上に配向膜として機能する絶縁膜158が設けられている。なお、基板102と、走査線107及び容量線115並びにゲート絶縁膜127との間には下地絶縁膜が設けられていてもよい。

【0061】

本実施の形態に示す容量素子205は、一对の電極のうち一方の電極が画素電極221であり、一对の電極のうち他方の電極が半導体膜111と同じ工程で形成された半導体膜を導体特性を有する金属酸化物膜とした透光性を有する導電膜119であり、一对の電極の間に設けられた誘電体膜を絶縁膜232とすることで、誘電体膜の厚さを薄くすることができる。従って、容量素子205の電荷容量を増大させることができる。

【0062】

また、絶縁膜232は、窒化絶縁膜であることが好ましい。

【0063】

なお、図2においては、絶縁膜229（図示せず。）及び絶縁膜231（図示せず。）が設けられていない領域（二点破線の内側）の端部を透光性を有する導電膜119の外側に設けたが、図4に示すように、絶縁膜279（図示せず。）及び絶縁膜281（図示せず。）が設けられていない領域（二点破線の内側）の端部を、透光性を有する導電膜119上に設けてもよい。

【0064】

10

20

30

40

50

図4の一点鎖線A1-A2間及び一点鎖線B1-B2間における断面図を図5に示す。

【0065】

図5においては、ゲート絶縁膜127上、信号線109上、半導体膜111上、導電膜113上、導電膜125上、透光性を有する導電膜119上にトランジスタ103の保護絶縁膜として機能する絶縁膜279、絶縁膜281、及び絶縁膜282が設けられている。また、透光性を有する導電膜119上に、絶縁膜279及び絶縁膜281の端部が位置する。また、透光性を有する導電膜119上に絶縁膜282が設けられている。また、容量素子255は、透光性を有する導電膜119、絶縁膜282、及び画素電極271で構成される。なお、絶縁膜279、絶縁膜281、及び絶縁膜282はそれぞれ、絶縁膜229、絶縁膜231、及び絶縁膜232と同様の材料を用いて形成することができる。また、画素電極271は、画素電極221と同様の材料を用いて形成することができる。図5に示すように、絶縁膜279及び絶縁膜281の端部が透光性を有する導電膜119上に位置するため、絶縁膜279及び絶縁膜281のエッチングにおけるゲート絶縁膜127の過剰なエッチングを防ぐことができる。

【0066】

以下に、上記構造の構成要素について詳細を記載する。

【0067】

基板102の材質などに大きな制限はないが、少なくとも、半導体装置の作製工程において行う熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、プラスチック基板などがあり、ガラス基板としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス若しくはアルミノケイ酸ガラス等の無アルカリガラス基板を用いるとよい。また、ステンレス合金などの透光性を有していない基板を用いることもできる。その場合は、基板表面に絶縁膜を設けることが好ましい。なお、基板102として石英基板、サファイア基板、単結晶半導体基板、多結晶半導体基板、化合物半導体基板、SOI(Silicon On Insulator)基板などを用いることもできる。

【0068】

走査線107及び容量線115は大電流を流すため、金属膜で形成することが好ましく、代表的には、モリブデン(Mo)、チタン(Ti)、タングステン(W)、タンタル(Ta)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ネオジム(Nd)、スカンジウム(Sc)などの金属材料又はこれらを主成分とする合金材料を用いた、単層構造又は積層構造で設ける。

【0069】

走査線107及び容量線115の一例としては、シリコンを含むアルミニウムを用いた単層構造、アルミニウム上にチタンを積層する二層構造、窒化チタン上にチタンを積層する二層構造、窒化チタン上にタングステンを積層する二層構造、窒化タンタル上にタングステンを積層する二層構造、銅-マグネシウム-アルミニウム合金上に銅を積層する二層構造、窒化チタン上に銅を積層し、さらにその上にタングステンを形成する三層構造などがある。

【0070】

また、走査線107及び容量線115の材料として、画素電極221に適用可能な透光性を有する導電性材料を用いることができる。

【0071】

さらに、走査線107及び容量線115の材料として、窒素を含む金属酸化物、具体的には、窒素を含むIn-Ga-Zn系酸化物や、窒素を含むIn-Sn系酸化物や、窒素を含むIn-Ga系酸化物や、窒素を含むIn-Zn系酸化物や、窒素を含むSn系酸化物や、窒素を含むIn系酸化物や、金属窒化膜(InN、SnNなど)を用いることができる。これらの材料は5eV(電子ボルト)以上の仕事関数を有する。トランジスタ103の半導体膜111に酸化物半導体を用いる場合、走査線107(トランジスタ103のゲート電極)として窒素を含む金属酸化物を用いることで、トランジスタ103のしきい

値電圧をプラス方向に変動させることができ、所謂ノーマリーオフ特性を有するトランジスタを実現できる。例えば、窒素を含む In-Ga-Zn 系酸化物を用いる場合、少なくとも半導体膜 111 の酸化物半導体膜より高い窒素濃度、具体的には窒素濃度が 7 原子% 以上の In-Ga-Zn 系酸化物を用いることができる。

【0072】

走査線 107 及び容量線 115 において、低抵抗材料であるアルミニウムや銅を用いることが好ましい。アルミニウムや銅を用いることで、信号遅延を低減し、表示品位を高めることができる。なお、アルミニウムは耐熱性が低く、ヒロック、ウィスカ、あるいはマイグレーションによる不良が発生しやすい。アルミニウムのマイグレーションを防ぐため、アルミニウムに、モリブデン、チタン、タングステンなどの、アルミニウムよりも融点の高い金属材料を積層することが好ましい。また、銅を用いる場合も、マイグレーションによる不良や銅元素の拡散を防ぐため、モリブデン、チタン、タングステンなどの、銅よりも融点の高い金属材料を積層することが好ましい。

10

【0073】

ゲート絶縁膜 127 は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウム又は Ga-Zn 系金属酸化物などの絶縁材料を用いた、単層構造又は積層構造で設ける。なお、半導体膜 111 である酸化物半導体膜との界面特性を向上させるため、ゲート絶縁膜 127 において少なくとも半導体膜 111 と接する領域は酸化絶縁膜で形成することが好ましい。

【0074】

また、ゲート絶縁膜 127 に、酸素、水素、水などに対するバリア性を有する絶縁膜を設けることで、半導体膜 111 である酸化物半導体膜からの酸素の外部への拡散と、外部から当該酸化物半導体膜への水素、水等の侵入を防ぐことができる。酸素、水素、水などに対するバリア性を有する絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、窒化シリコンなどがある。

20

【0075】

また、ゲート絶縁膜 127 として、ハフニウムシリケート (HfSiO_x)、窒素を有するハフニウムシリケート ($\text{HfSi}_x\text{O}_y\text{N}_z$)、窒素を有するハフニウムアルミネート ($\text{HfAl}_x\text{O}_y\text{N}_z$)、酸化ハフニウム、酸化イットリウムなどの high-k 材料を用いることでトランジスタ 103 のゲートリークを低減できる。

30

【0076】

また、ゲート絶縁膜 127 は、以下の積層構造とすることが好ましい。第 1 の窒化シリコン膜として、欠陥量が少ない窒化シリコン膜を設け、第 1 の窒化シリコン膜上に第 2 の窒化シリコン膜として、水素脱離量及びアンモニア脱離量の少ない窒化シリコン膜を設け、第 2 の窒化シリコン膜上に、上記ゲート絶縁膜 127 で羅列した酸化絶縁膜のいずれかを設けることが好ましい。

【0077】

第 2 の窒化シリコン膜としては、昇温脱離ガス分析法において、水素分子の脱離量が 5×10^{21} 分子/ cm^3 未満、好ましくは 3×10^{21} 分子/ cm^3 以下、さらに好ましくは 1×10^{21} 分子/ cm^3 以下であり、アンモニア分子の脱離量が 1×10^{22} 分子/ cm^3 未満、好ましくは 5×10^{21} 分子/ cm^3 以下、さらに好ましくは 1×10^{21} 分子/ cm^3 以下である窒化絶縁膜を用いることが好ましい。上記第 1 の窒化シリコン膜及び第 2 の窒化シリコン膜をゲート絶縁膜 127 の一部として用いることで、ゲート絶縁膜 127 として、欠陥量が少なく、且つ水素及びアンモニアの脱離量の少ないゲート絶縁膜を形成することができる。この結果、ゲート絶縁膜 127 に含まれる水素及び窒素の、半導体膜 111 への移動量を低減することが可能である。

40

【0078】

酸化物半導体を用いたトランジスタにおいて、酸化物半導体膜及びゲート絶縁膜の界面又はゲート絶縁膜に捕獲準位（界面準位ともいう。）が存在すると、トランジスタのしき

50

い値電圧の変動、代表的にはしきい値電圧のマイナス方向への変動、及びトランジスタがオン状態となるとときにドレイン電流が一桁変化するのに必要なゲート電圧を示すサブスレッシュコールド係数（S値）の増大の原因となる。この結果、トランジスタごとに電気特性がばらつくという問題がある。このため、ゲート絶縁膜として、欠陥量の少ない窒化シリコン膜を用いることで、また、半導体膜111と接する領域に酸化絶縁膜を設けることで、しきい値電圧のマイナスシフトを低減すると共に、S値の増大を抑制することができる。

【0079】

ゲート絶縁膜127の厚さは、5nm以上400nm以下、より好ましくは10nm以上300nm以下、より好ましくは50nm以上250nm以下とするといよい。

【0080】

半導体膜111は酸化物半導体膜であり、当該酸化物半導体膜は、非晶質構造、単結晶構造、又は多結晶構造とすることができる。また、半導体膜111の厚さは、1nm以上100nm以下、好ましくは1nm以上50nm以下、更に好ましくは1nm以上30nm以下、更に好ましくは3nm以上20nm以下とすることである。

【0081】

半導体膜111に適用可能な酸化物半導体として、エネルギーギャップが2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタ103のオフ電流を低減することができる。

【0082】

半導体膜111に適用可能な酸化物半導体は、少なくともインジウム（In）若しくは亜鉛（Zn）を含むことが好ましい。又は、InとZnの双方を含むことが好ましい。また、当該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーの一又は複数を有することが好ましい。

【0083】

スタビライザーとしては、ガリウム（Ga）、スズ（Sn）、ハフニウム（Hf）、アルミニウム（Al）、又はジルコニウム（Zr）等がある。また、他のスタビライザーとしては、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）などがある。

【0084】

半導体膜111に適用できる酸化物半導体としては、例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二種類の金属を含む酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三種類の金属を含む酸化物であるIn-Ga-Zn系酸化物（IGZOとも表記する）、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四種類の金属を含む酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

【0085】

ここで、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0086】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される材料を用いてもよい。なお、Mは、Ga、Fe、Mn及びCoから選ばれた一の金属元素又は複数の金属元素、若しくは上記のスタビライザーとしての元素を示す。

【0087】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$)、 $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ ($=2/5:2/5:1/5$)、あるいは $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ ($=1/2:1/6:1/3$)の原子数比のIn-Ga-Zn系金属酸化物を用いることができる。あるいは、 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$)、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ ($=1/3:1/6:1/2$)あるいは $\text{In}:\text{Sn}:\text{Zn}=2:1:5$ ($=1/4:1/8:5/8$)の原子数比のIn-Sn-Zn系金属酸化物を用いるとよい。なお、金属酸化物に含まれる金属元素の原子数比は、誤差として上記の原子数比のプラスマイナス20%の変動を含む。

【0088】

しかし、これらに限られず、必要とする半導体特性及び電気特性（電界効果移動度、しきい値電圧等）に応じて適切な原子数比のものをを用いればよい。また、必要とする半導体特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。例えば、In-Sn-Zn系酸化物では比較的容易に高い電界効果移動度が得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を低くすることにより、電界効果移動度を上げることができる。

【0089】

透光性を有する導電膜119は、半導体膜111と同様の材料を主成分とし、且つ、窒素又は/及び水素を含むことにより、導電性が高められ、導体としての特性を有せしめた金属酸化物で形成される。

【0090】

半導体膜111、及び透光性を有する導電膜119は共に、ゲート絶縁膜上に形成され、同じ金属元素で構成される金属酸化物膜で形成されるが、不純物濃度が異なる。具体的には、半導体膜111と比較して、透光性を有する導電膜119の不純物濃度が高い。例えば、半導体膜111に含まれる水素濃度は、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下であり、透光性を有する導電膜119に含まれる水素濃度は、 $8 \times 10^{19} \text{ atoms/cm}^3$ 以上、好ましくは $1 \times 10^{20} \text{ atoms/cm}^3$ 以上、より好ましくは $5 \times 10^{20} \text{ atoms/cm}^3$ 以上である。また、半導体膜111と比較して、透光性を有する導電膜119に含まれる水素濃度は2倍、好ましくは10倍以上である。

【0091】

また、透光性を有する導電膜119は、半導体膜111より抵抗率が低い。透光性を有する導電膜119の抵抗率が、半導体膜111の抵抗率の 1×10^{-8} 以上 1×10^{-1} 倍以下であることが好ましく、代表的には $1 \times 10^{-3} \Omega \text{ cm}$ 以上 $1 \times 10^4 \Omega \text{ cm}$ 未満、さらに好ましくは、抵抗率が $1 \times 10^{-3} \Omega \text{ cm}$ 以上 $1 \times 10^{-1} \Omega \text{ cm}$ 未満であるとよい。

【0092】

トランジスタ103のソース電極109aを含む信号線109、トランジスタ103のドレイン電極を含む導電膜113、及び容量素子205の透光性を有する導電膜119と容量線115とを電氣的に接続する導電膜125は、走査線107及び容量線115に適

用できる材料を用いた、単層構造又は積層構造とすることができる。

【0093】

トランジスタ103の保護絶縁膜、及び容量素子205の誘電体膜として機能する絶縁膜229と、絶縁膜231と、絶縁膜232とは、ゲート絶縁膜127に適用できる材料を用いた絶縁膜である。特に、絶縁膜229及び絶縁膜231は酸化絶縁膜とし、絶縁膜232は窒化絶縁膜とすることが好ましい。また、絶縁膜232を窒化絶縁膜とすることで外部から水素や水などの不純物がトランジスタ103（特に半導体膜111）に侵入することを抑制できる。なお、絶縁膜229は設けない構造であってもよい。

【0094】

また、絶縁膜229及び絶縁膜231の一方又は双方は、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜で有ることが好ましい。このようにすることで、当該酸化物半導体膜からの酸素の脱離を防止するとともに、過剰な酸素を含む酸化絶縁膜に含まれる当該酸素を酸化物半導体膜に移動させ、酸素欠損を低減することが可能となる。例えば、昇温脱離ガス分析（以下、TDS分析とする。）によって測定される酸素分子の放出量が、 1.0×10^{18} 分子/cm³以上ある酸化絶縁膜を用いることで、当該酸化物半導体膜に含まれる酸素欠損を低減することができる。なお、絶縁膜229及び絶縁膜231の一方又は双方において、化学量論的組成よりも過剰に酸素を含む（酸素過剰領域）が部分的に存在している酸化絶縁膜であってもよく、少なくとも半導体膜111と重畳する領域に酸素過剰領域が存在することで、当該酸化物半導体膜からの酸素の脱離を防止するとともに、酸素過剰に含まれる当該酸素を酸化物半導体膜に移動させ、酸素欠損を低減

10

20

【0095】

絶縁膜231が化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜である場合、絶縁膜229は、酸素を透過する酸化絶縁膜とすることが好ましい。なお、絶縁膜229において、外部から絶縁膜229に入った酸素は、全て絶縁膜229を通過して移動せず、絶縁膜229にとどまる酸素もある。また、あらかじめ絶縁膜229に含まれており、絶縁膜229から外部に移動する酸素もある。そこで、絶縁膜229は酸素の拡散係数が大きい酸化絶縁膜であることが好ましい。

【0096】

また、絶縁膜229は半導体膜111である酸化物半導体膜と接することから、酸素を透過させるだけではなく、半導体膜111との界面準位が低くなる酸化絶縁膜であることが好ましい。例えば、絶縁膜229は絶縁膜231よりも膜中の欠陥密度が低い酸化絶縁膜であることが好ましい。具体的には、電子スピン共鳴測定によるg値=2.001（E' center）のスピンの密度が 3.0×10^{17} spins/cm³以下、好ましくは 5.0×10^{16} spins/cm³以下の酸化絶縁膜である。なお、電子スピン共鳴測定によるg値=2.001のスピンの密度は、絶縁膜229に含まれるダングリングボンドの存在量に対応する。

30

【0097】

絶縁膜229の厚さは、5nm以上150nm以下、好ましくは5nm以上50nm以下、好ましくは10nm以上30nm以下とすることができる。絶縁膜231の厚さは、30nm以上500nm以下、好ましくは150nm以上400nm以下とすることができる。

40

【0098】

絶縁膜232を窒化絶縁膜とする場合、絶縁膜229及び絶縁膜231の一方又は双方が窒素に対するバリア性を有する絶縁膜であることが好ましい。例えば、緻密な酸化絶縁膜とすることで窒素に対するバリア性を有することができ、具体的には、25℃において0.5重量%のフッ酸を用いた場合のエッチング速度が10nm/分以下である酸化絶縁膜とすることが好ましい。

【0099】

なお、絶縁膜229及び絶縁膜231の一方又は双方を、酸化窒化シリコン又は窒化酸

50

化シリコンなど、窒素を含む酸化絶縁膜とする場合、SIMSより得られる窒素濃度は、SIMS検出下限以上 $3 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以上 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下とすることが好ましい。このようにすることで、トランジスタ103に含まれる半導体膜111への窒素の移動量を少なくすることができる。また、このようにすることで、窒素を含む酸化絶縁膜自体の欠陥量を少なくすることができる。

【0100】

絶縁膜232として、水素含有量が少ない窒化絶縁膜を設けてもよい。当該窒化絶縁膜としては、例えば、TDS分析によって測定される水素分子の放出量が、 $5.0 \times 10^{21} / \text{cm}^3$ 未満であり、好ましくは $3.0 \times 10^{21} / \text{cm}^3$ 未満であり、さらに好ましくは $1.0 \times 10^{21} / \text{cm}^3$ 未満である窒化絶縁膜である。

10

【0101】

絶縁膜232は、外部から水素や水などの不純物の侵入を抑制する機能を発揮できる厚さとする。例えば、50nm以上200nm以下、好ましくは50nm以上150nm以下、さらに好ましくは50nm以上100nm以下とすることができる。

【0102】

また、絶縁膜231と絶縁膜232との間、又は絶縁膜232上に、有機シランガスを用いたCVD法により形成した酸化シリコン膜を設けてもよい。当該酸化シリコン膜は段差被覆性に優れていることからトランジスタ103の保護絶縁膜として有用である。当該酸化シリコン膜は300nm以上600nm以下で設けることができる。有機シランガスとしては、珪酸エチル(TEOS:化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、テトラメチルシラン(TMS:化学式 $\text{Si}(\text{CH}_3)_4$)、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエトキシシラン($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、トリスジメチルアミノシラン($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)などのシリコン含有化合物を用いることができる。

20

【0103】

絶縁膜231と絶縁膜232との間、又は絶縁膜232上に上記酸化シリコン膜を設けることで、トランジスタ及び容量素子が設けられる素子部の表面の平坦性を高めることができる。また、絶縁膜231と絶縁膜232との間に、上記酸化シリコン膜を設けて絶縁膜232に上記窒化絶縁膜を用いることで、外部から水素や水などの不純物が半導体膜111及び透光性を有する導電膜119に侵入することをさらに抑制できる。

30

【0104】

また、絶縁膜232上に酸化シリコン膜を設けると、絶縁膜232及び酸化シリコン膜は、容量素子205の誘電体膜として機能する。絶縁膜232は、窒化絶縁膜で形成されるが、窒化絶縁膜は、酸化シリコンなどの酸化絶縁膜に比べて、比誘電率が高く、内部応力が大きい傾向を有する。そのため、容量素子205の誘電体膜として酸化シリコン膜を用いずに絶縁膜232だけを用いる場合、絶縁膜232の膜厚が小さいと容量素子205の容量値が大きくなりすぎてしまい、画像信号の画素への書き込みの速度を低消費電力にて高めることが難しくなる。逆に、絶縁膜232の膜厚が大きいと、内部応力が大きくなりすぎてしまい、トランジスタの閾値電圧が変動するなど、電気特性の悪化を招く。また、絶縁膜232の内部応力が大きくなりすぎると、絶縁膜232が基板102から剥離しやすくなり、歩留りが低下する。しかし、絶縁膜232よりも比誘電率の低い酸化シリコン膜を、絶縁膜232と共に、画素の容量素子の誘電体膜として用いることで、絶縁膜232の膜厚を大きくすることなく、誘電体膜の誘電率を所望の値に調整することができる。

40

【0105】

画素電極221は、透光性を有する導電膜を用いて形成する。透光性を有する導電膜は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物など

50

の透光性を有する導電性材料で形成される。

【0106】

次に、基板150上に設けられる素子部の構造について説明する。基板150に接する遮光膜152と、遮光膜152に接する、画素電極221と対向して設けられる電極（対向電極154）が設けられている。また、対向電極154に接する配向膜として機能する絶縁膜156が設けられている。

【0107】

遮光膜152は、バックライト等の光源又は外部からの光がトランジスタ103に照射することを抑制する。遮光膜152は、金属や、顔料を含む有機樹脂などの材料を用いて形成することができる。なお、遮光膜152は、画素201のトランジスタ103上の他、走査線駆動回路104、信号線駆動回路106（図1を参照。）等の画素部100以外の領域に設けてもよい。

【0108】

なお、隣り合う遮光膜152の間に、所定の波長の光を透過させる機能を有する着色膜を設けてもよい。さらには、遮光膜152及び着色膜と、対向電極154の間にオーバーコート膜を設けてもよい。

【0109】

対向電極154は、画素電極221に示す透光性を有する導電性材料を適宜用いて設ける。

【0110】

液晶素子108は、画素電極221、対向電極154、及び液晶層160を含む。なお、基板102の素子部に設けられた配向膜として機能する絶縁膜158、及び基板150の素子部に設けられた配向膜として機能する絶縁膜156によって、液晶層160が挟持されている。また、画素電極221及び対向電極154は液晶層160を介して重なる。

【0111】

配向膜として機能する絶縁膜156及び絶縁膜158は、ポリアミドなどの汎用されている材料を用いて設けることができる。

【0112】

また、半導体膜111上に設けられる絶縁膜229を、酸素を透過させると共に、半導体膜111との界面準位が低くなる酸化絶縁膜とし、絶縁膜231を、酸素過剰領域を含む酸化絶縁膜又は化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜とすることで、半導体膜111である酸化物半導体膜へ酸素を供給することが容易になり、当該酸化物半導体膜からの酸素の脱離を防止すると共に、絶縁膜231に含まれる当該酸素を酸化物半導体膜に移動させ、酸化物半導体膜に含まれる酸素欠損を低減することが可能となる。この結果、トランジスタ103がエンハンスメント型となり、ノーマリーオン特性となることを抑制され、半導体装置の電気特性及び信頼性を向上させることができると共に、半導体装置の消費電力を低減することが可能である。

【0113】

また、絶縁膜231上に設けられる絶縁膜232として、窒化絶縁膜を用いることで、外部から水素や水などの不純物が、半導体膜111及び透光性を有する導電膜119に侵入することを抑制できる。さらには、絶縁膜232として、水素含有量が少ない窒化絶縁膜を設けることで、トランジスタの電気特性変動を抑制することができる。

【0114】

また、画素201内に容量素子205を大きく（大面積に）形成することができる。従って、開口率を高めつつ、電荷容量を増大させた半導体装置を得ることができる。この結果、表示品位の優れた半導体装置を得ることができる。

【0115】

また、容量素子205の一对の電極が共に導電性を有するため、容量素子205の平面面積を縮小しても十分な電荷容量を得ることができる。なお、酸化物半導体膜は光の透過率が80～90%であるため、透光性を有する導電膜119の面積を縮小し、画素201

10

20

30

40

50

において透光性を有する導電膜 119 が形成されない領域を設けることで、バックライトなどの光源から照射される光の透過率を高めることができる。即ち、バックライトなどの光源の明るさを弱めることが可能であり、半導体装置の消費電力を低減することができる。

【0116】

＜半導体装置の作製方法＞

次に、上記の半導体装置に示す基板 102 上に設けられた素子部の作製方法について、図 6、図 7、及び図 8 を用いて説明する。

【0117】

まず、基板 102 に走査線 107 及び容量線 115 を形成し、走査線 107 及び容量線 115 を覆うように後にゲート絶縁膜 127 に加工される絶縁膜 126 を形成し、絶縁膜 126 の走査線 107 と重畳する領域に半導体膜 111 を形成し、後に画素電極 221 が形成される領域と重畳するように半導体膜 118 を形成する（図 6（A）を参照。）。

【0118】

走査線 107 及び容量線 115 は、上記列挙した材料を用いて導電膜を形成し、当該導電膜上にマスクを形成し、当該マスクを用いて加工することにより形成できる。当該導電膜は、蒸着法、CVD 法、スパッタリング法、スピコート法などの各種成膜方法を用いることができる。なお、当該導電膜の厚さは特に限定されず、形成する時間や所望の抵抗率などを考慮して決めることができる。当該マスクは、例えば第 1 のフォトリソグラフィ工程によって形成したレジストマスクとすることができる。また、当該導電膜の加工はドライエッチング及びウェットエッチングの一方又は双方によって行うことができる。

【0119】

絶縁膜 126 は、ゲート絶縁膜 127 に適用可能な材料を用いて、CVD 法又はスパッタリング法などの各種成膜方法を用いて形成することができる。

【0120】

また、ゲート絶縁膜 127 に酸化ガリウムを適用する場合は、MOCVD（Metal Organic Chemical Vapor Deposition）法を用いて絶縁膜 126 を形成することができる。

【0121】

半導体膜 111 及び半導体膜 118 は、上記列挙した酸化物半導体を用いて酸化物半導体膜を形成し、当該酸化物半導体膜上にマスクを形成し、当該マスクを用いて加工することにより形成できる。このため、半導体膜 111 及び半導体膜 118 は同じ金属元素で構成される。酸化物半導体膜は、スパッタリング法、塗布法、パルスレーザー蒸着法、レーザーアブレーション法などを用いて形成することができる。印刷法を用いることで、素子分離された半導体膜 111 及び半導体膜 118 を絶縁膜 126 上に直接形成することができる。スパッタリング法で当該酸化物半導体膜を形成する場合、プラズマを発生させるための電源装置は、RF 電源装置、AC 電源装置又は DC 電源装置などを適宜用いることができる。スパッタリングガスは、希ガス（代表的にはアルゴン）、酸素、希ガス及び酸素の混合ガスを適宜用いる。なお、希ガス及び酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。また、ターゲットは、形成する酸化物半導体膜の組成にあわせて、適宜選択すればよい。なお、当該マスクは、例えば第 2 のフォトリソグラフィ工程によって形成したレジストマスクとすることができる。また、当該酸化物半導体膜の加工はドライエッチング及びウェットエッチングの一方又は双方によって行うことができる。所望の形状にエッチングできるよう、材料に合わせてエッチング条件（エッチングガスやエッチング液、エッチング時間、温度など）を適宜設定する。

【0122】

半導体膜 111 及び半導体膜 118 を形成した後に加熱処理をし、半導体膜 111 及び半導体膜 118 である酸化物半導体膜の脱水素化又は脱水化をすることが好ましい。当該加熱処理の温度は、代表的には、150℃以上基板歪み点未満、好ましくは 200℃以上 450℃以下、更に好ましくは 300℃以上 450℃以下とする。なお、当該加熱処理は

半導体膜 1 1 1 及び半導体膜 1 1 8 に加工する前の酸化物半導体膜に行ってもよい。

【0123】

当該加熱処理において、加熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、又は熱輻射によって、被処理物を加熱する装置であっても良い。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。

10

【0124】

当該加熱処理は、窒素、酸素、超乾燥空気（水の含有量が20ppm以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）、又は希ガス（アルゴン、ヘリウム等）の雰囲気下で行えばよい。なお、上記窒素、酸素、超乾燥空気、又は希ガスに水素、水などが含まれないことが好ましい。不活性ガス雰囲気中で加熱した後、酸素雰囲気中で加熱してもよい。なお、処理時間は3分～24時間とする。

【0125】

なお、基板102と、走査線107及び容量線115並びにゲート絶縁膜127との間には下地絶縁膜を設ける場合、当該下地絶縁膜は、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウム、酸化窒化アルミニウムなどで形成することができる。なお、下地絶縁膜として、窒化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウムなどで形成することで、基板102から不純物、代表的にはアルカリ金属、水、水素などが半導体膜111に拡散することを抑制できる。下地絶縁膜は、スパッタリング法又はCVD法を用いて形成することができる。

20

【0126】

次に、絶縁膜126に容量線115に達する開口123を形成してゲート絶縁膜127を形成した後、トランジスタ103のソース電極を含む信号線109、トランジスタ103のドレイン電極を含む導電膜113、半導体膜118と容量線115とを電氣的に接続する導電膜125を形成する（図6（B）を参照。）。

30

【0127】

開口123は、絶縁膜126の容量線115と重畳する領域の一部が露出されるように、第3のフォトリソグラフィ工程によりマスクを形成し、当該マスクを用いて加工することで形成できる。なお、当該マスク及び当該加工は、走査線107及び容量線115と同じようにして行うことができる。

【0128】

信号線109、導電膜113及び導電膜125は、信号線109、導電膜113及び導電膜125に適用できる材料を用いて導電膜を形成し、当該導電膜上に、第4のフォトリソグラフィ工程によりマスクを形成し、当該マスクを用いて加工することにより形成できる。当該マスク及び当該加工は、走査線107及び容量線115と同じようにして行うことができる。

40

【0129】

次に、半導体膜111、半導体膜118、信号線109、導電膜113、導電膜125、及びゲート絶縁膜127上に絶縁膜128を形成し、絶縁膜128上に絶縁膜130を形成する（図7（A）を参照。）。

なお、絶縁膜128及び絶縁膜130は連続して形成することが好ましい。このようにすることで、絶縁膜128及び絶縁膜130のそれぞれの界面に不純物が混入することを抑制できる。

【0130】

絶縁膜128は、絶縁膜229に適用可能な材料を用いて、CVD法又はスパッタリン

50

グ法などの各種成膜方法を用いて形成することができる。絶縁膜 130 は、絶縁膜 231 に適用可能な材料を用いて形成できる。

【0131】

絶縁膜 229 に半導体膜 111 との界面準位が低くなる酸化絶縁膜を適用する場合、絶縁膜 128 は以下の形成条件を用いて形成できる。なお、ここでは当該酸化絶縁膜として、酸化シリコン膜又は酸化窒化シリコン膜を形成する場合について記載する。当該形成条件は、プラズマ CVD 装置の真空排気された処理室内に載置された基板を 180℃以上 400℃以下、さらに好ましくは 200℃以上 370℃以下に保持し、処理室に原料ガスのシリコンを含む堆積性気体及び酸化性気体を導入して処理室内における圧力を 20 Pa 以上 250 Pa 以下、さらに好ましくは 40 Pa 以上 200 Pa 以下とし、処理室内に設けられた電極に高周波電力を供給する条件である。

10

【0132】

シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シランなどがある。酸化性気体としては、酸素、オゾン、一酸化二窒素、二酸化窒素などがある。

【0133】

なお、シリコンを含む堆積性気体に対する酸化性気体量を 100 倍以上とすることで、絶縁膜 128（絶縁膜 229）に含まれる水素含有量を低減することが可能であると共に、絶縁膜 128（絶縁膜 229）に含まれるダングリングボンドを低減することができる。絶縁膜 130（絶縁膜 231）から移動する酸素は、絶縁膜 128（絶縁膜 229）に含まれるダングリングボンドによって捕獲される場合があるため、絶縁膜 128（絶縁膜 229）に含まれるダングリングボンドが低減されていると、絶縁膜 130（絶縁膜 231）に含まれる酸素を効率よく半導体膜 111 へ移動させ、半導体膜 111 である酸化物半導体膜に含まれる酸素欠損を低減することが可能である。この結果、当該酸化物半導体膜に混入する水素量を低減できると共に酸化物半導体膜に含まれる酸素欠損を低減させることが可能である。

20

【0134】

絶縁膜 231 を上記の酸素過剰領域を含む酸化絶縁膜又は化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜とする場合、絶縁膜 130 は以下の形成条件を用いて形成できる。なお、ここでは当該酸化絶縁膜として、酸化シリコン膜又は酸化窒化シリコン膜を形成する場合について記載する。当該形成条件は、プラズマ CVD 装置の真空排気された処理室内に載置された基板を 180℃以上 260℃以下、さらに好ましくは 180℃以上 230℃以下に保持し、処理室に原料ガスを導入して処理室内における圧力を 100 Pa 以上 250 Pa 以下、さらに好ましくは 100 Pa 以上 200 Pa 以下とし、処理室内に設けられた電極に 0.17 W/cm² 以上 0.5 W/cm² 以下、さらに好ましくは 0.25 W/cm² 以上 0.35 W/cm² 以下の高周波電力を供給する、ことである。

30

【0135】

絶縁膜 130 の原料ガスは、絶縁膜 128 に適用できる原料ガスとすることができる。

【0136】

絶縁膜 130 の形成条件として、上記圧力の処理室において上記パワー密度の高周波電力を供給することで、プラズマ中で原料ガスの分解効率が高まり、酸素ラジカルが増加し、原料ガスの酸化が進むため、絶縁膜 130 中における酸素含有量が化学量論的組成よりも多くなる。一方、基板温度が、上記温度で形成された膜では、シリコンと酸素の結合力が弱いため、後の工程の加熱処理により膜中の酸素の一部が脱離する。この結果、化学量論的組成を満たす酸素よりも多くの酸素を含み、加熱により酸素の一部が脱離する酸化絶縁膜を形成することができる。また、半導体膜 111 上に絶縁膜 128 が設けられている。このため、絶縁膜 130 の形成工程において、絶縁膜 128 が半導体膜 111 の保護膜となる。この結果、パワー密度の高い高周波電力を用いて絶縁膜 130 を形成しても、半導体膜 111 へのダメージを抑制できる。

40

50

【0137】

また、絶縁膜130は膜厚を厚くすることで加熱によって脱離する酸素の量を多くすることができることから、絶縁膜130は絶縁膜128より厚く設けることが好ましい。絶縁膜128を設けることで絶縁膜130を厚く設ける場合でも被覆性を良好にすることができる。

【0138】

少なくとも絶縁膜130を形成した後に加熱処理を行い、絶縁膜128又は絶縁膜130に含まれる過剰酸素を半導体膜111に移動させ、半導体膜111である酸化物半導体膜の酸素欠損を低減することが好ましい。なお、当該加熱処理は、半導体膜111及び透光性を有する導電膜119の脱水素化又は脱水化を行う加熱処理の詳細を参照して適宜行うことができる。

10

【0139】

次に、少なくとも透光性を有する導電膜119と重畳する絶縁膜130の領域上にマスクを形成し、当該マスクを用いて加工して、開口部を有する絶縁膜228及び絶縁膜230を形成する。なお、開口部において透光性を有する導電膜119が露出する当該マスクは、第5のフォトリソグラフィ工程により形成したレジストマスクを用いることができ、当該加工は、ドライエッチング及びウェットエッチングの一方又は双方によって行うことができる。なお、ドライエッチングを用いて開口部を形成する場合、酸化物半導体膜がプラズマに曝され、酸化物半導体膜にダメージが入り、酸化物半導体膜に、欠陥、代表的には酸素欠損が生成される。この結果、抵抗の低い透光性を有する導電膜119が形成される。次に、絶縁膜228、絶縁膜230、導電膜125、及び透光性を有する導電膜119上に絶縁膜233を形成する（図7（B）を参照。）。

20

【0140】

絶縁膜233は、絶縁膜232に適用可能な材料を用いて形成できる。絶縁膜233はスパッタリング法、CVD法等を用いて形成することができる。

【0141】

絶縁膜233を水素含有量が少ない窒化絶縁膜で設ける場合、絶縁膜233は以下の形成条件を用いて形成できる。なお、ここでは当該窒化絶縁膜として、窒化シリコン膜を形成する場合について記載する。当該形成条件は、プラズマCVD装置の真空排気された処理室内に載置された基板を80℃以上400℃以下、さらに好ましくは200℃以上370℃以下に保持し、処理室に原料ガスを導入して処理室内における圧力を100Pa以上250Pa以下とし、好ましくは100Pa以上200Pa以下とし、処理室内に設けられた電極に高周波電力を供給する、ことである。

30

【0142】

絶縁膜233の原料ガスとしては、シリコンを含む堆積性気体、窒素、及びアンモニアを用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シランなどがある。また、窒素の流量は、アンモニアの流量に対して5倍以上50倍以下、好ましくは10倍以上50倍以下とすることが好ましい。なお、原料ガスとしてアンモニアを用いることで、シリコンを含む堆積性気体及び窒素の分解を促すことができる。これは、アンモニアがプラズマエネルギーや熱エネルギーによって解離し、解離することで生じるエネルギーが、シリコンを含む堆積性気体分子の結合及び窒素分子の結合の分解に寄与するためである。このようにすることで、水素含有量が少なく、外部から水素や水などの不純物の侵入を抑制することが可能な窒化シリコン膜を形成することができる。

40

【0143】

窒化絶縁膜で形成される絶縁膜233をプラズマCVD法又はスパッタリング法で成膜すると、半導体膜118がプラズマに曝され、半導体膜118に酸素欠損が生成される。また、半導体膜118と窒化絶縁膜で形成される絶縁膜233が接することで、絶縁膜233から、窒素又は／及び水素が半導体膜118に移動する。酸素欠損に絶縁膜233に含まれる水素が入ることで、キャリアである電子が生成される。これらの結果、半導体膜

50

118は導電性が高まり、導体特性を有する金属酸化物膜で構成される透光性を有する導電膜119となる。

【0144】

また、絶縁膜233を形成した後など、絶縁膜233が透光性を有する導電膜119に接する状態で加熱処理を行ってもよい。この結果、透光性を有する導電膜119の導電性をさらに高めることができる。

【0145】

なお、絶縁膜233からの窒素又は／及び水素移動距離によっては、半導体膜118において導電膜125と重畳する領域の一部が酸化物半導体のまま残存する場合もある。

【0146】

また、絶縁膜130と絶縁膜233との間に、有機シランガスを用いたCVD法により形成した酸化シリコン膜を設けてもよい。

【0147】

また、絶縁膜130と絶縁膜233との間に、有機シランガスを用いたCVD法により形成した酸化シリコン膜を設ける場合、絶縁膜130として、化学量論的組成を満たす酸素よりも多くの酸素を含み、加熱により酸素の一部が脱離する酸化絶縁膜を形成し、絶縁膜130を形成した後に350℃の加熱処理を行い、絶縁膜130に含まれる過剰酸素を半導体膜111に移動させる。次に、上記列挙した有機シランガスを用い、基板温度を350℃に保持したCVD法で酸化シリコン膜を形成した後、絶縁膜233として、基板温度を350℃とした状態で水素含有量が少ない窒化絶縁膜を形成する。

【0148】

次に、絶縁膜228、絶縁膜230及び絶縁膜233の導電膜113と重畳する領域に、第6のフォトリソグラフィ工程によりマスクを形成した後、絶縁膜228、絶縁膜230及び絶縁膜233をエッチングして、導電膜113に達する開口117を有する絶縁膜229、絶縁膜231及び絶縁膜232を形成する（図8（A）を参照。）。開口117は、開口123と同様にして形成することができる。

【0149】

最後に、画素電極221を形成することで、基板102に設けられる素子部を作製することができる（図8（B）を参照。）。画素電極221は、上記列挙した材料を用い、開口117を通じて導電膜113に接する導電膜を形成する。次に、当該導電膜上に、第7のフォトリソグラフィ工程によりマスクを形成した後、当該マスクを用いて加工することにより画素電極221を形成できる。なお、当該マスク及び当該加工は、走査線107及び容量線115と同じようにして行うことができる。

【0150】

<変形例1>

本発明の一態様である半導体装置において、容量素子の構造を適宜変更することができる。本構造の具体例について、図9を用いて説明する。なお、ここでは、図2及び図3で説明した容量素子205と異なる容量素子245についてのみ説明する。

【0151】

ゲート絶縁膜227を、窒化絶縁膜である絶縁膜225と、酸化絶縁膜である絶縁膜226との積層構造とし、少なくとも透光性を有する導電膜119が設けられる領域において絶縁膜225のみを設ける。このような構造とすることで、絶縁膜225である窒化絶縁膜が透光性を有する導電膜119の下面と接するため、絶縁膜225上に半導体膜111と同時に形成された半導体膜を、導体としての特性を有する金属酸化物膜で形成される透光性を有する導電膜119とすることができる（図9を参照。）。この場合、容量素子245の誘電体膜は絶縁膜229、絶縁膜231、及び絶縁膜232である。なお、絶縁膜225及び絶縁膜226は、ゲート絶縁膜127に適用できる絶縁膜を適宜用いることができ、絶縁膜225は絶縁膜232と同様の絶縁膜としてもよい。図9に示す構造とすることで、絶縁膜129及び絶縁膜131のエッチングに伴う透光性を有する導電膜119の膜厚の減少を防ぐことが可能であるため、図3に示す半導体装置と比較して、歩留ま

10

20

30

40

50

りが向上する。

【0152】

なお、図9に示す構成において、透光性を有する導電膜119の上面が絶縁膜132と接する構成であってもよい。つまり、図9に示す絶縁膜129及び絶縁膜131において、透光性を有する導電膜119と接する領域が除去されてもよい。この場合、容量素子245の誘電体膜は絶縁膜132である。透光性を有する導電膜119の上面及び下面を窒化絶縁膜と接する構成とすることで、片面のみ窒化絶縁膜と接する場合よりも効率よく十分に透光性を有する導電膜119の導電性を増大させることができる。

【0153】

<変形例2>

本発明の一態様である半導体装置において、容量素子を構成する電極である透光性を有する導電膜と容量線との接続を適宜変更することができる。例えば、さらに開口率を高めるために、導電膜を介せず、容量線に直接透光性を有する導電膜が接する構造とすることができる。本構造の具体例について、図10を用いて説明する。なお、ここでは、図2及び図3で説明した容量素子205と異なる容量素子145についてのみ説明する。図10は半導体装置の断面図である。

【0154】

画素において、容量素子145の他方の電極として機能する透光性を有する導電膜119は、容量線115と開口143において直接接している。図3に示す容量素子205と異なり、導電膜125を介さずに透光性を有する導電膜119及び容量線115が直接接しており、遮光膜となる導電膜125が形成されないため、画素141の開口率をさらに高めることができる。

【0155】

<変形例3>

また、本発明の一態様である半導体装置において、容量素子に含まれる透光性を有する導電膜及び容量線の構成を適宜変更することができる。本構造の具体例について、図11を用いて説明する。なお、ここでは、図2及び図3で説明した透光性を有する導電膜119及び容量線115と異なる、透光性を有する導電膜178及び容量線176についてのみ説明する。

【0156】

図11は画素172の上面図であり、容量線176は、信号線109と平行方向に延伸して設けられている。なお、信号線109及び容量線176は、信号線駆動回路106（図1（A）を参照。）に電気的に接続されている。図11に示す画素172のように、信号線109と平行な辺と比較して走査線107と平行な辺の方が長い形状とし、且つ容量線176が、信号線109と平行方向に延伸して設けられていてもよい。

【0157】

容量素子174は、信号線109と平行方向に延伸して設けられた容量線176と接続されている。容量素子174は、透光性を有する導電膜178と、透光性を有する画素電極221と、誘電体膜として、トランジスタ103上に形成され、透光性を有する絶縁膜（図11に図示せず。）とで構成されている。即ち、容量素子174は透光性を有する。

【0158】

容量線176は、信号線109及び導電膜113と同時に形成することができる。容量線176を透光性を有する導電膜178に接して設けることで、透光性を有する導電膜178及び容量線176の接触面積を増大させることが可能である。さらに、画素172において、走査線107と平行な辺と比較して信号線109と平行な辺の方が短い形状であるため、画素電極121及び容量線176が重なる面積を縮小することが可能であり、開口率を高めることができる。

【0159】

また、図3においては、容量線115が走査線107と同時に形成されているため、容量線115と透光性を有する導電膜119とを接続するために、ゲート絶縁膜127に開

10

20

30

40

50

口部を設けるためにフォトリソグラフィ工程を行う必要があった。しかしながら、図 1 1 に示すように、信号線 1 0 9 と同時に容量線 1 7 6 を形成することで、透光性を有する導電膜 1 1 9 と容量線 1 7 6 とを直接接続させることが可能である。この結果、フォトリソグラフィ工程を削減することが可能である。すなわち、6 回のフォトリソグラフィ工程により、トランジスタ、トランジスタに接続する画素電極、及び容量素子を作製することが可能である。

【0 1 6 0】

<変形例 4>

本発明の一態様である半導体装置において、容量素子を構成する電極及び容量線を透光性を有する導電膜とすることができる。具体例を図 1 2 を用いて説明する。なお、ここでは、図 2 で説明した透光性を有する導電膜 1 1 9 及び容量線 1 1 5 と異なる、透光性を有する導電膜 1 9 8 についてのみ説明する。図 1 2 は、画素 1 9 6 の上面図であり、画素 1 9 6 において、容量素子 1 9 7 の電極及び容量線を兼ねる透光性を有する導電膜 1 9 8 が設けられている。透光性を有する導電膜 1 9 8 において、信号線 1 0 9 と平行方向に延伸した領域を有し、当該領域は容量線として機能する。透光性を有する導電膜 1 9 8 において、画素電極 2 2 1 と重畳する領域は容量素子 1 9 7 の電極として機能する。なお、透光性を有する導電膜 1 9 8 は、図 2 に示す透光性を有する導電膜 1 1 9 と同じ工程で形成することができる。

【0 1 6 1】

また、透光性を有する導電膜 1 9 8 を、1 行分全ての画素 1 9 6 において離間せず一続きとして設ける場合、透光性を有する導電膜 1 9 8 は走査線 1 0 7 と重畳するため、走査線 1 0 7 の電位変化の影響により、容量線及び容量素子 1 9 7 の電極として機能しない場合がある。従って、図 1 2 に示すように、各画素 1 9 6 において透光性を有する導電膜 1 9 8 を離間して設け、離間して設けられた透光性を有する導電膜 1 9 8 を信号線 1 0 9 及び導電膜 1 1 3 の形成工程を利用して形成できる導電膜 1 9 9 を用いて電氣的に接続させることが好ましい。このとき、透光性を有する導電膜 1 9 8 において導電膜 1 9 9 と接続していない領域が、画素電極 2 2 1 と重なることで、当該領域における透光性を有する導電膜 1 9 8 の抵抗を低減できるため、透光性を有する導電膜 1 9 8 が容量線及び容量素子 1 9 7 の一方の電極として機能する。

【0 1 6 2】

なお、図示しないが、透光性を有する導電膜 1 9 8 において、走査線 1 0 7 と重畳する領域で走査線 1 0 7 の電位変化が影響しない場合、透光性を有する導電膜 1 9 8 は、画素 1 9 6 それぞれにおいて走査線 1 0 7 と重畳するように 1 つの透光性を有する導電膜として設けることができる。つまり、透光性を有する導電膜 1 9 8 を、1 行分全ての画素 1 9 6 において離間せず一続きとして設けることができる。

【0 1 6 3】

図 1 2 では、透光性を有する導電膜 1 9 8 の容量線と機能する領域が信号線 1 0 9 と平行方向に延伸した構成であるが、容量線と機能する領域は、走査線 1 0 7 と平行方向に延伸させる構成であってもよい。なお、透光性を有する導電膜 1 9 8 の容量線と機能する領域を走査線 1 0 7 と平行方向に延伸させる構成とする場合、トランジスタ 1 0 3 及び容量素子 1 9 7 において、半導体膜 1 1 1 と及び透光性を有する導電膜 1 9 8 と、信号線 1 0 9 及び導電膜 1 1 3 との間に絶縁膜を設けて電氣的に分離させることが必要である。

【0 1 6 4】

上記より、画素 1 9 6 のように、画素に設けられる容量素子の電極及び容量線として、透光性を有する導電膜を設けることで、画素の開口率を高めることができる。

【0 1 6 5】

<変形例 5>

また、本発明の一態様である半導体装置において、容量線の構成を適宜変更することができる。本構造について、図 1 3 を用いて説明する。なお、ここでは、図 2 で説明した容量線 1 1 5 と比較して、隣接する 2 つの画素の間において、容量線が位置する点が異なる

。

【0166】

図13は、信号線409の伸張方向において隣接する画素の間に容量線が設けられている構成を示す。なお、走査線437の伸張方向において隣接する画素の間に容量線が設けられている構成とすることもできる。

【0167】

図13は、信号線409の伸張方向に隣接する画素401__1及び画素401__2の上面図である。

【0168】

走査線407__1及び走査線407__2は、互いに平行であって、且つ信号線409に略直交する方向に延伸して設けられている。走査線407__1及び走査線407__2の間に、走査線407__1及び走査線407__2と互いに平行に容量線415が設けられている。なお、容量線415は、画素401__1に設けられる容量素子405__1、及び画素401__2に設けられる容量素子405__2と接続する。画素401__1及び画素401__2の上面形状、及び構成要素の配置位置は、容量線415に対して対称である。

【0169】

画素401__1には、トランジスタ403__1、該トランジスタ403__1と接続する画素電極421__1、及び容量素子405__1が設けられる。

【0170】

トランジスタ403__1は、走査線407__1及び信号線409が交差する領域に設けられている。トランジスタ403__1は、少なくとも、チャンネル形成領域を有する半導体膜411__1と、ゲート電極と、ゲート絶縁膜（図13に図示せず。）と、ソース電極と、及びドレイン電極とを含む。なお、走査線407__1において、半導体膜411__1と重畳する領域はトランジスタ403__1のゲート電極として機能する。信号線409において、半導体膜411__1と重畳する領域はトランジスタ403__1のソース電極として機能する。導電膜413__1において、半導体膜411__1と重畳する領域はトランジスタ403__1のドレイン電極として機能する。導電膜413__2及び画素電極421__1が開口417__1において接続する。

【0171】

容量素子405__1は、開口423に設けられた導電膜425を通じて容量線415と電氣的に接続されている。容量素子405__1は、透光性を有する導電膜419__1と、透光性を有する画素電極421__1と、誘電体膜として、トランジスタ403__1上に形成される透光性を有する絶縁膜（図13に図示せず。）とで構成されている。即ち、容量素子405__1は透光性を有する。

【0172】

画素401__2には、トランジスタ403__2、該トランジスタ403__2と接続する画素電極421__2、及び容量素子405__2が設けられる。

【0173】

トランジスタ403__2は、走査線407__2及び信号線409が交差する領域に設けられている。トランジスタ403__2は、少なくとも、チャンネル形成領域を有する半導体膜411__2と、ゲート電極と、ゲート絶縁膜（図13に図示せず。）と、ソース電極と、及びドレイン電極とを含む。なお、走査線407__2において、半導体膜411__2と重畳する領域はトランジスタ403__2のゲート電極として機能する。信号線409において、半導体膜411__2と重畳する領域はトランジスタ403__2のソース電極として機能する。導電膜413__2において、半導体膜411__2と重畳する領域はトランジスタ403__2のドレイン電極として機能する。導電膜413__2及び画素電極421__2が開口417__2において接続する。

【0174】

容量素子405__2は、容量素子405__1と同様に、開口423に設けられた導電膜425を通じて容量線415と電氣的に接続されている。容量素子405__2は、透光性

10

20

30

40

50

を有する導電膜 419__2 と、透光性を有する画素電極 421__2 と、誘電体膜として、トランジスタ 403__2 上に形成される透光性を有する絶縁膜（図 13 に図示せず。）とで構成されている。即ち、容量素子 405__2 は透光性を有する。

【0175】

なお、トランジスタ 403__1 及びトランジスタ 403__2、並びに容量素子 405__1 及び容量素子 405__2 の断面構造はそれぞれ、図 3 に示すトランジスタ 103 及び容量素子 205 同様であるため、ここでは省略する。

【0176】

上面形状において、隣接する 2 つ画素の間に容量線を設け、それぞれの画素に含まれる容量素子及び該容量線を接続することで、容量線の数削減することが可能である。この結果、各画素に容量線を設ける構造と比較して、画素の開口率をさらに高めることが可能である。

【0177】

<変形例 6>

本発明の一態様である半導体装置において、画素内に設けられるトランジスタの形状は、図 2、図 4、図 11、図 12、及び図 13 に示したトランジスタの形状に限定されず、適宜変更することができる。例えば、トランジスタにおいて、信号線 109 に含まれるソース電極が U 字型（C 字型、コの字型、又は馬蹄型）とし、ドレイン電極を含む導電膜を囲む形状のトランジスタであってもよい。このような形状とすることで、トランジスタの面積が小さくても、十分なチャネル幅を確保することが可能となり、トランジスタの導通時に流れるドレイン電流（オン電流ともいう。）の量を増やすことが可能となる。

【0178】

<変形例 7>

また、上記に示すトランジスタにおいて、酸化物半導体膜が、ゲート絶縁膜とソース電極を含む信号線 109 及びドレイン電極を含む導電膜 113 との間に位置するトランジスタを用いたが、その代わりに、半導体膜が、ソース電極を含む信号線及びドレイン電極を含む導電膜と、絶縁膜 229 の間に位置するトランジスタを用いることができる。

【0179】

<変形例 8>

また、上記に示すトランジスタとして、チャネルエッチ型のトランジスタを示したが、その代わりに、チャネル保護型のトランジスタを用いることができる。チャネル保護膜を設けることで、半導体膜 111 の表面は、信号線及び導電膜の形成工程で用いるエッチャントやエッチングガスに曝されず、半導体膜 111 及びチャネル保護膜の間の不純物を低減できる。この結果、トランジスタのソース電極及びドレイン電極の間に流れるリーク電流を低減することが可能である。

【0180】

<変形例 9>

また、上記に示すトランジスタとして、1 つのゲート電極を有するトランジスタを示したが、半導体膜 111 を介して対向する 2 つのゲート電極を有するトランジスタを用いることができる。

【0181】

トランジスタは、本実施の形態で説明したトランジスタ 103 の絶縁膜 232 上に、導電膜を有する。導電膜は、少なくとも半導体膜 111 のチャネル形成領域と重なる。導電膜を半導体膜 111 のチャネル形成領域と重なる位置に設けることによって、導電膜の電位は、信号線 109 に入力されるビデオ信号の最低電位とすることが好ましい。この結果、導電膜と対向する半導体膜 111 の面において、ソース電極及びドレイン電極の間に流れる電流を制御することが可能であり、トランジスタの電気特性のばらつきを低減することができる。また、導電膜を設けることで、周囲の電界の変化が半導体膜 111 へ与える影響を軽減し、トランジスタの信頼性を向上させることができる。

【0182】

絶縁膜 232 上に設けられた導電膜は、走査線 107、信号線 109、画素電極 121 などと同様の材料及び作製方法を適宜用いて形成することができる。

【0183】

以上より、トランジスタに含まれる半導体膜と同じ形成工程で形成される半導体膜に窒化絶縁膜を接して設けることで得られた、導体特性を有する金属酸化物、すなわち透光性を有する導電膜を、容量素子の電極として用いることで、開口率を高めつつ、代表的には 50% 以上、好ましくは 55% 以上、より好ましくは 60% 以上とすることが可能であると共に、電荷容量を増大させた容量素子を有する半導体装置を作製することができる。この結果、表示品位の優れた半導体装置を得ることができる。

【0184】

また、トランジスタに含まれる半導体膜である酸化物半導体膜は酸素欠損が低減され、水素などの不純物が低減されていることから、本発明の一態様である半導体装置は、良好な電気特性を有する半導体装置となると共に、消費電力が低減された半導体装置となる。

【0185】

なお、本実施の形態に示す構成などは、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0186】

<変形例 10>

また、上記トランジスタの作製方法において、透光性を有する導電膜 119 の形成方法として、図 6 (B) の工程ののち、半導体膜 111 を覆い、且つ半導体膜 118 を露出するマスクを形成する。次に、半導体膜 118 を、希ガス、水素及び希ガスの混合ガス、希ガス及びアンモニアの混合ガス、アンモニアガス、窒素ガス等の雰囲気で発生させたプラズマに曝すことで、図 7 (B) に示すような、半導体膜 118 に窒化絶縁膜を形成する工程を経ずとも、透光性を有する導電膜 119 を形成することができる。

【0187】

または、上記トランジスタの作製方法において、透光性を有する導電膜 119 の形成方法として、図 7 (A) の工程ののち、半導体膜 111 を覆い、且つ半導体膜 118 を露出するマスクを形成する。次に、半導体膜 118 を、希ガス、水素及び希ガスの混合ガス、希ガス及びアンモニアの混合ガス、アンモニアガス、窒素ガス等の雰囲気で発生させたプラズマに曝すことで、絶縁膜 130 を介して、水素、窒素等が半導体膜 118 に拡散し、図 7 (B) に示すような半導体膜 118 に窒化絶縁膜を形成する工程を経ずとも、透光性を有する導電膜 119 を形成することができる。

【0188】

半導体膜 118 がプラズマに曝されると、半導体膜 118 として形成される酸化物半導体膜はダメージを受け、該酸化物半導体膜に、欠陥、代表的には酸素欠損が生成される。この結果、抵抗率が低下した透光性を有する導電膜 119 が形成される。

【0189】

(実施の形態 2)

本実施の形態では、本発明の一態様の半導体装置であり、上記実施の形態と異なる構造の半導体装置について、図面を用いて説明する。本実施の形態では、液晶表示装置を例にして本発明の一態様である半導体装置を説明する。また、本実施の形態で説明する半導体装置は、上記実施の形態と比較して、容量素子に含まれる透光性を有する導電膜が異なる。なお、本実施の形態で説明する半導体装置において、上記実施の形態で説明した半導体装置と同様の構成は、上記実施の形態を参照することができる。

【0190】

<半導体装置の構成>

本実施の形態で説明する液晶表示装置の画素部に設けられる画素 301 の具体的な構成例について説明する。画素 301 の上面図を図 14 に示す。図 14 に示す画素 301 は、容量素子 305 を有し、容量素子 305 は、画素 301 内の容量線 115 及び信号線 109 で囲まれる領域に設けられている。容量素子 305 は、開口 123 に設けられた導電膜

10

20

30

40

50

125を通じて容量線115と電氣的に接続されている。容量素子305は、透光性を有する導電膜319と、透光性を有する画素電極221と、誘電体膜として、トランジスタ103上に形成される透光性を有する絶縁膜(図14に図示せず。)とで構成されている。即ち、容量素子305は透光性を有する。

【0191】

容量素子の電極として透光性を有する導電膜319を用いる。つまり、画素301内に容量素子305を大きく(大面積に)形成することができる。従って開口率を高めつつ、代表的には50%以上、好ましくは55%以上、さらに好ましくは60%以上とすることが可能であると共に、電荷容量を増大させた半導体装置を得ることができる。

【0192】

次いで、図14の一点鎖線A1-A2間及び一点鎖線B1-B2間における断面図を図15に示す。

【0193】

画素301の断面構造は以下の通りである。基板102上に、トランジスタ103のゲート電極を含む走査線107が設けられている。走査線107上にゲート絶縁膜127が設けられている。ゲート絶縁膜127の走査線107と重畳する領域上に半導体膜111が設けられており、ゲート絶縁膜127上に透光性を有する導電膜319が設けられている。半導体膜111上、及びゲート絶縁膜127上にトランジスタ103のソース電極を含む信号線109と、トランジスタ103のドレイン電極を含む導電膜113とが設けられている。また、ゲート絶縁膜127上に透光性を有する導電膜319及び容量線115を接続する導電膜125が設けられている。ゲート絶縁膜127上、信号線109上、半導体膜111上、導電膜113上、導電膜125上、及び透光性を有する導電膜319上にトランジスタ103の保護絶縁膜として機能する絶縁膜129、絶縁膜131、及び絶縁膜132が設けられている。絶縁膜129、絶縁膜131、及び絶縁膜132には導電膜113に達する開口117が設けられており、開口117及び絶縁膜132上に画素電極221が設けられている。なお、基板102と、走査線107及びゲート絶縁膜127との間には下地絶縁膜が設けられていてもよい。

【0194】

本構成での容量素子305は、一对の電極の一方の電極が画素電極121であり、一对の電極の他方の電極が透光性を有する導電膜319であり、一对の電極の間に設けられた誘電体膜が、絶縁膜129、絶縁膜131、及び絶縁膜132である。

【0195】

透光性を有する導電膜319は、半導体膜111と同時に形成された半導体膜に、導電率を増大させる元素(ドーパント)が添加された、導体としての特性を有する金属酸化物膜である。即ち、透光性を有する導電膜319は、半導体膜111を構成する酸化物半導体の金属元素を含み、且つドーパントを含む。ドーパントとして、水素、ホウ素、窒素、フッ素、アルミニウム、リン、ヒ素、インジウム、スズ、アンチモン及び希ガス元素から選ばれた一種以上がある。透光性を有する導電膜319に含まれるドーパント濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ 以上 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下であることが好ましい。このようにすることで、透光性を有する導電膜319の導電率を 10 S/cm 以上 1000 S/cm 以下、好ましくは 100 S/cm 以上 1000 S/cm 以下とすることができ、透光性を有する導電膜319を容量素子305の電極として十分に機能させることができる。

【0196】

<半導体装置の作製方法>

次いで、本実施の形態における半導体装置の作製方法について、図16及び図17を用いて説明する。

【0197】

まず、基板102上に走査線107及び容量線115を形成し、基板102、走査線107及び容量線上にゲート絶縁膜127に加工される絶縁膜126を形成し、当該絶縁膜

10

20

30

40

50

1 2 6 上に半導体膜 1 1 1 及び半導体膜 1 1 8 を形成する（図 1 6（A）を参照。）。なお、ここまでの工程は、実施の形態 1 を参照して行うことができる。

【0 1 9 8】

次に、半導体膜 1 1 8 にドーパントを添加して透光性を有する導電膜 3 1 9 を形成し、絶縁膜 1 2 6 に容量線 1 1 5 に達する開口 1 2 3 を形成してゲート絶縁膜 1 2 7 を形成した後、トランジスタ 1 0 3 のソース電極を含む信号線 1 0 9、トランジスタ 1 0 3 のドレイン電極を含む導電膜 1 1 3、透光性を有する導電膜 3 1 9 と容量線 1 1 5 とを電氣的に接続する導電膜 1 2 5 を形成する（図 1 6（B）を参照。）。

【0 1 9 9】

半導体膜 1 1 8 にドーパントを添加する方法は、半導体膜 1 1 8 以外の領域にマスクを設けて、当該マスクを用いて、水素、ホウ素、窒素、フッ素、アルミニウム、リン、ヒ素、インジウム、スズ、アンチモン及び希ガス元素から選ばれた一種以上のドーパントをイオン注入法又はイオンドーピング法などで添加する。また、イオン注入法又はイオンドーピング法の代わりに当該ドーパントの含むプラズマに半導体膜 1 1 8 を曝すことで、当該ドーパントを添加してもよい。なお、ドーパントを添加した後、加熱処理をおこなってもよい。当該加熱処理は、半導体膜 1 1 1 及び透光性を有する導電膜 3 1 9 の脱水素化又は脱水化を行う加熱処理の詳細を参照して適宜行うことができる。

【0 2 0 0】

なお、ドーパントを添加する工程は、信号線 1 0 9、導電膜 1 1 3、及び導電膜 1 2 5 を形成した後に行ってもよい。その場合、透光性を有する導電膜 3 1 9 の信号線 1 0 9、導電膜 1 1 3、及び導電膜 1 2 5 に接する領域にはドーパントは添加されない。

【0 2 0 1】

次に、ゲート絶縁膜 1 2 7、信号線 1 0 9、半導体膜 1 1 1、導電膜 1 1 3、導電膜 1 2 5、及び透光性を有する導電膜 3 1 9 上に絶縁膜 1 2 8 を形成し、絶縁膜 1 2 8 上に絶縁膜 1 3 0 を形成し、絶縁膜 1 3 0 上に絶縁膜 1 3 3 を形成する（図 1 7（A）を参照。）。なお、当該工程は、実施の形態 1 を参照して行うことができる。

【0 2 0 2】

次に、絶縁膜 1 2 8 及び絶縁膜 1 3 0 並びに絶縁膜 1 3 3 に、導電膜 1 1 3 に達する開口 1 1 7 を形成して、絶縁膜 1 2 9、絶縁膜 1 3 1、及び絶縁膜 1 3 2 を形成し（図 1 7（B）を参照。）、開口 1 1 7 を通じて導電膜 1 1 3 に接する画素電極 2 2 1 を形成する（図 1 5 を参照。）。なお、当該工程についても実施の形態 1 を参照して行うことができる。

【0 2 0 3】

以上の工程により、本実施の形態における半導体装置を作製することができる。

【0 2 0 4】

以上より、トランジスタに含まれる半導体膜と同じ形成工程で形成される半導体膜にドーパントを添加することで得られた、導体特性を有する金属酸化物、すなわち透光性を有する導電膜を、容量素子の電極として用いることで、開口率を高めつつ、電荷容量を増大させた容量素子を有する半導体装置を作製することができる。この結果、表示品位の優れた半導体装置を得ることができる。

【0 2 0 5】

また、容量素子 3 0 5 の一対の電極が共に導電性を有するため、容量素子 3 0 5 の平面面積を縮小しても十分な電荷容量を得ることができる。なお、酸化物半導体膜は光の透過率が 8 0 ～ 9 0 % であるため、透光性を有する導電膜 3 1 9 の面積を縮小し、画素 3 0 1 において透光性を有する導電膜 3 1 9 が形成されない領域を設けることで、バックライトなどの光源から照射される光の透過率を高めることができる。即ち、バックライトなどの光源の明るさを弱めることが可能であり、半導体装置の消費電力を低減することができる。

【0 2 0 6】

また、トランジスタに含まれる半導体膜である酸化物半導体膜は酸素欠損が低減され、

水素などの不純物が低減されている。この結果、トランジスタがノーマリーオン特性となることを抑制することができ、半導体装置の電気特性及び信頼性を向上させることができると共に、半導体装置の消費電力を低減することが可能である。

【0207】

なお、本実施の形態に示す構成などは、他の実施の形態に示す構成及びその変形例と適宜組み合わせて用いることができる。

【0208】

(実施の形態3)

本実施の形態では、実施の形態1及び実施の形態2と異なる透光性を有する導電膜の形成方法について、図6を用いて説明する。

10

【0209】

本実施の形態では、半導体膜に、可視光、紫外光、X線等の電磁波を照射することで、半導体膜の導電性を高め、導電性を有する金属酸化物とすることを特徴とする。透光性を有する導電膜の作製方法について、図6を用いて説明する。

【0210】

図6(A)に示すように、実施の形態1と同様に、基板102上にゲート電極を含む走査線107及び容量線115を形成する。次に、基板102、ゲート電極を含む走査線107、及び容量線115上に絶縁膜126を形成する。次に、絶縁膜126上に半導体膜111及び半導体膜118を形成する。

【0211】

20

次に、基板102側から、半導体膜118に対して、可視光、紫外光、X線等の電磁波を照射する。当該工程において、半導体膜111はゲート電極を含む走査線107に遮光されているため、上記電磁波は照射されず、導電性は上昇しない。

【0212】

半導体膜118に電磁波を照射すると、半導体膜118中に欠陥が生じてしまう。当該欠陥がキャリアパスとなり、導電性が上昇し、導体特性を有する金属酸化物となる。当該金属酸化物を容量素子の電極である透光性を有する導電膜として用いることができる。

【0213】

なお、本実施の形態においては、実施の形態1と異なり、絶縁膜128及び絶縁膜130の一部をエッチングする工程を必要としない。また、実施の形態2と異なり、半導体膜118にドーパントを添加するためにマスクを形成する工程を必要としない。このため、フォトマスク枚数を削減することが可能であり、作製工程の簡略化及びコスト削減が可能である。

30

【0214】

(実施の形態4)

本実施の形態では、横電界を用いて液晶分子を配向させるFFS(Fringe Field Switching)モードの液晶表示装置を例にして本発明の一態様である半導体装置を説明する。なお、本実施の形態で説明する半導体装置において、上記実施の形態で説明した半導体装置と同様の構成は、上記実施の形態を参照することができる。

【0215】

40

<半導体装置の構成>

本実施の形態で説明する画素501の上面図を図18に示す。図18(A)は、共通電極521を省略した画素501の上面図であり、図18(B)は、図18(A)に共通電極521を設けた画素501の上面図である。

【0216】

図18に示した画素501は、トランジスタ103と、該トランジスタ103に接続する容量素子505を有する。容量素子505は、透光性を有する導電膜519と、透光性を有する導電膜で形成される共通電極521と、トランジスタ103上に形成される透光性を有する絶縁膜(図18に図示せず。)とで構成されている。即ち、容量素子505は透光性を有する。また、透光性を有する導電膜519は、トランジスタ103の導電膜1

50

13に接続し、画素電極として機能する。また、共通電極521には開口部（スリット）を有する。即ち、共通電極と画素電極との間に電界を印加することで、透光性を有する導電膜519、透光性を有する絶縁膜、及び共通電極521の重畳領域において容量素子として機能すると共に、液晶分子配向を基板と平行な方向で制御できる。この結果、FFSモードの液晶表示装置は、視野角が優れ、より高画質である。

【0217】

次いで、図18（B）の一点鎖線A1－A2間における基板102の断面図を図19に示す。

【0218】

本実施の形態における画素501の断面構造は以下の通りである。基板102上に、トランジスタ103のゲート電極を含む走査線107が設けられている。走査線107上にゲート絶縁膜127が設けられている。ゲート絶縁膜127の走査線107と重畳する領域上に半導体膜111が設けられており、ゲート絶縁膜127上に、透光性を有する導電膜519が設けられている。半導体膜111上、及びゲート絶縁膜127上にトランジスタ103のソース電極を含む信号線109と、トランジスタ103のドレイン電極を含む導電膜113とが設けられている。ドレイン電極を含む導電膜113は、透光性を有する導電膜519と接続しており、画素電極として機能する。ゲート絶縁膜127上、信号線109上、半導体膜111上、導電膜113上にトランジスタ103の保護絶縁膜として機能する絶縁膜229、絶縁膜231、及び絶縁膜232が設けられている。また、透光性を有する導電膜519上には絶縁膜232が設けられており、絶縁膜232上に共通電極521が設けられている。共通電極521は、画素部において、画素ごとに分離されず、連続して設けられている。なお、基板102と、走査線107及びゲート絶縁膜127との間には下地絶縁膜が設けられていてもよい。

【0219】

透光性を有する導電膜519は、実施の形態1乃至実施の形態3で説明した透光性を有する導電膜と同様に形成することができる。共通電極521は、実施の形態1で説明した画素電極221と同様の材料を用いて形成することができる。

【0220】

本実施の形態における容量素子505のように、透光性を有する導電膜519をトランジスタの導電膜113と接続させることで、開口部を設けずとも導電膜113及び透光性を有する導電膜519を直接接続させることが可能であり、トランジスタ103及び容量素子505の平坦性を高めることが可能である。また、容量線を設けず、透光性を有する共通電極521を容量線として機能させることで、画素501の開口率をさらに高めることが可能である。

【0221】

（実施の形態5）

本実施の形態では、上記実施の形態で説明した半導体装置に含まれているトランジスタ及び容量素子において、半導体膜である酸化物半導体膜に適用可能な一態様について説明する。

【0222】

上記酸化物半導体膜は、非晶質酸化物半導体、単結晶酸化物半導体、及び多結晶酸化物半導体の他に、結晶部分を有する酸化物半導体（C Axis Aligned Crystalline Oxide Semiconductor：CAAC-OS）で構成されていることが好ましい。

【0223】

CAAC-OS膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。従って、CAAC-OS膜に含まれる結晶部は、一辺が10nm未満、5nm未満又は3nm未満の立方体内に収まる大きさの場合も含まれる。CAAC-OS膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。以下、CAAC-OS膜について詳細な説明を行う

。

【0224】

C A A C - O S 膜を透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって観察すると、結晶部同士の明確な境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、C A A C - O S 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0225】

C A A C - O S 膜を、試料面と概略平行な方向から TEM によって観察 (断面 TEM 観察) すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C A A C - O S 膜の膜を形成する面 (被形成面ともいう。) 又は上面の凹凸を反映した形状であり、C A A C - O S 膜の被形成面又は上面と平行に配列する。

10

【0226】

一方、C A A C - O S 膜を、試料面と概略垂直な方向から TEM によって観察 (平面 TEM 観察) すると、結晶部において、金属原子が三角形状又は六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0227】

断面 TEM 観察および平面 TEM 観察より、C A A C - O S 膜の結晶部は配向性を有していることがわかる。

【0228】

C A A C - O S 膜に対し、X 線回折 (XRD: X-Ray Diffraction) 装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有する C A A C - O S 膜の out-of-plane 法による解析では、回折角 (2θ) が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (009) 面に帰属されることから、C A A C - O S 膜の結晶が c 軸配向性を有し、c 軸が被形成面又は上面に概略垂直な方向を向いていることが確認できる。

20

【0229】

一方、C A A C - O S 膜に対し、c 軸に概略垂直な方向から X 線を入射させる in-plane 法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (110) 面に帰属される。 InGaZnO_4 の単結晶酸化物半導体膜であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸 (ϕ 軸) として試料を回転させながら分析 (ϕ スキャン) を行うと、(110) 面と等価な結晶面に帰属されるピークが 6 本観察される。これに対し、C A A C - O S 膜の場合は、 2θ を 56° 近傍に固定して ϕ スキャンした場合でも、明瞭なピークが現れない。

30

【0230】

以上のことから、C A A C - O S 膜では、異なる結晶部間では a 軸および b 軸の配向は不規則であるが、c 軸配向性を有し、かつ c 軸が被形成面又は上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面 TEM 観察で確認された層状に配列した金属原子の各層は、結晶の a b 面に平行な面である。

【0231】

なお、結晶部は、C A A C - O S 膜を成膜した際、又は加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶の c 軸は、C A A C - O S 膜の被形成面又は上面の法線ベクトルに平行な方向に配向する。従って、例えば、C A A C - O S 膜の形状をエッチングなどによって変化させた場合、結晶の c 軸が C A A C - O S 膜の被形成面又は上面の法線ベクトルと平行にならないこともある。

40

【0232】

また、C A A C - O S 膜中の結晶化度が均一でなくてもよい。例えば、C A A C - O S 膜の結晶部が、C A A C - O S 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることがある。また、C A A C - O S 膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部

50

分的に結晶化度の異なる領域が形成されることもある。

【0233】

なお、 InGaZnO_4 の結晶を有するCAAC-OS膜のout-of-plane法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【0234】

CAAC-OSの形成方法としては、三つ挙げられる。

【0235】

第1の方法は、成膜温度を 100°C 以上 450°C 以下として酸化物半導体膜を成膜することで、酸化物半導体膜に含まれる結晶部のc軸が、被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

【0236】

第2の方法は、酸化物半導体膜を薄い厚さで成膜した後、 200°C 以上 700°C 以下の熱処理を行うことで、酸化物半導体膜に含まれる結晶部のc軸が、被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

【0237】

第3の方法は、一層目の酸化物半導体膜を薄い厚さで成膜した後、 200°C 以上 700°C 以下の熱処理を行い、さらに二層目の酸化物半導体膜の成膜を行うことで、酸化物半導体膜に含まれる結晶部のc軸が、被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

【0238】

酸化物半導体膜にCAAC-OSを適用したトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、酸化物半導体膜にCAAC-OSを適用したトランジスタは、良好な信頼性を有する。

【0239】

また、CAAC-OSは、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜することが好ましい。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域がa-b面から劈開し、a-b面に平行な面を有する平板状又はペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状又はペレット状のスパッタリング粒子が、結晶状態を維持したまま被成膜面に到達することで、CAAC-OSを成膜することができる。

【0240】

また、CAAC-OSを成膜するために、以下の条件を適用することが好ましい。

【0241】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が一 80°C 以下、好ましくは一 100°C 以下である成膜ガスを用いる。

【0242】

また、成膜時の被成膜面の加熱温度（例えば基板加熱温度）を高めることで、被成膜面に到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、被成膜面の温度を 100°C 以上 740°C 以下、好ましくは 150°C 以上 500°C 以下として成膜する。成膜時の被成膜面の温度を高めることで、平板状又はペレット状のスパッタリング粒子が被成膜面に到達した場合、当該被成膜面上でマイグレーションが起こり、スパッタリング粒子の平らな面が被成膜面に付着する。

【0243】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメー

10

20

30

40

50

ジを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

【0244】

スパッタリング用ターゲットの一例として、 In-Ga-Zn-O 化合物ターゲットについて以下に示す。

【0245】

InO_x 粉末、 GaO_y 粉末及び ZnO_z 粉末を所定のmol数で混合し、加圧処理後、1000℃以上1500℃以下の温度で加熱処理をすることで多結晶である In-Ga-Zn-O 化合物ターゲットとする。なお、当該加圧処理は、冷却（又は放冷）しながら行ってもよいし、加熱しながら行ってもよい。なお、 x 、 y 及び z は任意の正数である。ここで、所定のmol数比は、例えば、 InO_x 粉末、 GaO_y 粉末及び ZnO_z 粉末が、2:2:1、8:4:3、3:1:1、1:1:1、4:2:3又は3:1:2である。なお、粉末の種類、及びその混合するmol数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

10

【0246】

また、酸化物半導体膜は、複数の酸化物半導体膜が積層された構造でもよい。例えば、酸化物半導体膜を、第1の酸化物半導体膜と第2の酸化物半導体膜の積層として、第1の酸化物半導体膜と第2の酸化物半導体膜に、異なる原子数比の金属酸化物を用いてもよい。例えば、第1の酸化物半導体膜に二種類の金属を含む酸化物、三種類の金属を含む酸化物、四種類の金属を含む酸化物のうち一つを用い、第2の酸化物半導体膜に第1の酸化物半導体膜と異なる二種類の金属を含む酸化物、三種類の金属を含む酸化物、四種類の金属を含む酸化物を用いてもよい。

20

【0247】

酸化物半導体膜を2層構造とし、第1の酸化物半導体膜と第2の酸化物半導体膜の構成元素を同一とし、両者の原子数比を異ならせてもよい。例えば、第1の酸化物半導体膜の原子数比を $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ とし、第2の酸化物半導体膜の原子数比を $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ としてもよい。また、第1の酸化物半導体膜の原子数比を $\text{In}:\text{Ga}:\text{Zn}=2:1:3$ とし、第2の酸化物半導体膜の原子数比を $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ としてもよい。なお、各酸化物半導体膜の原子数比は、誤差として上記の原子数比のプラスマイナス20%の変動を含む。

30

【0248】

この時、第1の酸化物半導体膜と第2の酸化物半導体膜のうち、ゲート電極に近い側（チャネル側）の酸化物半導体膜の In と Ga の原子数比を $\text{In} \geq \text{Ga}$ とするとよい。またゲート電極から遠い側（バックチャネル側）の酸化物半導体膜の In と Ga の原子数比を $\text{In} < \text{Ga}$ とするとよい。これらの積層構造により、電界効果移動度の高いトランジスタを作製することができる。一方、ゲート電極に近い側（チャネル側）の酸化物半導体膜の In と Ga の原子数比を $\text{In} < \text{Ga}$ とし、バックチャネル側の酸化物半導体膜の In と Ga の原子数比を $\text{In} \geq \text{Ga}$ とすることで、トランジスタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。

【0249】

原子数比が $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ である第1の酸化物半導体膜は、原子数比が $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ である酸化物ターゲットを用いたスパッタリング法によって形成できる。基板温度を室温とし、スパッタリングガスにアルゴン、又はアルゴンと酸素の混合ガスを用いて形成することができる。原子数比が $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ である第2の酸化物半導体膜は、原子数比が $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ である酸化物ターゲットを用い、第1の酸化物半導体膜と同様にして形成できる。

40

【0250】

また、酸化物半導体膜を3層構造とし、第1の酸化物半導体膜乃至第3の酸化物半導体膜の構成元素を同一とし、且つそれぞれの原子数比を異ならせてもよい。酸化物半導体膜を3層構造とする構成について、図20を用いて説明する。

50

【0251】

図20に示すトランジスタは、第1の酸化物半導体膜199a、第2の酸化物半導体膜199b、及び第3の酸化物半導体膜199cがゲート絶縁膜127側から順に積層されている。第1の酸化物半導体膜199a及び第3の酸化物半導体膜199cを構成する材料は、 $\text{InM}_1\text{xZn}_y\text{O}_z$ ($x \geq 1$ 、 $y > 1$ 、 $z > 0$ 、 $M_1 = \text{Ga}$ 、 Hf 等)で表記できる材料を用いる。ただし、第1の酸化物半導体膜199a及び第3の酸化物半導体膜199cを構成する材料にGaを含ませる場合、含ませるGaの割合が多い、具体的には $\text{InM}_1\text{xZn}_y\text{O}_z$ で表記できる材料で $X = 10$ を超えると成膜時に粉が発生する恐れがあり、不適である。

【0252】

また、第2の酸化物半導体膜199bを構成する材料は、 $\text{InM}_2\text{xZn}_y\text{O}_z$ ($x \geq 1$ 、 $y \geq x$ 、 $z > 0$ 、 $M_2 = \text{Ga}$ 、 Sn 等)で表記できる材料を用いる。

【0253】

第1の酸化物半導体膜199aの伝導帯及び第3の酸化物半導体膜199cの伝導帯に比べて第2の酸化物半導体膜199bの伝導帯が真空準位から最も深くなるような井戸型構造を構成するように、第1、第2、及び第3の酸化物半導体膜の材料を適宜選択する。

【0254】

なお、酸化物半導体膜において第14族元素の一つであるシリコンや炭素はドナーの供給源となる。このため、シリコンや炭素が酸化物半導体膜に含まれると、酸化物半導体膜はn型化してしまう。このため、各酸化物半導体膜に含まれるシリコン及び炭素それぞれの濃度は $3 \times 10^{18} / \text{cm}^3$ 以下、好ましくは $3 \times 10^{17} / \text{cm}^3$ 以下とする。特に、第2の酸化物半導体膜199bに第14族元素が多く混入しないように、第1の酸化物半導体膜199a及び第3の酸化物半導体膜199cで、キャリアパスとなる第2の酸化物半導体膜199bを挟む、又は囲む構成とすることが好ましい。即ち、第1の酸化物半導体膜199a及び第3の酸化物半導体膜199cは、シリコン、炭素等の第14族元素が第2の酸化物半導体膜199bに混入することを防ぐバリア膜とも呼べる。

【0255】

例えば、第1の酸化物半導体膜199aの原子数比を $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ とし、第2の酸化物半導体膜199bの原子数比を $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ とし、第3の酸化物半導体膜199cの原子数比を $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ としてもよい。なお、第3の酸化物半導体膜199cは、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ である酸化物ターゲットを用いたスパッタリング法によって形成できる。

【0256】

又は、第1の酸化物半導体膜199aを、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ である酸化物半導体膜とし、第2の酸化物半導体膜199bを、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 又は $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ である酸化物半導体膜とし、第3の酸化物半導体膜199cを、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ である酸化物半導体膜とした、3層構造としてもよい。

【0257】

第1の酸化物半導体膜199a乃至第3の酸化物半導体膜199cの構成元素は同一であるため、第2の酸化物半導体膜199bは、第1の酸化物半導体膜199aとの界面における欠陥準位(トラップ準位)が少ない。詳細には、当該欠陥準位(トラップ準位)は、ゲート絶縁膜127と第1の酸化物半導体膜199aとの界面における欠陥準位よりも少ない。このため、上記のように酸化物半導体膜が積層されていることで、トランジスタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。

【0258】

また、第1の酸化物半導体膜199aの伝導帯及び第3の酸化物半導体膜199cの伝導帯に比べて第2の酸化物半導体膜199bの伝導帯が真空準位から最も深くなるような井戸型構造を構成するように、第1、第2、及び第3の酸化物半導体膜の材料を適宜選択することで、トランジスタの電界効果移動度を高めることが可能であると共に、トランジ

10

20

30

40

50

スタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。

【0259】

また、第1の酸化物半導体膜199a乃至第3の酸化物半導体膜199cに、結晶性の異なる酸化物半導体を適用してもよい。すなわち、単結晶酸化物半導体、多結晶酸化物半導体、非晶質酸化物半導体、及びCAAC-Osを適宜組み合わせた構成としてもよい。また、第1の酸化物半導体膜199a乃至第3の酸化物半導体膜199cのいずれか一に非晶質酸化物半導体を適用すると、酸化物半導体膜の内部応力や外部からの応力を緩和し、トランジスタの特性ばらつきが低減され、またトランジスタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。

【0260】

また、少なくともチャネル形成領域となりうる第2の酸化物半導体膜199bはCAAC-Osであることが好ましい。また、バックチャネル側の酸化物半導体膜、本実施の形態では、第3の酸化物半導体膜199cは、アモルファス又はCAAC-Osであることが好ましい。このような構造とすることで、トランジスタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。

【0261】

なお、本実施の形態に示す構成などは、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0262】

(実施の形態6)

上記実施の形態で一例を示したトランジスタ及び容量素子を用いて表示機能を有する半導体装置(表示装置ともいう。)を作製することができる。また、トランジスタを含む駆動回路の一部又は全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。本実施の形態では、上記実施の形態で一例を示したトランジスタを用いた表示装置の例について、図21乃至図23を用いて説明する。なお、図22(A)、図22(B)は、図21(B)中でM-Nの一点鎖線で示した部位の断面構成を示す断面図である。なお、図22において、画素部の構造は一部のみ記載している。

【0263】

図21(A)において、第1の基板901上に設けられた画素部902を囲むようにして、シール材905が設けられ、第2の基板906によって封止されている。図21(A)においては、第1の基板901上のシール材905によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体又は多結晶半導体で形成された信号線駆動回路903、及び走査線駆動回路904が実装されている。また、信号線駆動回路903、走査線駆動回路904、又は画素部902に与えられる各種信号及び電位は、FPC(Flexible printed circuit)918a、FPC918bから供給されている。

【0264】

図21(B)及び図21(C)において、第1の基板901上に設けられた画素部902と、走査線駆動回路904とを囲むようにして、シール材905が設けられている。また画素部902と、走査線駆動回路904の上に第2の基板906が設けられている。よって画素部902と、走査線駆動回路904とは、第1の基板901とシール材905と第2の基板906とによって、表示素子と共に封止されている。図21(B)及び図21(C)においては、第1の基板901上のシール材905によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体又は多結晶半導体で形成された信号線駆動回路903が実装されている。図21(B)及び図21(C)においては、信号線駆動回路903、走査線駆動回路904、又は画素部902に与えられる各種信号及び電位は、FPC918から供給されている。

【0265】

また、図21(B)及び図21(C)においては、信号線駆動回路903を別途形成し、第1の基板901に実装している例を示しているが、この構成に限定されない。走査線

10

20

30

40

50

駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部又は走査線駆動回路の一部のみを別途形成して実装しても良い。

【0266】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG (Chip On Glass) 方法、ワイヤボンディング方法、或いはTAB (Tape Automated Bonding) 方法などを用いることができる。図21(A)は、COG方法により信号線駆動回路903、走査線駆動回路904を実装する例であり、図21(B)は、COG方法により信号線駆動回路903を実装する例であり、図21(C)は、TAB方法により信号線駆動回路903を実装する例である。

【0267】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。

【0268】

なお、本明細書における表示装置とは、画像表示デバイス又は表示デバイスを指す。また、表示装置の代わりに光源（照明装置含む。）として機能させることができる。また、コネクタ、例えばFPCもしくはTCPが取り付けられたモジュール、TCPの先にプリント配線板が設けられたモジュール、又は表示素子にCOG方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【0269】

また、第1の基板上に設けられた画素部及び走査線駆動回路は、トランジスタを複数有しており、上記実施の形態で示したトランジスタを適用することができる。

【0270】

表示装置に設けられる表示素子としては液晶素子（液晶表示素子ともいう。）、発光素子（発光表示素子ともいう。）を用いることができる。発光素子は、電流又は電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL (Electro Luminescence) 素子、有機EL素子等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。図22に、表示素子として液晶素子を用いた液晶表示装置の例を示す。

【0271】

図22(A)に示す液晶表示装置は、縦電界方式の液晶表示装置である。液晶表示装置は、接続端子電極915及び端子電極916を有しており、接続端子電極915及び端子電極916はFPC918が有する端子と異方性導電剤919を介して、電氣的に接続されている。

【0272】

接続端子電極915は、第1の電極930と同じ導電膜から形成され、端子電極916は、トランジスタ910、911のソース電極及びドレイン電極と同じ導電膜で形成されている。

【0273】

また、第1の基板901上に設けられた画素部902と、走査線駆動回路904は、トランジスタを複数有しており画素部902に含まれるトランジスタ910と、走査線駆動回路904に含まれるトランジスタ911とを例示している。トランジスタ910及びトランジスタ911上には実施の形態1に示す絶縁膜229及び絶縁膜231に相当する絶縁膜924と、絶縁膜232に相当する絶縁膜934が設けられている。なお、絶縁膜923は下地膜として機能する絶縁膜である。

【0274】

本実施の形態では、トランジスタ910として、上記実施の形態で示したトランジスタを適用することができる。また、透光性を有する導電膜927、絶縁膜924、及び第1の電極930を用いて、容量素子926を構成する。なお、透光性を有する導電膜927は、電極928を介して、容量配線929と接続する。電極928は、トランジスタ910、トランジスタ911のソース電極及びドレイン電極と同じ材料及び同じ工程で形成さ

10

20

30

40

50

れる。容量配線 929 は、トランジスタ 910、トランジスタ 911 のゲート電極と同じ材料及び同じ工程で形成される。なお、ここでは、容量素子 926 として実施の形態 1 に示した容量素子を図示したが、適宜他の実施の形態に示した容量素子を用いることができる。

【0275】

画素部 902 に設けられたトランジスタ 910 は表示素子と電氣的に接続し、表示パネルを構成する。表示素子は表示を行うことができれば特に限定されず、様々な表示素子を用いることができる。

【0276】

表示素子である液晶素子 913 は、第 1 の電極 930、第 2 の電極 931、及び液晶層 908 を含む。なお、液晶層 908 を挟持するように配向膜として機能する絶縁膜 932、絶縁膜 933 が設けられている。また、第 2 の電極 931 は第 2 の基板 906 側に設けられ、第 1 の電極 930 と第 2 の電極 931 とは液晶層 908 を介して重なる構成となっている。

【0277】

表示素子に電圧を印加する第 1 の電極及び第 2 の電極（画素電極、共通電極、対向電極などともいう。）においては、取り出す光の方向、電極が設けられる場所、及び電極のパターン構造によって透光性、反射性を選択すればよい。

【0278】

第 1 の電極 930 及び第 2 の電極 931 は、実施の形態 1 に示す画素電極 221 及び対向電極 154 と同様の材料を適宜用いることができる。

【0279】

また、スペーサ 935 は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、第 1 の電極 930 と第 2 の電極 931 との間隔（セルギャップ）を制御するために設けられている。なお、球状のスペーサを用いてもよい。

【0280】

表示素子として、液晶素子を用いる場合、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

【0281】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するためにカイラル剤を混合させた液晶組成物を用いて液晶層に用いる。なお、配向膜は有機樹脂で構成されており、有機樹脂は水素又は水などを含むことから、本発明の一態様である半導体装置のトランジスタの電気特性を低下させるおそれがある。そこで、液晶層 160 として、ブルー相を用いることで、有機樹脂を用いずに本発明の一態様である半導体装置を作製することができ、信頼性の高い半導体装置を得ることができる。

【0282】

第 1 の基板 901 及び第 2 の基板 906 はシール材 925 によって固定されている。シール材 925 は、熱硬化樹脂、光硬化樹脂などの有機樹脂を用いることができる。また、シール材 925 は、絶縁膜 924 と接している。なお、シール材 925 は図 21 に示すシール材 905 に相当する。

【0283】

また、液晶表示装置において、ブラックマトリクス（遮光膜）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

【0284】

また、トランジスタは静電気などにより破壊されやすいため、駆動回路保護用の保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

【0285】

次に、横電界方式の液晶表示装置について、図22(B)を用いて説明する。図22(B)は、横電界方式の一例である、FFSモードの液晶表示装置である。実施の形態4に示す横電界方式の液晶表示装置と異なる構造について、説明する。

【0286】

図22(B)に示す液晶表示装置において、接続端子電極915は、第1の電極940と同じ材料及び同じ工程で形成され、端子電極916は、トランジスタ910、911のソース電極及びドレイン電極と同じ材料及び同じ工程で形成されている。

10

【0287】

また、液晶素子943は、絶縁膜924上に形成される第1の電極940、第2の電極941、及び液晶層908を含む。なお、液晶素子943は、実施の形態1に示す容量素子205と同様の構造とすることができる。第1の電極940は、図22(A)に示す第1の電極930に示す材料を適宜用いることができる。また、第1の電極940は、平面形状が、櫛歯状、階段状、梯子状等である。第2の電極941は共通電極として機能し、実施の形態1乃至実施の形態3に示す透光性を有する導電膜と同様に形成することができる。第1の電極940及び第2の電極941の間には絶縁膜924が設けられている。

【0288】

第2の電極941は、電極945を介して、共通配線946と接続する。なお、電極945は、トランジスタ910、トランジスタ911のソース電極及びドレイン電極と同じ導電膜から形成される。共通配線946は、トランジスタ910、トランジスタ911のゲート電極と同じ材料及び同じ工程で形成される。なお、ここでは、液晶素子943として実施の形態1に示した容量素子を用いて説明したが、適宜他の実施の形態に示した容量素子を用いることができる。

20

【0289】

図23に、図22(A)に示す液晶表示装置において、基板906に設けられた第2の電極931と電氣的に接続するための共通接続部(パッド部)を、基板901上に形成する例を示す。

【0290】

共通接続部は、基板901と基板906とを接着するためのシール材と重なる位置に配置され、シール材に含まれる導電性粒子を介して第2の電極931と電氣的に接続される。又は、シール材と重ならない箇所(但し、画素部を除く)に共通接続部を設け、共通接続部に重なるように導電性粒子を含むペーストをシール材とは別途設けて第2の電極931と電氣的に接続してもよい。

30

【0291】

図23(A)は、共通接続部の断面図であり、図23(B)に示す上面図のI-Jに相当する。

【0292】

共通電位線975は、ゲート絶縁膜922上に設けられ、図23に示すトランジスタ910のソース電極971又はドレイン電極973と同じ材料及び同じ工程で作製される。

40

【0293】

また、共通電位線975は、絶縁膜924及び絶縁膜934で覆われ、絶縁膜924及び絶縁膜934は、共通電位線975と重なる位置に複数の開口を有している。この開口は、トランジスタ910のソース電極971又はドレイン電極973の一方と、第1の電極930とを接続するコンタクトホールと同じ工程で作製される。

【0294】

また、共通電位線975及び共通電極977が開口において接続する。共通電極977は、絶縁膜934上に設けられ、接続端子電極915や、画素部の第1の電極930と同じ材料及び同じ工程で作製される。

50

【0295】

このように、画素部902のスイッチング素子の作製工程と共通させて共通接続部を作製することができる。

【0296】

共通電極977は、シール材に含まれる導電性粒子と接触する電極であり、基板906の第2の電極931と電氣的に接続が行われる。

【0297】

また、図23(C)に示すように、共通電位線985を、トランジスタ910のゲート電極と同じ材料、同じ工程で作製してもよい。

【0298】

図23(C)に示す共通接続部において、共通電位線985は、ゲート絶縁膜922、絶縁膜924、及び絶縁膜934の下層に設けられ、ゲート絶縁膜922、絶縁膜924、及び絶縁膜934は、共通電位線985と重なる位置に複数の開口を有する。該開口は、トランジスタ910のソース電極971又はドレイン電極973の一方と第1の電極930とを接続するコンタクトホールと同じ工程で絶縁膜924をエッチングした後、さらにゲート絶縁膜922を選択的にエッチングすることで形成される。

【0299】

また、共通電位線985及び共通電極987が開口において接続する。共通電極987は、絶縁膜924上に設けられ、接続端子電極915や、画素部の第1の電極930と同じ材料及び同じ工程で作製される。

【0300】

以上より、上記実施の形態で示したトランジスタ及び容量素子を適用することで、開口率を高めつつ、電荷容量を増大させた容量素子を有する半導体装置を提供することができる。この結果、表示品位の優れた半導体装置を得ることができる。

【0301】

また、トランジスタに含まれる半導体膜である酸化物半導体膜は酸素欠損が低減され、水素などの不純物が低減されていることから、本発明の一態様である半導体装置は、良好な電気特性を有し、かつ消費電力が低減された半導体装置となる。

【0302】

なお、本実施の形態に示す構成などは、他の実施の形態に示す構成と適宜組み合わせることができる。

【0303】

(実施の形態7)

本発明の一態様である半導体装置は、さまざまな電子機器（遊技機も含む。）に適用することができる。電子機器としては、テレビジョン装置（テレビ、又はテレビジョン受信機ともいう。）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、遊技機（パチンコ機、スロットマシン等）、ゲーム筐体が挙げられる。これらの電子機器の一例を図24に示す。

【0304】

図24(A)は、表示部を有するテーブル9000を示している。テーブル9000は、筐体9001に表示部9003が組み込まれており、表示部9003により映像を表示することが可能である。なお、4本の脚部9002により筐体9001を支持した構成を示している。また、電力供給のための電源コード9005を筐体9001に有している。

【0305】

上記実施の形態のいずれかに示す半導体装置は、表示部9003に用いることが可能である。それゆえ、表示部9003の表示品位を高くすることができる。

【0306】

表示部9003は、タッチ入力機能を有しており、テーブル9000の表示部9003に表示された表示ボタン9004を指などで触れることで、画面操作や、情報を入力する

10

20

30

40

50

ことができ、また他の家電製品との通信を可能とする、又は制御を可能とすることで、画面操作により他の家電製品をコントロールする制御装置としてもよい。例えば、イメージセンサ機能を有する半導体装置を用いれば、表示部 9003 にタッチ入力機能を持たせることができる。

【0307】

また、筐体 9001 に設けられたヒンジによって、表示部 9003 の画面を床に対して垂直に立てることもでき、テレビジョン装置としても利用できる。狭い部屋においては、大きな画面のテレビジョン装置は設置すると自由な空間が狭くなってしまうが、テーブルに表示部が内蔵されていれば、部屋の空間を有効に利用することができる。

【0308】

図 24 (B) は、テレビジョン装置 9100 を示している。テレビジョン装置 9100 は、筐体 9101 に表示部 9103 が組み込まれており、表示部 9103 により映像を表示することが可能である。なお、ここではスタンド 9105 により筐体 9101 を支持した構成を示している。

【0309】

テレビジョン装置 9100 の操作は、筐体 9101 が備える操作スイッチや、別体のリモコン操作機 9110 により行うことができる。リモコン操作機 9110 が備える操作キー 9109 により、チャンネルや音量の操作を行うことができ、表示部 9103 に表示される映像を操作することができる。また、リモコン操作機 9110 に、当該リモコン操作機 9110 から出力する情報を表示する表示部 9107 を設ける構成としてもよい。

【0310】

図 24 (B) に示すテレビジョン装置 9100 は、受信機やモデムなどを備えている。テレビジョン装置 9100 は、受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線又は無線による通信ネットワークに接続することにより、一方向（送信者から受信者）又は双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【0311】

上記実施の形態のいずれかに示す半導体装置は、表示部 9103、9107 に用いることが可能である。それゆえ、テレビジョン装置の表示品位を向上させることができる。

【0312】

図 24 (C) はコンピュータ 9200 であり、本体 9201、筐体 9202、表示部 9203、キーボード 9204、外部接続ポート 9205、ポインティングデバイス 9206 などを含む。

【0313】

上記実施の形態のいずれかに示す半導体装置は、表示部 9203 に用いることが可能である。それゆえ、コンピュータ 9200 の表示品位を向上させることができる。

【0314】

図 25 (A) 及び図 25 (B) は 2 つ折り可能なタブレット型端末である。図 25 (A) は、開いた状態であり、タブレット型端末は、筐体 9630、表示部 9631 a、表示部 9631 b、表示モード切り替えスイッチ 9034、電源スイッチ 9035、省電力モード切り替えスイッチ 9036、留め具 9033、操作スイッチ 9038、を有する。

【0315】

上記実施の形態のいずれかに示す半導体装置は、表示部 9631 a、表示部 9631 b に用いることが可能である。それゆえ、タブレット端末の表示品位を向上させることができる。

【0316】

表示部 9631 a は、一部をタッチパネルの領域 9632 a とすることができ、表示された操作キー 9638 にふれることでデータ入力を行うことができる。なお、表示部 9631 a においては、一例として半分の領域が表示のみの機能を有する構成、もう半分の領域がタッチパネルの機能を有する構成を示しているが該構成に限定されない。表示部 96

10

20

30

40

50

3 1 a の全ての領域がタッチパネルの機能を有する構成としても良い。例えば、表示部 9 6 3 1 a の全面をキーボードボタン表示させてタッチパネルとし、表示部 9 6 3 1 b を表示画面として用いることができる。

【0317】

また、表示部 9 6 3 1 b においても表示部 9 6 3 1 a と同様に、表示部 9 6 3 1 b の一部をタッチパネルの領域 9 6 3 2 b とすることができる。また、タッチパネルのキーボード表示切り替えボタン 9 6 3 9 が表示されている位置に指やスタイラスなどでふれることで表示部 9 6 3 1 b にキーボードボタン表示することができる。

【0318】

また、タッチパネルの領域 9 6 3 2 a とタッチパネルの領域 9 6 3 2 b に対して同時にタッチ入力することもできる。

10

【0319】

また、表示モード切り替えスイッチ 9 0 3 4 は、縦表示又は横表示などの表示の向きを切り替え、白黒表示やカラー表示の切り替えなどを選択できる。省電力モード切り替えスイッチ 9 0 3 6 は、タブレット型端末に内蔵している光センサで検出される使用時の外光の光量に応じて表示の輝度を最適なものとすることができる。タブレット型端末は光センサだけでなく、ジャイロ、加速度センサ等の傾きを検出するセンサなどの他の検出装置を内蔵させてもよい。

【0320】

また、図 2 5 (A) では表示部 9 6 3 1 b と表示部 9 6 3 1 a の表示面積が同じ例を示しているが特に限定されず、一方のサイズともう一方のサイズが異なってもよく、表示の品質も異なってもよい。例えば一方が他方よりも高精細な表示を行える表示パネルとしてもよい。

20

【0321】

図 2 5 (B) は、閉じた状態であり、タブレット型端末は、筐体 9 6 3 0、太陽電池 9 6 3 3、充放電制御回路 9 6 3 4 を有する。なお、図 2 5 (B) では充放電制御回路 9 6 3 4 の一例としてバッテリー 9 6 3 5、D C D C コンバータ 9 6 3 6 を有する構成について示している。

【0322】

なお、タブレット型端末は 2 つ折り可能なため、未使用時に筐体 9 6 3 0 を閉じた状態にすることができる。従って、表示部 9 6 3 1 a、表示部 9 6 3 1 b を保護できるため、耐久性に優れ、長期使用の観点からも信頼性の優れたタブレット型端末を提供できる。

30

【0323】

また、この他にも図 2 5 (A) 及び図 2 5 (B) に示したタブレット型端末は、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報をタッチ入力操作又は編集するタッチ入力機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。

【0324】

タブレット型端末の表面に装着された太陽電池 9 6 3 3 によって、電力をタッチパネル、表示部、又は映像信号処理部等に供給することができる。なお、太陽電池 9 6 3 3 は、筐体 9 6 3 0 の片面又は両面に設けることができ、バッテリー 9 6 3 5 の充電を効率的に行う構成とすることができる。なお、バッテリー 9 6 3 5 としては、リチウムイオン電池を用いると、小型化を図れる等の利点がある。

40

【0325】

また、図 2 5 (B) に示す充放電制御回路 9 6 3 4 の構成、及び動作について図 2 5 (C) にブロック図を示し説明する。図 2 5 (C) には、太陽電池 9 6 3 3、バッテリー 9 6 3 5、D C D C コンバータ 9 6 3 6、コンバータ 9 6 3 7、スイッチ S W 1 乃至 S W 3、表示部 9 6 3 1 について示しており、バッテリー 9 6 3 5、D C D C コンバータ 9 6 3 6、コンバータ 9 6 3 7、スイッチ S W 1 乃至 S W 3 が、図 2 5 (B) に示す充放電制御

50

回路 9 6 3 4 に対応する箇所となる。

【0 3 2 6】

まず、外光により太陽電池 9 6 3 3 により発電がされる場合の動作の例について説明する。太陽電池で発電した電力は、バッテリー 9 6 3 5 を充電するための電圧となるよう D C D C コンバータ 9 6 3 6 で昇圧又は降圧がなされる。そして、表示部 9 6 3 1 の動作に太陽電池 9 6 3 3 からの電力が用いられる際にはスイッチ S W 1 をオンにし、コンバータ 9 6 3 7 で表示部 9 6 3 1 に必要な電圧に昇圧又は降圧をすることとなる。また、表示部 9 6 3 1 での表示を行わない際には、S W 1 をオフにし、S W 2 をオンにしてバッテリー 9 6 3 5 の充電を行う構成とすればよい。

【0 3 2 7】

なお、太陽電池 9 6 3 3 については、発電手段の一例として示したが、特に限定されず、圧電素子（ピエゾ素子）や熱電変換素子（ペルティエ素子）などの他の発電手段によるバッテリー 9 6 3 5 の充電を行う構成であってもよい。例えば、無線（非接触）で電力を送受信して充電する無接点電力伝送モジュールや、また他の充電手段を組み合わせる構成としてもよい。

【0 3 2 8】

なお、本実施の形態に示す構成などは、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【実施例 1】

【0 3 2 9】

本実施例では、酸化物半導体膜、及び多層膜の抵抗について、図 2 6 及び図 2 7 を用いて説明する。

【0 3 3 0】

はじめに、試料の構造について図 2 6 を用いて説明する。

【0 3 3 1】

図 2 6 (A) は、試料 1 乃至試料 4 の上面図であり、一点破線 A 1 - A 2 の断面図を図 2 6 (B)、(C)、(D) に示す。なお、試料 1 至試料 4 は、上面図が同一であり、断面の積層構造が異なるため、断面図が異なる。試料 1 の断面図を図 2 6 (B) に、試料 2 の断面図を図 2 6 (C) に、試料 3 及び試料 4 の断面図を図 2 6 (D) に、それぞれ示す。

【0 3 3 2】

試料 1 は、ガラス基板 1 9 0 1 上に絶縁膜 1 9 0 3 が形成され、絶縁膜 1 9 0 3 上に絶縁膜 1 9 0 4 が形成され、絶縁膜 1 9 0 4 上に酸化物半導体膜 1 9 0 5 が形成される。また、酸化物半導体膜 1 9 0 5 の両端を、電極として機能する導電膜 1 9 0 7、1 9 0 9 が覆い、酸化物半導体膜 1 9 0 5 及び導電膜 1 9 0 7、1 9 0 9 を絶縁膜 1 9 1 0、1 9 1 1 が覆う。なお、絶縁膜 1 9 1 0、1 9 1 1 には、開口部 1 9 1 3、1 9 1 5 が設けられており、それぞれ当該開口部において、導電膜 1 9 0 7、1 9 0 9 が露出している。

【0 3 3 3】

試料 2 は、ガラス基板 1 9 0 1 上に絶縁膜 1 9 0 3 が形成され、絶縁膜 1 9 0 3 上に絶縁膜 1 9 0 4 が形成され、絶縁膜 1 9 0 4 上に酸化物半導体膜 1 9 0 5 が形成される。また、酸化物半導体膜 1 9 0 5 の両端を電極として機能する導電膜 1 9 0 7、1 9 0 9 が覆い、酸化物半導体膜 1 9 0 5 及び導電膜 1 9 0 7、1 9 0 9 を絶縁膜 1 9 1 1 が覆う。なお、絶縁膜 1 9 1 1 には、開口部 1 9 1 7、1 9 1 9 が設けられており、それぞれ当該開口部において、導電膜 1 9 0 7、1 9 0 9 が露出している。

【0 3 3 4】

試料 3 及び試料 4 は、ガラス基板 1 9 0 1 上に絶縁膜 1 9 0 3 が形成され、絶縁膜 1 9 0 3 上に絶縁膜 1 9 0 4 が形成され、絶縁膜 1 9 0 4 上に多層膜 1 9 0 6 が形成される。また、多層膜 1 9 0 6 の両端を、電極として機能する導電膜 1 9 0 7、1 9 0 9 が覆い、多層膜 1 9 0 6 及び導電膜 1 9 0 7、1 9 0 9 を絶縁膜 1 9 1 1 が覆う。なお、絶縁膜 1 9 1 1 には、開口部 1 9 1 7、1 9 1 9 が設けられており、それぞれ当該開口部において

、導電膜 1907、1909 が露出している。

【0335】

このように、試料 1 乃至試料 4 は、酸化物半導体膜 1905、又は多層膜 1906 上に接する絶縁膜の構造が異なる。試料 1 は、酸化物半導体膜 1905 と絶縁膜 1910 が接しており、試料 2 は、酸化物半導体膜 1905 と絶縁膜 1911 が接しており、試料 3 及び試料 4 は、多層膜 1906 と絶縁膜 1911 が接している。

【0336】

次に、各試料の作製方法について説明する。

【0337】

はじめに、試料 1 の作製方法について説明する。

10

【0338】

ガラス基板 1901 上に、絶縁膜 1903 として、プラズマ CVD 法により厚さ 400 nm の窒化シリコン膜を成膜した。

【0339】

次に、絶縁膜 1903 上に、絶縁膜 1904 として、プラズマ CVD 法により厚さ 50 nm の酸化窒化シリコン膜を成膜した。

【0340】

次に、絶縁膜 1904 上に、酸化物半導体膜 1905 として、金属酸化物ターゲット (In:Ga:Zn=1:1:1) を用い、スパッタリング法により厚さ 35 nm の In-Ga-Zn 酸化物膜 (以下、IGZO 膜ともいう。) を成膜した。その後、フォトリソグラフィ工程により形成したマスクを用いてエッチング処理を行い、酸化物半導体膜 1905 を形成した。

20

【0341】

次に、絶縁膜 1903 及び酸化物半導体膜 1905 上に、スパッタリング法により厚さ 50 nm のタングステン膜、厚さ 400 nm のアルミニウム膜、及び厚さ 100 nm のチタン膜を順に積層した後、フォトリソグラフィ工程により形成したマスクを用いてエッチング処理を行い、導電膜 1907 及び導電膜 1909 を形成した。

【0342】

次に、絶縁膜 1904、酸化物半導体膜 1905、導電膜 1907、及び導電膜 1909 上に、絶縁膜 1910 として、プラズマ CVD 法により厚さ 450 nm の酸化窒化シリコン膜を成膜した後、350℃の窒素及び酸素の混合雰囲気中で 1 時間の加熱処理を行った。

30

【0343】

次に、絶縁膜 1910 上に、絶縁膜 1911 として、プラズマ CVD 法により厚さ 50 nm の窒化シリコン膜を成膜した。

【0344】

次に、絶縁膜 1911 上に、フォトリソグラフィ工程により形成したマスクを設けた後、エッチング処理を行い、絶縁膜 1910、及び絶縁膜 1911 に開口部 1913、1915 を形成した。

【0345】

以上の工程により試料 1 を作製した。

40

【0346】

次に、試料 2 の作製方法について説明する。

【0347】

試料 1 の絶縁膜 1903、酸化物半導体膜 1905、導電膜 1907、及び導電膜 1909 上に、絶縁膜 1910 として、プラズマ CVD 法により厚さ 450 nm の酸化窒化シリコン膜を成膜した後、350℃の窒素及び酸素の混合雰囲気中で 1 時間の加熱処理を行った。その後、絶縁膜 1910 の除去を行った。

【0348】

次に、絶縁膜 1904、酸化物半導体膜 1905、導電膜 1907、及び導電膜 1909

50

9 上に、絶縁膜 1911 として、プラズマ CVD 法により厚さ 50 nm の窒化シリコン膜を成膜した。

【0349】

次に、絶縁膜 1911 上に、フォトリソグラフィ工程により形成したマスクを設けた後、エッチング処理を行い、絶縁膜 1911 に開口部 1917、1919 を形成した。

【0350】

以上の工程により試料 2 を作製した。

【0351】

次に、試料 3 の作製方法について、説明する。

【0352】

10

試料 3 は、試料 2 の酸化物半導体膜 1905 の代わりに、多層膜 1906 を用いた。多層膜 1906 としては、絶縁膜 1904 上に、金属酸化物ターゲット ($\text{In}:\text{Ga}:\text{Zn}=1:3:2$) を用い、スパッタリング法により厚さ 10 nm の IGZO 膜を成膜し、続けて金属酸化物ターゲット ($\text{In}:\text{Ga}:\text{Zn}=1:1:1$) を用い、スパッタリング法により厚さ 10 nm の IGZO 膜を成膜し、続けて金属酸化物ターゲット ($\text{In}:\text{Ga}:\text{Zn}=1:3:2$) を用い、スパッタリング法により厚さ 10 nm の IGZO 膜を成膜した。その後、フォトリソグラフィ工程により形成したマスクを用いてエッチング処理を行い、多層膜 1906 を形成した。

【0353】

以上の工程により試料 3 を作製した。

20

【0354】

次に、試料 4 の作製方法について、説明する。

【0355】

試料 4 は、試料 2 の酸化物半導体膜 1905 の代わりに、多層膜 1906 を用いた。また、試料 4 は試料 3 と比較して、多層膜 1906 を構成する IGZO 膜の膜厚が異なる。多層膜 1906 としては、絶縁膜 1904 上に、金属酸化物ターゲット ($\text{In}:\text{Ga}:\text{Zn}=1:3:2$) を用い、スパッタリング法により厚さ 20 nm の IGZO 膜を成膜し、続けて金属酸化物ターゲット ($\text{In}:\text{Ga}:\text{Zn}=1:1:1$) を用い、スパッタリング法により厚さ 15 nm の IGZO 膜を成膜し、続けて金属酸化物ターゲット ($\text{In}:\text{Ga}:\text{Zn}=1:3:2$) を用い、スパッタリング法により厚さ 10 nm の IGZO 膜を成膜した。その後、フォトリソグラフィ工程により形成したマスクを用いてエッチング処理を行い、分離された多層膜 1906 を形成した。

30

【0356】

以上の工程により試料 4 を作製した。

【0357】

次に、試料 1 乃至試料 4 に設けられた酸化物半導体膜 1905、及び多層膜 1906 のシート抵抗を測定した。試料 1 においては、開口部 1913 及び開口部 1915 にプローブを接触させ、酸化物半導体膜 1905 のシート抵抗を測定した。また、試料 2 乃至試料 4 においては、開口部 1917 及び開口部 1919 にプローブを接触させ、酸化物半導体膜 1905、及び多層膜 1906 のシート抵抗を測定した。なお、試料 1 乃至試料 4 の酸化物半導体膜 1905、及び多層膜 1906 において、導電膜 1907 及び導電膜 1909 が対向する幅を 1 mm、距離を 10 μm とした。また、試料 1 乃至試料 4 において、導電膜 1907 を接地電位とし、導電膜 1909 に 1 V を印加した。

40

【0358】

試料 1 乃至試料 4 のシート抵抗を図 27 に示す。

【0359】

試料 1 のシート抵抗は、約 $1 \times 10^{11} \Omega/\text{sq}$ であった。また、試料 2 のシート抵抗は、 $2620 \Omega/\text{sq}$ であった。また、試料の 3 のシート抵抗は、 $4410 \Omega/\text{sq}$ であった。また、試料 4 のシート抵抗は、 $2930 \Omega/\text{sq}$ であった。

【0360】

50

このように、酸化物半導体膜 1905、及び多層膜 1906 に接する絶縁膜の違いにより、酸化物半導体膜 1905、及び多層膜 1906 のシート抵抗は、異なる値を示す。

【0361】

なお、上述した試料 1 乃至試料 4 のシート抵抗を抵抗率に換算した場合、試料 1 は、 $3.9 \times 10^5 \Omega \text{cm}$ 、試料 2 は、 $9.3 \times 10^{-3} \Omega \text{cm}$ 、試料 3 は、 $1.3 \times 10^{-2} \Omega \text{cm}$ 、試料 4 は、 $1.3 \times 10^{-2} \Omega \text{cm}$ であった。

【0362】

試料 1 は、酸化物半導体膜 1905 上に接して絶縁膜 1910 として用いる酸化窒化シリコン膜が形成されており、絶縁膜 1911 として用いる窒化シリコン膜と離れて形成されている。一方、試料 2 乃至試料 4 は、酸化物半導体膜 1905、及び多層膜 1906 上に接して絶縁膜 1911 として用いる窒化シリコン膜が形成されている。このように、酸化物半導体膜 1905、及び多層膜 1906 は、絶縁膜 1911 として用いる窒化シリコン膜に接して設けると、酸化物半導体膜 1905、及び多層膜 1906 に欠陥、代表的には酸素欠損が形成されると共に、該窒化シリコン膜に含まれる水素が、酸化物半導体膜 1905、及び多層膜 1906 へ移動又は拡散する。これらの結果、酸化物半導体膜 1905、及び多層膜 1906 の導電性が向上する。

【0363】

例えば、トランジスタのチャネル形成領域に酸化物半導体膜を用いる場合、試料 1 に示すように酸化物半導体膜に接して酸化窒化シリコン膜を設ける構成が好ましい。また、容量素子の電極に用いる透光性を有する導電膜としては、試料 2 乃至試料 4 に示すように酸化物半導体膜又は多層膜に接して窒化シリコン膜を設ける構成が好ましい。このような構成を用いることによって、トランジスタのチャネル形成領域に用いる酸化物半導体膜又は多層膜と、容量素子の電極に用いる酸化物半導体膜又は多層膜と、を同一工程で作製しても酸化物半導体膜、及び多層膜の抵抗率を変えることができる。

【0364】

次に、試料 2 及び試料 3 において、高温高湿環境で保存した試料のシート抵抗値、及び測定温度を変化させたときの試料のシート抵抗値について測定した。ここで用いた各試料の条件について、以下に説明する。なお、ここでは、一部の条件において、試料 2 及び試料 3 と異なる条件を用いている。このため、試料 2 及び試料 3 と構造が同じであり、作製条件が異なる試料をそれぞれ試料 2a 及び試料 3a とする。

【0365】

はじめに、試料 2a の作製方法について説明する。

【0366】

ガラス基板 1901 上に、絶縁膜 1903 及び絶縁膜 1904 を成膜した。

【0367】

絶縁膜 1904 上に、酸化物半導体膜 1905 として、金属酸化物ターゲット (In : Ga : Zn = 1 : 1 : 1) を用い、スパッタリング法により厚さ 35 nm の IGZO 膜を成膜した。その後、フォトリソグラフィ工程により形成したマスクを用いてエッチング処理を行った後、350℃又は450℃で加熱処理を行い、酸化物半導体膜 1905 を形成した。

【0368】

絶縁膜 1903 及び酸化物半導体膜 1905 上に、スパッタリング法により厚さ 50 nm のチタン膜、及び厚さ 400 nm の銅膜を順に積層した後、フォトリソグラフィ工程により形成したマスクを用いてエッチング処理を行い、導電膜 1907 及び導電膜 1909 を形成した。

【0369】

次に、絶縁膜 1904、酸化物半導体膜 1905、導電膜 1907、及び導電膜 1909 上に、絶縁膜 1910 として、プラズマ CVD 法により厚さ 450 nm の酸化窒化シリコン膜を成膜した後、350℃の窒素及び酸素の混合雰囲気中で 1 時間の加熱処理を行った。

10

20

30

40

50

【0370】

次に、絶縁膜1904、酸化物半導体膜1905、導電膜1907、及び導電膜1909上に、絶縁膜1911として、プラズマCVD法により厚さ50nmの窒化シリコン膜を成膜した。なお、窒化シリコン膜の成膜温度を220℃又は350℃とした。

【0371】

次に、絶縁膜1911上に、フォトリソグラフィ工程により形成したマスクを設けた後、エッチング処理を行い、絶縁膜1910、及び絶縁膜1911に開口部1913、1915を形成した。

【0372】

以上の工程により試料2aを作製した。

10

【0373】

次に、試料3aの作製方法について、説明する。

【0374】

試料3aは、試料2aの酸化物半導体膜1905の代わりに、多層膜1906を用いた。多層膜1906としては、絶縁膜1904上に、金属酸化物ターゲット(In:Ga:Zn=1:1:1)を用い、スパッタリング法により厚さ10nmのIGZO膜を成膜し、続けて金属酸化物ターゲット(In:Ga:Zn=1:3:2)を用い、スパッタリング法により厚さ10nmのIGZO膜を成膜した。その後、フォトリソグラフィ工程により形成したマスクを用いてエッチング処理を行った後、350℃又は450℃で加熱処理を行い、多層膜1906を形成した。

20

【0375】

以上の工程により試料3aを作製した。

【0376】

次に、試料2a及び試料3aに設けられた酸化物半導体膜1905、及び多層膜1906のシート抵抗を測定した。試料2a及び試料3aにおいては、開口部1917及び開口部1919にプローブを接触させ、酸化物半導体膜1905、及び多層膜1906のシート抵抗を測定した。なお、試料2a及び試料3aの酸化物半導体膜1905、及び多層膜1906において、上面形状において導電膜1907及び導電膜1909が対向する幅Wを1.5mm、距離Dを10μmとした。また、試料2a及び試料3aにおいて、導電膜1907を接地電位とし、導電膜1909に1Vを印加した。また、温度60℃、湿度95%の雰囲気において、試料2a及び試料3aを、60時間及び130時間保管した後、各試料のシート抵抗値を測定した。

30

【0377】

試料2a及び試料3aのシート抵抗値を図31に示す。なお、図31において、実線は、各試料において絶縁膜1911として形成した窒化シリコン膜の成膜温度が220℃であり、破線は350℃であることを示す。また、黒塗りマークは、各試料において、酸化物半導体膜1905又は多層膜1906を形成した後、350℃で加熱処理を行ったことを示し、白塗りマークは、酸化物半導体膜1905又は多層膜1906を形成した後、450℃で加熱処理を行ったことを示す。丸マークは、各試料が酸化物半導体膜1905を有する、即ち、試料2aであることを示す。三角マークは、試料が多層膜1906を有する、即ち試料3aであることを示す。なお、図31において、多層膜1906を形成した後、350℃で加熱した試料3aの測定結果、すなわち黒塗り三角マークはプロットしていない。

40

【0378】

図31より、試料2a及び試料3aは、シート抵抗値が低く、容量素子の電極として好ましいシート抵抗値、 $0.2\Omega/\text{s.q.}$ 以下を満たしていることが分かる。また、試料2a及び試料3aは、シート抵抗値の時間変動量が少ないことがわかる。以上のことから、窒化シリコン膜に接する酸化物半導体膜又は多層膜は、高温高湿環境において、シート抵抗値の変動量が少ないため、容量素子の電極に用いる透光性を有する導電膜として用いることができる。

50

【0379】

次に、試料2a及び試料3aにおいて、基板温度を25℃、60℃、及び150℃として、それぞれのシート抵抗値を測定した結果を図32に示す。なお、ここでは、試料2a及び試料3aとして、絶縁膜1911として形成した窒化シリコン膜の成膜温度が220℃であり、酸化物半導体膜1905または多層膜1906を形成した後、350℃で加熱処理を行った試料を用いた。黒塗り丸マークは試料2aの測定結果を示し、黒塗り三角マークは、試料3aの測定結果を示す。

【0380】

図32より、測定温度を高くしても、酸化物半導体膜1905及び多層膜1906のシート抵抗値は変動しないことが分かる。即ち、窒化シリコン膜に接する酸化物半導体膜又は多層膜は、縮退半導体ともいえる。窒化シリコン膜に接する酸化物半導体膜又は多層膜は、温度が変化してもシート抵抗値の変動が少ないため、容量素子の電極に用いる透光性を有する導電膜として用いることができる。

10

【0381】

本実施例に示す構成は、他の実施の形態、又は実施例に示す構成と適宜組み合わせて用いることができる。

【実施例2】

【0382】

本実施例では、酸化物半導体膜の抵抗について、図35及び図36を用いて説明する。本実施例では、トランジスタ及び容量素子を形成する工程それぞれにおける、酸化物半導体膜の抵抗について測定した。

20

【0383】

トランジスタ及び容量素子を有する試料の作製方法及びその構造について、図35(A)及び図36を用いて説明する。なお、図36は、各試料に含まれる容量素子の断面構造を示す。

【0384】

ガラス基板1901上において、トランジスタが形成される領域にゲート電極を形成した。ここでは、ゲート電極として、厚さ100nmのタングステン膜を形成した。

【0385】

次に、ガラス基板1901及びゲート電極上に、絶縁膜1903として、プラズマCVD法により厚さ400nmの窒化シリコン膜を成膜した。

30

【0386】

次に、絶縁膜1903上に、絶縁膜1904として、プラズマCVD法により厚さ50nmの酸化窒化シリコン膜を成膜した。

【0387】

次に、絶縁膜1904上に、金属酸化物ターゲット(In:Ga:Zn=1:1:1)を用い、スパッタリング法により厚さ35nmのIGZO膜を成膜した。その後、フォトリソグラフィ工程により形成したマスクを用いてエッチング処理を行い、酸化物半導体膜1905を形成した(図35(A)に示すステップS1)。

【0388】

次に、絶縁膜1903及び酸化物半導体膜1905上に、スパッタリング法により厚さ50nmのタングステン膜、厚さ400nmのアルミニウム膜、及び厚さ100nmのチタン膜を順に積層した後、フォトリソグラフィ工程により形成したマスクを用いてエッチング処理を行い、導電膜1907及び導電膜1909を形成した(図35(A)のステップS3)。

40

【0389】

以上の工程により、試料5を作製した。試料5に含まれる容量素子の断面図を図36(A)に示す。なお、試料5において、トランジスタが形成される領域に設けられた酸化物半導体膜をC5とし、容量素子が形成される領域に設けられた酸化物半導体膜をE5とする。

50

【0390】

また、酸化物半導体膜1905を形成した後、窒素雰囲気下で450℃、1時間の熱処理を行い、続けて窒素と酸素の混合ガス雰囲気（窒素＝80％、酸素＝20％）下で450℃×1時間の熱処理を行った（図35（A）のステップS2）。さらに導電膜1907及び導電膜1909を形成した（図35（A）のステップS3）。

【0391】

以上の工程により試料6を作製した。試料6に含まれる容量素子の断面図を図36（A）に示す。なお、試料6において、トランジスタが形成される領域に設けられた酸化物半導体膜をC6とし、容量素子が形成される領域に設けられた酸化物半導体膜をE6とする。

10

【0392】

また、試料6と同様の工程を経た後、絶縁膜1904、酸化物半導体膜1905、導電膜1907、及び導電膜1909上に、のちに絶縁膜1910となる絶縁膜として、プラズマCVD法により厚さ450nmの酸化窒化シリコン膜を成膜した（図35（A）のステップS4）。

【0393】

次に、絶縁膜上に、フォトリソグラフィ工程により形成したマスクを設けた後、エッチング処理を行い、に開口部1913、1915を有する絶縁膜1910を形成した（図35（A）のステップS8）。

【0394】

以上の工程により試料7を作製した。試料7に含まれる容量素子の断面図を図36（B）に示す。なお、試料7において、トランジスタが形成される領域に設けられた酸化物半導体膜をC7とし、容量素子が形成される領域に設けられた酸化物半導体膜をE7とする。

20

【0395】

また、試料6と同様の工程を経た後、絶縁膜1904、酸化物半導体膜1905、導電膜1907、及び導電膜1909上に、のちに絶縁膜1910となる絶縁膜、プラズマCVD法により厚さ450nmの酸化窒化シリコン膜を成膜した（図35（A）のステップS4）。

【0396】

次に、350℃の窒素及び酸素の混合雰囲気下で1時間の加熱処理を行った（図35（A）のステップS5）。

30

【0397】

次に、絶縁膜1910上に、のちに絶縁膜1911となる絶縁膜を形成した。該絶縁膜として、プラズマCVD法により厚さ50nmの窒化シリコン膜を成膜した（図35（A）のステップS7）。

【0398】

次に、絶縁膜上に、フォトリソグラフィ工程により形成したマスクを設けた後、エッチング処理を行い、開口部1913、1915を有する絶縁膜1910、及び絶縁膜1911を形成した（図35（A）のステップS8）。

40

【0399】

以上の工程により試料8を作製した。試料8に含まれる容量素子の断面図を図36（C）に示す。なお、試料8において、トランジスタが形成される領域に設けられた酸化物半導体膜をC8とし、容量素子が形成される領域に設けられた酸化物半導体膜をE8とする。

【0400】

また、試料8において、図35（A）のステップS5に示す加熱処理を行ったのち、容量素子上の絶縁膜1910をエッチングした（図35（A）のステップS6）。当該工程において、容量素子に形成された酸化物半導体膜は、プラズマに曝され、酸化物半導体膜中に欠陥、代表的には酸素欠損が形成された。

50

【0401】

次に、のちに絶縁膜1911となる絶縁膜を形成した（図35（A）のステップS7）。

【0402】

次に、絶縁膜上に、フォトリソグラフィ工程により形成したマスクを設けた後、エッチング処理を行い、トランジスタが形成される領域に開口部1913、1915を有する絶縁膜1910及び絶縁膜1911を形成し、容量素子が形成される領域に開口部1917、1919を有する絶縁膜1911を形成した（図35（A）のステップS8）。

【0403】

以上の工程により試料9を作製した。試料9に含まれる容量素子の断面図を図36（D）に示す。なお、試料9において、トランジスタが形成される領域に設けられた酸化物半導体膜をC9とし、容量素子が形成される領域に設けられた酸化物半導体膜をE9とする。

【0404】

また、ガラス基板上に、スパッタリング法により厚さ100nmの酸化インジウム－酸化スズ化合物（ITO-SiO₂）の導電膜を形成した。なお、該導電膜に用いたターゲットの組成は、In₂O₃：SnO₂：SiO₂=85：10：5〔重量%〕とした。この後、窒素雰囲気中、250℃、1時間の加熱処理を行った。

【0405】

次に、酸化インジウム－酸化スズ化合物（ITO-SiO₂）の導電膜上に試料5乃至試料9と同様に、導電膜1907及び導電膜1909を形成した。

【0406】

以上の工程により試料10を作製した。

【0407】

なお、試料5乃至試料10において、上面形状において導電膜1907及び導電膜1909の対向する幅Wを1mmとし、距離Dを10μmとした。

【0408】

次に、試料5乃至試料9のトランジスタが形成される領域に設けられた酸化物半導体膜C5乃至C9と、試料5乃至試料9の容量素子が形成される領域に設けられた酸化物半導体膜E5乃至E9と、試料10に含まれる酸化インジウム－酸化スズ化合物（ITO-SiO₂）の導電膜それぞれのシート抵抗を測定した。

【0409】

測定した結果を図35（B）に示す。試料7に含まれる酸化物半導体膜C7及び酸化物半導体膜E7のシート抵抗が、試料5及び試料6に含まれる酸化物半導体C5、E5、C6、E6と比較して低減していることが分かる。このことから、酸化物半導体膜上に形成された膜をエッチングする際のプラズマに曝されることで、酸化物半導体膜にダメージが入り、酸化物半導体膜のシート抵抗が低減していることが分かる。

【0410】

また、試料8に含まれる酸化物半導体膜C8及び酸化物半導体膜E8のシート抵抗が試料5乃至試料7に含まれる酸化物半導体C5、E5、C6、E6、C7、E7と比較して、増加していることが分かる。これは、酸化物半導体膜C8及び酸化物半導体膜E8上に形成された絶縁膜は酸化シリコン膜で形成されており、さらに加熱により放出される酸素を含むからである。このため、酸化物半導体膜上に、図35（A）のステップS4に示す酸化絶縁膜を形成する工程と、ステップS5に示す加熱処理工程により、酸化物半導体膜の抵抗が高くなることが分かる。このような酸化物半導体膜をトランジスタのチャネル領域に用いることで、ノーマリーオフのトランジスタを作製することができる。

【0411】

また、試料9に含まれる酸化物半導体膜E9は、酸化物半導体膜C9と比較して、シート抵抗が低減していることが分かる。また、試料7に含まれる酸化物半導体膜C7及び酸化物半導体膜E7と同等のシート抵抗を有することが分かる。

【0412】

また、試料7に含まれる酸化物半導体膜C7及び酸化物半導体膜E7、並びに試料9に含まれる酸化物半導体膜E9は、試料10に含まれる酸化インジウム－酸化スズ化合物（ ITO-SiO_2 ）の導電膜と比較して、1桁シート抵抗が高い程度であり、酸化インジウム－酸化スズ化合物（ ITO-SiO_2 ）の導電膜と同様に、電極として用いることが可能である。

【0413】

すなわち、試料9のように、トランジスタが形成される領域においては、酸化物半導体膜上に酸化絶縁膜で形成される絶縁膜を設け加熱処理することで、酸化物半導体膜の抵抗が上昇し、チャンネル領域として用いることができる。また、容量素子が形成される領域においては、酸化物半導体膜の表面をプラズマに曝すことで、さらには、酸化物半導体膜上に窒化絶縁膜で形成される絶縁膜を設けることで、酸化物半導体膜の抵抗が低減し、電極として用いることができることが分かる。

【実施例3】

【0414】

本実施例は、酸化物半導体膜と、酸化物半導体膜上に形成された絶縁膜との不純物分析について、図28を用いて説明する。

【0415】

本実施例においては、不純物分析用のサンプルとして、2種類のサンプル（以下、試料11、及び試料12）を作製した。

【0416】

まず、はじめに試料11の作製方法を以下に示す。

【0417】

試料11は、ガラス基板上にIGZO膜を成膜し、その後窒化シリコン膜を成膜した。その後、窒素雰囲気下で450℃、1時間の熱処理を行い、続けて窒素と酸素の混合ガス雰囲気（窒素＝80％、酸素＝20％）下で450℃×1時間の熱処理を行った。

【0418】

なお、IGZO膜の成膜条件としては、スパッタリング法にて、金属酸化物ターゲット（ $\text{In:Ga:Zn}=1:1:1$ ）を用い、 $\text{Ar}/\text{O}_2=100/100\text{ sccm}$ （ $\text{O}_2=50\%$ ）、圧力＝0.6Pa、成膜電力＝5000W、基板温度＝170℃の条件で100nmの厚さIGZO膜を成膜した。

【0419】

また、窒化シリコン膜の成膜条件としては、プラズマCVD法にて、 $\text{SiH}_4/\text{N}_2/\text{NH}_3=50/5000/100\text{ sccm}$ 、圧力＝100Pa、成膜電力＝1000W、基板温度＝220℃の条件で100nmの厚さの窒化シリコン膜を成膜した。

【0420】

次に、試料12の作製方法を以下に示す。

【0421】

ガラス基板上にIGZO膜を成膜し、その後酸化窒化シリコン膜及び窒化シリコン膜を積層して成膜した。その後、窒素雰囲気下で450℃、1時間の熱処理を行い、続けて窒素と酸素の混合ガス雰囲気（窒素＝80％、酸素＝20％）下で450℃×1時間の熱処理を行った。

【0422】

なお、IGZO膜の成膜条件、及び窒化シリコン膜の成膜条件としては、試料11と同様の条件を用いた。また、酸化窒化シリコン膜の成膜条件としては、プラズマCVD法にて、 $\text{SiH}_4/\text{N}_2\text{O}=30/4000\text{ sccm}$ 、圧力＝40Pa、成膜電力＝150W、基板温度＝220℃の条件で50nmの厚さの酸化窒化シリコン膜を成膜し、その後、プラズマCVD法にて、 $\text{SiH}_4/\text{N}_2\text{O}=160/4000\text{ sccm}$ 、圧力＝200Pa、成膜電力＝1500W、基板温度＝220℃の条件で400nmの厚さの酸化窒化シリコン膜を成膜した。

【0423】

試料11及び試料12の不純物分析結果を図28に示す。

【0424】

なお、不純物分析としては、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）を用い、図28に示す矢印の方向から分析を行った。すなわち、ガラス基板側からの測定である。

【0425】

また、図28（A）は、試料11の測定により得られた水素（H）の濃度プロファイルである。図28（B）は、試料12の測定により得られた水素（H）の濃度プロファイルである。

10

【0426】

図28（A）よりIGZO膜中の水素（H）濃度は、 $1.0 \times 10^{20} \text{ atoms/cm}^3$ であることがわかる。また、窒化シリコン膜中の水素（H）濃度は、 $1.0 \times 10^{23} \text{ atoms/cm}^3$ であることがわかる。また、図28（B）よりIGZO膜中の水素（H）濃度は、 $5.0 \times 10^{19} \text{ atoms/cm}^3$ であることがわかる。また、酸化窒化シリコン膜中の水素（H）濃度は、 $3.0 \times 10^{21} \text{ atoms/cm}^3$ であることがわかる。

【0427】

なお、SIMS分析は、その測定原理上、試料表面近傍や、材質が異なる膜との積層界面近傍のデータを正確に得ることが困難であることが知られている。そこで、膜中における水素（H）の厚さ方向の分布を、SIMSで分析する場合、対象となる膜の存在する範囲において、極端な変動が無く、ほぼ一定の強度が得られる領域における平均値を採用する。

20

【0428】

このように、IGZO膜に接する絶縁膜の構成を変えることにより、IGZO膜中の水素（H）濃度に差が確認された。

【0429】

例えば、トランジスタのチャネル形成領域に上述したIGZO膜を用いる場合、試料12に示すようにIGZO膜に接して酸化窒化シリコン膜を設ける構成が好ましい。また、容量素子の電極に用いる透光性を有する導電膜としては、試料11に示すようにIGZO膜に接して窒化シリコン膜を設ける構成が好ましい。このような構成を用いることによって、トランジスタのチャネル形成領域に用いるIGZO膜と、容量素子の電極に用いるIGZO膜と、を同一工程で作製してもIGZO膜中の水素濃度を変えることができる。

30

【実施例4】

【0430】

本実施例では、酸化物半導体膜及び多層膜の欠陥量について、図29及び図30を用いて説明する。

【0431】

はじめに、試料の構造について説明する。

【0432】

試料13は、石英基板上に形成された厚さ35nmの酸化物半導体膜と、酸化物半導体膜上に形成された厚さ100nmの窒化絶縁膜とを有する。

40

【0433】

試料14及び試料15は、石英基板上に形成された厚さ30nmの多層膜と、多層膜上に形成された厚さ100nmの窒化絶縁膜とを有する。なお、試料14の多層膜は、厚さ10nmの第1のIGZO膜、厚さ10nmの第2のIGZO膜、及び厚さ10nmの第3のIGZO膜が順に積層されている。また、試料15は、厚さ20nmの第1のIGZO膜、厚さ15nmの第2のIGZO膜、及び厚さ10nmの第3のIGZO膜が順に積層されている。試料14及び試料15は、試料13と比較して、酸化物半導体膜の代わりに多層膜を有する点異なる。

50

【0434】

試料16は、石英基板上に形成された厚さ100nmの酸化物半導体膜と、酸化物半導体膜上に形成された厚さ250nmの酸化絶縁膜と、酸化絶縁膜上に形成された厚さ100nmの窒化絶縁膜とを有する。試料16は、試料13乃至試料15と比較して酸化物半導体膜が窒化絶縁膜と接しておらず、酸化絶縁膜と接している点異なる。

【0435】

次に、各試料の作製方法について説明する。

【0436】

はじめに、試料13の作製方法について説明する。

【0437】

石英基板上に、酸化物半導体膜として厚さ35nmのIGZO膜を成膜した。IGZO膜の成膜条件としては、スパッタリング法にて、金属酸化物ターゲット(In:Ga:Zn=1:1:1)を用い、Ar/O₂=100sccm/100sccm(O₂=50%)、圧力=0.6Pa、成膜電力=5000W、基板温度=170℃の条件を用いた。

【0438】

次に、第1の加熱処理として、450℃の窒素雰囲気中で1時間の加熱処理を行った後、450℃の窒素と酸素の混合ガス雰囲気(窒素=80%、酸素=20%)で1時間の加熱処理を行った。

【0439】

次に、酸化物半導体膜上に、窒化絶縁膜として厚さ100nmの窒化シリコン膜を成膜した。窒化シリコン膜の成膜条件としては、プラズマCVD法にて、SiH₄/N₂/NH₃=50/5000/100sccm、圧力=100Pa、成膜電力=1000W、基板温度=350℃の条件を用いた。

【0440】

次に、第2の加熱処理として、250℃の窒素雰囲気中で1時間の加熱処理を行った。

【0441】

以上の工程により試料13を作製した。

【0442】

次に、試料14の作製方法について説明する。

【0443】

試料14は、試料13の酸化物半導体膜の代わりに、多層膜を形成した。多層膜としては、石英基板上に、スパッタリング法にて、金属酸化物ターゲット(In:Ga:Zn=1:3:2)を用い、Ar/O₂=180/20sccm(O₂=10%)、圧力=0.6Pa、成膜電力=5000W、基板温度=25℃の条件で厚さ10nmの第1のIGZO膜を成膜した。次に、パッタリング法にて、金属酸化物ターゲット(In:Ga:Zn=1:1:1)を用い、Ar/O₂=100/100sccm(O₂=50%)、圧力=0.6Pa、成膜電力=5000W、基板温度=170℃の条件で厚さ10nmの第2のIGZO膜を成膜した。次に、パッタリング法にて、金属酸化物ターゲット(In:Ga:Zn=1:3:2)を用い、Ar/O₂=180/20sccm(O₂=10%)、圧力=0.6Pa、成膜電力=5000W、基板温度=25℃の条件で厚さ10nmの第3のIGZO膜を成膜した。

【0444】

その他の工程は、試料13と同様である。以上の工程により試料14を形成した。

【0445】

次に、試料15の作製方法について説明する。

【0446】

試料15は、試料13の酸化物半導体膜の代わりに、多層膜を形成した。多層膜としては、石英基板上に、試料14に示す第1のIGZO膜と同じ条件を用いて、厚さ20nmの第1のIGZO膜を成膜した。次に、パッタリング法にて、試料14に示す第2のIGZO膜と同じ条件を用いて、厚さ15nmの第2のIGZO膜を成膜した。次に、試料1

10

20

30

40

50

4 に示第 3 の I G Z O 膜と同じ条件を用いて、厚さ 1 0 n m の第 3 の I G Z O 膜を成膜した。

【 0 4 4 7 】

その他の工程は、試料 1 3 と同様である。以上の工程により試料 1 5 を形成した。

【 0 4 4 8 】

次に、試料 1 6 の作製方法について説明する。

【 0 4 4 9 】

試料 1 6 は、試料 1 3 と同じ条件を用いて石英基板上に厚さ 1 0 0 n m の酸化物半導体膜を形成した。

【 0 4 5 0 】

次に、試料 1 3 と同様の条件を用いて、第 1 の加熱処理を行った。

【 0 4 5 1 】

次に、酸化物半導体膜上に、酸化絶縁膜として、厚さ 5 0 n m の第 1 の酸化窒化シリコン膜及び厚さ 2 0 0 n m の第 2 の酸化窒化シリコン膜を形成した。ここでは、プラズマ C V D 法にて、 $\text{SiH}_4 / \text{N}_2\text{O} = 30 / 4000 \text{ sccm}$ 、圧力 = 4 0 P a、成膜電力 = 1 5 0 W、基板温度 = 2 2 0 °C の条件で 5 0 n m の厚さの第 1 の酸化窒化シリコン膜を成膜し、その後、プラズマ C V D 法にて、 $\text{SiH}_4 / \text{N}_2\text{O} = 160 / 4000 \text{ sccm}$ 、圧力 = 2 0 0 P a、成膜電力 = 1 5 0 0 W、基板温度 = 2 2 0 °C の条件で 2 0 0 n m の厚さの第 2 の酸化窒化シリコン膜を成膜した。なお、第 2 の酸化窒化シリコン膜は、化学量論的組成を満たす酸素よりも多くの酸素を含む膜である。

【 0 4 5 2 】

次に、試料 1 3 と同じ条件を用いて、酸化絶縁膜上に厚さ 1 0 0 n m の窒化シリコン膜を形成した。

【 0 4 5 3 】

次に、試料 1 3 と同様の条件を用いて、第 2 の加熱処理を行った。

【 0 4 5 4 】

以上の工程により試料 1 6 を形成した。

【 0 4 5 5 】

次に、試料 1 3 乃至試料 1 6 について E S R 測定を行った。E S R 測定は、所定の温度で、マイクロ波の吸収の起こる磁場の値 (H_0) から、式 $g = h\nu / \beta H_0$ 、を用いて g 値というパラメータが得られる。なお、 ν はマイクロ波の周波数である。 h はプランク定数であり、 β はボーア磁子であり、どちらも定数である。

【 0 4 5 6 】

ここでは、下記の条件で E S R 測定を行った。測定温度を室温 (2 5 °C) とし、8 . 9 2 G H z の高周波電力 (マイクロ波パワー) を 2 0 m W とし、磁場の向きは作製した試料の膜表面と平行とした。

【 0 4 5 7 】

試料 1 3 乃至試料 1 5 に含まれる酸化物半導体膜及び多層膜を E S R 測定して得られた一次微分曲線を図 2 9 に示す。図 2 9 (A) は、試料 1 3 の測定結果であり、図 2 9 (B) は、試料 1 4 の測定結果であり、図 2 9 (C) は、試料 1 5 の測定結果である。

【 0 4 5 8 】

試料 1 6 に含まれる酸化物半導体膜を E S R 測定して得られた一次微分曲線を図 3 0 に示す。

【 0 4 5 9 】

図 2 9 (A) 乃至図 2 9 (C) において、試料 1 3 は、 g 値が 1 . 9 3 において、酸化物半導体膜中の欠陥に起因する対称性を有する信号が検出されている。試料 1 4 及び試料 1 5 は、 g 値が 1 . 9 5 において、多層膜中の欠陥に起因する対称性を有する信号が検出されている。試料 1 3 における g 値が 1 . 9 3 のスピン密度は、 $2.5 \times 10^{19} \text{ spins/cm}^3$ であり、試料 1 4 における g 値が 1 . 9 3 及び 1 . 9 5 のスピン密度の総和は、 $1.6 \times 10^{19} \text{ spins/cm}^3$ であり、試料 1 5 における g 値が 1 . 9 3 及び

1. 95のスピン密度の総和は、 $2.3 \times 10^{19} \text{ spins/cm}^3$ であった。即ち、酸化物半導体膜及び多層膜には、欠陥が含まれることが分かる。なお、酸化物半導体膜及び多層膜の欠陥の一例としては酸素欠損がある。

【0460】

図30において、試料16は、試料13乃至試料15と比較して、酸化物半導体膜の厚さが厚いにも関わらず、欠陥に起因する対称性を有する信号が検出されず、即ち、検出下限以下（ここでは、検出下限を $3.7 \times 10^{16} \text{ spins/cm}^3$ とする。）であった。このことから、酸化物半導体膜に含まれる欠陥量が検出できないことが分かる。

【0461】

酸化物半導体膜又は多層膜に窒化絶縁膜、ここではプラズマCVDで形成された窒化シリコン膜が接すると、酸化物半導体膜又は多層膜に欠陥、代表的には酸素欠損が形成されることが分かる。一方、酸化物半導体膜に酸化絶縁膜、ここでは、酸化窒化シリコン膜を設けると、酸化窒化シリコン膜に含まれる過剰酸素、即ち化学量論的組成を満たす酸素よりも多くの酸素が酸化物半導体膜に拡散し、酸化物半導体膜中の欠陥が増加しない。

【0462】

以上のことから、試料13乃至試料15に示すように、窒化絶縁膜に接する酸化物半導体膜又は多層膜は欠陥、代表的には酸素欠損量が多く、導電性が高いため、容量素子の電極として用いることができる。一方、試料16に示すように、酸化絶縁膜に接する酸化物半導体膜又は多層膜は、酸素欠損量が少なく、導電性が低いため、トランジスタのチャネル形成領域として用いることができる。

【0463】

ここで、窒化物絶縁膜と接する酸化物半導体膜及び多層膜の抵抗率が低減する原因について、以下に説明する。

【0464】

<Hの存在形態間のエネルギーと安定性>

はじめに、酸化物半導体膜に存在するHの形態のエネルギーと安定性について、計算した結果を説明する。ここでは、酸化物半導体膜として InGaZnO_4 を用いた。

【0465】

計算に用いた構造は、 InGaZnO_4 の六方晶の単位格子をa軸及びb軸方向に2倍ずつにした84原子バルクモデルを基本とした。

【0466】

バルクモデルにおいて、3個のIn原子及び1個のZn原子と結合したO原子1個をH原子に置換したモデルを用意した（図33（A）参照）。また、図33（A）において、InO層におけるab面をc軸から見た図を図33（B）に示す。3個のIn原子及び1個のZn原子と結合したO原子1個を取り除いた領域を、酸素欠損Voと示し、図33（A）及び図33（B）において破線で示す。また、酸素欠損Vo中に位置するH原子をVoHと表記する。

【0467】

また、バルクモデルにおいて、3個のIn原子及び1個のZn原子と結合したO原子1個を取り除き、酸素欠損（Vo）を形成する。該Vo近傍で、ab面に対して1個のGa原子及び2個のZn原子と結合したO原子にH原子が結合したモデルを用意した（図33（C）参照）。また、図33（C）において、InO層におけるab面をc軸から見た図を図33（D）に示す。図33（C）及び図33（D）において、酸素欠損Voを破線で示す。また、酸素欠損Voを有し、且つ酸素欠損Vo近傍で、ab面に対して1個のGa原子及び2個のZn原子と結合したO原子に結合したH原子を有するモデルをVo+Hと表記する。

【0468】

上記2つのモデルに対して、格子定数を固定しての最適化計算を行い、全エネルギーを算出した。なお、全エネルギーの値が小さいほどその構造はより安定といえる。

【0469】

10

20

30

40

50

計算には、第一原理計算ソフトウェアVASP (The Vienna Ab initio simulation package) を用いた。計算条件を表1に示す。

【0470】

【表1】

ソフトウェア	VASP
擬ポテンシャル	PAW
汎関数	GGA/PBE
カットオフエネルギー	500 eV
k点	4×4×1

10

電子状態擬ポテンシャルにはProjector Augmented Wave (PAW) 法により生成されたポテンシャルを、汎関数にはGGA/PBE (Generalized-Gradient-Approximation/Perdew-Burke-Ernzerhof) を用いた。

【0471】

また、計算により算出された2つのモデルの全エネルギーを表2に示す。

【0472】

【表2】

モデル	全エネルギー
VoH	-456.084 eV
Vo+H	-455.304 eV

20

【0473】

表2より、VoHの方がVo+Hよりも全エネルギーが0.78 eV小さい。よって、VoHの方がVo+Hよりも安定であるといえる。したがって、酸素欠損(Vo)にH原子が近づくと、H原子はO原子と結合するよりも、酸素欠損(Vo)中に取り込まれやすいと考えられる。

30

【0474】

<VoHの熱力学的状態>

次に、酸素欠損(Vo)中にH原子が取り込まれたVoHの形成エネルギーと荷電状態について、計算した結果を説明する。VoHは荷電状態によって形成エネルギーが異なり、フェルミエネルギーにも依存する。よって、VoHはフェルミエネルギーに依存して安定な荷電状態が異なる。ここでは、VoHが電子を1つ放出した状態を(VoH)⁺と示し、電子を1つ捕獲した状態を(VoH)⁻と示し、電子の移動のない状態を、(VoH)⁰と示す。(VoH)⁺、(VoH)⁻、(VoH)⁰それぞれの形成エネルギーを計算した。

40

【0475】

計算には、第一原理計算ソフトウェアVASPを用いた。計算条件を表3に示す。

【0476】

【表 3】

ソフトウェア	VASP
擬ポテンシャル	PAW
汎関数	HSE06
カットオフエネルギー	800 eV
k点サンプリング数	2x2x1(opt.)
	4x4x1(single)
スピン分極	○
遮蔽パラメータ	0.2
交換項混合比	0.25
原子数	84

10

電子状態擬ポテンシャルにはProjector Augmented Wave (PAW) 法により生成されたポテンシャルを、汎関数にはHeyd-Scuseria-Ernzerhof (HSE) DFTハイブリッド汎関数 (HSE06) を用いた。

【0477】

なお、酸素欠陥の形成エネルギーの算出では酸素欠陥濃度の希薄極限を仮定し、電子および正孔の伝導帯、価電子帯への過剰な広がりを見直しエネルギーを算出した。また、完全結晶の価電子帯上端をエネルギー原点とし、欠陥構造に由来する価電子帯のズレは、平均静電ポテンシャルを用いて補正した。

20

【0478】

図34 (A) に、 $(\text{VoH})^+$ 、 $(\text{VoH})^-$ 、 $(\text{VoH})^0$ それぞれの形成エネルギーを示す。横軸はフェルミレベルであり、縦軸は形成エネルギーである。実線は $(\text{VoH})^+$ の形成エネルギーを示し、一点鎖線は $(\text{VoH})^0$ の形成エネルギーを示し、破線は $(\text{VoH})^-$ の形成エネルギーを示す。また、VoHの電荷が、+から0を経て-に変わる遷移レベルを ε (+/-) と示す。

【0479】

30

図34 (B) に、VoHの熱力学的遷移レベルを示す。計算結果から、 InGaZnO_4 のエネルギーギャップは2.739 eVであった。また、価電子帯のエネルギーを0 eVとすると、遷移レベル (ε (+/-)) は2.62 eVであり、伝導帯の直下に存在する。このことから、酸素欠陥 (Vo) 中にH原子が取り込まれることにより、 InGaZnO_4 がn型になることが分かる。

【0480】

酸化物半導体膜がプラズマに曝されると、酸化物半導体膜はダメージを受け、酸化物半導体膜に、欠陥、代表的には酸素欠陥が生成される。また、酸化物半導体膜に窒化絶縁膜が接すると、窒化絶縁膜に含まれる水素が酸化物半導体膜に移動する。これらの結果、酸化物半導体膜に含まれる酸素欠陥に水素が入ることで、酸化物半導体膜中にVoHが形成され、酸化物半導体膜がn型となり、抵抗率が低下する。以上のことから、窒化絶縁膜に接する酸化物半導体膜を容量素子の電極として用いることができる。

40

【実施例5】

【0481】

本実施例では、窒化絶縁膜に接する酸化物半導体膜の透過率について、図37を用いて説明する。

【0482】

試料の構造について、説明する。

【0483】

試料17は、ガラス基板上に厚さ35 nmの酸化物半導体膜が形成され、酸化物半導体

50

膜上に、厚さ100nmの窒化シリコン膜が形成される。

【0484】

試料18は、ガラス基板上に厚さ35nmの酸化物半導体膜が形成され、酸化物半導体膜上に、厚さ100nmの窒化シリコン膜が形成され、窒化シリコン膜上に厚さ100nmの酸化インジウム－酸化スズ化合物（ITO-SiO₂）膜が形成される。

【0485】

なお、試料17及び試料18において、酸化物半導体膜として、金属元素の原子数比がIn:Ga:Zn=1:1:1のIn-Ga-Zn酸化物（IGZO(111)）と示す。）をターゲットとしたスパッタリング法により、In-Ga-Zn酸化物膜を形成した。

【0486】

試料17及び試料18において、窒化シリコン膜として、シラン、アンモニア、及び窒素を用いたプラズマCVD法により形成した。

【0487】

試料18において、酸化インジウム－酸化スズ化合物（ITO-SiO₂）膜はスパッタリング法により形成した。

【0488】

試料19は、ガラス基板上に厚さ100nmの酸化インジウム－酸化スズ化合物（ITO-SiO₂）膜が形成される。酸化インジウム－酸化スズ化合物（ITO-SiO₂）膜はスパッタリング法により形成した。

【0489】

次に、試料17乃至試料19において、可視光の透過率を測定した。測定された透過率を図37に示す。図37（A）は試料17の測定結果であり、図37（B）は試料18の測定結果であり、図37（C）は試料19の測定結果である。

【0490】

図37（A）より、試料17において、波長が340nm以上800nm以下における透過率が60%以上であり、波長が380nm以上800nm以下における透過率が70%以上であり、波長が430nm以上800nm以下における透過率が80%以上である。

【0491】

図37（B）より、試料18において、波長が380nm以上800nm以下における透過率が60%以上であり、波長が430nm以上800nm以下における透過率が70%以上である。

【0492】

図37（A）に示すように、窒化シリコン膜と接する酸化物半導体膜は、図37（C）に示すITO-SiO₂膜と同等、またはそれ以上の透過率を有する。また、図37（B）に示すように、酸化物半導体膜、窒化シリコン膜、及びITO-SiO₂膜が積層された構造においても、図37（C）に示すITO-SiO₂膜と同等の透過率を有する。このことから、酸化物半導体膜、窒化シリコン膜、及びITO-SiO₂膜が積層された容量素子は透光性を有することが分かる。なお、窒化シリコン膜の代わりに、透光性を有する窒化絶縁膜が形成され、ITO-SiO₂膜の代わりに透光性を有する導電膜が形成されても、透光性を有する容量素子を作製することができる。

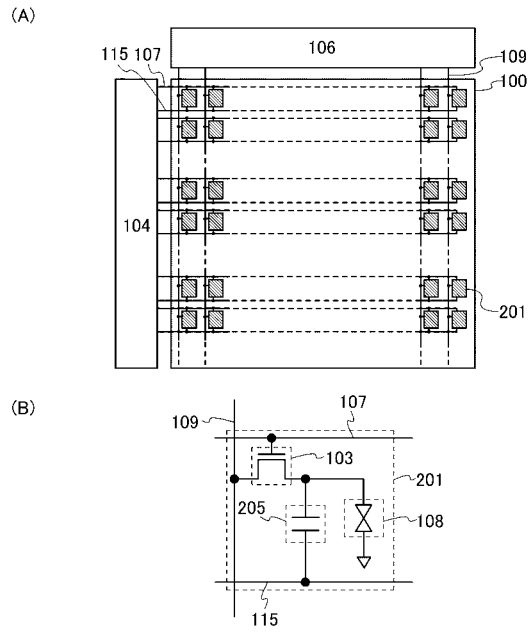
10

20

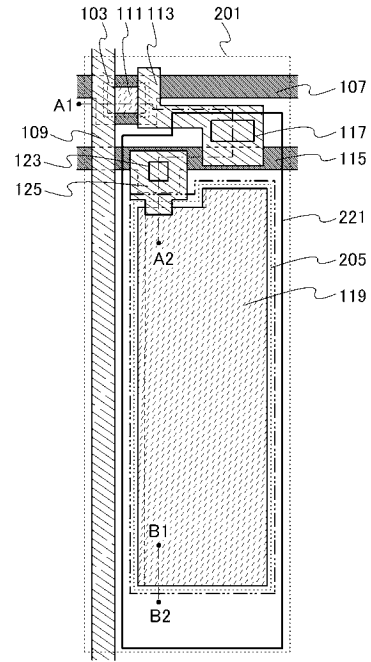
30

40

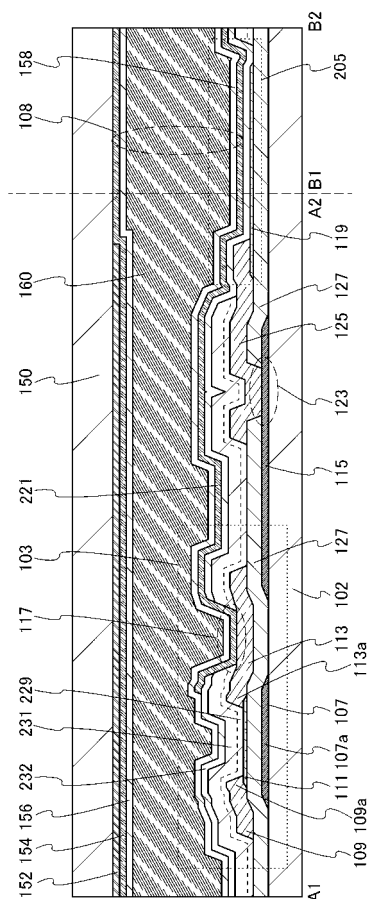
【図 1】



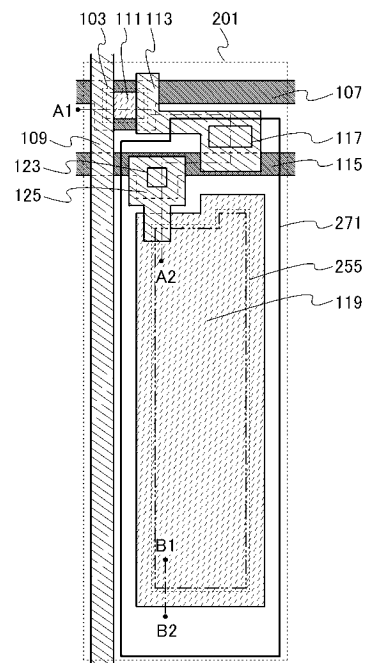
【図 2】



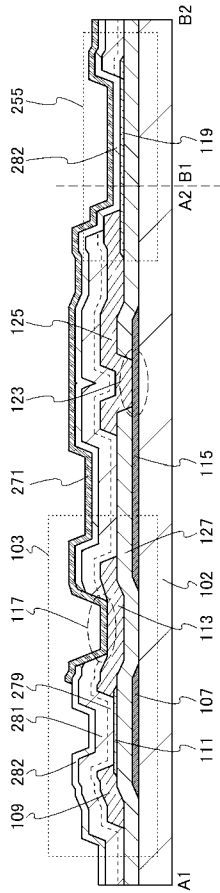
【図 3】



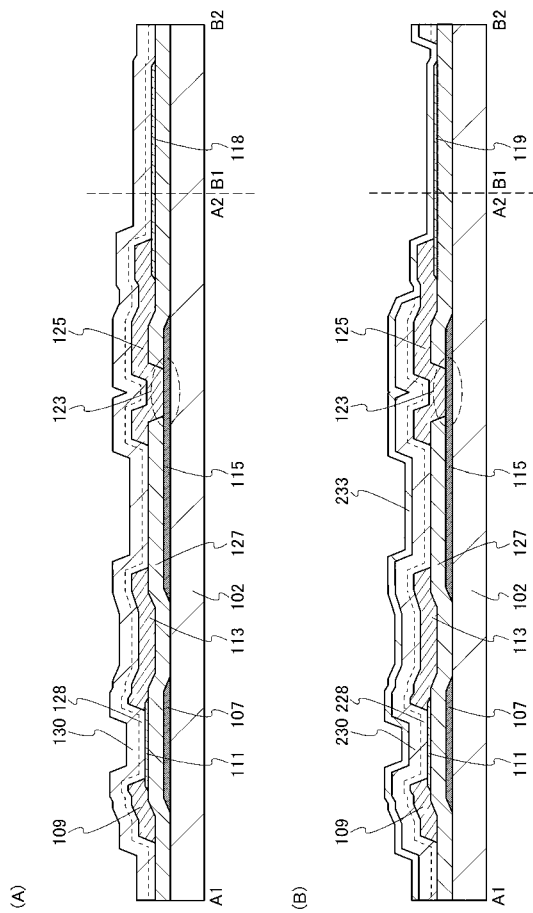
【図 4】



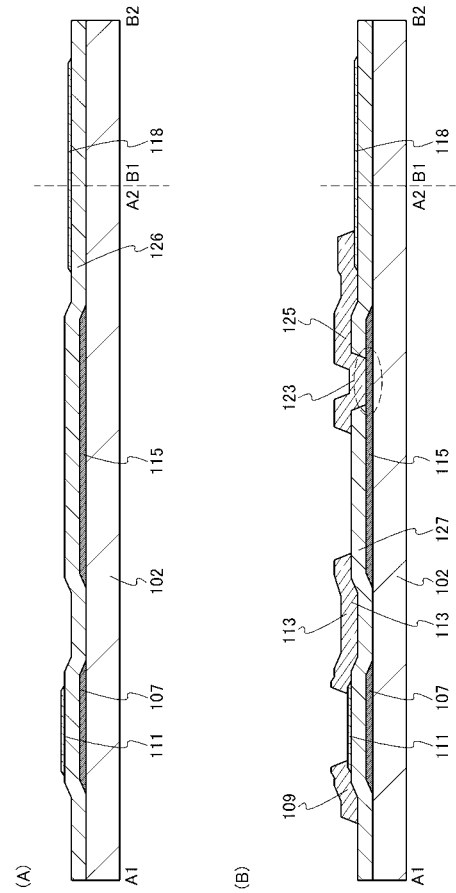
【図 5】



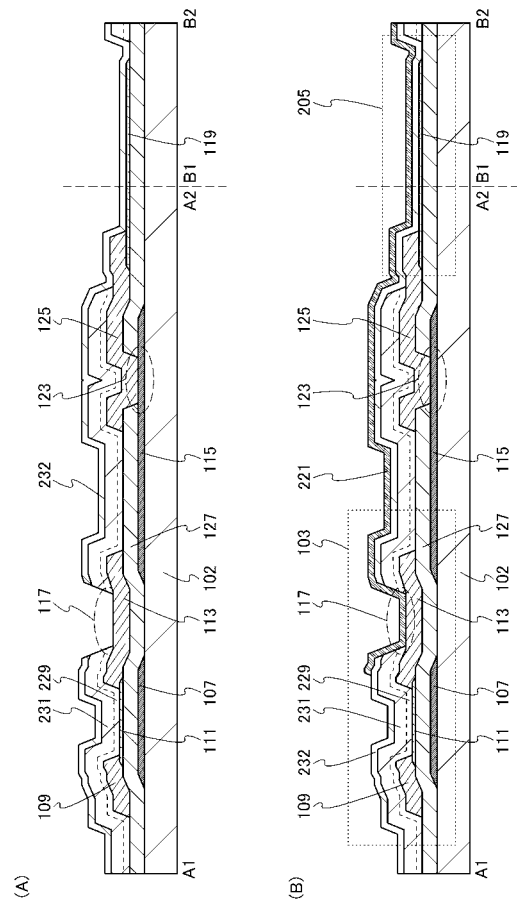
【図 7】



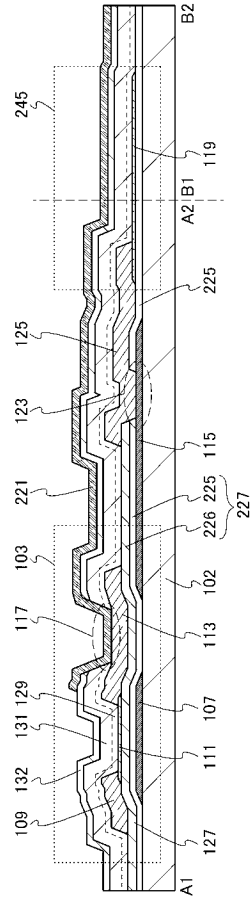
【図 6】



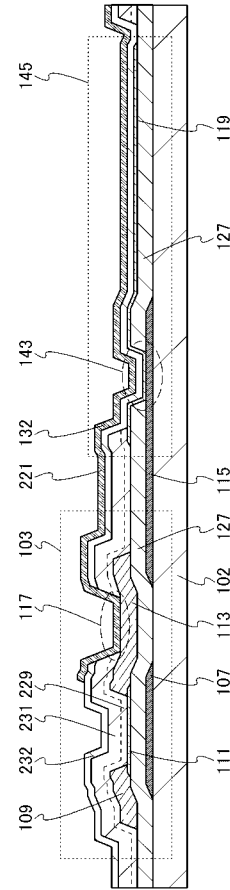
【図 8】



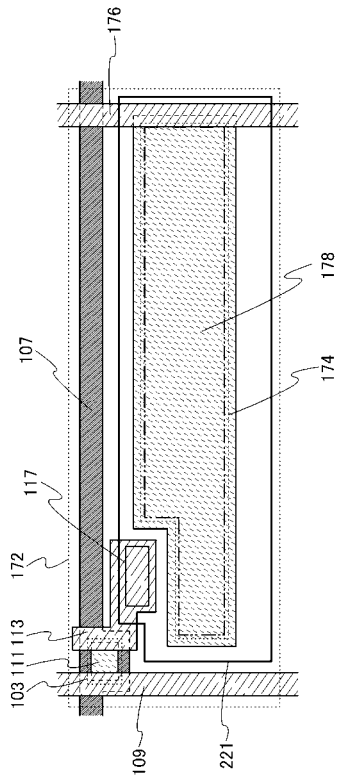
【図 9】



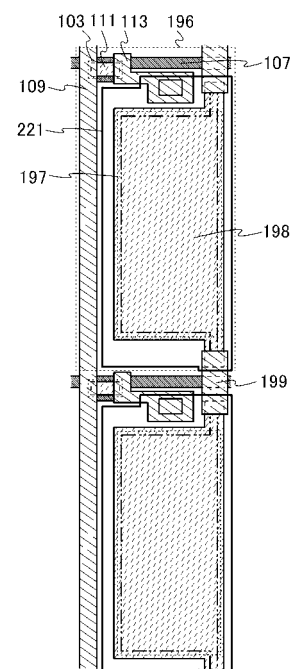
【図 10】



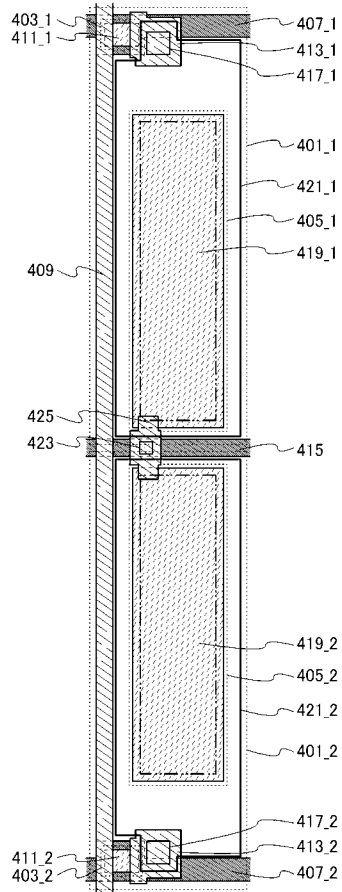
【図 11】



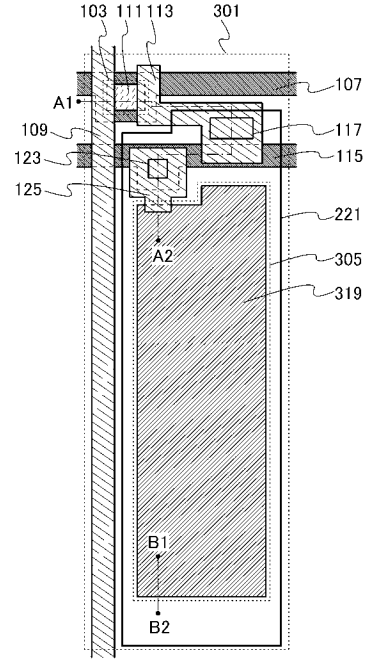
【図 12】



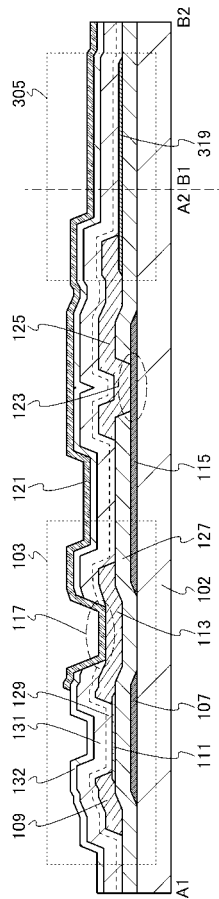
【図 1 3】



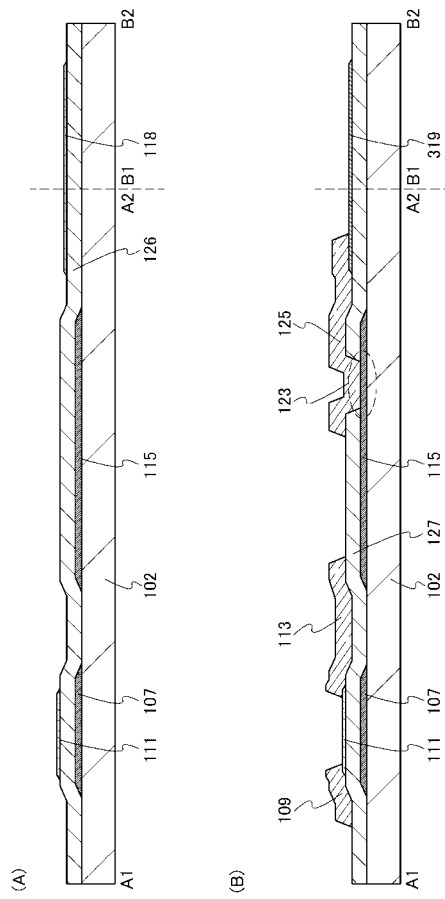
【図 1 4】



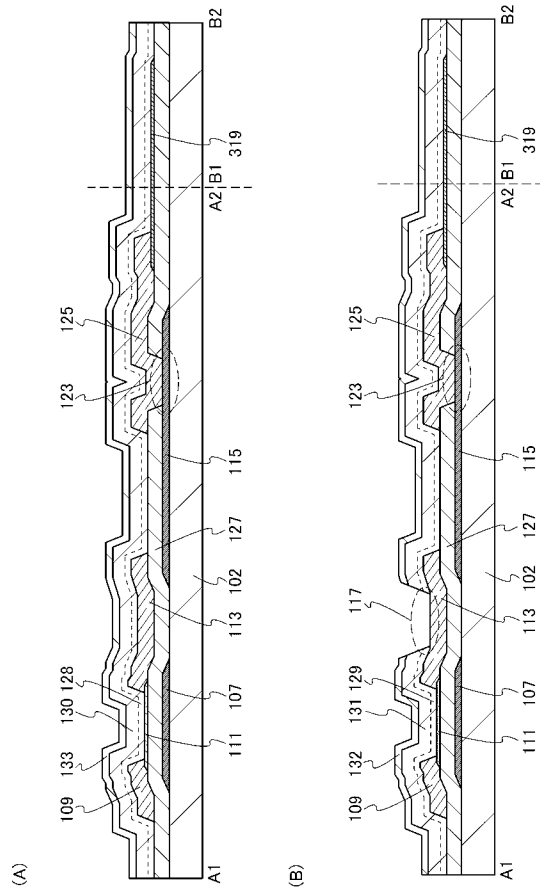
【図 1 5】



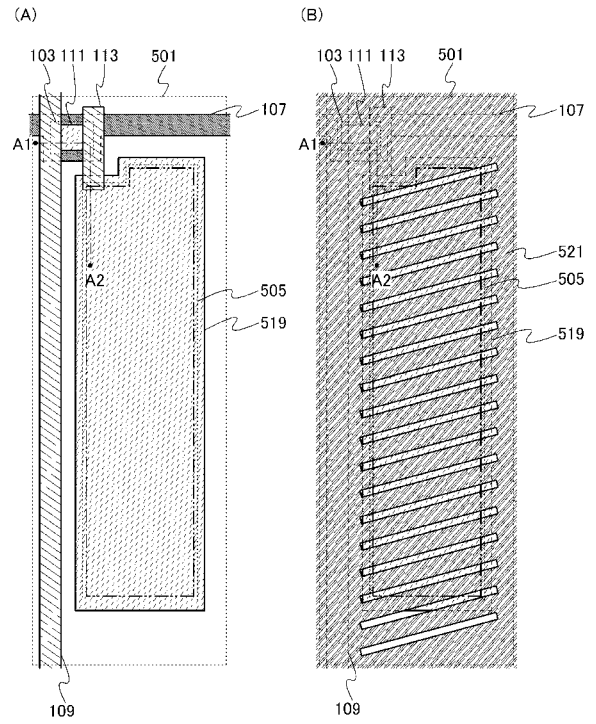
【図 1 6】



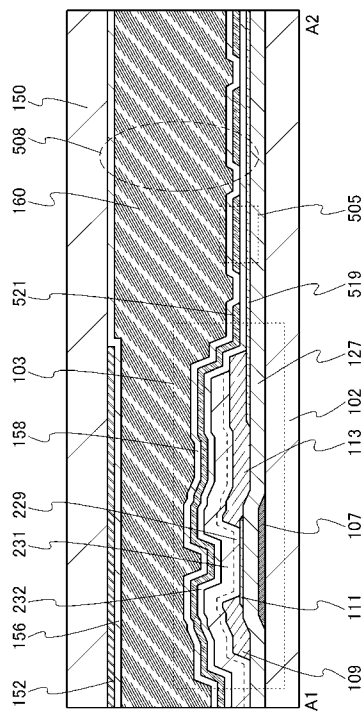
【図 17】



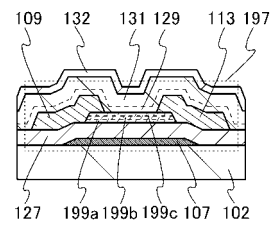
【図 18】



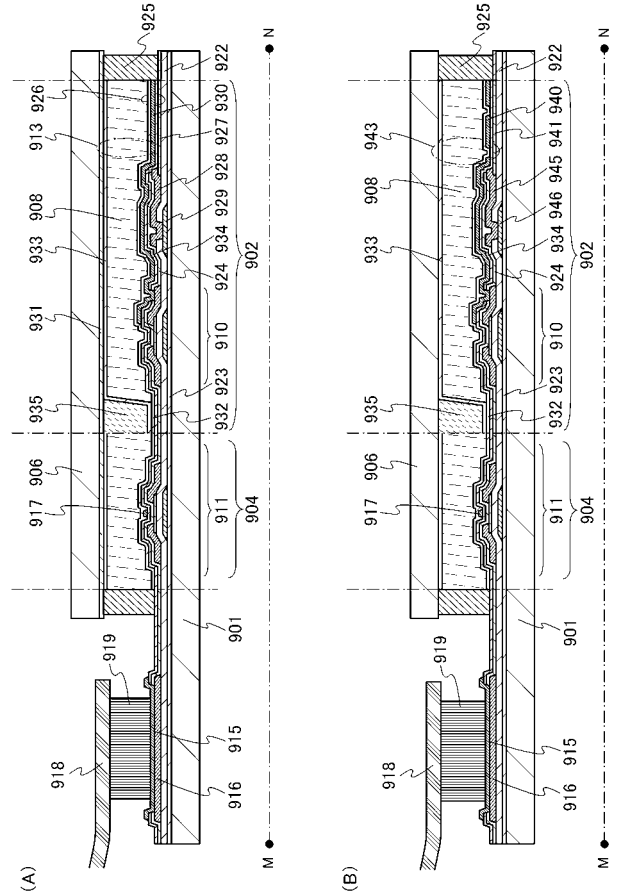
【図 19】



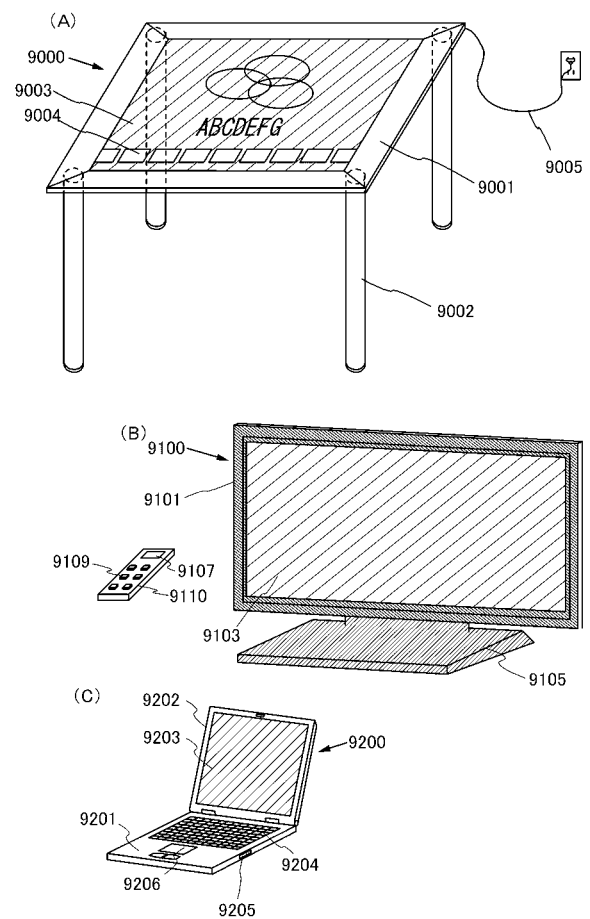
【図 20】



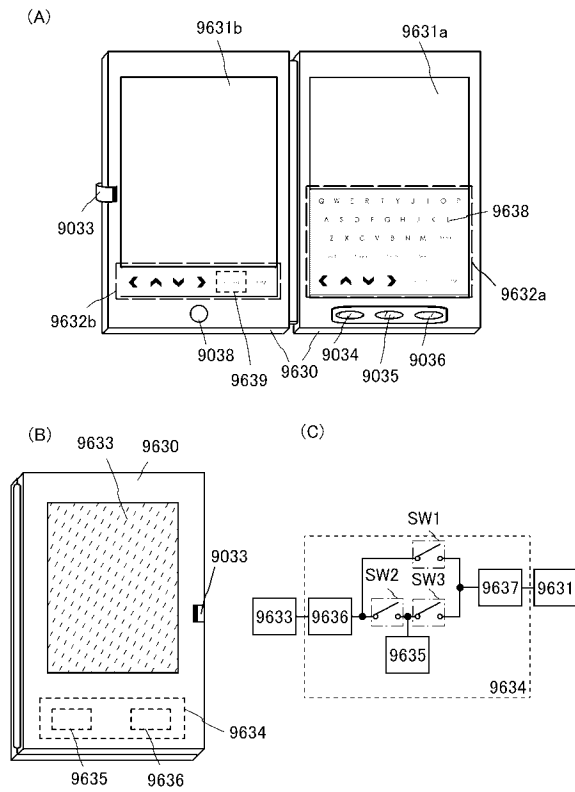
【 図 2 2 】



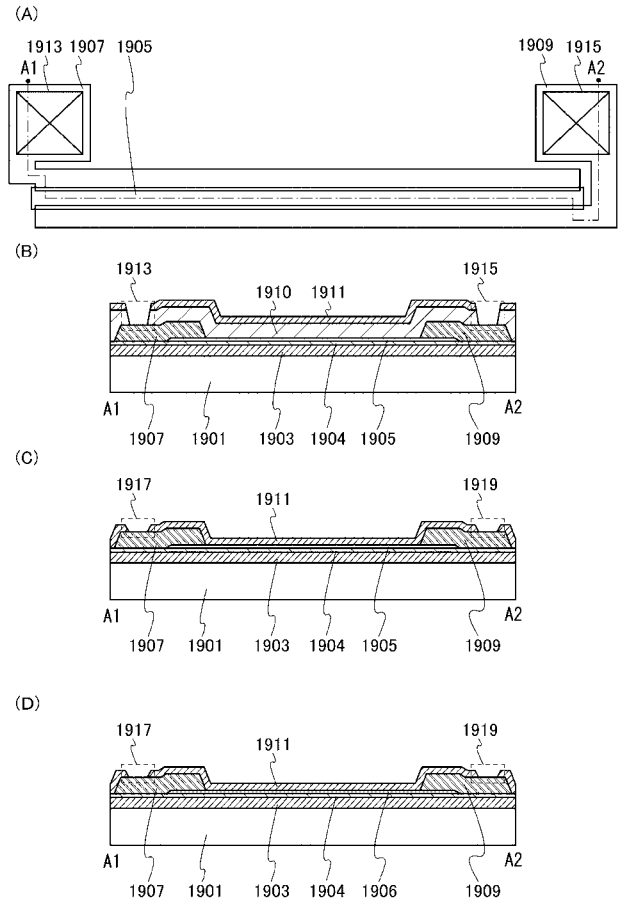
【图 24】



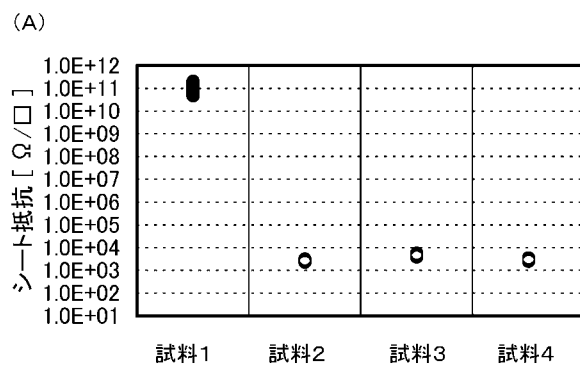
【図 25】



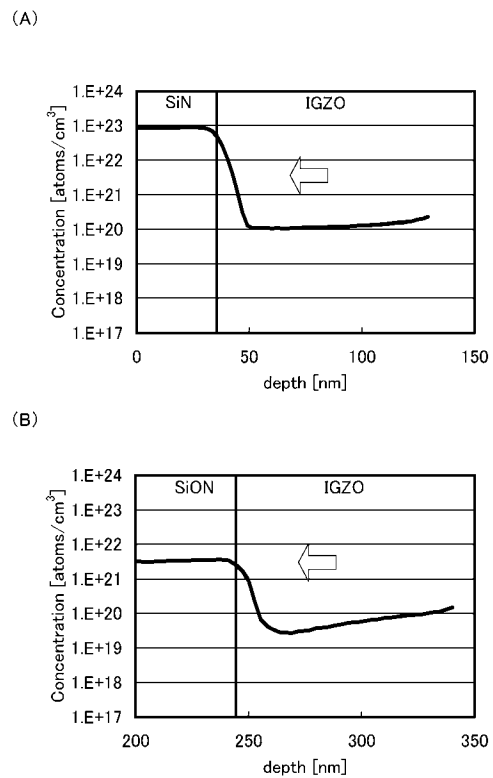
【図 26】



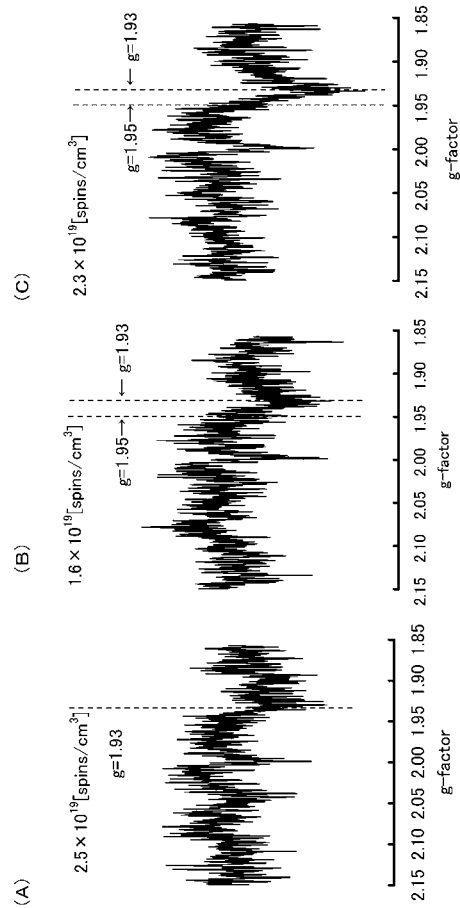
【図 27】



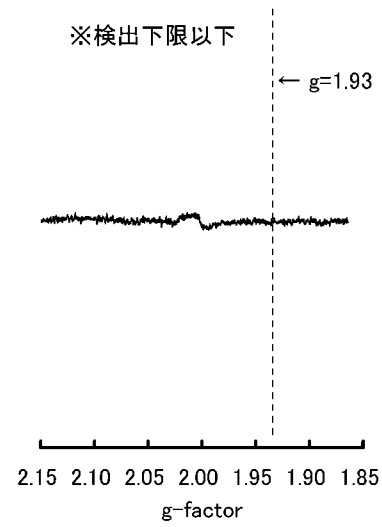
【図 28】



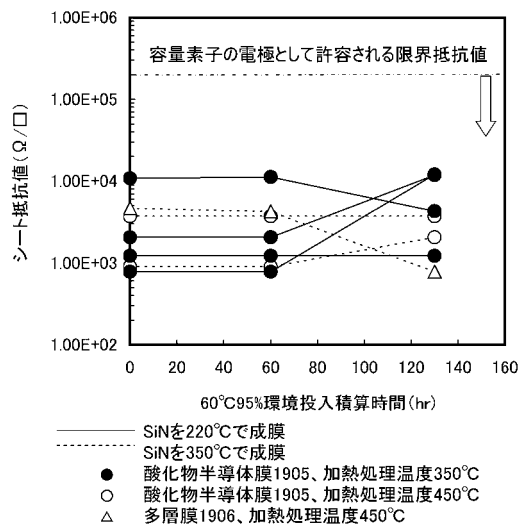
【図 29】



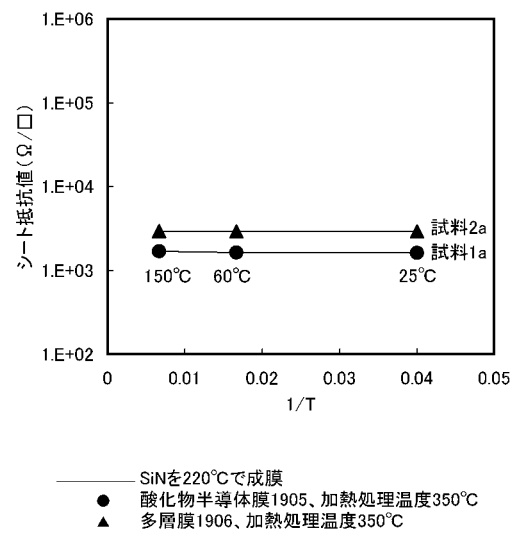
【図 30】



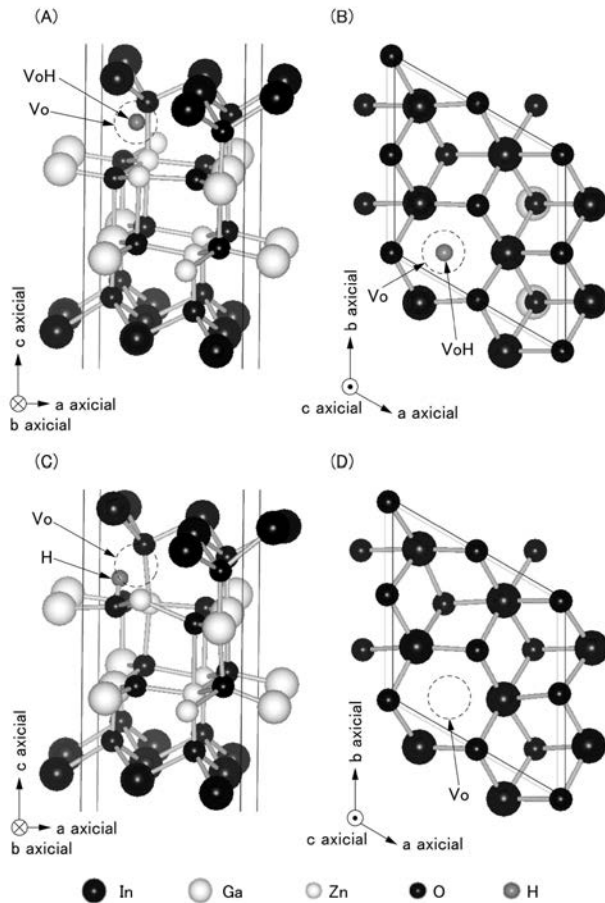
【図 31】



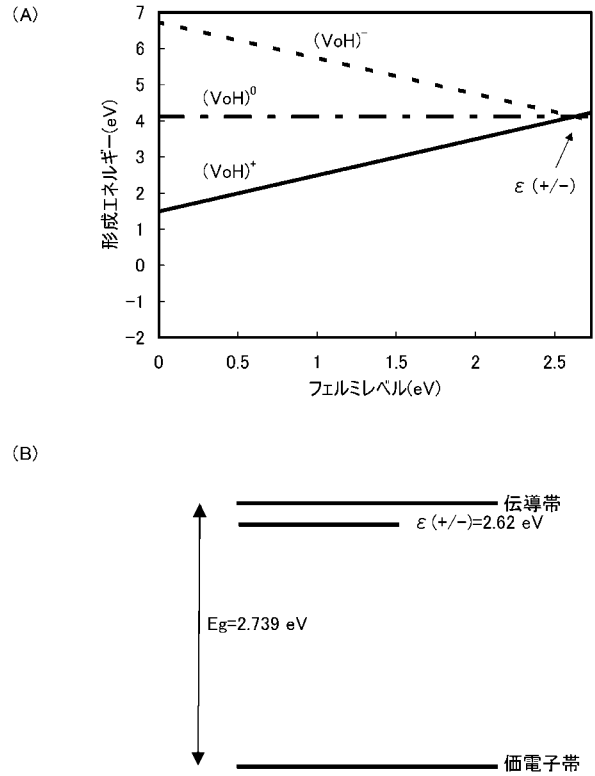
【図 32】



【図 3 3】



【図 3 4】



【図 3 5】

(A)

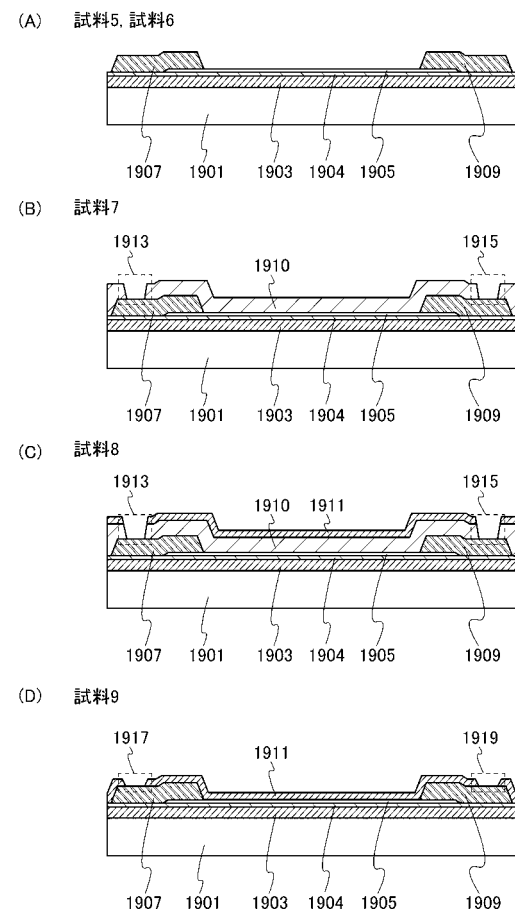
	試料5	試料6	試料7	試料8	試料9
(プロセス)					
S8			Yes		
S7			Yes		
S6			Yes		
S5			No	Yes(350°C1hr@N2+O2)	
S4			Yes		
S3			Yes		
S2	No	Yes(450°C1hr @N2 → 450°C1hr @N2+O2)			
S1			Yes		

(B)

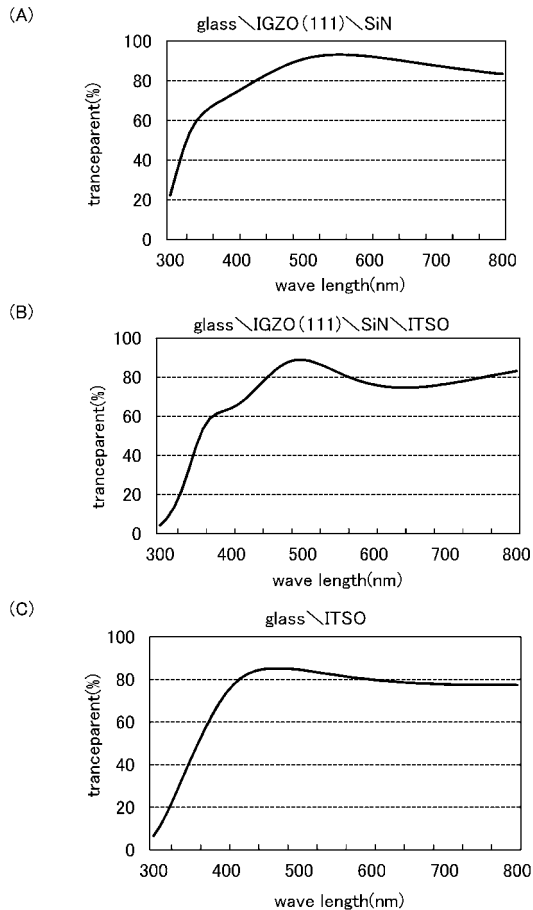
	試料5 C5 E5	試料6 C6 E6	試料7 C7 E7	試料8 C8 E8	試料9 C9 E9	試料10
1.E+12						
1.E+11						
1.E+10						
1.E+09						
1.E+08						
1.E+07						
1.E+06						
1.E+05						
1.E+04						
1.E+03						
1.E+02						
1.E+01						
1.E+00						

sheet resistance[Ω/□]

【図 3 6】



【図 37】



【手続補正書】

【提出日】平成29年11月1日(2017.11.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板上の第1の導電膜と、

前記第1の導電膜上の第1の絶縁膜と、

前記第1の絶縁膜上の半導体膜と、

前記第1の絶縁膜上の画素電極と、

前記半導体膜上の第2の導電膜と、

前記半導体膜上、かつ前記画素電極上の第3の導電膜と、

前記画素電極上の第2の絶縁膜と、

前記第2の絶縁膜上の共通電極と、を有し、

前記第1の導電膜は、ゲート電極としての機能と、走査線としての機能と、を有し、

前記第1の導電膜は、前記第1の絶縁膜を介して前記半導体膜と重なる領域を有し、

前記第1の導電膜は、前記共通電極と重なる領域を有し、

前記第2の導電膜は、ソース電極またはドレイン電極の一方としての機能と、信号線としての機能と、を有し、

前記第2の導電膜は、前記共通電極と重なる領域を有し、

前記第3の導電膜は、前記ソース電極または前記ドレイン電極の他方としての機能を有し、

前記第 3 の導電膜は、前記半導体膜の端部と接する領域を有し、

前記第 3 の導電膜は、前記画素電極の端部と接する領域を有し、

前記第 3 の導電膜は、前記半導体膜と前記画素電極との間において前記第 1 の絶縁膜と接する領域を有し、

前記第 3 の導電膜は、前記共通電極と重なる領域を有し、

前記共通電極は、複数の開口部を有し、

前記画素電極は、前記開口部と重なる第 1 の領域と、前記開口部とは重ならない第 2 の領域と、を有する液晶表示装置。

フロントページの続き

Fターム(参考)	2H092	GA14	GA17	GA48	GA50	GA59	JA26	JA29	JA46	JB57	JB63
		JB69	KA08	MA27	NA07	NA24					
	2H192	AA24	BB12	BC13	BC31	CB05	CB37	CB56	CC05	CC75	DA24
		DA52	EA74	FB02	FB15						
	5C094	AA02	AA22	BA03	BA43	DA13	DB01	EA04	EA10	FB19	HA08
	5F110	AA09	AA30	BB02	CC07	DD01	DD02	DD03	DD04	DD12	DD13
		DD14	DD15	EE01	EE02	EE03	EE04	EE06	EE07	EE11	EE14
		EE15	EE30	EE42	EE43	EE44	EE45	FF01	FF02	FF03	FF04
		FF05	FF09	FF28	FF29	GG01	GG06	GG07	GG12	GG13	GG15
		GG16	GG17	GG19	GG25	GG28	GG29	GG32	GG33	GG34	GG42
		GG43	GG58	HK01	HK02	HK03	HK04	HK06	HK07	HK21	HL07
		HM04	HM12	NN03	NN04	NN22	NN23	NN24	NN28	NN34	NN35
		NN40	NN44	NN72	NN73	QQ06	QQ08				

专利名称(译)	液晶表示装置		
公开(公告)号	JP2018049276A	公开(公告)日	2018-03-29
申请号	JP2017195742	申请日	2017-10-06
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 三宅博之 穴戸英明 小山潤		
发明人	山崎 舜平 三宅 博之 穴戸 英明 小山 潤		
IPC分类号	G02F1/1368 G02F1/1343 H01L21/336 H01L29/786 G09F9/30		
CPC分类号	H01L27/1225 H01L27/1255 H01L29/7869		
FI分类号	G02F1/1368 G02F1/1343 H01L29/78.612.Z G09F9/30.338		
F-TERM分类号	2H092/GA14 2H092/GA17 2H092/GA48 2H092/GA50 2H092/GA59 2H092/JA26 2H092/JA29 2H092/JA46 2H092/JB57 2H092/JB63 2H092/JB69 2H092/KA08 2H092/MA27 2H092/NA07 2H092/NA24 2H192/AA24 2H192/BB12 2H192/BC13 2H192/BC31 2H192/CB05 2H192/CB37 2H192/CB56 2H192/CC05 2H192/CC75 2H192/DA24 2H192/DA52 2H192/EA74 2H192/FB02 2H192/FB15 5C094/AA02 5C094/AA22 5C094/BA03 5C094/BA43 5C094/DA13 5C094/DB01 5C094/EA04 5C094/EA10 5C094/FB19 5C094/HA08 5F110/AA09 5F110/AA30 5F110/BB02 5F110/CC07 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD04 5F110/DD12 5F110/DD13 5F110/DD14 5F110/DD15 5F110/EE01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE07 5F110/EE11 5F110/EE14 5F110/EE15 5F110/EE30 5F110/EE42 5F110/EE43 5F110/EE44 5F110/EE45 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF05 5F110/FF09 5F110/FF28 5F110/FF29 5F110/GG01 5F110/GG06 5F110/GG07 5F110/GG12 5F110/GG13 5F110/GG15 5F110/GG16 5F110/GG17 5F110/GG19 5F110/GG25 5F110/GG28 5F110/GG29 5F110/GG32 5F110/GG33 5F110/GG34 5F110/GG42 5F110/GG43 5F110/GG58 5F110/HK01 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK07 5F110/HK21 5F110/HL07 5F110/HM04 5F110/HM12 5F110/NN03 5F110/NN04 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN28 5F110/NN34 5F110/NN35 5F110/NN40 5F110/NN44 5F110/NN72 5F110/NN73 5F110/QQ06 5F110/QQ08		
优先权	2012202125 2012-09-13 JP 2013053988 2013-03-15 JP		
外部链接	Espacenet		

摘要(译)

提供一种具有电容器元件的半导体器件，该电容器元件具有高孔径比并且能够增加充电容量。还提供了一种能够降低功耗的半导体器件。解决方案：该半导体器件包括：晶体管103，包括具有透光性的半导体膜111；电容器元件305，具有设置在一对电极之间的介电膜、绝缘膜，设置在透光半导体膜上如图131所示，第一透光导电膜121设置在绝缘膜131上。在电容器305中，一侧绝缘膜131用作电介质，导电膜121面对具有第一透光性的导电膜121，绝缘膜131介于其间，并且第二透光导电膜319用作另一电极。另外，第二透光导电膜319形成在与晶体管的半导体透光半导体膜111相同的表面上，并且是包含掺杂剂的金属氧化物膜。

