

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2018-22061
(P2018-22061A)

(43) 公開日 平成30年2月8日(2018. 2. 8)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/20 (2006.01)	G09G 3/20 623Q	2H193
G09G 3/36 (2006.01)	G09G 3/20 624B	3K107
G09G 3/3233 (2016.01)	G09G 3/20 642K	5C006
G09G 3/3291 (2016.01)	G09G 3/36	5C080
G09F 9/46 (2006.01)	G09G 3/20 621B	5C094

審査請求 未請求 請求項の数 2 O L (全 44 頁) 最終頁に続く

(21) 出願番号 特願2016-153644 (P2016-153644)	(71) 出願人 000153878
(22) 出願日 平成28年8月4日 (2016. 8. 4)	株式会社半導体エネルギー研究所
特許法第30条第2項適用申請有り [刊行物名] SOCIETY FOR INFORMATION DISPLAY 2016 INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS Volume 47 57-60, 735-738, 1002-1004 発行年月日 平成28年5月22日 [集会名] DISPLAY WEEK 2016 INTERNATIONAL SYMPOSIUM 開催日 平成28年5月22日-27日	神奈川県厚木市長谷398番地
	(72) 発明者 青木 健
	神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
	(72) 発明者 黒川 義元
	神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
	Fターム(参考) 2H193 ZA04 ZA07 ZA08 ZA32 ZA37
	ZC25 ZF12 ZF16 ZF18 ZP16
	3K107 AA01 BB01 CC41 CC45 EE03
	EE57 EE65

最終頁に続く

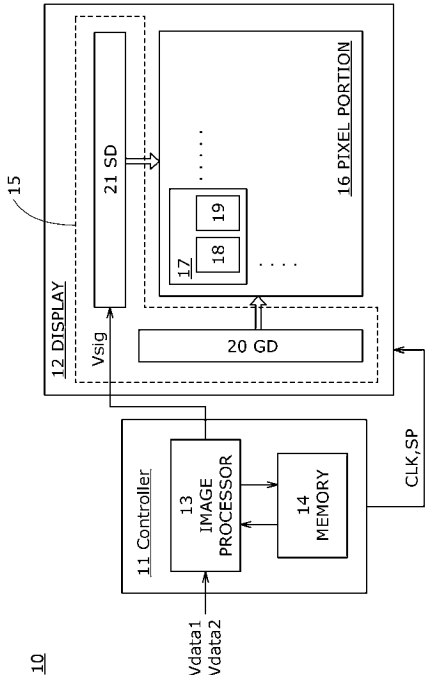
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】各表示素子に対応する画像信号を、画素の配列に合わせて信号処理することができる表示装置の提供。

【解決手段】一の画素が、液晶素子などの第1の表示素子を有するサブ画素と、発光素子などの第2の表示素子を有するサブ画素とを有する場合に、第1の表示素子を有するサブ画素に対応する1フレーム分の画像データをメモリに書き込み、第2の表示素子を有するサブ画素に対応する1フレーム分の画像データをメモリに書き込む。なお、メモリへの画像データの書き込み順は逆でも良い。次いで、第1の表示素子を有するサブ画素の画像データと、第2の表示素子を有するサブ画素の画像データとを、画素の配列順に合わせて読み出し、メモリに書き込むことで、サブ画素を画素の配列順に並び替える。次いで、画素の配列順に並び替えられたサブ画素の画像データを、サブ画素の配列順に合わせて読み出すことで、各ラインに対応したサブ画素の画像データを得る。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

コントローラとソースドライバと画素部とを有し、
前記画素部は、第 1 の画素と第 2 の画素とを有し、
前記第 1 の画素は、第 1 のサブ画素と第 2 のサブ画素とを有し、
前記第 2 の画素は、第 3 のサブ画素と第 4 のサブ画素とを有し、
前記第 1 のサブ画素と前記第 3 のサブ画素とは、第 1 ラインに含まれ、
前記第 2 のサブ画素と前記第 4 のサブ画素とは、第 2 ラインに含まれ、
前記コントローラは、1 フレーム分の前記第 1 の画像信号と、1 フレーム分の前記第 2
の画像信号とを、前記第 1 の画素と前記第 2 の画素との配列順に合わせて並び替えること
で、第 3 の画像信号を生成する機能を有し、
前記コントローラは、前記第 3 の画像信号を、前記第 1 のサブ画素と前記第 2 のサブ画
素と前記第 3 のサブ画素と前記第 4 のサブ画素との配列順に合わせて並び替えることで、
第 4 の画像信号を生成する機能を有し、
前記ソースドライバは、前記第 4 の画像信号を前記第 1 のサブ画素と前記第 2 のサブ画
素と前記第 3 のサブ画素と前記第 4 のサブ画素とに供給する機能を有し、
前記第 1 のサブ画素または前記第 2 のサブ画素の一方は、液晶素子を有し、
前記第 1 のサブ画素または前記第 2 のサブ画素の他方は、発光素子を有し、
前記第 3 のサブ画素または前記第 4 のサブ画素の一方は、液晶素子を有し、
前記第 3 のサブ画素または前記第 4 のサブ画素の他方は、発光素子を有する表示装置。

【請求項 2】

請求項 1 において、
前記第 4 の画像信号が、前記第 1 のサブ画素に対応する電位の極性の情報と、前記第 2
のサブ画素に対応する電位の極性の情報と、前記第 3 のサブ画素に対応する電位の極性の
情報と、前記第 4 のサブ画素に対応する電位の極性の情報と、を有しており、
前記ソースドライバは、前記第 1 のサブ画素に対応する電位の極性の情報と、前記第 2
のサブ画素に対応する電位の極性の情報と、前記第 3 のサブ画素に対応する電位の極性の
情報と、前記第 4 のサブ画素に対応する電位の極性の情報と、を用いて前記第 4 の画像信
号をデジタルからアナログに変換する機能を有する表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は表示装置に関する。また、本発明の一態様は半導体装置に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の
一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明
の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・
オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明
の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装
置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として
挙げることができる。

【背景技術】

【0003】

液晶表示装置や電子ペーパーなどのバックライトや外光などを利用して表示を行う表示装
置の場合、使用環境における外光の強度により表示品質が左右されやすい。そこで、液晶
素子に加えて、有機 EL 素子などの発光素子を表示素子として用いた表示装置が提案され
ている。下記の特許文献 1 には、屋外等の高照度の使用環境で外光により高輝度の画像を
表示できる液晶パネルを作動させ、室内等の低照度の使用環境で自ら発光する有機 EL パ
ネルを作動させる表示装置について開示されている。液晶素子と発光素子とを表示素子と
して用いることで、使用環境における外光の強度により表示品質が左右されにくい表示装

置を実現することができる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2003-228304号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

液晶素子と発光素子の組み合わせのように、異なる種類の表示素子を用いた表示装置には、それぞれの表示素子の駆動を制御する回路が必要となるため、当該回路の規模が大きくなりがちである。また、異なる種類の表示素子を用いた表示装置には、各表示素子に対応する画像信号を、画素の配列に合わせて信号処理する機能が求められる。

10

【0006】

上述したような技術的背景のもと、本発明の一態様は、各表示素子に対応する画像信号を、画素の配列に合わせて信号処理することができる表示装置の提供を課題の一つとする。また、本発明の一態様は、駆動回路の規模を小さく抑えることができる表示装置の提供を課題の一つとする。或いは、本発明の一態様は、各表示素子に対応する画像信号を、画素の配列に合わせて信号処理することができる半導体装置の提供を課題の一つとする。また、本発明の一態様は、駆動回路の規模を小さく抑えることができる半導体装置の提供を課題の一つとする。

20

【0007】

なお、本発明の一態様は、新規な半導体装置などの提供を、課題の一つとする。なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はない。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0008】

本発明の一態様では、一の画素が、液晶素子などの第1の表示素子を有するサブ画素と、発光素子などの第2の表示素子を有するサブ画素とを有する場合に、第1の表示素子を有するサブ画素に対応する1フレーム分の画像データをメモリに書き込み、第2の表示素子を有するサブ画素に対応する1フレーム分の画像データをメモリに書き込む。なお、メモリへの画像データの書き込み順は逆でも良い。次いで、第1の表示素子を有するサブ画素の画像データと、第2の表示素子を有するサブ画素の画像データとを、画素の配列順に合わせて読み出し、メモリに書き込むことで、サブ画素を画素の配列順に並び替える。次いで、画素の配列順に並び替えられたサブ画素の画像データを、サブ画素の配列順に合わせて読み出すことで、各ラインに対応したサブ画素の画像データを得ることができる。

30

【0009】

また、本発明の一態様では、各サブ画素に対応する画像データがデジタルであるものとし、当該画像データが階調数や色などの画像情報に加えて、電位の極性の情報を有する。そして、ソースドライバは、各サブ画素に対応するデジタルの画像データを、当該電位の極性の情報に基づいて、画像情報に対応したアナログの画像データに変換する機能を有する。

40

【0010】

具体的に、本発明の一態様に係る表示装置は、コントローラとソースドライバと画素部とを有し、上記画素部は、第1の画素と第2の画素とを有し、上記第1の画素は、第1のサブ画素と第2のサブ画素とを有し、上記第2の画素は、第3のサブ画素と第4のサブ画素とを有し、上記第1のサブ画素と上記第3のサブ画素とは、第1ラインに含まれ、上記第2のサブ画素と上記第4のサブ画素とは、第2ラインに含まれ、上記コントローラは、1フレーム分の上記第1の画像信号と、1フレーム分の上記第2の画像信号とを、上記第1

50

の画素と上記第2の画素との配列順に合わせて並び替えることで、第3の画像信号を生成する機能を有し、上記コントローラは、上記第3の画像信号を、上記第1のサブ画素と上記第2のサブ画素と上記第3のサブ画素と上記第4のサブ画素との配列順に合わせて並び替えることで、第4の画像信号を生成する機能を有し、上記ソースドライバは、上記第4の画像信号を上記第1のサブ画素と上記第2のサブ画素と上記第3のサブ画素と上記第4のサブ画素とに供給する機能を有し、上記第1のサブ画素または上記第2のサブ画素の一方は、液晶素子を有し、上記第1のサブ画素または上記第2のサブ画素の他方は、発光素子を有し、上記第3のサブ画素または上記第4のサブ画素の一方は、液晶素子を有し、上記第3のサブ画素または上記第4のサブ画素の他方は、発光素子を有する。

【0011】

また、具体的に、本発明の一態様に係る表示装置では、上記第4の画像信号が、上記第1のサブ画素と上記第2のサブ画素と上記第3のサブ画素と上記第4のサブ画素とに対応する電位の極性の情報を有しており、上記ソースドライバは、当該電位の極性の情報を用いて上記第4の画像信号をデジタルからアナログに変換する機能を有する。

【発明の効果】

【0012】

本発明の一態様では、上記構成により、駆動回路の規模を小さく抑えることができる表示装置を提供することができる。また、本発明の一態様は、上記構成により、各表示素子に対応する画像信号を、画素の配列に合わせて信号処理することができる表示装置を提供することができる。或いは、本発明の一態様は、上記構成により、駆動回路の規模を小さく抑えることができる半導体装置を提供することができる。また、本発明の一態様は、上記構成により、各表示素子に対応する画像信号を、画素の配列に合わせて信号処理することができる半導体装置を提供することができる。

【0013】

なお、本発明の一態様により、新規な半導体装置などを提供することができる。なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0014】

【図1】表示装置の構成例を示す図。

【図2】表示部の構成例を示す図。

【図3】画素の構成例を示す図。

【図4】画素の構成例を示す図。

【図5】画像情報の並びを模式的に例示した図。

【図6】メモリに画像データを書き込む様子を模式的に示す図。

【図7】画像情報の並びを模式的に例示した図。

【図8】メモリから画像データを読み出す様子を模式的に示す図。

【図9】画像情報の並びを模式的に例示した図。

【図10】表示装置の構成例を示す図。

【図11】ソースドライバの構成例を示す図。

【図12】表示装置の画素の構成例を示す図。

【図13】表示装置の画素の構成例を示す図。

【図14】表示装置の画素の構成例を示す図。

【図15】表示装置のサブ画素の構成例を示す図。

【図16】表示装置の画素の構成例を示す図。

【図17】表示装置の構成例を示す図。

【図18】表示装置の断面構造の一例を示す図。

【図19】表示装置の外観の一例を示す図。

10

20

30

40

50

【図 20】表示領域のレイアウトの一例を示す図。

【図 21】メモリの構成例を示す図。

【図 22】メモリの断面構造の一例を示す図。

【図 23】電子機器の図。

【発明を実施するための形態】

【0015】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

10

【0016】

図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0017】

本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

20

【0018】

図面に記載したブロック図の各回路ブロックの配置は、説明のため位置関係を特定するものであり、異なる回路ブロックで別々の機能を実現するように示していても、実際の回路ブロックにおいては同じ回路ブロック内で別々の機能を実現するように設けられている場合もある。また各回路ブロックの機能は、説明のため機能を特定するものであり、一つの回路ブロックとして示していても、実際の回路ブロックにおいては一つの回路ブロックで行う処理を、複数の回路ブロックで行うよう設けられている場合もある。

【0019】

また、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップは、半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置である場合があり、又は半導体装置を有している場合がある。

30

【0020】

また、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

40

【0021】

トランジスタは、ゲート、ソース、およびドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御ノードとして機能するノードである。ソースまたはドレインとして機能する2つの入出力ノードは、トランジスタの型及び各端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。また、本明細書等では、ゲート以外の2つの端子を第1端子、第2端子と呼ぶ場

50

合がある。

【0022】

ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

【0023】

電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。なお、電位とは、相対的なものである。よって、接地電位と記載されていても、必ずしも、0Vを意味しない場合もある。

10

【0024】

本明細書等において、「膜」という言葉と「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を「導電膜」という用語に変更することが可能な場合がある。例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0025】

本明細書等において、“第1”、“第2”、“第3”という序数詞は構成要素の混同を避けるために付す場合があり、その場合は数的に限定するものではなく、また順序を限定するものでもない。

【0026】

本明細書等において、金属酸化物（metal oxide）とは、広い表現での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（Oxide Semiconductorまたは単にOSともいう）などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも1つを有する場合、当該金属酸化物を、金属酸化物半導体（metal oxide semiconductor）、略してOSと呼ぶことができる。また、OS FETと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

20

【0027】

また、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）と呼称してもよい。

30

【0028】

また、本明細書等において、CAAC（c-axis aligned crystal）、及びCAC（cloud aligned complementary）と記載する場合がある。なお、CAACは結晶構造の一例を表し、CACは機能、または材料の構成の一例を表す。

【0029】

また、本明細書等において、CAC-OSまたはCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OSまたはCAC-metal oxideを、トランジスタの半導体層に用いる場合、導電性の機能は、キャリアとなる電子（またはホール）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能（On/Offさせる機能）をCAC-OSまたはCAC-metal oxideに付与することができる。CAC-OSまたはCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

40

【0030】

50

また、本明細書等において、CAC - OSまたはCAC - metal oxideは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

【0031】

また、CAC - OSまたはCAC - metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5nm以上10nm以下、好ましくは0.5nm以上3nm以下のサイズで材料中に分散している場合がある。

10

【0032】

また、CAC - OSまたはCAC - metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC - OSまたはCAC - metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC - OSまたはCAC - metal oxideをトランジスタのチャネル領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

20

【0033】

すなわち、CAC - OSまたはCAC - metal oxideは、マトリックス複合材(matrix composite)、または金属マトリックス複合材(metal matrix composite)と呼称することもできる。

【0034】

(実施の形態1)

図1に、本発明の一態様に係る表示装置10の構成例をブロック図で示す。図1に示す表示装置10は、コントローラ11と、表示部12とを有する。コントローラ11は、イメージプロセッサ13と、メモリ14とを有する。また、表示部12は、駆動回路15と、画素部16とを有する。

30

【0035】

画素部16は、複数の画素17を有し、画素17は、第1の表示素子を有するサブ画素18と、第2の表示素子を有するサブ画素19とを有する。なお、画素17が有するサブ画素18とサブ画素19の数は一ずつに限定されず、画素17において表示する画像の仕様に合わせて適宜設定することができる。

【0036】

例えば、画素17において、赤色(R)の画像データと、青色(B)の画像データと、緑色(G)の画像データとを用いてフルカラーの画像を表示する場合、RGBにそれぞれ対応する3つのサブ画素18と、RGBにそれぞれ対応する3つのサブ画素19とを、一の画素17が有していても良い。

40

【0037】

或いは、画素17において、赤色(R)の画像データと、青色(B)の画像データと、緑色(G)の画像データとを用いてフルカラーの画像を表示するモードと、モノクロの画像を表示するモードとを選択できる場合、RGBにそれぞれ対応する3つのサブ画素18と、白色(W)に対応する1つのサブ画素19とを、一の画素17が有していても良い。

【0038】

そして、本発明の一態様では、サブ画素18が有する第1の表示素子と、サブ画素19が有する第2の表示素子とが、光の反射を利用して階調を表示する機能を有する表示素子(反射型表示素子)であっても良いし、発光の強度により階調を表示する機能を有する表示

50

素子（発光型表示素子）であっても良い。

【0039】

例えば、第1の表示素子として反射型表示素子を用い、第2の表示素子として発光型表示素子を用いる場合、例えば、外光の強度が低い環境において、発光型表示素子を用いて画像の表示を行うことで画像の視認性を高めることができ、外光の強度が高い環境において反射型表示素子を用いて画像の表示を行うことで、消費電力を低く抑えることができる。さらに、反射型表示素子と発光型表示素子とを共に用いて画像の表示を行うことで、表示される画像の階調、色などを相補的に調整することができる。

【0040】

また、第1の表示素子として反射型表示素子を用い、第2の表示素子として別の反射型表示素子を用いても良い。具体的には、例えば、第1の表示素子として透過型の液晶素子を用い、第2の表示素子として反射型の液晶素子を用いても良い。あるいは、第1の表示素子として発光型表示素子を用い、第2の表示素子として別の発光型表示素子を用いても良い。

10

【0041】

発光型表示素子として、例えばOLED (Organic Light Emitting Diode)、LED (Light Emitting Diode)、QLED (Quantum-dot Light Emitting Diode)などの自発光性の発光素子を用いることができる。また、反射型表示素子として、例えば液晶素子、シャッター方式のMEMS (Micro Electro Mechanical System) 素子、光干渉方式のMEMS素子、マイクロカプセル方式、電気泳動方式、エレクトロウェット方式、電子粉流体（登録商標）方式等を用いることができる。

20

【0042】

また、本発明の一態様では、様々なモードの液晶素子を用いることができる。具体的には、例えば、FFS (Fringe Field Switching) モード、TN (Twisted Nematic) モード、STN (Super Twisted Nematic) モード、VA (Vertical Alignment) モード、MVA (Multi-domain Vertical Alignment) モード、IPS (In-Plane Switching) モード、OCB (Optically Compensated Birefringence) モード、ブルー相モード、TBA (Transverse Bend Alignment) モード、VA-IPSモード、ECB (Electrically Controlled Birefringence) モード、 FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、PDLC (Polymer Dispersed Liquid Crystal) モード、PNLC (Polymer Network Liquid Crystal) モード、ゲストホストモード、ASV (Advanced Super View) モード等の液晶素子が挙げられる。

30

【0043】

また、液晶素子に用いる液晶層には、例えば、サーモトロピック液晶またはリオトロピック液晶に分類される液晶材料を用いることができる。或いは、液晶素子に用いる液晶層には、例えば、ネマチック液晶、スメクチック液晶、コレステリック液晶、または、ディスコチック液晶に分類される液晶材料を用いることができる。或いは、液晶素子に用いる液晶層には、例えば、強誘電性液晶、または反強誘電性液晶に分類される液晶材料を用いることができる。或いは、液晶素子に用いる液晶層には、例えば、主鎖型高分子液晶、側鎖型高分子液晶、或いは、複合型高分子液晶などの高分子液晶、または低分子液晶に分類される液晶材料を用いることができる。或いは、液晶素子に用いる液晶層には、例えば、高分子分散型液晶 (PDLC) に分類される液晶材料を用いることができる。

40

【0044】

また、配向膜を用いないブルー相を示す液晶を液晶層に用いてもよい。ブルー相は液晶相

50

の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、カイラル剤や紫外線硬化樹脂を添加して温度範囲を改善する。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1 m s e c以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さいため好ましい。

【0045】

駆動回路15は、サブ画素18とサブ画素19とを行(ライン)ごとに選択する機能を有するゲートドライバ20(GD)と、選択されたサブ画素への画像信号の供給を制御する機能を有するソースドライバ21(SD)とを有する。

【0046】

コントローラ11は、コントローラ11に入力される第1の表示素子用の画像データ(Vdata1)と、第2の表示素子用の画像データ(Vdata2)とを用いて、表示部12に供給される画像信号Vsigを生成する機能と、駆動回路15の動作を制御するスタートパルス信号(SP)、クロック信号(CLK)などの各種制御信号を生成する機能とを有する。画像信号Vsigを生成する機能は、主にイメージプロセッサ13と、メモリ14とによって実行される。

【0047】

具体的に、イメージプロセッサ13は、コントローラ11に入力される1フレーム分の画像データ(Vdata1)と1フレーム分の画像データ(Vdata2)の、メモリ14への書き込みを制御する機能を有する。そして、1フレーム分の画像データ(Vdata1)は、複数のサブ画素18にそれぞれ対応する画像データを含んでおり、1フレーム分の画像データ(Vdata2)は、複数のサブ画素19にそれぞれ対応する画像データを含んでいる。イメージプロセッサ13は、画像データ(Vdata1)と画像データ(Vdata2)とを、画素部16におけるサブ画素18及びサブ画素19の配列に合わせて順次読みだすことで並び替え、画像信号Vsigを生成する機能を有する。

【0048】

なお、画素部16におけるサブ画素18とサブ画素19の配列は、画素17におけるサブ画素18とサブ画素19の数や配置によって異なる。よって、画素部16が、サブ画素18とサブ画素19とが混在している行を有する場合もあれば、サブ画素18とサブ画素19のいずれか一だけで構成されている行を有する場合もある。イメージプロセッサ13は、画素部16におけるサブ画素18とサブ画素19の配列の情報を記憶している記憶装置を有していても良い。そして、上記配列の情報は、画像データ(Vdata1)及び画像データ(Vdata2)がコントローラ11に入力されるのに合わせて、上記記憶装置に入力されるようにしても良いし、あらかじめ記憶装置に入力しておいても良い。

【0049】

また、画像データ(Vdata1)は、それぞれのサブ画素18に対応する画像情報に加えて、それぞれのサブ画素18に対応する電位の極性の情報を併せ持っており、イメージプロセッサ13において生成される画像信号Vsigにも、それぞれのサブ画素18に対応する画像情報に加えて、それぞれのサブ画素18に対応する電位の極性の情報が含まれている。同様に、画像データ(Vdata2)も、それぞれのサブ画素19に対応する画像情報に加えて、それぞれのサブ画素19に対応する電位の極性の情報を併せ持っており、イメージプロセッサ13において生成される画像信号Vsigにも、それぞれのサブ画素19に対応する画像情報に加えて、それぞれのサブ画素19に対応する電位の極性の情報が含まれている。

【0050】

ソースドライバ21は、画像信号Vsigに含まれる画像情報と電位の極性の情報とを用いて、デジタルである画像信号Vsigをアナログの画像信号Vsigに変換する機能を有する。

【0051】

例えば、第1の表示素子として液晶素子を用い、第2の表示素子として発光素子を用いる

10

20

30

40

50

場合、液晶素子に対応する画像信号の電位の極性は、所定の期間ごとに反転させるが、液晶素子に対応する画像信号の電位の極性は反転させない。よって、1行に液晶素子を有するサブ画素18と発光素子を有するサブ画素19とが混在している場合、サブ画素18に対応する画像信号は電位の極性が反転するが、サブ画素19に対応する画像信号は電位の極性が反転しない。本発明の一態様では、ソースドライバ21に入力される画像信号Vsigの画像情報がサブ画素18とサブ画素19の配列に合わせて並び替えられ、なおかつ画像信号Vsigの電位の極性の情報もサブ画素18とサブ画素19の配列に合わせて並び替えられる。よって、本発明の一態様では、1行に液晶素子を有するサブ画素18と発光素子を有するサブ画素19とが混在している場合でも、液晶素子に対応する画像信号と発光素子に対応する画像信号とを、サブ画素18及びサブ画素19に適宜供給することができる。

【0052】

次いで、図2に、図1に示した表示部12の具体的な構成の一例を示す。図2では、駆動回路15が、一のソースドライバ21と一のゲートドライバ20とを有する場合を例示している。また、図2では、画素17が、1つのサブ画素18と、3つのサブ画素19とを有する場合を例示している。そして、図2では、一の画素17に着目すると、1つのサブ画素18と1つのサブ画素19とが一の行に含まれており、残りの2つのサブ画素19が上記一の行とは異なる一の行に含まれている。また、列方向では、一の画素17において、1つのサブ画素18と1つのサブ画素19とが一の列に含まれており、残りの2つのサブ画素19が上記一の列とは異なる一の列に含まれている。

【0053】

そして、ゲートドライバ20は、配線GL1乃至配線GLy（yは2以上の自然数）で示す複数の走査線を選択する機能を有する。配線GL1乃至配線GLyは、それぞれ1行目からy行目までのサブ画素18及びサブ画素19に電氣的に接続されている。また、ソースドライバ21は、配線SL1乃至配線SLx（xは2以上の自然数）で示す複数の信号線に画像信号を供給する機能を有する。配線SL1乃至配線SLxは、それぞれ1列目からx列目までのサブ画素18及びサブ画素19に電氣的に接続されている。

【0054】

なお、図2に示す画素部16では、サブ画素18とサブ画素19とが、一の走査線GLに電氣的に接続され、なおかつ一の配線SLに電氣的に接続されている場合を例示している。この場合、配線数が抑えられるためレイアウトに無駄が生じにくく、画素部16の高精細化が実現できる。

【0055】

なお、本発明の一態様に係る表示装置10では、画素部16において、サブ画素18とサブ画素19とが、互いに異なる走査線GLに電氣的に接続され、なおかつ一の配線SLに電氣的に接続されていても良い。図3(A)に、サブ画素18とサブ画素19とが、互いに異なる走査線GLに電氣的に接続され、なおかつ一の配線SLに電氣的に接続されている画素17の構成を一例として示す。図3(A)に示す画素17では、1行目の1つのサブ画素18が走査線GL1に電氣的に接続されており、2行目の1つのサブ画素19が走査線GL2に電氣的に接続されており、3行目の2つのサブ画素19が走査線GL3に電氣的に接続されている。上記構成の場合、第1の表示素子と第2の表示素子の駆動速度に合わせて画像信号の書き込み期間を適宜調整することができる。

【0056】

また、本発明の一態様に係る表示装置10では、画素部16において、サブ画素18とサブ画素19とが、一の走査線GLに電氣的に接続され、なおかつ異なる配線SLに電氣的に接続されていても良い。図3(B)に、サブ画素18とサブ画素19とが、一の走査線GLに電氣的に接続され、なおかつ異なる配線SLに電氣的に接続されている画素17の構成を一例として示す。図3(B)に示す画素17では、1列目の1つのサブ画素18が信号線SL1に電氣的に接続されており、2列目の1つのサブ画素19が信号線SL2に電氣的に接続されており、3列目の2つのサブ画素19が信号線SL3に電氣的に接続さ

れている。上記構成の場合、第1の表示素子と第2の表示素子の電気的特性に合わせて配線SLの抵抗値を最適化すべくその幅や材料を適宜設定することができる。

【0057】

また、本発明の一態様に係る表示装置10では、画素部16において、サブ画素18とサブ画素19とが、異なる走査線GLに電気的に接続され、なおかつ異なる配線SLに電気的に接続されていても良い。

【0058】

次いで、図1に示すコントローラ11において行われる、画像データ1(Vdata1)と画像データ2(Vdata2)を用いた画像信号Vsigの生成の流れについて説明する。なお、以下の画像信号Vsigの生成の流れについての説明では、画素17が図4に示す構成を有する場合を例に挙げる。

10

【0059】

具体的に、図4に示す画素17は、Wに対応するサブ画素18と、Bに対応するサブ画素19(図4では、サブ画素19bとして示す)と、Gに対応するサブ画素19(図4では、サブ画素19gとして示す)と、Rに対応するサブ画素19(図4では、サブ画素19rとして示す)と、Wに対応するサブ画素19(図4では、サブ画素19wとして示す)とを有する。

【0060】

そして、図4に示す画素17では、配線GLj-1がサブ画素18と、サブ画素19bと、サブ画素19gとに電気的に接続されており、配線GLjがサブ画素19rと、サブ画素19wとに電気的に接続されている。また、図4に示す画素17では、配線SLi-2がサブ画素18に電気的に接続されており、配線SLi-1がサブ画素19bと、サブ画素19rとに電気的に接続されており、配線SLiがサブ画素19gと、サブ画素19wとに電気的に接続されている。なお、jは、2乃至yのうちの2の倍数に相当する。また、iは、3乃至xのうちの3の倍数に相当する。

20

【0061】

なお、画素17が図4に示す構成を有する場合、画素部16が有する画素17のうち、配線SL1乃至配線SL3に電気的に接続され、かつ、配線GL1乃至配線GL2に電気的に接続されている画素17を、画素17(1,1)とする。よって、配線SLi-2、配線SLi-1、配線SLiに電気的に接続され、かつ、配線GLj-1、配線GLjに電気的に接続されている画素17は、画素17(i,j)で表される。なお、jは、2乃至yのうちの2の倍数に相当するので、yが2の倍数であると仮定すると、jの取りうる最大の数はy/2である。以下y/2をYで表す。また、iは、3乃至xのうちの3の倍数に相当するので、xが3の倍数であると仮定すると、iの取りうる最大の数はx/3である。以下x/3をXで表す。

30

【0062】

図5に、MIPPI(Mobile Industry Processor Interface)規格に準拠した24-bit RGB Long Packet Formatの、第1の表示素子用の第1の画像データ(Vdata1)と、第2の表示素子用の第2の画像データ(Vdata2)の、画像情報の並びを模式的に例示する。

40

【0063】

第1の画像データ(Vdata1)と、第2の画像データ(Vdata2)は、フレーム単位で転送される。具体的には、第1フレームの第1の画像データ(Vdata1)が転送された後、第1フレームの第2の画像データ(Vdata2)が転送され、次いで、次フレームの第1の画像データ(Vdata1)が転送された後、次フレームの第2の画像データ(Vdata2)が転送される。

【0064】

また、第1の画像データ(Vdata1)と、第2の画像データ(Vdata2)は、それぞれパケットヘッダ部(Packet Header)と、ペイロード部(Payload)と、パケットフッタ部(Packet Footer)とを有する。パケットヘッ

50

ダ部には、ペイロードのデータタイプ情報、ペイロードのデータ数、誤り訂正符号などの情報が含まれ、パケットフッタ部には、誤り検出符号などの情報が含まれる。そして、ペイロード部には第1の画像データ(V d a t a 1)と、第2の画像データ(V d a t a 2)に対応する画像情報が含まれている。

【0065】

そして、第1の画像データ(V d a t a 1)の場合、ペイロード部の転送は、1行目1列目の画素17(1、1)に対応する第1の画像データから1行目最終列(X列)目の画素17(1、X)に対応する第1の画像データが、順に行われる。同様に、2行目から最終行(Y行)目までの画素17に対応する第1の画像データも、順に転送される。なお、各画素17に対応する第1の画像データは、各8 b i tのR用の第1の画像データ、G用の第1の画像データ、B用の第1の画像データを有する。

10

【0066】

また、第2の画像データ(V d a t a 2)の場合も、ペイロード部では、第1の画像データ(V d a t a 1)と同様に、順に転送される。そして、各画素17に対応する第2の画像データは、各8 b i tのR用の第2の画像データ、G用の第2の画像データ、B用の第2の画像データを有する。

【0067】

図6では、第1の画像データ(V d a t a 1)のうち、画素17(i、j)に対応する第1の画像データをV1(i、j)で示す。また、第2の画像データ(V d a t a 2)のうち、画素17(i、j)に対応する第2の画像データをV2(i、j)で示す。

20

【0068】

コントローラ11に、上記順序で第1の画像データ(V d a t a 1)と、第2の画像データ(V d a t a 2)とが転送されると、イメージプロセッサ13は、第1の画像データ(V d a t a 1)と第2の画像データ(V d a t a 2)の、メモリ14への書き込みを制御する。図6に、メモリ14が有する領域1(A R E A 1)に1フレーム分の第1の画像データ(V d a t a 1)を書き込み、メモリ14が有する領域2(A R E A 2)に1フレーム分の第2の画像データ(V d a t a 2)を書き込む様子を、模式的に例示する。

【0069】

図6では、メモリ14が有する領域1(A R E A 1)に、第1の画像データ(V d a t a 1)が、転送される順に従って書き込まれる。具体的には、1行目の画素17に対応する第1の画像データV1(1、1)乃至第1の画像データV1(X、1)が順に書き込まれた後、同様に、2行目からY行目の画素17に対応する第1の画像データV1(2、1)乃至第1の画像データV1(X、Y)が順に書き込まれる。

30

【0070】

また、図6では、メモリ14が有する領域2(A R E A 2)に、第2の画像データ(V d a t a 2)が、転送される順に従って書き込まれる。具体的には、1行目の画素17に対応する第2の画像データV2(1、1)乃至第2の画像データV2(X、1)が順に書き込まれた後、同様に、2行目からY行目の画素17に対応する第2の画像データV2(2、1)乃至第2の画像データV2(X、Y)が順に書き込まれる。

【0071】

なお、図6では、領域1(A R E A 1)に書き込まれる第1の画像データV1(i、j)のアドレスと、領域2(A R E A 1)に書き込まれる第2の画像データV2(i、j)のアドレスとを、画素17(i、j)ごとに決めておいても良い。この場合、書き込み時におけるアドレスの指定と、読み出し時におけるアドレスの指定とを容易に行うことができる。

40

【0072】

メモリ14への1フレーム分の第1の画像データ(V d a t a 1)の書き込みと、1フレーム分の第2の画像データ(V d a t a 2)の書き込みとが終了すると、イメージプロセッサ13は、第1の画像データ(V d a t a 1)と第2の画像データ(V d a t a 2)を、画素17の順に従って、第1の画像データV1(i、j)と第2の画像データV2(i、j)とを、

50

、 j ）とを画素 17 単位で読み出し、第 1 の画像データ（ $Vdata1$ ）と第 2 の画像データ（ $Vdata2$ ）の画像情報を並び替える。そして、上記画像情報の並び替えにより、第 3 の画像データ（ $Vdata3$ ）の生成を行う。

【0073】

図 7（A）に、第 3 の画像データ（ $Vdata3$ ）の画像情報の並びを模式的に例示する。また、図 8 に、メモリ 14 が有する領域 1（ $AREA1$ ）からの第 1 の画像データ（ $Vdata1$ ）の読み出しと、メモリ 14 が有する領域 2（ $AREA2$ ）からの第 2 の画像データ（ $Vdata2$ ）の読み出しとを、模式的に例示する。第 1 の画像データ（ $Vdata1$ ）と第 2 の画像データ（ $Vdata2$ ）の読み出しは、画素 17 の順に従って行われる。具体的には、画素 17（1、1）に対応する第 1 の画像データ $V1(1,1)$ が読み出された後、画素 17（1、1）に対応する第 2 の画像データ $V2(1,1)$ が読み出される。次いで、画素 17（2、1）に対応する第 1 の画像データ $V1(2,1)$ が読み出された後、画素 17（2、1）に対応する第 2 の画像データ $V2(2,1)$ が読み出される。同様に、画素 17（2、1）以降の画素 17（3、1）乃至画素 17（ X 、 Y ）に対応する第 1 の画像データ $V1$ と第 2 の画像データ $V2$ とが画素 17 の順に従って読み出される。そして、1 フレーム分の第 1 の画像データ $V1$ と 1 フレーム分の第 2 の画像データ $V2$ とが全て読み出されたら、第 3 の画像データ（ $Vdata3$ ）の生成が完了する。

【0074】

次いで、図 7（B）に示すように、イメージプロセッサ 13 は、第 3 の画像データ（ $Vdata3$ ）が有する、各画素 17 に対応する第 1 の画像データ $V1$ の R 用の第 1 の画像データ、G 用の第 1 の画像データ、B 用の第 1 の画像データから、サブ画素 18 に対応する W 用の第 1 の画像データ $V1(i,j)_w$ を生成する。また、イメージプロセッサ 13 は、第 3 の画像データ（ $Vdata3$ ）が有する、各画素 17 に対応する第 2 の画像データ $V2$ の R 用の第 2 の画像データ、G 用の第 2 の画像データ、B 用の第 2 の画像データから、サブ画素 19 r に対応する W 用の第 2 の画像データ $V2(i,j)_r$ と、サブ画素 19 g に対応する W 用の第 2 の画像データ $V2(i,j)_g$ と、サブ画素 19 b に対応する W 用の第 2 の画像データ $V2(i,j)_b$ と、サブ画素 19 w に対応する W 用の第 2 の画像データ $V2(i,j)_w$ とを生成する。

【0075】

そして、全ての画素 17 に対応する第 1 の画像データ $V1$ から、サブ画素 18 に対応する第 1 の画像データが生成され、全ての画素 17 に対応する第 2 の画像データ $V2$ から、サブ画素 19 w に対応する W 用の第 2 の画像データが生成されたら、第 4 の画像データ（ $Vdata4$ ）の生成が完了する。

【0076】

次いで、イメージプロセッサ 13 は、第 4 の画像データ（ $Vdata4$ ）が有する画像情報を、サブ画素 18、サブ画素 19 r、サブ画素 19 g、サブ画素 19 b、サブ画素 19 w の配置に合わせて並び替える。具体的に、図 4 に示す画素 17 がマトリクス状に画素部 16 に配置されているものと仮定すると、配線 $GLj-1$ に電氣的に接続されたサブ画素の行では、サブ画素 18、サブ画素 19 b、サブ画素 19 g が順に並んでおり、配線 GLj に電氣的に接続されたサブ画素の行では、サブ画素 19 r、サブ画素 19 w が順に並んでいる。

【0077】

よって、第 4 の画像データ（ $Vdata4$ ）が有する画像情報を、サブ画素 18、サブ画素 19 r、サブ画素 19 g、サブ画素 19 b、サブ画素 19 w の配置に合わせて並び替えると、図 7（C）に示すように、 $j-1$ 行目のサブ画素に対応する画像情報は、サブ画素 18 に対応する W 用の第 1 の画像データ $V1(i,j)_w$ 、サブ画素 19 b に対応する B 用の第 2 の画像データ $V2(i,j)_b$ 、サブ画素 19 g に対応する G 用の第 2 の画像データ $V2(i,j)_g$ が順に並ぶこととなる。また、 j 行目のサブ画素に対応する画像情報は、サブ画素 19 r に対応する R 用の第 2 の画像データ $V2(i,j)_r$ 、サブ画素 19 g に対応する G 用の第 2 の画像データ $V2(i,j)_g$ が順に並ぶこととなる。

【0078】

なお、第4の画像データ(Vdata4)が有する画像情報の並び替えは、イメージプロセッサ13が、1行の画素17に対応する第4の画像データ(Vdata4)をメモリ14に書き込み、次いで、サブ画素に対応する画像データを、サブ画素の配置に合わせて順にメモリ14から読み出すことを行うことができる。なお、画像情報の並び替えに際し、第4の画像データ(Vdata4)は1フレーム分全てを一度にメモリ14に書き込む必要はない。よって、コントローラ11は、上記画像情報の並び替えに用いることができる、メモリ14よりも記憶容量の小さいラインメモリ等を有していても良い。

【0079】

上記画像情報の並び替えにより、第1の表示素子に対応する第1の画像データと、2の表示素子に対応する第2の画像データとから、画像情報の配列をサブ画素の配列に合わせた画像信号Vsigを生成することができる。

10

【0080】

なお、図4に示す画素17の場合、配線GLjに電氣的に接続されたサブ画素の行では、配線GLj-1に電氣的に接続されたサブ画素の行よりも、サブ画素の数が一つ少ない。よって、図7(C)では、配線GLjに電氣的に接続された行のサブ画素に対応する画像信号において、画像情報を含まないブランクの期間を設けている。例えば、画像情報を含まないブランクの期間を設ける代わりに、配線GLj-1に電氣的に接続されたサブ画素に対応する画像情報を有する期間を、再度設けるようにしても良い。具体的に、図9に示すように、j-1行目のサブ画素に対応する画像情報を、サブ画素18に対応するW用の第1の画像データV1(i,j)w、サブ画素19bに対応するB用の第2の画像データV2(i,j)b、サブ画素19gに対応するG用の第2の画像データV2(i,j)gを順に並ばせる。そして、j行目のサブ画素に対応する画像情報を、サブ画素18に対応するW用の第1の画像データV1(i,j)w、サブ画素19rに対応するR用の第2の画像データV2(i,j)b、サブ画素19gに対応するG用の第2の画像データV2(i,j)gが順に並ぶこととなる。

20

【0081】

(実施の形態2)

次いで、図10に、本発明の一態様に係る表示装置10のより詳細な構成の一例を示す。具体的に、図10には、表示装置10に加えて、入力装置109と、ホスト185とを図示している。入力装置109は、表示部12の動作を制御する信号を表示装置10に供給する機能を有する。入力装置109またはホスト185は、表示装置10に含まれていても良い。

30

【0082】

入力装置109として、例えば、光センサ143、開閉センサ144、加速度センサ146などの各種センサを用いることができる。或いは、入力装置109として、タッチパネル181、キーボード182、ポインティングデバイス183などを用いることができる。入力装置109は、表示装置10に供給する使用条件の種類に合わせて、適宜選択すれば良い。

【0083】

例えば、表示装置10の使用環境における外光の強度、または表示装置10に入射する外光の入射角を使用条件として用いる場合、光センサ143で得られた情報を使用条件の情報として用いることができる。また、利用者の嗜好や利用者からの命令などを使用条件として用いる場合、入力装置109として、タッチパネル181、キーボード182、ポインティングデバイス183などで得られた情報を使用条件の情報として用いることができる。

40

【0084】

コントローラ11は、イメージプロセッサ13と、メモリ14とを有する。また、イメージプロセッサ13は、インターフェース150、デコーダ152、信号コントローラ154、クロック生成回路155、画像処理部160、メモリ170、タイミングコントロー

50

ラ 173、レジスタ 175 を有する。図 10 では、入力装置 109 として、光センサ 143、開閉センサ 144、加速度センサ 146 などの各種センサを用いる場合を例示しており、この場合、イメージプロセッサ 13 は、上記構成に加えてセンサコントローラ 153 を有する。

【0085】

また、インターフェース 150 は、ホスト 185 からの第 1 の画像データ V d a t a 1 及び第 2 の画像データ V d a t a 2 や各種の制御信号 S i g c o n のコントローラ 11 への入力を制御する機能を有する。ホスト 185 は、アプリケーションプロセッサ (A P 171)、CPU (C e n t r a l P r o c e s s i n g U n i t) または GPU (G r a p h i c s P r o c e s s i n g U n i t) などを有している。図 10 では、インターフェース 150 が A P 171 を有する場合を例示している。

10

【0086】

デコーダ 152 は、ホスト 185 から入力される第 1 の画像データ V d a t a 1 及び第 2 の画像データ V d a t a 2 が圧縮された状態である場合に、圧縮された第 1 の画像データ V d a t a 1 及び第 2 の画像データ V d a t a 2 を伸長する機能を有する。伸長された第 1 の画像データ V d a t a 1 及び第 2 の画像データ V d a t a 2 は、メモリ 14 に格納される。

【0087】

画像処理部 160 は、第 1 の画像データ V d a t a 1 及び第 2 の画像データ V d a t a 2 に演算処理を施すことで、画像情報の配列をサブ画素の配列に合うように並び替えた画像信号 V s i g を生成する機能を有する。なお、画像信号 V s i g の生成に際し、画像情報の配列を並び替える処理に加えて、使用条件に合わせて色の調整、階調数の調整を行う補正、ガンマ補正、発光型表示素子の劣化に合わせた輝度の調整などの画像処理を行っている。

20

【0088】

メモリ 170 は、画像信号を一時的に格納する機能を有する。画像処理部 160 で生成された画像信号は、メモリ 170 を経て、表示部 12 に供給される。タイミングコントローラ 173 は、ゲートドライバ 20、ソースドライバ 21、表示部 12 の動作で使用するスタートパルス信号、クロック信号、垂直同期信号、水平同期信号などの各種制御信号を生成する機能を有する。

30

【0089】

クロック生成回路 155 は、コントローラ 11 で使用されるクロック信号を生成する機能を有する。信号コントローラ 154 は、インターフェース 150 を介して入力される各種制御信号 S i g c o n を用いて、コントローラ 11 内の各種回路を制御する機能を有する。また、コントローラ 11 は、コントローラ 11 内の各種回路への電源供給を制御する機能を有する電源用のコントローラを有していても良い。以下、使われていない回路への電源供給を一時的に遮断することをパワーゲーティング、使われていない回路へのクロック信号の供給を一時的に遮断することをクロックゲーティングと呼ぶ。

【0090】

レジスタ 175 は、コントローラ 11 の動作に用いられるデータを格納する機能を有する。レジスタ 175 が格納するデータには、画像処理部 160 が画像処理を行うために使用するパラメータ、タイミングコントローラ 173 が表示部 12 用の各種制御信号の波形生成に用いるパラメータなどがある。レジスタ 175 は、複数のレジスタで構成されるシフトレジスタを備えていても良い。

40

【0091】

センサコントローラ 153 は、光センサ 143、開閉センサ 144、または加速度センサ 146 で得られた情報を基に、使用条件の情報を含む信号を生成する。当該信号は、信号コントローラ 154 を介して、或いは信号コントローラ 154 を介さずに、画像処理部 160 に供給される。

【0092】

50

なお、光センサ 143 は光の強度の情報を得る機能を有する。加速度センサ 146 は、表示装置 10 の傾きの情報を得る機能を有する。なお、傾きの情報を得るモジュールとして、例えばジャイロセンサなどを用いてもよい。開閉センサ 144 は、表示装置 10 が支持されている筐体と、別の筐体との間の角度の情報を得る機能を有する。或いは、表示装置 10 が可撓性を有し、2 つの筐体によって表示装置 10 が支持されている場合に、筐体間の角度の情報を得る機能を有していても良い。

【0093】

また、信号コントローラ 154 は、入力装置 109 において得られる使用条件の情報に従って、コントローラ 11 内の各種回路を制御することで、画像の表示に、第 1 の表示素子と第 2 の表示素子のどちらか一つを用いるのか、或いは両方を用いるのかを、定める機能を有する。

10

【0094】

例えば、第 1 の表示素子として反射型表示素子を用い、第 2 の表示素子として発光型表示素子を用いる表示装置 10 において、外光の強度が高く、反射型表示素子を用いて十分高いコントラストの画像が表示できる場合は、発光型表示素子を有するサブ画素ではなく、反射型表示素子を有するサブ画素を用いて画像の表示を行う。上記構成により、表示装置 10 の消費電力を低く抑えることができる。また、外光の強度が低く、反射型表示素子を用いて十分高いコントラストの画像が表示できない場合は、反射型表示素子を有するサブ画素ではなく、発光型表示素子を有するサブ画素を用いて画像の表示を行う。或いは、反射型表示素子を有するサブ画素と、発光型表示素子を有するサブ画素とを用いて画像の表示を行うようにしても良い。上記構成により、外光の強度が低い場合でも表示装置 10 における画像の表示品質を高くすることができる。すなわち、表示装置 10 の使用環境に左右されずに高い表示品質を確保することができる。

20

【0095】

なお、反射型表示素子を有するサブ画素と、発光型表示素子を有するサブ画素とを用いて画像の表示を行う場合、上記効果に加えて、表示装置 10 において表示できる画像の階調数を高める、或いは、表示装置 10 において表示できる画像の色域の範囲を広げるように、反射型表示素子と発光型表示素子とを用いて、表示される画像の階調、色などを相補的に調整することができる。

【0096】

30

また、反射型表示素子と、発光型表示素子とで、互いに異なる画像を表示することもできる。一般に、反射型表示素子に適用できる液晶素子や電子ペーパー等は、動作速度が遅いものが多い（絵を表示するまでに時間を要する。）。そのため、反射型表示素子を有するサブ画素を用いて背景となる静止画を表示し、発光型表示素子を有するサブ画素を用いて動きのあるマウスポインタ等の画像を表示することができる。この場合、表示装置 10 は、なめらかな動画表示と低消費電力を両立することができる。

【0097】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0098】

40

（実施の形態 3）

本実施の形態では、本発明の一態様に係る表示装置 10 が有する、ソースドライバ 21 の構成の一例について説明する。図 11 に、ソースドライバ 21 の構成例をブロック図で示す。

【0099】

図 11 に示すソースドライバ 21 は、ソースドライバ用のコントローラ（SDC30）と、シフトレジスタ（SR31）と、ラッチ回路（D-LAT32）と、レベルシフタ（LS33）と、パストランジスタロジック回路（PTL34）と、増幅回路（AMP35）と、を有する。

【0100】

SDC30 は、図 10 に示すタイミングコントローラ 173 からの制御信号 S i g T に従

50

い、SR31の動作を制御する機能と、DLAT32の動作を制御する機能とを有する。具体的に、SDC30は、制御信号S i g Tを用いて、SR31の動作を制御するスタートパルス信号SP及びクロック信号CLKなどの各種制御信号を生成する機能を有する。また、SDC30は、DLAT32の動作を制御するラッチ信号LSなどの各種制御信号を生成する機能を有する。

【0101】

また、SDC30は、図10に示すコントローラ11から入力された画像信号V s i gに、DLAT32の仕様に合うように信号処理を施す機能を有する。具体的に、SDC30は、シリアル形式の画像信号V s i gをパラレル形式の画像信号V s i gに変換する機能を有する。パラレル形式の画像信号V s i gは、DLAT32に供給される。

10

【0102】

SR31は、スタートパルス信号SP及びクロック信号CLKなどの各種制御信号に従って、DLAT32における画像信号V s i gのサンプリングのタイミングを制御する機能を有する。具体的に、SR31は、スタートパルス信号SP及びクロック信号CLKなどの各種制御信号に従って、DLAT32における画像信号V s i gのサンプリングのタイミングを制御するサンプリング信号SPを、生成する機能を有する。

【0103】

DLAT32は、供給された画像信号V s i gをサンプリングし、保持する機能を有する。具体的に、DLAT32は、SR31において生成されたサンプリング信号SPに従って、供給された画像信号V s i gをサンプリングし、保持する。そして、DLAT32は、SDC30から供給されるラッチ信号LSに従って、保持された画像信号V s i gを出力する。

20

【0104】

LS33は、DLAT32から出力される画像信号V s i gの電位のレベルを変更する機能、すなわちレベルシフトを行う機能を有する。

【0105】

PTL34は、LS33においてレベルシフトされた画像信号V s i gを、デジタルからアナログに変換する機能を有する。なお、画像信号V s i gには、各サブ画素に対応する画像情報に加えて、各サブ画素に対応する電位の極性の情報を有する。PTL34は、画像信号V s i gを、デジタルからアナログに変換する際に、電位の極性の情報に従って画像信号V s i gの電位の極性を定める機能を有する。

30

【0106】

例えば、第1の表示素子として液晶素子を用いる場合、液晶素子を有するサブ画素に対応するアナログの画像信号は、正の極性または負の極性を有する。また、第2の表示素子として発光素子を用いる場合、発光素子を有するサブ画素に対応するアナログの画像信号は、正の極性を有する。そして、PTL34は、電位の極性の情報に従って画像信号V s i gの電位の極性を定める機能を有するので、液晶素子を有するサブ画素と発光素子を有するサブ画素とが画素部16内に混在していても、共通のソースドライバ21を用いて画素部16への画像信号V s i gの供給を制御することができる。上記構成により、駆動回路の規模を小さく抑えることができる。

40

【0107】

AMP35は、アナログに変換された画像信号V s i gを増幅する機能を有する。増幅された画像信号V s i gは、図1または図10に示す画素部16に供給される。

【0108】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0109】

(実施の形態4)

本実施の形態では、反射型表示素子と発光型表示素子とを用いた表示装置が有する、画素の構成例について説明する。なお、本実施の形態では、反射型表示素子として液晶素子を用い、発光型表示素子としてEL材料を用いた発光素子を用いる場合を例に挙げて、本発

50

明の一態様に係る画素 17 の構成例について説明する。

【0110】

図 12 (A) に示す画素 17 は、サブ画素 18 とサブ画素 19 とを有する。そして、サブ画素 18 は液晶素子 60 を有し、サブ画素 19 は発光素子 61 を有する。

【0111】

具体的に、サブ画素 18 は、液晶素子 60 と、液晶素子 60 に印加する電圧を制御する機能を有するトランジスタ 62 と、容量素子 63 とを有する。そして、トランジスタ 62 は、ゲートが配線 GLj - 1 に電氣的に接続され、ソース又はドレインの一方が配線 SLi - 1 に電氣的に接続され、ソース又はドレインの他方が液晶素子 60 の画素電極に電氣的に接続されている。また、液晶素子 60 の共通電極は、所定の電位が供給される配線または電極に電氣的に接続されている。また、容量素子 63 は、一方の電極が、液晶素子 60 の画素電極に電氣的に接続され、他方の電極が、所定の電位が供給される配線または電極に電氣的に接続されている。

10

【0112】

また、具体的に、サブ画素 19 は、発光素子 61 と、発光素子 61 に供給する電流を制御する機能を有するトランジスタ 64 と、トランジスタ 64 のゲートへの電位の供給を制御する機能を有するトランジスタ 65 と、容量素子 66 とを有する。そして、トランジスタ 65 は、ゲートが配線 GLj に電氣的に接続され、ソース又はドレインの一方が配線 SLi に電氣的に接続され、ソース又はドレインの他方がトランジスタ 64 のゲートに電氣的に接続されている。トランジスタ 64 は、ソース又はドレインの一方が配線 AL に電氣的に接続され、ソース又はドレインの他方が発光素子 61 に電氣的に接続されている。容量素子 66 は、一方の電極が配線 AL に電氣的に接続され、他方の電極がトランジスタ 64 のゲートに電氣的に接続されている。

20

【0113】

なお、図 12 (A) において、j は、2 乃至 y のうちの 2 の倍数に相当する。また、i は、2 乃至 x のうちの 2 の倍数に相当する。

【0114】

図 12 (A) に示す画素 17 では、液晶素子 60 に対応した画像信号 Vsig を配線 SLi - 1 に供給し、発光素子 61 に対応した画像信号 Vsig を配線 SLi に供給することで、液晶素子 60 によって表示される階調と、発光素子 61 によって表示される階調とを個別に制御することができる。

30

【0115】

なお、図 12 (A) では、液晶素子 60 を有するサブ画素 18 と、発光素子 61 を有するサブ画素 19 とを一つずつ有する画素 17 の構成例を示したが、画素 17 が複数のサブ画素 18 を有していても良いし、或いは画素 17 が複数のサブ画素 19 を有していても良い。

【0116】

図 12 (B) に、画素 17 が一のサブ画素 19 と、4 つのサブ画素 19 を有している場合の、画素 17 の構成例を示す。

【0117】

具体的に図 12 (B) に示す画素 17 は、液晶素子 60 を有するサブ画素 19 と、発光素子 61 をそれぞれ有するサブ画素 19 a 乃至サブ画素 19 d とを有する。

40

【0118】

図 12 (B) に示すサブ画素 18 の構成については、図 12 (A) に示すサブ画素 18 の構成を参照することができる。ただし、図 12 (B) に示すサブ画素 18 では、トランジスタ 62 のゲートが配線 GLj - 2 に電氣的に接続されている。

【0119】

なお、図 12 (B) において、j は、3 乃至 y のうちの 3 の倍数に相当する。また、i は、3 乃至 x のうちの 3 の倍数に相当する。

【0120】

50

また、図 12 (B) に示すサブ画素 19 a 乃至サブ画素 19 d は、図 12 (A) に示すサブ画素 19 と同様に、発光素子 61 と、発光素子 61 に供給する電流を制御する機能を有するトランジスタ 64 と、トランジスタ 64 のゲートへの電位の供給を制御する機能を有するトランジスタ 65 と、容量素子 66 とをそれぞれ有する。そして、サブ画素 19 a 乃至サブ画素 19 d がそれぞれ有する発光素子 61 から発せられる光が、異なる領域の波長を有することで、表示装置においてカラーの画像を表示することが可能になる。

【 0 1 2 1 】

また、図 12 (B) に示すサブ画素 19 a 乃至サブ画素 19 d では、サブ画素 19 a の有するトランジスタ 65 のゲートと、サブ画素 19 c の有するトランジスタ 65 のゲートとが、配線 G L j - 1 に電氣的に接続されている。また、サブ画素 19 b の有するトランジスタ 65 のゲートと、サブ画素 19 d の有するトランジスタ 65 のゲートとが、配線 G L j に電氣的に接続されている。

10

【 0 1 2 2 】

また、図 12 (B) に示すサブ画素 19 a 乃至サブ画素 19 d では、サブ画素 19 a の有するトランジスタ 65 のソース又はドレインの一方と、サブ画素 19 b の有するトランジスタ 65 のソース又はドレインの一方とが、配線 S L i - 2 に電氣的に接続されている。また、サブ画素 19 c の有するトランジスタ 65 のソース又はドレインの一方と、サブ画素 19 d の有するトランジスタ 65 のソース又はドレインの一方とが、配線 S L i に電氣的に接続されている。

20

【 0 1 2 3 】

また、図 12 (B) に示すサブ画素 19 a 乃至サブ画素 19 d では、全てのトランジスタ 64 のソース又はドレインの一方が、配線 A L に電氣的に接続されている。

【 0 1 2 4 】

上述したように、図 12 (B) に示すサブ画素 19 a 乃至サブ画素 19 d では、サブ画素 19 a とサブ画素 19 c が配線 G L j - 1 を共有し、サブ画素 19 b とサブ画素 19 d が配線 G L j を共有しているが、サブ画素 19 a 乃至サブ画素 19 d の全てが一の配線 G L を共有していても良い。この場合、サブ画素 19 a 乃至サブ画素 19 d は、互いに異なる配線 S L に電氣的に接続されるようにすることが望ましい。

【 0 1 2 5 】

図 12 (B) に、画素 17 が一のサブ画素 19 と、4 つのサブ画素 19 を有している場合の、画素 17 の構成例を示す。

30

【 0 1 2 6 】

具体的に図 12 (B) に示す画素 17 は、液晶素子 60 を有するサブ画素 19 と、発光素子 61 をそれぞれ有するサブ画素 19 a 乃至サブ画素 19 d とを有する。

【 0 1 2 7 】

図 12 (B) に示すサブ画素 18 の構成については、図 12 (A) に示すサブ画素 18 の構成を参照することができる。ただし、図 12 (B) に示すサブ画素 18 では、トランジスタ 62 のゲートが配線 G L j - 2 に電氣的に接続されている。

【 0 1 2 8 】

また、図 12 (B) に示すサブ画素 19 a 乃至サブ画素 19 d は、図 12 (A) に示すサブ画素 19 と同様に、発光素子 61 と、発光素子 61 に供給する電流を制御する機能を有するトランジスタ 64 と、トランジスタ 64 のゲートへの電位の供給を制御する機能を有するトランジスタ 65 と、容量素子 66 とをそれぞれ有する。そして、サブ画素 19 a 乃至サブ画素 19 d がそれぞれ有する発光素子 61 から発せられる光が、異なる領域の波長を有することで、表示装置においてカラーの画像を表示することが可能になる。

40

【 0 1 2 9 】

また、図 12 (B) に示すサブ画素 19 a 乃至サブ画素 19 d では、サブ画素 19 a の有するトランジスタ 65 のゲートと、サブ画素 19 c の有するトランジスタ 65 のゲートとが、配線 G L j - 1 に電氣的に接続されている。また、サブ画素 19 b の有するトランジスタ 65 のゲートと、サブ画素 19 d の有するトランジスタ 65 のゲートとが、配線 G L

50

j に電氣的に接続されている。

【0130】

また、図12(B)に示すサブ画素19a乃至サブ画素19dでは、サブ画素19aの有するトランジスタ65のソース又はドレインの一方と、サブ画素19bの有するトランジスタ65のソース又はドレインの一方とが、配線SLi-2に電氣的に接続されている。また、サブ画素19cの有するトランジスタ65のソース又はドレインの一方と、サブ画素19dの有するトランジスタ65のソース又はドレインの一方とが、配線SLiに電氣的に接続されている。

【0131】

なお、図12(B)において、jは、3乃至yのうちの3の倍数に相当する。また、iは、3乃至xのうちの3の倍数に相当する。 10

【0132】

また、図12(B)に示すサブ画素19a乃至サブ画素19dでは、全てのトランジスタ64のソース又はドレインの一方が、配線ALに電氣的に接続されている。

【0133】

上述したように、図12(B)に示すサブ画素19a乃至サブ画素19dでは、サブ画素19aとサブ画素19cが配線GLj-1を共有し、サブ画素19bとサブ画素19dが配線GLjを共有しているが、サブ画素19a乃至サブ画素19dの全てが一の配線GLを共有していても良い。この場合、サブ画素19a乃至サブ画素19dは、互いに異なる配線SLに電氣的に接続されるようにすることが望ましい。 20

【0134】

次いで、図13(A)に、一のサブ画素18と一のサブ画素19を有し、サブ画素18とサブ画素19とが配線GLを共有している場合の、画素17の構成例を示す。

【0135】

図13(A)に示すサブ画素18の構成については、図12(A)に示すサブ画素18の構成を参照することができる。また、図13(A)に示すサブ画素19の構成については、図12(A)に示すサブ画素19の構成を参照することができる。ただし、図13(A)に示すサブ画素18及びサブ画素19とでは、トランジスタ62のゲートとトランジスタ65のゲートとが、共に配線GLjに電氣的に接続されている点において、図12(A)に示すサブ画素18及びサブ画素19と構成が異なる。 30

【0136】

なお、図13(A)において、jは、1乃至yのうちの任意の数に相当する。また、iは、2乃至xのうちの2の倍数に相当する。

【0137】

図13(A)に示す画素17では、液晶素子60に対応した画像信号Vsigを配線SLi-1に供給し、発光素子61に対応した画像信号Vsigを配線SLiに供給することで、液晶素子60によって表示される階調と、発光素子61によって表示される階調とを個別に制御することができる。

【0138】

なお、図13(A)では、液晶素子60を有するサブ画素18と、発光素子61を有するサブ画素19とを一つずつ有する画素17の構成例を示したが、画素17が複数のサブ画素18を有していても良いし、或いは画素17が複数のサブ画素19を有していても良い。 40

【0139】

図13(B)に、画素17が一のサブ画素19と、4つのサブ画素19を有している場合の、図12(B)とは異なる画素17の構成例を示す。

【0140】

具体的に、図13(B)に示す画素17は、液晶素子60を有するサブ画素19と、発光素子61をそれぞれ有するサブ画素19a乃至サブ画素19dとを有する。

【0141】

図 13 (B) に示すサブ画素 18 の構成については、図 13 (A) に示すサブ画素 18 の構成を参照することができる。ただし、図 13 (B) に示すサブ画素 18 では、トランジスタ 62 のゲートが配線 GLj - 1 に電氣的に接続されている。また、図 13 (B) に示すサブ画素 18 では、トランジスタ 62 のソース又はドレインの一方が配線 SLi - 2 に電氣的に接続されている。

【0142】

また、図 13 (B) に示すサブ画素 19 a 乃至サブ画素 19 d は、図 13 (A) に示すサブ画素 19 と同様に、発光素子 61 と、発光素子 61 に供給する電流を制御する機能を有するトランジスタ 64 と、トランジスタ 64 のゲートへの電位の供給を制御する機能を有するトランジスタ 65 と、容量素子 66 とをそれぞれ有する。そして、サブ画素 19 a 乃至サブ画素 19 d がそれぞれ有する発光素子 61 から発せられる光が、異なる領域の波長を有することで、表示装置においてカラーの画像を表示することが可能になる。

10

【0143】

また、図 13 (B) に示すサブ画素 19 a 乃至サブ画素 19 d では、サブ画素 19 a の有するトランジスタ 65 のゲートと、サブ画素 19 c の有するトランジスタ 65 のゲートとが、配線 GLj - 1 に電氣的に接続されている。また、サブ画素 19 b の有するトランジスタ 65 のゲートと、サブ画素 19 d の有するトランジスタ 65 のゲートとが、配線 GLj に電氣的に接続されている。

【0144】

また、図 13 (B) に示すサブ画素 19 a 乃至サブ画素 19 d では、サブ画素 19 a の有するトランジスタ 65 のソース又はドレインの一方と、サブ画素 19 b の有するトランジスタ 65 のソース又はドレインの一方とが、配線 SLi - 1 に電氣的に接続されている。また、サブ画素 19 c の有するトランジスタ 65 のソース又はドレインの一方と、サブ画素 19 d の有するトランジスタ 65 のソース又はドレインの一方とが、配線 SLi に電氣的に接続されている。

20

【0145】

なお、図 13 (B) において、j は、2 乃至 y のうちの 2 の倍数に相当する。また、i は、3 乃至 x のうちの 3 の倍数に相当する。

【0146】

また、図 13 (B) に示すサブ画素 19 a 乃至サブ画素 19 d では、全てのトランジスタ 64 のソース又はドレインの一方が、配線 AL に電氣的に接続されている。

30

【0147】

上述したように、図 13 (B) に示すサブ画素 19 a 乃至サブ画素 19 d では、サブ画素 18 とサブ画素 19 a とサブ画素 19 c が配線 GLj - 1 を共有し、サブ画素 19 b とサブ画素 19 d が配線 GLj を共有しているが、サブ画素 18 とサブ画素 19 a 乃至サブ画素 19 d の全てが一の配線 GL を共有していても良い。この場合、サブ画素 18 とサブ画素 19 a 乃至サブ画素 19 d は、互いに異なる配線 SL に電氣的に接続されるようにすることが望ましい。

【0148】

次いで、図 14 (A) に、一のサブ画素 18 と一のサブ画素 19 を有し、サブ画素 18 とサブ画素 19 とが配線 SL を共有している場合の、画素 17 の構成例を示す。

40

【0149】

図 14 (A) に示すサブ画素 18 の構成については、図 12 (A) に示すサブ画素 18 の構成を参照することができる。また、図 14 (A) に示すサブ画素 19 の構成については、図 12 (A) に示すサブ画素 19 の構成を参照することができる。ただし、図 14 (A) に示すサブ画素 18 及びサブ画素 19 とでは、トランジスタ 62 のソース又はドレインの一方とトランジスタ 65 のソース又はドレインの一方とが、共に配線 SLj に電氣的に接続されている点において、図 12 (A) に示すサブ画素 18 及びサブ画素 19 と構成が異なる。

【0150】

50

なお、図 1 4 (A) において、 j は、2 乃至 y のうちの 2 の倍数に相当する。また、 i は、1 乃至 x のうちの任意の数に相当する。

【 0 1 5 1 】

図 1 4 (A) に示す画素 1 7 では、液晶素子 6 0 に対応した画像信号 V_{sig} と、を配線 $SLi - 1$ に供給し、発光素子 6 1 に対応した画像信号 V_{sig} とを、交互に配線 SLi に供給することで、液晶素子 6 0 によって表示される階調と、発光素子 6 1 によって表示される階調とを個別に制御することができる。

【 0 1 5 2 】

なお、図 1 4 (A) では、液晶素子 6 0 を有するサブ画素 1 8 と、発光素子 6 1 を有するサブ画素 1 9 とを一つずつ有する画素 1 7 の構成例を示したが、画素 1 7 が複数のサブ画素 1 8 を有していても良いし、或いは画素 1 7 が複数のサブ画素 1 9 を有していても良い。

10

【 0 1 5 3 】

図 1 4 (B) に、画素 1 7 が一のサブ画素 1 9 と、4 つのサブ画素 1 9 を有している場合の、図 1 2 (B) 及び図 1 3 (B) とは異なる画素 1 7 の構成例を示す。

【 0 1 5 4 】

具体的に、図 1 4 (B) に示す画素 1 7 は、液晶素子 6 0 を有するサブ画素 1 9 と、発光素子 6 1 をそれぞれ有するサブ画素 1 9 a 乃至サブ画素 1 9 d とを有する。

【 0 1 5 5 】

図 1 4 (B) に示すサブ画素 1 8 の構成については、図 1 4 (A) に示すサブ画素 1 8 の構成を参照することができる。ただし、図 1 4 (B) に示すサブ画素 1 8 では、トランジスタ 6 2 のゲートが配線 $GLj - 2$ に電氣的に接続されている。また、図 1 4 (B) に示すサブ画素 1 8 では、トランジスタ 6 2 のソース又はドレインの一方が配線 $SLi - 1$ に電氣的に接続されている。

20

【 0 1 5 6 】

また、図 1 4 (B) に示すサブ画素 1 9 a 乃至サブ画素 1 9 d は、図 1 4 (A) に示すサブ画素 1 9 と同様に、発光素子 6 1 と、発光素子 6 1 に供給する電流を制御する機能を有するトランジスタ 6 4 と、トランジスタ 6 4 のゲートへの電位の供給を制御する機能を有するトランジスタ 6 5 と、容量素子 6 6 とをそれぞれ有する。そして、サブ画素 1 9 a 乃至サブ画素 1 9 d がそれぞれ有する発光素子 6 1 から発せられる光が、異なる領域の波長を有することで、表示装置においてカラーの画像を表示することが可能になる。

30

【 0 1 5 7 】

また、図 1 4 (B) に示すサブ画素 1 9 a 乃至サブ画素 1 9 d では、サブ画素 1 9 a の有するトランジスタ 6 5 のゲートと、サブ画素 1 9 c の有するトランジスタ 6 5 のゲートとが、配線 $GLj - 1$ に電氣的に接続されている。また、サブ画素 1 9 b の有するトランジスタ 6 5 のゲートと、サブ画素 1 9 d の有するトランジスタ 6 5 のゲートとが、配線 GLj に電氣的に接続されている。

【 0 1 5 8 】

また、図 1 4 (B) に示すサブ画素 1 9 a 乃至サブ画素 1 9 d では、サブ画素 1 9 a の有するトランジスタ 6 5 のソース又はドレインの一方と、サブ画素 1 9 b の有するトランジスタ 6 5 のソース又はドレインの一方とが、配線 $SLi - 1$ に電氣的に接続されている。また、サブ画素 1 9 c の有するトランジスタ 6 5 のソース又はドレインの一方と、サブ画素 1 9 d の有するトランジスタ 6 5 のソース又はドレインの一方とが、配線 SLi に電氣的に接続されている。

40

【 0 1 5 9 】

なお、図 1 4 (B) において、 j は、3 乃至 y のうちの 3 の倍数に相当する。また、 i は、2 乃至 x のうちの 2 の倍数に相当する。

【 0 1 6 0 】

また、図 1 4 (B) に示すサブ画素 1 9 a 乃至サブ画素 1 9 d では、全てのトランジスタ 6 4 のソース又はドレインの一方が、配線 AL に電氣的に接続されている。

50

【0161】

上述したように、図14(B)に示すサブ画素19a乃至サブ画素19dでは、サブ画素18とサブ画素19aとサブ画素19bが配線SLi-1を共有し、サブ画素19cとサブ画素19dが配線SLiを共有しているが、サブ画素18とサブ画素19a乃至サブ画素19dの全てが一の配線SLを共有していても良い。この場合、サブ画素18とサブ画素19a乃至サブ画素19dは、互いに異なる配線GLに電氣的に接続されるようにすることが望ましい。

【0162】

次いで、図15に、図12乃至図14に示すサブ画素19(サブ画素19a乃至サブ画素19dを含む)とは異なる構成を有する、サブ画素19の構成例を示す。なお、図15に示すサブ画素19は、図12乃至図14に示す画素17が有するサブ画素19に、それぞれ適用することができる。

10

【0163】

図15(A)に示すサブ画素19は、トランジスタ64がバックゲートを有する点において、図12乃至図14に示すサブ画素19と構成が異なる。具体的に、図15(A)に示すサブ画素19では、トランジスタ64のバックゲートがゲート(フロントゲート)に電氣的に接続されている。図15(A)に示すサブ画素19は、上記構成を有することにより、トランジスタ64の閾値電圧がシフトするのを抑えることができ、トランジスタ64の信頼性を高めることができる。また、図15(A)に示すサブ画素19は、上記構成を有することにより、トランジスタ64のサイズを小さく抑えつつ、トランジスタ64のオン電流を高めることができる。

20

【0164】

図15(B)に示すサブ画素19は、サブ画素19が有するトランジスタ64がバックゲートを有する点において、図15(A)に示すサブ画素19と構成が同じである。ただし、図15(B)に示すサブ画素19では、トランジスタ64のバックゲートがゲートではなく発光素子61に電氣的に接続されている点において、図15(A)に示すサブ画素19と構成が異なる。

【0165】

図15(B)に示すサブ画素19は、上記構成を有することにより、トランジスタ64の閾値電圧がシフトするのを抑えることができ、トランジスタ64の信頼性を高めることができる。

30

【0166】

また、図15(B)に示すサブ画素19は、容量素子66aと、容量素子66bとを有する。容量素子66aは、一方の電極が配線ALに電氣的に接続され、他方の電極がトランジスタ64のゲートに電氣的に接続されている。容量素子66bは、一方の電極がトランジスタ64のゲートに電氣的に接続され、他方の電極が発光素子61の画素電極に電氣的に接続されている。

【0167】

図15(C)に示すサブ画素19は、発光素子61と、発光素子61に供給する電流を制御する機能を有するトランジスタ64と、トランジスタ64のゲートへの電位の供給を制御する機能を有するトランジスタ65と、発光素子61の画素電極に所定の電位を供給する機能を有するトランジスタ67と、容量素子66とを有する。また、トランジスタ64と、トランジスタ65と、トランジスタ67とは、それぞれバックゲートを有する。

40

【0168】

そして、トランジスタ65は、ゲート(フロントゲート)が配線MLに電氣的に接続され、バックゲートが配線GLに電氣的に接続され、ソース又はドレインの一方が配線SLに電氣的に接続され、ソース又はドレインの他方がトランジスタ64のゲート及びフロントゲートに電氣的に接続されている。トランジスタ64は、ソース又はドレインの一方が配線ALに電氣的に接続され、ソース又はドレインの他方が発光素子61に電氣的に接続されている。

50

トランジスタ 67 は、ゲート（フロントゲート）が配線 M L に電氣的に接続され、バックゲートが配線 G L に電氣的に接続され、ソース又はドレインの一方が配線 M L に電氣的に接続され、ソース又はドレインの他方が発光素子 61 に電氣的に接続されている。容量素子 66 は、一方の電極が配線 A L に電氣的に接続され、他方の電極がトランジスタ 64 のゲートに電氣的に接続されている。

【0169】

図 16 に、画素 17 が、図 12 乃至図 14 に示すサブ画素 18 を一つと、図 15（C）に示すサブ画素 19 を 4 つ有している場合の、画素 17 の構成例を示す。

【0170】

具体的に、図 16 に示す画素 17 は、液晶素子 60 を有するサブ画素 18 と、発光素子 61 をそれぞれ有するサブ画素 19 a 乃至サブ画素 19 d とを有する。

10

【0171】

図 16 に示すサブ画素 18 の構成については、図 12（B）に示すサブ画素 18 の構成を参照することができる。

【0172】

また、図 16 に示すサブ画素 19 a 乃至サブ画素 19 d は、図 15（C）に示すサブ画素 19 と同様に、発光素子 61 と、発光素子 61 に供給する電流を制御する機能を有するトランジスタ 64 と、トランジスタ 64 のゲートへの電位の供給を制御する機能を有するトランジスタ 65 と、発光素子 61 の画素電極に所定の電位を供給する機能を有するトランジスタ 67 と、容量素子 66 とをそれぞれ有する。そして、サブ画素 19 a 乃至サブ画素 19 d がそれぞれ有する発光素子 61 から発せられる光が、異なる領域の波長を有することで、表示装置においてカラーの画像を表示することが可能になる。

20

【0173】

また、図 16 に示すサブ画素 19 a 乃至サブ画素 19 d では、サブ画素 19 a の有するトランジスタ 65 のゲートと、サブ画素 19 b の有するトランジスタ 65 のゲートとが、配線 M L i - 1 に電氣的に接続されている。また、サブ画素 19 c の有するトランジスタ 65 のゲートと、サブ画素 19 d の有するトランジスタ 65 のゲートとが、配線 M L i に電氣的に接続されている。

【0174】

また、図 16 に示すサブ画素 19 a 乃至サブ画素 19 d では、サブ画素 19 a の有するトランジスタ 65 のバックゲートと、サブ画素 19 c の有するトランジスタ 65 のバックゲートとが、配線 G L j - 1 に電氣的に接続されている。また、サブ画素 19 b の有するトランジスタ 65 のバックゲートと、サブ画素 19 d の有するトランジスタ 65 のバックゲートとが、配線 G L j に電氣的に接続されている。

30

【0175】

また、図 16 に示すサブ画素 19 a 乃至サブ画素 19 d では、サブ画素 19 a の有するトランジスタ 65 のソース又はドレインの一方と、サブ画素 19 b の有するトランジスタ 65 のソース又はドレインの一方とが、配線 S L i - 1 に電氣的に接続されている。また、サブ画素 19 c の有するトランジスタ 65 のソース又はドレインの一方と、サブ画素 19 d の有するトランジスタ 65 のソース又はドレインの一方とが、配線 S L i に電氣的に接続されている。

40

【0176】

また、図 16 に示すサブ画素 19 a 乃至サブ画素 19 d では、サブ画素 19 a の有するトランジスタ 67 のバックゲートと、サブ画素 19 c の有するトランジスタ 67 のバックゲートとが、配線 G L j - 1 に電氣的に接続されている。また、サブ画素 19 b の有するトランジスタ 67 のバックゲートと、サブ画素 19 d の有するトランジスタ 67 のバックゲートとが、配線 G L j に電氣的に接続されている。

【0177】

また、図 16 に示すサブ画素 19 a 乃至サブ画素 19 d では、サブ画素 19 a の有するトランジスタ 67 のゲートとソース又はドレインの一方とが配線 M L i - 1 に電氣的に接続

50

され、サブ画素 19 b の有するトランジスタ 67 のゲートとソース又はドレインの一方とが、配線 M L i - 1 に電氣的に接続されている。また、サブ画素 19 c の有するトランジスタ 67 のゲートとソース又はドレインの一方とが配線 M L i に電氣的に接続され、サブ画素 19 b の有するトランジスタ 67 のゲートとソース又はドレインの一方とが、配線 M L i に電氣的に接続されている。

【0178】

また、図 16 に示すサブ画素 19 a 乃至サブ画素 19 d では、全てのトランジスタ 64 のソース又はドレインの一方が、配線 A L に電氣的に接続されている。

【0179】

上述したように、図 16 に示すサブ画素 19 a 乃至サブ画素 19 d では、サブ画素 19 a とサブ画素 19 c が配線 G L j - 1 を共有し、サブ画素 19 b とサブ画素 19 d が配線 G L j を共有しているが、サブ画素 19 a 乃至サブ画素 19 d の全てが一の配線 G L を共有していても良い。この場合、サブ画素 19 a 乃至サブ画素 19 d は、互いに異なる配線 S L に電氣的に接続されるようにすることが望ましい。

【0180】

なお、サブ画素 18 に、オフ電流が低いトランジスタを用いることで、表示画面を書き換える必要がない場合（すなわち静止画を表示する場合）、一時的に駆動回路を停止することができる（以下、「アイドリングストップ」、もしくは「IDS 駆動」と呼ぶ。）。IDS 駆動によって、表示装置 10 の消費電力を低減することができる。

【0181】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0182】

（実施の形態 5）

次いで、本実施の形態では、反射型表示素子と発光型表示素子とを用いた表示装置の構成例について説明する。なお、本実施の形態では、反射型表示素子として液晶素子を用い、発光型表示素子として E L 材料を用いた発光素子を用いる場合を例に挙げて、表示装置の構成例について説明する。

【0183】

図 17 (A) に、本発明の一態様に係る表示装置 10 の断面の構造を一例として示す。図 17 (A) に示す表示装置 10 は、発光素子 203 と、液晶素子 204 と、発光素子 203 への電流の供給を制御する機能を有するトランジスタ 205 と、液晶素子 204 への電圧の供給を制御する機能を有するトランジスタ 206 とを有する。そして、発光素子 203 と、液晶素子 204 と、トランジスタ 205 と、トランジスタ 206 とは、基板 201 と基板 202 の間に位置する。

【0184】

また、表示装置 10 において液晶素子 204 は、画素電極 207 と、共通電極 208 と、液晶層 209 とを有する。画素電極 207 は、トランジスタ 206 に電氣的に接続されている。そして、画素電極 207 と共通電極 208 の間に印加される電圧にしたがって液晶層 209 の配向が制御される。なお、図 17 (A) では、画素電極 207 が可視光を反射する機能を有し、共通電極 208 が可視光を透過する機能を有する場合を例示しており、基板 202 側から入射した光が白抜きの矢印で示すように画素電極 207 において反射し、再び基板 202 側から放射される。

【0185】

また、発光素子 203 は、トランジスタ 205 に電氣的に接続されている。発光素子 203 から発せられる光は、基板 202 側に放射される。なお、図 17 (A) では、画素電極 207 が可視光を反射する機能を有し、共通電極 208 が可視光を透過する機能を有する場合を例示しているため、発光素子 203 から発せられる光は、白抜きの矢印で示すように画素電極 207 と重ならない領域を通過し、共通電極 208 が位置する領域を通過して、基板 202 側から放射される。

【0186】

10

20

30

40

50

そして、図 17 (A) に示す表示装置 10 では、トランジスタ 205 とトランジスタ 206 とが同一の層 210 に位置しており、トランジスタ 205 とトランジスタ 206 とが含まれる層 210 は、液晶素子 204 と発光素子 203 の間の領域を有する。なお、少なくとも、トランジスタ 205 が有する半導体層と、トランジスタ 206 が有する半導体層とが同一の絶縁表面上に位置している場合、トランジスタ 205 とトランジスタ 206 とが同一の層 210 に含まれていると言える。

【0187】

上記構成により、トランジスタ 205 とトランジスタ 206 とを共通の作製工程で作製することができる。

【0188】

次いで、図 17 (B) に、本発明の一態様に係る表示装置 10 の別の構成について、断面の構造を一例として示す。図 17 (B) に示す表示装置 10 は、トランジスタ 205 とトランジスタ 206 とが異なる層に含まれている点において、図 17 (A) に示す表示装置 10 と構成が異なる。

【0189】

具体的に、図 17 (B) に示す表示装置 10 では、トランジスタ 205 が含まれる層 210 a と、トランジスタ 206 が含まれる層 210 b とを有し、層 210 a と層 210 b とは、液晶素子 204 と発光素子 203 の間の領域を有する。そして、図 17 (B) に示す表示装置 10 では、層 210 a が層 210 b よりも発光素子 203 側に近い。なお、少なくとも、トランジスタ 205 が有する半導体層と、トランジスタ 206 が有する半導体層とが異なる絶縁表面上に位置している場合、トランジスタ 205 とトランジスタ 206 とが異なる層に含まれていると言える。

【0190】

上記構成により、トランジスタ 205 と、トランジスタ 205 に電氣的に接続される各種配線とを、トランジスタ 206 と、トランジスタ 206 に電氣的に接続される各種配線とを、部分的に重ねることができるため、画素のサイズを小さく抑え、表示装置 10 の高精細化を実現することができる。

【0191】

次いで、図 17 (C) に、本発明の一態様に係る表示装置 10 の別の構成について、断面の構造を一例として示す。図 17 (C) に示す表示装置 10 は、トランジスタ 205 とトランジスタ 206 とが同一の層に含まれている点では、図 17 (A) に示す表示装置 10 と構成は同じである。ただし、図 17 (C) に示す表示装置 10 は、トランジスタ 205 とトランジスタ 206 とが含まれている層が、発光素子 203 よりも基板 201 側に近い点において、図 17 (A) に示す表示装置 10 と構成が異なる。

【0192】

具体的に、図 17 (C) に示す表示装置 10 では、トランジスタ 205 とトランジスタ 206 とが含まれる層 210 を有する。そして、層 210 は、発光素子 203 と基板 201 との間の領域を有する。また、液晶素子 204 は、発光素子 203 よりも基板 202 側に近い。

【0193】

上記構成により、トランジスタ 205 とトランジスタ 206 とを共通の作製工程で作製することができる。また、液晶素子 204 とトランジスタ 206 の電氣的な接続を行う配線と、発光素子 203 とトランジスタ 205 の電氣的な接続を行う配線とを、層 210 に対して同一の側に設ければよい。具体的には、液晶素子 204 とトランジスタ 206 の電氣的な接続を行う配線を、トランジスタ 206 の半導体層上に形成でき、なおかつ、発光素子 203 とトランジスタ 205 の電氣的な接続を行う配線を、トランジスタ 205 の半導体層上に形成することができる。よって、図 17 (A) に示す表示装置 10 の場合に比べて作成工程を簡素化することができる。

【0194】

なお、図 17 では、2つの液晶素子 204 に対して1つの発光素子 203 が対応している

10

20

30

40

50

断面構造を例示しているが、本発明の一態様に係る表示装置は、１つの液晶素子２０４に対して１つの発光素子２０３が対応している断面構造を有していても良いし、１つの液晶素子２０４に対して複数の発光素子２０３が対応している断面構造を有していても良い。

【０１９５】

また、図１７では、液晶素子２０４が有する画素電極２０７が、可視光を反射する機能を有する場合を例示しているが、画素電極２０７は可視光を透過する機能を有していても良い。この場合、バックライトやフロントライトなどの光源を表示装置１０に設けても良いし、液晶素子２０４を用いて画像を表示する際に発光素子２０３を光源として用いても良い。

【０１９６】

次いで、図４（Ｂ）に示した表示装置１０を例に挙げて、反射型表示素子と発光型表示素子とを用いた表示装置１０の具体的な構成例について説明する。

【０１９７】

図１８に、表示装置１０の断面構造の一例を示す。なお、図１８では、サブ画素１８が図１２乃至図１４に示す構成を有し、サブ画素１９が図１５（Ｂ）に示す構成を有する場合の、表示装置１０の断面構造を例示している。

【０１９８】

図１８に示す表示装置１０は、基板２５０と基板２５１の間に、液晶素子６０と、発光素子６１とが積層された構成を有し、液晶素子６０と、発光素子６１との間に画素１７が有するトランジスタ６２、６４、６５が位置する構成を有する。具体的に図１８では、基板２５０側から、液晶素子６０と、トランジスタ６２及びトランジスタ６５と、トランジスタ６４と、発光素子６１とが順に積層されている。

【０１９９】

また、図１８に示す表示装置１０では、容量素子６６ａと、容量素子６６ｂと、容量素子６３とを、基板２５０と基板２５１の間に有する。液晶素子６０と、トランジスタ６２と、容量素子６３とがサブ画素１８に含まれ、発光素子６１と、トランジスタ６４及びトランジスタ６５と、容量素子６６ａ及び容量素子６６ｂとがサブ画素１９に含まれる。

【０２００】

具体的に、図１８では、基板２５０上に、共通電極としての機能を有する導電層３００が位置し、導電層３００上に配向膜としての機能を有する絶縁層３０１が位置する。絶縁層３０１上に液晶材料を含む液晶層３０２が位置し、液晶層３０２上に配向膜としての機能を有する絶縁層３０３が位置する。絶縁層３０３上に画素電極としての機能を有する導電層３０４ａ及び導電層３０４ｂが位置する。液晶素子６０は、導電層３００と、液晶層３０２と、導電層３０４ｂとを有する。

【０２０１】

なお、図１８では、共通電極としての機能を有する導電層３００が可視光を透過する機能を有し、画素電極としての機能を有する導電層３０４ａ及び導電層３０４ｂが可視光を反射する機能を有する。上記構成により、白抜き矢印で示すように、基板２５０側から液晶素子６０に入射した光は、導電層３０４ａ及び導電層３０４ｂで反射され、導電層３００を透過し、基板２５０側から放射される。

【０２０２】

導電層３０４ａ及び導電層３０４ｂ上には絶縁層３０５が位置し、絶縁層３０５上には導電層３０６が位置する。導電層３０６には、例えば共通電極としての機能を有する導電層３００と同程度の電位を供給することができる。そして、容量素子６３は、液晶素子６０の画素電極としての機能を有する導電層３０４ｂと、絶縁層３０５と、導電層３０６とを有する。

【０２０３】

導電層３０６上には絶縁層３０７が位置し、絶縁層３０７上には導電層３０８、導電層３０９、導電層３１０が位置する。導電層３１０は、絶縁層３０５及び絶縁層３０７が有する開口部を介して導電層３０４ｂと電氣的に接続されている。導電層３０８はトランジス

10

20

30

40

50

タ 6 5 のゲート電極としての機能を有し、導電層 3 0 9 はトランジスタ 6 2 のゲート電極としての機能を有する。

【 0 2 0 4 】

導電層 3 0 8、導電層 3 0 9、導電層 3 1 0 上には絶縁層 3 1 1 が位置し、絶縁層 3 1 1 上には半導体層 3 1 2 と、半導体層 3 1 3 が位置する。絶縁層 3 1 1 は、トランジスタ 6 5 のゲート絶縁層としての機能を有し、トランジスタ 6 2 のゲート絶縁層としての機能を有する。半導体層 3 1 2 上には、半導体層 3 1 2 に電氣的に接続された導電層 3 1 4 及び導電層 3 1 5 が位置する。導電層 3 1 4 及び導電層 3 1 5 は、トランジスタ 6 5 のソース電極またはドレイン電極としての機能を有する。また、導電層 3 1 4 はトランジスタ 6 4 のゲート電極としての機能を有する。

10

【 0 2 0 5 】

また、半導体層 3 1 3 上には、半導体層 3 1 3 に電氣的に接続された導電層 3 1 6 及び導電層 3 1 7 が位置する。導電層 3 1 6 及び導電層 3 1 7 は、トランジスタ 6 2 のソース電極またはドレイン電極としての機能を有する。導電層 3 1 7 は、絶縁層 3 1 1 が有する開口部を介して導電層 3 1 0 に電氣的に接続されている。

【 0 2 0 6 】

導電層 3 1 4 乃至導電層 3 1 7 上には絶縁層 3 1 9 が位置し、絶縁層 3 1 9 上には半導体層 3 2 0 が位置する。絶縁層 3 1 9 はトランジスタ 6 4 のゲート絶縁層としての機能を有する。半導体層 3 2 0 上には、半導体層 3 2 0 に電氣的に接続された導電層 3 2 1 及び導電層 3 2 2 が位置する。導電層 3 2 1 及び導電層 3 2 2 は、トランジスタ 6 4 のソース電極またはドレイン電極としての機能を有する。また、容量素子 6 6 b は、導電層 3 2 1 と、絶縁層 3 1 9 と、導電層 3 1 4 とを有する。容量素子 6 6 a は、導電層 3 2 2 と、絶縁層 3 1 9 と、導電層 3 1 4 とを有する。

20

【 0 2 0 7 】

導電層 3 2 1 及び導電層 3 2 2 上には絶縁層 3 2 3 が位置し、絶縁層 3 2 3 上には絶縁層 3 2 4 が位置し、絶縁層 3 2 4 上には導電層 3 2 5 が位置する。導電層 3 2 5 は、絶縁層 3 2 3 及び絶縁層 3 2 4 が有する開口部を介して導電層 3 2 2 に電氣的に接続されている。そして、導電層 3 2 2 は半導体層 3 2 0 と重なる領域を有し、バックゲート電極としての機能を有する。

【 0 2 0 8 】

また、絶縁層 3 2 4 上には色素を有する材料を含んだ樹脂層 3 2 6 が位置する。樹脂層 3 2 6 は発光素子 6 1 のカラーフィルタとしての機能を有し、特定の波長領域の光を透過する機能を有する。よって、樹脂層 3 2 6 は発光素子 6 1 と重なる領域を有する。また、発光素子 6 1 から発せられた光は、白抜き矢印で示すように導電層 3 0 4 a と導電層 3 0 4 b の間を通過して、基板 2 5 0 側に放射される。そのため、樹脂層 3 2 6 は導電層 3 0 4 a と導電層 3 0 4 b の間の領域と重なる領域を有する。

30

【 0 2 0 9 】

また、発光素子 6 1 の画素電極としての機能を有する導電層 3 2 8 と、導電層 3 2 5 とを電氣的に接続させるための開口部の形成を容易にし、導電層 3 2 8 と、導電層 3 2 5 との電氣的に接続を確実にするために、樹脂層 3 2 6 は、導電層 3 2 5 と異なる領域に位置することが望ましい。

40

【 0 2 1 0 】

なお、本発明の一態様は、カラーフィルタ方式に限られず、塗り分け方式、色変換方式、又は量子ドット方式等を適用してもよい。

【 0 2 1 1 】

導電層 3 2 5 及び樹脂層 3 2 6 上には、絶縁層 3 2 7 が位置し、絶縁層 3 2 7 上には発光素子 6 1 の画素電極としての機能を有する導電層 3 2 8 が位置する。導電層 3 2 8 は、絶縁層 3 2 7 が有する開口部を介して導電層 3 2 5 に電氣的に接続されている。導電層 3 2 8 上には開口部を有する樹脂層 3 3 1 が位置する。樹脂層 3 3 1 は隔壁としての機能を有する。樹脂層 3 3 1 上に絶縁層 3 3 3 が位置する。絶縁層 3 3 3 は、基板 2 5 1 と発光素

50

子 6 1 との間の空間を維持するためのスペーサとしての機能を有する。

【 0 2 1 2 】

樹脂層 3 3 1 の開口部において、導電層 3 2 8 上には E L 層 3 2 9 が位置し、E L 層 3 2 9 上には発光素子 6 1 の共通電極としての機能を有する導電層 3 3 0 が位置する。発光素子 6 1 は、導電層 3 2 8 と、E L 層 3 2 9 と、導電層 3 3 0 とを有する。導電層 3 3 0 上に封止層 3 3 4 が位置し、封止層 3 3 4 上に基板 2 5 1 が位置する。

【 0 2 1 3 】

導電層 3 2 8 と導電層 3 3 0 は、一方が陽極として機能し、他方が陰極として機能する。導電層 3 2 8 と導電層 3 3 0 の間に、発光素子 6 1 の閾値電圧より高い電圧を印加すると、E L 層 3 2 9 に陽極側から正孔が注入され、陰極側から電子が注入される。注入された電子と正孔は E L 層 3 2 9 において再結合し、E L 層 3 2 9 に含まれる発光物質が発光する。

10

【 0 2 1 4 】

可視光を透過する導電性材料としては、例えば、インジウム (I n)、亜鉛 (Z n)、錫 (S n) の中から選ばれた一種を含む材料を用いるとよい。具体的には、酸化インジウム、インジウム錫酸化物 (I T O : I n d i u m T i n O x i d e)、インジウム亜鉛酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、酸化シリコンを含むインジウム錫酸化物 (I T S O)、酸化亜鉛、ガリウムを含む酸化亜鉛などが挙げられる。なお、グラフェンを含む膜を用いることもできる。グラフェンを含む膜は、例えば膜状に形成された酸化グラフェンを含む膜を還元して形成することができる。

20

【 0 2 1 5 】

可視光を反射する導電性材料としては、例えば、アルミニウム、銀、またはこれらの金属材料を含む合金等が挙げられる。そのほか、金、白金、ニッケル、タングステン、クロム、モリブデン、鉄、コバルト、銅、もしくはパラジウム等の金属材料、またはこれら金属材料を含む合金を用いることができる。また、上記金属材料または合金に、ランタン、ネオジム、またはゲルマニウム等が添加されていてもよい。アルミニウムとチタンの合金、アルミニウムとニッケルの合金、アルミニウムとネオジムの合金、アルミニウム、ニッケル、及びランタンの合金 (A l - N i - L a) 等のアルミニウムを含む合金 (アルミニウム合金)、銀と銅の合金、銀とパラジウムと銅の合金 (A g - P d - C u 、 A P C とも記す)、銀とマグネシウムの合金等の銀を含む合金を用いてもよい。

30

【 0 2 1 6 】

トランジスタに用いる半導体材料の結晶性についても特に限定されず、非晶質半導体、結晶性を有する半導体 (微結晶半導体、多結晶半導体、単結晶半導体、又は一部に結晶領域を有する半導体) のいずれを用いてもよい。結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制できるため好ましい。

【 0 2 1 7 】

また、トランジスタに用いる半導体材料としては、酸化物半導体を用いることができる。代表的には、インジウムを含む酸化物半導体などを適用できる。特にシリコンよりもバンドギャップが広く、且つキャリア密度の小さい半導体材料を用いると、トランジスタのオフ状態における電流を低減できるため好ましい。

40

【 0 2 1 8 】

半導体層に酸化物半導体を用いる場合、例えば少なくともインジウム、亜鉛及び M (アルミニウム、チタン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、セリウム、スズ、ネオジムまたはハフニウム等の金属) を含む I n - M - Z n 系酸化物で表記される材料を半導体層が含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

【 0 2 1 9 】

50

スタビライザーとしては、上記Mで記載の金属を含め、例えば、ガリウム、スズ、ハフニウム、アルミニウム、またはジルコニウム等がある。また、他のスタビライザーとしては、ランタノイドである、ランタン、セリウム、プラセオジウム、ネオジウム、サマリウム、ユウロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウム、ルテチウム等がある。

【0220】

半導体層を構成する酸化物半導体として、例えば、In-Ga-Zn系酸化物、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

10

【0221】

なお、ここで、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

20

【0222】

なお、本実施の形態では、反射型表示素子として液晶素子を用いた表示装置の構成を例示したが、反射型表示素子として、液晶素子のほかに、シャッター方式のMEMS(Micro Electro Mechanical System)素子、光干渉方式のMEMS素子、マイクロカプセル方式、電気泳動方式、エレクトロウェットティング方式、電子粉流体(登録商標)方式等を適用した表示素子などを用いることができる。

【0223】

また、発光型表示素子として、例えばOLED(Organic Light Emitting Diode)、LED(Light Emitting Diode)、QLED(Quantum-dot Light Emitting Diode)などの自発光性の発光素子を用いることができる。

30

【0224】

液晶素子としては、例えば垂直配向(VA:Vertical Alignment)モードが適用された液晶素子を用いることができる。垂直配向モードとしては、MVA(Multi-Domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASV(Advanced Super View)モードなどを用いることができる。

【0225】

また、液晶素子には、様々なモードが適用された液晶素子を用いることができる。例えばVAモードのほかに、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optically Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モード等が適用された液晶素子を用いることができる。

40

【0226】

なお、液晶素子に用いる液晶としては、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶(PDLC:Polymer Dispersed Liquid Crystal)、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液

50

晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

【0227】

また、液晶材料としては、ポジ型の液晶、またはネガ型の液晶のいずれを用いてもよく、適用するモードや設計に応じて最適な液晶材料を用いればよい。

【0228】

また、液晶の配向を制御するため、配向膜を設けることができる。なお、横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために数重量%以上のカイラル剤を混合させた液晶組成物を液晶層に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性である。また、ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。

10

【0229】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0230】

(実施の形態6)

20

次いで、図19に、本発明の一態様に係る表示装置10の、外観の一例を示す。図19に示す表示装置10は、基板500上に画素部501と、ゲートドライバ502と、ゲートドライバ503とを有する。

【0231】

ゲートドライバ502と、ゲートドライバ503とは、共に、第1の表示素子を有するサブ画素を選択する機能と、第2の表示素子を有するサブ画素を選択する機能とを併せ持っても良いし、ゲートドライバ502が第1の表示素子を有するサブ画素を選択する機能を有し、ゲートドライバ503が第2の表示素子を有するサブ画素を選択する機能を有していても良い。

30

【0232】

また、IC504はソースドライバを有し、配線506を介して画素部501に電氣的に接続されている。また、IC505はソースドライバを有し、配線506を介して画素部501に電氣的に接続されている。IC504が有するソースドライバと、IC505が有するソースドライバとは、共に、第1の表示素子を有するサブ画素への画像信号の供給を制御する機能と、第2の表示素子を有するサブ画素への画像信号の供給を制御する機能とを併せ持っている。

【0233】

また、FPC508はIC504に電氣的に接続されており、FPC509はIC505に電氣的に接続されている。FPC510は配線511を介してゲートドライバ502に電氣的に接続されている。また、FPC510は配線512を介してゲートドライバ503に電氣的に接続されている。

40

【0234】

次いで、図19に示す画素部501が有する画素513が、白色(W)に対応した液晶素子を有するサブ画素と、赤色(R)に対応した発光素子を有するサブ画素と、緑色(G)に対応した発光素子を有するサブ画素と、青色(B)に対応した発光素子を有するサブ画素と、黄色(Y)に対応した発光素子を有するサブ画素と、を有する場合を例に挙げて、液晶素子の表示領域と発光素子の表示領域のレイアウトの一例を図20に示す。

【0235】

図20では、画素513が、白色(W)に対応した液晶素子の表示領域514wと、赤色(R)に対応した発光素子の表示領域515rと、緑色(G)に対応した発光素子の表示

50

領域 5 1 5 g と、青色 (B) に対応した発光素子の表示領域 5 1 5 b と、黄色 (Y) に対応した発光素子の表示領域 5 1 5 g と、を有する。

【 0 2 3 6 】

なお、緑色、青色、赤色、黄色にそれぞれ対応する発光素子を用いて色再現性の良い黒を表示する際、発光素子の面積あたりに流れる電流量は、黄色に対応する発光素子が最も小さいことが求められる。図 2 0 では、緑色に対応する発光素子の表示領域 5 1 5 g と、赤色に対応する発光素子の表示領域 5 1 5 r と、青色に対応する発光素子の表示領域 5 1 5 b とが、ほぼ同等の面積を有し、それらに対して黄色に対応する発光素子の表示領域 5 1 5 y の面積はやや小さいため、色再現性の良い黒を表示することが可能である。

【 0 2 3 7 】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することが可能である。

【 0 2 3 8 】

(実施の形態 7)

次いで、図 1 に示す表示装置 1 0 が有するメモリ 1 4 の構成例について説明する。

【 0 2 3 9 】

図 2 1 に、メモリ 1 4 の構成例を示す。図 2 1 に示すメモリ 1 4 は、メモリセル 5 0 を複数有するセルアレイ 5 1 と、センスアンプ 5 2 と、カラムデコーダ 5 3 とを有する。メモリ 1 4 は、トランジスタ 5 4 と、容量素子 5 5 とを有する。トランジスタ 5 4 は、画像データに対応した電位を容量素子に供給する機能を有する。

【 0 2 4 0 】

センスアンプ 5 2 は、メモリセル 5 0 からデータを読み出す際に電位を増幅させる機能を有する。また、カラムデコーダ 5 3 は、データの書き込み時、または読み出し時におけるメモリセル 5 0 の選択を、指定されたアドレスに従って行う機能を有する。

【 0 2 4 1 】

なお、シリコンよりもバンドギャップが広く真性キャリア密度がシリコンよりも低い、酸化物半導体などの半導体膜に、チャネル形成領域が形成されるトランジスタ (以下、OS トランジスタと呼ぶ) は、通常シリコンやゲルマニウムなどの半導体で形成されたトランジスタに比べて、オフ電流を著しく小さくすることが可能である。本発明の一態様では、トランジスタ 5 4 として OS トランジスタを用いることで、容量素子 5 5 からトランジスタ 5 4 を介して電荷がリークするのを防ぐことができ、データがメモリセル 5 0 において保持される期間を長く確保することができる。よって、メモリセル 5 0 の面積を縮小化することにより、容量素子 5 5 の有する容量値が小さくなくても、リフレッシュ動作の頻度を低く抑えることができる。

【 0 2 4 2 】

図 2 2 に、メモリセル 5 0 が有するトランジスタ 5 4 及び容量素子 5 5 と、センスアンプ 5 2 またはカラムデコーダ 5 3 が有するトランジスタ 5 6 の積層構造を例示する。

【 0 2 4 3 】

メモリ 1 4 は、CMOS 層 5 6 1、配線層 W₁ 乃至 W₅、トランジスタ層 5 6 2、配線層 W₆、W₇ の積層で構成されている。

【 0 2 4 4 】

CMOS 層 5 6 1 には、シリコンをチャネル形成領域に有するトランジスタ 5 6 が設けられている。当該トランジスタ 5 6 はチャネル形成領域を単結晶シリコンウエハ 5 6 0 に有する。トランジスタ 5 6 のゲート 5 6 3 は配線層 W₁ 乃至 W₅ を介してトランジスタ 5 4 のソース又はドレインの他方と、容量素子 5 5 の第 2 の電極 5 6 5 と、に電氣的に接続されている。

【 0 2 4 5 】

トランジスタ層 5 6 2 には、トランジスタ 5 4 が設けられている。図 2 2 では、トランジスタ 5 4 がチャネル形成領域に金属酸化物を有する。なお、本実施の形態では、トランジスタ 5 4 がバックゲート電極を配線層 W₅ に有する場合を例示している。また、配線層 W₆ には、容量素子 5 5 が設けられている。

10

20

30

40

50

【 0 2 4 6 】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【 0 2 4 7 】

(実施の形態 8)

図 2 3 に、本発明の一態様に係る表示装置を用いた電子機器の具体例を示す。

【 0 2 4 8 】

図 2 3 (A) は携帯型ゲーム機であり、筐体 5 0 0 1、筐体 5 0 0 2、本発明の一態様に係る表示装置 5 0 0 3、発明の一態様に係る表示装置 5 0 0 4、マイクロホン 5 0 0 5、スピーカ 5 0 0 6、操作キー 5 0 0 7、スタイラス 5 0 0 8 等を有する。なお、図 2 3 (A) に示した携帯型ゲーム機は、表示装置 5 0 0 3 と表示装置 5 0 0 4 とで示す二つの表示装置を有しているが、携帯型ゲーム機が有する表示装置の数は、これに限定されない。携帯型ゲーム機に本発明の一態様に係る表示装置 5 0 0 3 及び表示装置 5 0 0 4 を用いることで、使用環境における外光の強度に左右されずに、表示装置 5 0 0 3 及び表示装置 5 0 0 4 に表示品質の高い画像を表示することができ、消費電力も抑えることができる。

10

【 0 2 4 9 】

図 2 3 (B) は腕時計型の携帯情報端末であり、筐体 5 2 0 1、本発明の一態様に係る表示装置 5 2 0 2、ベルト 5 2 0 3、光センサ 5 2 0 4、スイッチ 5 2 0 5 等を有する。腕時計型の携帯情報端末に本発明の一態様に係る表示装置 5 2 0 2 を用いることで、使用環境における外光の強度に左右されずに、表示装置 5 2 0 2 に表示品質の高い画像を表示することができ、消費電力も抑えることができる。

20

【 0 2 5 0 】

図 2 3 (C) はタブレット型のパーソナルコンピュータであり、筐体 5 3 0 1、筐体 5 3 0 2、本発明の一態様に係る表示装置 5 3 0 3、光センサ 5 3 0 4、光センサ 5 3 0 5、スイッチ 5 3 0 6 等を有する。表示装置 5 3 0 3 は、筐体 5 3 0 1 及び筐体 5 3 0 2 によって支持されている。そして、表示装置 5 3 0 3 は可撓性を有する基板を用いて形成されているため形状をフレキシブルに曲げることができる機能を有する。筐体 5 3 0 1 と筐体 5 3 0 2 の間の角度をヒンジ 5 3 0 7 及び 5 3 0 8 において変更することで、筐体 5 3 0 1 と筐体 5 3 0 2 が重なるように、表示装置 5 3 0 3 を折りたたむことができる。図示してはいないが、開閉センサを内蔵させ、上記角度の変化を表示装置 5 3 0 3 において使用条件の情報として用いても良い。また、光センサ 5 3 0 4 は筐体 5 3 0 1 に付いており、光センサ 5 3 0 5 は筐体 5 3 0 2 に付いている。上記構成により、筐体 5 3 0 1 に支持されている領域における表示装置 5 3 0 3 への外光の入射角の情報と、筐体 5 3 0 2 に支持されている領域における表示装置 5 3 0 3 への外光の入射角の情報を、共に表示装置 5 3 0 3 における使用条件の情報として用いることができる。タブレット型のパーソナルコンピュータに本発明の一態様に係る表示装置 5 3 0 3 を用いることで、使用環境における外光の強度に左右されずに、表示装置 5 3 0 3 に表示品質の高い画像を表示することができ、消費電力も抑えることができる。

30

【 0 2 5 1 】

図 2 3 (D) はビデオカメラであり、筐体 5 8 0 1、筐体 5 8 0 2、本発明の一態様に係る表示装置 5 8 0 3、操作キー 5 8 0 4、レンズ 5 8 0 5、接続部 5 8 0 6 等を有する。操作キー 5 8 0 4 及びレンズ 5 8 0 5 は筐体 5 8 0 1 に設けられており、表示装置 5 8 0 3 は筐体 5 8 0 2 に設けられている。そして、筐体 5 8 0 1 と筐体 5 8 0 2 とは、接続部 5 8 0 6 により接続されており、筐体 5 8 0 1 と筐体 5 8 0 2 の間の角度は、接続部 5 8 0 6 により変更が可能である。表示装置 5 8 0 3 における映像を、接続部 5 8 0 6 における筐体 5 8 0 1 と筐体 5 8 0 2 との間の角度に従って切り替える構成としても良い。ビデオカメラに本発明の一態様に係る表示装置 5 8 0 3 を用いることで、使用環境における外光の強度に左右されずに、表示装置 5 8 0 3 に表示品質の高い画像を表示することができ、消費電力も抑えることができる。

40

【 0 2 5 2 】

図 2 3 (E) は腕時計型の携帯情報端末であり、曲面を有する筐体 5 7 0 1、本発明の一

50

態様に係る表示装置 5702 等を有する。本発明の一態様に係る表示装置 5702 に可撓性を有する基板を用いることで、曲面を有する筐体 5701 に表示装置 5702 を支持させることができ、フレキシブルかつ軽くて使い勝手の良い腕時計型の携帯情報端末を提供することができる。そして、腕時計型の携帯情報端末に本発明の一態様に係る表示装置 5702 を用いることで、使用環境における外光の強度に左右されずに、表示装置 5702 に表示品質の高い画像を表示することができ、消費電力も抑えることができる。

【0253】

図 23 (F) は携帯電話であり、曲面を有する筐体 5901 に、本発明の一態様に係る表示装置 5902、マイク 5907、スピーカ 5904、カメラ 5903、外部接続部 5906、操作部のボタン 5905 が設けられている。携帯電話に本発明の一態様に係る表示装置 5902 を用いることで、使用環境における外光の強度に左右されずに、表示装置 5902 に表示品質の高い画像を表示することができ、消費電力も抑えることができる。

10

【0254】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【符号の説明】

【0255】

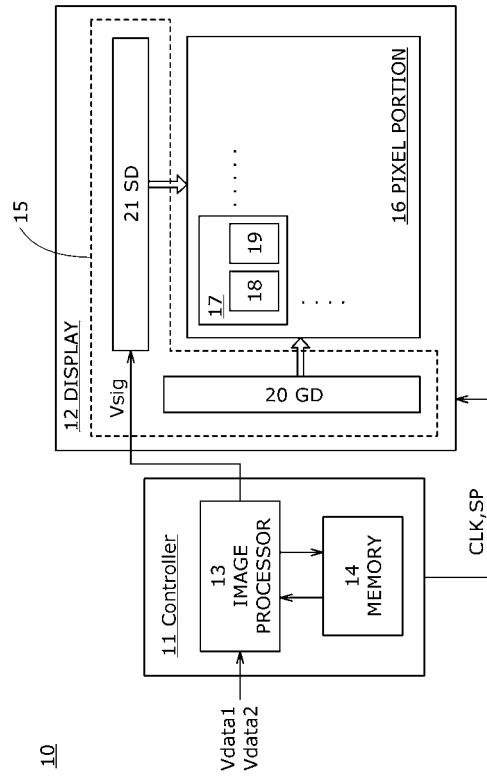
10	表示装置	
11	コントローラ	
12	表示部	
13	イメージプロセッサ	20
14	メモリ	
15	駆動回路	
16	画素部	
17	画素	
18	サブ画素	
19	サブ画素	
19a	サブ画素	
19b	サブ画素	
19c	サブ画素	
19d	サブ画素	30
19g	サブ画素	
19r	サブ画素	
19w	サブ画素	
20	ゲートドライバ	
21	ソースドライバ	
30	S D C	
32	D - L A T	
33	L S	
34	P T L	
35	A M P	40
50	メモリセル	
51	セルアレイ	
52	センスアンプ	
53	カラムデコーダ	
54	トランジスタ	
55	容量素子	
56	トランジスタ	
60	液晶素子	
61	発光素子	
62	トランジスタ	50

6 3	容量素子	
6 4	トランジスタ	
6 5	トランジスタ	
6 6	容量素子	
6 6 a	容量素子	
6 6 b	容量素子	
6 7	トランジスタ	
1 0 9	入力装置	
1 4 3	光センサ	
1 4 4	開閉センサ	10
1 4 6	加速度センサ	
1 5 0	インターフェース	
1 5 2	デコーダ	
1 5 3	センサコントローラ	
1 5 4	信号コントローラ	
1 5 5	クロック生成回路	
1 6 0	画像処理部	
1 7 0	メモリ	
1 7 1	A P	
1 7 3	タイミングコントローラ	20
1 7 5	レジスタ	
1 8 1	タッチパネル	
1 8 2	キーボード	
1 8 3	ポインティングデバイス	
1 8 5	ホスト	
2 0 1	基板	
2 0 2	基板	
2 0 3	発光素子	
2 0 4	液晶素子	
2 0 5	トランジスタ	30
2 0 6	トランジスタ	
2 0 7	画素電極	
2 0 8	共通電極	
2 0 9	液晶層	
2 1 0	層	
2 1 0 a	層	
2 1 0 b	層	
2 5 0	基板	
2 5 1	基板	
3 0 0	導電層	40
3 0 1	絶縁層	
3 0 2	液晶層	
3 0 3	絶縁層	
3 0 4 a	導電層	
3 0 4 b	導電層	
3 0 5	絶縁層	
3 0 6	導電層	
3 0 7	絶縁層	
3 0 8	導電層	
3 0 9	導電層	50

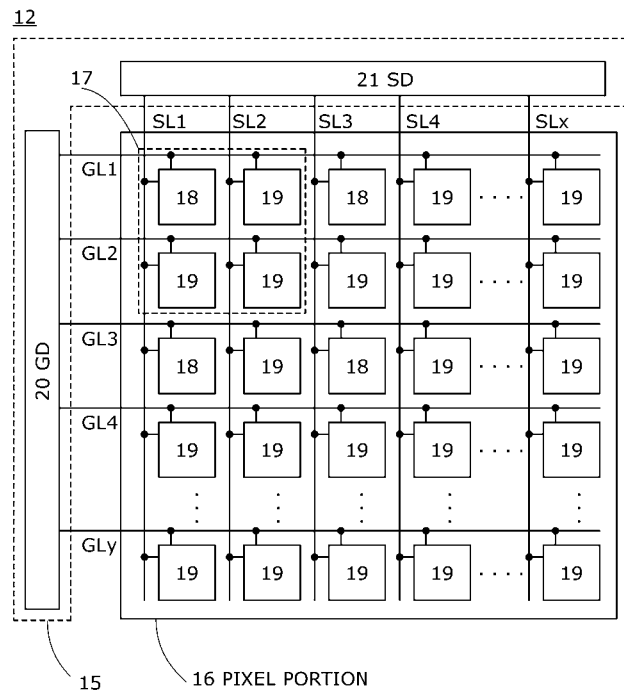
3 1 0	導電層	
3 1 1	絶縁層	
3 1 2	半導体層	
3 1 3	半導体層	
3 1 4	導電層	
3 1 5	導電層	
3 1 6	導電層	
3 1 7	導電層	
3 1 9	絶縁層	
3 2 0	半導体層	10
3 2 1	導電層	
3 2 2	導電層	
3 2 3	絶縁層	
3 2 4	絶縁層	
3 2 5	導電層	
3 2 6	樹脂層	
3 2 7	絶縁層	
3 2 8	導電層	
3 2 9	E L 層	
3 3 0	導電層	20
3 3 1	樹脂層	
3 3 3	絶縁層	
3 3 4	封止層	
5 0 0	基板	
5 0 1	画素部	
5 0 2	ゲートドライバ	
5 0 3	ゲートドライバ	
5 0 4	I C	
5 0 5	I C	
5 0 6	配線	30
5 0 8	F P C	
5 0 9	F P C	
5 1 0	F P C	
5 1 1	配線	
5 1 2	配線	
5 1 3	画素	
5 1 4 w	表示領域	
5 1 5 b	表示領域	
5 1 5 g	表示領域	
5 1 5 r	表示領域	40
5 1 5 y	表示領域	
5 6 0	単結晶シリコンウエハ	
5 6 1	C M O S 層	
5 6 2	トランジスタ層	
5 6 3	ゲート	
5 6 5	電極	
5 0 0 1	筐体	
5 0 0 2	筐体	
5 0 0 3	表示装置	
5 0 0 4	表示装置	50

5 0 0 5	マイクロホン	
5 0 0 6	スピーカ	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 2 0 1	筐体	
5 2 0 2	表示装置	
5 2 0 3	ベルト	
5 2 0 4	光センサ	
5 2 0 5	スイッチ	
5 3 0 1	筐体	10
5 3 0 2	筐体	
5 3 0 3	表示装置	
5 3 0 4	光センサ	
5 3 0 5	光センサ	
5 3 0 6	スイッチ	
5 3 0 7	ヒンジ	
5 7 0 1	筐体	
5 7 0 2	表示装置	
5 8 0 1	筐体	
5 8 0 2	筐体	20
5 8 0 3	表示装置	
5 8 0 4	操作キー	
5 8 0 5	レンズ	
5 8 0 6	接続部	
5 9 0 1	筐体	
5 9 0 2	表示装置	
5 9 0 3	カメラ	
5 9 0 4	スピーカ	
5 9 0 5	ボタン	
5 9 0 6	外部接続部	30
5 9 0 7	マイク	

【図 1】

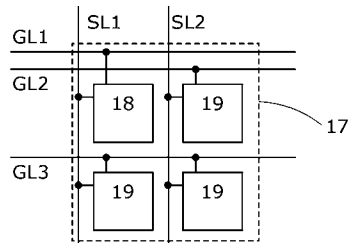


【図 2】

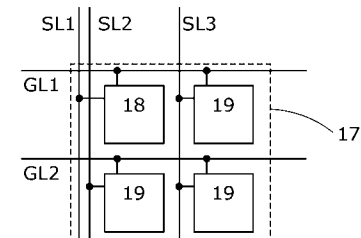


【図 3】

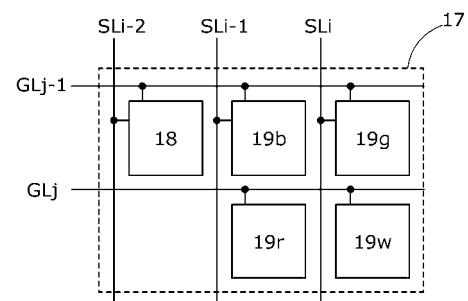
(A)



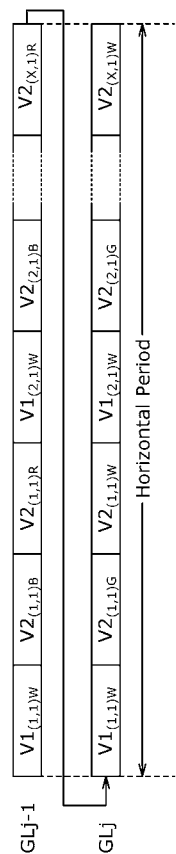
(B)



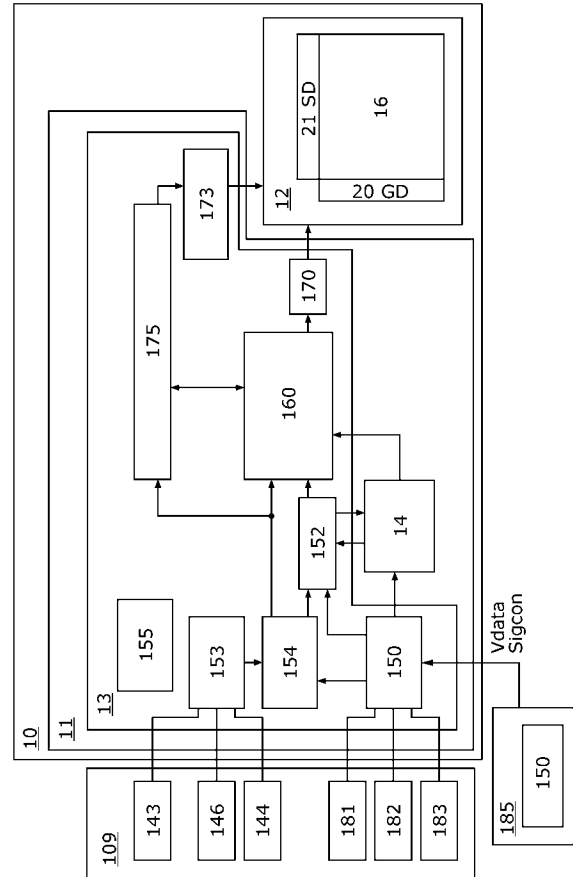
【図 4】



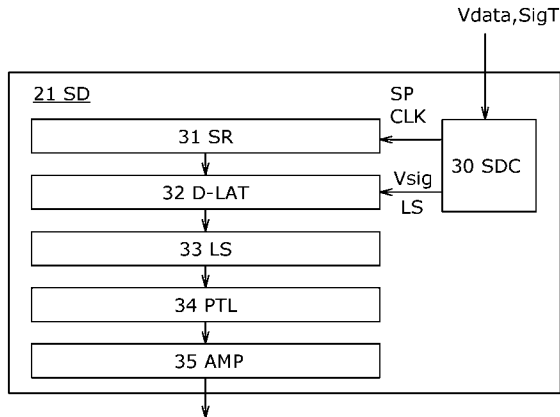
【図 9】



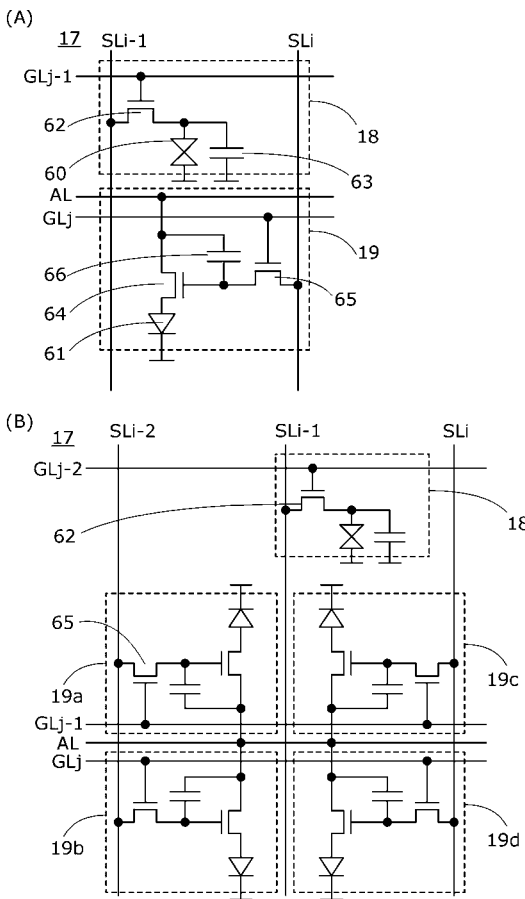
【図 10】



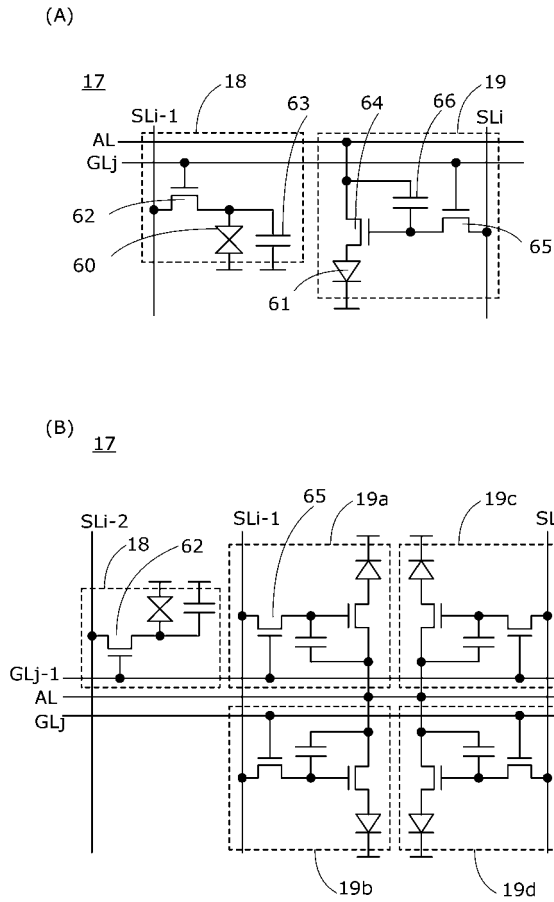
【図 11】



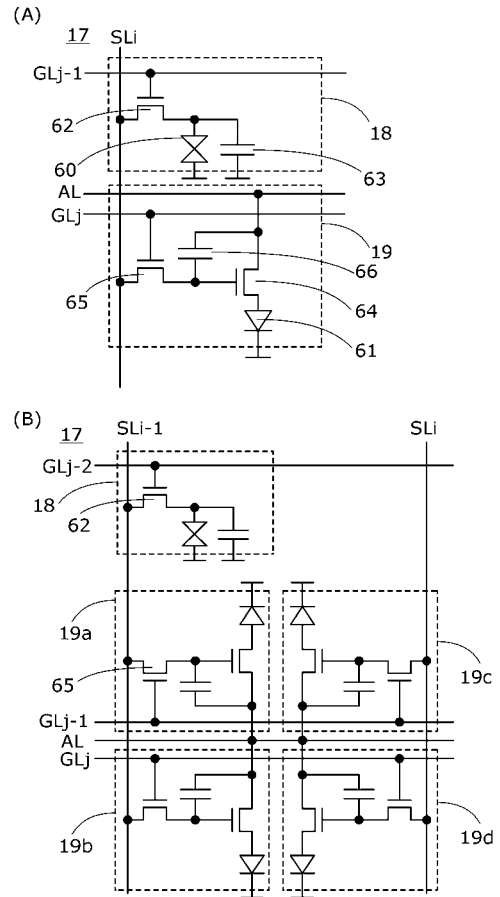
【図 12】



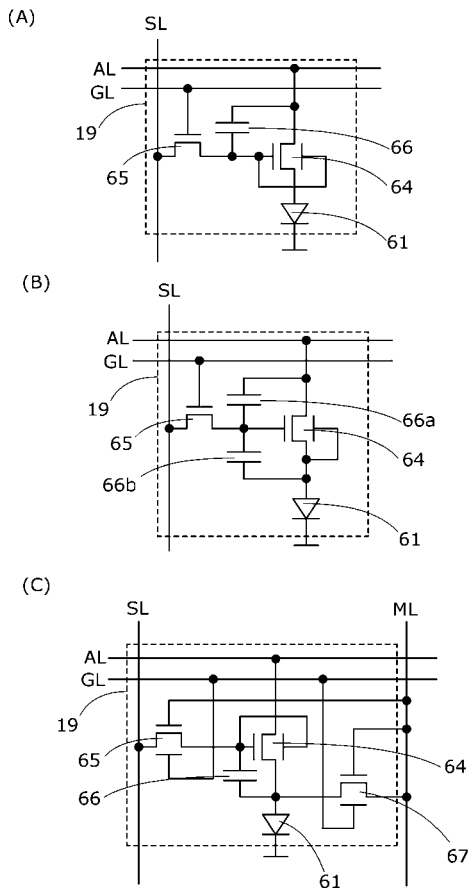
【図 1 3】



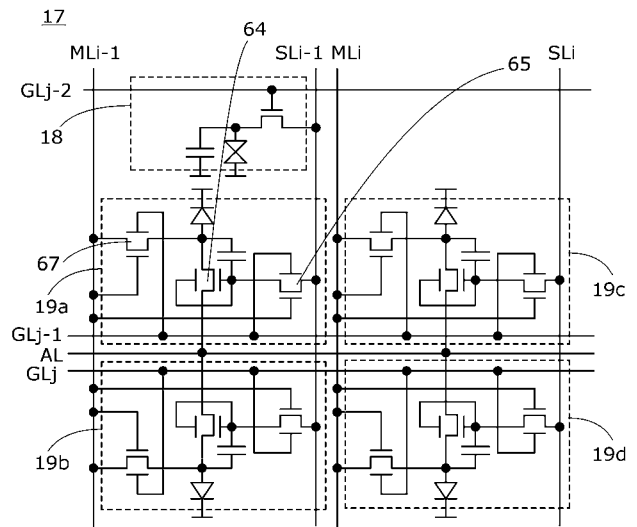
【図 1 4】



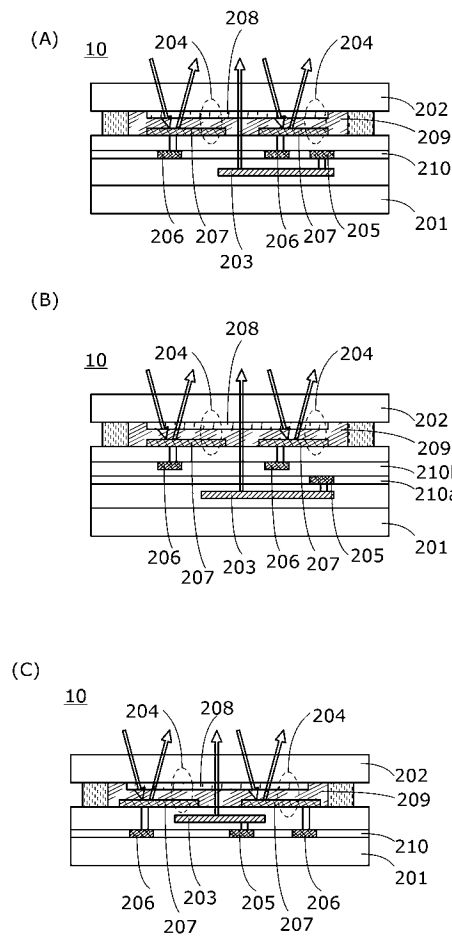
【図 1 5】



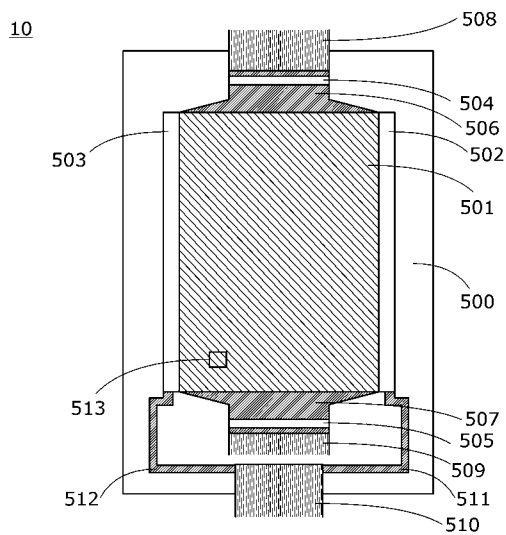
【図 1 6】



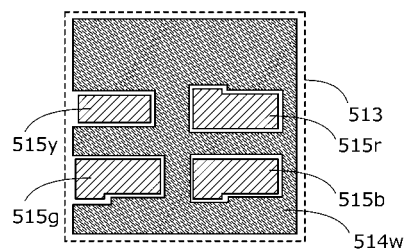
【図 17】



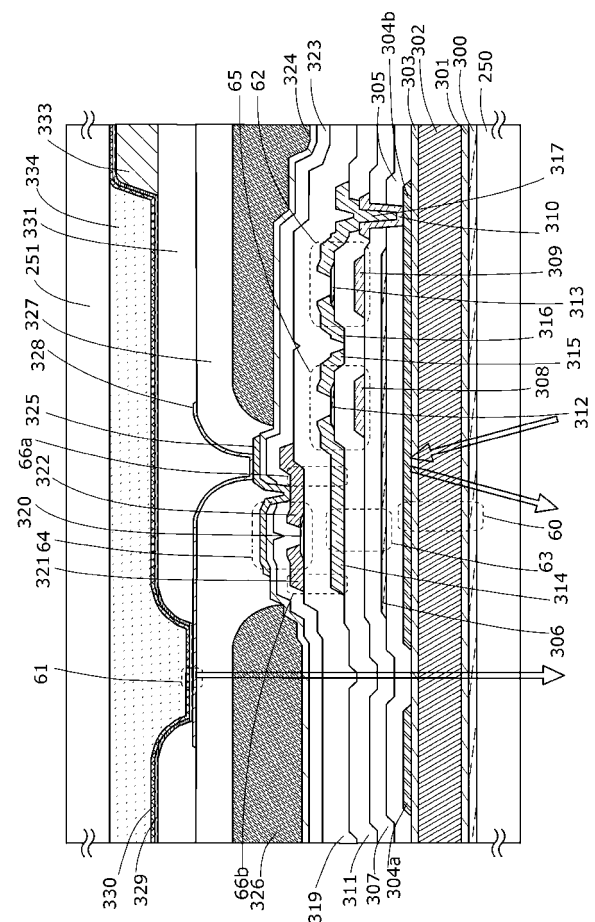
【図 19】



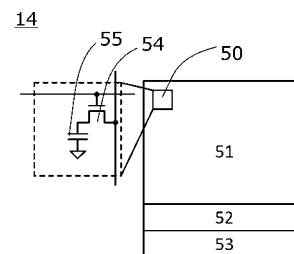
【図 20】



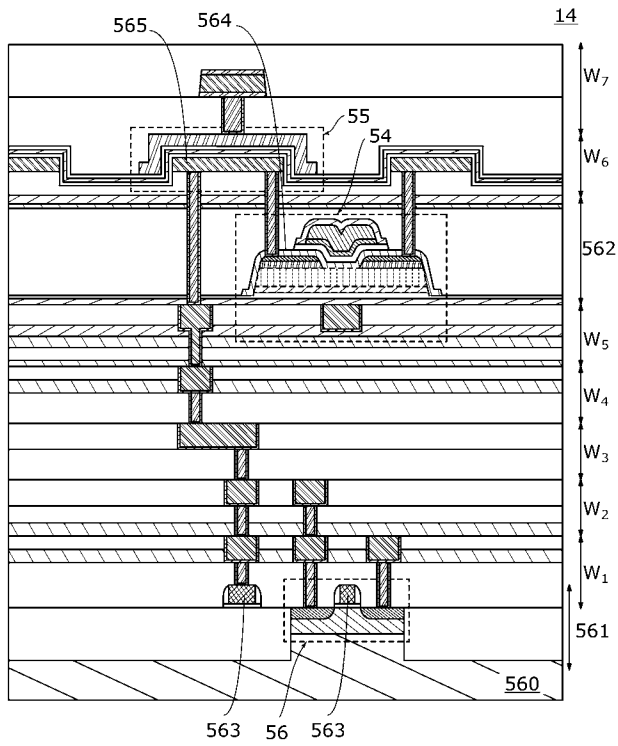
【図 18】



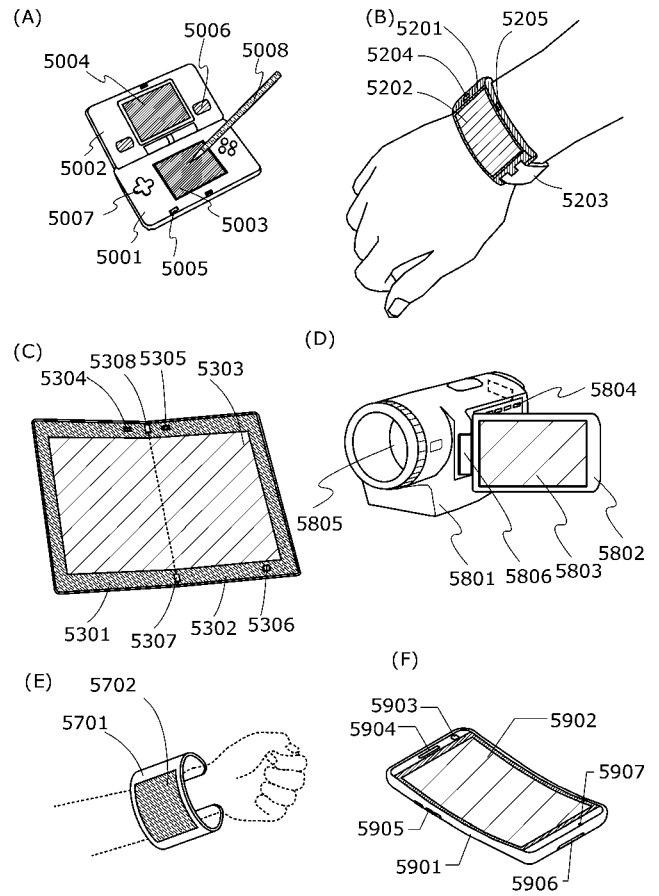
【図 21】



【図 22】



【図 23】



专利名称(译)	表示装置		
公开(公告)号	JP2018022061A	公开(公告)日	2018-02-08
申请号	JP2016153644	申请日	2016-08-04
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	青木健 黒川義元		
发明人	青木 健 黒川 義元		
IPC分类号	G09G3/20 G09G3/36 G09G3/3233 G09G3/3291 G09F9/46 G09F9/30 G09F9/33 G09F9/37 G02F1/133 H01L51/50		
FI分类号	G09G3/20.623.Q G09G3/20.624.B G09G3/20.642.K G09G3/36 G09G3/20.621.B G09G3/20.623.F G09G3/20.641.C G09G3/20.642.F G09G3/20.611.A G09G3/3233 G09G3/3291 G09G3/20.680.H G09G3/20.680.E G09G3/20.633.R G09F9/46.Z G09F9/30.380 G09F9/33 G09F9/37 G09F9/30.365 G02F1/133.550 H05B33/14.A G09G3/3266 G09G3/3275 H01L27/32		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZA32 2H193/ZA37 2H193/ZC25 2H193/ZF12 2H193/ZF16 2H193/ZF18 2H193/ZP16 3K107/AA01 3K107/BB01 3K107/CC41 3K107/CC45 3K107/EE03 3K107/EE57 3K107/EE65 5C006/AA02 5C006/AA09 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC21 5C006/AC24 5C006/AC26 5C006/AF03 5C006/AF04 5C006/AF22 5C006/AF24 5C006/AF25 5C006/AF26 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF46 5C006/AF51 5C006/AF52 5C006/AF63 5C006/AF68 5C006/AF69 5C006/AF72 5C006/AF73 5C006/AF83 5C006/AF85 5C006/BA01 5C006/BA12 5C006/BA13 5C006/BA15 5C006/BA16 5C006/BA19 5C006/BB08 5C006/BB16 5C006/BB21 5C006/BB28 5C006/BB29 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC16 5C006/BC22 5C006/BC23 5C006/BC24 5C006/BF02 5C006/BF03 5C006/BF04 5C006/BF05 5C006/BF11 5C006/BF24 5C006/BF25 5C006/BF38 5C006/BF39 5C006/BF42 5C006/BF46 5C006/EA01 5C006/EB05 5C006/EC02 5C006/EC05 5C006/FA04 5C006/FA16 5C006/FA33 5C006/FA36 5C006/FA42 5C006/FA48 5C006/FA54 5C006/FA56 5C080/AA06 5C080/AA07 5C080/AA10 5C080/AA17 5C080/BB08 5C080/CC03 5C080/CC08 5C080/DD02 5C080/DD04 5C080/DD07 5C080/DD23 5C080/DD25 5C080/DD26 5C080/DD29 5C080/EE01 5C080/EE19 5C080/EE28 5C080/EE29 5C080/EE30 5C080/FF03 5C080/FF11 5C080/FF13 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK04 5C080/KK07 5C080/KK43 5C080/KK49 5C080/KK50 5C094/AA51 5C094/BA23 5C094/BA27 5C094/BA43 5C094/BA52 5C094/BA62 5C094/BA75 5C094/CA19 5C094/CA20 5C094/DA03 5C094/DA09 5C094/DB01 5C094/GA10 5C094/HA03 5C094/HA07 5C094/HA08 5C380/AA01 5C380/AA03 5C380/AA08 5C380/AB08 5C380/AB09 5C380/AB11 5C380/AB12 5C380/AB16 5C380/AB21 5C380/AB34 5C380/AB36 5C380/AB37 5C380/AB40 5C380/AB41 5C380/AB42 5C380/AB45 5C380/AB46 5C380/AC02 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA01 5C380/BA06 5C380/BA10 5C380/BA12 5C380/BA22 5C380/BA43 5C380/BB12 5C380/BB13 5C380/BB17 5C380/BB19 5C380/BB23 5C380/BD02 5C380/CA04 5C380/CA12 5C380/CA16 5C380/CA17 5C380/CA23 5C380/CA26 5C380/CA32 5C380/CA48 5C380/CA52 5C380/CA53 5C380/CA57 5C380/CB27 5C380/CB37 5C380/CC27 5C380/CC33 5C380/CC52 5C380/CC62 5C380/CC77 5C380/CD012 5C380/CD013 5C380/CD022 5C380/CE04 5C380/CE12 5C380/CE13 5C380/CE21 5C380/CF02 5C380/CF03 5C380/CF06 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF24 5C380/CF48 5C380/CF53 5C380/CF62 5C380/CF66 5C380/CF68 5C380/DA06 5C380/DA32 5C380/DA35 5C380/DA41 5C380/DA42 5C380/DA49 5C380/DA55 5C380/DA56 5C380/DA58 5C380/EA16		
其他公开文献	JP2018022061A5 JP6723109B2		

摘要(译)

一种显示装置，能够根据像素的排列对与每个显示元件对应的图像信号进行信号处理。当一个像素包括具有诸如液晶元件的第一显示元件的子像素和具有诸如发光元件的第二显示元件的子像素时，该像素具有第一显示元件将与子像素相对应的一帧图像数据写入存储器中，并且将与具有第二显示元件的子像素相对应的一帧图像数据写入存储器在记忆中。请注意，将图像数据写入存储器的顺序可以颠倒。随后，根据像素的排列顺序读出具有第一显示元件的子像素的图像数据和具有第二显示元件的子像素的图像数据，并将其写入存储器中。按排列顺序排序。

