

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-27081

(P2017-27081A)

(43) 公開日 平成29年2月2日(2017.2.2)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H192
HO1L 29/786 (2006.01)	HO1L 29/78 618B	5F110

審査請求 有 請求項の数 3 O L (全 22 頁)

(21) 出願番号	特願2016-209170 (P2016-209170)	(71) 出願人	000153878
(22) 出願日	平成28年10月26日 (2016.10.26)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2015-82226 (P2015-82226)	(72) 発明者	伊藤 俊一
	の分割		神奈川県厚木市長谷398番地
原出願日	平成20年10月24日 (2008.10.24)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	佐々木 俊成
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	細羽 みゆき
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	坂田 淳一郎
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

最終頁に続く

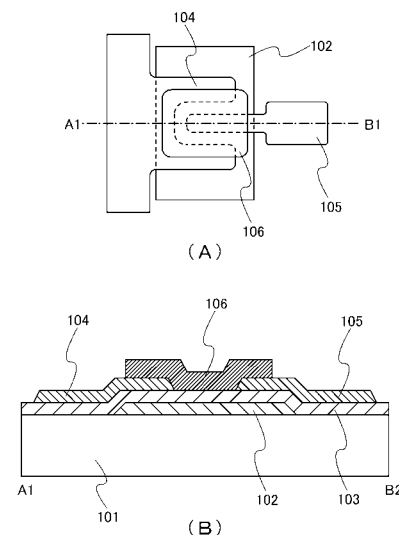
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】酸化物半導体の組成若しくは欠陥制御をすることを目的の一とし、また、薄膜トランジスタの電界効果移動度を高め、オフ電流を抑えつつ十分なオンオフ比を得ることを他の目的の一とする。

【解決手段】 $\text{InMO}_3(\text{ZnO})_m$ ($M = \text{Ga}$ 、 Fe 、 Ni 、 Mn 、 Co 及び Al から選ばれた一又は複数の元素、 m は1以上50未満の非整数)である。この場合において、 Zn の濃度が In 及び M ($M = \text{Fe}$ 、 Ga 、 Ni 及び Al から選ばれた一又は複数の元素)よりも低くする。また、当該酸化物半導体はアモルファス構造を有している。ここで m の値は、好ましくは1以上50未満の非整数、より好ましくは10未満の非整数とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

トランジスタと、
前記トランジスタのソース又はドレインの一方と電気的に接続されている画素電極と、
前記画素電極上方の液晶層と、を有し、
前記トランジスタは、酸化物半導体層を有し、
前記酸化物半導体層は、 In と、 Ga と、 Zn と、を有し、
 Zn の濃度は、 In の濃度よりも低く、
 Zn の濃度は、 Ga の濃度よりも低いことを特徴とする液晶表示装置。

【請求項 2】

10

トランジスタと、
前記トランジスタのソース又はドレインの一方と電気的に接続されている画素電極と、
前記画素電極上方の液晶層と、を有し、
前記トランジスタは、酸化物半導体層を有し、
前記酸化物半導体層は、 In と、 Ga と、 Zn と、を有し、
 Zn の濃度は、 In の濃度よりも低く、
 Zn の濃度は、 Ga の濃度よりも低く、
前記酸化物半導体層における Zn の濃度は、前記酸化物半導体層のターゲットにおける Zn の濃度よりも小さいことを特徴とする液晶表示装置。

【請求項 3】

20

トランジスタと、
前記トランジスタのソース又はドレインの一方と電気的に接続されている画素電極と、
前記画素電極上方の液晶層と、を有し、
前記トランジスタは、酸化物半導体層を有し、
前記酸化物半導体層は、 In と、 Ga と、 Zn と、を有し、
前記酸化物半導体層における Zn の濃度は、前記酸化物半導体層のターゲットにおける Zn の濃度よりも小さいことを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

30

酸化物半導体、該酸化物半導体を用いた薄膜トランジスタ、若しくは該薄膜トランジスタを用いた表示装置に関する。

【背景技術】

【0002】

薄膜トランジスタの材料として水素化アモルファスシリコン (a-Si:H) が主に用いられている。水素化アモルファスシリコンは 300 以下の低温で薄膜の堆積が可能であるが、移動度 (薄膜トランジスタにおいては電界効果移動度) が $1 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 程度しか得られないという欠点がある。

【0003】

一方、 a-Si:H と同様に低温で薄膜の形成が可能である酸化物半導体材料として、ホモロガス化合物 InMO_3 (ZnO) $_m$ ($M = \text{In}, \text{Fe}, \text{Ga}$, 又は Al , $m = 1$ 以上 50 未満の整数) 薄膜を活性層として用いる透明薄膜電界効果型トランジスタが開示されている (特許文献 1 参照)。

【0004】

また、チャンネル層に、電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満であるアモルファス酸化物が用いられ、該アモルファス酸化物が、 In 、 Ga 、 Zn を含む酸化物であり、原子数比 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : m$ ($m < 6$) である薄膜トランジスタが開示されている。

【先行技術文献】

【特許文献】

【0005】

50

【特許文献1】特開2004-103957号公報

【特許文献2】国際公開第05/088726号

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、従来の酸化物半導体を用いた薄膜トランジスタは、オンオフ比が 10^3 程度しか得られていない。すなわち、薄膜トランジスタとして所定のオン電流が得られているとしても、オフ電流が増加してしまいノーマリーオフのトランジスタが構成されているとはいえず、実用的なレベルに達していない。オンオフ比が 10^3 程度であれば、従来のアモルファスシリコンを用いた薄膜トランジスタでも容易に達成できるレベルなのである。

10

【0007】

そこで、薄膜トランジスタの電界効果移動度を高め、オフ電流を抑えつつ十分なオンオフ比を得ることを他の目的の一とする。

【課題を解決するための手段】

【0008】

例示的な一態様として酸化物半導体は、In、Ga、Znを構成成分として含みZnの濃度がIn及びGaの濃度よりも低くなる組成を有している。当該酸化物半導体はアモルファス構造を有していることが好ましい態様となる。

【0009】

例示的な一態様として酸化物半導体は、 $InMO_3(ZnO)_m$ ($M = Ga, Fe, Ni, Mn, Co$ 及び Al から選ばれた一又は複数の元素、 m は1以上50未満の非整数)でありZnの濃度がIn及びM ($M = Ga, Fe, Ni, Mn, Co$ 及び Al から選ばれた一又は複数の元素)よりも低くなる組成を有している。当該酸化物半導体はアモルファス構造を有していることが好ましい態様となる。

20

【0010】

ここで m の値は、好ましくは1以上50未満の非整数、より好ましくは10未満の非整数とする。 m の値は50以上の非整数でも可能であるが、 m の値が大きくなるとアモルファス状態を維持するのが困難になる。

【0011】

例示的な一態様として薄膜トランジスタは、上記態様から選択される酸化物半導体層をチャネル形成領域とする。該酸化物半導体層に接して酸化物絶縁層が設けられていることは好ましい。酸化物絶縁層は酸化物半導体層の上層側及び下層側に設けられていることはより好ましい一態様となる。酸化物半導体層の外側に窒化物絶縁層が設けられていることは好ましい。

30

【0012】

例示的な一態様として表示装置は、上記態様から選択される薄膜トランジスタが少なくとも一の画素に設けられている。

【0013】

例示的な一態様として表示装置は、上記態様から選択される薄膜トランジスタが少なくとも一の画素と該画素に設けられた薄膜トランジスタに送る信号を制御する駆動回路とに設けられている。

40

【発明の効果】

【0014】

酸化物半導体の構成成分として含むIn、Ga、Znの内、Znの濃度をIn及びGaの濃度よりも低くすることでキャリア濃度を低くすることができ、また、酸化物半導体をアモルファス構造とすることができる。

【0015】

このような酸化物半導体層をチャネル形成領域とすることにより、薄膜トランジスタのオフ電流を低減することができ、高いオンオフ比を得ることができる。

50

【図面の簡単な説明】

【0016】

【図1】酸化物半導体層を用いたTFTの構造を示す断面図。

【図2】酸化物半導体層を用いたTFTの構造を示す断面図。

【図3】酸化物半導体層を用いたTFTの構造を示す断面図。

【図4】酸化物半導体層を用いたTFTの構造を示す断面図。

【図5】酸化物半導体層を用いたTFTで構成される表示装置の一態様を示す図。

【図6】酸化物半導体層を用いたTFTで構成されるセクタ回路の構成を示す回路図。

【図7】セクタ回路の動作の一例を説明するタイミングチャート図。

【図8】酸化物半導体層を用いたTFTで構成されるシフトレジスタを示すブロック図。

【図9】酸化物半導体層を用いたTFTで構成されるフリップフロップ回路を示す回路図。

【図10】酸化物半導体層を用いたTFTと発光素子で構成される画素の等価回路図。

【図11】酸化物半導体層を用いたTFTで構成される発光装置の画素構造を示す平面図。

【図12】酸化物半導体層を用いたTFTで構成される発光装置の画素構造を示す断面図。

【図13】酸化物半導体層を用いたTFTで構成される発光装置の入力端子部の構成を示す図。

【図14】酸化物半導体層を用いたTFTで構成されるコントラスト媒体表示装置（電子ペーパー）の構成を示す断面図。

【図15】酸化物半導体層を用いたTFTで構成される液晶表示装置の画素構造を示す平面図。

【図16】酸化物半導体層を用いたTFTで構成される液晶表示装置の画素構造を示す断面図。

【図17】酸化物半導体層のX線回折パターン（成膜後、350 熱処理後、500 熱処理後）を示す図。

【図18】薄膜トランジスタのゲート電圧（ V_g ）対ドレイン電流（ I_d ）の特性を示すグラフ。

【発明を実施するための形態】

【0017】

以下、開示される発明の実施の形態について図面を用いて以下に説明する。但し、開示される発明は以下の説明に限定されず、その発明の趣旨及びその範囲から逸脱することなくその形態及び詳細をさまざまに変更し得ることは当業者であれば容易に理解される。したがって、開示される発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。以下に説明する実施の形態において、同じものを指す符号は異なる図面間で共通して用いる場合がある。

【0018】

（酸化物半導体材料について）

本形態に係る例示的な酸化物半導体材料は、 In 、 Ga 、 Zn を構成成分として含み Zn の濃度が In 及び Ga の濃度よりも低い組成を有している。例えば、 $InMO_3(ZnO)_m$ で示される酸化物半導体材料であって、 Zn の濃度が In 及び M （ $M = Ga, Fe, Ni, Mn, Co$ 及び Al から選ばれた一又は複数の元素）よりも低い組成を有している。また、上記酸化物半導体において、 M として含まれる金属元素の他に、不純物元素として Fe 、 Ni その他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。

【0019】

上記の $InMO_3(ZnO)_m$ で示される酸化物半導体材料において、 m は1以上50未満の非整数である。結晶状態における組成が $InGaO_3(ZnO)_m$ であって m が1以上50未満の整数であるものが知られているが、製造における制御性を考慮すると m が整

10

20

30

40

50

数となる組成よりは、 $\text{InMO}_3(\text{ZnO})_m$ であって m が非整数となる組成とする方が制御しやすく好ましい。また、酸化物半導体材料のアモルファス構造を安定的に維持するためにも m を非整数とすることが好ましい。

【0020】

ここで m の値は、好ましくは 1 以上 50 未満の非整数、より好ましくは 10 未満の非整数とする。 m の値は 50 以上の非整数でも可能であるが、 m の値が大きくなるとアモルファス状態を維持するのが困難になる。

【0021】

$\text{InMO}_3(\text{ZnO})_m$ ($M = \text{Ga}, \text{Fe}, \text{Ni}, \text{Mn}, \text{Co}$ 及び Al から選ばれた一又は複数の元素、 m は 1 以上 50 未満の非整数) であり、酸化物半導体材料の組成としては、 In 、 M 、 Zn 、 O の合計を 100% としたときに、それぞれの元素の組成として In を 20 原子% 未満、 M (例えば Ga) を 20 原子% 未満、 Zn を 10 原子% 未満含むようにすることが好ましい。 In 、 Ga 及び Zn を含む酸化物半導体材料として、より好ましい組成比は、 In 及び Ga を 15.0 原子% 以上 20.0 原子% 以下、 Zn を 5.0 原子% 以上 10.0 原子% 以下含むものである。

10

【0022】

酸化物半導体の構造はアモルファス構造であり、窒素雰囲気中 500 の熱処理によっても結晶化することはない。熱処理温度を 700 まで高めると、アモルファス構造の中にナノクリスタルが生成する場合がある。いずれにしても酸化物半導体は非単結晶半導体である。

20

【0023】

酸化物半導体としてアモルファス構造を有するようにするために Zn の濃度が In 及び Ga の濃度よりも低くすることで構造が安定化する。より好ましくは In 及び Ga に対して Zn の割合が半分以下とするのが良い。 Zn 若しくは ZnO の割合が増えると結晶化しやすくなる傾向があり、 Zn 若しくは ZnO の割合が増えた場合にはスパッタリング法等による成膜したままの状態、又は数百度の熱処理によって結晶化してしまう。また、 Zn の濃度が In 及び Ga の濃度よりも低くすることで、酸化物半導体においてアモルファス構造が得られる組成範囲を広げることができる。

【0024】

(酸化物半導体層の作製方法)

酸化物半導体層は物理気相成長 (Physical Vapor Deposition: PVD) 法で作製することが好ましい。酸化物半導体層を作製するための PVD 法としては、スパッタリング法、抵抗加熱蒸着法、電子ビーム蒸着法、イオンビーム堆積法などを適用することができるが、生産性及び大面積基板への成膜を容易なものとするためにはスパッタリング法を適用することが好ましい。

30

【0025】

好ましい成膜法として、 In 、 M ($M = \text{Ga}, \text{Fe}, \text{Ni}, \text{Mn}, \text{Co}$ 及び Al から選ばれた一又は複数の元素)、 Zn 等の金属ターゲットを用い酸素と反応させながら基板上に酸化物半導体層を堆積させる反応性スパッタリング法、 In 、 M ($M = \text{Ga}, \text{Fe}, \text{Ni}, \text{Mn}, \text{Co}$ 及び Al から選ばれた一又は複数の元素)、 Zn の酸化物の焼結体をターゲットをして基板上に酸化物半導体層を堆積させるスパッタリング法、若しくは当該焼結体をターゲットをして用い酸素と反応させながら基板上に酸化物半導体層を堆積させる反応性スパッタリング法が適用される。

40

【0026】

スパッタリング法において用いられるターゲットの一例として、 In_2O_3 、 Ga_2O_3 及び ZnO の焼結体が適用可能である。このようなターゲットの組成比としては、 In_2O_3 、 Ga_2O_3 及び ZnO の割合を等量又は In_2O_3 及び Ga_2O_3 に対して ZnO の割合を少なくすることが好ましい。基板上に堆積される酸化物半導体層の組成は、ターゲット材のスパッタガスに対するスパッタリングレートによっても変わってくるが、少なくともターゲットの組成比とすることで In 、 Ga 、 Zn を構成成分として含み、 Zn が

50

In及びGaの濃度よりも低い酸化物半導体層を得ることができる。

【0027】

スパッタリングは上記ターゲットに直流電力を印加し、成膜チャンバー内にプラズマを生成して行う。パルス直流(DC)電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。

【0028】

酸化物半導体の構成成分として含むIn、Ga、Znの内、Znの濃度をIn及びGaの濃度よりも低くすることでキャリア濃度を低くすることができ、また、酸化物半導体をアモルファス構造とすることができる。

【0029】

(薄膜トランジスタについて)

酸化物半導体層をチャンネル形成領域とする薄膜トランジスタを作製するための基板として、ガラス基板、プラスチック基板、プラスチックフィルム等を用いることができる。ガラス基板としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス及びアルミノシリケートガラスなどのガラス基板を用いることができる。例えば、成分比としてホウ酸(B_2O_3)よりも酸化バリウム(BaO)を多く含み、歪み点が730以上のガラス基板を用いると好ましい。また、酸化物半導体層はスパッタリング法により200以下で成膜することが可能であり、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフォン(PES)、ポリイミドに代表されるプラスチック基板、該プラスチック材料の厚さを200 μm 以下とするプラスチックフィルムを用いることができる。

【0030】

図1(A)、(B)はそのような基板101の表面に作製される薄膜トランジスタの一例を示す。ここで図1(A)は薄膜トランジスタの平面図の一例であり、図1(B)はA1-B1切断線に対応した断面図を示す。

【0031】

図1(A)、(B)で示す薄膜トランジスタは、基板101側からゲート電極102、ゲート絶縁層103が形成され、該ゲート絶縁層103の上に酸化物半導体層106が形成されたボトムゲート型の構造を有している。ソース電極104及びドレイン電極105は、ゲート絶縁層103と酸化物半導体層106の間に設けられている。すなわち、ゲート電極102と重畳し、ゲート絶縁層103及びソース電極104及びドレイン電極105の側面部と上面部の一部と接するように設けられている。ゲート絶縁層103上にソース電極104及びドレイン電極105を先に設ける構造は、酸化物半導体層106を成膜する前の下地表面を、プラズマ処理によって清浄化できるという利点を有している。

【0032】

ゲート電極102はTi、Mo、Cr、Ta、W等の高融点金属で形成することが好ましい。また、ゲート電極102をAl膜又は、Si、Ti、Nd、Sc若しくはCu等の金属が添加されたAl膜の上層側にMo、Cr、Tiに代表される高融点金属の層が設けられている構成を有していても良い。

【0033】

ゲート絶縁層103は、酸化シリコン、窒化シリコン又は酸化窒化シリコンなどシリコン酸化物又は窒化物で形成することが好ましい。ゲート絶縁層103中にOH基を含ませることができ、OH基を酸化物半導体層106に作用させることができるからである。特に、酸化シリコンでゲート絶縁層103を形成すると、薄膜トランジスタのソース電極とゲート電極間及びドレイン電極とゲート電極間のリーク電流を約 10^{-10} A以下にすることができる。これらの絶縁層は、プラズマCVD法又はスパッタリング法で形成することができる。

【0034】

例えば、ゲート絶縁層103として、有機シランガスを用いたCVD法により酸化シリコン層を形成することができる。有機シランガスとしては、珪酸エチル(TEOS：化学式

10

20

30

40

50

$\text{Si}(\text{OC}_2\text{H}_5)_4$)、テトラメチルシラン(TMS: 化学式 $\text{Si}(\text{CH}_3)_4$)、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエトキシシラン($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、トリスジメチルアミノシラン($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)等のシリコン含有化合物を用いることができる。

【0035】

ソース電極104及びドレイン電極105はTi、Mo、Cr、Ta、W等の高融点金属で形成することが好ましい。特にTiに代表されるように酸素と親和力の高い金属材料を用いることが好ましい。酸化物半導体層106とオーミックコンタクトを形成しやすいからである。Tiの他にMoによって同様の効果を得ることができる。ソース電極104及びドレイン電極105の端面形状は、テーパ状となるようにエッチング加工することが好ましい。酸化物半導体層106との接触面積を増やすことができるからである。また、ソース電極104及びドレイン電極105と酸化物半導体層との間に、酸素欠乏欠陥を有する酸化物半導体層(チャンネル形成領域を構成する酸化物半導体層よりも低抵抗の酸化物半導体層)を設けても良い。

10

【0036】

ソース電極104及びドレイン電極105の他の態様として、当該電極は、Al膜又は、Si、Ti、Nd、Sc若しくはCu等の金属が添加されたAl膜の上層側及び/又は下層側にMo、Cr、Tiに代表される高融点金属の層が設けられている構成を有していても良い。ソース電極104及びドレイン電極105を形成する層と同時に、同じ層で信号を伝達する配線を形成する際に有利である。当該Al膜に接して設けられる高融点金属の層は、Al膜にヒロックやウィスカーが生じてしまうことを防ぐために設けられていることが好ましい。なお、ヒロックとは、Alが結晶成長してその成長成分がぶつかりあうことで盛り上がりが生じてしまう現象をいう。また、ウィスカーは、Alの異常成長によって針状の成長が行われてしまう現象をいう。

20

【0037】

酸化物半導体層106はスパッタリング法に代表されるPVD法によって形成する。スパッタリングにおけるターゲットは、前述のようにIn、M(M=Ga、Fe、Ni、Mn、Co及びAlから選ばれた一又は複数の元素)、Znの酸化物の焼結体を用いることが好ましい。例えば、 In_2O_3 、 Ga_2O_3 及びZnOの焼結体をターゲットとして用いてスパッタリング法により酸化物半導体層を形成する。

30

【0038】

スパッタガスはアルゴンに代表される希ガスを用いる。酸化物半導体層の酸素欠乏欠陥を制御するには希ガスに酸素ガスを所定量添加しても良い。スパッタガスとして希ガスに対する酸素ガスの割合を増加させることで酸化物半導体中の酸素欠乏欠陥を少なくすることができる。酸化物半導体中の酸素欠乏欠陥を制御することにより薄膜トランジスタのしきい値電圧を制御することが可能である。

【0039】

酸化物半導体層106を成膜する前に、スパッタリング装置の成膜チャンバーにアルゴンガスを導入してプラズマを発生させ、堆積表面を清浄化する処理を行うことは好ましい。アルゴン雰囲気にて酸素、ヘリウムなどを用いても良い。また、アルゴン雰囲気に酸素、 N_2O などを加えた雰囲気で行っても良い。また、アルゴン雰囲気に Cl_2 、 CF_4 などを加えた雰囲気で行っても良い。

40

【0040】

酸化物半導体層106を形成後、大気中又は窒素雰囲気中において、200 以上600 以下、好ましくは300 以上400 以下の熱処理を行う。この熱処理により薄膜トランジスタの電界効果移動度を高めることができる。本形態で示す酸化物半導体を用いた薄膜トランジスタの電界効果移動度としては、 $5\text{ cm}^2/\text{V s e c}$ 以上を実現することが可能である。

【0041】

50

上記のような薄膜トランジスタにおいて、ソース電極とドレイン電極間に 5 V 程度の電圧を印加したとき、ゲート電極に電圧を印加しないときのソース電極とドレイン電極間の電流を 1×10^{-11} A 以下にすることが可能である。また、ゲート電極に -10 V の電圧を印加した状態でもソース電極とドレイン電極間の電流は 1×10^{-11} A 以下である。

【0042】

図 2 (A)、(B) は基板 101 の表面に作製される薄膜トランジスタの一例を示す。ここで図 2 (A) は薄膜トランジスタの平面図の一例であり、図 2 (B) は A2 - B2 切断線に対応した断面図を示す。

【0043】

図 2 (A)、(B) で示す薄膜トランジスタは、基板 101 側からゲート電極 102、ゲート絶縁層 103 が形成され、該ゲート絶縁層 103 の上に酸化物半導体層 106 が形成されたボトムゲート型の構造を有している。ソース電極 104 及びドレイン電極 105 は酸化物半導体層 106 の側面及び上面で接触する構造である。

10

【0044】

このような構造の薄膜トランジスタは、ゲート絶縁層 103 及び酸化物半導体層 106 と、ソース電極 104 及びドレイン電極 105 を形成する導電層を連続して形成することが可能である。すなわち、ゲート絶縁層 103 と酸化物半導体層 106 の界面、及び酸化物半導体層 106 と該導電層の界面が大気に晒されることなく積層されるので、それぞれの界面が汚染されることを防ぐことができる。

【0045】

また、ソース電極 104 とドレイン電極 105 の間に露出する酸化物半導体層 106 の表層部をエッチングにより除去することで、オフ電流を低減することが可能である。また、酸化物半導体層 106 の当該露出部分、又はエッチングにより除去された表面に対し酸素プラズマ処理を行うことによって、プラズマに晒された表層部を高抵抗化することができる。酸化物半導体の酸素欠乏欠陥が酸化され、キャリア濃度（電子濃度）が低減するためである。この酸素プラズマ処理によっても薄膜トランジスタのオフ電流を低減することが可能である。

20

【0046】

図 3 (A)、(B) は基板 101 の表面に作製される薄膜トランジスタの一例を示す。ここで図 3 (A) は薄膜トランジスタの平面図の一例であり、図 2 (B) は A3 - B3 切断線に対応した断面図を示す。

30

【0047】

図 3 (A)、(B) で示す薄膜トランジスタは、基板 101 側からソース電極 104 及びドレイン電極 105、酸化物半導体層 106、ゲート絶縁層 103 及びゲート電極 102 が形成されたトップゲート型の構造を有している。このような構造の薄膜トランジスタであっても、酸化物半導体層 106 を、 InMO_3 (ZnO)_m ($M = \text{Ga}, \text{Fe}, \text{Ni}, \text{Mn}, \text{Co}$ 及び Al から選ばれた一又は複数の元素、m と 1 以上 50 未満の非整数) でありさらに酸化物半導体材料の組成としては、In、M、Zn、O の合計を 100 % としたときに、それぞれの元素の組成として In を 20 原子 % 未満、M (例えば Ga) を 20 原子 % 未満、Zn を 10 原子 % 未満含むようにすることで、薄膜トランジスタのオフ電流を低減することができ、高いオンオフ比を得ることができる。

40

【0048】

図 4 (A) は、酸化物半導体層 106 のゲート絶縁層 103 とは反対側（バックチャネル側）にも酸化物絶縁層 107 を設けた一例である。酸化物絶縁層 107 は、前述のように酸化シリコンの他、酸化アルミニウム、酸化窒化アルミニウム、酸化イットリウム、酸化ハフニウムを適用する。図 4 (A) の構成では、酸化物半導体層 106 がゲート絶縁層 103 である酸化シリコンと、酸化物絶縁層 107 によって挟まれることから、酸化物半導体層 106 から酸素が抜けて酸素欠乏欠陥が形成されることを防ぐことができる。

【0049】

図 4 (B) は酸化物絶縁層 107 の外側に窒化物絶縁層 108 を設けた構成である。窒化

50

物絶縁層 108 としては、窒化シリコン、窒化アルミニウム等を適用することができる。窒化物絶縁層 108 を設けることで、水蒸気、有機物及びイオン性金属による外部環境からの汚染を防ぐことができる。なお、図 4 (B) の構成においてゲート絶縁層 103 を窒化シリコン層と酸化シリコン層の二層構造とすることも有効である。これにより、酸化物半導体層 106 の上層側及び下層側が酸化物絶縁層と窒化物絶縁層で挟まれることになり、上記効果をより一層高めることができる。

【0050】

(薄膜トランジスタを用いた装置について)

本形態で示す酸化物半導体を用いた薄膜トランジスタは、電界効果移動度が高く、またオンオフ比も高いことから、様々な用途に応用することができる。その一例として表示装置の態様について説明する。

【0051】

図 5 は、画素部 110、走査線駆動回路 111 及び信号線側にセレクト回路 112 が基板 101 上に設けられた表示装置 109 を示す。画素部 110 に設けられるスイッチング素子、走査線駆動回路 111 及び信号線側にセレクト回路 112 は酸化物半導体層にチャネル形成領域が設けられる薄膜トランジスタで構成されている。電界効果移動度が $5 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 乃至 $20 \text{ cm}^2 / \text{V} \cdot \text{sec}$ の酸化物半導体層にチャネル形成領域が設けられる薄膜トランジスタを用いれば、走査線駆動回路 111 及び信号線側のセレクト回路 112 を構成することが可能である。セレクト回路 112 は信号線 116 を選択する回路であり、ドライバ IC 114 から送られてくる映像信号を、所定のタイミングで所定の信号線 116 に振り分ける回路である。ここで、当該薄膜トランジスタは n チャネル型であるので、走査線駆動回路 111 及び信号線側のセレクト回路 112 は n チャネル型の薄膜トランジスタで構成される回路である。

【0052】

走査線 115 と信号線 116 がそれぞれ複数本交差して構成される画素部 110 には、画素トランジスタ 117 が設けられている。そして画素トランジスタ 117 は、マトリクス状に配設されている。画素トランジスタ 117 は走査線 115 から走査信号が入力され、信号線 116 から映像信号が入力される。入力端子 113 にはドライバ IC 114 から映像信号が入力される。ドライバ IC 114 は単結晶基板上に形成されている回路であり、TAB (tape - automated bonding) 方式又は COG (chip on glass) 方式によって実装されている。

【0053】

図 6 は n チャネル型薄膜トランジスタで構成されるセレクト回路 112 の一構成例を示す。セレクト回路 112 はスイッチ回路 119 が複数配列することによって構成されている。一のスイッチ回路 119 は、一の映像信号入力線 120 に対して複数の信号線 116 (S1 ~ S3) が画素部 110 に延びるように構成されている。スイッチ回路 119 には信号線 116 の本数に応じてスイッチング素子 121 が設けられている。このスイッチング素子 121 は酸化物半導体層にチャネル形成領域が設けられる薄膜トランジスタで構成されることにより、スイッチ回路 119 を映像信号の周波数に応じて高速で動作させることを可能としている。図 6 では、信号線 116 (S1) に対応してスイッチング素子 121 a、信号線 116 (S2) に対応してスイッチング素子 121 b、信号線 116 (S3) に対応してスイッチング素子 121 c が設けられているスイッチ回路 119 の一例を示している。スイッチング素子 121 のオン・オフは、映像信号入力線 120 とは別の経路で入力される同期信号入力線 122 の信号によって制御される。

【0054】

図 6 で示すセレクト回路 112 の動作について図 7 で示すタイミングチャートを参照して説明する。図 7 で例示するタイミングチャートは、i 行目の走査線が選択され、ある列の映像信号入力線 120 がセレクト回路 112 に接続されている場合について示す。i 行目の走査線の選択期間は、第 1 のサブ選択期間 T1、第 2 のサブ選択期間 T2 及び第 3 のサブ選択期間 T3 に分割されている。そして、このタイミングチャートは、i 行目の走査線

10

20

30

40

50

が選択されるとき、スイッチング素子 1 2 1 a、スイッチング素子 1 2 1 b 及びスイッチング素子 1 2 1 c がオン・オフするタイミング、及び映像信号入力線 1 2 0 に入力される信号を示している。

【 0 0 5 5 】

図 7 で示すように、第 1 のサブ選択期間 T 1 においてスイッチング素子 1 2 1 a がオンとなり、スイッチング素子 1 2 1 b 及びスイッチング素子 1 2 1 c がオフとなる。このとき映像信号入力線 1 2 0 に入力される映像信号 V D (1) が、スイッチング素子 1 2 1 a を介して信号線 1 1 6 (S 1) に出力される。第 2 のサブ選択期間 T 2 では、スイッチング素子 1 2 1 b がオン、スイッチング素子 1 2 1 a 及びスイッチング素子 1 2 1 c がオフとなり、映像信号 V D (2) が、スイッチング素子 1 2 1 b を介して信号線 1 1 6 (S 2) に出力される。第 3 のサブ選択期間 T 3 では、スイッチング素子 1 2 1 c がオン、スイッチング素子 1 2 1 a 及びスイッチング素子 1 2 1 b がオフとなり、映像信号 V D (3) が、スイッチング素子 1 2 1 c を介して信号線 1 1 6 (S 3) に出力される。

10

【 0 0 5 6 】

このように、図 6 のセクタ回路 1 1 2 は、1 ゲート選択期間を 3 つに分割することで 1 ゲート選択期間中に一つの映像信号入力線 1 2 0 から S 1 ~ S 3 の 3 つの信号線 1 1 6 に映像信号を入力することができる。したがって、画素トランジスタ 1 1 7 と共にセクタ回路 1 1 2 を基板 1 0 1 に設けることで、ドライバ IC の信号を入力する入力端子 1 1 3 の数を、セクタ回路 1 1 2 を設けない場合に比べて 1 / 3 に減らすことができる。それによりドライバ IC と入力端子 1 1 3 との間における接触不良の発生頻度を低減することができる。

20

【 0 0 5 7 】

走査線駆動回路 1 1 1 も酸化物半導体層にチャネル形成領域が設けられる薄膜トランジスタによって構成することができる。走査線駆動回路 1 1 1 においてシフトレジスタは一構成要素として含まれる。シフトレジスタにクロック信号 (C L K) 及びスタートパルス信号 (S P) が入力されることによって選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線 1 1 5 に供給される。一本の走査線 1 1 5 には、1 ライン分の画素トランジスタ 1 1 7 のゲート電極が接続されている。ここで、走査線駆動回路 1 1 1 の一部に用いるシフトレジスタ 1 2 3 の一形態について図 8 及び図 9 を用いて説明する。

30

【 0 0 5 8 】

図 8 にシフトレジスタ 1 2 3 の構成を示す。シフトレジスタ 1 2 3 はフリップフロップ回路 1 2 4 を複数段連結して構成されている。フリップフロップ回路 1 2 4 の一例を図 9 に示す。図 9 に示すフリップフロップ回路 1 2 4 は複数の薄膜トランジスタ (以下、図 9 の説明において「 T F T 」と記す) によって構成されている。図 9 で示すフリップフロップ回路 1 2 4 は n チャネル型の T F T で構成されており、T F T (1) 1 2 5、T F T (2) 1 2 6、T F T (3) 1 2 7、T F T (4) 1 2 8、T F T (5) 1 2 9、T F T (6) 1 3 0、T F T (7) 1 3 1 及び T F T (8) 1 3 2 によって回路が構成されている。n チャネル型の T F T はゲート・ソース間電圧 (V g s) がしきい値電圧 (V t h) を上回ったとき導通状態になるものとする。

40

【 0 0 5 9 】

図 9 で示すフリップフロップ回路 1 2 4 において、全ての T F T は、エンハンスメント型の n チャネル型トランジスタとして説明するが、例えば、T F T (3) 1 2 7 はデプレッション型の n チャネル型トランジスタを用いても駆動回路を駆動させることもできる。

【 0 0 6 0 】

T F T (1) 1 2 5 の第 1 の電極 (ソース電極又はドレイン電極の一方) が配線 (4) 1 3 6 に接続され、T F T (1) 1 2 5 の第 2 の電極 (ソース電極又はドレイン電極の他方) が配線 (3) 1 3 5 に接続される。

【 0 0 6 1 】

T F T (2) 1 2 6 の第 1 の電極が配線 (6) 1 3 8 に接続され、T F T (2) 1 2 6 の

50

第 2 の電極が配線 (3) 1 3 5 に接続される。

【 0 0 6 2 】

T F T (3) 1 2 7 の第 1 の電極が配線 (5) 1 3 7 に接続され、T F T (3) 1 2 7 の第 2 の電極が T F T (2) 1 2 6 のゲート電極に接続され、T F T (3) 1 2 7 のゲート電極が配線 (5) 1 3 7 に接続される。

【 0 0 6 3 】

T F T (4) 1 2 8 の第 1 の電極が配線 (6) 1 3 8 に接続され、T F T (4) 1 2 8 の第 2 の電極が T F T (2) 1 2 6 のゲート電極に接続され、T F T (4) 1 2 8 のゲート電極が T F T (1) 1 2 5 のゲート電極に接続される。

【 0 0 6 4 】

T F T (5) 1 2 9 の第 1 の電極が配線 (5) 1 3 7 に接続され、T F T (5) 1 2 9 の第 2 の電極が T F T (1) 1 2 5 のゲート電極に接続され、T F T (5) 1 2 9 のゲート電極が配線 (1) 1 3 3 に接続される。

【 0 0 6 5 】

T F T (6) 1 3 0 の第 1 の電極が配線 (6) 1 3 8 に接続され、T F T (6) 1 3 0 の第 2 の電極が T F T (1) 1 2 5 のゲート電極に接続され、T F T (6) 1 3 0 のゲート電極が T F T (2) 1 2 6 のゲート電極に接続される。

【 0 0 6 6 】

T F T (7) 1 3 1 の第 1 の電極が配線 (6) 1 3 8 に接続され、T F T (7) 1 3 1 の第 2 の電極が T F T (1) 1 2 5 のゲート電極に接続され、T F T (7) 1 3 1 のゲート電極が配線 (2) 1 3 4 に接続される。T F T (8) 1 3 2 の第 1 の電極が配線 (6) 1 3 8 に接続され、T F T (8) 1 3 2 の第 2 の電極が T F T (2) 1 2 6 のゲート電極に接続され、T F T (8) 1 3 2 のゲート電極が配線 (1) 1 3 3 に接続される。

【 0 0 6 7 】

酸化物半導体層にチャネル形成領域が設けられる薄膜トランジスタは、電界効果移動度が大きいので動作周波数を高くすることが可能である。また、薄膜トランジスタの周波数特性が高いため、走査線駆動回路 1 1 1 を高速で動作させることが可能であり、フレーム周波数を高くして表示装置を動作させることができる。

【 0 0 6 8 】

図 5 において、画素部 1 1 0 の構成は表示媒体 1 1 8 によって構成が変わってくる。電極間に液晶材料が介在する液晶素子を表示媒体 1 1 8 とする場合には、図 5 で示すように画素トランジスタ 1 1 7 によって該表示媒体 1 1 8 を制御することができる。一対の電極間にコントラスト媒体 (電子インク、電気泳動材料) を挟んだ表示媒体 1 1 8 の場合も同様である。これらの表示媒体 1 1 8 によって構成される画素部 1 1 0 は、上記の駆動回路と組み合わせることにより動作させることができる。

【 0 0 6 9 】

表示媒体 1 1 8 として、エレクトロルミネセンス材料を用いて構成される発光素子を適用する場合には、液晶素子などに比べて応答速度が高いので、液晶素子よりも時間階調法に適している。例えば、時間階調法で表示を行う場合、1 フレーム期間を複数のサブフレーム期間に分割する。そしてビデオ信号に従い、各サブフレーム期間において発光素子を発光又は非発光の状態にする。複数のサブフレーム期間に分割することによって、1 フレーム期間中に画素が実際に発光する期間のトータルの長さを、ビデオ信号により制御することができ、階調を表示することができる。

【 0 0 7 0 】

画素部 1 1 0 を発光素子によって構成するときの画素の一例を図 1 0 に示す。図 1 0 は、デジタル時間階調駆動を適用可能な画素の構成について示す。ここでは酸化物半導体層をチャネル形成領域に用いる n チャネル型の薄膜トランジスタを一つの画素に二つ用いる例を示す。

【 0 0 7 1 】

画素 1 3 9 は、スイッチング用 T F T 1 4 0 、駆動用 T F T 1 4 1 、発光素子 1 4 2 及び

10

20

30

40

50

容量素子 1 4 5 を有している。スイッチング用 T F T 1 4 0 はゲートが走査線 1 1 5 に接続され、第 1 電極（ソース電極及びドレイン電極の一方）が信号線 1 1 6 に接続され、第 2 電極（ソース電極及びドレイン電極の他方）が駆動用 T F T 1 4 1 のゲートに接続されている。駆動用 T F T 1 4 1 は、ゲートが容量素子 1 4 5 を介して電源線 1 4 6 に接続され、第 1 電極が電源線 1 4 6 に接続され、第 2 電極が発光素子 1 4 2 の第 1 電極（画素電極）1 4 3 に接続されている。発光素子 1 4 2 の第 2 電極（対向電極）1 4 4 は共通電位線 1 4 7 に接続されている。

【0072】

発光素子 1 4 2 の第 2 電極（対向電極）1 4 4 には低電源電位が設定されている。なお、低電源電位とは、電源線 1 4 6 に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えば G N D、0 V などが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子 1 4 2 に印加して、発光素子 1 4 2 に電流を流して発光素子 1 4 2 を発光させるため、高電源電位と低電源電位との電位差が発光素子 1 4 2 の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

10

【0073】

電圧入力電圧駆動方式の場合には、駆動用 T F T 1 4 1 のゲートには、駆動用 T F T 1 4 1 が十分にオンするか、オフするかとの二つの状態となるようなビデオ信号を入力する。つまり、駆動用 T F T 1 4 1 は線形領域で動作させる。駆動用 T F T 1 4 1 は線形領域で動作させるため、電源線 1 4 6 の電圧よりも高い電圧を駆動用 T F T 1 4 1 のゲートにかけ

20

【0074】

図 1 0 で示す画素の構成は、デジタル時間階調駆動に代えてアナログ階調駆動を行うことも可能である。アナログ階調駆動を行う場合、駆動用 T F T 1 4 1 のゲートに発光素子 1 4 2 の順方向電圧 + 駆動用 T F T 1 4 1 のしきい値電圧以上の電圧を印加する。発光素子 1 4 2 の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用 T F T 1 4 1 が飽和領域で動作するようなビデオ信号を入力することで、発光素子 1 4 2 に電流を流すことができる。駆動用 T F T 1 4 1 を飽和領域で動作させるため、電源線 1 4 6 の電位は、駆動用 T F T 1 4 1 のゲート電位より

30

【0075】

図 1 0 では、発光素子 1 4 2 の駆動を制御する駆動用 T F T 1 4 1 と発光素子が電氣的に接続されている例を示したが、駆動用 T F T 1 4 1 と発光素子 1 4 2 との間に電流制御用 T F T が接続されている構成であっても良い。

【0076】

図 5 で示す表示装置 1 0 9 は、信号線 1 1 6 を選択するセレクタ回路 1 1 2 を設ける例を示しているが、酸化物半導体層をチャネル形成領域とする薄膜トランジスタの電界効果移動度として $10 \text{ cm} / \text{V} \cdot \text{sec}$ 以上が得られる場合には、ドライバ I C 1 1 4 の機能を該薄膜トランジスタで実現することもできる。すなわち、基板 1 0 1 上に酸化物半導体層をチャネル形成領域とする薄膜トランジスタによって、走査線駆動回路と信号線駆動回路を形成することができる。

40

【0077】

（発光装置）

表示装置の一態様として、発光装置の画素の構成について図 1 1 及び図 1 2（A）、（B）を参照して説明する。ここで図 1 1 は画素の平面図の一例であり、図 1 2（A）は C 1 - D 1 切断線に対応した断面、図 1 2（B）は C 2 - D 2 切断線に対応した断面図を示す。以下の説明では、図 1 1 及び図 1 2（A）、（B）を参照する。なお、図 1 1 で示す画素の等価回路は図 1 0 と同様である。

50

【0078】

スイッチング用TF T 1 4 0のチャネル形成領域は、酸化物半導体層1 5 3に形成される。酸化物半導体層1 5 3は本形態で示すものと同等なものである。スイッチング用TF T 1 4 0は、走査線1 1 5と同じ層で形成されるゲート電極1 4 8を有し、ゲート絶縁層1 5 2上に酸化物半導体層1 5 3が設けられている。酸化物半導体層1 5 3は、ゲート絶縁層1 5 2上に信号線1 1 6と同じ層で形成されるソース/ドレイン電極1 5 5及びソース/ドレイン電極1 5 6と接触している。ソース/ドレイン電極1 5 6は、ゲート絶縁層1 5 2に設けられたコンタクトホール1 5 9によって、駆動用TF T 1 4 1のゲート電極1 4 9と接続している。

【0079】

なお、ソース/ドレイン電極とは、ソース、ドレイン及びゲートを主な要素として構成される薄膜トランジスタにおいて、ソース又はドレインとして機能する部位に設けられる電極をいう。

【0080】

信号線1 1 6、ソース/ドレイン電極1 5 5及びソース/ドレイン電極1 5 6は、Al膜又は、Si、Ti、Nd、Sc若しくはCu等の金属が添加されたAl膜で形成されることが好ましい。配線又は電極の抵抗を低くするためである。前記Al膜の上層側及び/又は下層側にはMo、Cr、Tiに代表される高融点金属の層が設けられていることが好ましい。Al膜にヒロックやウィスカが生じてしまうことを防ぐためである。

【0081】

ゲート電極1 4 9は、容量素子1 4 5の容量電極1 5 0を兼ねている。容量素子1 4 5は容量電極1 5 0、ゲート絶縁層1 5 2及び電源線1 4 6と同じ層で形成される容量電極1 5 1が積層されることによって形成されている。

【0082】

駆動用TF T 1 4 1のゲート電極1 4 9は、走査線1 1 5と同じ層で形成され、ゲート絶縁層1 5 2上に酸化物半導体層1 5 4が設けられている。酸化物半導体層1 5 4は、ゲート絶縁層1 5 2上に電源線1 4 6と同じ層で形成されるソース/ドレイン電極1 5 7及びソース/ドレイン電極1 5 8と接触している。

【0083】

酸化物半導体層1 5 3及び酸化物半導体層1 5 4には酸化物絶縁層1 0 7が設けられている。第1電極(画素電極)1 4 3は酸化物絶縁層1 0 7上に設けられている。第1電極(画素電極)1 4 3とソース/ドレイン電極1 5 8は、酸化物絶縁層1 0 7に設けられたコンタクトホール1 6 0によって接続されている。第1電極(画素電極)1 4 3を開口する隔壁層1 6 1は無機絶縁材料又は有機絶縁材料によって形成されている。隔壁層1 6 1の開口部の端は勾配がなだらかな曲面状に形成されている。

【0084】

発光素子1 4 2は、第1電極(画素電極)1 4 3と第2電極(対向電極)1 4 4の間にEL層1 6 2が設けられた構成を有している。第1電極(画素電極)1 4 3と第2電極(対向電極)1 4 4の一方をホール注入用の電極、他方を電子注入用の電極とする。ホール注入用の電極は、仕事関数が4 e V以上の材料で形成することが好ましく、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物等の材料を用いる。電子注入用の電極は仕事関数が4 e V未満の材料で形成することが好ましく、Ca、Al、CaF、MgAg、AlLi等が望ましいEL層1 6 2は、エレクトロルミネッセンスによる発光を得るための層であり、キャリア(ホール又は電子)を輸送する層及び発光層を適宜組み合わせる構成される。

【0085】

図1 3は発光装置の入力端子1 1 3の構成を示す。図1 3(A)は入力端子1 1 3の平面図を示す。入力端子1 1 3は基板1 0 1の端部に設けられている。図1 3(A)に示すG

10

20

30

40

50

- H切断線に対応する断面図を図14(A)又は図13(C)で示す。

【0086】

図13(B)は入力端子層170を走査線115と同じ層で形成する例を示す。入力端子層170の上層側にはゲート絶縁層152、酸化物絶縁層107が積層されるが、これらの絶縁層に開口部173設けることにより入力端子層170が絶縁層から露出するように形成されている。開口部173を覆い入力端子層170と接触する透明導電膜172が設けられている。透明導電膜172は、フレキシブルプリント配線と入力端子113を接続するときに接触抵抗が高くならないようにするために設けられている。金属で形成される入力端子層170の表面が酸化すると接触抵抗が増大してしまうが、酸化物導電材料である透明導電膜172を設けておけば接触抵抗の増大を防ぐことができる。

10

【0087】

図13(C)は入力端子層171を信号線116と同じ層で形成する例を示す。入力端子層171の上層側には酸化物絶縁層107が設けられるが、この絶縁層に開口部173設けることにより入力端子層171が絶縁層から露出するように形成されている。透明導電膜172は上記と同じ理由で設けられている。

【0088】

(コントラスト媒体表示装置)

図14(A)はコントラスト媒体163を用いた表示装置(「電子ペーパー」とも呼ばれる)の一態様を示す。コントラスト媒体163は充填材164とともに第1電極(画素電極)143と第2電極(対向電極)144の間に保持されており、両電極間に電位差を与えるとコントラストが変化するものである。第2電極(対向電極)144は対向基板165に設けられている。

20

【0089】

例えば、ツイストボール表示方式として、白と黒に塗り分けられた球形粒子を第1電極(画素電極)143と第2電極(対向電極)144の間に配置し、両電極間に電位差を生じさせての球形粒子の向きを制御することにより、表示を行う方式がある。

【0090】

また、ツイストボールの代わりに電気泳動素子を用いることも可能である。透明な充填材164と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10 μ m~200 μ m程度のマイクロカプセルを用いる。第1電極(画素電極)143と第2電極(対向電極)144の間に該マイクロカプセルを挟み、両電極間の電位差によって正に帯電した白い微粒子と負に帯電した黒い微粒子をそれぞれ別の方向に移動させる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーと呼ばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置(単に表示装置、又は表示装置を具備する半導体装置ともいう)を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

30

【0091】

(液晶表示装置)

表示装置の一態様として、液晶表示装置の画素の構成について図15及び図16を参照して説明する。ここで図15は画素の平面図の一例であり、図16はE1-F1切断線に対応した断面を示す。以下の説明では、図15及び図16を参照する。

40

【0092】

図15及び図16で示す液晶表示装置の画素は、走査線115及び信号線116と接続するスイッチング用TF T140を有している。スイッチング用TF T140のソース/ドレイン電極155は信号線116に接続し、ソース/ドレイン電極156は、酸化物絶縁層107に設けられたコンタクトホール167を介して第1電極(画素電極)143と接続している。容量素子145はゲート電極102と同じ層で形成される容量線166、ゲ

50

ート絶縁層 103 及びソース/ドレイン電極 156 の積層構造によって形成されている。スイッチング用 TFT 140 は、第 1 電極（画素電極）143 に与える信号のオン・オフを制御する。スイッチング用 TFT 140 の構成は図 12（A）で説明するものと同様である。

【0093】

液晶層 169 は第 1 電極（画素電極）143 と第 2 電極（対向電極）144 の間に設けられている。第 1 電極（画素電極）143 は、酸化物絶縁層 107 上に設けられている。第 1 電極（画素電極）143 及び第 2 電極（対向電極）144 上には配向膜 168 が設けられている。

【0094】

上記のように、本形態に係る酸化物半導体層にチャネル形成領域が形成される薄膜トランジスタによって、動作特性に優れた表示装置を完成させることができる。

【実施例 1】

【0095】

（酸化物半導体層の組成）

スパッタリング法により、以下に示す条件で酸化物半導体層をガラス基板上に作製した。

（条件 1）

ターゲット組成： $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$

（ $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ ）

Ar ガス流量：40 sccm

圧力：0.4 Pa

電力（DC）：500 W

基板温度：室温

（条件 2）

ターゲット組成： $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$

（ $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ ）

Ar ガス流量：10 sccm

酸素ガス流量：5 sccm

圧力：0.4 Pa

電力（DC）：500 W

基板温度：室温

【0096】

条件 1 で作製された酸化物半導体層を誘導結合プラズマ質量分析（Inductively Coupled Plasma Mass Spectrometer：ICP-MS 分析）により評価した。代表的な測定例を表 1 に示す。条件 1 で得られる酸化物半導体膜は、 $\text{InGa}_{0.95}\text{Zn}_{0.41}\text{O}_{3.33}$ である。また、条件 2 で得られる酸化物半導体膜は、 $\text{InGa}_{0.94}\text{Zn}_{0.40}\text{O}_{3.31}$ である。

【0097】

【表 1】

	組成 (atomic%)				組成式
	In	Ga	Zn	O	
条件 1	17.6	16.7	7.2	58.6	$\text{InGa}_{0.95}\text{Zn}_{0.41}\text{O}_{3.33}$
条件 2	17.7	16.7	7	58.6	$\text{InGa}_{0.94}\text{Zn}_{0.40}\text{O}_{3.31}$

【0098】

このように、ICP-MS 分析によって $\text{InMO}_3 (\text{ZnO})_m$ における m が整数でないことが確認できる。また、組成比から Zn の濃度が In 及び Ga の各元素の濃度よりも少ないことが確認される。

【 0 0 9 9 】

(酸化物半導体層の構造)

上記、条件 2 で、ガラス基板上に 4 0 0 n m の厚さで作製された酸化物半導体層の構造を X 線回折によって評価した。

【 0 1 0 0 】

図 1 7 は、条件 2 で作製されたままの試料 (a s - d e p o)、成膜後に窒素雰囲気で 3 5 0 、 1 時間の熱処理を行った試料、成膜後に窒素雰囲気で 5 0 0 、 1 時間の熱処理を行った試料の X 線回折パターンを示す。いずれの試料もハローパターンが観測され、アモルファス構造であることが確認されている。

【 0 1 0 1 】

なお、ターゲットの組成として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ の試料についても調べたが、X 線回折法による評価結果は同様の傾向を示し、本実施例で作製される酸化物半導体層がアモルファス構造であることが確認されている。

【 0 1 0 2 】

(薄膜トランジスタの特性)

図 1 8 に薄膜トランジスタのゲート電圧 (V_g) 対ドレイン電流 (I_d) の特性を示す。薄膜トランジスタの構造は図 2 で示すボトムゲート型の構造であり、チャネル長 1 0 0 μm 、チャネル幅 1 0 0 μm である。酸化物半導体層は上記の条件 2 で作製されている。電界効果移動度として 1 5 $\text{cm}^2 / \text{V} \cdot \text{sec}$ 以上、 1×10^{-11} A 以下のオフ電流、オン電流とオフ電流の比 (オン・オフ比) で 10^8 以上が得られている。このように、本実施例では、従来にないオン・オフ比の高い薄膜トランジスタが得られている。

【 符号の説明 】

【 0 1 0 3 】

- 1 0 1 基板
- 1 0 2 ゲート電極
- 1 0 3 ゲート絶縁層
- 1 0 4 ソース電極
- 1 0 5 ドレイン電極
- 1 0 6 酸化物半導体層
- 1 0 7 酸化物絶縁層
- 1 0 8 窒化物絶縁層
- 1 0 9 表示装置
- 1 1 0 画素部
- 1 1 1 走査線駆動回路
- 1 1 2 セレクタ回路
- 1 1 3 入力端子
- 1 1 4 ドライバ IC
- 1 1 5 走査線
- 1 1 6 信号線
- 1 1 7 画素トランジスタ
- 1 1 8 表示媒体
- 1 1 9 スイッチ回路
- 1 2 0 映像信号入力線
- 1 2 1 スイッチング素子
- 1 2 1 a スイッチング素子
- 1 2 1 b スイッチング素子
- 1 2 1 c スイッチング素子
- 1 2 2 同期信号入力線
- 1 2 3 シフトレジスタ
- 1 2 4 フリップフロップ回路

10

20

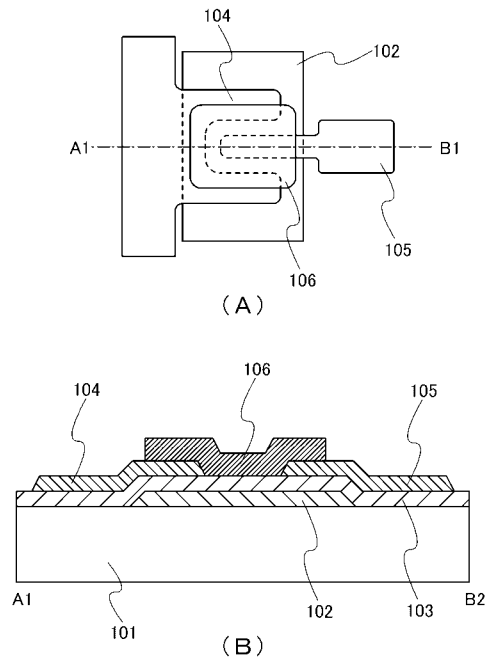
30

40

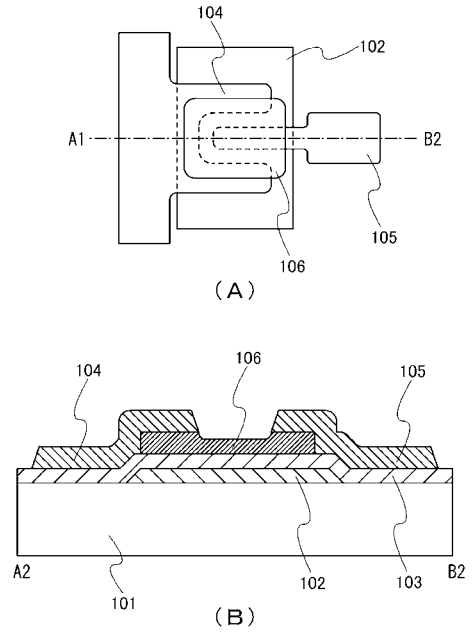
50

1 2 5	T F T (1)	
1 2 6	T F T (2)	
1 2 7	T F T (3)	
1 2 8	T F T (4)	
1 2 9	T F T (5)	
1 3 0	T F T (6)	
1 3 1	T F T (7)	
1 3 2	T F T (8)	
1 3 3	配線 (1)	
1 3 4	配線 (2)	10
1 3 5	配線 (3)	
1 3 6	配線 (4)	
1 3 7	配線 (5)	
1 3 8	配線 (6)	
1 3 9	画素	
1 4 0	スイッチング用 T F T	
1 4 1	駆動用 T F T	
1 4 2	発光素子	
1 4 3	第 1 電極 (画素電極)	
1 4 4	第 2 電極 (対向電極)	20
1 4 5	容量素子	
1 4 6	電源線	
1 4 7	共通電位線	
1 4 8	ゲート電極	
1 4 9	ゲート電極	
1 5 0	容量電極	
1 5 1	容量電極	
1 5 2	ゲート絶縁層	
1 5 3	酸化物半導体層	
1 5 4	酸化物半導体層	30
1 5 5	ソース / ドレイン電極	
1 5 6	ソース / ドレイン電極	
1 5 7	ソース / ドレイン電極	
1 5 8	ソース / ドレイン電極	
1 5 9	コンタクトホール	
1 6 0	コンタクトホール	
1 6 1	隔壁層	
1 6 2	E L 層	
1 6 3	コントラスト媒体	
1 6 4	充填材	40
1 6 5	対向基板	
1 6 6	容量線	
1 6 7	コンタクトホール	
1 6 8	配向膜	
1 6 9	液晶層	
1 7 0	入力端子層	
1 7 1	入力端子層	
1 7 2	透明導電膜	
1 7 3	開口部	

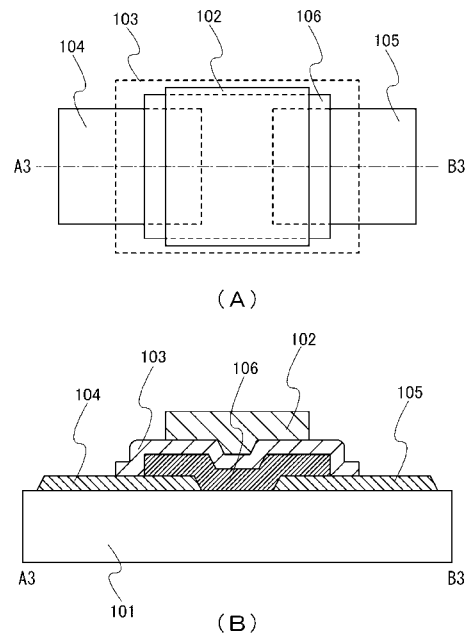
【図 1】



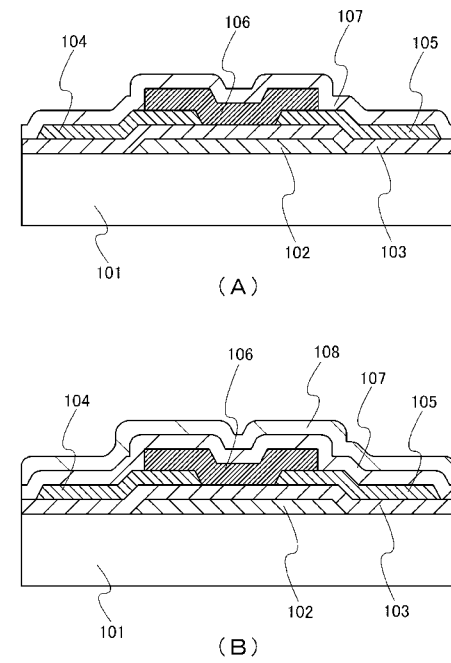
【図 2】



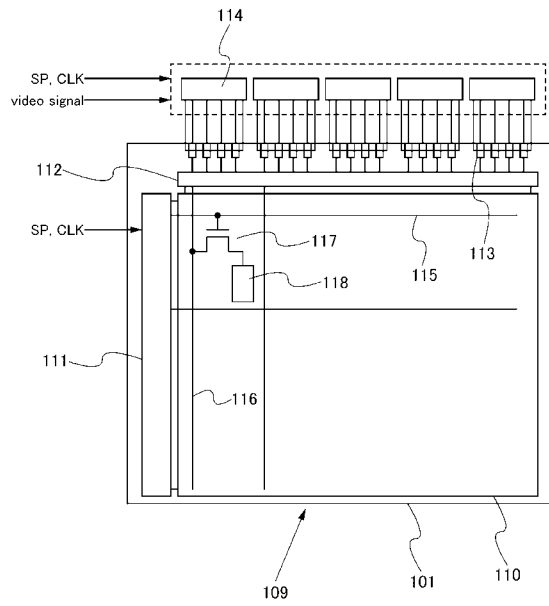
【図 3】



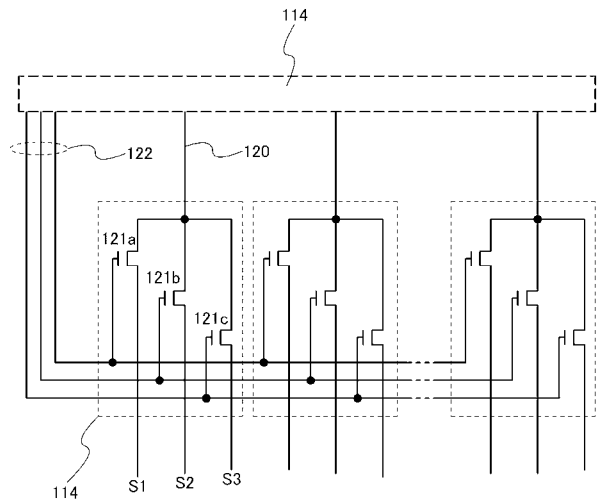
【図 4】



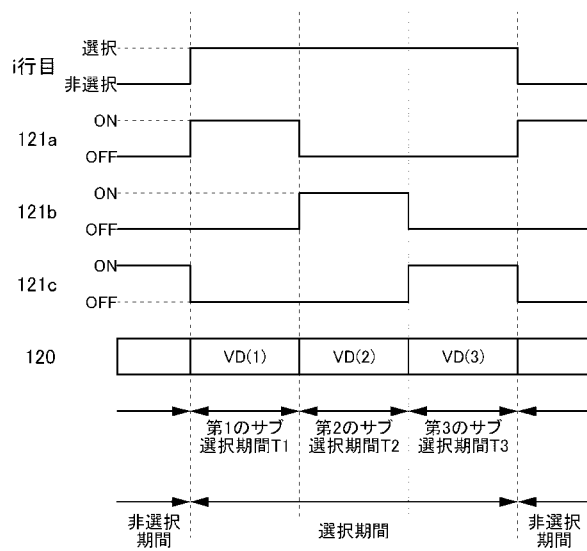
【図 5】



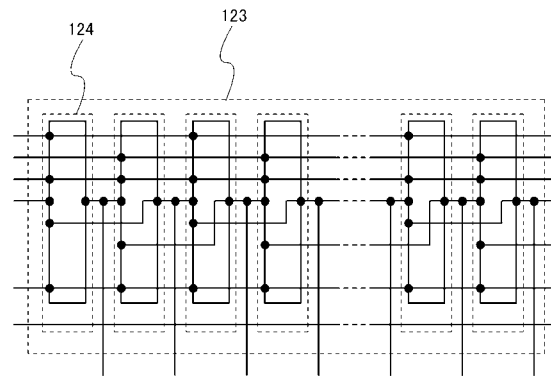
【図 6】



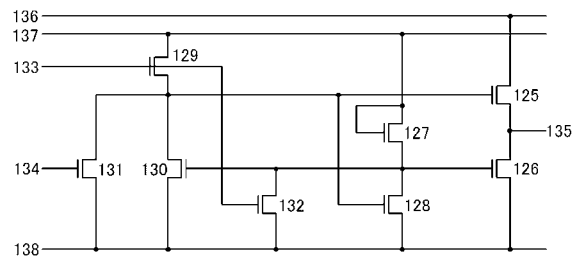
【図 7】



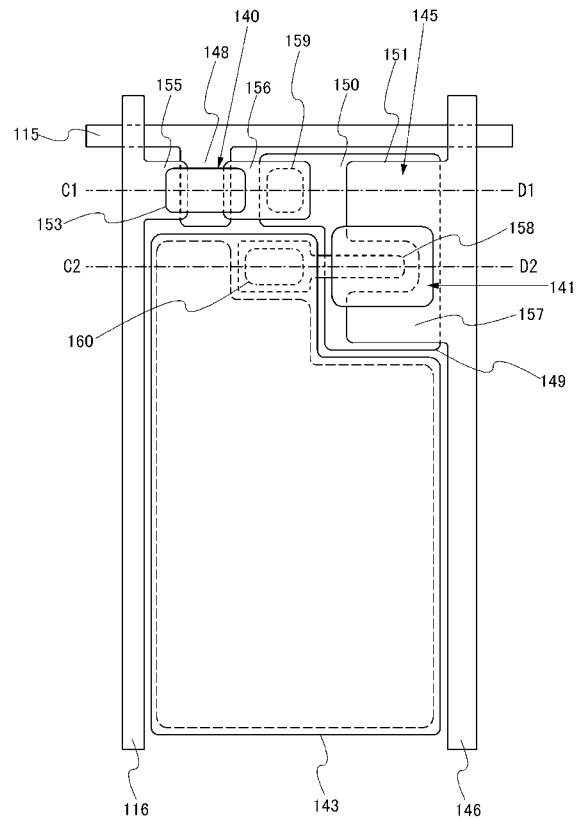
【図 8】



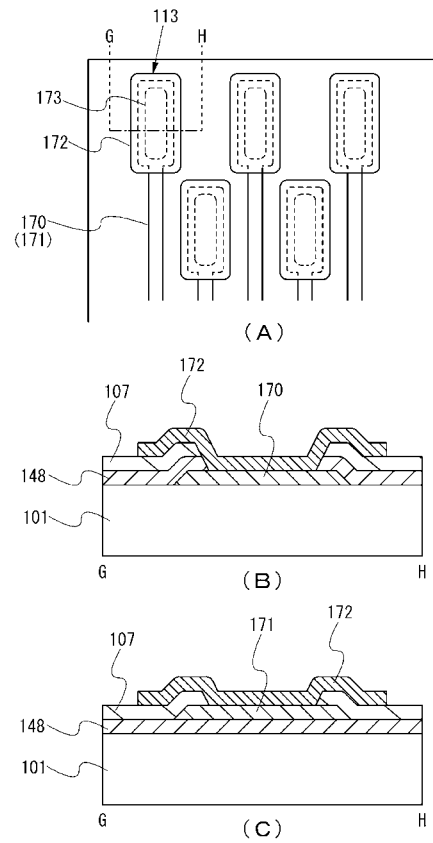
【図 9】



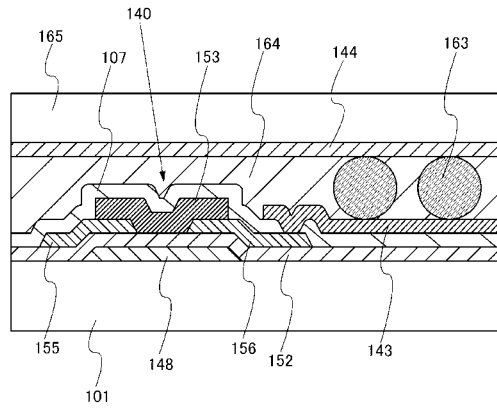
【 図 1 1 】



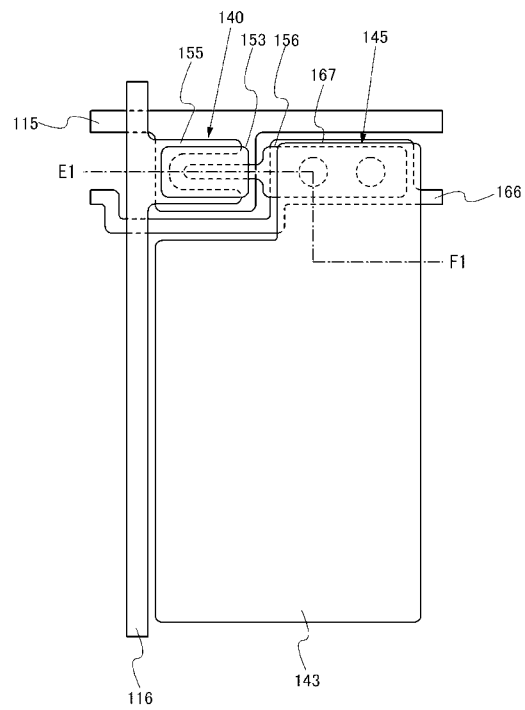
【 ㊦ 1 3 】



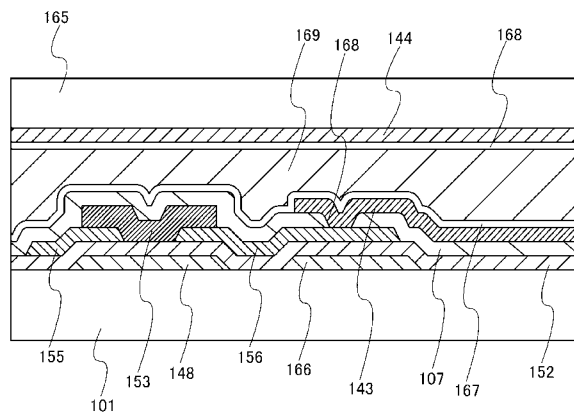
【図 14】



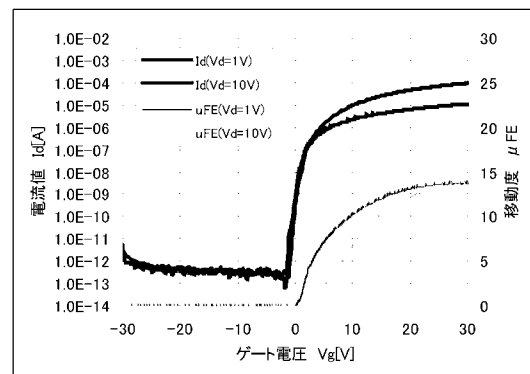
【図 15】



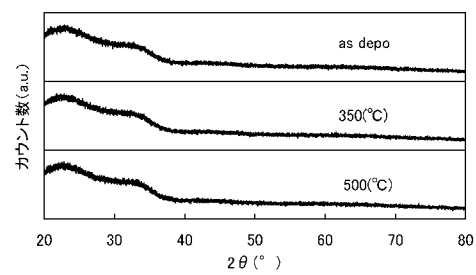
【図 16】



【図 18】



【図 17】



フロントページの続き

F ターム(参考) 2H192 AA24 BC31 CB03 CB06 CB37 CB52 CC42 DA12 FB02 FB27
FB46
5F110 AA06 BB01 BB02 CC01 CC03 CC07 DD01 DD02 DD07 EE02
EE03 EE04 EE06 EE14 FF02 FF03 FF04 FF28 FF29 FF30
GG01 GG06 GG13 GG14 GG15 GG24 GG28 GG29 GG33 GG43
GG57 GG58 HK01 HK02 HK03 HK04 HK06 HK21 HK22 HM03
NN03 NN05 NN22 NN23 NN24 NN40 NN72 QQ09

专利名称(译)	液晶表示装置		
公开(公告)号	JP2017027081A	公开(公告)日	2017-02-02
申请号	JP2016209170	申请日	2016-10-26
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	伊藤俊一 佐々木俊成 細羽みゆき 坂田淳一郎		
发明人	伊藤 俊一 佐々木 俊成 細羽 みゆき 坂田 淳一郎		
IPC分类号	G02F1/1368 H01L29/786		
FI分类号	G02F1/1368 H01L29/78.618.B		
F-TERM分类号	2H192/AA24 2H192/BC31 2H192/CB03 2H192/CB06 2H192/CB37 2H192/CB52 2H192/CC42 2H192/DA12 2H192/FB02 2H192/FB27 2H192/FB46 5F110/AA06 5F110/BB01 5F110/BB02 5F110/CC01 5F110/CC03 5F110/CC07 5F110/DD01 5F110/DD02 5F110/DD07 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF28 5F110/FF29 5F110/FF30 5F110/GG01 5F110/GG06 5F110/GG13 5F110/GG14 5F110/GG15 5F110/GG24 5F110/GG28 5F110/GG29 5F110/GG33 5F110/GG43 5F110/GG57 5F110/GG58 5F110/HK01 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK21 5F110/HK22 5F110/HM03 5F110/NN03 5F110/NN05 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN40 5F110/NN72 5F110/QQ09		
其他公开文献	JP6294429B2		
外部链接	Espacenet		

摘要(译)

为了控制氧化物半导体的组成或缺陷作为一个目的，并提供薄膜晶体管为了增加晶体管的场效应迁移率并获得足够的导通/截止比，同时抑制截止电流 这是其他目的之一。(M = Ga, Fe, Ni, Mn, Co和Al) 来自InMO₃ (ZnO)_m 选择一个或多个元素，m是大于或等于1且小于50的非整数。在这种情况下，当Zn的浓度为选自In和M (M = Fe, Ga, Ni和Al) 中的至少一种元素时) 低于。另外，氧化物半导体具有非晶结构。哪个m 优选为大于或等于1且小于50，更优选小于10的非整数的非整数。

