

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-16154

(P2017-16154A)

(43) 公開日 平成29年1月19日(2017.1.19)

(51) Int.Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 338	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	2H192
H01L 51/50 (2006.01)	H05B 33/14 A	3K107
H01L 29/786 (2006.01)	H01L 29/78 617M	5C094
G02F 1/1343 (2006.01)	H01L 29/78 612C	5F110
審査請求 有 請求項の数 1 O L (全 30 頁) 最終頁に続く		

(21) 出願番号	特願2016-193261 (P2016-193261)	(71) 出願人	000153878
(22) 出願日	平成28年9月30日 (2016. 9. 30)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2014-176904 (P2014-176904) の分割	(72) 発明者	山崎 舜平
原出願日	平成12年4月12日 (2000. 4. 12)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願平11-104646		半導体エネルギー研究所内
(32) 優先日	平成11年4月12日 (1999. 4. 12)	(72) 発明者	小山 潤
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	高山 徹
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	濱谷 敏次
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】アクティブマトリクス型の液晶表示装置の画面の大面積化を可能とするゲート電極とゲート配線を提供することを第1の課題とする。

【解決手段】同一基板上に表示領域と、表示領域の周辺に設けられた駆動回路と、を有し

、表示領域は、第1の薄膜トランジスタを有し、駆動回路は、第2の薄膜トランジスタを

有し、第1の薄膜トランジスタと第2の薄膜トランジスタは、リングドープされたシリコ

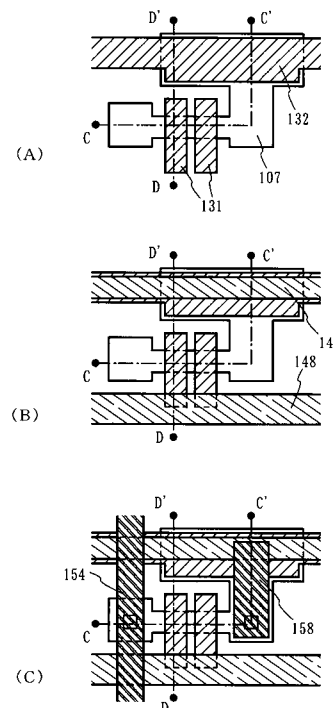
ンでなるゲート電極を有し、ゲート電極は、チャネル形成領域の外側に設けられた接続部

でアルミニウムまたは銅を主成分とする層とタンタル、

タングステン、チタン、モリブデ

ンから選ばれた少なくとも1種を主成分とする層とを有する配線と電気的に接続する。

【選択図】図7



【特許請求の範囲】

【請求項 1】

第 1 のゲート電極を有する第 1 の薄膜トランジスタと、
第 2 のゲート電極を有する第 2 の薄膜トランジスタと、を有し、
前記第 1 のゲート電極と電氣的に接続された配線を有し、
前記配線と前記第 1 のゲート電極とは、前記第 1 の薄膜トランジスタのチャネル形成領域の外側に設けられた第 1 の接続部で電氣的に接続し、
前記第 1 のゲート電極及び前記第 2 のゲート電極は、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種を主成分とする導電層の単層構造であり、
前記配線は、アルミニウムまたは銅を主成分とする層と、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種を主成分とする層と、を有することを特徴とする表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、絶縁表面を有する基板上に薄膜トランジスタ（以下、TFTと記す）による能動回路を設けた半導体装置およびその作製方法に関する。特に本発明は、画像表示領域とその駆動回路とを同一基板上に設けた液晶表示装置に代表される電気光学装置、および電気光学装置を搭載した電子機器に好適に利用できる。尚、本明細書における半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した電子機器をその範疇に含んでいる。

20

【背景技術】

【0002】

結晶質シリコン膜で半導体層を形成したTFT（以下、結晶質シリコンTFTと記す）は電界効果移動度が高く、いろいろな機能回路を形成することが可能である。結晶質シリコンTFTを用いたアクティブマトリクス型液晶表示装置は、画像表示領域と画像表示を行うための駆動回路が同一の基板上に形成されている。画像表示領域にはnチャネル型TFTで形成した画素TFTと保持容量が設けられおり、駆動回路にはCMOS回路を基本として形成されるシフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路などから構成されている。

30

【0003】

しかし、画素TFTと駆動回路のTFTとでは動作条件が同一でなく、従ってTFTに要求される特性は少なからず異なっている。例えば、画素TFTはスイッチ素子として機能するものであり、液晶に電圧を印加して駆動させるものである。液晶は交流で駆動させるので、フレーム反転駆動と呼ばれる方式が多く採用されている。この方式では消費電力を低く抑えるために、画素TFTに要求される特性はオフ電流値（TFTがオフ動作時に流れるドレイン電流）を十分低くすることである。一方、制御回路のバッファ回路は高い駆動電圧が印加されるため、高電圧が印加されても壊れないように耐圧を高めておく必要がある。また電流駆動能力を高めるために、オン電流値（TFTがオン動作時に流れるドレイン電流）を十分確保する必要がある。

40

【0004】

オフ電流値を低減するためのTFTの構造として、低濃度ドレイン（LDD：Lightly Doped Drain）構造が知られている。この構造はチャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域を設けたものであり、この領域をLDD領域と呼んでいる。また、ホットキャリアによるオン電流値の劣化を防ぐための手段として、LDD領域をゲート絶縁膜を介してゲート電極と重ねて配置させた、いわゆるGOLD（Gate-drain Overlapped LDD）構造が知られている。このような構造とすることで、ドレイン近傍の高電界が緩和されてホットキャリア注入を防ぎ、劣化現象の防止に有効であることが知られている。

【0005】

50

一方、アクティブマトリクス型液晶表示装置の商品としての価値を高めるために、画面の大型化および高精細化が要求がなされている。しかし、画面の大型化および高精細化により走査線（ゲート配線）の数が増えその長さも増大するので、ゲート配線の低抵抗化により必要となる。すなわち走査線が増えるに従って液晶への充電時間が短くなり、ゲート配線の時定数（抵抗×容量）を小さくして高速で応答させる必要がある。例えば、ゲート配線を形成する材料の比抵抗が $100\mu\text{cm}$ の場合には画面サイズが6インチクラスがほぼ限界となるが、 $3\mu\text{cm}$ の場合には27インチクラス相当まで表示が可能とされている。

【発明の概要】

【発明が解決しようとする課題】

10

【0006】

しかしながら、画素マトリクス回路の画素TFTと、シフトレジスタ回路やバッファ回路などの制御回路のTFTとは、その要求される特性は必ずしも同じではない。例えば、画素TFTにおいてはゲートに大きな逆バイアス（nチャネル型TFTでは負の電圧）が印加されるが、制御回路のTFTは基本的に逆バイアス状態で動作することはない。また、動作速度に関しても、画素TFTは制御回路のTFTの $1/100$ 以下で良い。

【0007】

また、GOLD構造はオン電流値の劣化を防ぐ効果は高いが、その反面、通常のLDD構造と比べてオフ電流値が大きくなってしまいう問題があった。従って、画素TFTに適用するには好ましい構造ではなかった。逆に通常のLDD構造はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホットキャリア注入による劣化を防ぐ効果は低かった。このように、アクティブマトリクス型液晶表示装置のような動作条件の異なる複数の集積回路を有する半導体装置において、全てのTFTを同じ構造で形成することは必ずしも好ましくなかった。このような問題点は、特に結晶質シリコンTFTにおいて、その特性が高まり、またアクティブマトリクス型液晶表示装置に要求される性能が高まるほど顕在化してきた。

20

【0008】

大画面のアクティブマトリクス型の液晶表示装置を実現するために、配線材料としてアルミニウム（Al）や銅（Cu）を使用することも考えられるが、耐食性や耐熱性が悪いといった欠点があった。従って、TFTのゲート電極をこのような材料で形成することは必ずしも好ましくなく、そのような材料をTFTの製造工程に導入することは容易ではなかった。勿論、配線を他の導電性材料で形成することも可能であるが、アルミニウム（Al）や銅（Cu）ほど低抵抗な材料はなく、大画面の表示装置を作製することはできなかった。

30

【課題を解決するための手段】

【0009】

上記問題点を解決するために、本発明の構成は、表示領域に設けた画素TFTと、該表示領域の周辺に設けた駆動回路のTFTとを同一の基板上に有する半導体装置において、前記画素TFTと前記駆動回路のTFTとは、第1の導電層で形成されるゲート電極を有し、前記ゲート電極は、第2の導電層で形成されるゲート配線と接続部で電氣的に接触し、前記接続部は、前記画素TFTと前記駆動回路のTFTとが有するチャンネル形成領域の外側に設けられていることを特徴としている。

40

【0010】

また、他の発明の構成は、表示領域に設けた画素TFTと、該表示領域の周辺に設けた駆動回路のTFTとを同一の基板上に有する半導体装置において、前記画素TFTと前記駆動回路のTFTとは、第1の導電層で形成されるゲート電極を有し、前記ゲート電極は、第2の導電層で形成されるゲート配線と、前記画素TFTと前記駆動回路のTFTとが有するチャンネル形成領域の外側に設けられた接続部で電氣的に接触し、前記画素TFTのLDD領域は、該画素TFTのゲート電極と重ならないように配置され、前記駆動回路の第1のnチャネル型TFTのLDD領域は、該第1のnチャネル型TFTのゲート電極と

50

重なるように配置され、前記駆動回路の第 2 の n チャンネル型 T F T の L D D 領域は、該第 1 の n チャンネル型 T F T のゲート電極と少なくとも一部が重なるように配置されていることを特徴としている。

【 0 0 1 1 】

上記本発明の構成において、前記第 1 の導電層は、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種と窒素とを含む導電層 (A) と、該導電層 (A) 上に形成され、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種を主成分とする導電層 (B) と、該導電層 (B) が該導電層 (A) に接しない領域に形成され、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種と窒素とを含む導電層 (C) とを有し、前記第 2 の導電層は、少なくとも、アルミニウムまたは銅を主成分とする導電層 (D) と、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種を主成分とする導電層 (E) とを有し、前記接続部で導電層 (C) と導電層 (D) が接触していることを特徴としている。前記導電層 (B) は、添加元素としてアルゴンを含み、かつ、該導電層 (B) 中の酸素濃度が 3 0 p p m 以下であることをが望ましい。

10

【 0 0 1 2 】

上記問題点を解決するために、本発明の半導体装置の作製方法は、表示領域に設けた画素 T F T と、該表示領域の周辺に設けた駆動回路の T F T とを同一の基板上に有する半導体装置の作製方法において、前記画素 T F T と前記駆動回路の T F T とのゲート電極を、第 1 の導電層で形成する工程と、前記ゲート電極に接続するゲート配線を、第 2 の導電層で形成する工程とを有し、前記ゲート電極と前記ゲート配線とは、前記画素 T F T と前記駆動回路の T F T とのチャンネル形成領域の外側に設けられた接続部で接続することを特徴としている。

20

【 0 0 1 3 】

また、本発明の半導体装置の作製方法は、表示領域に設けた画素 T F T と、該表示領域の周辺に設けた駆動回路の T F T とを同一の基板上に有する半導体装置において、前記駆動回路を形成する第 1 および第 2 の n チャンネル型 T F T の半導体層に、 $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度範囲で n 型を付与する不純物元素を選択的に添加する第 1 の工程と、前記画素 T F T と前記駆動回路の T F T とのゲート電極を第 1 の導電層で形成する第 2 の工程と、前記駆動回路を形成する p チャンネル型 T F T の半導体層に、 $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲で p 型を付与する不純物元素を選択的に添加する第 3 の工程と、前記駆動回路を形成する第 1 および第 2 の n チャンネル型 T F T の半導体層と、前記画素 T F T の半導体層とに、 $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲で n 型を付与する不純物元素を選択的に添加する第 4 の工程と、前記画素 T F T の半導体層に、ゲート電極をマスクとして、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度範囲で n 型を付与する不純物元素を選択的に添加する第 5 の工程と、前記画素 T F T と前記駆動回路の T F T とのゲート配線を第 2 の導電層で形成する第 6 の工程とを有し、前記ゲート電極と前記ゲート配線とは、前記画素 T F T と前記駆動回路の T F T とのチャンネル形成領域の外側に設けられた接続部で接続することを特徴としている。

30

【 0 0 1 4 】

上記本発明の半導体装置の作製方法において、前記第 1 の導電層は、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種と窒素とを含む導電層 (A) を形成する工程と、該導電層 (A) 上に形成されタンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種を主成分とする導電層 (B) を形成する工程と、該導電層 (B) が該導電層 (A) に接しない領域に形成されタンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種と窒素とを含む導電層 (C) を形成する工程とから形成され、前記第 2 の導電層は、少なくとも、アルミニウムまたは銅を主成分とする導電層 (D) を形成する工程と、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種を主成分とする導電層 (E) を形成する工程とから形成され、前記接続部で導電層 (C) と導電層 (D) が接続していることを特徴としている。導電層 (A) は

40

50

、アルゴンと窒素またはアンモニアとの混合雰囲気中で、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも１種を主成分とするターゲットを用いたスパッタ法で形成することが可能であり、導電層（Ｃ）は、酸素濃度が１ppm以下の窒素雰囲気中で導電層（Ｂ）を熱処理して形成することが望ましい。また、導電層（Ｃ）は、酸素濃度が１ppm以下の窒素プラズマ雰囲気中で導電層（Ｂ）を熱処理して形成しても良い。

【発明の効果】

【００１５】

本発明を用いることで、同一の基板上に複数の機能回路が形成された半導体装置（ここでは具体的には電気光学装置）において、その機能回路が要求する仕様に応じて適切な性能のＴＦＴを配置することが可能となり、その動作特性や信頼性を大幅に向上させることができる。特に、画素マトリクス回路のｎチャネル型ＴＦＴのＬＤＤ領域を n^{++} の濃度でかつＬoffのみとして形成することにより、大幅にオフ電流値を低減でき、画素マトリクス回路の低消費電力化に寄与することができる。また、制御回路のｎチャネル型ＴＦＴのＬＤＤ領域を n^{++} の濃度でかつＬovのみとして形成することにより、電流駆動能力を高め、かつ、ホットキャリアによる劣化を防ぎ、オン電流値の劣化を低減することができる。また、そのような電気光学装置を表示媒体として有する半導体装置（ここでは具体的に電子機器）の動作性能と信頼性も向上させることができる。

【００１６】

さらに画素ＴＦＴおよび駆動回路のＴＦＴのゲート電極を耐熱性の高い導電性材料で形成し、ゲート電極に接続するゲート配線をアルミニウム（Ａｌ）などの低抵抗材料で形成することで、上記のような良好なＴＦＴ特性を実現し、そのようなＴＦＴを用いて４インチクラス以上の大画面の表示装置を実現することができる。

【図面の簡単な説明】

【００１７】

【図１】画素ＴＦＴ、保持容量、駆動回路のＴＦＴの作製工程を示す断面図。

【図２】画素ＴＦＴ、保持容量、駆動回路のＴＦＴの作製工程を示す断面図。

【図３】画素ＴＦＴ、保持容量、駆動回路のＴＦＴの作製工程を示す断面図。

【図４】画素ＴＦＴ、保持容量、駆動回路のＴＦＴの作製工程を示す断面図。

【図５】画素ＴＦＴ、保持容量、駆動回路のＴＦＴの断面図。

【図６】画素ＴＦＴ、保持容量、駆動回路のＴＦＴの作製工程を示す上面図。

【図７】画素ＴＦＴ、保持容量、駆動回路のＴＦＴの作製工程を示す上面図。

【図８】駆動回路のＴＦＴの作製工程を示す上面図。

【図９】画素ＴＦＴの作製工程を示す上面図。

【図１０】液晶表示装置の入出力端子、配線回路配置を示す上面図。

【図１１】液晶表示装置の構造を示す断面図。

【図１２】液晶表示装置の構造を示す斜視図。

【図１３】表示領域の画素を示す上面図

【図１４】液晶表示装置の回路ブロック図

【図１５】ゲート電極とＬＤＤ領域の位置関係を示す図。

【図１６】ゲート電極とゲート配線の接続を示す図。

【図１７】半導体装置の一例を示す図。

【図１８】ＥＬ表示装置の構造を示す上面図及び断面図。

【図１９】ＥＬ表示装置の画素部の断面図。

【図２０】ＥＬ表示装置の画素部の上面図と回路図。

【図２１】ＥＬ表示装置の画素部の回路図の例。

【図２２】ゲート電極とゲート配線の重ね合わせ部における断面ＴＥＭ写真。

【図２３】ゲート電極（Ｔa）とゲート配線（Ａｌ－Ｎｄ）の界面付近における断面ＴＥＭ写真。

【図２４】ＴＦＴのＶＧ－ＩＤ特性であり、バイアス－熱ストレス試験の結果を示すグラフ。

10

20

30

40

50

【図 2 5】ゲート配線の入力部および末端部における信号波形の立ち上がり時間 (A) と立ち下がり時間 (B) を示すグラフ。

【図 2 6】ゲート電極とゲート配線のコンタクト抵抗の影響をシミュレーションで計算した結果を示すグラフ。

【発明を実施するための形態】

【0018】

[実施形態 1]

本発明の実施形態を図 1 ~ 図 5 を用いて説明する。ここでは表示領域の画素 TFT と、表示領域の周辺に設けられる駆動回路の TFT を同一基板上に作製する方法について工程に従って詳細に説明する。但し、説明を簡単にするために、制御回路ではシフトレジスタ回路、バッファ回路などの基本回路である CMOS 回路と、サンプリング回路を形成する n チャンネル型 TFT とを図示することにする。

【0019】

図 1 (A) において、基板 101 には低アルカリガラス基板や石英基板を用いることができる。本実施例では低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも 10 ~ 20 程度低い温度であらかじめ熱処理しておいても良い。この基板 101 の TFT を形成する表面には、基板 101 からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜 102 を形成する。例えば、プラズマ CVD 法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜を 100 nm、同様に SiH_4 、 N_2O から作製される酸化窒化シリコン膜を 200 nm の厚さに積層形成する。

【0020】

次に、20 ~ 150 nm (好ましくは 30 ~ 80 nm) の厚さで非晶質構造を有する半導体膜 103a を、プラズマ CVD 法やスパッタ法などの公知の方法で形成する。本実施例では、プラズマ CVD 法で非晶質シリコン膜を 55 nm の厚さに形成した。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜 102 と非晶質シリコン膜 103a とは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。

下地膜を形成した後、一旦大気雰囲気中に晒さないことでその表面の汚染を防ぐことが可能となり、作製する TFT の特性バラツキやしきい値電圧の変動を低減させることができる。(図 1 (A))

【0021】

そして、公知の結晶化技術を使用して非晶質シリコン膜 103a から結晶質シリコン膜 103b を形成する。例えば、レーザー結晶化法や熱結晶化法 (固相成長法) を適用すれば良いが、ここでは、特開平 7 - 130652 号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン膜 103b を形成した。結晶化の工程に先立って、非晶質シリコン膜の含有水素量にもよるが、400 ~ 500 で 1 時間程度の熱処理を行い、含有水素量を 5 atom% 以下にしてから結晶化させることが望ましい。非晶質シリコン膜を結晶化させると原子の再配列が起こり緻密化するので、作製される結晶質シリコン膜の厚さは当初の非晶質シリコン膜の厚さ (本実施例では 55 nm) よりも 1 ~ 15 % 程度減少した。(図 1 (B))

【0022】

そして、結晶質シリコン膜 103b を島状に分割して、島状半導体層 104 ~ 107 を形成する。その後、プラズマ CVD 法またはスパッタ法により 50 ~ 100 nm の厚さの酸化シリコン膜によるマスク層 108 を形成する。(図 1 (C))

【0023】

そしてレジストマスク 109 を設け、n チャンネル型 TFT を形成する島状半導体層 105 ~ 107 の全面にしきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ 程度の濃度で p 型を付与する不純物元素としてボロン (B) を添加した。ボロン (B) の添

10

20

30

40

50

加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。ここでのボロン(B)添加は必ずしも必要でないが、ボロン(B)を添加した半導体層110~112はnチャネル型TFETのしきい値電圧を所定の範囲内に収めるために形成することが好ましかった。(図1(D))

【0024】

駆動回路のnチャネル型TFETのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層110、111に選択的に添加する。そのため、あらかじめレジストマスク113~116を形成した。n型を付与する不純物元素としては、リン(P)や砒素(As)を用いれば良く、ここではリン(P)を添加すべく、フォスフィン(PH₃)を用いたイオンドープ法を適用した。形成された不純物領域117、118のリン(P)濃度は $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の範囲とすれば良い。本明細書中では、ここで形成された不純物領域117~119に含まれるn型を付与する不純物元素の濃度を(n⁺)と表す。また、不純物領域119は、画素マトリクス回路の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン(P)を添加した。(図2(A))

10

20

【0025】

次に、マスク層108をフッ酸などにより除去して、図1(D)と図2(A)で添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で500~600℃で1~4時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用して行っても良い。本実施例では、レーザー活性化の方法を用い、KrFエキシマレーザー光(波長248nm)を用い、線状ビームを形成して、発振周波数5~50Hz、エネルギー密度100~500mJ/cm²として線状ビームのオーバーラップ割合を80~98%として走査して、島状半導体層が形成された基板全面を処理した。尚、レーザー光の照射条件には何ら限定される事項はなく、実施者が適宜決定すれば良い。

【0026】

そして、ゲート絶縁膜120をプラズマCVD法またはスパッタ法を用いて10~150nmの厚さでシリコンを含む絶縁膜で形成する。例えば、120nmの厚さで酸化窒化シリコン膜を形成する。ゲート絶縁膜には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。(図2(B))

【0027】

次に、ゲート電極を形成するために第1の導電層を成膜する。この第1の導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった積層構造としても良い。本実施例では、導電性の窒化物金属膜から成る導電層(A)121と金属膜から成る導電層(B)122とを積層させた。導電層(B)122はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜)で形成すれば良く、導電層(A)121は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)で形成する。また、導電層(A)121は代替材料として、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層(B)は低抵抗化を図るために含有する不純物濃度を低減させると良く、特に酸素濃度に関しては30ppm以下とすると良かった。例えば、タングステン(W)は酸素濃度を30ppm以下とすることで20μm以下の比抵抗値を実現することができた。

30

40

【0028】

導電層(A)121は10~50nm(好ましくは20~30nm)とし、導電層(B)122は200~400nm(好ましくは250~350nm)とすれば良い。本実施例では、導電層(A)121に30nmの厚さの窒化タンタル膜を、導電層(B)122には350nmのTa膜を用い、いずれもスパッタ法で形成した。このスパッタ法による成膜では、スパッタ用のガスのArに適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。尚、図示しないが、導電層(A)121の下に2~20nm程度の厚さでリン(P)をドープしたシリコン膜を形成しておく

50

ことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層(A)または導電層(B)が微量に含有するアルカリ金属元素がゲート絶縁膜120に拡散するのを防ぐことができる。(図2(C))

【0029】

次に、レジストマスク123~127を形成し、導電層(A)121と導電層(B)122とを一括でエッチングしてゲート電極128~131と容量配線132を形成する。ゲート電極128~131と容量配線132は、導電層(A)から成る128a~132aと、導電層(B)から成る128b~132bとが一体として形成されている。この時、駆動回路に形成するゲート電極129、130は不純物領域117、118の一部と、ゲート絶縁膜120を介して重なるように形成する。(図2(D))

10

【0030】

次いで、駆動回路のpチャネル型TFETのソース領域およびドレイン領域を形成するために、p型を付与する不純物元素を添加する工程を行う。ここでは、ゲート電極128をマスクとして、自己整合的に不純物領域を形成する。このとき、nチャネル型TFETが形成される領域はレジストマスク133で被覆しておく。そして、ジボラン(B_2H_6)を用いたイオンドープ法で不純物領域134を形成した。この領域のボロン(B)濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。本明細書中では、ここで形成された不純物領域134に含まれるp型を付与する不純物元素の濃度を(p^+)と表す。(図3(A))

20

【0031】

次に、nチャネル型TFETにおいて、ソース領域またはドレイン領域として機能する不純物領域の形成を行った。レジストのマスク135~137を形成し、n型を付与する不純物元素が添加して不純物領域138~142を形成した。これは、フォスフィン(PH_3)を用いたイオンドープ法で行い、この領域のリン(P)濃度を $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とした。本明細書中では、ここで形成された不純物領域138~142に含まれるn型を付与する不純物元素の濃度を(n^+)と表す。(図3(B))

【0032】

不純物領域138~142には、既に前工程で添加されたリン(P)またはボロン(B)が含まれているが、それに比して十分に高い濃度でリン(P)が添加されるので、前工程で添加されたリン(P)またはボロン(B)の影響は考えなくても良い。また、不純物領域138に添加されたリン(P)濃度は図3(A)で添加されたボロン(B)濃度の $1/2 \sim 1/3$ なのでp型の導電性が確保され、TFETの特性に何ら影響を与えることはなかった。

30

【0033】

そして、画素マトリクス回路のnチャネル型TFETのLDD領域を形成するためのn型を付与する不純物添加の工程を行った。ここではゲート電極131をマスクとして自己整合的にn型を付与する不純物元素をイオンドープ法で添加した。添加するリン(P)の濃度は $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ であり、図2(A)および図3(A)と図3(B)で添加する不純物元素の濃度よりも低濃度で添加することで、実質的には不純物領域143、144のみが形成される。本明細書中では、この不純物領域143、144に含まれるn型を付与する不純物元素の濃度を(n^+)と表す。(図3(C))

40

【0034】

その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行う。この工程はファーネスアニール法、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)で行うことができる。ここではファーネスアニール法で活性化工程を行った。熱処理は酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~800、代表的には500~600で行うものであり、本実施例では550で4時間の熱処理を行った。また、基板101に石英基板のような耐熱性を有するものを使用した場合には、800で1時間の熱処理としても良

50

く、不純物元素の活性化と、該不純物元素が添加された不純物領域とチャネル形成領域との接合を良好に形成することができた。

【0035】

この熱処理において、ゲート電極128～131と容量配線132形成する金属膜128b～132bは、表面から5～80nmの厚さで導電層(C)128c～132cが形成される。例えば、導電層(B)128b～132bがタングステン(W)の場合には窒化タングステン(WN)が形成され、タンタル(Ta)の場合には窒化タンタル(TaN)を形成することができる。また、導電層(C)128c～132cは、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気中にゲート電極128～131を晒しても同様に形成することができ。さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

10

【0036】

島状半導体層が、非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製された場合、島状半導体層中には微量の触媒元素が残留した。勿論、そのような状態でもTFETを完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン(P)によるゲッターリング作用を利用する手段があった。ゲッターリングに必要なリン(P)の濃度は図3(B)で形成した不純物領域(n⁺)と同程度であり、ここで実施される活性化工程の熱処理により、nチャネル型TFETおよびpチャネル型TFETのチャネル形成領域から触媒元素をゲッターリングをすることができた。(図3(D))

20

【0037】

図6(A)および図7(A)はここまでの工程におけるTFETの上面図であり、A-A'断面およびC-C'断面は図3(D)のA-A'およびC-C'に対応している。また、B-B'断面およびD-D'断面は図8(A)および図9(A)の断面図に対応している。図6および図7の上面図はゲート絶縁膜を省略しているが、ここまでの工程で少なくとも島状半導体層104～107上にゲート電極128～131と容量配線132が図に示すように形成されている。

30

【0038】

活性化および水素化の工程が終了したら、ゲート配線とする第2の導電膜を形成する。この第2の導電膜は低抵抗材料であるアルミニウム(Al)や銅(Cu)を主成分とする導電層(D)と、チタン(Ti)やタンタル(Ta)、タングステン(W)、モリブデン(Mo)から成る導電層(E)とで形成すると良い。

本実施例では、チタン(Ti)を0.1～2重量%含むアルミニウム(Al)膜を導電層(D)145とし、チタン(Ti)膜を導電層(E)146として形成した。導電層(D)145は200～400nm(好ましくは250～350nm)とすれば良く、導電層(E)146は50～200nm(好ましくは100～150nm)で形成すれば良い。(図4(A))

40

【0039】

そして、ゲート電極に接続するゲート配線を形成するために導電層(E)146と導電層(D)145とをエッチング処理して、ゲート配線147、148と容量配線149を形成した。エッチング処理は最初にSiCl₄とCl₂とBCl₃との混合ガスを用いたドライエッチング法で導電層(E)の表面から導電層(D)の途中まで除去し、その後リン酸系のエッチング溶液によるウェットエッチングで導電層(D)を除去することにより、下地との選択加工性を保ってゲート配線を形成することができた。

【0040】

図6(B)および図7(B)はこの状態の上面図を示し、A-A'断面およびC-C'断面は図4(B)のA-A'およびC-C'に対応している。また、B-B'断面およびD-D'

50

断面は図 8 (B) および図 9 (B) の B - B ' および D - D ' に対応している。図 6 (B) および図 7 (B) において、ゲート配線 1 4 7、1 4 8 の一部は、ゲート電極 1 2 8、1 2 9、1 3 1 の一部と重なり電氣的に接触している。この様子は B - B ' 断面および D - D ' 断面に対応した図 8 (B) および図 9 (B) の断面構造図からも明らかで、第 1 の導電層を形成する導電層 (C) と第 2 の導電層を形成する導電層 (D) とが電氣的に接触している。

【 0 0 4 1 】

第 1 の層間絶縁膜 1 5 0 は 5 0 0 ~ 1 5 0 0 n m の厚さで酸化シリコン膜または酸化窒化シリコン膜で形成され、その後、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線 1 5 1 ~ 1 5 4 と、ドレイン配線 1 5 5 ~ 1 5 8 を形成する。図示していないが、本実施例ではこの電極を、T i 膜を 1 0 0 n m、T i を含むアルミニウム膜 3 0 0 n m、T i 膜 1 5 0 n m をスパッタ法で連続して形成した 3 層構造の積層膜とした。

10

【 0 0 4 2 】

次に、パッシベーション膜 1 5 9 として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を 5 0 ~ 5 0 0 n m (代表的には 1 0 0 ~ 3 0 0 n m) の厚さで形成する。この状態で水素化処理を行うと T F T の特性向上に対して好ましい結果が得られた。例えば、3 ~ 1 0 0 % の水素を含む雰囲気中で、3 0 0 ~ 4 5 0 ° C で 1 ~ 1 2 時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜 1 5 9 に開口部を形成しておいても良い。(図 4 (C))

20

【 0 0 4 3 】

図 6 (C) および図 7 (C) のはこの状態の上面図を示し、A - A ' 断面および C - C ' 断面は図 4 (C) の A - A ' および C - C ' に対応している。また、B - B ' 断面および D - D ' 断面は図 8 (C) および図 9 (C) の B - B ' および D - D ' に対応している。図 6 (C) と図 7 (C) では第 1 の層間絶縁膜を省略して示すが、島状半導体層 1 0 4、1 0 5、1 0 7 の図示されていないソースおよびドレイン領域にソース配線 1 5 1、1 5 2、1 5 4 とドレイン配線 1 5 5、1 5 6、1 5 8 が第 1 の層間絶縁膜に形成されたコンタクトホールを介して接続している。

30

【 0 0 4 4 】

その後、有機樹脂からなる第 2 の層間絶縁膜 1 6 0 を 1 . 0 ~ 1 . 5 μ m の厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、B C B (ベンゾシクロブテン) 等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、3 0 0 ° C で焼成して形成した。そして、第 2 の層間絶縁膜 1 6 0 にドレイン配線 1 5 8 に達するコンタクトホールを形成し、画素電極 1 6 1、1 6 2 を形成する。画素電極は、透過型液晶表示装置とする場合には透明導電膜を用いれば良く、反射型の液晶表示装置とする場合には金属膜を用いれば良い。本実施例では透過型の液晶表示装置とするために、酸化インジウム・スズ (I T O) 膜を 1 0 0 n m の厚さにスパッタ法で形成した。(図 5)

40

【 0 0 4 5 】

こうして同一基板上に、駆動回路の T F T と表示領域の画素 T F T とを有した基板を完成させることができた。駆動回路には p チャネル型 T F T 2 0 1、第 1 の n チャネル型 T F T 2 0 2、第 2 の n チャネル型 T F T 2 0 3、表示領域には画素 T F T 2 0 4、保持容量 2 0 5 が形成した。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【 0 0 4 6 】

駆動回路の p チャネル型 T F T 2 0 1 には、島状半導体層 1 0 4 にチャネル形成領域 2 0 6、ソース領域 2 0 7 a、2 0 7 b、ドレイン領域 2 0 8 a、2 0 8 b を有している。第 1 の n チャネル型 T F T 2 0 2 には、島状半導体層 1 0 5 にチャネル形成領域 2 0 9、ゲート電極 1 2 9 と重なる L D D 領域 2 1 0 (以降、このような L D D 領域を L o v と記す

50

)、ソース領域211、ドレイン領域212を有している。このLov領域のチャンネル長方向の長さは0.5~3.0 μm 、好ましくは1.0~1.5 μm とした。第2のnチャンネル型TF T 203には、島状半導体層106にチャンネル形成領域213、LDD領域214、215、ソース領域216、ドレイン領域217を有している。このLDD領域はLov領域とゲート電極130と重ならないLDD領域(以降、このようなLDD領域をLoffと記す)とが形成され、このLoff領域のチャンネル長方向の長さは0.3~2.0 μm 、好ましくは0.5~1.5 μm である。画素TF T 204には、島状半導体層107にチャンネル形成領域218、219、Loff領域220~223、ソースまたはドレイン領域224~226を有している。Loff領域のチャンネル長方向の長さは0.5~3.0 μm 、好ましくは1.5~2.5 μm である。さらに、容量配線132、149と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素TF T 204のドレイン領域226に接続し、n型を付与する不純物元素が添加された半導体層227とから保持容量205が形成されている。図5では画素TF T 204をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

10

20

【0047】

以上の様に本発明は、画素TF Tおよび駆動回路が要求する仕様に応じて各回路を構成するTF Tの構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能とすることができる。さらにゲート電極を耐熱性を有する導電性材料で形成することによりLDD領域やソース領域およびドレイン領域の活性化を容易とし、ゲート配線低抵抗材料で形成することにより、配線抵抗を十分低減できる。従って、表示領域(画面サイズ)が4インチクラス以上の表示装置に適用することができる。

【0048】

[実施形態2]

図16はゲート電極とゲート配線の他の実施形態を示す図である。図16のゲート電極とゲート配線は実施形態1で示す工程と同様に形成されるものであり、島状半導体層901とゲート絶縁膜902の上方に形成されている。

【0049】

図16(A)において、ゲート電極とする第1の導電層には、導電層(A)903は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)で形成する。導電層(B)904はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜で形成し、その表面に実施形態1と同様に導電層(C)905を形成する。導電層(A)903は10~50nm(好ましくは20~30nm)とし、導電層(B)904は200~400nm(好ましくは250~350nm)とすれば良い。ゲート配線とする第2の導電層は低抵抗材料であるアルミニウム(Al)や銅(Cu)を主成分とする導電層(D)と、その上にチタン(Ti)やタンタル(Ta)などで形成する導電層(E)とを積層形成する。アルミニウム(Al)や銅(Cu)はストレスマイグレーションやエレクトロマイグレーションで容易に拡散するため、第2の導電層を被覆するように窒化シリコン膜908を50~150nmの厚さで形成することが必要である。

30

40

【0050】

図16(B)は実施形態1と同様に作製されるゲート電極とゲート配線であり、ゲート電極の下にリン(P)をドーピングしたシリコン膜909を形成してある。

リン(P)をドーピングしたシリコン膜909はゲート電極中に含まれる微量のアルカリ金属元素がゲート絶縁膜へ拡散することを防ぐ効果があり、TF Tの信頼性を確保する目的で有用である。

【0051】

図16(C)は、ゲート電極を形成する第1の導電層にリン(P)をドーピングしたシリコン膜910で形成した例である。リン(P)をドーピングしたシリコン膜は他の導電性金属材料と比較して高抵抗材料であるが、ゲート配線を形成する第2の導電層をアルミニウム(

50

A1)や銅(Cu)で形成することにより、大面積の液晶表示装置にも適用することができる。ここでは、ゲート配線を、Ti膜911を100nm、Tiを含むアルミニウム(A1)膜912を300nm、Ti膜913を150nmで形成した3層構造とし、アルミニウム(A1)膜とリン(P)をドーブしたシリコン膜とを直接接触しないようにすることにより、耐熱性を持たせることができる。

【0052】

[実施形態3]

図15は本発明のTFTの構造を説明するための図であり、半導体層のチャネル形成領域と、LDD領域と、半導体層上のゲート絶縁膜と、ゲート絶縁膜上のゲート電極とを有するTFTにおいて、ゲート電極とLDD領域の位置関係を説明している。

10

【0053】

図15(A)において、チャネル形成領域209、LDD領域210、ドレイン領域212を有する半導体層と、その上のゲート絶縁膜120とゲート電極129が設けられた構成を示している。LDD領域210はゲート絶縁膜120を介してゲート電極129と重なるように設けられてたLovとなっている。Lovはドレイン近傍で発生する高電界を緩和する作用があり、ホットキャリアによる劣化を防ぐことができ、制御回路のシフトレジスタ回路、レベルシフト回路、バッファ回路などのnチャネル型TFTに用いるのに適している。

【0054】

図15(B)において、チャネル形成領域213、LDD領域215a、215b、ドレイン領域217を有する半導体層と、半導体層の上にゲート絶縁膜120とゲート電極130が設けられた構成を示している。LDD領域215aはゲート絶縁膜120を介してゲート電極130と重なるように設けられている。

20

また、LDD領域215bはゲート電極130と重ならないように設けられたLoffとなっている。Loffはオフ電流値を低減させる作用があり、LovとLoffとを設けた構成にすることで、ホットキャリアによる劣化を防ぐと同時にオフ電流値を低減させることができ、制御回路のサンプリング回路のnチャネル型TFTに用いるのに適している。

【0055】

図15(C)は、半導体層に、チャネル形成領域219、LDD領域223、ドレイン領域226が設けられている。LDD領域223は、ゲート電極131と重ならないように設けられたLoffであり、オフ電流値を効果的に低減させることが可能となり、画素TFTに用いるのに適している。画素TFTのLDD領域223におけるn型を付与する不純物元素の濃度は、駆動回路のLDD領域210、215の濃度よりも1/2から1/10にすることが望ましい。

30

【0056】

[実施形態4]

本実施形態では、アクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図11に示すように、実施形態1で作製した図5の状態のアクティブマトリクス基板に対し、配向膜601を形成する。

通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の対向基板602には、遮光膜603、透明導電膜604および配向膜605を形成した。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。そして、画素マトリクス回路と、CMOS回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ(共に図示せず)などを介して貼りあわせる。

40

その後、両基板の間に液晶材料606を注入し、封止剤(図示せず)によって完全に封止した。液晶材料には公知の液晶材料を用いれば良い。このようにして図11に示すアクティブマトリクス型液晶表示装置が完成した。

【0057】

次にこのアクティブマトリクス型液晶表示装置の構成を、図12の斜視図および図13

50

の上面図を用いて説明する。尚、図 1 2 と図 1 3 は、図 1 ~ 図 5 と図 1 1 の断面構造図と対応付けるため、共通の符号を用いている。また、図 1 3 で示す E - E ' に沿った断面構造は、図 5 に示す画素マトリクス回路の断面図に対応している。

【 0 0 5 8 】

図 1 2 においてアクティブマトリクス基板は、ガラス基板 1 0 1 上に形成された、表示領域 3 0 6 と、走査信号駆動回路 3 0 4 と、画像信号駆動回路 3 0 5 で構成される。表示領域には画素 T F T 2 0 4 が設けられ、周辺に設けられる駆動回路は C M O S 回路を基本として構成されている。走査信号駆動回路 3 0 4 と、画像信号駆動回路 3 0 5 はそれぞれゲート配線 1 4 8 とソース配線 1 5 4 で画素 T F T 2 0 4 に接続している。また、 F P C 7 3 1 が外部入出力端子 7 3 4 に接続され、入力配線 3 0 2、3 0 3 でそれぞれの駆動回路に接続している。

10

【 0 0 5 9 】

図 1 3 は表示領域 3 0 6 のほぼ一画素分を示す上面図である。ゲート配線 1 4 8 は、図示されていないゲート絶縁膜を介してその下の半導体層 1 0 7 と交差している。図示はしていないが、半導体層には、ソース領域、ドレイン領域、 n^{++} 領域でなる L o f f 領域が形成されている。また、1 6 3 はソース配線 1 5 4 とソース領域 2 2 4 とのコンタクト部、1 6 4 はドレイン配線 1 5 8 とドレイン領域 2 2 6 とのコンタクト部、1 6 5 はドレイン配線 1 5 8 と画素電極 1 6 1 のコンタクト部である。保持容量 2 0 5 は、画素 T F T 2 0 4 のドレイン領域 2 2 6 から延在する半導体層 2 2 7 とゲート絶縁膜を介して容量配線 1 3 2、1 4 9 が重なる領域で形成されている。

20

【 0 0 6 0 】

なお、本実施例のアクティブマトリクス型液晶表示装置は、実施形態 1 で説明した構造と照らし合わせて説明したが、実施形態 2 の構成とも自由に組み合わせてアクティブマトリクス型液晶表示装置を作製することができる。

【 0 0 6 1 】

[実施形態 5]

図 1 0 は液晶表示装置の入出力端子、表示領域、駆動回路の配置の一例を示す図である。表示領域 3 0 6 には m 本のゲート配線と n 本のソース配線がマトリクス状に交差している。例えば、画素密度が V G A の場合、4 8 0 本のゲート配線と 6 4 0 本のソース配線が形成され、X G A の場合には 7 6 8 本のゲート配線と 1 0 2 4 本のソース配線が形成される。表示領域の画面サイズは、1 3 インチクラスの場合対角線の長さは 3 4 0 m m となり、1 8 インチクラスの場合には 4 6 0 m m となる。このような液晶表示装置を実現するには、ゲート配線を実施形態 1 および実施形態 2 で示したような低抵抗材料で形成する必要がある。

30

【 0 0 6 2 】

表示領域 3 0 6 の周辺には走査信号駆動回路 3 0 4 と画像信号駆動回路 3 0 5 が設けられている。これらの駆動回路のゲート配線の長さも表示領域の画面サイズの大型化と共に必然的に長くなるので、大画面を実現するためには実施形態 1 および実施形態 2 で示したような低抵抗材料で形成することが好ましい。

【 0 0 6 3 】

また、本発明は入力端子 3 0 1 から各駆動回路までを接続する入力配線 3 0 2、3 0 3 をゲート配線と同じ材料で形成することができ、配線抵抗の低抵抗化に寄与することができる。

40

【 0 0 6 4 】

[実施形態 6]

図 1 4 は実施形態 1 または実施形態 2 で示したアクティブマトリクス基板の回路構成の一例であり、直視型の表示装置の回路構成を示す図である。本実施例のアクティブマトリクス基板は、画像信号駆動回路 1 0 0 1、走査信号駆動回路 (A) 1 0 0 7、走査信号駆動回路 (B) 1 0 1 1、プリチャージ回路 1 0 1 2、表示領域 1 0 0 6 を有している。尚、本明細書中において記した駆動回路とは、画像信号駆動回路 1 0 0 1、走査信号駆動回

50

路 (A) 1007 を含めた総称である。

【0065】

画像信号駆動回路 1001 は、シフトレジスタ回路 1002、レベルシフト回路 1003、バッファ回路 1004、サンプリング回路 1005 を備えている。

また、走査信号駆動回路 (A) 1007 は、シフトレジスタ回路 1008、レベルシフト回路 1009、バッファ回路 1010 を備えている。走査信号駆動回路 (B) 1011 も同様な構成である。

【0066】

シフトレジスタ回路 1002、1008 は駆動電圧が 5 ~ 16 V (代表的には 10 V) であり、この回路を形成する CMOS 回路の n チャネル型 TFT は図 5 の 202 で示される構造が適している。また、レベルシフト回路 1003、1009 やバッファ回路 1004、1010 は駆動電圧が 14 ~ 16 V と高くなるが、シフトレジスタ回路と同様に、図 5 の n チャネル型 TFT 202 を含む CMOS 回路が適している。これらの回路において、ゲートをマルチゲート構造で形成すると耐圧が高まり、回路の信頼性を向上させる上で有効である。

10

【0067】

サンプリング回路 1005 は駆動電圧が 14 ~ 16 V であるが、極性が交互に反転して駆動される上、オフ電流値を低減させる必要があるため、図 5 の n チャネル型 TFT 203 を含む CMOS 回路が適している。図 5 では、n チャネル型 TFT しか表示はされていないが、実際のサンプリング回路においては p チャネル型 TFT も組み合わせて形成される。この時、p チャネル型 TFT は同図の 201 で示される構造で十分である。

20

【0068】

また、画素 TFT 204 は駆動電圧が 14 ~ 16 V であり、低消費電力化の観点からサンプリング回路よりもさらにオフ電流値を低減することが要求され、画素 TFT 204 のようにゲート電極に対して重ならないように設けられた LDD (L off) 領域を有した構造とするのが望ましい。

【0069】

尚、本実施形態の構成は、実施形態 1 に示した工程に従って TFT を作製することによって容易に実現することができる。本実施形態では、表示領域と駆動回路の構成のみを示しているが、実施形態 1 の工程に従えば、その他にも信号分割回路、分周波回路、D/A コンバータ、補正回路、オペアンプ回路、さらにメモリ回路や演算処理回路などの信号処理回路、あるいは論理回路を同一基板上に形成することが可能である。このように、本発明は同一基板上に表示領域とその駆動回路とを含む半導体装置、例えば信号駆動回路および表示領域を具備した半導体装置を実現することができる。

30

【0070】

[実施形態 7]

本発明を実施して作製されたアクティブマトリクス基板および液晶表示装置は様々な電気光学装置に用いることができる。そして、そのような電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を適用することができる。電子機器としては、パーソナルコンピュータ、デジタルカメラ、ビデオカメラ、携帯情報端末 (モバイルコンピュータ、携帯電話、電子書籍など)、ナビゲーションシステムなどが上げられる。それらの一例を図 17 に示す。

40

【0071】

図 17 (A) はパーソナルコンピュータであり、マイクロプロセッサやメモリーなどを備えた本体 2001、画像入力部 2002、表示装置 2003、キーボード 2004 で構成される。本発明は表示装置 2003 やその他の信号処理回路を形成することができる。

【0072】

図 17 (B) はビデオカメラであり、本体 2101、表示装置 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 で構成される。本発明は表示装置 2102 やその他の信号制御回路に適用することができる。

50

【 0 0 7 3 】

図 1 7 (C) は携帯情報端末であり、本体 2 2 0 1、画像入力部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示装置 2 2 0 5 で構成される。本発明は表示装置 2 2 0 5 やその他の信号制御回路に適用することができる。

【 0 0 7 4 】

図 1 7 (D) はプログラムを記録した記録媒体 (以下、記録媒体と呼ぶ) を用いるプレーヤーであり、本体 2 4 0 1、表示装置 2 4 0 2、スピーカー部 2 4 0 3、記録媒体 2 4 0 4、操作スイッチ 2 4 0 5 で構成される。尚、記録媒体には D V D (Digital Versatile Disc) やコンパクトディスク (C D) などを用い、音楽プログラムの再生や映像表示、ビデオゲーム (またはテレビゲーム) やインターネットを介した情報表示などを行うことができる。本発明は表示装置 2 4 0 2 やその他の信号制御回路に好適に利用することができる。

10

【 0 0 7 5 】

図 1 7 (E) はデジタルカメラであり、本体 2 5 0 1、表示装置 2 5 0 2、接眼部 2 5 0 3、操作スイッチ 2 5 0 4、受像部 (図示しない) で構成される。本発明は表示装置 2 5 0 2 やその他の信号制御回路に適用することができる。

【 0 0 7 6 】

このように、本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ~ 6 のどのような組み合わせから成る構成を用いても実現することができる。

20

【 0 0 7 7 】

[実施形態 8]

本実施形態では、実施形態 1 と同様なアクティブマトリクス基板で、エレクトロルミネッセンス (E L : Electro Luminescence) 材料を用いた自発光型の表示パネル (以下、E L 表示装置と記す) を作製する例について説明する。図 1 8 (A) はその E L 表示パネルの上面図を示す。図 1 8 (A) において、1 0 は基板、1 1 は画素部、1 2 はソース側駆動回路、1 3 はゲート側駆動回路であり、それぞれの駆動回路は配線 1 4 ~ 1 6 を経て F P C 1 7 に至り、外部機器へと接続される。

【 0 0 7 8 】

図 1 8 (A) の A - A ' 線に対応する断面図を図 1 8 (B) に示す。このとき少なくとも画素部の上方、好ましくは駆動回路及び画素部の上方に対向板 8 0 を設ける。対向板 8 0 はシール材 1 9 で T F T と E L 材料を用いた自発光層が形成されているアクティブマトリクス基板と貼り合わされている。シール剤 1 9 にはフィラー (図示せず) が混入されていて、このフィラーによりほぼ均一な間隔を持って 2 枚の基板が貼り合わせられている。さらに、シール材 1 9 の外側と F P C 1 7 の上面及び周辺は封止剤 8 1 で密封する構造とする。封止剤 8 1 はシリコーン樹脂、エポキシ樹脂、フェノール樹脂、ブチルゴムなどの材料を用いる。

30

【 0 0 7 9 】

このように、シール剤 1 9 によりアクティブマトリクス基板 1 0 と対向基板 8 0 とが貼り合わされると、その間には空間が形成される。その空間には充填剤 8 3 が充填される。この充填剤 8 3 は対向板 8 0 を接着する効果も合わせ持つ。充填剤 8 3 は P V C (ポリビニルクロライド)、エポキシ樹脂、シリコーン樹脂、P V B (ポリビニルブチラル) または E V A (エチレンビニルアセテート) などを用いることができる。また、自発光層は水分をはじめ湿気に弱く劣化しやすいので、この充填剤 8 3 の内部に酸化バリウムなどの乾燥剤を混入させておくことで吸湿効果を保持できるので望ましい。また、自発光層上に窒化シリコン膜や酸化窒化シリコン膜などで形成するパッシベーション膜 8 2 を形成し、充填剤 8 3 に含まれるアルカリ元素などによる腐蝕を防ぐ構造としている。

40

【 0 0 8 0 】

対向板 8 0 にはガラス板、アルミニウム板、ステンレス板、F R P (Fiberglass-Reinforced Plastics) 板、P V F (ポリビニルフルオライド) フィルム、マイラーフィルム (

50

デュポン社の商品名)、ポリエステルフィルム、アクリルフィルムまたはアクリル板などを用いることができる。また、数十 μm のアルミニウム箔をPVFフィルムやマイラーフィルムで挟んだ構造のシートを用い、耐湿性を高めることもできる。このようにして、EL素子は密閉された状態となり外気から遮断されている。

【0081】

また、図18(B)において基板10、下地膜21の上に駆動回路用TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。)22及び画素部用TFT23(但し、ここではEL素子への電流を制御するTFTだけ図示している。)が形成されている。これらのTFTの内、特にnチャネル型TFTにははホットキャリア効果によるオン電流の低下や、 V_{th} シフトやバイアスストレスによる特性低下を防ぐため、本実施形態で示す構成のLDD領域が設けられている。

10

【0082】

例えば、駆動回路用TFT22として、図5に示すpチャネル型TFT201とnチャネル型TFT202を用いれば良い。また、画素部のTFTには、駆動電圧にもよるが、10V以上であれば図5に示す第1のnチャネル型TFT204またはそれと同様な構造を有するpチャネル型TFTを用いれば良い。第1のnチャネル型TFT202はドレイン側にゲート電極とオーバーラップするLDDが設けられた構造であるが、駆動電圧が10V以下であれば、ホットキャリア効果によるTFTの劣化は殆ど無視できるので、あえて設ける必要はない。

【0083】

20

図1の状態のアクティブマトリクス基板からEL表示装置を作製するには、ソース配線、ドレイン配線上に樹脂材料でなる層間絶縁膜(平坦化膜)26を形成し、その上に画素部用TFT23のドレインと電氣的に接続する透明導電膜でなる画素電極27を形成する。透明導電膜には酸化インジウムと酸化スズとの化合物(ITOと呼ばれる)または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極27を形成したら、絶縁膜28を形成し、画素電極27上に開口部を形成する。

【0084】

次に、自発光層29を形成する。自発光層29は公知のEL材料(正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層)を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系(ポリマー系)材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

30

【0085】

自発光層はシャドーマスクを用いて蒸着法、またはインクジェット法、ディスペンサー法などで形成する。いずれにしても、画素毎に波長の異なる発光が可能な発光層(赤色発光層、緑色発光層及び青色発光層)を形成することで、カラー表示が可能となる。その他にも、色変換層(CCM)とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

40

【0086】

自発光層29を形成したら、その上に陰極30を形成する。陰極30と自発光層29の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で自発光層29と陰極30を連続して形成するか、自発光層29を不活性雰囲気中で形成し、大気解放しないで真空中で陰極30を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

【0087】

なお、本実施例では陰極30として、LiF(フッ化リチウム)膜とAl(アルミニウム)膜の積層構造を用いる。具体的には自発光層29上に蒸着法で1nm厚のLiF(フッ

50

化リチウム)膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極30は31で示される領域において配線16に接続される。配線16は陰極30に所定の電圧を与えるための電源供給線であり、異方性導電性ペースト材料32を介してFPC17に接続される。FPC17上にはさらに樹脂層80が形成され、この部分の接着強度を高めている。

【0088】

31に示された領域において陰極30と配線16とを電氣的に接続するために、層間絶縁膜26及び絶縁膜28にコンタクトホールを形成する必要がある。これらは層間絶縁膜26のエッチング時(画素電極用コンタクトホールの形成時)や絶縁膜28のエッチング時(自発光層形成前の開口部の形成時)に形成しておけば良い。また、絶縁膜28をエッチングする際に、層間絶縁膜26まで一括でエッチングしても良い。この場合、層間絶縁膜26と絶縁膜28が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0089】

また、配線16はシール材19と基板10との間を隙間(但し封止剤81で塞がれている。)を通してFPC17に電氣的に接続される。なお、ここでは配線16について説明したが、他の配線14、15も同様にしてシーリング材18の下を通してFPC17に電氣的に接続される。

【0090】

ここで画素部のさらに詳細な断面構造を図19に、上面構造を図20(A)に、回路図を図20(B)に示す。図19(A)において、基板2401上に設けられたスイッチング用TF T2402は実施形態1の図5の画素TF T204と同じ構造で形成する。ダブルゲート構造とすることで実質的に二つのTF Tが直列された構造となり、ゲート電極と重ならないオフセット領域が設けられたLDDを形成することでオフ電流値を低減することができるという利点がある。尚、本実施例ではダブルゲート構造としているがトリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも良い。

【0091】

また、電流制御用TF T2403は図5で示す第1のnチャネル型TF T202を用いて形成する。このTF T構造は、ドレイン側にのみゲート電極とオーバーラップするLDDが設けられた構造であり、ゲートとドレイン間の寄生容量や直列抵抗を低減させて電流駆動能力を高める構造となっている。別な観点からも、構造であることは非常に重要な意味を持つ。電流制御用TF TはEL素子を通る電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TF Tにゲート電極と一部が重なるLDD領域を設けることでTF Tの劣化を防ぎ、動作の安定性を高めることができる。このとき、スイッチング用TF T2402のドレイン線35は配線36によって電流制御用TF Tのゲート電極37に電氣的に接続されている。また、38で示される配線は、スイッチング用TF T2402のゲート電極39a、39bを電氣的に接続するゲート線である。

【0092】

また、本実施例では電流制御用TF T2403をシングルゲート構造で図示しているが、複数のTF Tを直列につなげたマルチゲート構造としても良い。さらに、複数のTF Tを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0093】

また、図20(A)に示すように、電流制御用TF T2403のゲート電極37となる配線は2404で示される領域で、電流制御用TF T2403のドレイン線40と絶縁膜を介して重なる。このとき、2404で示される領域ではコンデンサが形成される。このコンデンサ2404は電流制御用TF T2403のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン線40は電流供給線(電源線)2501に接続され、常に一定の電圧が加えられている。

【0094】

スイッチング用TF T 2 4 0 2及び電流制御用TF T 2 4 0 3の上には第1パッシベーション膜41が設けられ、その上に樹脂絶縁膜でなる平坦化膜42が形成される。平坦化膜42を用いてTF Tによる段差を平坦化することは非常に重要である。後に形成される自発光層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、自発光層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0095】

また、43は反射性の高い導電膜でなる画素電極（EL素子の陰極）であり、電流制御用TF T 2 4 0 3のドレインに電氣的に接続される。画素電極43としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。また、絶縁膜（好ましくは樹脂）で形成されたバンク44a、44bにより形成された溝（画素に相当する）の中に発光層44が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としては共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルバゾール（PVK）系、ポリフルオレン系などが挙げられる。尚、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0096】

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30～150nm（好ましくは40～100nm）とすれば良い。但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて自発光層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0097】

本実施例では発光層45の上にPEDOT（ポリチオフェン）またはPAni（ポリアニリン）でなる正孔注入層46を設けた積層構造の自発光層としている。そして、正孔注入層46の上には透明導電膜でなる陽極47が設けられる。本実施例の場合、発光層45で生成された光は上面側に向かって（TF Tの上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0098】

陽極47まで形成された時点で自発光素子2405が完成する。なお、ここでいうEL素子2405は、画素電極（陰極）43、発光層45、正孔注入層46及び陽極47で形成されたコンデンサを指す。図20（A）に示すように画素電極43は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0099】

ところで、本実施例では、陽極47の上にさらに第2パッシベーション膜48を設けている。第2パッシベーション膜48としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化

を防ぐ意味と、有機 E L 材料からの脱ガスを抑える意味との両方を併せ持つ。これにより E L 表示装置の信頼性が高められる。

【 0 1 0 0 】

以上のように本願発明の E L 表示パネルは図 2 0 のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用 T F T と、ホットキャリア注入に強い電流制御用 T F T とを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な E L 表示パネルが得られる。

【 0 1 0 1 】

図 1 9 (B) は自発光層の構造を反転させた例を示す。電流制御用 T F T 2 6 0 1 は図 5 の p チャネル型 T F T 2 0 1 と同じ構造で形成する。作製プロセスは実施形態 1 を参照すれば良い。本実施例では、画素電極 (陽極) 5 0 として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【 0 1 0 2 】

そして、絶縁膜でなるバンク 5 1 a、5 1 b が形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層 5 2 が形成される。その上にはカリウムアセチルアセトネート (a c a c K と表記される) でなる電子注入層 5 3、アルミニウム合金でなる陰極 5 4 が形成される。この場合、陰極 5 4 がパッシベーション膜としても機能する。こうして E L 素子 2 6 0 2 が形成される。本実施例の場合、発光層 5 3 で発生した光は、矢印で示されるように T F T が形成された基板の方に向かって放射される。本実施例のような構造とする場合、電流制御用 T F T 2 6 0 1 は p チャネル型 T F T で形成することが好ましい。

【 0 1 0 3 】

以上のような、本実施例で示す E L 表示装置は、実施形態 7 の電子機器の表示部として用いることができる。

【 0 1 0 4 】

[実施形態 9]

本実施形態では、図 2 0 (B) に示した回路図とは異なる構造の画素とした場合の例について図 2 1 に示す。なお、本実施例において、2 7 0 1 はスイッチング用 T F T 2 7 0 2 のソース配線、2 7 0 3 はスイッチング用 T F T 2 7 0 2 のゲート配線、2 7 0 4 は電流制御用 T F T、2 7 0 5 はコンデンサ、2 7 0 6、2 7 0 8 は電流供給線、2 7 0 7 は E L 素子とする。

【 0 1 0 5 】

図 2 1 (A) は、二つの画素間で電流供給線 2 7 0 6 を共通とした場合の例である。即ち、二つの画素が電流供給線 2 7 0 6 を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【 0 1 0 6 】

また、図 2 1 (B) は、電流供給線 2 7 0 8 をゲート配線 2 7 0 3 と平行に設けた場合の例である。尚、図 2 1 (B) では電流供給線 2 7 0 8 とゲート配線 2 7 0 3 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線 2 7 0 8 とゲート配線 2 7 0 3 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【 0 1 0 7 】

また、図 2 1 (C) は、図 2 1 (B) の構造と同様に電流供給線 2 7 0 8 をゲート配線 2 7 0 3 と平行に設け、さらに、二つの画素を電流供給線 2 7 0 8 を中心に線対称となるように形成する点に特徴がある。また、電流供給線 2 7 0 8 をゲート配線 2 7 0 3 のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。図 2 1 (A)、図 2 1 (B) では電流制御用 T F T 2 7 0 4 のゲートにかかる電圧を保持するためにコンデンサ 2

10

20

30

40

50

705を設ける構造としているが、コンデンサ2705を省略することも可能である。

【0108】

電流制御用TFT2403として図19(A)に示すような本願発明のnチャネル型TFTを用いているため、ゲート絶縁膜を介してゲート電極(と重なるように設けられたLDD領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ2404の代わりとして積極的に用いる点に特徴がある。この寄生容量のキャパシタンスは上記ゲート電極とLDD領域とが重なり合った面積で変化するため、その重なり合った領域に含まれるLDD領域の長さによって決まる。また、図21(A)、(B)、(C)の構造においても同様にコンデンサ2705を省略することは可能である。

10

【0109】

尚、本実施形態で示すEL表示装置の回路構成は、実施形態1で示すTFTの構成から選択して図21に示す回路を形成すれば良い。また、実施形態7の電子機器の表示部として本実施例のEL表示パネルを用いることが可能である。

【実施例1】

【0110】

実施形態1で示すように、TFTのゲート電極とゲート配線は、島状半導体層の外側でコンタクトホールを介することなく重なり合って接触している。このような構造において、ゲート電極とゲート配線の抵抗を評価した結果を表1と表2に示す。表1はゲート電極およびゲート配線を形成する材料のシート抵抗値を示している。

20

【0111】

【表1】

メタル材料	膜厚(Å)	シート抵抗値(Ω/□)
TaN\Ta	500\3500	1.58
W	4000	0.36
Al-Nd	2500	0.19
TaN\Ta+Al-Nd	500\3500+2500	0.16
W+Al-Nd	4000+2500	0.12

30

【0112】

表2は、ゲート電極とゲート配線のコンタクト抵抗を評価するためにコンタクトチェーン(コンタクト数100~200)を形成し、その測定値からコンタクト部一つ当たりの接触抵抗を求めた結果を示す。一つ当たりのコンタクト部の面積は、4μm×10μmまたは6μm×10μmとした。

【0113】

【表2】

マスク設計値 (幅*長さ*コンタクト数)	Ta _N \Taゲート		Wゲート	
	抵抗値(Ω)	抵抗値(Ω)	抵抗値(Ω)	抵抗値(Ω)
4μm*10μm*100	162.7	158.5	0.09	0.08
4μm*10μm*200	162.2	156.4	0.06	0.06
6μm*10μm*100	183.7	175.1	0.05	0.05
6μm*10μm*200	172.0	168.3	0.04	0.04

40

【0114】

ゲート電極はTa_N膜とTa膜を積層した膜とW膜の2種類を作製した。ゲート配線はAlで形成した。但し、このAlにはNdが1重量%添加されている(以下、Al-Nd

50

膜と表記する)。表2で示す値より、ゲート電極とゲート配線の重なり部の面積を $40\mu\text{m}^2$ と仮定すると、Ta₂N膜とTa膜を積層した膜では約200、W膜では約0.1となった。

【0115】

図22はTa₂N膜とTa膜を積層して形成したゲート電極と、Al-Nd膜の重ね合わせ部を、透過型電子顕微鏡(TEM:Transmission Electron Microscope)で観察した結果を示す。図23はTa膜とAl-Nd膜の界面を拡大して観察したものであり、図に示す*1~*4の点においてエネルギー分散型X線分光分析(EDX:Energy Dispersion X-ray Spectroscopy)で組成を調べた。その結果、*1ではAlが、*4ではTaであることが確認されたものの、*2ではAlと酸素が、*3ではTaと酸素がそれぞれ検出され、酸化物を含有する層が形成されていることが判明した。この原因は、ゲート電極としてTa膜を形成した後に、不純物元素を活性化するための熱処理工程が行われることにより、Ta膜の表面が酸化されるためであると考えられる。さらに、Al-Nd膜を形成すると、Ta膜の表面の酸素がAl-Nd膜を酸化させるためであると考えられる。このような、コンタクト抵抗の増加はTaを用いた時に特に顕著に現れる結果であった。

10

【0116】

しかし、シミュレーションによりコンタクト抵抗が信号波形に与える影響を調べると、200程度ではあまり影響ないことを確認することができた。図26(A)、(B)は立ち上がり波形および立ち下がり波形の抵抗値による変化を示す。計算に用いた等価回路を図中に挿入して示す。ここでは、コンタクト抵抗に相当するR₂を1から1Mまで変化させて計算したが、10k程度まではコンタクト抵抗の影響が殆どないことを確認することができた。

20

【0117】

また、コンタクト部の信頼性試験として通電試験を行い、コンタクト抵抗の変化を調べた。コンタクト部の面積を $40\mu\text{m}^2$ 、コンタクト数200のテストサンプルを作製し、180の雰囲気中で1mAの電流を1時間通電した。上記2種類のゲート電極材料について調べたが、コンタクト抵抗の変化は殆ど観測されなかった。

【実施例2】

【0118】

作製されるTFETの信頼性はバイアス-熱ストレス試験(以下、BT試験と記す)で調べた。TFETのサイズはチャネル長 $8\mu\text{m}$ 、チャネル幅 $8\mu\text{m}$ である。試験条件は、nチャネル型TFETに対してゲート電圧+20V、ドレイン電圧0Vとして150で1時間保持した。図24(A)、(B)はそれぞれnチャネル型TFETとpチャネル型TFETの結果を示すが、いずれにしても殆どバイアスストレスによる劣化は観測されていない。

30

【実施例3】

【0119】

ゲート配線の材料の違いによる信号遅延の影響を評価した。図25は入力部と末端部における信号波形を示し、図25(A)は立ち上がり波形、図25(B)は立ち下がり波形を示している。入力部と末端部の間隔は83mmである。図25においてJ2と表記された特性はTa₂N膜とTa膜を積層してゲート配線を形成し、J4と表記されたサンプルはAl-Nd膜でゲート配線を形成したサンプルである。ゲート配線の幅は $10\mu\text{m}$ である。前者のサンプルでは入力部と末端部の立ち上がりおよび立ち下がり時間に大きな差があるのに対し、後者のサンプルではその差が非常に小さくなっている。表3に遅延時間についてまとめた結果を示す。J2サンプルの遅延時間はJ4サンプルの約10倍であり、表1で示すシート抵抗値から見て明らかなように、配線材料の抵抗が影響していると判断することができる。

40

【0120】

【表 3】

単位:nsec.

	立ち上がり		立ち下がり	
	J4構造	J2構造	J4構造	J2構造
入力部	115	26	51	27
末端部	170	506	74	292
遅延の差	55	480	23	265

10

【0121】

この結果より、画面サイズが4インチクラス以上の場合には、本発明のようにゲート電極に接続するゲート配線を低抵抗材料で形成する必要があることが示された。

【符号の説明】

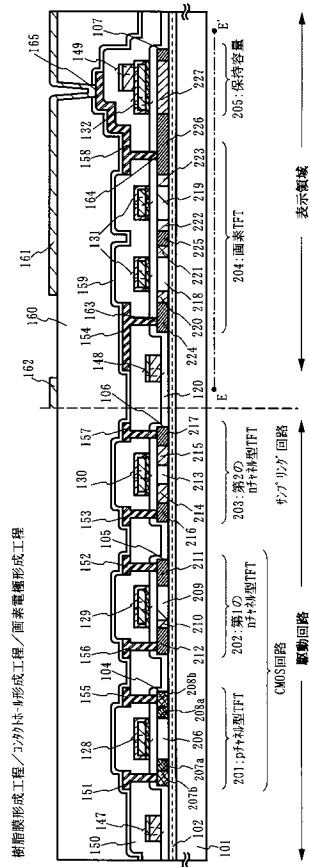
【0122】

- 101 基板
- 102 下地膜
- 103b 結晶質半導体層
- 104～107 島状半導体層
- 128～131 ゲート電極、132 容量配線
- 128a～132a 導電層(A)
- 128b～132b 導電層(B)
- 128c～132c 導電層(C)
- 147、148 ゲート配線、149 容量配線
- 147a～149a 導電層(D)
- 147b～149b 導電層(E)
- 150 第1の層間絶縁膜
- 151～154 ソース配線
- 155～158 ドレイン電極
- 159 パッシベーション膜
- 160 第2の層間絶縁膜
- 161、162 画素電極

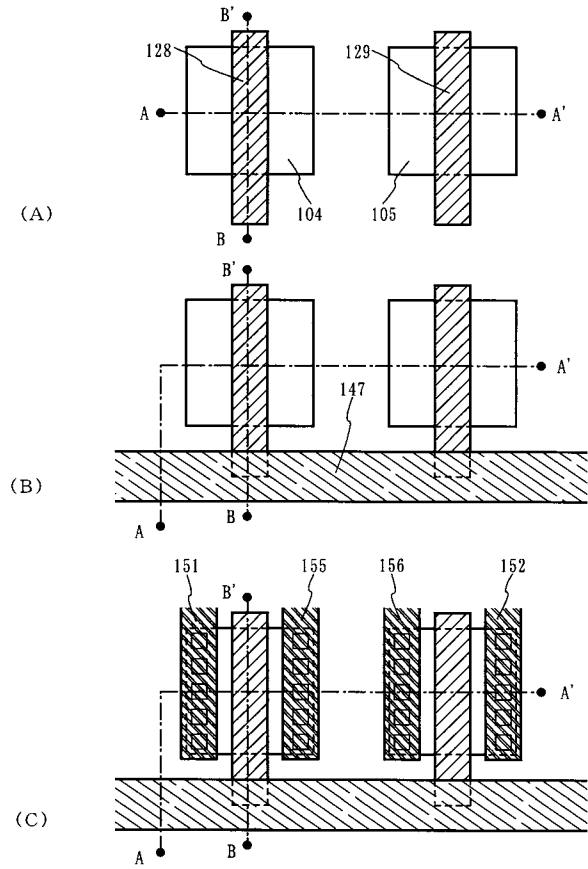
20

30

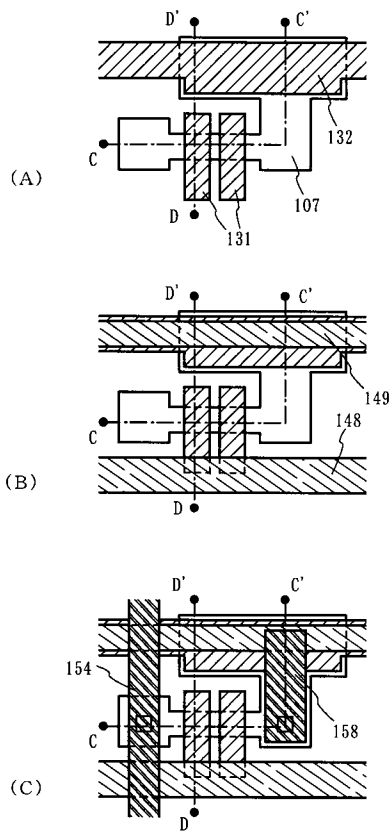
【図 5】



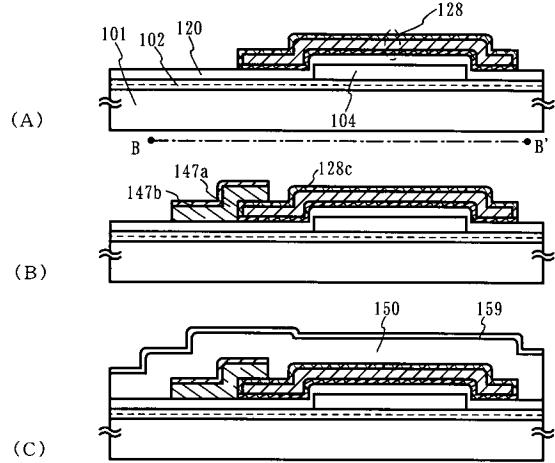
【図 6】



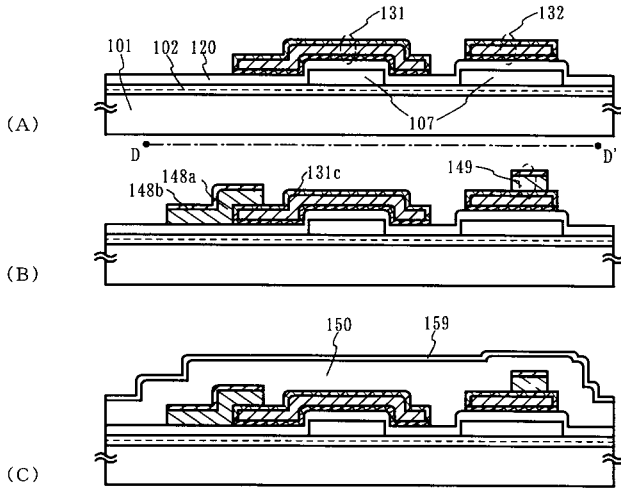
【図 7】



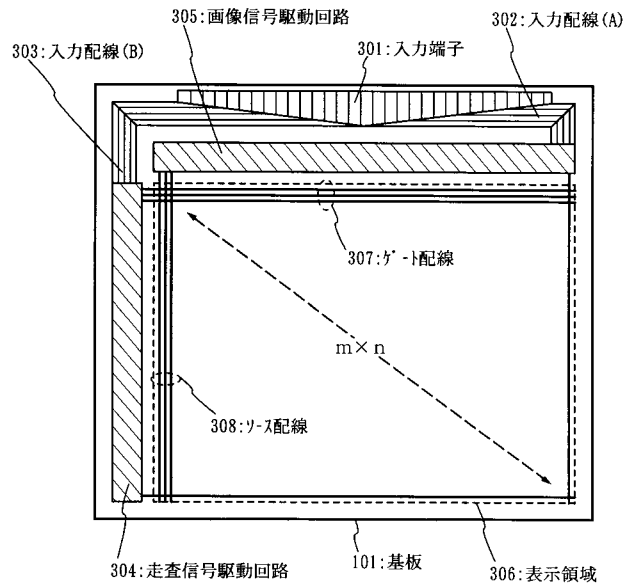
【図 8】



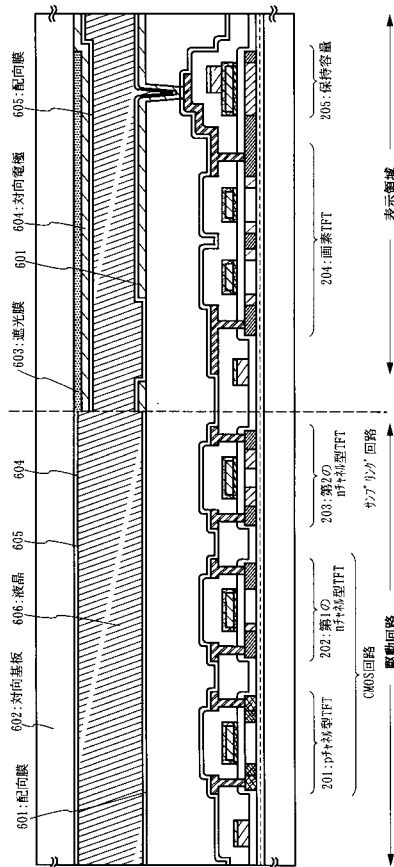
【図 9】



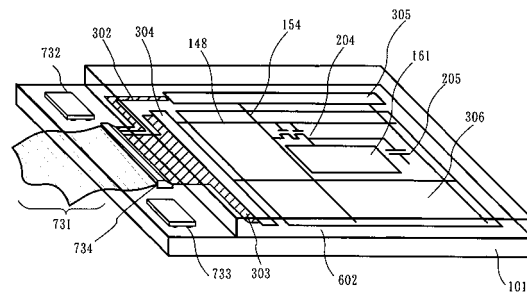
【図 10】



【図 11】

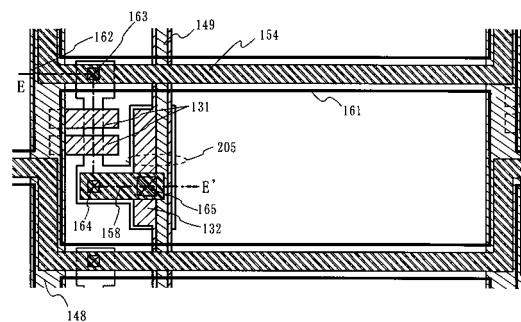


【図 12】

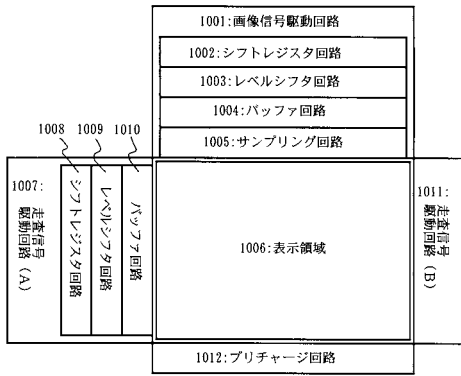


101: 基板、306: 表示領域、302, 303: 入力配線
 304: 走査信号駆動回路、305: 画像信号駆動回路
 731: FPC、732, 733: ICチップ、734: 外部入出力端子
 204: 画素TFT、148: ゲート配線、154: ソース配線
 161: 画素電極、205: 保持容量
 602: 対向基板

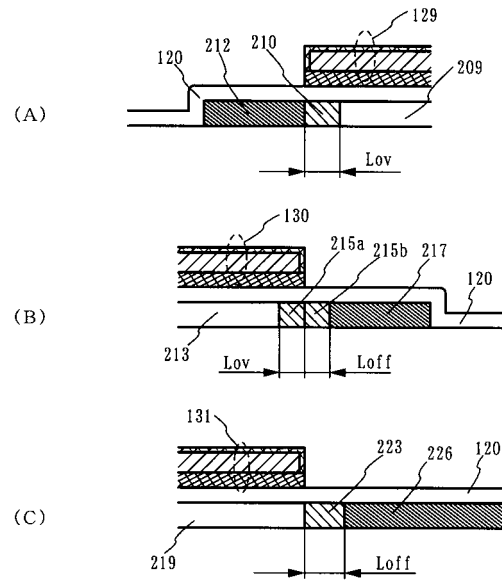
【図 13】



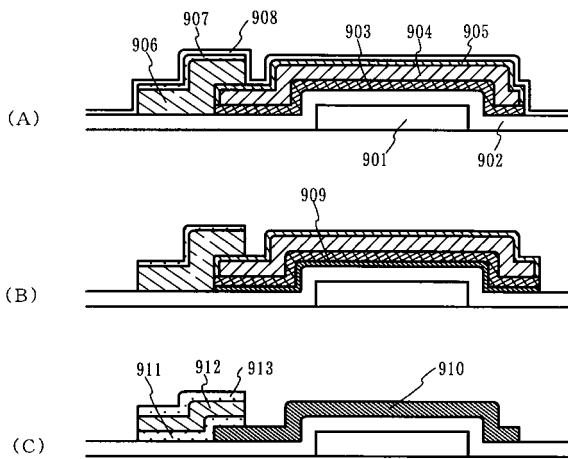
【図 14】



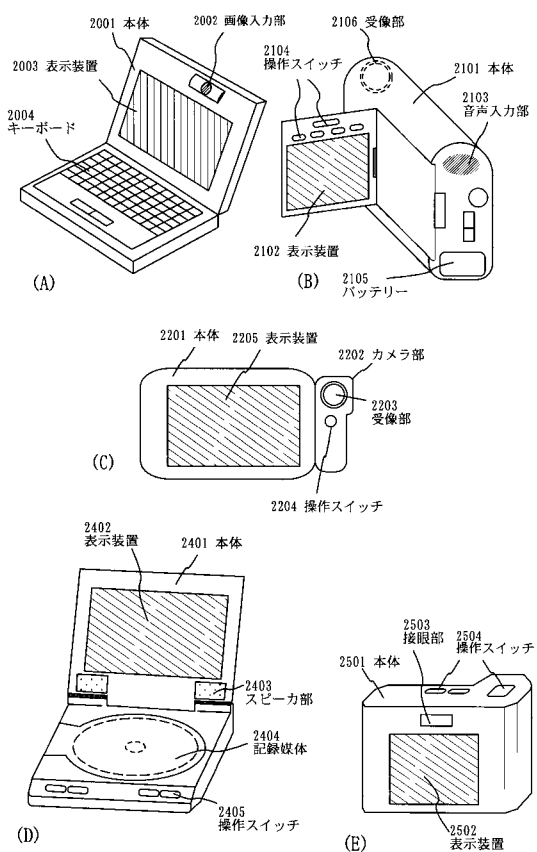
【図 15】



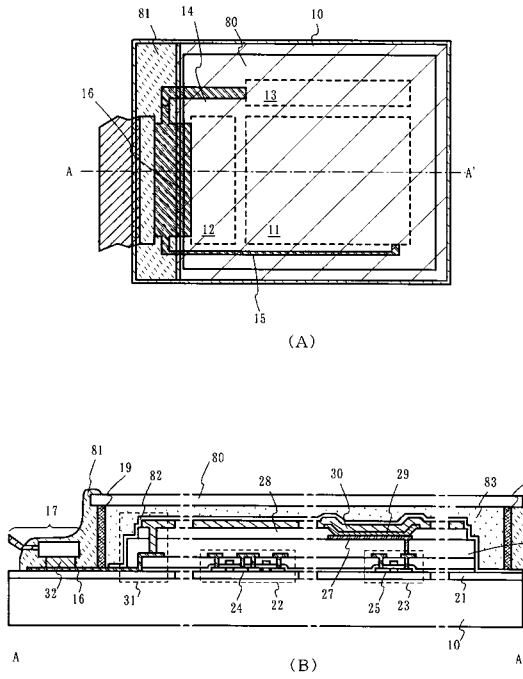
【図 16】



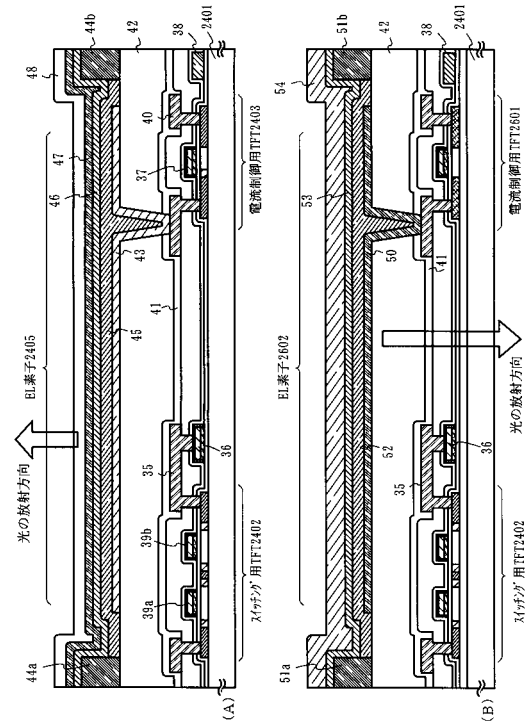
【図 17】



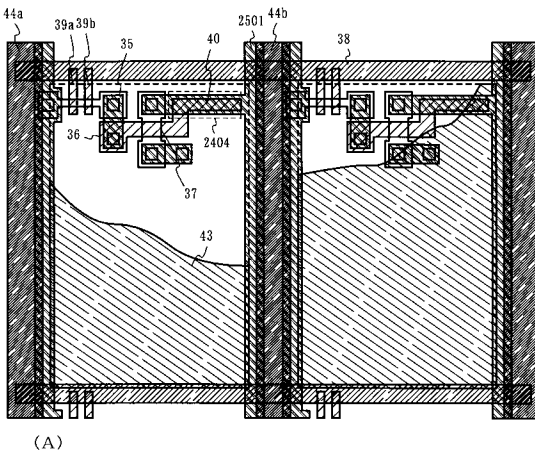
【図 18】



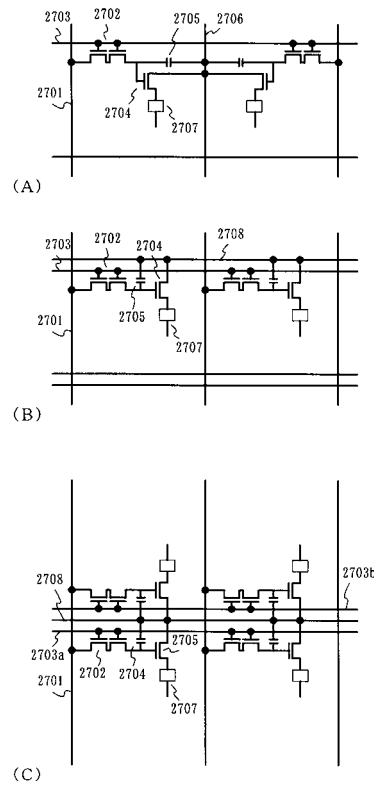
【図 19】



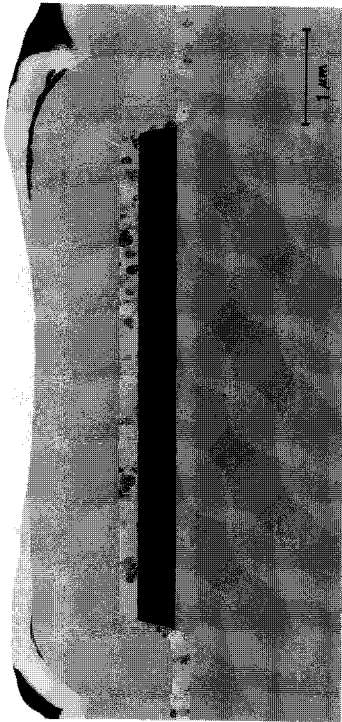
【図 20】



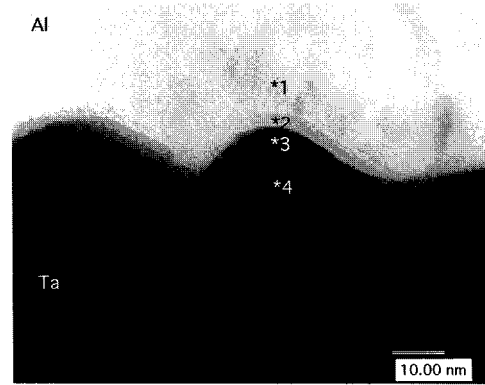
【図 21】



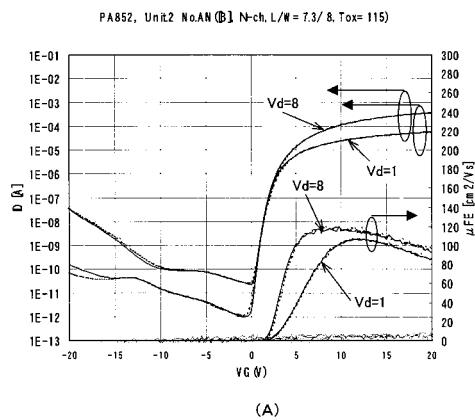
【図 2 2】



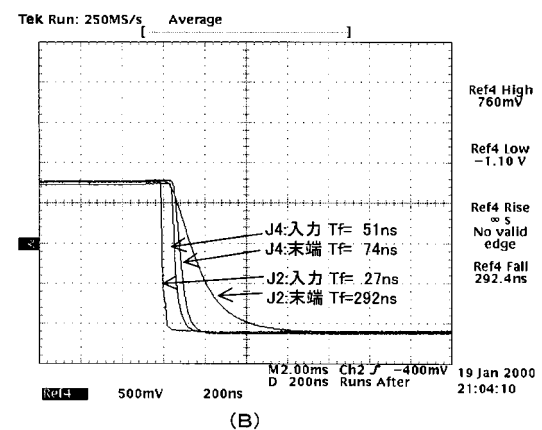
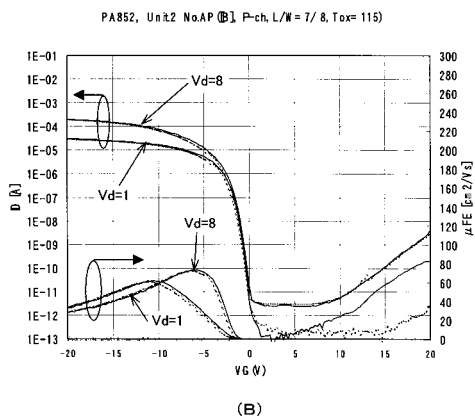
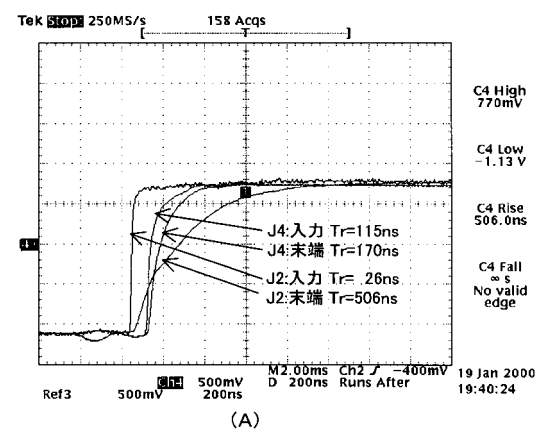
【図 2 3】



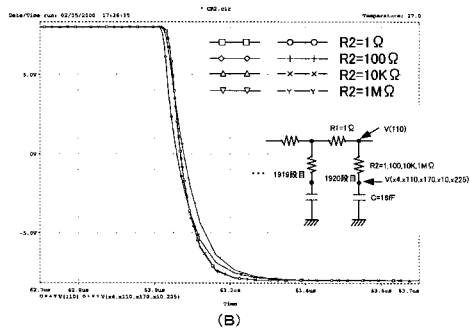
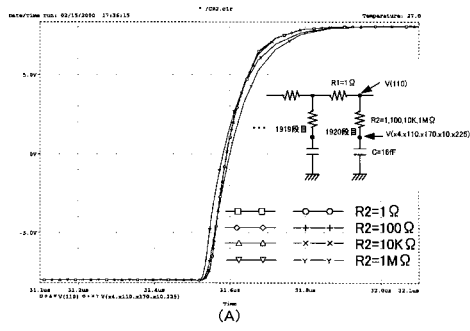
【図 2 4】



【図 2 5】



【図 26】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 2 F 1/1343

F ターム(参考) 2H092 GA59 GA60 JA25 JA37 JA40 JA46 JB42 JB58 JB66 JB68
JB69 KA04 KA10 MA30
2H192 AA24 BC42 CB02 CB13 CC01 CC02 CC07 CC32 CC44 DA12
DA67 EA22 FA73 FB02 HA84
3K107 AA01 BB01 CC33 CC42 EE04 HH04 HH05
5C094 AA14 AA22 AA31 BA03 BA27 BA43 DA13 DB01 FB12 HA08
5F110 AA03 AA08 BB01 BB04 CC02 DD02 DD03 DD06 DD13 DD14
DD15 DD17 DD24 EE01 EE03 EE04 EE05 EE06 EE08 EE11
EE14 EE15 EE28 EE37 EE44 FF04 FF09 FF28 FF30 GG02
GG13 GG25 GG32 GG43 GG45 GG51 GG55 HJ01 HJ04 HJ12
HJ23 HJ30 HL04 HL06 HL07 HL12 HL23 HM12 HM13 HM15
NN02 NN03 NN04 NN22 NN23 NN24 NN27 NN40 NN71 NN72
NN78 PP01 PP03 PP10 PP34 PP35 QQ03 QQ11 QQ28

专利名称(译)	表示装置		
公开(公告)号	JP2017016154A	公开(公告)日	2017-01-19
申请号	JP2016193261	申请日	2016-09-30
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 小山潤 高山徹 濱谷敏次		
发明人	山崎 舜平 小山 潤 高山 徹 濱谷 敏次		
IPC分类号	G09F9/30 G02F1/1368 H01L51/50 H01L29/786 G02F1/1343 G02F1/1362 H01L21/336 H01L21/77 H01L21/84 H01L27/12 H01L29/423 H01L29/49		
FI分类号	G09F9/30.338 G02F1/1368 H05B33/14.A H01L29/78.617.M H01L29/78.612.C G02F1/1343		
F-TERM分类号	2H092/GA59 2H092/GA60 2H092/JA25 2H092/JA37 2H092/JA40 2H092/JA46 2H092/JB42 2H092/JB58 2H092/JB66 2H092/JB68 2H092/JB69 2H092/KA04 2H092/KA10 2H092/MA30 2H192/AA24 2H192/BC42 2H192/CB02 2H192/CB13 2H192/CC01 2H192/CC02 2H192/CC07 2H192/CC32 2H192/CC44 2H192/DA12 2H192/DA67 2H192/EA22 2H192/FA73 2H192/FB02 2H192/HA84 3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC42 3K107/EE04 3K107/HH04 3K107/HH05 5C094/AA14 5C094/AA22 5C094/AA31 5C094/BA03 5C094/BA27 5C094/BA43 5C094/DA13 5C094/DB01 5C094/FB12 5C094/HA08 5F110/AA03 5F110/AA08 5F110/BB01 5F110/BB04 5F110/CC02 5F110/DD02 5F110/DD03 5F110/DD06 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/DD24 5F110/EE01 5F110/EE03 5F110/EE04 5F110/EE05 5F110/EE06 5F110/EE08 5F110/EE11 5F110/EE14 5F110/EE15 5F110/EE28 5F110/EE37 5F110/EE44 5F110/FF04 5F110/FF09 5F110/FF28 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG25 5F110/GG32 5F110/GG43 5F110/GG45 5F110/GG51 5F110/GG55 5F110/HJ01 5F110/HJ04 5F110/HJ12 5F110/HJ23 5F110/HJ30 5F110/HL04 5F110/HL06 5F110/HL07 5F110/HL12 5F110/HL23 5F110/HM12 5F110/HM13 5F110/HM15 5F110/NN02 5F110/NN03 5F110/NN04 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN40 5F110/NN71 5F110/NN72 5F110/NN78 5F110/PP01 5F110/PP03 5F110/PP10 5F110/PP34 5F110/PP35 5F110/QQ03 5F110/QQ11 5F110/QQ28		
优先权	1999104646 1999-04-12 JP		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够扩大有源矩阵型液晶显示装置的屏幕面积的液晶显示装置，第一个目的是提供电极和栅极布线。解决方案：液晶显示装置在同一基板上具有显示区域，并且在显示区域周围设置有驱动电路 显示区域包括第一薄膜晶体管，驱动电路驱动第二薄膜晶体管 并且，第一薄膜晶体管和第二薄膜晶体管由掺杂磷的硅树脂制成 并且栅电极设置在沟道形成区域的外部连接部分 并且含有铝或铜作为主要成分的层和钽，钨，钛，钼 并且一层主要含有选自硅和锗中的至少一种元素。

