

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2016-110112
(P2016-110112A)

(43) 公開日 平成28年6月20日 (2016. 6. 20)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H189
GO2F 1/1333 (2006.01)	GO2F 1/1333	2H192
GO9F 9/00 (2006.01)	GO9F 9/00 366A	5G435
GO6F 3/041 (2006.01)	GO6F 3/041 412	
審査請求 未請求 請求項の数 3 O L (全 31 頁) 最終頁に続く		

(21) 出願番号 特願2015-227289 (P2015-227289)	(71) 出願人 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日 平成27年11月20日 (2015. 11. 20)	
(31) 優先権主張番号 特願2014-243995 (P2014-243995)	(72) 発明者 初見 亮 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(32) 優先日 平成26年12月2日 (2014. 12. 2)	(72) 発明者 石谷 哲二 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(33) 優先権主張国 日本国 (JP)	Fターム(参考) 2H092 GA14 GA62 JA26 JA46 JB05 JB56 JB65 JB66 JB69 NA25 QA06 2H189 AA14 HA11 HA16 JA14 LA03 LA10 LA28 LA31
最終頁に続く	

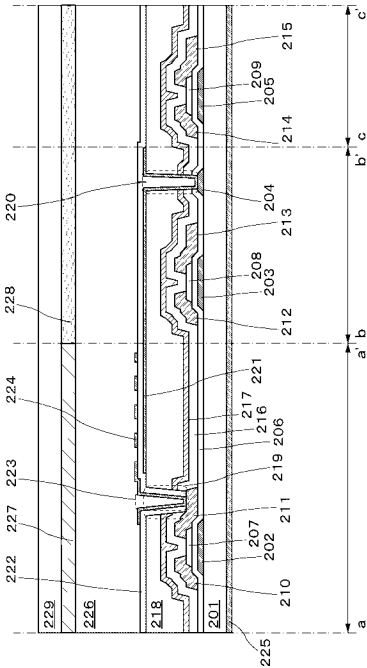
(54) 【発明の名称】 半導体装置、表示装置

(57) 【要約】

【課題】 タッチセンサを有するディスプレイモジュールの製造コストの増大を抑える。

【解決手段】 第1の基板と、第2の基板と、前記第1の基板と前記第2の基板との間の液晶と、を有する表示装置において、当該表示装置は、表示部を有し、当該表示部は、センサユニットと、画素とを有し、当該センサユニットは、第1のトランジスタと、第1のトランジスタのゲートと電気的に接続される第1の導電膜と、第2の導電膜と、を有し、当該第1の導電膜の少なくとも一部は、当該第2の導電膜の少なくとも一部と、重なる部分を有し、当該画素は、第2のトランジスタと、当該第2のトランジスタに電気的に接続される画素電極と、を有し、当該画素電極の少なくとも一部は、当該第1の導電膜と少なくとも一部が重なる部分を有する表示装置。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 の基板と、
第 2 の基板と、
前記第 1 の基板と前記第 2 の基板との間の液晶と、を有する表示装置において、
表示部を有し、
前記表示部は、センサユニットと、画素とを有し、
前記センサユニットは、第 1 のトランジスタと、第 1 のトランジスタのゲートと電氣的に
接続される第 1 の導電膜と、第 2 の導電膜と、を有し、
前記第 1 の導電膜の少なくとも一部は、前記第 2 の導電膜の少なくとも一部と、重なる部
分を有し、
前記画素は、第 2 のトランジスタと、前記第 2 のトランジスタに電氣的に接続される画素
電極と、を有し、
前記画素電極の少なくとも一部は、前記第 1 の導電膜と少なくとも一部が重なる部分を有
する表示装置。

【請求項 2】

第 1 の基板と、
第 2 の基板と、
前記第 1 の基板と前記第 2 の基板との間の液晶と、を有する表示装置において、
表示部を有し、
前記表示部は、センサユニットと、画素とを有し、
前記センサユニットは、第 1 のトランジスタと、第 1 のトランジスタのゲートと電氣的に
接続される第 1 の導電膜と、第 2 の導電膜と、を有し、
前記第 1 の基板と前記液晶との間に、前記第 1 のトランジスタと、前記第 1 の導電膜と、
を有し、
前記第 1 の導電膜と、前記第 1 の基板を介して対向する前記第 2 の導電膜を有し、
前記第 1 の導電膜の少なくとも一部は、前記第 2 の導電膜の少なくとも一部と、重なる部
分を有し、
前記画素は、第 2 のトランジスタと、前記第 2 のトランジスタに電氣的に接続される画素
電極と、を有し、
前記画素電極の少なくとも一部は、前記第 1 の導電膜と少なくとも一部が重なる部分を有
する表示装置。

【請求項 3】

第 1 の基板と、
第 2 の基板と、
前記第 1 の基板と前記第 2 の基板との間の液晶と、を有する表示装置において、
表示部を有し、
前記表示部は、センサユニットと、画素とを有し、
前記センサユニットは、第 1 のトランジスタと、第 1 のトランジスタのゲートと電氣的に
接続される第 1 の導電膜と、第 2 の導電膜と、を有し、
前記第 1 の基板と前記液晶との間に、前記第 1 のトランジスタと、前記第 1 の導電膜と、
を有し、
前記第 1 の導電膜と、前記液晶を介して対向する前記第 2 の導電膜を有し、
前記第 1 の導電膜の少なくとも一部は、前記第 2 の導電膜の少なくとも一部と、重なる部
分を有し、
前記画素は、第 2 のトランジスタと、前記第 2 のトランジスタに電氣的に接続される画素
電極と、を有し、
前記画素電極の少なくとも一部は、前記第 1 の導電膜と少なくとも一部が重なる部分を有
する表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、タッチセンサに関する。また、本発明の他の一態様は、タッチセンサ、ディスプレイパネル、または、タッチセンサとディスプレイパネルとを一体形成した表示装置に関する。

【0002】

なお、本明細書等において、ディスプレイパネルとは、液晶パネル、有機ELパネル、無機ELパネルなど表示装置全般を指す。また、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。撮像装置、表示装置、液晶表示装置、発光装置、電気光学装置、及び電子機器は、半導体装置を有している場合がある。また、タッチセンサおよびディスプレイパネルを備える表示装置をディスプレイモジュールと呼ぶ場合がある。

10

【0003】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、又は、製造方法に関する。本発明の一態様は、プロセス、マシン、マニュファクチャ、又は、組成物（コンポジション・オブ・マター）に関する。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、電子機器、入力装置、入出力装置、それらの駆動方法、又は、それらの製造方法、を一例として挙げることができる。

20

【背景技術】

【0004】

フラットパネルディスプレイとして液晶を用いた表示装置が知られている。また、当該表示装置を表示部に用いた電子機器が知られている。このような電子機器には、電子機器の操作を行うためなどに用いられる入力部が設けられる。

【0005】

当該入力部の一例として、タッチセンサが知られている。ディスプレイパネルに重ねてタッチセンサを設け、該タッチセンサを用いて入力を行い、表示画像を変化させることが可能な電子機器が望まれている。このタッチセンサは、入力信号の検出方式として、静電容量方式、抵抗膜方式、及び、光方式などが知られている。

30

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開平09-281508号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

タッチセンサを有するディスプレイモジュールを作製しようとした場合、ディスプレイパネルに存在する画像が表示される表示部面と、入力信号を検出するタッチセンサの検出面の距離が離れてしまう。なぜなら、ディスプレイパネルの上に、接着層を設け、この上に、タッチパネルを重ねるためである。この結果、入力がスムーズに行えないなどの不都合が生じていた。具体的には、斜めからタッチセンサ越しに表示面をみた場合、表示面に表示されたアイコンと、タッチパネル上のセンシング位置との間にずれが生じてしまい、正確な入力の妨げになっていた。

40

【0008】

上記のような技術背景のもと、本発明の一態様は、誤入力を低減することを可能としたタッチセンサを有するディスプレイモジュールの提供を課題の一つとする。または、本発明の一態様は、タッチセンサを有するディスプレイモジュールの信頼性の向上を課題の一つとする。

【0009】

50

また、タッチセンサを有するディスプレイモジュールを作製しようとした場合、タッチセンサとディスプレイパネルを重ねるため、その薄型化を妨げていた。本発明の一態様は、タッチセンサを有するディスプレイモジュールの薄型化を課題の一つとする。または、本発明の一態様は、タッチセンサを有するディスプレイモジュールの軽量化を課題の一つとする。

【0010】

また、タッチセンサを有するディスプレイモジュールを作製しようとした場合、タッチセンサとディスプレイパネルを別々に作製し、組み付ける必要があるため、製造コストの増大を招いていた。本発明の一態様は、タッチセンサを有するディスプレイモジュールの製造コストの増大を抑えることを、課題の一つとする。

10

【0011】

また、本発明の一態様は、タッチセンサを有するディスプレイモジュールの新規な構成を提供することを課題の一つとする。また、本発明の一態様は、新規なタッチセンサを提供することを課題の一つとする。また、本発明の一態様は、新規なディスプレイを提供することを課題の一つとする。また、本発明の一態様は、新規なディスプレイモジュールを提供することを課題の一つとする。

【0012】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はない。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

20

【課題を解決するための手段】

【0013】

本発明の一態様は、第1の基板と、第2の基板と、前記第1の基板と前記第2の基板との間の液晶と、を有する表示装置において、表示部を有し、当該表示部は、センサユニットと、画素とを有し、当該センサユニットは、第1のトランジスタと、第1のトランジスタのゲートと電氣的に接続される第1の導電膜と、第2の導電膜と、を有し、当該第1の導電膜の少なくとも一部は、当該第2の導電膜の少なくとも一部と、重なる部分を有し、当該画素は、第2のトランジスタと、当該第2のトランジスタに電氣的に接続される画素電極と、を有し、当該画素電極の少なくとも一部は、当該第1の導電膜と少なくとも一部が重なる部分を有する表示装置である。

30

【0014】

また、本発明の他の一態様は、第1の基板と、第2の基板と、前記第1の基板と前記第2の基板との間の液晶と、を有する表示装置において、表示部を有し、当該表示部は、センサユニットと、画素とを有し、当該センサユニットは、第1のトランジスタと、第1のトランジスタのゲートと電氣的に接続される第1の導電膜と、第2の導電膜と、を有し、当該第1の基板と当該液晶との間に、当該第1のトランジスタと、当該第1の導電膜と、を有し、当該第1の導電膜と、当該第1の基板を介して対向する当該第2の導電膜を有し、当該第1の導電膜の少なくとも一部は、当該第2の導電膜の少なくとも一部と、重なる部分を有し、当該画素は、第2のトランジスタと、前記第2のトランジスタに電氣的に接続される画素電極と、を有し、当該画素電極の少なくとも一部は、当該第1の導電膜と少なくとも一部が重なる部分を有する表示装置である。

40

【0015】

また、本発明の他の一態様は、第1の基板と、第2の基板と、前記第1の基板と前記第2の基板との間の液晶と、を有する表示装置において、表示部を有し、当該表示部は、センサユニットと、画素とを有し、当該センサユニットは、第1のトランジスタと、第1のトランジスタのゲートと電氣的に接続される第1の導電膜と、第2の導電膜と、を有し、当該第1の基板と当該液晶との間に、当該第1のトランジスタと、当該第1の導電膜と、を有し、当該第1の導電膜と、前記液晶を介して対向する当該第2の導電膜を有し、当該第1の導電膜の少なくとも一部は、当該第2の導電膜の少なくとも一部と、重なる部分を

50

有し、当該画素は、第2のトランジスタと、当該第2のトランジスタに電氣的に接続される画素電極と、を有し、当該画素電極の少なくとも一部は、当該第1の導電膜と少なくとも一部が重なる部分を有する表示装置である。

【0016】

また、本発明の他の一態様は、第1の基板と、第2の基板と、前記第1の基板と前記第2の基板との間の液晶と、を有する表示装置において、当該表示装置は、表示部を有し、当該表示部は、センサユニットと、画素とを有し、当該センサユニットは、第1のトランジスタと、第1のトランジスタのゲートと電氣的に接続される第1の導電膜と、第2の導電膜と、を有し、当該第1の導電膜の少なくとも一部は、当該第2の導電膜の少なくとも一部と、近接する部分を有し、当該画素は、第2のトランジスタと、当該第2のトランジスタに電氣的に接続される画素電極と、を有し、当該画素電極の少なくとも一部は、当該第1の導電膜と少なくとも一部が重なる部分を有する表示装置である。

10

【0017】

上記において、第1のトランジスタと第2のトランジスタとは、同じ製造工程から同時に作製されることが好ましい。

【発明の効果】

【0018】

本発明の一態様によれば、センサユニットと、画素を同時に形成することができるため、センサ一体形成の表示装置の製造コストを低減させることができる。または、センサ一体形成の表示装置の厚さを薄くすることが可能となる。または、センサ一体形成の表示装置を軽量化することが可能となる。または、アクティブマトリクス型センサを一体形成した表示装置を軽量化、薄型化することが可能となる。または、センサの検出感度を向上させ、信頼性の高いセンサ一体形成した表示装置を提供することができる。また、本発明の一態様によれば、タッチセンサを有するディスプレイモジュールの新規な構成を提供することができる。また、本発明の一態様は、新規なタッチセンサを提供することができる。また、本発明の一態様は、新規なディスプレイを提供することができる。また、本発明の一態様は、新規なディスプレイモジュールを提供することができる。

20

【0019】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

30

【図面の簡単な説明】

【0020】

【図1】表示装置の構成例を説明する図。

【図2】表示装置の構成例を説明する図。

【図3】表示装置の構成例を説明する図。

【図4】駆動方法の例を説明する図。

【図5】駆動方法の例を説明する図。

【図6】回路の構成例を説明する図。

【図7】駆動方法の例を説明する図。

【図8】回路の構成例を説明する図。

【図9】回路の構成例を説明する図。

【図10】表示装置の構成例を説明する図。

【図11】回路の構成例を説明する図。

【図12】回路の構成例を説明する図。

【図13】CAAC-Osの断面におけるCs補正高分解能TEM像、およびCAAC-Osの断面模式図。

【図14】CAAC-Osの平面におけるCs補正高分解能TEM像。

【図15】CAAC-Osおよび単結晶酸化物半導体のXRDによる構造解析を説明する

40

50

図。

【図 16】 C A A C - O S の電子回折パターンを示す図。

【図 17】 I n - G a - Z n 酸化物の電子照射による結晶部の変化を示す図。

【図 18】 電子機器の例を説明する図。

【図 19】 表示装置の構成例を説明する図。

【図 20】 表示装置の構成例を説明する図。

【発明を実施するための形態】

【0021】

以下では、本発明の実施の形態について詳細に説明する。ただし、本発明の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更することは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の内容に限定して解釈されるものではない。

【0022】

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0023】

なお、本明細書で説明する各図において、各構成の大きさ、膜の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0024】

なお、本明細書等における「第 1」、「第 2」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

【0025】

トランジスタは半導体素子の一種であり、電流や電圧の増幅や、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、I G F E T (I n s u l a t e d G a t e F i e l d E f f e c t T r a n s i s t o r) や薄膜トランジスタ (T F T : T h i n F i l m T r a n s i s t o r) を含む。

【0026】

また、トランジスタのソースとは、半導体膜の一部であるソース領域、或いは上記半導体膜に接続されたソース電極を意味する。同様に、トランジスタのドレインとは、上記半導体膜の一部であるドレイン領域、或いは上記半導体膜に接続されたドレイン電極を意味する。また、ゲートはゲート電極を意味する。

【0027】

トランジスタが有するソースとドレインは、トランジスタの導電型及び各端子に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、n チャネル型トランジスタでは、低い電位が与えられる端子がソースと呼ばれ、高い電位が与えられる端子がドレインと呼ばれる。また、p チャネル型トランジスタでは、低い電位が与えられる端子がドレインと呼ばれ、高い電位が与えられる端子がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソースとドレインの呼び方が入れ替わる。

【0028】

また、回路図上は独立している構成要素どうしが接続されている場合であっても、実際には、例えば配線の一部が電極としても機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0029】

(実施の形態 1)

10

20

30

40

50

本実施の形態では、本発明の一態様のタッチセンサ、及び、タッチセンサを一体形成する液晶表示装置について説明する（図１（Ａ）、（Ｂ））。

【００３０】

図１（Ａ）に本発明の一態様のアクティブマトリクス型タッチセンサを一体形成する表示装置の模式図を示す。本発明の一態様のアクティブマトリクス型タッチセンサを一体形成する表示装置１０は、表示領域１００を有し、表示領域１００に設けられるゲート線１０４と、ゲート線１０４と電氣的に接続されるゲート線駆動回路２０を有し、表示領域１００に設けられるソース線１０５と、ソース線１０５と電氣的に接続されるソース線駆動回路３０を有し、表示領域１００に設けられるバス線１０２と、バス線１０２と電氣的に接続されるアクティブマトリクス型タッチセンサ用のセンサユニット駆動回路４０を有し、表示領域１００に設けられるバス線１０３と、バス線１０３と電氣的に接続されるアクティブマトリクス型タッチセンサ用の変換回路５０を有する。また、表示装置１０は、ＦＰＣ（Flexible printed circuit）６０を有する。

【００３１】

センサユニット駆動回路４０と、変換回路５０と、ソース線駆動回路３０の、実装方式にはＣＯＧ（Chip On Glass）方式を用いてもよい。センサユニット駆動回路４０と、変換回路５０と、ソース線駆動回路３０を一つのＩＣ Chipに形成してもよいし、それぞれを別のＩＣ Chipとしてもよい。また、センサユニット駆動回路４０の回路の全部又は一部を表示装置１０の上に薄膜トランジスタを用いて形成してもよい。また、変換回路５０の回路の全部又は一部を表示装置１０の上に薄膜トランジスタを用いて形成してもよい。また、ソース線駆動回路３０の回路の全部又は一部を表示装置１０の上に薄膜トランジスタを用いて形成してもよい。

【００３２】

図１（Ｂ）にアクティブマトリクス型タッチセンサを一体形成する表示装置の表示領域１００の模式図を示す。表示領域１００は、少なくともアクティブマトリクス型タッチセンサと、ゲート線１０４と、ソース線１０５と、トランジスタ１０６と、画素電極１０７と、を有する。トランジスタ１０６のゲートは、ゲート線１０４と電氣的に接続される。トランジスタ１０６のソース又はドレインの一方は、ソース線１０５と電氣的に接続される。トランジスタ１０６のソース又はドレインの他方は、画素電極１０７と電氣的に接続される。アクティブマトリクス型タッチセンサは、バス線１０２、バス線１０３、センサユニット１０１、を有する。バス線１０２はセンサユニット１０１と電氣的に接続される。バス線１０３は、センサユニット１０１と電氣的に接続される。バス線１０２には、例えば、配線ＶＲＥＳ、配線ＲＥＳ、走査線ＧＬ（ｋ）、配線ＣＳ、配線ＶＰＩなどが含まれる（図６参照）。バス線１０３には、例えば、信号線ＤＬ（ｎ）などが含まれる（図６参照）。

【００３３】

本発明の一態様に適用することができるアクティブマトリクス型タッチセンサは、センサユニット１０１を有する。センサユニット１０１は、第１のトランジスタと、第１の容量素子を有する。第１の容量素子は、例えば、第１の電極と、第２の電極と、これらの間に設けられた誘電体と、を有する。第１の容量素子の第２の電極の少なくとも一部は、画素電極の一部と重なるように配置される。また、第１の基板上にトランジスタ１０６と同時に形成することができるトランジスタを、第１のトランジスタに用いることができる。第１の基板上に、第１のトランジスタとトランジスタ１０６を形成することにより、タッチパネル製造工程を簡略化し、製造コストを低減することが可能となる。

【００３４】

図２に、本発明の一態様に適用することができるアクティブマトリクス型タッチセンサを一体形成する液晶表示装置の断面図を示す。図２のａ－ａ'断面は、表示素子の一部を示す。ｂ－ｂ'断面は、センサユニットの一部を示す。ｃ－ｃ'断面は、回路の一部を示す。

【００３５】

10

20

30

40

50

本発明の一態様に適用することができるアクティブマトリクス型タッチセンサを一体形成する液晶表示装置は、基板201上に、導電膜202、203、204、205を有する。導電膜202、203、205はトランジスタのゲート電極として機能することができる。導電膜202、203、204、205上に絶縁膜206を有する。絶縁膜206の一部は、トランジスタのゲート絶縁膜として機能することができる。絶縁膜206上に半導体膜207、208、209を有する。半導体膜207上に、導電膜210、211を有する。半導体膜208上に、導電膜212、213を有する。半導体膜209上に導電膜214、215を有する。導電膜210、211、212、213、214、215は、トランジスタのソース又はドレインとして機能することができる。導電膜210、211、212、213、214、215上に、絶縁膜216、217、218を有する。絶縁膜218には、平坦性を有する絶縁体を用いることが好ましい。絶縁膜216、217、218に、開口219、220を有する。絶縁膜218上に、導電膜221を有する。導電膜221は、開口220を介して、導電膜204と電氣的に接続される。また、導電膜221の少なくとも一部は、コモン電極として機能する。導電膜221上に絶縁膜222を有する。絶縁膜222に開口223を有する。絶縁膜222上に導電膜224を有する。導電膜224は、開口223を介して、導電膜211と電氣的に接続される。導電膜224の少なくとも一部は、画素電極として機能することができる。導電膜224は、少なくとも一つのスリットを有し、導電膜221との間で発生する電界によって、液晶を制御することができる。また、導電膜221の少なくとも一部は、絶縁膜222を介して、導電膜224の少なくとも一部と重なるように配置され、画素電極の電位を一定期間保持するための保持容量素子を構成する電極として機能する。導電膜224上に液晶層226を有する。液晶層226上に、着色膜227及び遮光膜228を有する。着色膜227としては、R（赤）、G（緑）、B（青）のカラーフィルタを用いることができる。また、これらの色に加えてW（白）、やY（黄）を組み合わせてもよい。着色膜227及び遮光膜228上に基板229を有する。また、基板201の下に導電膜225を有する。導電膜225は、少なくとも基板201を介して導電膜221と対向し、且つ、センサユニット101の第1の容量素子として機能する。また、導電膜221、224、225には、透明導電材料を用いることが好ましい。

【0036】

導電膜221の少なくとも一部は、導電膜225の少なくとも一部と、間に誘電体を挟んで重なり、容量素子を形成する。本発明の一態様に用いられるアクティブマトリクス型タッチセンサは、指やスタイラス等の被検出体と、導電膜221との間に形成される容量を検出することで、タッチ動作を検出することができる。具体的には、導電膜221と導電膜225との間に所定の電位差が与えられていた時に、タッチ動作により被検出体と導電膜221との間に生じた容量により、導電膜221の電位の変化を検出することで、タッチ動作を検出することができる。

【0037】

導電膜221の少なくとも一部は、画素電極の電圧を一定期間保持するための保持容量素子を構成する電極としても機能し、さらに、タッチ動作を検出するためのセンサユニット101に設けられている第1の容量素子を構成する電極としても機能する。

【0038】

本発明の一態様のアクティブマトリクス型タッチセンサ一体形成の液晶表示装置は、タッチ動作が行われた際の容量の変化に基づく位置情報を検出することができる。また、表示領域に画像を表示することができる。また、基板201に、アクティブマトリクス型タッチセンサと、ゲート線104と、ソース線105と、トランジスタ106と、画素電極107と、を形成するため、アクティブマトリクス型タッチセンサ一体形成の液晶表示装置を薄く、軽量に形成することができる。また、アクティブマトリクス型タッチセンサに用いられるトランジスタと、画素のトランジスタ106とを同時に作製することができるため、製造工程を簡略化でき、製造コストを低減することができる。

【0039】

なお、本発明の一態様のアクティブマトリクス型タッチセンサを一体形成する液晶表示装置に用いられるトランジスタの構造は、特に限定されず、様々な構造のトランジスタを用いることができる。本実施の形態では、ボトムゲート型のトランジスタで示したが、これに限定されない。例えば、トップゲート型のトランジスタを用いてもよい。

【0040】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【0041】

(実施の形態2)

図3に、本発明の一態様に適用することができるアクティブマトリクス型タッチセンサを一体形成する液晶表示装置の断面図を示す。図3のa-a'断面は、表示素子の一部を示す。b-b'断面は、センサユニットの一部を示す。c-c'断面は、回路の一部を示す。

【0042】

図2では、導電膜225を基板201の下に有する構成を説明したが、図3では、図2では導電膜225に相当する導電膜301を基板229側に有する例を説明する。図3では、基板201に設けられる構造は、導電膜225以外、図2と同様なので説明を省略する。図3では、液晶の上に導電膜301を有する例を説明する。

【0043】

本発明の一態様では、導電膜301を、液晶層226を介して導電膜224と対向するように配置する。図3の構成では、導電膜224と、導電膜221と、導電膜301とを用いて液晶を制御する。当該液晶に用いられる、液晶材料の固有抵抗率は $1.0 \times 10^{13} \Omega \cdot \text{cm}$ 以上、好ましくは $1.0 \times 10^{15} \Omega \cdot \text{cm}$ 以上であることが好ましい。また、当該液晶にはネガ型の液晶材料を用いることが好ましい。このような構成とすることで、一定期間内における画像信号の書き込み回数を少なくしても、液晶の透過率の変動が少なく、液晶表示装置の視認者にとって、画像のちらつきが抑制された液晶表示装置とすることができる。具体的には、導電膜224と導電膜221との間に発生する電界により液晶分子を制御するが、導電膜301を用いることでより液晶の配向状態を安定的に制御することができる。また、導電膜301の電位を導電膜221と同じにすることがより好ましい。なお、導電膜301には透明導電材料を用いることが好ましい。

【0044】

なお、本発明の一態様のアクティブマトリクス型タッチセンサを一体形成する液晶表示装置に用いられるトランジスタの構造は、特に限定されず、様々な構造のトランジスタを用いることができる。本実施の形態では、ボトムゲート型のトランジスタで示したが、これに限定されない。例えば、トップゲート型のトランジスタを用いてもよい。

【0045】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【0046】

(実施の形態3)

本実施の形態では、本発明の一態様に適用することができる液晶の駆動方法として、画面の書き換えを可能な限り少なくする駆動方法について説明する。

【0047】

当該駆動方法を適用した液晶表示装置は、少なくとも2つの駆動方法(モード)で表示を行う。1つは、画面の書き換えを、逐次、行う駆動方法である。これを”通常駆動”と呼ぶ。もう1つは、画面の書き込み処理を実行した後、画面の書き込みを停止する駆動方法である。これを”アイドリング・ストップ(IDS)駆動”と呼ぶ。また、通常駆動、IDS駆動で液晶表示装置が動作しているモードを、それぞれ、通常モード(状態)、IDSモード(状態)と呼ぶ。

【0048】

動画の表示は、通常駆動により行われる。静止画の表示は、通常駆動または I D S 駆動により行われる。静止画表示は、同じ画像を表示するため、画面の書き換えを逐次行う必要はない。そこで、静止画を表示する際は、液晶表示装置を I D S 駆動で動作させることで、画面のちらつきを低減することが可能となる。また、消費電力を削減することができる。以下、図 4 (A)、(B) 及び図 5 (A)、(B) を用いて通常動作及び I D S 駆動を説明する。

【0049】

図 4 (A) は、通常駆動による静止画の表示方法を説明する図であり、図 4 (B) は、I D S 駆動による静止画の表示方法を説明する図である。

【0050】

図 5 (A) に通常駆動、図 5 (B) に I D S 駆動のタイミングチャートの例を示す。図 5 において V i d e o は液晶表示装置に入力される画像信号であり、ソース線駆動回路からソース線へ供給される画像のデータ信号である。G V D D は、ゲート線駆動回路の高電位側の電源電圧である。

【0051】

通常駆動では、逐次画面（データ）の書き換えが行われる。例えば、フレーム周波数が 60 H z の場合、1 フレーム期間が、約 $1/60$ 秒となり、約 $1/60$ 秒ごとに画面の書き換えが行われる。

【0052】

I D S 駆動では、タイミングチャートに示すように行われる処理が、データ書き換え処理（または、書き込み処理とも呼ぶこともできる。）と、データ保持に分かれる。

【0053】

データ書き換え期間において、通常駆動と同じ 1 フレーム期間（間隔 T p d）にデータの書き換えが 1 回実行され、画素にデータが書き込まれる。データ書き込み後、データの書き換えを停止する。画素トランジスタがオフ状態となり、データ保持状態となる。

【0054】

1 回のデータの書き換え処理中の書き換え回数は、1 回でもよいし、複数回でもよい。図 4 (B) 及び図 5 (B) ではデータ書き換え回数が 3 回の例を示した。

【0055】

データの書き換え回数は、1 フレーム期間の長さに応じて考慮し、設定すればよい。データ書き換え時間は、最長 1 秒間とし、0.5 秒以下または 0.2 秒以下程度とすることが好ましい。

【0056】

また、データ保持期間に画素で保持される V i d e o 信号の極性は、直前のデータ保持期間で画素に保持していた V i d e o 信号の極性とは逆の極性になるようにデータ書き込み回数を調節することが好ましい。これにより、I D S 駆動による液晶の劣化を抑制することができる。

【0057】

図 4 (A)、(B) 及び図 5 (A)、(B) から明らかなように、I D S モードによる静止画表示は、通常モードよりもデータの書き換え回数を非常に少なくすることができる。よって I D S モードで静止画を表示することで、画面のちらつきが抑えられるため目の疲れを抑制することができる。また、データ保持期間中は、ゲート線駆動回路、ソース線駆動回路の動作も停止するため、消費電力も削減できる。

【0058】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0059】

（実施の形態 4）

本実施の形態では、本発明の一態様のタッチセンサの構成例と、その駆動方法の例について、図面を参照して説明する。

10

20

30

40

50

【0060】

図6に、本発明の一態様としてアクティブマトリクス型タッチセンサを有する表示部の回路図を示す。また、図7に、図6に示す回路に入力することができる信号の一例について示す。

【0061】

図6に示した表示部は、センサユニットと画素とを少なくとも有する。センサユニットは、容量C1と、トランジスタM1、M2、M3を少なくとも有する。画素は、液晶素子LCと、容量C1cと、トランジスタMpを少なくとも有する。

【0062】

ゲート線Gpixel(l)は、トランジスタMpのゲートと電氣的に接続される。ソース線Spixel(o)は、トランジスタMpのソース又はドレインの一方と電氣的に接続される(lおよびoはそれぞれ1以上の整数)。トランジスタMpのソース又はドレインの他方は、画素電極と電氣的に接続され、容量C1cの第1電極と電氣的に接続される。

10

【0063】

走査線GL(k)は、トランジスタM2のゲートと電氣的に接続される。配線DL(n)は、トランジスタM2のソース又はドレインの一方と電氣的に接続される(kおよびnはそれぞれ1以上の整数)。配線VRESは、トランジスタM3のソース又はドレインの一方と電氣的に接続される。配線RESは、トランジスタM3のゲートと電氣的に接続される。配線VPIは、トランジスタM1のソース又はドレインの一方に電氣的に接続される。配線CSは、容量C1の第2電極と電氣的に接続される。

20

【0064】

トランジスタM2のソース又はドレインの他方と、トランジスタM1のソース又はドレインの他方とは、電氣的に接続される。トランジスタM1のゲートは、トランジスタM3のソース又はドレインの他方と容量C1の第1電極と電氣的に接続される。

【0065】

液晶素子LCを構成するコモン電極COMは、トランジスタM1のゲートと電氣的に接続される。画素部の容量C1cの第2電極は、トランジスタM1のゲートと電氣的に接続される。

【0066】

ゲート線Gpixelは、ゲート線駆動回路と電氣的に接続される。ソース線Spixelは、ソース線駆動回路と電氣的に接続される。配線VRESは、センサユニット駆動回路と電氣的に接続される。配線RESは、センサユニット駆動回路と電氣的に接続される。配線CS及び配線VPIは、それぞれセンサユニット駆動回路と電氣的に接続されてもよいし、FPCとセンサユニット駆動回路を介さずに互いに電氣的に接続されてもよい。

30

【0067】

配線DLは、変換回路と電氣的に接続される。変換回路としては、さまざまな回路を用いることが可能であるが、一例を図8に示す。

【0068】

センサユニットは、容量C1を含み、容量C1は第1電極及び第2電極を有する。図2では、導電膜225が第2電極に相当し、導電膜221が第1電極に相当する。また、図3では、導電膜301が第2電極に相当し、導電膜221が第1電極に相当する。

40

【0069】

図6、7を用いて駆動方法について説明する。

【0070】

1フレーム期間のタイミングチャートを図7に示す。1フレームは書き込み期間とセンシング期間とを有する。書き込み期間は、表示部の各画素へ映像信号を書き込む期間である。センシング期間は、センサユニットからタッチ動作を検出する期間である。

【0071】

50

[書き込み期間]

[第1ステップ]

配線RESに制御信号が入力され、配線RESが選択された時に、配線RESと電氣的に接続されるトランジスタM3は、導通状態となる。配線VESには、低電位が供給され、導通状態のトランジスタM3を介して、コモン電極COMには配線VESに供給されている電位が供給される。このようにして書き込み期間中、画素のコモン電極は、配線VESと電氣的に接続され、一定の電位とする。

【0072】

[第2ステップ]

ゲート線Gpixelを選択する。選択されたゲート線Gpixelに接続されているトランジスタMpは導通状態になり、ソース線Spixelに供給される映像信号が、トランジスタMpを介して、画素電極、及び、容量C1cに供給される。このようにして、ゲート線Gpixelを最初の一行目から最終行目まで順次選択し、各画素電極及び各容量C1cへ映像信号を書き込む。図7には、一例としてGpixel(1)からGpixel(1+m)(mは1以上の整数)のタイミングチャートを示した。

【0073】

[センシング期間]

[第3ステップ]

センシング期間中、全てのゲート線Gpixelは、非選択状態とし、トランジスタMpは非導通状態とする。

【0074】

[第4ステップ]

配線VPIと配線CSを低電位とする。配線RESを選択し、トランジスタM3を導通状態とする。配線VESに高電位を供給し、トランジスタM1のゲートに高電位を供給する。このとき、配線CSと電氣的に接続される容量C1の第2の電極には低電位が、トランジスタM1のゲートと電氣的に接続される容量C1の第1の電極には、高電位が供給されている。例えば、低電位が0V、高電位が5Vの場合、容量C1の第2の電位と第1の電位の間には5Vの電圧がかかる。その後、配線RESを非選択とし、トランジスタM3を非導通状態とし、容量C1の両端の電圧を保持する。

【0075】

[第5ステップ]

容量C1が大気中に置かれている場合、大気よりも誘電率の高いもの、例えば、人間の指901が、容量C1の第1の電極に近接して配置された場合、容量C1の第1の電極と指の間に容量C2が発生する(図9参照)。その状態で、配線CSの電位を低電位から高電位へ変化させる。大気よりも誘電率の高いもの、例えば、人間の指が、容量C1の第1の電極に近接して配置されている部分のトランジスタM1のゲート電位は、大気よりも誘電率の高いもの、例えば、人間の指が、容量C1の第1の電極に近接していない部分のトランジスタM1のゲート電位と比較して、電位の変化が小さくなる。この差を検出することで、例えば人間の指の位置を特定する。この差を検出する際、例えば、図8に示す変換回路を用いることができる。

【0076】

図8に示す変換回路50を用いた場合、センサユニットのトランジスタM2が非導通状態の期間に、変換回路のトランジスタM4を配線VPO及び配線BRから供給される信号によって導通状態にし、配線DLを一定の電位に設定し、その後トランジスタM4を非導通状態にする。その後、センサユニットのトランジスタM2を導通状態にし、配線DLの電位の変化を検出する。一画面分の検出が終了したのち、配線CSの電位を低電位に変化させる。

【0077】

以上のように1フレーム内の動作には、第1乃至第5ステップを含む。

【0078】

10

20

30

40

50

なお、実施の形態 3 に示す、I D S 駆動を組み合わせてもよい。

【0079】

なお、本実施の形態において、本発明の一態様のタッチセンサの例について述べた。ただし、本発明の一態様は、これらに限定されない。例えば、本発明の一態様のタッチセンサとして、抵抗膜方式、表面弾性波方式、赤外線方式、電磁誘導方式、表面型静電容量方式、投影型静電容量方式、などを用いてもよい。

【0080】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0081】

(実施の形態 5)

図 10 に、本発明の一態様に適用することができるアクティブマトリクス型タッチセンサを一体形成する液晶表示装置の断面図を示す。図 10 の a-a' 断面は、表示素子の一部を示す。b-b' 断面は、センサユニットの一部を示す。c-c' 断面は、回路の一部を示す。

【0082】

図 2 では、導電膜 225 を基板 201 の下に有する構成を説明したが、図 10 では、導電膜 225 の層を設けない例を示す。導電膜 225 は、図 6 に示しめす回路図では、配線 C S に相当する。図 10 の様に、図 2 に示す導電膜 225 に相当する層を設けない場合の表示部の回路図を、図 11 に示す。センサユニットは、容量 C 1 を含み、容量 C 1 は第 1 の電極及び第 2 の電極を有する。図 10 では、導電膜 221 が第 1 の電極に相当し、センサユニットのトランジスタと接続されない導電膜 221 が第 2 の電極に相当する。図 10 は、導電膜 225 以外の積層構造は、図 2 と同様なので説明を省略する。

【0083】

図 11 では、一部の画素のコモン電極が配線 C S として機能する。つまり、図 2 では、配線 C S として用いるために、導電膜 225 を設けているが、図 11 では、コモン電極として機能する導電膜 221 の一部をパターンニングし、当該一部を配線 C S として用いるため、配線 C S 用として導電膜 225 を設けなくてよい。図 12 に導電膜 221 のレイアウトの一例を示す。図 12 に示す例では、電極 1201 が容量 C 1 の第 2 電極に相当する。電極 1202 が容量 C 1 の第 1 電極に相当する。

【0084】

図 11 に、本発明の一態様としてアクティブマトリクス型タッチセンサを有する表示部の回路図を示す。図 11 に示す回路に入力することができる信号の一例のタイミングチャートを、図 7 に示す。

【0085】

なお、実施の形態 3 に示す、I D S 駆動を組み合わせてもよい。

【0086】

なお、本実施の形態において、本発明の一態様のタッチセンサの例について述べた。ただし、本発明の一態様は、これらに限定されない。例えば、本発明の一態様のタッチセンサとして、抵抗膜方式、表面弾性波方式、赤外線方式、電磁誘導方式、表面型静電容量方式、投影型静電容量方式、などを用いてもよい。

【0087】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0088】

(実施の形態 6)

本実施の形態では、本発明の一態様の半導体装置に好適に用いることのできる絶縁体、半導体、導電体及びそれらの形成方法、加工方法について説明する。

【0089】

絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン

10

20

30

40

50

、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層または単層で設けることができる。

【0090】

絶縁体として用いることのできる高誘電率物質（high-k材料ともいう）としては、タンタル酸化物、酸化ハフニウム、酸化ハフニウムシリケート、酸化ジルコニウム、酸化アルミニウム、酸化チタンなどの金属酸化物、または酸化ランタンなどの希土類酸化物等を用いることができる。

【0091】

また、半導体に酸化物半導体を用いる場合には、当該酸化物半導体に接する絶縁体には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物材料として、例えば、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、昇温脱離ガス分光法（TDS：Thermal Desorption Spectroscopy）分析にて膜の表面温度が100℃以上700℃以下、または100℃以上500℃以下の範囲において、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。例えばこのような材料として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、金属酸化物を用いることもできる。なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0092】

絶縁体の形成方法としては、例えば、スパッタリング法、CVD（Chemical Vapor Deposition）法（熱CVD法、MOCVD（Metal Organic CVD）法、PECVD（Plasma Enhanced CVD）法等を含む）、MBE（Molecular Beam Epitaxy）法、ALD（Atomic Layer Deposition）法、またはPLD（Pulsed Laser Deposition）法等などを用いることができる。

【0093】

また、平坦性を有する絶縁体としては、ポリイミド、アクリル、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また、上記有機材料のほかにシロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料を複数積層させてもよい。また、絶縁体の形成には、その材料に応じて、CVD法、スパッタ法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法等）、印刷法（スクリーン印刷、オフセット印刷等）の方法、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等の設備を用いることができる。

【0094】

また、上記以外の平坦性を有する絶縁体の作成方法としては、CMP（Chemical Mechanical Polishing）法を用いる方法がある。絶縁体を形成後、その表面にCMP処理を施すことで平坦な面を得ることができる。

【0095】

半導体としては、多結晶半導体、微結晶半導体、非晶質半導体、化合物半導体などの半導体を用いることができる。例えば、非晶質シリコン、多結晶シリコン、単結晶シリコン又はこれらにリンに代表される15族元素をドーピングしたものをを用いてもよい。また、In-Ga-Zn-O系などの酸化物半導体を用いることができる。

【0096】

導電体としては、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、ニオブ、またはタングステンからなる金属、またはこれらの金属を主成分とする合金材料若しくは化合物材料を用いることができる。また

、リン等の不純物を添加した多結晶シリコンを用いることができる。また、単層構造としてもよいし、複数の材料を用いて積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、チタン膜上にアルミニウム膜を積層する二層構造、タングステン膜上にアルミニウム膜を積層する二層構造、銅－マグネシウム－アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。金属窒化物膜を設けることにより、金属膜の密着性を向上させることができ、剥離を防止することができる。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

10

【0097】

導電体の形成方法としては、スパッタリング法、蒸着法、CVD法などを用いることができる。なお、CVD法は、プラズマを利用するプラズマCVD（PECVD：Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD：Thermal CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD：Metal CVD）法、有機金属CVD（MOCVD：Metal Organic CVD）法に分けることができる。プラズマCVD法は、比較的低温で高品質の膜が得られる。熱CVD法は、プラズマを用いないため、プラズマダメージが生じず、欠陥の少ない膜が得られる。

20

【0098】

被加工膜の加工方法について説明する。被加工膜を微細に加工する場合には、様々な微細加工技術を用いることができる。例えば、フォトリソグラフィ法等で形成したレジストマスクに対してスリミング処理を施す方法を用いてもよい。また、フォトリソグラフィ法等でダミーパターンを形成し、当該ダミーパターンにサイドウォールを形成した後にダミーパターンを除去し、残存したサイドウォールをレジストマスクとして用いて被加工膜をエッチングしてもよい。また、被加工膜のエッチングとして、高いアスペクト比を実現するために、異方性のドライエッチングを用いることが好ましい。また、無機膜または金属膜からなるハードマスクを用いてもよい。

30

【0099】

レジストマスクの形成に用いる光は、例えばi線（波長356nm）、g線（波長436nm）、h線（波長405nm）、またはこれらを混合させた光を用いることができる。そのほか、KrFレーザ、またはArFレーザ等を用いることができる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外線（EUV：Extreme Ultraviolet）やX線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子線ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

【0100】

また、レジストマスクとなるレジスト膜を形成する前に、被加工膜とレジスト膜との密着性を改善する機能を有する有機樹脂膜を形成してもよい。当該有機樹脂膜は、例えば、スピンコート法などにより、その下層に段差を被膜して表面を平坦化するように形成することができ、当該有機樹脂膜の上層に設けられるレジストマスクの厚さのばらつきを低減できる。また、特に微細な加工を行う場合には、当該有機樹脂膜として露光に用いる光に対する反射防止膜として機能する材料を用いることが好ましい。このような機能を有する有機樹脂膜としては、例えばBARC（Bottom Anti-Reflection Coating）膜などがある。当該有機樹脂膜は、レジストマスクの除去を同時に除去するか、レジストマスクを除去した後に除去すればよい。

40

【0101】

50

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0102】

(実施の形態7)

本実施の形態では、本発明の一態様の半導体膜に好適に用いることのできる酸化物半導体について説明する。

【0103】

酸化物半導体は、エネルギーギャップが3.0 eV以上と大きく、酸化物半導体を適切な条件で加工し、そのキャリア密度を十分に低減して得られた酸化物半導体膜が適用されたトランジスタにおいては、オフ状態でのソースとドレイン間のリーク電流（オフ電流）を、従来のシリコンを用いたトランジスタと比較して極めて低いものとすることができる。

10

【0104】

適用可能な酸化物半導体としては、少なくともインジウム（In）あるいは亜鉛（Zn）を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザとして、それらに加えてガリウム（Ga）、スズ（Sn）、ハフニウム（Hf）、ジルコニウム（Zr）、チタン（Ti）、スカンジウム（Sc）、イットリウム（Y）、ランタノイド（例えば、セリウム（Ce）、ネオジム（Nd）、ガドリニウム（Gd））から選ばれた一種、または複数種が含まれていることが好ましい。

20

【0105】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物（IGZOとも表記する）、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

30

【0106】

ここで、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0107】

また、酸化物半導体として、 $\text{In}_{1+\alpha}\text{M}_{1-\alpha}\text{O}_3(\text{ZnO})_m$ （ $-1 \leq \alpha \leq 1$ 、 $m > 0$ 、且つ、 m は整数でない）で表記される材料を用いてもよい。なお、 M は、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素、若しくは上記のスタビライザとしての元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ （ $n > 0$ 、且つ、 n は整数）で表記される材料を用いてもよい。

40

【0108】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:3:6$ 、 $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ あるいは $\text{In}:\text{Ga}:\text{Zn}=2:1:3$ の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

50

【0109】

酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化処理（脱水素化処理）を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないように高純度化することが好ましい。

【0110】

なお、酸化物半導体膜への脱水化処理（脱水素化処理）によって、酸化物半導体膜から酸素も同時に減少してしまうことがある。よって、酸化物半導体膜への脱水化処理（脱水素化処理）によって増加した酸素欠損を補填するために酸素を酸化物半導体に加える処理を行うことが好ましい。本明細書等において、酸化物半導体膜に酸素を供給する場合を、加酸素化処理と記す場合がある、または酸化物半導体膜に含まれる酸素を化学量論的組成よりも多くする場合を過酸素化処理と記す場合がある。

10

【0111】

このように、酸化物半導体膜は、脱水化処理（脱水素化処理）により、水素または水分が除去され、加酸素化処理により酸素欠損を補填することによって、i型（真性）化またはi型に限りなく近く実質的にi型（真性）である酸化物半導体膜とすることができる。なお、実質的に真性とは、酸化物半導体膜中にドナーに由来するキャリアが極めて少なく（ゼロに近く）、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、 $1 \times 10^{16} / \text{cm}^3$ 以下、 $1 \times 10^{15} / \text{cm}^3$ 以下、 $1 \times 10^{14} / \text{cm}^3$ 以下、 $1 \times 10^{13} / \text{cm}^3$ 以下であることをいう。

20

【0112】

またこのように、i型又は実質的にi型である酸化物半導体膜を備えるトランジスタは、極めて優れたオフ電流特性を実現できる。例えば、酸化物半導体膜を用いたトランジスタがオフ状態のときのドレイン電流を、室温（25℃程度）にて $1 \times 10^{-18} \text{ A}$ 以下、好ましくは $1 \times 10^{-21} \text{ A}$ 以下、さらに好ましくは $1 \times 10^{-24} \text{ A}$ 以下、または85℃にて $1 \times 10^{-15} \text{ A}$ 以下、好ましくは $1 \times 10^{-18} \text{ A}$ 以下、さらに好ましくは $1 \times 10^{-21} \text{ A}$ 以下とすることができる。なお、トランジスタがオフ状態とは、nチャネル型のトランジスタの場合、ゲート電圧がしきい値電圧よりも十分小さい状態をいう。具体的には、ゲート電圧がしきい値電圧よりも1V以上、好ましくは2V以上または3V以上小さければ、トランジスタはオフ状態となる。

30

【0113】

<酸化物半導体の構造>

以下では、酸化物半導体の構造について説明する。

【0114】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体とに分けられる。非単結晶酸化物半導体としては、CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）、多結晶酸化物半導体、nc-OS（nanocrystalline Oxide Semiconductor）、擬似非晶質酸化物半導体（a-like OS: amorphous like Oxide Semiconductor）、非晶質酸化物半導体などがある。

40

【0115】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体とに分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、nc-OSなどがある。

【0116】

非晶質構造の定義としては、一般に、準安定状態で固定化していないこと、等方的であって不均質構造を持たないことなどが知られている。また、結合角度が柔軟であり、短距離秩序性は有するが、長距離秩序性を有さない構造と言い換えることもできる。

【0117】

50

逆の見方をすると、本質的に安定な酸化物半導体の場合、完全な非晶質（completely amorphous）酸化物半導体と呼ぶことはできない。また、等方的でない（例えば、微小な領域において周期構造を有する）酸化物半導体を、完全な非晶質酸化物半導体と呼ぶことはできない。ただし、a-like OSは、微小な領域において周期構造を有するものの、鬆（ボイドともいう。）を有し、不安定な構造である。そのため、物性的には非晶質酸化物半導体に近いといえる。

【0118】

<CAAC-OS>

まずは、CAAC-OSについて説明する。

【0119】

なお、本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【0120】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0121】

CAAC-OSは、c軸配向した複数の結晶部（ペレットともいう。）を有する酸化物半導体の一つである。

【0122】

透過型電子顕微鏡（TEM：Transmission Electron Microscope）によって、CAAC-OSの明視野像と回折パターンとの複合解析像（高分解能TEM像ともいう。）を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像ではペレット同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を明確に確認することができない。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0123】

以下では、TEMによって観察したCAAC-OSについて説明する。図13（A）に、試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正（Spherical Aberration Corrector）機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像の取得は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって行うことができる。

【0124】

図13（A）の領域（1）を拡大したCs補正高分解能TEM像を図13（B）に示す。図13（B）より、ペレットにおいて、金属原子が層状に配列していることを確認できる。金属原子の各層の配列は、CAAC-OSの膜を形成する面（被形成面ともいう。）または上面の凹凸を反映しており、CAAC-OSの被形成面または上面と平行となる。

【0125】

図13（B）に示すように、CAAC-OSは特徴的な原子配列を有する。図13（C）は、特徴的な原子配列を、補助線で示したものである。図13（B）および図13（C）より、ペレット一つの大きさは1nm以上3nm以下程度であり、ペレットとペレットとの傾きにより生じる隙間の大きさは0.8nm程度であることがわかる。したがって、ペレットを、ナノ結晶（nc：nanocrystal）と呼ぶこともできる。また、CAAC-OSを、CANC（C-Axis Aligned nanocrystals）を有する酸化物半導体と呼ぶこともできる。

【0126】

ここで、Cs補正高分解能TEM像をもとに、基板5120上のCAAC-Osのペレット5100の配置を模式的に示すと、レンガまたはブロックが積み重なったような構造となる(図13(D)参照。)。図13(C)で観察されたペレットとペレットとの間で傾きが生じている箇所は、図13(D)に示す領域5161に相当する。

【0127】

また、図14(A)に、試料面と略垂直な方向から観察したCAAC-Osの平面のCs補正高分解能TEM像を示す。図14(A)の領域(1)、領域(2)および領域(3)を拡大したCs補正高分解能TEM像を、それぞれ図14(B)、図14(C)および図14(D)に示す。図14(B)、図14(C)および図14(D)より、ペレットは、金属原子が三角形状、四角形状または六角形状に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

10

【0128】

次に、X線回折(XRD: X-Ray Diffraction)によって解析したCAAC-Osについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-Osに対し、out-of-plane法による構造解析を行うと、図15(A)に示すように回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-Osの結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

【0129】

なお、CAAC-Osのout-of-plane法による構造解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-Os中の一部に、c軸配向性を有さない結晶が含まれることを示している。より好ましいCAAC-Osは、out-of-plane法による構造解析では、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さない。

20

【0130】

一方、CAAC-Osに対し、c軸に略垂直な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の(110)面に帰属される。CAAC-Osの場合は、2θを56°近傍に固定し、試料面の法線ベクトルを軸(φ軸)として試料を回転させながら分析(φスキャン)を行っても、図15(B)に示すように明瞭なピークは現れない。これに対し、InGaZnO₄の単結晶酸化物半導体であれば、2θを56°近傍に固定してφスキャンした場合、図15(C)に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-Osは、a軸およびb軸の配向が不規則であることが確認できる。

30

【0131】

次に、電子回折によって解析したCAAC-Osについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-Osに対し、試料面に平行にプローブ径が300nmの電子線を入射させると、図16(A)に示すような回折パターン(制限視野透過電子回折パターンともいう。)が現れる場合がある。この回折パターンには、InGaZnO₄の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-Osに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図16(B)に示す。図16(B)より、リング状の回折パターンが確認される。したがって、電子回折によっても、CAAC-Osに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図16(B)における第1リングは、InGaZnO₄の結晶の(010)面および(100)面などに起因すると考えられる。また、図16(B)における第2リングは(110)面などに起因すると考えられる。

40

【0132】

50

上述したように、C A A C - O S は結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、逆の見方をすると C A A C - O S は不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。

【0133】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

10

【0134】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

【0135】

不純物および酸素欠損の少ない C A A C - O S は、キャリア密度の低い酸化物半導体である。具体的には、 $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上のキャリア密度の酸化物半導体とすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。C A A C - O S は、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

20

【0136】

< n c - O S >

次に、n c - O S について説明する。

【0137】

n c - O S は、高分解能 T E M 像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。n c - O S に含まれる結晶部は、1 nm 以上 10 nm 以下、または 1 nm 以上 3 nm 以下の大きさであることが多い。なお、結晶部の大きさが 10 nm より大きく 100 nm 以下である酸化物半導体を微結晶酸化物半導体と呼ぶことがある。n c - O S は、例えば、高分解能 T E M 像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、C A A C - O S におけるペレットと起源を同じくする可能性がある。そのため、以下では n c - O S の結晶部をペレットと呼ぶ場合がある。

30

【0138】

n c - O S は、微小な領域（例えば、1 nm 以上 10 nm 以下の領域、特に 1 nm 以上 3 nm 以下の領域）において原子配列に周期性を有する。また、n c - O S は、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、n c - O S は、分析方法によっては、a - l i k e O S や非晶質酸化物半導体と区別が付かない場合がある。例えば、n c - O S に対し、ペレットよりも大きい径の X 線を用いた場合、o u t - o f - p l a n e 法による解析では、結晶面を示すピークは検出されない。また、n c - O S に対し、ペレットよりも大きいプローブ径（例えば 50 nm 以上）の電子線を用いる電子回折を行うと、ハローパターンのような回折パターンが観測される。一方、n c - O S に対し、ペレットの大きさと近いペレットより小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、n c - O S に対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

40

【0139】

このように、ペレット（ナノ結晶）間では結晶方位が規則性を有さないことから、n c

50

－OSを、RANC (Random Aligned nanocrystals) を有する酸化物半導体、またはNANC (Non-Aligned nanocrystals) を有する酸化物半導体と呼ぶこともできる。

【0140】

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、a-like OSや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

【0141】

<a-like OS>

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。

【0142】

a-like OSは、高分解能TEM像において鬆が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。

【0143】

鬆を有するため、a-like OSは、不安定な構造である。以下では、a-like OSが、CAAC-OSおよびnc-OSと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

【0144】

電子照射を行う試料として、a-like OS (試料Aと表記する。)、nc-OS (試料Bと表記する。) およびCAAC-OS (試料Cと表記する。) を準備する。いずれの試料もInGaZn酸化物である。

【0145】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有することがわかる。

【0146】

なお、どの部分を一つの結晶部と見なすかの判定は、以下のように行えばよい。例えば、InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。したがって、格子縞の間隔が0.28nm以上0.30nm以下である箇所を、InGaZnO₄の結晶部と見なすことができる。なお、格子縞は、InGaZnO₄の結晶のa-b面に対応する。

【0147】

図17は、各試料の結晶部(22箇所から45箇所)の平均の大きさを調査した例である。ただし、上述した格子縞の長さを結晶部の大きさとしている。図17より、a-like OSは、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、図17中に(1)で示すように、TEMによる観察初期においては1.2nm程度の大きさだった結晶部(初期核ともいう。)が、累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ においては2.6nm程度の大きさまで成長していることがわかる。一方、nc-OSおよびCAAC-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。具体的には、図17中の(2)および(3)で示すように、電子の累積照射量によらず、nc-OSおよびCAAC-OSの結晶部の大きさは、それぞれ1.4nm程度および2.1nm程度であることがわかる。

【0148】

このように、a-like OSは、電子照射によって結晶部の成長が見られる場合がある。一方、nc-OSおよびCAAC-OSは、電子照射による結晶部の成長がほとん

10

20

30

40

50

ど見られないことがわかる。即ち、*a-like OS*は、*nc-OS*および*CAC-OS*と比べて、不安定な構造であることがわかる。

【0149】

また、鬆を有するため、*a-like OS*は、*nc-OS*および*CAC-OS*と比べて密度の低い構造である。具体的には、*a-like OS*の密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満となる。また、*nc-OS*の密度および*CAC-OS*の密度は、同じ組成の単結晶の密度の92.3%以上100%未満となる。単結晶の密度の78%未満となる酸化物半導体は、成膜すること自体が困難である。

【0150】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、菱面体晶構造を有する単結晶 InGaZnO_4 の密度は 6.357 g/cm^3 となる。よって、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、*a-like OS* の密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満となる。また、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、*nc-OS* の密度および *CAC-OS* の密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満となる。

【0151】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

【0152】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、*a-like OS*、*nc-OS*、*CAC-OS* のうち、二種以上を有する積層膜であってもよい。

【0153】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【0154】

(実施の形態8)

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機、医療機器などが挙げられる。これら電子機器の具体例を図18に示す。

【0155】

図18(A)は携帯型ゲーム機であり、筐体5001、筐体5002、表示部5003、表示部5004、マイクロホン5005、スピーカー5006、操作キー5007、スタイラス5008等を有する。本発明の一態様にかかる半導体装置は、携帯型ゲーム機の各種集積回路に用いることができる。なお、図18(A)に示した携帯型ゲーム機は、2つの表示部5003と表示部5004とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0156】

図18(B)は携帯情報端末であり、第1筐体5601、第2筐体5602、第1表示

10

20

30

40

50

部 5 6 0 3、第 2 表示部 5 6 0 4、接続部 5 6 0 5、操作キー 5 6 0 6、生態認証装置 5 6 0 7 等を有する。本発明の一態様にかかる半導体装置は、携帯情報端末の各種集積回路に用いることができる。第 1 表示部 5 6 0 3 は第 1 筐体 5 6 0 1 に設けられており、第 2 表示部 5 6 0 4 は第 2 筐体 5 6 0 2 に設けられている。そして、第 1 筐体 5 6 0 1 と第 2 筐体 5 6 0 2 とは、接続部 5 6 0 5 により接続されており、第 1 筐体 5 6 0 1 と第 2 筐体 5 6 0 2 の間の角度は、接続部 5 6 0 5 により変更が可能である。第 1 表示部 5 6 0 3 における映像を、接続部 5 6 0 5 における第 1 筐体 5 6 0 1 と第 2 筐体 5 6 0 2 との間の角度に従って、切り替える構成としても良い。

【0157】

図 18 (C) はノート型パーソナルコンピュータであり、筐体 5 4 0 1、表示部 5 4 0 2、キーボード 5 4 0 3、ポインティングデバイス 5 4 0 4、生態認証装置 5 4 0 5 等を有する。本発明の一態様にかかる半導体装置は、ノート型パーソナルコンピュータの各種集積回路に用いることができる。

【0158】

図 18 (D) は手鏡であり、第 1 筐体 5 3 0 1、第 2 筐体 5 3 0 2、鏡 5 3 0 3、接続部 5 3 0 4、スイッチ 5 3 0 5 等を有する。第 1 筐体 5 3 0 1 と第 2 筐体 5 3 0 2 とは、接続部 5 3 0 4 により接続されており、第 1 筐体 5 3 0 1 と第 2 筐体 5 3 0 2 の間の角度は、接続部 5 3 0 4 により変更が可能である。そして、第 1 筐体 5 3 0 1 及び第 2 筐体 5 3 0 2 には、照明装置が用いられる。スイッチ 5 3 0 5 は、上記照明装置の調光及び ON、OFF 等を制御する。上記照明装置は、面状の発光素子を有しており、当該発光素子は、接続部 5 3 0 4 における第 1 筐体 5 3 0 1 と第 2 筐体 5 3 0 2 の間の角度に従って、発光の状態と非発光の状態とが切り替えられる構成を有していても良い。本発明の一態様にかかる半導体装置は、照明装置の動作を制御するための各種集積回路に用いることができる。

【0159】

図 18 (E) は表示装置であり、曲面を有する筐体 5 7 0 1、表示部 5 7 0 2 等を有する。本発明の一態様にかかる半導体装置は、表示部 5 7 0 2 に用いられる表示装置の動作を制御するための各種集積回路に用いることができる。

【0160】

図 18 (F) は携帯電話であり、曲面を有する筐体 5 9 0 1 に、表示部 5 9 0 2、マイク 5 9 0 7、スピーカー 5 9 0 4、カメラ 5 9 0 3、外部接続部 5 9 0 6、操作用のボタン 5 9 0 5 が設けられている。本発明の一態様にかかる半導体装置は、表示部 5 9 0 2 に用いられる表示装置の動作を制御するための各種集積回路に用いることができる。

【0161】

(実施の形態 9)

図 19 は、本発明の一態様に適用することができるアクティブマトリクス型タッチセンサを一体形成する液晶表示装置の断面図を示す。図 19 の a-a' 断面は、表示素子の一部を示す。b-b' 断面は、センサユニットの一部を示す。c-c' 断面は、回路の一部を示す。

【0162】

図 19 は、図 3 の導電膜 2 2 1 の形状を変更した例を示す。図 3 では、導電膜 2 2 1 にスリットを設けない形状を示したが、図 19 では導電膜 2 2 1 にスリットを設ける構造を示す。図 19 の構造は、導電膜 2 2 1 の形状以外、図 3 と同様なので説明を省略する。

【0163】

図 20 は、本発明の一態様に適用することができるアクティブマトリクス型タッチセンサを一体形成する液晶表示装置の断面図を示す。図 20 の a-a' 断面は、表示素子の一部を示す。b-b' 断面は、センサユニットの一部を示す。c-c' 断面は、回路の一部を示す。

【0164】

図 20 は、図 3 の導電膜 2 2 4 と導電膜 2 2 1 とを絶縁膜 2 1 8 上に、形成する例を示

10

20

30

40

50

す。図 20 では、図に示すように導電膜 224 と導電膜 221 とを同一表面上に形成する例を示す。

【0165】

なお、本発明の一態様のアクティブマトリクス型タッチセンサを一体形成する液晶表示装置に用いられるトランジスタの構造は、特に限定されず、様々な構造のトランジスタを用いることができる。本実施の形態では、ボトムゲート型のトランジスタで示したが、これに限定されない。例えば、トップゲート型のトランジスタを用いてもよい。

【0166】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

10

【符号の説明】

【0167】

10	表示装置
20	ゲート線駆動回路
30	ソース線駆動回路
40	センサユニット駆動回路
50	変換回路
60	FPC
100	表示領域
101	センサユニット
102	バス線
103	バス線
104	ゲート線
105	ソース線
106	トランジスタ
107	画素電極
201	基板
202	導電膜
203	導電膜
204	導電膜
205	導電膜
206	絶縁膜
207	半導体膜
208	半導体膜
209	半導体膜
210	導電膜
211	導電膜
212	導電膜
213	導電膜
214	導電膜
215	導電膜
216	絶縁膜
217	絶縁膜
218	絶縁膜
219	開口
220	開口
221	導電膜
222	絶縁膜
223	開口
224	導電膜

20

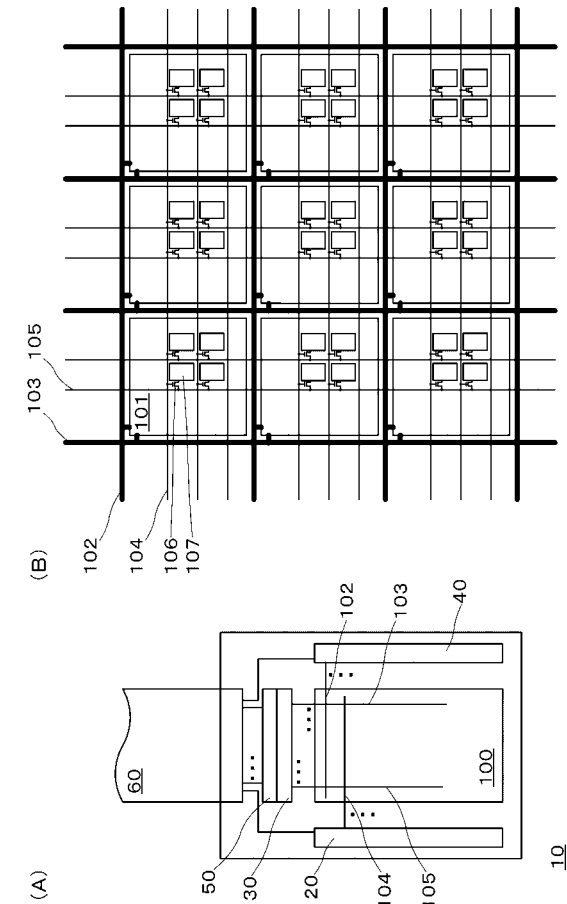
30

40

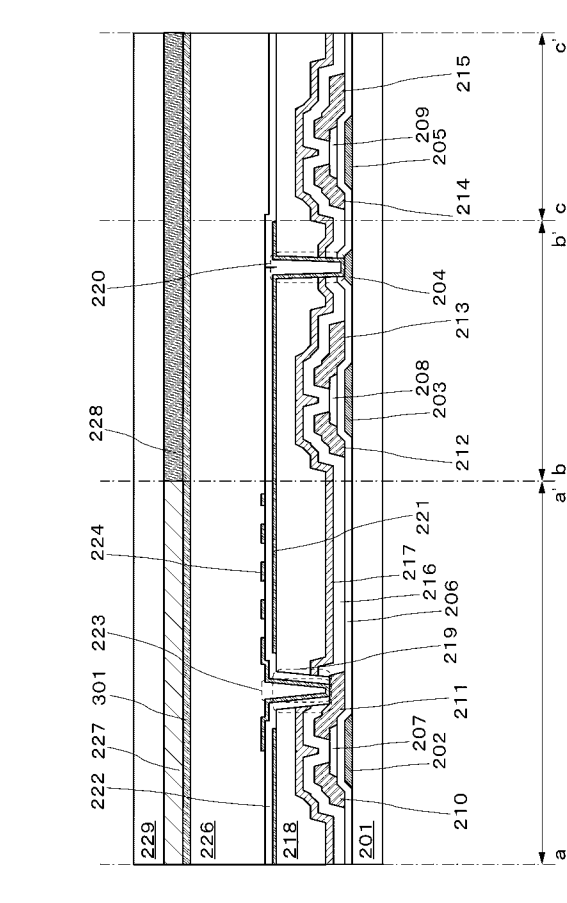
50

2 2 5	導 電 膜	
2 2 6	液 晶 層	
2 2 7	着 色 膜	
2 2 8	遮 光 膜	
2 2 9	基 板	
3 0 1	導 電 膜	
9 0 1	指	
1 2 0 1	電 極	
1 2 0 2	電 極	
5 0 0 1	筐 体	10
5 0 0 2	筐 体	
5 0 0 3	表 示 部	
5 0 0 4	表 示 部	
5 0 0 5	マイク ロ ホ ン	
5 0 0 6	ス ピ ー カ ー	
5 0 0 7	操 作 キ ー	
5 0 0 8	ス タ イ ラ ス	
5 1 0 0	ペ レ ッ ト	
5 1 2 0	基 板	
5 1 6 1	領 域	20
5 3 0 1	筐 体	
5 3 0 2	筐 体	
5 3 0 3	鏡	
5 3 0 4	接 続 部	
5 3 0 5	ス イ ッ チ	
5 4 0 1	筐 体	
5 4 0 2	表 示 部	
5 4 0 3	キ ー ボ ー ド	
5 4 0 4	ポ イ ン テ ィ ン グ デ バ イ ス	
5 4 0 5	生 態 認 証 装 置	30
5 6 0 1	筐 体	
5 6 0 2	筐 体	
5 6 0 3	表 示 部	
5 6 0 4	表 示 部	
5 6 0 5	接 続 部	
5 6 0 6	操 作 キ ー	
5 6 0 7	生 態 認 証 装 置	
5 7 0 1	筐 体	
5 7 0 2	表 示 部	
5 9 0 1	筐 体	40
5 9 0 2	表 示 部	
5 9 0 3	カ メ ラ	
5 9 0 4	ス ピ ー カ ー	
5 9 0 5	ボ タ ン	
5 9 0 6	外 部 接 続 部	
5 9 0 7	マ イ ク	

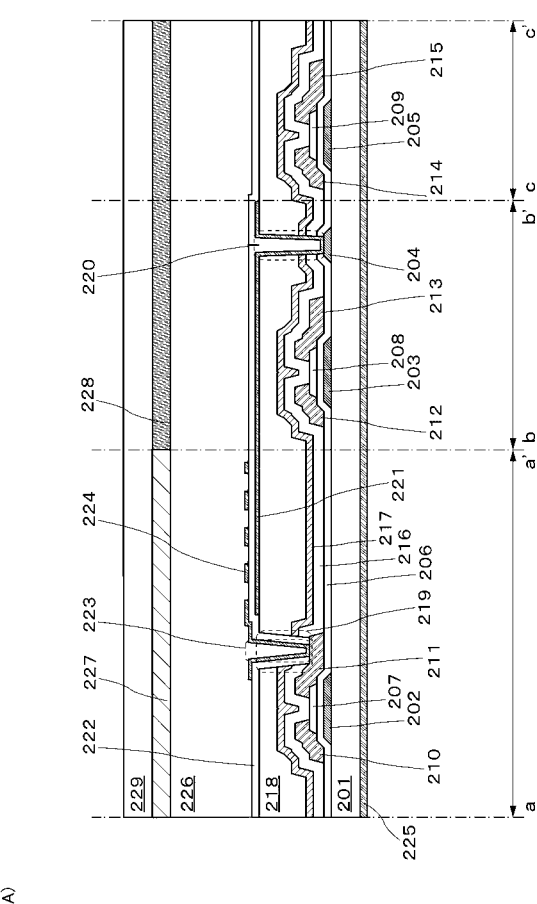
【図 1】



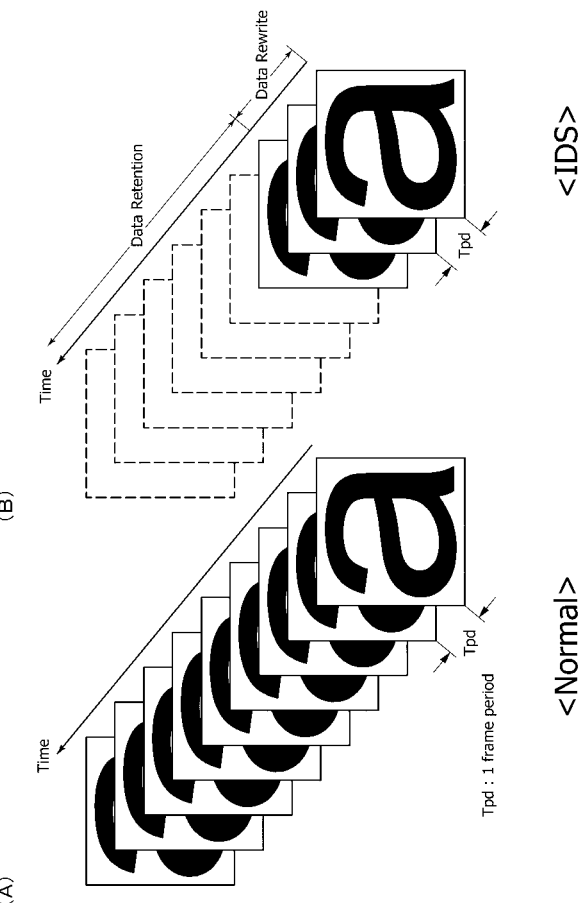
【図 3】



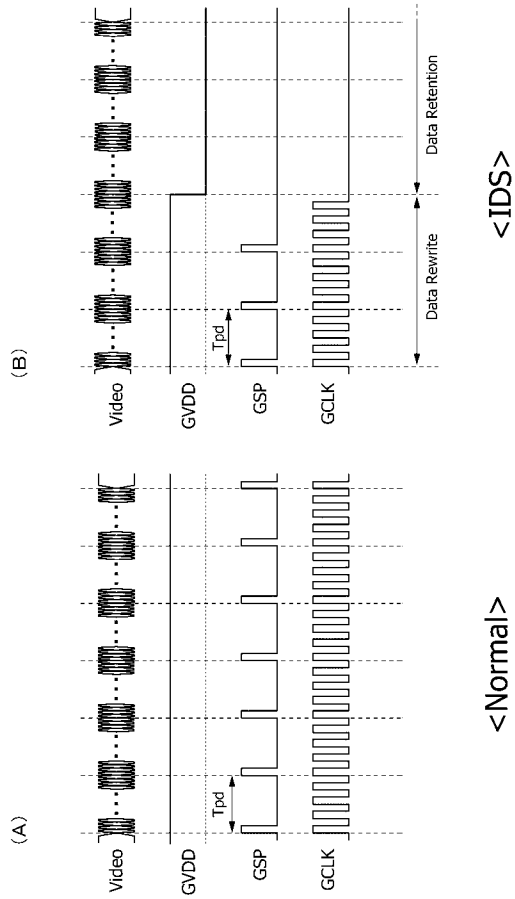
【図 2】



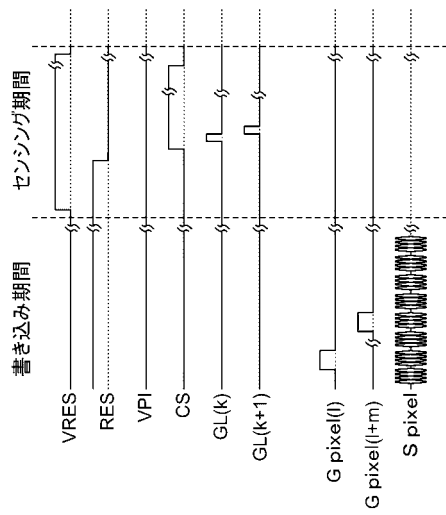
【図 4】



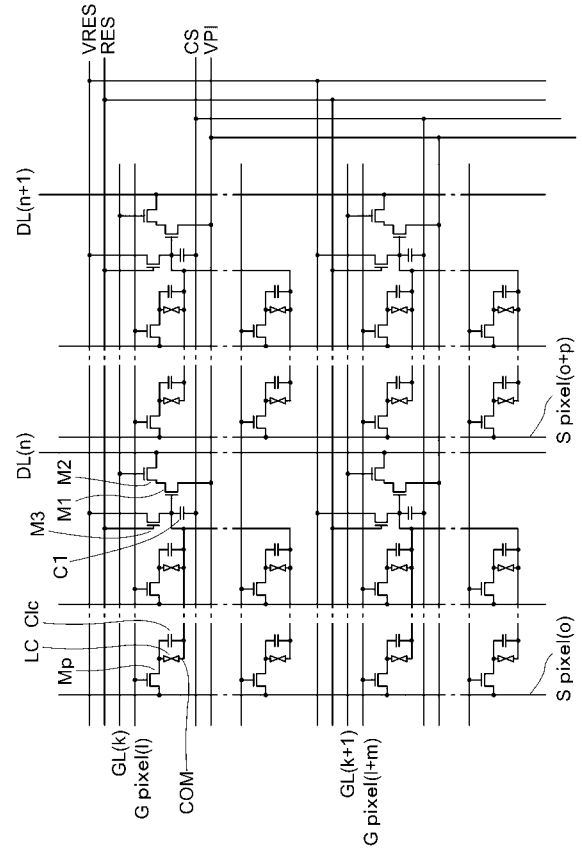
【図 5】



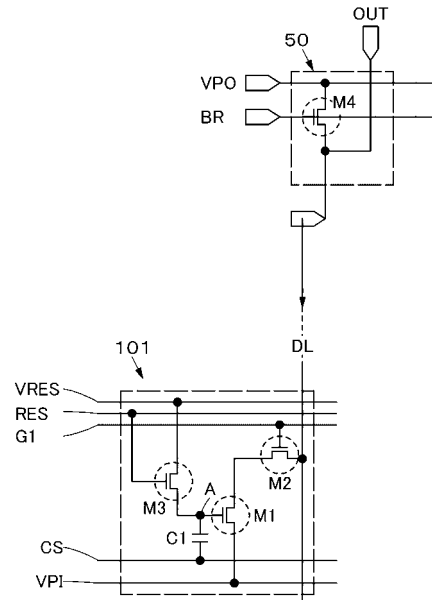
【図 7】



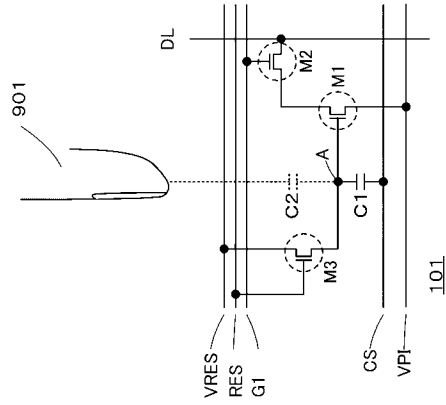
【図 6】



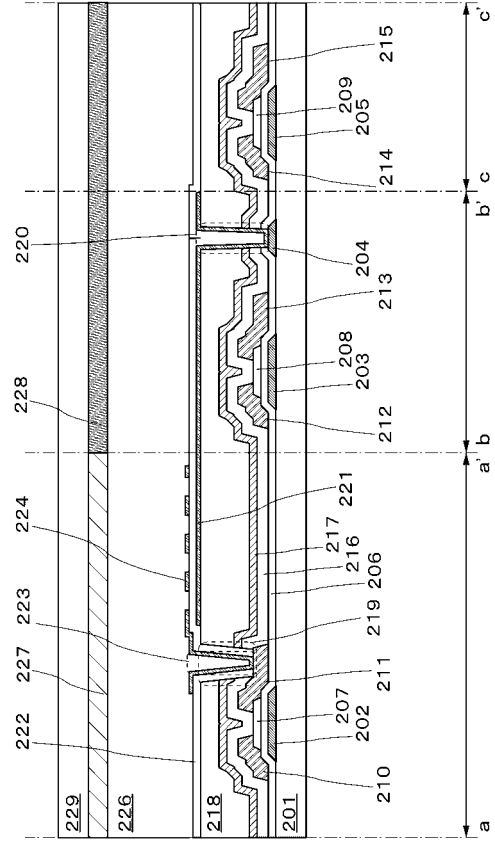
【図 8】



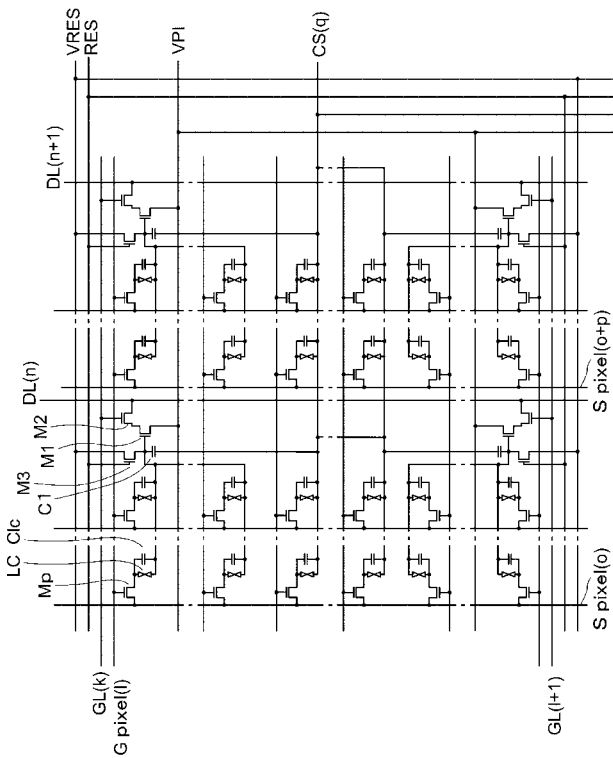
【図 9】



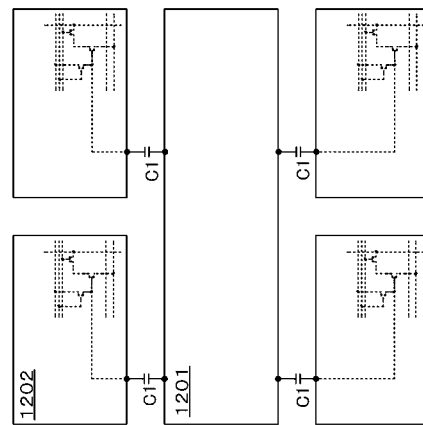
【図 10】



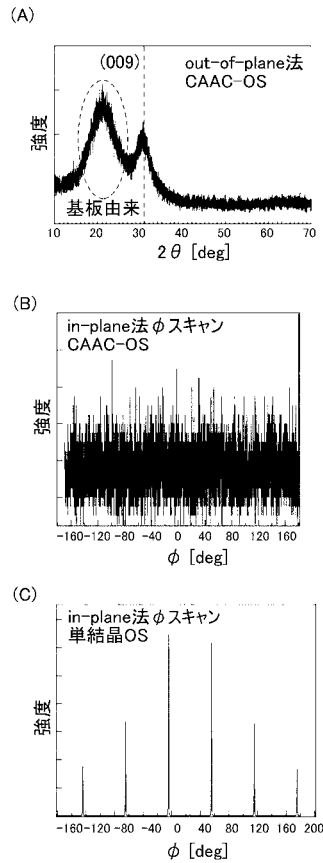
【図 11】



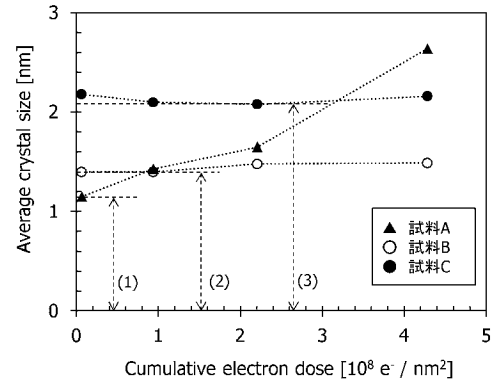
【図 12】



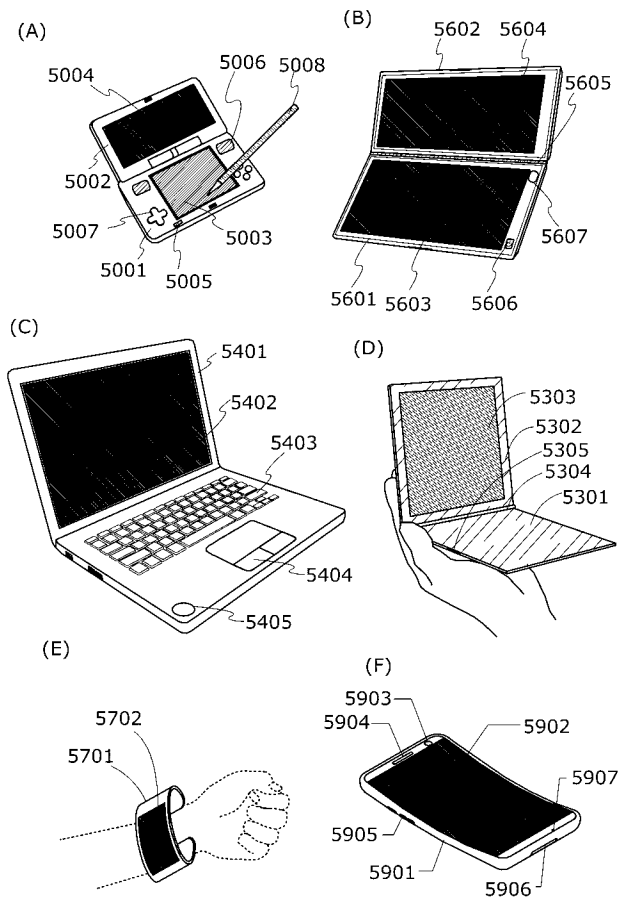
【図 15】



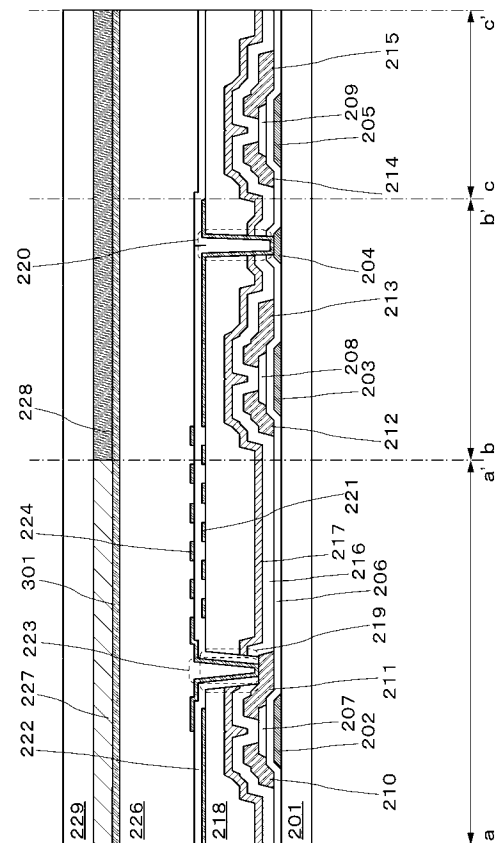
【図 17】



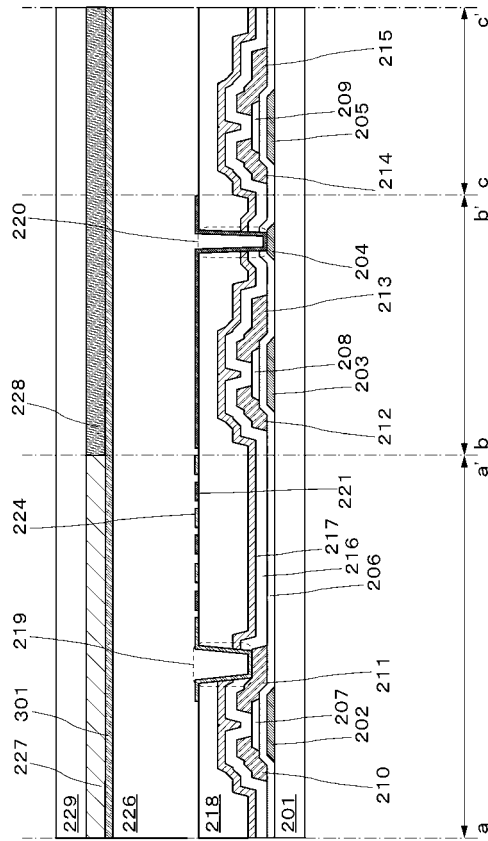
【図 18】



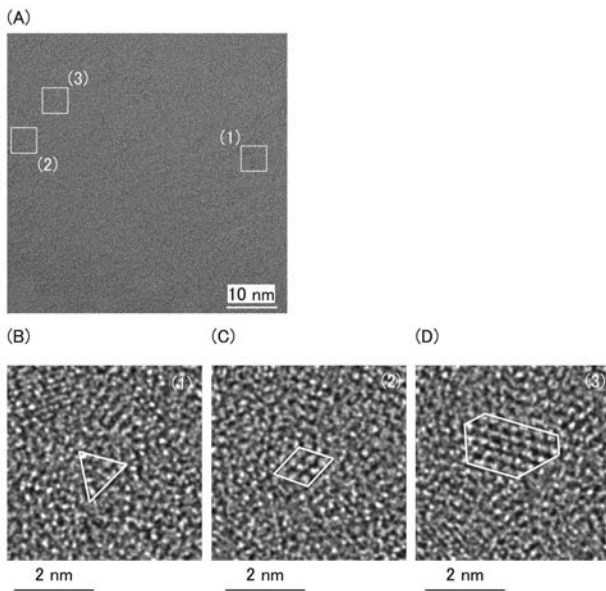
【図 19】



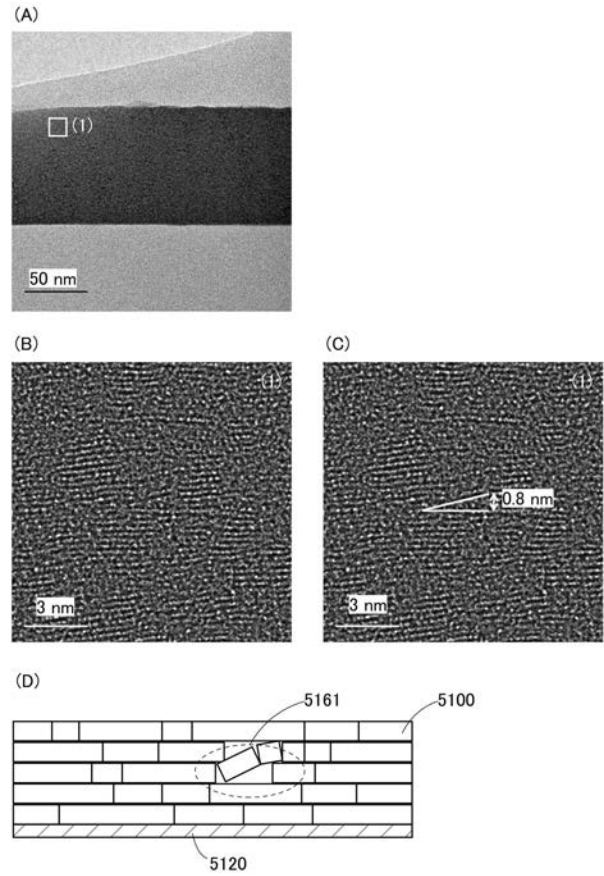
【図 20】



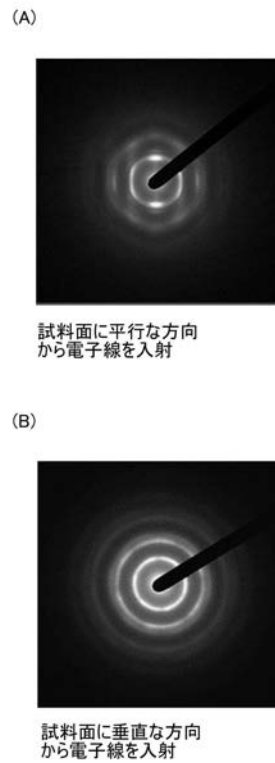
【図 14】



【図 13】



【図 16】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
G 0 6 F 3/044 (2006.01)	G 0 6 F 3/041 4 2 2	
	G 0 6 F 3/044 1 2 9	
	G 0 6 F 3/041 4 3 0	

F ターム (参考) 2H192 AA24 BB13 BC31 CB05 CB34 CB37 DA32 DA81 EA22 EA43
FA73 GB33 GB36 GB43 GD61 JA32
5G435 AA17 AA18 BB12 CC09 EE49 LL07 LL08

专利名称(译)	半导体装置、表示装置		
公开(公告)号	JP2016110112A	公开(公告)日	2016-06-20
申请号	JP2015227289	申请日	2015-11-20
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	初見亮 石谷哲二		
发明人	初見 亮 石谷 哲二		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1333 G09F9/00 G06F3/041 G06F3/044		
CPC分类号	G02F1/13338 G02F1/13454 H01L27/1225 H01L27/1255 G06F3/0412 H01L29/24 H01L29/7869		
FI分类号	G02F1/1368 G02F1/1343 G02F1/1333 G09F9/00.366.A G06F3/041.412 G06F3/041.422 G06F3/044.129 G06F3/041.430		
F-TERM分类号	2H092/GA14 2H092/GA62 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB56 2H092/JB65 2H092/JB66 2H092/JB69 2H092/NA25 2H092/QA06 2H189/AA14 2H189/HA11 2H189/HA16 2H189/JA14 2H189/LA03 2H189/LA10 2H189/LA28 2H189/LA31 2H192/AA24 2H192/BB13 2H192/BC31 2H192/CB05 2H192/CB34 2H192/CB37 2H192/DA32 2H192/DA81 2H192/EA22 2H192/EA43 2H192/FA73 2H192/GB33 2H192/GB36 2H192/GB43 2H192/GD61 2H192/JA32 5G435/AA17 5G435/AA18 5G435/BB12 5G435/CC09 5G435/EE49 5G435/LL07 5G435/LL08		
优先权	2014243995 2014-12-02 JP		
其他公开文献	JP6698321B2		
外部链接	Espacenet		

摘要(译)

甲抑制增加具有触摸传感器的显示模块的制造成本。 和第一基板，第二基板，显示装置，包括液晶，所述第一基板和所述第二基板之间，所述显示装置具有显示单元中，显示单元包括：传感器单元，和像素，所述传感器单元包括：第一晶体管，其被电连接到所述第一晶体管的栅极的第一导电膜，第二导电和膜，并且所述第一导电膜的至少一部分，所述至少所述第二导电膜的一部分具有重叠的像素部分包括：第二晶体管，所述第一电连接到所述第二晶体管的像素电极，所述像素电极的至少一部分，包括所述第一导电膜之间的至少部分地重叠的部分的显示装置。

The

