

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-222429

(P2015-222429A)

(43) 公開日 平成27年12月10日(2015.12.10)

(51) Int.Cl.	F 1	テーマコード (参考)
G02F 1/1343 (2006.01)	GO2F 1/1343	
H01L 21/8238 (2006.01)	HO1L 27/08	321A
H01L 27/092 (2006.01)	HO1L 29/78	618Z
H01L 21/336 (2006.01)	HO1L 29/78	616S
H01L 29/786 (2006.01)	GO2F 1/1368	

審査請求 有 請求項の数 4 O L (全 41 頁) 最終頁に続く

(21) 出願番号	特願2015-129484 (P2015-129484)	(71) 出願人	000153878
(22) 出願日	平成27年6月29日 (2015.6.29)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2014-147535 (P2014-147535)		神奈川県厚木市長谷398番地
原出願日	平成12年5月11日 (2000.5.11)	(72) 発明者	川鍋 千穂
(31) 優先権主張番号	特願平11-135062		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成11年5月14日 (1999.5.14)	(72) 発明者	半導体エネルギー研究所内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	山形 裕和
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	山崎 舜平
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

(54) 【発明の名称】 液晶表示装置

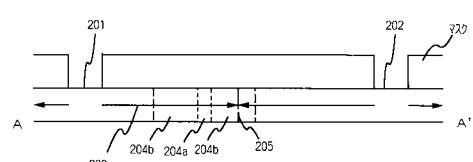
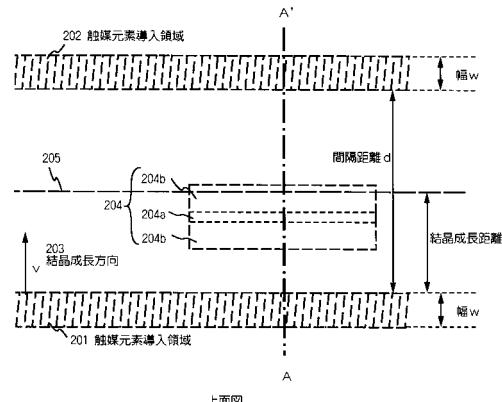
(57) 【要約】

【課題】本願発明で開示する発明は、従来と比較して、さらに結晶成長に要する熱処理時間とを短縮してプロセス簡略化を図る。

【解決手段】

一つの活性層204を挟んで二つの触媒元素導入領域201、202を配置して結晶化を行い、触媒元素導入領域201からの結晶成長と、触媒元素導入領域202からの結晶成長とがぶつかる境界部205をソース領域またはドレン領域となる領域204bに形成する。

【選択図】図2



A-A' 断面図

【特許請求の範囲】

【請求項 1】

絶縁表面を有する基板上に設けられた TFT を含む半導体装置であつて、前記 TFT の活性層は、結晶化を助長する触媒元素が導入された複数の領域から結晶成長された結晶質半導体膜からなり、

前記 TFT の活性層は、チャネル形成領域と、ソース領域と、ドレイン領域とを有し、

前記ソース領域または前記ドレイン領域は、前記複数の領域から結晶成長された領域の境界部を含むことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本願発明は薄膜トランジスタ（以下、TFT という）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百 nm 程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタは IC や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

20

【0004】

TFT の活性層を形成する半導体薄膜として、これまで非晶質シリコン膜（典型的にはアモルファスシリコン膜）が多用されてきたが、より動作速度の速い TFT の需要が高まり結晶質シリコン膜（典型的にはポリシリコン膜）が主流になりつつある。この結晶質シリコン膜を得る技術としては、非晶質シリコン膜を成膜した後、加熱処理またはレーザー光の照射によって結晶化させる方法がよく用いられている。

【0005】

また、非晶質シリコン膜を成膜した後、非晶質シリコン膜の結晶化を助長させるための触媒元素（例えばニッケル）を導入し、加熱処理を行って結晶質シリコン膜を得る技術（特開平 6-232059 号、特開平 7-321339 号）が開示されている。この技術によれば、短時間で均一な結晶質シリコン膜を得ることができる。

30

【0006】

しかし、非晶質シリコン膜の結晶化を助長させるための触媒元素は TFT の特性を悪化させる場合が多い。そこで、結晶化させた後、触媒元素が高濃度に存在する領域をエッチング等によって除去している。

【0007】

以下に非晶質シリコン膜の結晶化を助長させるための触媒元素を用いた結晶化技術及び触媒元素が高濃度に存在する領域を除去する技術を具体的に示す。

40

【0008】

図 1において、101 はシリコン膜、102 はシリコン膜面における帯状の領域（以下、触媒元素導入領域と呼ぶ）である。また、103 は触媒元素導入領域以外のシリコン膜面を覆う酸化珪素マスクである。なお、酸化珪素マスク 103 を用いることにより、触媒元素導入領域 102 に触媒元素を選択的に導入する。

【0009】

まず、触媒元素を触媒元素導入領域 102 に導入し、熱処理を行うことによって触媒元素導入領域 102 から絶縁表面に対して平行な方向、かつ触媒元素導入領域 102 の長辺に対してほぼ垂直な方向に結晶を成長させる。なお、104 は結晶成長の方向を示してい

50

る。

【0010】

こうして得られた結晶成長の先端部を105とする。結晶成長の先端部105には触媒元素が高濃度に存在することが知られている。ある結晶成長距離を越えると、シリコン膜101のうち、帯状の触媒元素導入領域102と触媒元素が高濃度に存在する結晶成長の先端部105との間にTFTの活性層を配置できる領域が形成される。

【0011】

次いで、結晶成長の先端部105と帯状の触媒元素導入領域102とで挟まれた領域を用いてTFTの活性層を形成する際に、触媒元素が高濃度に存在する他の領域（少なくとも結晶成長の先端部105を含む）をエッチングによって除去する。

10

【0012】

従来では、後の工程によりTFTの活性層となる領域が、結晶成長の先端部105と帯状の触媒元素導入領域102とで挟まれた領域内に存在するように、触媒元素導入領域102の配置を決定し、結晶化のための熱処理条件を決定していた。

【発明の概要】

【発明が解決しようとする課題】

【0013】

本願発明で開示する発明は、従来と比較して、さらに結晶成長に要する熱処理時間を短縮してプロセス簡略化を図ることを課題とする。

【0014】

また、近年の回路の微細化及び集積化に伴い、少ないスペースに触媒元素導入領域を効率よく配置することも本願発明の課題の一つである。

20

【0015】

従来では、後の工程によりTFTの活性層となる領域が、結晶成長の先端部と帯状の触媒元素導入領域とで挟まれた領域内に存在するように、触媒元素導入領域の配置を決定すればよいとされていた。また、触媒元素は結晶化後の工程で除去しても、完全に除去するのが困難であるため、必要最低限の量を導入すればよいとされていた。

【0016】

そのため、触媒元素導入領域は、後の工程によりTFTの活性層となる領域に対して、一方の側に一つ設けられていた。なお、一つの触媒元素導入領域（幅 $w = 10 \mu m$ ）のみ配置された場合の570における結晶成長速度は約 $3 \mu m / hr$ 程度であった。

30

【0017】

本発明人らは、結晶成長条件が触媒元素導入領域の幅及び配置間隔に大きく依存していることに着目し、従来と比較して結晶成長を効率よく行う方法を見出した。

【課題を解決するための手段】

【0018】

本明細書で開示する発明の構成は、絶縁表面を有する基板上に設けられたTFTを含む半導体装置であって、前記TFTの活性層は、結晶化を助長する触媒元素が導入された複数の領域から結晶成長された結晶質半導体膜からなり、前記TFTの活性層は、チャネル形成領域と、ソース領域と、ドレイン領域とを有し、前記ソース領域または前記ドレイン領域は、前記複数の領域から結晶成長された領域の境界部を含むことを特徴とする半導体装置である。

40

【0019】

即ち、本発明において、少なくとも一つのTFTの活性層は、一方の触媒元素が導入された領域から結晶成長した第1の領域と、もう一方の触媒元素が導入された領域から結晶成長した第2の領域とを含んでいることを特徴としている。

【0020】

また、他の発明の構成は、絶縁表面を有する基板上に設けられたTFTを含む半導体装置であって、前記TFTの活性層は、結晶化を助長する触媒元素が導入された複数の領域から結晶成長された結晶質半導体膜からなり、前記TFTの活性層は、複数のチャネル形

50

成領域を有し、前記複数のチャネル形成領域に挟まれた領域には、前記複数の領域から結晶成長された領域の境界部を含むことを特徴とする半導体装置である。

【0021】

また、他の発明の構成は、絶縁表面を有する基板上にnチャネル型TFTとpチャネル型TFTとで形成されたCMOS回路を含む半導体装置であって、前記nチャネル型TFT及びpチャネル型TFTの活性層は、結晶化を助長する触媒元素が導入された複数の領域から結晶成長された結晶質半導体膜からなり、前記nチャネル型TFT及びpチャネル型TFTの活性層は、チャネル形成領域と、ソース領域と、ドレイン領域とを有し、前記nチャネル型TFTのソース領域または前記ドレイン領域は、前記複数の領域から結晶成長された領域の境界部を含むことを特徴とする半導体装置である。

10

【0022】

また、他の発明の構成は、絶縁表面を有する基板上にnチャネル型TFTとpチャネル型TFTとで形成されたCMOS回路を含む半導体装置であって、前記nチャネル型TFT及びpチャネル型TFTの活性層は、結晶化を助長する触媒元素が導入された複数の領域から結晶成長された結晶質半導体膜からなり、前記nチャネル型TFT及びpチャネル型TFTの活性層は、チャネル形成領域と、ソース領域と、ドレイン領域とを有し、前記pチャネル型TFTのソース領域または前記ドレイン領域は、前記複数の領域から結晶成長された領域の境界部を含むことを特徴とする半導体装置である。

20

【0023】

上記各構成において、前記境界部は、前記触媒元素が導入された第1の領域から結晶成長された領域と、前記触媒元素が導入された第2の領域から結晶成長された領域とがぶつかる領域に形成されたことを特徴としている。

【0024】

また、上記各構成において、前記境界部は直線形状であることを特徴としている。

【0025】

また、上記構造を実現するための発明の構成は、非晶質半導体膜を形成する工程と、前記非晶質半導体膜に結晶化を助長する触媒元素を選択的に複数の領域に導入する工程と、加熱処理により前記触媒元素が導入された前記複数の領域から結晶成長させ、境界部を形成する工程と、前記結晶成長させた領域に存在する前記触媒元素を除去または低減させる工程と、前記触媒元素を除去または低減された領域を用いてTFTの活性層を形成する工程とを有することを特徴とする半導体装置の作製方法である。

30

【0026】

また、上記構成において、前記触媒元素を選択的に導入する工程は、前記非晶質半導体膜の一部を露呈させる開口部を有したマスクを用いて行われ、前記マスクは、前記境界部を挟んで複数の開口部を有していることを特徴としている。

【0027】

また、上記各構成において、前記境界部を含むTFTのソース領域またはドレイン領域を形成することを特徴としている。

【0028】

また、上記各構成において、前記開口部と、前記境界部との間にTFTのチャネル形成領域を形成することを特徴としている。

40

【0029】

また、上記各構成において、前記結晶化を助長する触媒元素は、Ni、Fe、Co、Cu、Ge、Pdから選ばれた一種または複数種類であることを特徴としている。

【0030】

本明細書では、触媒元素導入領域の配置を決定することにより、結晶成長を効率よく行う技術を以下に説明する。

【0031】

本願発明人らは、図2に示したように、一つの活性層204を挟んで二つの触媒元素導入領域201、202を配置して結晶化を行う実験を行った。

50

【0032】

後の工程により TFT の活性層となる領域 204 を 2 つの触媒元素導入領域 201、202 が挟んだ状態で結晶化を行えば、一方の触媒元素導入領域から他方の触媒元素導入領域に向かって互いに結晶が成長することになる。なお、TFT のチャネル形成領域 204a の位置は、触媒元素導入領域 201 と、そこから成長した結晶の先端部 205 に挟まれた領域に存在するように、触媒元素導入領域 201、202 が配置されているものとする。

【0033】

まず、65 nm の膜厚を有する非晶質シリコン膜と、150 nm の膜厚を有する酸化珪素膜を積層した。次いで、触媒元素導入領域 201、202 に触媒元素を導入するため、酸化珪素膜に非晶質シリコン膜に達する開口部を形成した。この開口部によって露呈されたシリコン膜面における帯状の領域が触媒元素導入領域 201、202 となる。

10

【0034】

次いで、結晶成長を助長させる触媒元素としてニッケルを用い、重量換算で 10 ppm のニッケル元素を含んだ酢酸ニッケルエタノール溶液を用いて触媒元素導入領域にニッケル元素を導入した。最後に、570 の熱処理を行い結晶成長させた。

【0035】

その後、リン元素をドーピング（ドーズ量は $2 \times 10^{15} \text{ atoms/cm}^2$ とした）した後、600、12 時間の熱処理（ゲッタリング）を行い、ニッケル元素の低減を行った。

20

【0036】

図 2 において、結晶成長方向 203（一方の触媒元素導入領域 201 から、他方の触媒元素導入領域 202 に向かう方向）における結晶成長速度 v 、2 つの触媒元素導入領域 201、202 の間隔距離 d とする。また、触媒元素導入領域 201、202 の幅 w とする。ここでは、 $w = 10 \mu\text{m}$ とした場合と、 $w = 30 \mu\text{m}$ とした場合とでそれぞれ結晶化のための熱処理を行った。

【0037】

上記条件において、2 つの触媒元素導入領域に挟まれた領域の間隔距離 d の値から結晶成長速度 v を算出したグラフを図 3 及び図 21 に示す。図 3 から明らかのように、結晶成長速度 v は間隔距離 d に依存し、間隔距離 $d < 400 \mu\text{m}$ の範囲においては、間隔距離 d が大きければ結晶成長速度 v は小さくなる。ただし、間隔距離 d が $400 \mu\text{m}$ を越えると結晶成長速度 v は飽和する傾向にある。この飽和した結晶成長速度 v の値は、1 つの触媒元素導入領域のみを配置して結晶化させた時の結晶成長速度とほぼ等しい。

30

【0038】

このようにして本願発明人らは、結晶成長条件が 2 つの触媒元素導入領域の間隔距離 d に大きく依存していることを見出した。また、触媒元素導入領域 202 から触媒元素導入領域 201 へ向かう方向の結晶成長速度も同様に間隔距離 d に依存する。

【0039】

従って、所望の領域を挟んで 2 つの触媒元素導入領域を配置し、その間隔距離 d を小さくすれば効率よく短時間で所望の領域の結晶化を行うことができる。ただし、間隔距離 d は、2 つの触媒元素導入領域の幅が等しい場合、結晶成長距離の約 2 倍に等しい。加えて、間隔距離 d は、 $d < 2 \times ($ 触媒元素導入領域 201 と活性層となる領域 204 との間隔 + 結晶成長方向 203 における活性層となる領域 204 の幅 $)$ である。

40

【0040】

また、触媒元素導入領域の幅 w が広くなるにつれて、結晶成長速度 v は大きくなる。従って、触媒元素導入領域の幅 w を広くすれば効率よく短時間で結晶化を行うことができる。

【0041】

なお、熱処理条件等のパラメーターを変化させても結晶成長速度 v と間隔距離 d との間に成立する関係は変わらなかった。

【0042】

50

このように、所望の領域を挟んで2つの触媒元素導入領域（幅wが同じ）を配置して結晶成長させた場合、2つの触媒元素導入領域の中間位置で結晶成長がぶつかる。このようすは、顕微鏡で観察することができ、一方からの結晶成長による結晶粒界と、もう一方からの結晶粒界とが一致しない領域が線状に延在している。結晶成長を行った直後では、結晶成長がぶつかる領域には触媒元素が偏析しているので、エッチングを行えば、より詳しくその偏析部分（結晶成長がぶつかる領域）を観察することができる。その顕微鏡観察写真及び模式図を図4に示す。結晶成長のぶつかる領域は結晶粒界の一つとも言えるが、図4中に見られる結晶粒界403a、403bとは異なり、長さ数 μm 以上の直線形状の模様が、くっきりと見られる。一般的な結晶粒界と区別するため、本明細書では、この結晶成長のぶつかる領域を境界部405と呼ぶ。

10

【0043】

境界部405がTFTのソース領域またはドレイン領域の一部を形成するように2つの触媒元素導入領域401、402を配置し、短時間で結晶化させた後、触媒元素を低減させるゲッタリング工程を行ってTFTを作製し、その特性を比較する実験を行ったが、特にTFT特性に変化はなかった。

【0044】

一方、境界部405がTFTのチャネル形成領域に配置された場合、TFT特性が悪化し、しきい値が高くなる等の弊害が生じる。

【0045】

境界部405がTFTのソース領域またはドレイン領域の一部を形成するように2つの触媒元素導入領域401、402を配置した場合、TFTを形成する活性層は、401からの結晶成長による結晶粒界403bを有する結晶領域と、402からの結晶成長による結晶粒界403aを有する結晶領域とからなる。この場合、一つの触媒元素導入領域から成長した結晶領域のみからなる活性層を形成する場合と比べて結晶化に要する時間を短縮することができる。このように結晶成長に要する時間を短縮することは、プロセス簡略化を図る上で大変重要である。

20

【0046】

本発明においては、境界部405とTFTのチャネル形成領域との間に、ある程度のマージンをもたせて配置することにより、TFT特性を変化させることなく結晶化に要する時間を短縮することができた。ただし、境界部405は、中央部からの偏差で約1 μm 程度のばらつきをもっていることを考慮に入れると、マージンを2 μm 以上とすることが望ましい。

30

【0047】

また、従来では、10時間を越える熱処理であったため、570より高い温度とすると、触媒元素によらない核（自然核）が発生しやすくなり、TFT特性を悪化させていた。しかし、本発明の構成とすれば、さらに短時間で結晶化させるために温度を上昇（1~10）程度させても、自然核の発生が生じにくく、バラツキの少ない優れた結晶質半導体膜を得ることができる。

【0048】

即ち、本発明においては、2つの触媒元素導入領域からの結晶成長によって形成される境界部がTFTのチャネル形成領域以外の領域、好ましくはソース領域またはドレイン領域に位置することを特徴としている。

40

【0049】

また、上記結晶化を行った後、所望の領域を挟んで小さい間隔距離dで配置された2つの触媒元素導入領域に、ゲッタリング作用のある元素、代表的にはリンを添加して加熱し、触媒元素の低減を行った場合、効率よく短時間で所望の領域のゲッタリングを行うことができる。

【0050】

2つの触媒元素導入領域に挟まれた領域の間隔距離dとゲッタリングに必要な熱処理時間（加熱温度575）との関係を示すグラフを図22に示す。

50

【0051】

このようにゲッタリングに要する時間を短縮することは、プロセス簡略化を図る上で大変重要である。

【発明の効果】

【0052】

本発明で提示された技術により、結晶化工程に要する熱処理時間を短縮して、優れた電気特性を有するTFTを作製することが可能である。

【0053】

また、ゲッタリングに要する熱処理時間を短縮して、優れた電気特性を有するTFTを作製することが可能である。

【0054】

また、本発明で提示された技術を用いて、触媒元素導入領域の幅及び配置を最適化することにより、少ないスペースに触媒元素導入領域を効率よく配置し、回路の微細化及び集積化を図ることが可能である。

【図面の簡単な説明】

【0055】

【図1】触媒元素導入領域からの結晶成長を示す図

【図2】触媒元素導入領域の配置の一例を示す図。

【図3】間隔距離dと結晶成長速度vとの関係を示す図。

【図4】境界部を示す顕微鏡観察写真図およびその模式図。

【図5】触媒元素導入領域の配置及び活性層領域の配置の一例を示す図。

【図6】インバータ回路の一例を示す図。

【図7】CMOS回路の一例を示す図。

【図8】作製工程を示す図。

【図9】作製工程を示す図。

【図10】作製工程を示す図。

【図11】作製工程を示す図。

【図12】液晶表示装置の断面構造図を示す図

【図13】AM-LCDの外観を示す図。

【図14】周辺回路を示す図。

【図15】作製工程を示す図。

【図16】アクティブマトリクス型EL表示装置の構成を示す図。

【図17】無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す図。

【図18】電子機器の一例を示す図。

【図19】電子機器の一例を示す図。

【図20】電子機器の一例を示す図。

【図21】間隔距離dと結晶成長速度vとの関係を示す図。

【図22】間隔距離dとゲッタリング可能な時間との関係を示す図。

【図23】EL表示装置の上面図及び断面図。

【図24】EL表示装置の断面図。

【図25】EL表示装置の上面図。

【図26】EL表示装置の断面図。

【図27】EL表示装置の等価回路図。

【図28】EL表示装置の等価回路図。

【図29】EL表示装置の等価回路図。

【発明を実施するための形態】

【0056】

以下に本発明の実施の形態を示す。

【0057】

例えば、図3の関係を得た上記条件と同じ条件（非晶質シリコン膜の膜厚は65nm、

10

20

30

40

50

触媒元素導入用マスクに用いた酸化珪素膜の初期膜厚は 150 nm、重量換算で 10 ppm のニッケル元素を含んだ酢酸ニッケルエタノール溶液を添加し触媒元素導入領域を形成する)を用いて非晶質シリコン膜を結晶化させる場合を考える。

【0058】

図 5 は、非晶質シリコン膜を成膜し、酸化珪素膜からなるマスクを用いて触媒元素導入領域 505、506 を形成した後、570 の熱処理を施して結晶化させた直後の状態を示す図である。

【0059】

図 5 のように活性層となる領域 501、502、503 が配置されている。活性層となる領域 501 のサイズは、長辺 65 μm、短辺 45 μm とし、活性層となる領域 502、503 のサイズは長辺 30 μm、短辺 28 μm とする。

【0060】

なお、活性層となる領域 502、503 とのマージンを 2 μm とて幅 $w = 10 \mu m$ の触媒元素導入領域 505 が配置されている。そして、触媒元素導入領域 505 からの間隔距離 d を 80 μm として触媒元素導入領域 506 と平行に配置されている。

【0061】

570 の熱処理を施した場合、図 5 に示したように、一方の触媒元素導入領域 505 からの結晶成長ともう一方の触媒元素導入領域 506 からの結晶成長とが中央部でぶつかり、境界部 507 が形成される。境界部 507 が形成される位置のばらつきを考慮して 2 μm のマージンを考えると、一方の触媒元素導入領域から結晶成長距離は 42 μm ($80 \mu m \div 2 + 2 \mu m$) である。

【0062】

また、570 における幅 $w = 10 \mu m$ の触媒元素導入領域からの結晶成長速度 v は 6.4 μm / hr である。従って、結晶質シリコン膜を得るのに必要な熱処理時間は、6.6 時間となる。

【0063】

なお、活性層となる領域 501 と境界部 507 とが重なる領域はドレイン領域となる。ただし、チャネル形成領域 501a、501b と境界部 507 とが重ならないようにすることが重要である。

【0064】

また、活性層となる領域 502、503 に関しては、境界部 507 と重ならない。

【0065】

さらに、熱処理温度を上昇させれば、さらなる熱処理時間の短縮が可能となる。例えば、上記熱処理温度 570 に代えて 580 とした時、結晶成長速度 v は 9.5 μm / hr であるため、4.4 時間での結晶化が可能となる。

【0066】

また、触媒元素導入領域の幅 w を大きくすれば、さらに短時間での結晶化が可能となる。

【0067】

短時間で結晶化を行った後、触媒元素を低減させるためのゲッタリング工程を施し、優れた結晶性を有する結晶質シリコンを得る。このようにして得られた結晶質シリコン膜を用いて TFT を作製し、図 6 (A) ~ (C) や図 7 (A) ~ (C) に示すような回路を形成すればよい。なお、図 6 (A) は図 5 と同一の符号を用いた。図 6 (A) には触媒元素導入領域 505、506 が点線で示されているが、実際にはわずかな跡しか残っていない。

【0068】

また、図 6 (B) は A - A' 断面図を示している。図 6 (B) において活性層 601a ~ 601c は、触媒元素導入領域 506 から結晶成長した領域であり、活性層 601d ~ 601f は、触媒元素導入領域 505 から結晶成長した領域である。また、触媒元素導入領域 506 からの結晶成長と触媒元素導入領域 505 からの結晶成長がぶつかる領域 (境

10

20

30

40

50

界部) 507a を図示した。

【0069】

なお、図6に示した回路はインバータ回路であり、その等価回路図を図6(C)に示した。

【0070】

また、図7(A)はCMOS回路の一例である。また、図7(B)はA-A'断面図の一例を示している。結晶成長がぶつかる領域701がpチャネル型TFTのドレイン領域に存在するように、2つの触媒元素導入領域(図示しない)を配置した例である。領域701までの距離が均等となるよう2つの触媒元素導入領域を配置してもよいし、触媒元素導入領域の幅を異ならせて領域701がpチャネル型TFTのドレイン領域に存在するように設計してもよい。幅が異ならせた場合は、領域701の位置は、触媒元素導入領域の間隔の中央部からずれる。

10

【0071】

また、図7(C)は、結晶成長がぶつかる領域702がnチャネル型TFTのドレイン領域に存在するように、2つの触媒元素導入領域(図示しない)を配置した例である。

【0072】

このように、2つの触媒元素導入領域の配置の自由度は高く、これを利用して結晶化に要する時間を短縮することが可能である。

20

【0073】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

20

【実施例1】

【0074】

本実施例では本発明の構成について図8～図14を用い、画素部とその周辺に設けられるドライバ回路の基本形態であるCMOS回路を同時に形成したアクティブマトリクス基板の作製方法について説明する。

30

【0075】

図8(A)において、基板801には、ガラス基板や石英基板やシリコン基板を使用することが望ましい。本実施例では石英基板を用いた。その他にも金属基板またはステンレス基板の表面に絶縁膜を形成したものを基板としても良い。本実施例の場合、800以上の温度に耐えうる耐熱性を要求されるので、それを満たす基板であればどのような基板を用いても構わない。

30

【0076】

そして、基板801のTFTが形成される表面には、20～100nm(好ましくは40～80nm)の厚さの非晶質構造を含む半導体膜802を減圧熱CVD法、プラズマCVD法またはスパッタ法で形成する。なお、本実施例では60nm厚の非晶質シリコン膜を形成するが、後に熱酸化工程があるのでこの膜厚が最終的なTFTの活性層の膜厚になるわけではない。

40

【0077】

また、非晶質構造を含む半導体膜としては、非晶質半導体膜、微結晶半導体膜があり、さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜も含まれる。さらに、基板上に下地膜と非晶質シリコン膜とを大気解放しないで連続的に形成することも有効である。そうすることにより基板表面の汚染が非晶質シリコン膜に影響を与えないようにすることが可能となり、作製されるTFTの特性バラツキを低減させることができる。

【0078】

次に、非晶質シリコン膜802上に珪素(シリコン)を含む絶縁膜でなるマスク膜803を形成し、パターニングによって開口部804a、804bを形成する。この開口部によって露呈された非晶質シリコン膜面における帯状の領域が、次の結晶化工程の際に結晶化を助長する触媒元素を導入するための触媒元素導入領域となる。(図8(A))

50

【0079】

この触媒元素導入領域の位置が後の結晶化工程において重要となる。本実施例では図示しないが、活性層となる領域から $2 \mu m$ のマージンをとり、帯状の第1の触媒元素導入領域（幅 $w = 10 \mu m$ ）を配置した。そして、活性層となる領域を挟むように第2の触媒元素導入領域を配置した。実施者は、図3及び図21を用いて、この第1の触媒元素導入領域と第2の触媒元素導入領域との間隔距離 d 及び触媒元素導入領域の幅 w を適宜決定すればよい。本実施例では $d = 80 \mu m$ 、 $w = 10 \mu m$ とした。ただし、全て同じ間隔距離 d や幅 w にする必要はなく、回路配置を考慮して、適宜実施者が決定すればよい。

【0080】

なお、珪素を含む絶縁膜としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜を用いることができる。窒化酸化シリコン膜は、珪素、窒素及び酸素を所定の量で含む絶縁膜であり、 SiO_xNy で表される絶縁膜である。窒化酸化シリコン膜は SiH_4 と N_2O と NH_3 を原料ガスとして作製することが可能であり、含有する窒素濃度が25 atomic%以上50 atomic%未満とすると良い。

10

【0081】

また、このマスク膜803のパターニングを行うと同時に、後のパターニング工程の基準となるマーカーパターンを形成しておく。マスク膜803をエッチングする際に非晶質シリコン膜802も僅かにエッチングされるが、この段差が後にマスク合わせの時にマーカーパターンとして用いることができる。

20

【0082】

次に、特開平10-247735号公報（米国出願番号09/034,041に対応）に記載された技術に従って、結晶構造を含む半導体膜を形成する。同公報記載の技術は、非晶質構造を含む半導体膜の結晶化に際して、結晶化を助長する触媒元素（ニッケル、コバルト、ゲルマニウム、錫、鉛、パラジウム、鉄、銅から選ばれた一種または複数種の元素）を用いる結晶化手段である。

30

【0083】

具体的には、非晶質構造を含む半導体膜の表面に触媒元素を保持させた状態で加熱処理を行い、非晶質構造を含む半導体膜を、結晶構造を含む半導体膜に変化させるものである。なお、結晶化手段としては、特開平7-130652号公報の実施例1に記載された技術を用いても良い。また、結晶質構造を含む半導体膜には、いわゆる単結晶半導体膜も多結晶半導体膜も含まれるが、同公報で形成される結晶構造を含む半導体膜は結晶粒界を有している。

30

【0084】

なお、同公報では触媒元素を含む層をマスク膜上に形成する際にスピンコート法を用いているが、触媒元素を含む薄膜をスパッタ法や蒸着法といった気相法を用いて成膜する手段をとっても良い。

40

【0085】

また、非晶質シリコン膜は含有水素量にもよるが、好ましくは400～550で1時間程度の加熱処理を行い、水素を十分に脱離させてから結晶化させることが望ましい。その場合、含有水素量を5 atomic%以下とすることが好ましい。

40

【0086】

結晶化工程は、まず400～500で1時間程度の熱処理工程を行い、水素を膜中から脱離させた後、500～650（好ましくは550～600）で3～16時間（好ましくは5～14時間）の熱処理を行う。

【0087】

本実施例では、触媒元素としてニッケルを用い、触媒元素導入領域の幅および位置を上述のように工夫したため、570、6.6時間の熱処理で結晶化することができた。その結果、開口部804a、804bを起点として概略基板と平行な方向（矢印で示した方向）に結晶化が進行し、巨視的な結晶成長方向が揃った結晶構造を含む半導体膜（本実施例では結晶質シリコン膜）805a～805dが形成された。（図8（B））なお、805bと

50

805cとの境界部は、結晶成長がぶつかる領域であり、比較的高濃度にニッケルが存在している。また、805dや805aにおいても結晶成長がぶつかるように触媒元素導入領域を配置している。

【0088】

次に、結晶化の工程で用いたニッケルを結晶質シリコン膜から除去するゲッタリング工程を行う。本実施例では、先ほど形成したマスク膜803をそのままマスクとして15族に属する元素（本実施例ではリン）を添加する工程を行い、開口部804a、804bで露出した結晶質シリコン膜に $1 \times 10^{19} \sim 1 \times 10^{20}$ atoms/cm³の濃度でリンを含むリン添加領域（以下、ゲッタリング領域という）806a、806bを形成する。（図8（C））

【0089】

次に、窒素雰囲気中で450～650（好ましくは500～550）、4～24時間（好ましくは6～12時間）の熱処理工程を行う。この熱処理工程により結晶質シリコン膜中のニッケルは矢印の方向に移動し、リンのゲッタリング作用によってゲッタリング領域806a、806bに捕獲される。即ち、結晶質シリコン膜中からニッケルが除去されるため、ゲッタリング後の結晶質シリコン膜807a～807dに含まれるニッケル濃度は、 1×10^{17} atoms/cm³以下、好ましくは 1×10^{16} atoms/cm³にまで低減することができる。

【0090】

次に、マスク膜803を除去し、結晶質シリコン膜807a～807d上に後の不純物添加のために保護膜808を形成する。保護膜808は100～200nm（好ましくは130～170nm）の厚さの窒化酸化シリコン膜または酸化シリコン膜を用いると良い。この保護膜808は不純物添加時に結晶質シリコン膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするための意味がある。

【0091】

そして、その上にレジストマスク809を形成し、保護膜808を介してp型を付与する不純物元素（以下、p型不純物元素という）を添加する。p型不純物元素としては、代表的には13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程（チャネルドープ工程という）はTFTのしきい値電圧を制御するための工程である。なお、ここではジボラン（B₂H₆）を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行なうイオンインプランテーション法を用いても良い。

【0092】

この工程により $1 \times 10^{15} \sim 1 \times 10^{18}$ atoms/cm³（代表的には $5 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm³）の濃度でp型不純物元素（本実施例ではボロン）を含む不純物領域810a、810bを形成する。なお、本明細書中では上記濃度範囲でp型不純物元素を含む不純物領域（但し、リンは含まれていない領域）をp型不純物領域（b）と定義する。（図8（D））

【0093】

次に、レジストマスク809を除去し、結晶質シリコン膜をパターニングして島状の半導体層（以下、活性層という）811～814を形成する。図示しないが、結晶質シリコン膜をエッティングする際に基板または基板上に設けられている下地膜も僅かにエッティングされる。そのため、触媒元素導入領域を配置した跡がわずかに残る。

【0094】

なお、活性層811～814は、ニッケルを選択的に導入して結晶化することによって、非常に結晶性の良い結晶質シリコン膜で形成されている。具体的には、棒状または柱状の結晶が、特定の方向性を持って並んだ結晶構造を有している。

また、結晶化後、ニッケルをリンのゲッタリング作用により除去又は低減しており、活性層811～814中に残存する触媒元素の濃度は、 1×10^{17} atoms/cm³以下、好ましくは 1×10^{16} atoms/cm³である。（図8（E））

【0095】

10

20

30

40

50

また、pチャネル型TFTの活性層811は意図的に導入された不純物元素を含まない領域であり、nチャネル型TFTの活性層812～814はp型不純物領域(b)となっている。本明細書中では、この状態の活性層811～814は全て真性または実質的に真性であると定義する。即ち、TFTの動作に支障をきたさない程度に不純物元素が意図的に導入されている領域が実質的に真性な領域と考えて良い。

【0096】

次に、プラズマCVD法またはスパッタ法により10～100nm厚の珪素を含む絶縁膜を形成する。本実施例では、30nm厚の窒化酸化シリコン膜を形成する。この珪素を含む絶縁膜は、他の珪素を含む絶縁膜を単層または積層で用いても構わない。

【0097】

次に、800～1150（好ましくは900～1000）の温度で15分～8時間（好ましくは30分～2時間）の熱処理工程を、酸化性雰囲気下で行う（熱酸化工程）。本実施例では酸素雰囲気中に3体積%の塩化水素を添加した雰囲気中で950、80分の熱処理工程を行う。なお、図8(D)の工程で添加されたボロンはこの熱酸化工程の間に活性化される。（図9(A)）

【0098】

なお、酸化性雰囲気としては、ドライ酸素雰囲気でもウェット酸素雰囲気でも良いが、半導体層中の結晶欠陥の低減にはドライ酸素雰囲気が適している。また、本実施例では酸素雰囲気中にハロゲン元素を含ませた雰囲気としたが、100%酸素雰囲気で行っても構わない。

【0099】

この熱酸化工程の間、珪素を含む絶縁膜とその下の活性層811～814との界面においても酸化反応が進行する。本願発明ではそれを考慮して最終的に形成されるゲート絶縁膜815の膜厚が50～200nm（好ましくは100～150nm）となるように調節する。本実施例の熱酸化工程では、60nm厚の活性層のうち25nmが酸化されて活性層811～814の膜厚は35nmとなる。

また、30nm厚の珪素を含む絶縁膜に対して50nm厚の熱酸化膜が加わるので、最終的なゲート絶縁膜815の膜厚は105nmとなる。

【0100】

次に、新たにレジストマスク816～819を形成する。そして、n型を付与する不純物元素（以下、n型不純物元素という）を添加してn型を呈する不純物領域820～822を形成する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリンまたは砒素を用いることができる。（図9(B)）

【0101】

この不純物領域820～822は、後にCMOS回路およびサンプリング回路のnチャネル型TFTにおいて、LDD領域として機能させるための不純物領域である。なお、ここで形成された不純物領域にはn型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ ）の濃度で含まれている。本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(b)と定義する。

【0102】

なお、ここではフォスフィン（PH₃）を質量分離しないでプラズマ励起したイオンドープ法でリンを $1 \times 10^{18} \text{ atoms/cm}^3$ の濃度で添加する。勿論、質量分離を行いうイオンインプランテーション法を用いても良い。この工程では、ゲート膜815を介して結晶質シリコン膜にリンを添加する。

【0103】

次に、600～1000（好ましくは700～800）の不活性雰囲気中で熱処理を行い、図9(B)の工程で添加されたリンを活性化する。本実施例では800、1時間の熱処理を窒素雰囲気中で行う。（図9(C)）

【0104】

この時、同時にリンの添加時に損傷した活性層及び活性層とゲート絶縁膜との界面を修

10

20

30

40

50

復することが可能である。この活性化工程は電熱炉を用いたファーネスアニールが好ましいが、ランプアニールやレーザーアニールといった光アニールを併用しても良い。

【0105】

この工程によりn型不純物領域(b)820～822の境界部、即ち、n型不純物領域(b)の周囲に存在する真性又は実質的に真性な領域(勿論、p型不純物領域(b)も含む)との接合部が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0106】

次に、ゲート配線となる導電膜を形成する。なお、ゲート配線は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。本実施例では、第1導電膜823と第2導電膜824とでなる積層膜を形成する。(図9(D))

10

【0107】

ここで第1導電膜823、第2導電膜824としては、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)から選ばれた元素、または前記元素を主成分とする導電膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜、タングステンシリサイド膜等)を用いることができる。

【0108】

なお、第1導電膜823は10～50nm(好ましくは20～30nm)とし、第2導電膜824は200～400nm(好ましくは250～350nm)とすれば良い。本実施例では、第1導電膜823として、50nm厚の窒化タングステン(WN)膜を、第2導電膜824として、350nm厚のタングステン膜を用いる。なお、図示しないが、第1導電膜823の下にシリコン膜を2～20nm程度の厚さで形成しておくことは有効である。これによりその上に形成される導電膜の密着性の向上と、酸化防止を図ることができる。

20

【0109】

また、第1導電膜823として窒化タンタル膜、第2導電膜としてタンタル膜を用いることも有効である。

30

【0110】

次に、第1導電膜823と第2導電膜824とを一括でエッチングして400nm厚のゲート配線825～828を形成する。この時、ドライバー回路に形成されるゲート配線826、827はn型不純物領域(b)820～822の一部とゲート絶縁膜815を介して重なるように形成する。この重なった部分が後にLDD領域となる。なお、ゲート配線828a、828bは断面では二つに見えるが実際は連続的に繋がった一つのパターンから形成されている。(図9(E))

【0111】

次に、レジストマスク829を形成し、p型不純物元素(本実施例ではボロン)を添加して高濃度にボロンを含む不純物領域830、831を形成する。本実施例ではジボラン(B₂H₆)を用いたイオンドープ法(勿論、イオンインプランテーション法でも良い)により3×10²⁰～3×10²¹atoms/cm³(代表的には5×10²⁰～1×10²¹atoms/cm³)濃度でボロンを添加する。なお、本明細書中では上記濃度範囲でp型不純物元素を含む不純物領域をp型不純物領域(a)と定義する。(図10(A))

40

【0112】

次に、レジストマスク829を除去し、ゲート配線及びpチャネル型TFTとなる領域を覆う形でレジストマスク832～834を形成する。そして、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域835～841を形成する。ここでも、フォスフィン(PH₃)を用いたイオンドープ法(勿論、イオンインプランテーション法でも良い)で行い、この領域のリンの濃度は1×10²⁰～1×10²¹atoms/cm³(

50

代表的には $2 \times 10^{20} \sim 5 \times 10^{20} \text{atoms/cm}^3$) とする。 (図 10 (B))

【 0 1 1 3 】

なお、本明細書中では上記濃度範囲で n 型不純物元素を含む不純物領域を n 型不純物領域 (a) と定義する。また、不純物領域 835 ~ 841 が形成された領域には既に前工程で添加されたリンまたはボロンが含まれるが、十分に高い濃度でリンが添加されることになるので、前工程で添加されたリンまたはボロンの影響は考えなくて良い。従って、本明細書中では不純物領域 835 ~ 841 は n 型不純物領域 (a) と言い換えて構わない。

【 0 1 1 4 】

次に、レジストマスク 832 ~ 834 を除去し、珪素を含む絶縁膜でなるキャップ膜 842 を形成する。膜厚は 25 ~ 100 nm (好ましくは 30 ~ 50 nm) とすれば良い。本実施例では 25 nm 厚の窒化珪素膜を用いることとする。キャップ膜 842 は後の活性化工程でゲート配線の酸化を防ぐ保護膜としても機能するが、厚く形成しすぎると応力が強くなつて膜はがれ等の不具合が発生するので好ましくは 100 nm 以下とすることが好ましい。

10

【 0 1 1 5 】

次に、ゲート配線 825 ~ 828 をマスクとして自己整合的に n 型不純物元素 (本実施例ではリン) を添加する。こうして形成された不純物領域 843 ~ 846 には前記 n 型不純物領域 (b) の 1/2 ~ 1/10 (代表的には 1/3 ~ 1/4) の濃度 (但し、前述のチャネルドープ工程で添加されたボロン濃度よりも 5 ~ 10 倍高い濃度、代表的には $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ 、典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{atoms/cm}^3$) でリンが添加されるように調節する。なお、本明細書中では上記濃度範囲で n 型不純物元素を含む不純物領域 (但し、 p 型不純物領域 (a) を除く) を n 型不純物領域 (c) と定義する。 (図 10 (C))

20

【 0 1 1 6 】

この工程では 105 nm の膜厚の絶縁膜 (キャップ膜 842 とゲート絶縁膜 815 との積層膜) を通してリンを添加することになるが、ゲート配線 834a, 834b の側壁に形成されたキャップ膜もマスクとして機能する。即ち、キャップ膜 842 の膜厚に相当する長さのオフセット領域が形成されることになる。なお、オフセット領域とは、チャネル形成領域に接して形成され、チャネル形成領域と同一組成の半導体膜でなるが、ゲート電圧が印加されないため反転層 (チャネル形成領域) を形成しない高抵抗な領域を指す。オフ電流値を下げるためには LDD 領域とゲート配線の重なりを極力抑えることが重要であり、そういう意味でオフセット領域を設けることは有効と言える。

30

【 0 1 1 7 】

なお、本実施例のように、チャネル形成領域にも $1 \times 10^{15} \sim 1 \times 10^{18} \text{atoms/cm}^3$ の濃度で p 型不純物元素を含んでいる場合、当然オフセット領域にも同濃度で p 型不純物元素が含まれる。

30

【 0 1 1 8 】

このオフセット領域の長さは、実際にゲート配線の側壁に形成されるキャップ膜の膜厚や不純物元素を添加する際の回り込み現象 (マスクの下に潜り込むように不純物が添加される現象) によって決まるが、LDD 領域とゲート配線との重なりを抑えるという観点からすれば、本願発明のように n 型不純物領域 (c) を形成する際に、前もってキャップ膜を形成しておくことは非常に有効である。

40

【 0 1 1 9 】

なお、この工程ではゲート配線で隠された部分を除いて全ての不純物領域にも $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ の濃度でリンが添加されているが、非常に低濃度であるため各不純物領域の機能には影響を与えない。また、 n 型不純物領域 (b) 843 ~ 846 には既にチャネルドープ工程で $1 \times 10^{15} \sim 1 \times 10^{18} \text{atoms/cm}^3$ の濃度のボロンが添加されているが、この工程では p 型不純物領域 (b) に含まれるボロンの 5 ~ 10 倍の濃度でリンが添加されるので、この場合もボロンは n 型不純物領域 (b) の機能には影響を与えないと考えて良い。

50

【0120】

但し、厳密にはn型不純物領域(b)847、848のうちゲート配線に重なった部分のリン濃度が $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm³のままであるのに対し、ゲート配線に重ならない部分はそれに $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm³の濃度のリンが加わっており、若干高い濃度でリンを含むことになる。

【0121】

次に、第1層間絶縁膜849を形成する。第1層間絶縁膜849としては、珪素を含む絶縁膜、具体的には窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は100~400nmとすれば良い。本実施例では、プラズマCVD法でSiH₄、N₂O、NH₃を原料ガスとし、200nm厚の窒化酸化シリコン膜(但し窒素濃度が25~50atomic%)を用いる。10

【0122】

その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化するために熱処理工程を行った。この工程はファーネスアニール法、レーザーアニール法、ランプアニール法またはそれらを併用して行うことができる。ファーネスアニール法で行う場合は、不活性雰囲気中において500~800、好ましくは550~600で行えば良い。本実施例では600、4時間の熱処理を行い、不純物元素を活性化する。(図10(D))20

【0123】

なお、本実施例では窒化シリコン膜842と窒化酸化シリコン膜849とを積層した状態でゲート配線を覆い、その状態で活性化工程を行っている。本実施例ではタンゲステンを配線材料として用いているが、タンゲステン膜は非常に酸化に弱いことが知られている。即ち、保護膜で覆って酸化してもピンホールが保護膜に存在すればただちに酸化されてしまう。ところが、本実施例では酸化防止膜としては非常に有効な窒化シリコン膜を用い、且つ、窒化シリコン膜に対して窒化酸化シリコン膜を積層しているため、窒化シリコン膜のピンホールの問題を気にせずに高い温度で活性化工程を行うことが可能である。20

【0124】

次に、活性化工程の後、3~100%の水素を含む雰囲気中で、300~450で1~4時間の熱処理を行い、活性層の水素化を行う。この工程は熱的に励起された水素により半導体層のダンギリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。30

【0125】

活性化工程を終えたら、第1層間絶縁膜849の上に500nm~1.5μm厚の第2層間絶縁膜850を形成する。本実施例では第2層間絶縁膜850として800nm厚の酸化シリコン膜をプラズマCVD法により形成する。こうして第1層間絶縁膜(窒化酸化シリコン膜)849と第2層間絶縁膜(酸化シリコン膜)850との積層膜でなる1μm厚の層間絶縁膜を形成する。

【0126】

なお、後の工程で耐熱性が許せば、第2層間絶縁膜850として、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等の有機樹脂膜を用いることも可能である。40

【0127】

その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース配線851~854と、ドレイン配線855~857を形成する。なお、CMOS回路を形成するためにドレイン配線855はpチャネル型TFTとnチャネル型TFTとの間で共通化されている。また、図示していないが、本実施例ではこの配線を、Ti膜を200nm、Tiを含むアルミニウム膜500nm、Ti膜100nmをスパッタ法で連続して形成した3層構造の積層膜とする。(図11(A))

【0128】

次に、パッシベーション膜858として、窒化シリコン膜、酸化シリコン膜、または窒

10

20

30

40

50

化酸化シリコン膜で 50 ~ 500 nm (代表的には 200 ~ 300 nm) の厚さで形成する。この時、本実施例では膜の形成に先立って H₂、NH₃ 等水素を含むガスを用いてプラズマ処理を行い、成膜後に熱処理を行う。この前処理により励起された水素が第1、第2層間絶縁膜中に供給される。この状態で熱処理を行うことで、パッシベーション膜 858 の膜質を改善するとともに、第1、第2層間絶縁膜中に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0129】

また、パッシベーション膜 858 を形成した後に、さらに水素化工程を行っても良い。例えば、3 ~ 100% の水素を含む雰囲気中で、300 ~ 450 で 1 ~ 12 時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られる。なお、水素化工程後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜 858 に開口部 (図示せず) を形成しておいても良い。

10

【0130】

その後、有機樹脂からなる第3層間絶縁膜 859 を約 1 μm の厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB (ベンゾシクロブテン) 等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系 SiO 化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300 で焼成して形成する。

20

【0131】

次に、画素部となる領域において、第3層間絶縁膜 859 上に遮蔽膜 860 を形成する。なお、本明細書中では光と電磁波を遮るという意味で遮蔽膜という文言を用いる。遮蔽膜 860 はアルミニウム (Al)、チタン (Ti)、タンタル (Ta) から選ばれた元素でなる膜またはいずれかの元素を主成分とする膜で 100 ~ 300 nm の厚さに形成する。本実施例では 1wt% のチタンを含有させたアルミニウム膜を 125 nm の厚さに形成する。

【0132】

なお、第3層間絶縁膜 859 上に酸化シリコン膜等の絶縁膜を 5 ~ 50 nm 形成しておくと、この上に形成する遮蔽膜の密着性を高めることができる。また、有機樹脂で形成した第3層間絶縁膜 859 の表面に CF₄ ガスを用いたプラズマ処理を施すと、表面改質により膜上に形成する遮蔽膜の密着性を向上させることができる。

30

【0133】

また、このチタンを含有させたアルミニウム膜を用いて、遮蔽膜だけでなく他の接続配線を形成することも可能である。例えば、ドライバー回路内で回路間をつなぐ接続配線を形成できる。但し、その場合は遮蔽膜または接続配線を形成する材料を成膜する前に、予め第3層間絶縁膜にコンタクトホールを形成しておく必要がある。

【0134】

次に、遮蔽膜 860 の表面に陽極酸化法またはプラズマ酸化法 (本実施例では陽極酸化法) により 20 ~ 100 nm (好ましくは 30 ~ 50 nm) の厚さの酸化物 861 を形成する。本実施例では遮蔽膜 860 としてアルミニウムを主成分とする膜を用いたため、陽極酸化物 861 として酸化アルミニウム膜 (アルミナ膜) が形成される。

40

【0135】

この陽極酸化処理に際して、まず十分にアルカリイオン濃度の小さい酒石酸エチレングリコール溶液を作製する。これは 15% の酒石酸アンモニウム水溶液とエチレングリコールとを 2 : 8 で混合した溶液であり、これにアンモニア水を加え、pH が 7 ± 0.5 となるように調節する。そして、この溶液中に陰極となる白金電極を設け、遮蔽膜 860 が形成されている基板を溶液に浸し、遮蔽膜 860 を陽極として、一定 (数 mA ~ 数十 mA) の直流電流を流す。

【0136】

50

溶液中の陰極と陽極との間の電圧は陽極酸化物の成長に従い時間と共に変化するが、定電流のまま 100 V / min の昇圧レートで電圧を上昇させて、到達電圧 45 V に達したところで陽極酸化処理を終了させる。このようにして遮蔽膜 860 の表面には厚さ約 50 nm の陽極酸化物 861 を形成することができる。また、その結果、遮蔽膜 860 の膜厚は 90 nm となる。なお、ここで示した陽極酸化法に係わる数値は一例にすぎず、作製する素子の大きさ等によって当然最適値は変化しうるものである。

【0137】

また、ここでは陽極酸化法を用いて遮蔽膜表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマ CVD 法、熱 CVD 法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は 20 ~ 100 nm (好ましくは 30 ~ 50 nm) とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、 DLC (Diamond like carbon) 膜、酸化タンタル膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

10

【0138】

次に、第 3 層間絶縁膜 859、パッシベーション膜 858 にドレイン配線 857 に達するコンタクトホールを形成し、画素電極 862 を形成する。なお、画素電極 863 は隣接する別の画素の画素電極である。画素電極 862、863 は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ (ITO) 膜を 110 nm の厚さにスパッタ法で形成する。

20

【0139】

また、この時、画素電極 862 と遮蔽膜 860 とが陽極酸化物 861 を介して重なり、保持容量 (キャパシタンス・ストレージ) 864 を形成する。なお、この場合、遮蔽膜 860 をフローティング状態 (電気的に孤立した状態) が固定電位、好ましくはコモン電位 (データとして送られる画像信号の中間電位) に設定しておくことが望ましい。

【0140】

こうして同一基板上に、ドライバー回路と画素部とを有したアクティブマトリクス基板が完成した。なお、図 11 (B) においては、ドライバー回路には p チャネル型 TFT1101、n チャネル型 TFT1102、1103 が形成され、画素部には n チャネル型 TFT でなる画素 TFT1104 が形成される。

30

【0141】

ドライバー回路の p チャネル型 TFT1101 には、チャネル形成領域 1001、ソース領域 1002、ドレイン領域 1003 がそれぞれ p 型不純物領域 (a) で形成される。但し、厳密にはソース 1002 領域及びドレイン領域 1003 に $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm³ の濃度でリンを含んでいる。

【0142】

また、n チャネル型 TFT1302 には、チャネル形成領域 1004、ソース領域 1005、ドレイン領域 1006、そしてチャネル形成領域とドレイン領域との間に、ゲート絶縁膜を介してゲート配線と重なった領域 (本明細書中ではこのような領域を Lov 領域) という。なお、ov は overlap の意味で付した。) 1007 が形成される。この時、Lov 領域 1007 は $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm³ の濃度でリンを含み、且つ、ゲート配線と全部重なるように形成される。

40

【0143】

また、n チャネル型 TFT1303 には、チャネル形成領域 1008、ソース領域 1009、ドレイン領域 1010、そしてチャネル形成領域を挟むようにして LDD 領域 1011、1012 が形成される。即ち、ソース領域とチャネル形成領域との間及びドレイン領域とチャネル形成領域との間に LDD 領域が形成される。

【0144】

なお、この構造では LDD 領域 1011、1012 の一部がゲート配線と重なるように配置されたために、ゲート絶縁膜を介してゲート配線と重なった領域 (Lov 領域) とゲー

50

ト配線と重ならない領域（本明細書中ではこのような領域を L_{off} 領域という。なお、 off は offset の意味で付した。）が実現されている。

【0145】

また、チャネル長 $3 \sim 7 \mu m$ に対して n チャネル型 TFT1302 の L_{ov} 領域 207 の長さ（幅）は $0.3 \sim 3.0 \mu m$ 、代表的には $0.5 \sim 1.5 \mu m$ とすれば良い。また、 n チャネル型 TFT1303 の L_{ov} 領域の長さ（幅）は $0.3 \sim 3.0 \mu m$ 、代表的には $0.5 \sim 1.5 \mu m$ 、 L_{off} 領域の長さ（幅）は $1.0 \sim 3.5 \mu m$ 、代表的には $1.5 \sim 2.0 \mu m$ とすれば良い。また、画素 TFT1304 に設けられる L_{off} 領域 1017 ~ 1020 の長さ（幅）は $0.5 \sim 3.5 \mu m$ 、代表的には $2.0 \sim 2.5 \mu m$ とすれば良い。

10

【0146】

また、本実施例では保持容量の誘電体として比誘電率が 7 ~ 9 と高いアルミナ膜を用いたことで、必要な容量を形成するために必要な保持容量の占有面積を少なくすることができる。さらに、本実施例のように画素 TFT 上に形成される遮蔽膜を保持容量の一方の電極として、アクティブマトリクス型液晶表示装置の画像表示部の開口率を向上させることができる。

【0147】

なお、本発明は本実施例に示した保持容量の構造に限定される必要はない。例えば、本出願人による特開平 11-133463 号公報、特願平 11-977702 号公報または特願平 10-254097 号出願に記載された構造の保持容量を用いることもできる。

20

【0148】

次いで上記基板から、液晶表示装置を作製する工程を説明する。図 12 に示すように、図 11 (B) の状態の画素部及びドライバー回路が形成された基板に対し、配向膜 1201 を形成する。本実施例では配向膜としてポリイミド膜を用いる。また、対向基板 1202 には、透明導電膜からなる対向電極 1203 と、配向膜 1204 とを形成する。なお、対向基板には必要に応じてカラーフィルターや遮蔽膜を形成しても良い。

【0149】

次に、配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するように調節する。そして、画素部と、ドライバー回路が形成された基板と対向基板とを、公知のセル組み工程によってシール材 1206 やスペーサ（図示せず）などを介して貼りあわせる。シール材には樹脂とファイバーを含ませた。また、ショートを防ぐため柱状のスペーサが補助容量部に重ならないようにした。また、画素部においてはディスクリ低減のため、画素電極のコンタクト上に柱状のスペーサを設けた。その後、両基板の間に液晶 1405 を注入し、封止剤（図示せず）によって完全に封止する。液晶には公知の液晶材料を用いれば良い。このようにして図 12 に示す液晶表示装置が完成する。

30

【0150】

次に、この液晶表示装置の構成を、図 13 の斜視図を用いて説明する。なお、図 13 は、図 12 の断面構造図と対応付けるため、共通の符号を用いている。石英基板 801 上には、画素部 1301 と、ゲート側ドライバー回路 1302 と、ソース側ドライバー回路 1303 が形成されている。画素部の画素 TFT1104 は n チャネル型 TFT であり、周辺に設けられるドライバー回路は CMOS 回路を基本として構成されている。ゲート側ドライバー回路 1302 と、ソース側ドライバー回路 1303 はそれぞれゲート配線 828 とソース配線 854 で画素部 1301 に接続されている。また、FPC1304 が接続された外部入出力端子 1305 からドライバー回路の入出力端子までの接続配線 1306、1307 が設けられている。

40

【0151】

次に、図 13 に示した液晶表示装置の回路構成の一例を図 14 に示す。本実施例の液晶表示装置は、ソース側ドライバー回路 1401、ゲート側ドライバー回路 (A) 1407、ゲート側ドライバー回路 (B) 1411、プリチャージ回路 1412、画素部 1406 を

50

有している。なお、本明細書中において、ドライバー回路にはソース側ドライバー回路 1401 およびゲート側ドライバー回路 1407 が含まれる。

【0152】

ソース側ドライバー回路 1401 は、シフトレジスタ回路 1402、レベルシフタ回路 1403、バッファ回路 1404、サンプリング回路 1405 を備えている。また、ゲート側ドライバー回路 (A) 1407 は、シフトレジスタ回路 1408、レベルシフタ回路 1409、バッファ回路 1410 を備えている。ゲート側ドライバー回路 (B) 1411 も同様な構成である。

【0153】

なお、本実施例の構成は、図 8～11 に示した工程に従って TFT を作製することによって容易に実現することができる。また、本実施例では画素部とドライバー回路の構成のみ示しているが、本実施例の作製工程に従えば、その他にも信号分割回路、分周波回路、D/A コンバータ回路、オペアンプ回路、補正回路、さらにはマイクロプロセッサ回路などの信号処理回路（論理回路と言っても良い）を同一基板上に形成することも可能である。

10

【0154】

このように本発明は、同一基板上に画素部と該画素部を制御するためのドライバー回路とを少なくとも含む半導体装置、例えば同一基板上に信号処理回路、ドライバー回路および画素部とを具備した半導体装置を実現しうる。

20

【実施例 2】

【0155】

本実施例では、実施例 1 において結晶質シリコン膜中の触媒元素の低減に他の手段を用いた場合について説明する。

【0156】

実施例 1 においては、リン元素を選択的に添加した後に加熱処理を行い結晶質シリコン膜中の触媒元素を低減するゲッタリングと、ハロゲン元素を含む酸化性雰囲気中で熱処理によるゲッタリングを行ったが、本実施例においては、ゲート電極を形成後、リン元素を添加し、500～650 の熱処理を 2～16 時間の熱処理を行例を示す。

【0157】

まず、実施例 1 の工程に従って図 10 (C) の状態を得た。次いで、 $5 \times 10^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ (好ましくは $1 \times 10^{19} \sim 5 \times 10^{19} \text{ atoms/cm}^3$) の濃度となるようにゲート電極をマスクとして活性層にリンの添加を行う。但し、添加すべきリンの濃度は、後のゲッタリング工程の温度、時間、さらにはリンドープ領域の面積によって変化するため、この濃度範囲に限定されるものではない。こうしてリンが添加された領域（以下、リンドープ領域という）が形成された。（図 15 (A)）

30

【0158】

次いで、500～650 の熱処理を 2～16 時間加え、珪素膜の結晶化に用いた触媒元素（本実施例ではニッケル）のゲッタリングを行う。ゲッタリング作用を奏するためには熱履歴の最高温度から ± 50 程度の温度が必要であるが、結晶化のための熱処理が 550～600 で行われるため、500～650 の熱処理で十分にゲッタリング作用を奏することができる。本実施例では 600、8 時間の熱処理を加えることによってニッケルが矢印（図 15 (B) に示す）

40

の方向に移動し、リンドープ領域に含まれるリンによってゲッタリングされて捕獲された。こうしてゲッタリング領域（リンドープ領域に対応する領域）が形成される。これにより、リンドープ領域に含まれるニッケルの濃度は $2 \times 10^{17} \text{ atoms/cm}^3$ 以下（好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下）にまで低減される。

【0159】

次いで、実施例 1 と同様に第 1 層間絶縁膜を形成する。（図 15 (C)）

【0160】

以降の工程は実施例 1 に従って図 12 に示したような半導体装置を完成すればよい。

50

【0161】

また、その他のゲッタリング方法として、高温の硫酸を用いた液相を接触させることによりゲッタリングする方法を用いてもよい。

【0162】

なお、本実施例の構成は実施例1の構成と組み合わせることが可能である。

【実施例3】

【0163】

実施例1における図9(A)に示した熱酸化工程までの工程を経た活性層の結晶構造は結晶格子に連続性を持つ特異な結晶構造となる。その特徴について以下に説明する。

【0164】

実施例1の作製工程に従って形成した結晶質シリコン膜は、微視的に見れば複数の棒状又は柱状の結晶が集まって並んだ結晶構造を有する。このことはTEM(透過型電子顕微鏡法)による観察で容易に確認できた。

【0165】

また、電子線回折及びエックス線(X線)回折を利用すると活性層の表面(チャネルを形成する部分)が、結晶軸に多少のずれが含まれているものの主たる配向面として{110}面を有することを確認できた。本出願人がスポット径約1.5μmの電子線回折写真を詳細に観察した結果、{110}面に対応する回折斑点がきれいに現れているが、各斑点は同心円上に分布を持っていることが確認された。

【0166】

また、本出願人は個々の棒状結晶が接して形成する結晶粒界をHR-TEM(高分解能透過型電子顕微鏡法)により観察し、結晶粒界において結晶格子に連続性があることを確認した。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認できた。

【0167】

なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi , Japanese Journal of Applied Physics vol.27 , No.5 , pp.751-758 , 1988」に記載された「Planar boundary」である。

【0168】

上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊なtwist粒界などが含まれる。この平面状粒界は電気的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0169】

特に結晶軸(結晶面に垂直な軸)が110軸である場合、{211}双晶粒界は3の対応粒界とも呼ばれる。値は対応粒界の整合性の程度を示す指針となるパラメータであり、値が小さいほど整合性の良い粒界であることが知られている。

【0170】

本出願人が本実施例を実施して得た結晶質シリコン膜を詳細にTEMを用いて観察した結果、結晶粒界の殆ど(90%以上、典型的には95%以上)が3の対応粒界、即ち{211}双晶粒界であることが判明した。

【0171】

二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が{110}である場合、{111}面に対応する格子縞がなす角を θ とすると、 $\theta = 70.5^\circ$ の時に3の対応粒界となることが知られている。

【0172】

本実施例の結晶質シリコン膜は、結晶粒界において隣接する結晶粒の各格子縞がまさに約70.5°の角度で連続しており、その事からこの結晶粒界は{211}双晶粒界であると

10

20

30

40

50

いう結論に辿り着いた。

【0173】

なお、 $\theta = 38.9^\circ$ の時には 9 の対応粒界となるが、この様な他の結晶粒界も存在した。

【0174】

この様な対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、本実施例を実施して得た結晶質シリコン膜は面方位が概略 {110} で揃っているからこそ、広範囲に渡ってこの様な対応粒界を形成しうる。

【0175】

この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、この様な結晶構造を有する結晶質シリコン膜は実質的に結晶粒界が存在しない見なすことができる。

【0176】

またさらに、700 ~ 1150 という高い温度での熱処理工程（本実施例における熱酸化工程またはゲッタリング工程にあたる）によって結晶粒内に存在する欠陥が殆ど消滅していることがTEM観察によって確認されている。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることからも明らかである。

【0177】

この欠陥数の差は電子スピン共鳴分析（Electron Spin Resonance : ESR）によってスピン密度の差となって現れる。現状では本実施例の作製工程に従って作製された結晶質シリコン膜のスピン密度は少なくとも $5 \times 10^{17} \text{ spins/cm}^3$ 以下（好ましくは $3 \times 10^{17} \text{ spins/cm}^3$ 以下）であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0178】

（TFTの電気特性に関する知見）

本実施例の活性層を用いたTFTは、MOSFETに匹敵する電気特性を示した。本出願人が試作したTFT（但し、活性層の膜厚は30nm、ゲート絶縁膜の膜厚は100nm）からは次に示す様なデータが得られている。

【0179】

（1）スイッチング性能（オン／オフ動作切り換えの俊敏性）の指標となるサブスレッショルド係数が、Nチャネル型TFTおよびPチャネル型TFTともに60 ~ 100mV/decade（代表的には60 ~ 85mV/decade）と小さい。

（2）TFTの動作速度の指標となる電界効果移動度（ μ_{FE} ）が、Nチャネル型TFTで 200 ~ 650cm²/Vs（代表的には 300 ~ 500cm²/Vs）、Pチャネル型TFTで 100 ~ 300cm²/Vs（代表的には 150 ~ 200cm²/Vs）と大きい。

（3）TFTの駆動電圧の指標となるしきい値電圧（ V_{th} ）が、Nチャネル型TFTで -0.5 ~ 1.5 V、Pチャネル型TFTで -1.5 ~ 0.5 V と小さい。

【0180】

以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。なお、本実施例の構成は、実施例1または実施例2の構成とも自由に組み合わせることが可能である。但し、非晶質半導体膜の結晶化に、実施例1または実施例2で示したような結晶化を助長する触媒元素を用いていることが重要である。

【実施例4】

【0181】

本発明は従来のMOSFET上に層間絶縁膜を形成し、その上にTFTを形成する際に用いることも可能である。即ち、三次元構造の半導体装置を実現することも可能である。また、基板としてSIMOX、Smart-Cut（SOITEC社の登録商標）、ELTRAN（キャノン株式会社の登録商標）などのSOI基板を用いることも可能である。

10

20

30

40

50

【0182】

なお、本実施例の構成は、実施例1または実施例2の構成とも自由に組み合わせることが可能である。

【実施例5】

【0183】

本発明はアクティブマトリクス型ELディスプレイに適用することも可能である。その例を図16に示す。

【0184】

図16はアクティブマトリクス型ELディスプレイの回路図である。81は表示領域を表しており、その周辺にはX方向駆動回路82、Y方向駆動回路83が設けられている。また、表示領域81の各画素は、スイッチ用TFT84、保持容量85、電流制御用TFT86、有機EL素子87を有し、スイッチ用TFT84にX方向信号線88a(または88b)、Y方向信号線89a(または89b、89c)が接続される。また、電流制御用TFT86には、電源線90a、90bが接続される。

10

【0185】

本実施例のアクティブマトリクス型ELディスプレイでは、X方向駆動回路82、Y方向駆動回路83に用いられるTFTを図11(B)のpチャネル型TFT1101、nチャネル型TFT1102または1103を組み合わせて形成する。また、スイッチ用TFT84や電流制御用TFT86のTFTを図5(B)のnチャネル型TFT1104で形成する。

20

【0186】

なお、本実施例のアクティブマトリクス型ELディスプレイに対して、実施例1または実施例2の構成を組み合わせても良い。

【実施例6】

【0187】

実施例1によって作製された液晶表示装置には、TN液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al.や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al.や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al.や、米国特許第5594569号に開示された液晶を用いることが可能である。

30

【0188】

ある温度域において反強誘電相を示す液晶を反強誘電性液晶という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しきい値反強誘電性混合液晶と呼ばれるものがある。この無しきい値反強誘電性混合液晶は、V字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度(セル厚約1μm~2μm)のものも見出されている。

40

【0189】

ここで、V字型の電気光学応答を示す無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す例を図17に示す。図17に示すグラフの縦軸は透過率(任意単位)、横軸は印加電圧である。なお、液晶表示装置の入射側の偏光板の透過軸は、液晶表示装置のラビング方向にほぼ一致する無しきい値反強誘電性混合液晶のスメクティック層の法線方向とほぼ平行に設定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の透過軸に対してほぼ直角(クロスニコル)に設定されている。

【0190】

図17に示されるように、このような無しきい値反強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。

50

【0191】

このような低電圧駆動の無しきい値反強誘電性混合液晶をアナログドライバを有する液晶表示装置に用いた場合には、画像信号のサンプリング回路の電源電圧を、例えば、5V～8V程度に抑えることが可能となる。よって、ドライバの動作電源電圧を下げる事ができ、液晶表示装置の低消費電力化および高信頼性が実現できる。

【0192】

また、このような低電圧駆動の無しきい値反強誘電性混合液晶をデジタルドライバを有する液晶表示装置に用いた場合にも、D/A変換回路の出力電圧を下げる事ができるので、D/A変換回路の動作電源電圧を下げる事ができ、ドライバの動作電源電圧を低くする事ができる。よって、液晶表示装置の低消費電力化および高信頼性が実現できる。

10

【0193】

よって、このような低電圧駆動の無しきい値反強誘電性混合液晶を用いることは、比較的LDD領域（低濃度不純物領域）の幅が小さなTFT（例えば、0nm～500nmまたは0nm～200nm）を用いる場合においても有効である。

【0194】

また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。また、液晶表示装置の駆動方法を線順次駆動とすることにより、画素への階調電圧の書き込み期間（ピクセルフィードピリオド）を長くし、保持容量が小さくてもそれを補うようにしてもよい。

20

【0195】

なお、このような無しきい値反強誘電性混合液晶を用いることによって低電圧駆動が実現されるので、液晶表示装置の低消費電力が実現される。

【0196】

なお、図17に示すような電気光学特性を有する液晶であれば、いかなるものも本発明の液晶表示装置の表示部として用いることができる。

【0197】

また、本実施例の構成は、実施例1または実施例2の構成とも自由に組み合わせることが可能である。

30

【実施例7】

【0198】

本願発明を実施して形成されたCMOS回路や画素マトリクス回路は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイ、アクティブマトリクス型ECディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

【0199】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、パソコンコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図18、図19、及び図20に示す。

40

【0200】

図18（A）はパソコンコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004で構成される。本願発明を画像入力部2002、表示部2003やその他の駆動回路に適用することができる。

【0201】

図18（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示部2102、音声入力部2103やその他の駆動回路に適用することができる

50

。

【0202】

図18(C)はモバイルコンピュータ(モービルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205で構成される。本願発明は表示部2205やその他の駆動回路に適用できる。

【0203】

図18(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303で構成される。本発明は表示部2302やその他の駆動回路に適用することができる。

【0204】

図18(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402やその他の駆動回路に適用することができる。

【0205】

図18(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)で構成される。本願発明を表示部2502やその他の駆動回路に適用することができる。

10

20

【0206】

図19(A)はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本発明は投射装置2601の一部を構成する液晶表示装置2808やその他の信号制御回路に適用することができる。

【0207】

図19(B)はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本発明は投射装置2702の一部を構成する液晶表示装置2808やその他の信号制御回路に適用することができる。

30

【0208】

なお、図19(C)は、図19(A)及び図19(B)中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804~2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図19(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0209】

また、図19(D)は、図19(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図19(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

40

【0210】

ただし、図19に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及びEL表示装置での適用例は図示していない。

【0211】

図20(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本願発明を

50

音声出力部 2902、音声入力部 2903、表示部 2904 やその他の駆動回路に適用することができる。

【0212】

図 20 (B) は携帯書籍 (電子書籍) であり、本体 3001、表示部 3002、3003、記憶媒体 3004、操作スイッチ 3005、アンテナ 3006 等を含む。本発明は表示部 3002、3003 やその他の駆動回路に適用することができる。

【0213】

図 20 (C) はディスプレイであり、本体 3101、支持台 3102、表示部 3103 等を含む。本発明は表示部 3103 に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角 10 インチ以上 (特に 30 インチ以上) のディスプレイには有利である。

10

【0214】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することができる。また、本実施例の電子機器は実施例 1 ~ 6 のどのような組み合わせからなる構成を用いても実現することができる。

【実施例 8】

【0215】

本実施例では、本発明を用いて E L (エレクトロルミネンス) 表示装置を作製した例について説明する。なお、図 23 (A) は本発明の E L 表示装置の上面図であり、図 23 (B) はその断面図である。

20

【0216】

図 23 (A) において、4001 は基板、4002 は画素部、4003 はソース側駆動回路、4004 はゲート側駆動回路であり、それぞれの駆動回路は配線 4005 を経て F P C (フレキシブルプリントサーキット) 4006 に至り、外部機器へと接続される。

【0217】

このとき、画素部 4002、ソース側駆動回路 4003 及びゲート側駆動回路 4004 を囲むようにして第 1 シール材 4101、カバー材 4102、充填材 4103 及び第 2 シール材 4104 が設けられている。

【0218】

また、図 23 (B) は図 23 (A) を A - A' で切断した断面図に相当し、基板 4001 の上にソース側駆動回路 4003 に含まれる駆動 TFT (但し、ここでは n チャネル型 TFT と p チャネル型 TFT を図示している。) 4201 及び画素部 4002 に含まれる電流制御用 TFT (E L 素子への電流を制御する TFT) 4202 が形成されている。

30

【0219】

本実施例では、駆動 TFT 4201 には図 12 の p チャネル型 TFT または n チャネル型 TFT と同じ構造の TFT が用いられ、電流制御用 TFT 4202 には図 12 の p チャネル型 TFT と同じ構造の TFT が用いられる。また、画素部 4002 には電流制御用 TFT 4202 のゲートに接続された保持容量 (図示せず) が設けられる。

【0220】

駆動 TFT 4201 及び画素 TFT 4202 の上には樹脂材料である層間絶縁膜 (平坦化膜) 4301 が形成され、その上に画素 TFT 4202 のドレインと電気的に接続する画素電極 (陽極) 4302 が形成される。画素電極 4302 としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

40

【0221】

そして、画素電極 4302 の上には絶縁膜 4303 が形成され、絶縁膜 4303 は画素電極 4302 の上に開口部が形成されている。この開口部において、画素電極 4302 の上には E L (エレクトロルミネンス) 層 4304 が形成される。E L 層 4304 は公知の有機 E L 材料または無機 E L 材料を用いることができる。また、有機 E L 材料には低

50

分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【0222】

EL層4304の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、EL層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0223】

EL層4304の上には周期表の1族または2族に属する元素を含む導電膜（代表的にはアルミニウム、銅もしくは銀に、アルカリ金属元素もしくはアルカリ土類金属元素を含ませた導電膜）からなる陰極4305が形成される。また、陰極4305とEL層4304の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、EL層4304を窒素または希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極4305を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

10

【0224】

そして陰極4305は4306で示される領域において配線4005に電気的に接続される。配線4005は陰極4305に所定の電圧を与えるための配線であり、異方導電性フィルム4307を介してFPC4006に電気的に接続される。

20

【0225】

以上のようにして、画素電極（陽極）4302、EL層4304及び陰極4305からなるEL素子が形成される。このEL素子は、第1シール材4101及び第1シール材4101によって基板4001に貼り合わされたカバー材4102で囲まれ、充填材4103により封入されている。

30

【0226】

カバー材4102としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiber glass-Reinforced Plastic）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

30

【0227】

但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0228】

また、充填材4103としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材4103の内部に吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質を設けておくとEL素子の劣化を抑制できる。

40

【0229】

また、充填材4103の中にスペーサを含有させてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることができる。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陰極4305上に樹脂膜を設けることも有効である。

【0230】

また、配線4005は異方導電性フィルム4307を介してFPC4006に電気的に接続される。配線4005は画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004に送られる信号をFPC4006に伝え、FPC4006により外部機器

50

と電気的に接続される。

【0231】

また、本実施例では第1シール材4101の露呈部及びFPC4006の一部を覆うように第2シール材4104を設け、EL素子を徹底的に外気から遮断する構造となっている。こうして図23(B)の断面構造を有するEL表示装置となる。

【0232】

ここで画素部のさらに詳細な断面構造を図24に、上面構造を図25(A)に、回路図を図25(B)に示す。図24、図25(A)及び図25(B)では共通の符号を用いるので互いに参照すれば良い。

【0233】

図24において、基板4401上に設けられたスイッチング用TFT4402は図12のnチャネル型TFT1102を用いて形成される。従って、構造の説明はnチャネル型TFT1102の説明を参照すれば良い。また、4403で示される配線は、スイッチング用TFT4402のゲート電極4404a、4404bを電気的に接続するゲート配線である。

【0234】

なお、本実施例ではチャネル形成領域が二つ形成されるダブルゲート構造としているが、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0235】

また、スイッチング用TFT4402のドレイン配線4405は電流制御用TFT4406のゲート電極4407に電気的に接続されている。なお、電流制御用TFT4406は図12のpチャネル型TFT1101を用いて形成される。

従って、構造の説明はpチャネル型TFT1101の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0236】

スイッチング用TFT4402及び電流制御用TFT4406の上には第1パッシベーション膜4408が設けられ、その上に樹脂からなる平坦化膜4409が形成される。平坦化膜4409を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0237】

また、4410は透明導電膜からなる画素電極(EL素子の陽極)であり、電流制御用TFT4406のドレイン配線4417に電気的に接続される。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0238】

画素電極4410の上にはEL層4411が形成される。なお、図24では一画素しか図示していないが、本実施例ではR(赤)、G(緑)、B(青)の各色に対応したEL層を作り分けている。また、本実施例では蒸着法により低分子系有機EL材料を形成している。具体的には、正孔注入層として20nm厚の銅フタロシアニン(CuPc)膜を設け、その上に発光層として70nm厚のトリス-8-キノリノラトアルミニウム錯体(A1q₃)膜を設けた積層構造としている。A1q₃にキナクリドン、ペリレンもしくはDCM1といった蛍光色素を添加することで発光色を制御することができる。

【0239】

但し、以上の例はEL層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わ

10

20

30

40

50

せて E L 層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、本実施例では低分子系有機 E L 材料を E L 層として用いる例を示したが、高分子系有機 E L 材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。

これらの有機 E L 材料や無機材料は公知の材料を用いることができる。

【0240】

次に、E L 層 4 4 1 1 の上には導電膜からなる陰極 4 4 1 2 が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知の M g A g 膜（マグネシウムと銀との合金膜）を用いても良い。陰極材料としては、周期表の 1 族もしくは 2 族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

10

【0241】

この陰極 4 4 1 2 まで形成された時点では E L 素子 4 4 1 3 が完成する。なお、ここでいう E L 素子 4 4 1 3 は、画素電極（陽極）4 4 1 0 、E L 層 4 4 1 1 及び陰極 4 4 1 2 で形成されたコンデンサを指す。

【0242】

次に、本実施例における画素の上面構造を図 25 (A) を用いて説明する。スイッチング用 T F T 4 4 0 2 のソースはソース配線 4 4 1 5 に接続され、ドレインはドレイン配線 4 4 0 5 に接続される。また、ドレイン配線 4 4 0 5 は電流制御用 T F T 4 4 0 6 のゲート電極 4 4 0 7 に電気的に接続される。また、電流制御用 T F T 4 4 0 6 のソースは電流供給線 4 4 1 6 に電気的に接続され、ドレインはドレイン配線 4 4 1 7 に電気的に接続される。また、ドレイン配線 4 4 1 7 は点線で示される画素電極（陽極）4 4 1 8 に電気的に接続される。

20

【0243】

このとき、4 4 1 9 で示される領域には保持容量が形成される。保持容量 4 4 1 9 は、電流供給線 4 4 1 6 と電気的に接続された半導体膜 4 4 2 0 、ゲート絶縁膜と同一層の絶縁膜（図示せず）及びゲート電極 4 4 0 7 との間で形成される。また、ゲート電極 4 4 0 7 、第 1 層間絶縁膜と同一の層（図示せず）及び電流供給線 4 4 1 6 で形成される容量も保持容量として用いることが可能である。

30

【実施例 9】

【0244】

本実施例では、実施例 8 とは異なる画素構造を有した E L 表示装置について説明する。説明には図 26 を用いる。なお、図 25 と同一の符号が付してある部分については実施例 8 の説明を参照すれば良い。

【0245】

図 26 では電流制御用 T F T 4 5 0 1 として図 12 の n チャネル型 T F T 1 1 0 2 と同一構造の T F T を用いる。勿論、電流制御用 T F T 4 5 0 1 のゲート電極 4 5 0 2 はスイッチング用 T F T 4 4 0 2 のドレイン配線 4 4 0 5 に電気的に接続されている。また、電流制御用 T F T 4 5 0 1 のドレイン配線 4 5 0 3 は画素電極 4 5 0 4 に電気的に接続されている。

40

【0246】

本実施例では、導電膜からなる画素電極 4 5 0 4 が E L 素子の陰極として機能する。具体的には、アルミニウムとリチウムとの合金膜を用いるが、周期表の 1 族もしくは 2 族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0247】

画素電極 4 5 0 4 の上には E L 層 4 5 0 5 が形成される。なお、図 26 では一画素しか図示していないが、本実施例では G (緑) に対応した E L 層を蒸着法及び塗布法（好ましくはスピンコーティング法）により形成している。具体的には、電子注入層として 2 0 n m 厚のフッ化リチウム (L i F) 膜を設け、その上に発光層として 7 0 n m 厚の P P V (ポリパラフェニレンビニレン) 膜を設けた積層構造としている。

50

【0248】

次に、EL層4505の上には透明導電膜からなる陽極4506が設けられる。本実施例の場合、透明導電膜として酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いる。

【0249】

この陽極4506まで形成された時点でEL素子4507が完成する。なお、ここでいうEL素子4507は、画素電極(陰極)4504、EL層4505及び陽極4506で形成されたコンデンサを指す。

【0250】

EL素子に加える電圧が10V以上といった高電圧の場合には、電流制御用TFT4501においてホットキャリア効果による劣化が顕在化してくる。このような場合に、電流制御用TFT4501として本発明の構造のnチャネル型TFTを用いることは有効である。

10

【0251】

また、本実施例の電流制御用TFT4501はゲート電極4502とLDD領域4509との間にゲート容量と呼ばれる寄生容量を形成する。このゲート容量を調節することでき図25(A)、(B)に示した保持容量4419と同等の機能を持たせることも可能である。特に、EL表示装置をデジタル駆動方式で動作させる場合においては、保持容量のキャパシタンスがアナログ駆動方式で動作させる場合よりも小さくて済むため、ゲート容量で保持容量を代用しうる。

20

【0252】

なお、EL素子に加える電圧が10V以下、好ましくは5V以下となった場合、上記ホットキャリア効果による劣化はさほど問題とならなくなるため、図26においてLDD領域4509を省略した構造のnチャネル型TFTを用いても良い。

【実施例10】

【0253】

本実施例では、実施例8もしくは実施例9に示したEL表示装置の画素部に用いることができる画素構造の例を図27(A)～(C)に示す。なお、本実施例において、4601はスイッチング用TFT4602のソース配線、4603はスイッチング用TFT4602のゲート配線、4604は電流制御用TFT、4605はコンデンサ、4606、4608は電流供給線、4607はEL素子とする。

30

【0254】

図27(A)は、二つの画素間で電流供給線4606を共通とした場合の例である。即ち、二つの画素が電流供給線4606を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0255】

また、図27(B)は、電流供給線4608をゲート配線4603と平行に設けた場合の例である。なお、図27(B)では電流供給線4608とゲート配線4603とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線4608とゲート配線4603とで専有面積を共有させることができるために、画素部をさらに高精細化することができる。

40

【0256】

また、図27(C)は、図27(B)の構造と同様に電流供給線4608をゲート配線4603a、4603bと平行に設け、さらに、二つの画素を電流供給線4608を中心に線対称となるように形成する点に特徴がある。また、電流供給線4608をゲート配線4603のいずれか一方と重なるように設けることも有効である。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【実施例11】

50

【0257】

本実施例では、本発明を実施したEL表示装置の画素構造の例を図28(A)、(B)に示す。なお、本実施例において、4701はスイッチング用TFT4702のソース配線、4703はスイッチング用TFT4702のゲート配線、4704は電流制御用TFT、4705はコンデンサ(省略することも可能)、4706は電流供給線、4707は電源制御用TFT、4709は電源制御用ゲート配線、4708はEL素子とする。電源制御用TFT4707の動作については特願平11-341272号を参照すると良い。

【0258】

また、本実施例では電源制御用TFT4707を電流制御用TFT4704とEL素子4708との間に設けているが、電源制御用TFT4707とEL素子4708との間に電流制御用TFT4704が設けられた構造としても良い。また、電源制御用TFT4707は電流制御用TFT4704と同一構造とするか、同一の活性層で直列させて形成するのが好ましい。

10

【0259】

また、図28(A)は、二つの画素間で電流供給線4706を共通とした場合の例である。即ち、二つの画素が電流供給線4706を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

20

【0260】

また、図28(B)は、ゲート配線4703と平行に電流供給線4710を設け、ソース配線4701と平行に電源制御用ゲート配線4711を設けた場合の例である。なお、図28(B)では電流供給線4710とゲート配線4703とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線4710とゲート配線4703とで専有面積を共有させることができるために、画素部をさらに高精細化することができる。

30

【実施例12】

【0261】

本実施例では、本発明を実施したEL表示装置の画素構造の例を図29(A)、(B)に示す。なお、本実施例において、4801はスイッチング用TFT4802のソース配線、4803はスイッチング用TFT4802のゲート配線、4804は電流制御用TFT、4805はコンデンサ(省略することも可能)、4806は電流供給線、4807は消去用TFT、4808は消去用ゲート配線、4809はEL素子とする。消去用TFT4807の動作については特願平11-338786号を参照すると良い。

30

【0262】

消去用TFT4807のドレインは電流制御用TFT4804のゲートに接続され、電流制御用TFT4804のゲート電圧を強制的に変化させることができるようにになっている。なお、消去用TFT4807はnチャネル型TFTとしてもpチャネル型TFTとしても良いが、オフ電流を小さくできるようにスイッチング用TFT4802と同一構造とすることが好ましい。

40

【0263】

また、図29(A)は、二つの画素間で電流供給線4806を共通とした場合の例である。即ち、二つの画素が電流供給線4806を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0264】

また、図29(B)は、ゲート配線4803と平行に電流供給線4810を設け、ソース配線4801と平行に消去用ゲート配線4811を設けた場合の例である。なお、図29(B)では電流供給線4810とゲート配線4803とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるよう

50

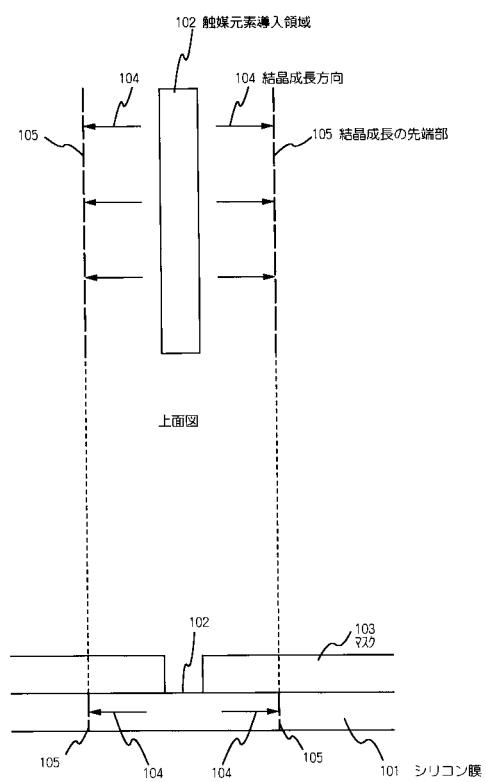
に設けることもできる。この場合、電流供給線 4810 とゲート配線 4803 とで専有面積を共有させることができるので、画素部をさらに高精細化することができる。

【実施例 13】

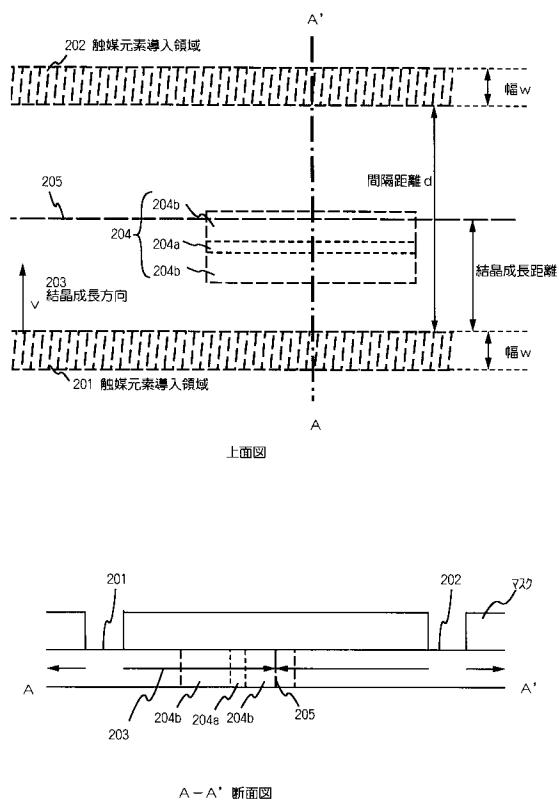
【0265】

また、本発明を実施した E L 表示装置は画素内にいくつの TFT を設けた構造としても良い。例えば、四つ乃至六つまたはそれ以上の TFT を設けても構わない。本発明は E L 表示装置の画素構造に限定されずに実施することができる。

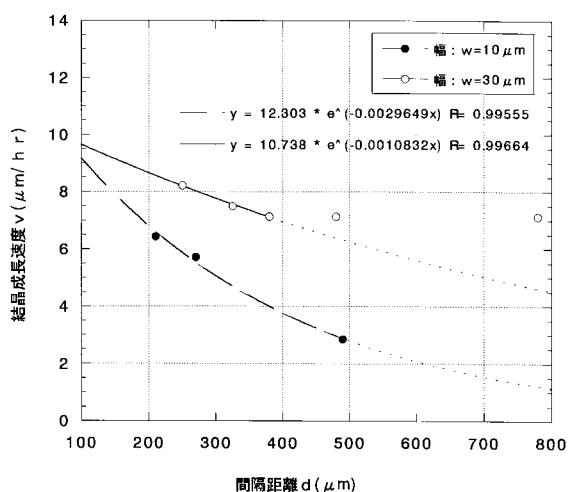
【図 1】



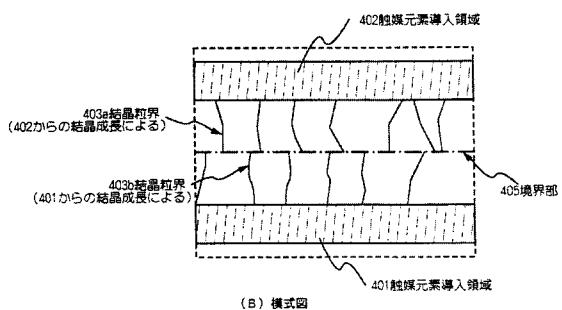
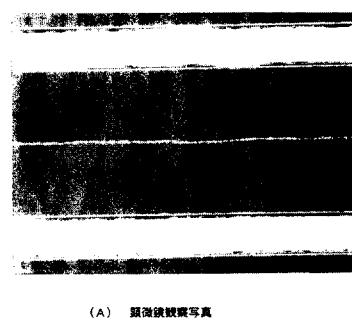
【図 2】



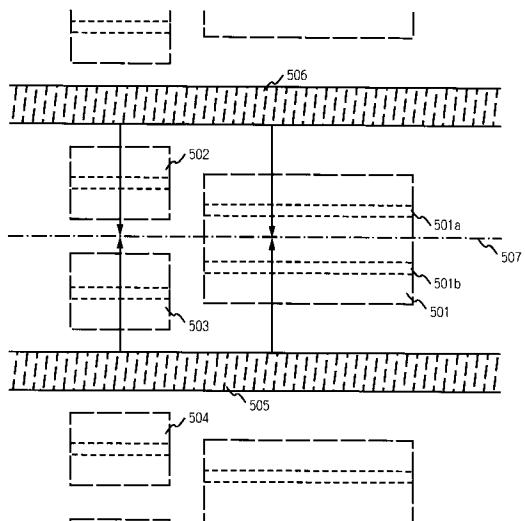
【図3】



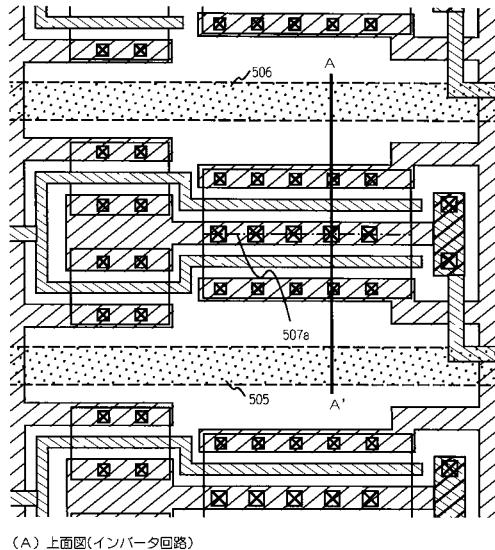
【図4】



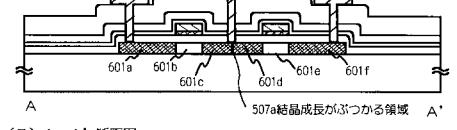
【図5】



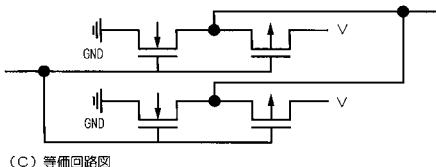
【図6】



(A) 上面図(インバータ回路)

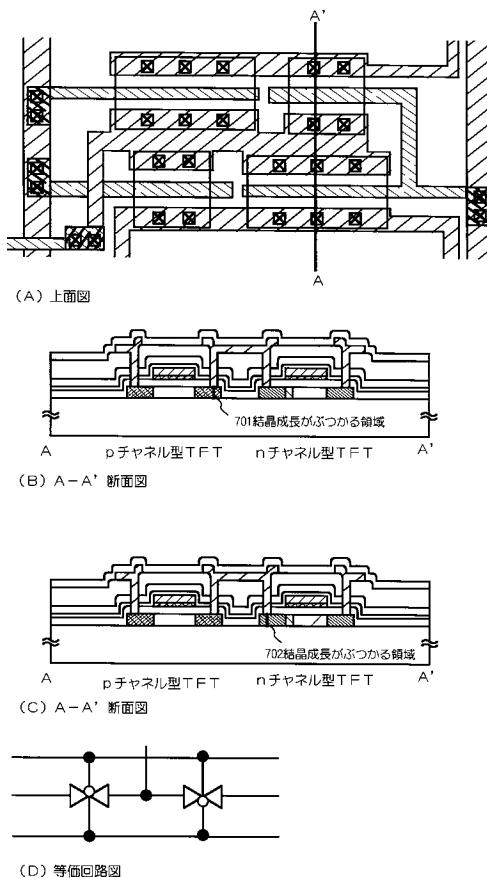


(B) A-A'断面図

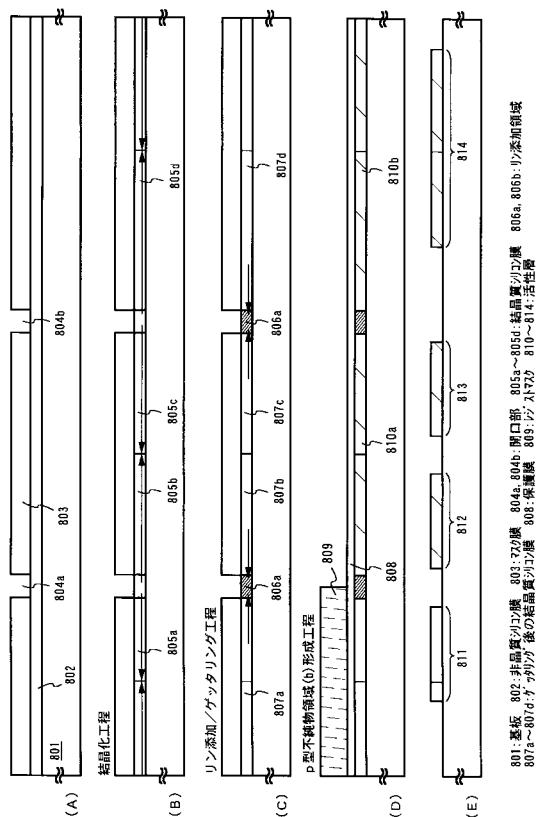


(C) 等価回路図

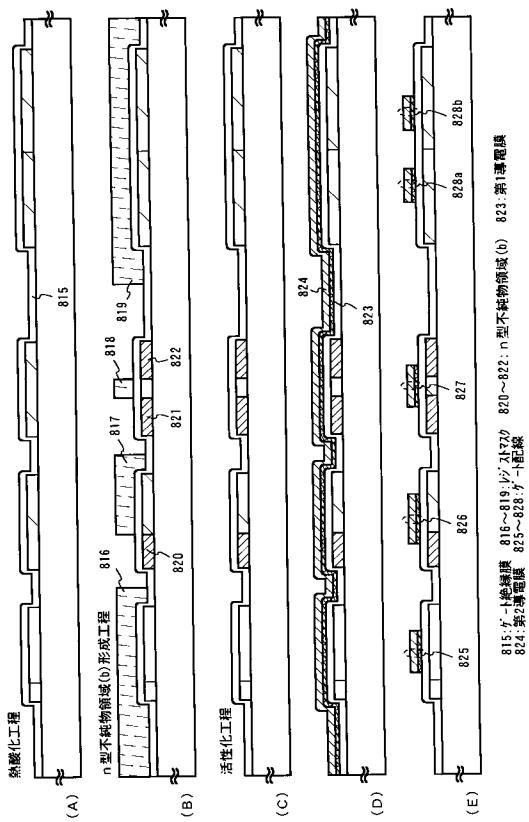
【 図 7 】



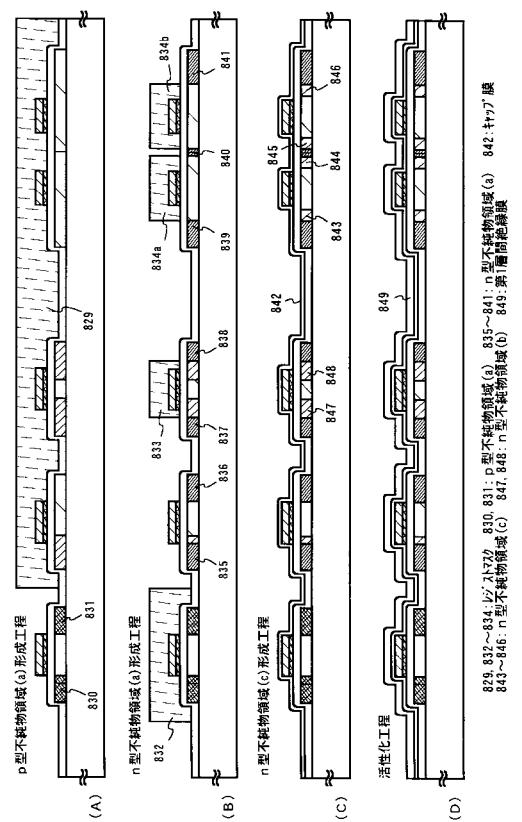
〔 四 8 〕



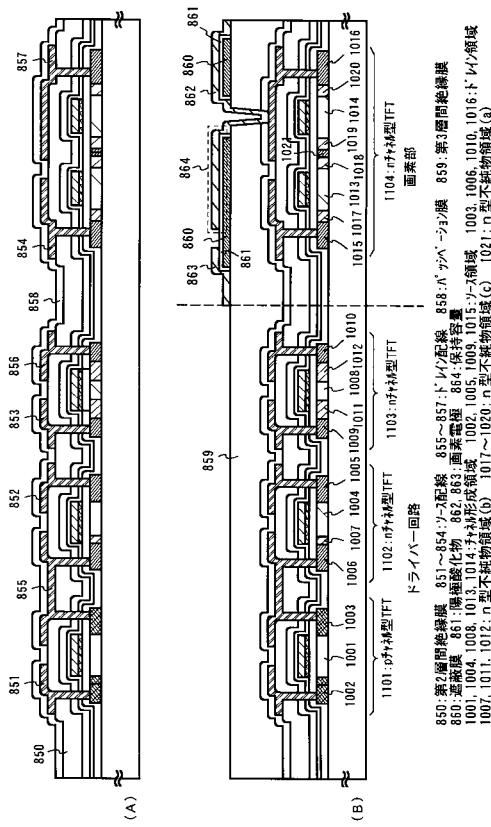
【 図 9 】



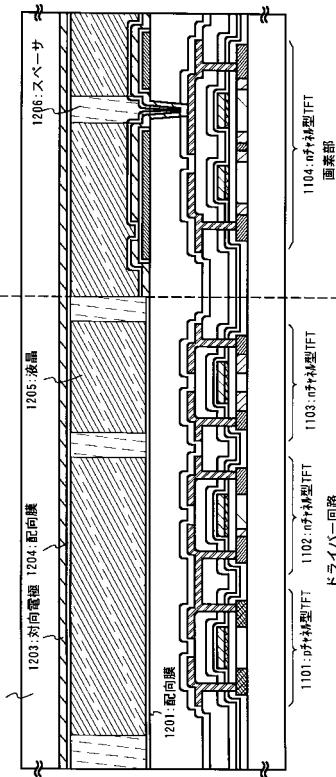
【 囮 1 0 】



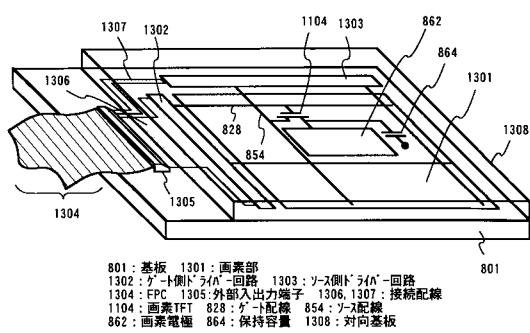
【 図 1 1 】



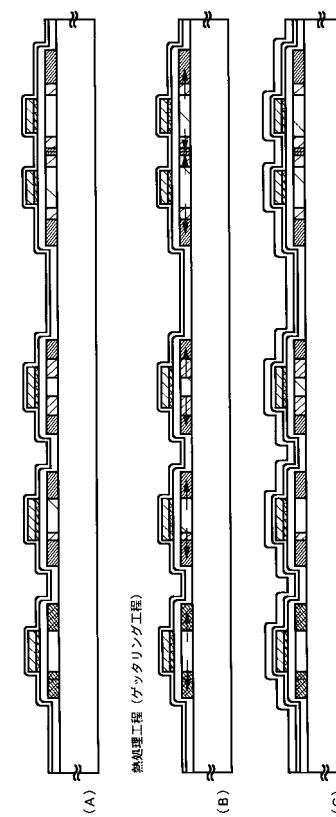
【 図 1 2 】



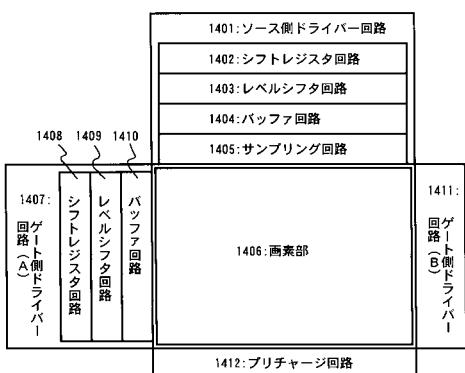
【 13 】



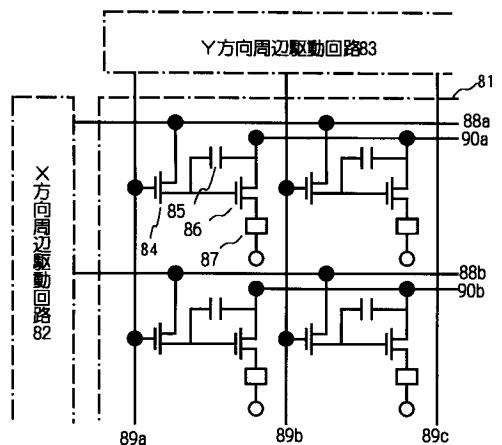
【 义 1 5 】



【 図 1 4 】

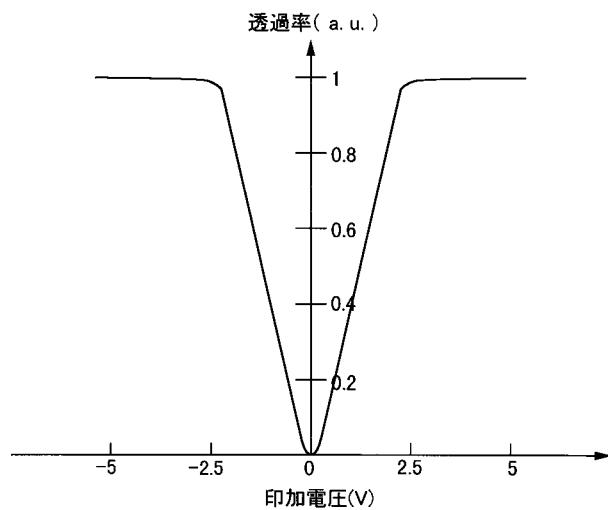


【図16】

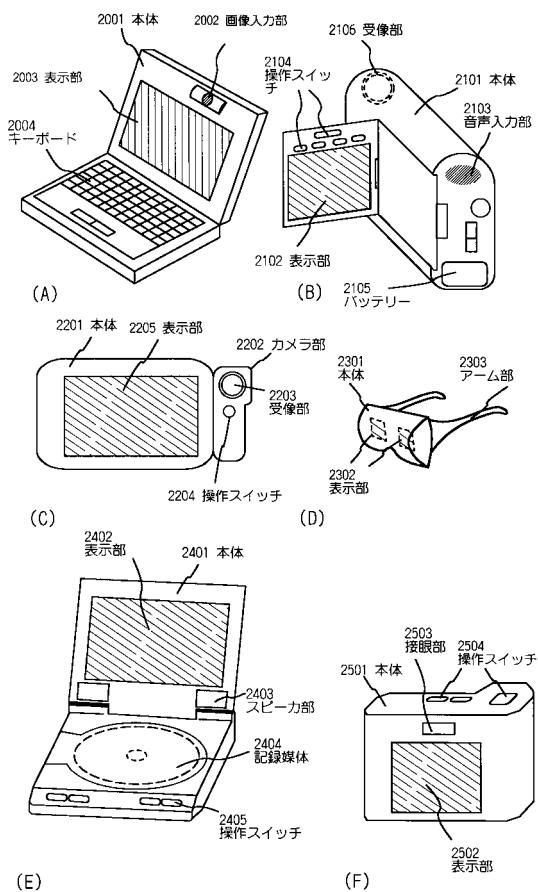


81:表示領域 82:X方向周辺駆動回路 83:Y方向周辺駆動回路
84:スイッチ用TFT 85:コンデンサ 86:電流制御用TFT 87:有機EL素子
88a, 88b: X方向信号線 90a, 90b: 電源線 89a, 89b, 89c: Y方向信号線

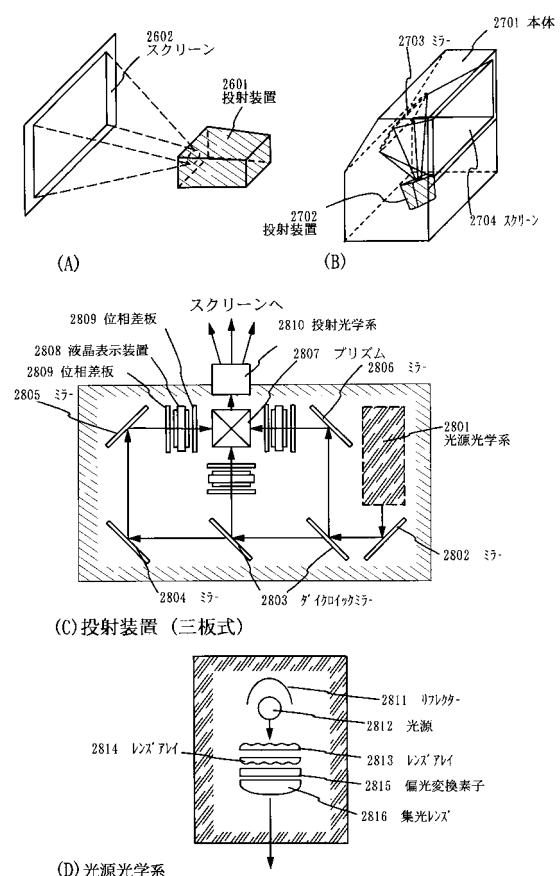
【図17】



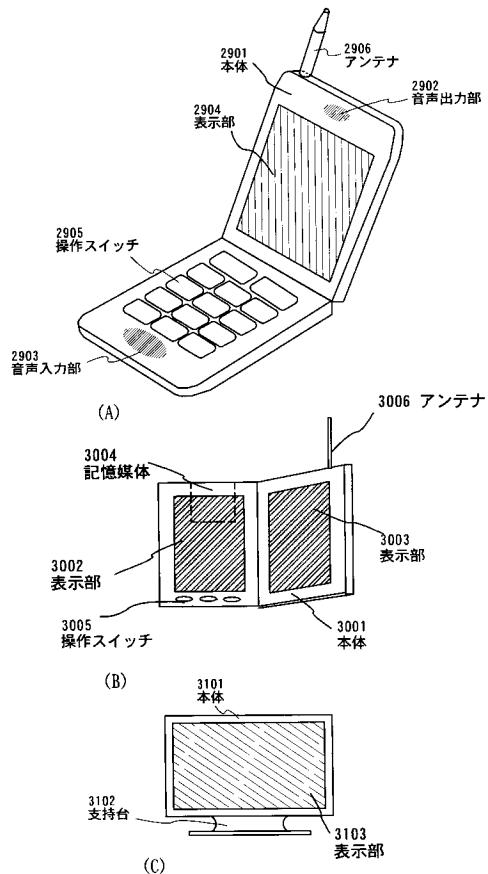
【図18】



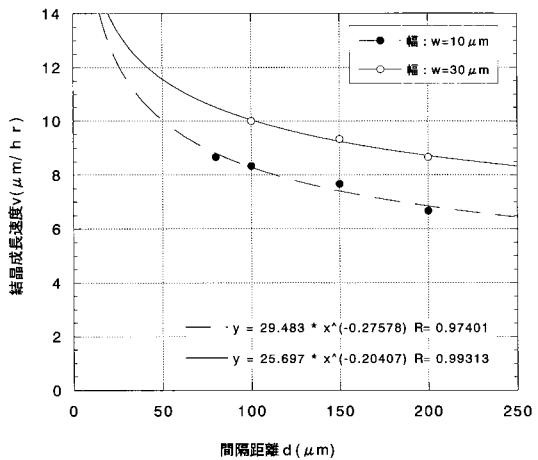
【図19】



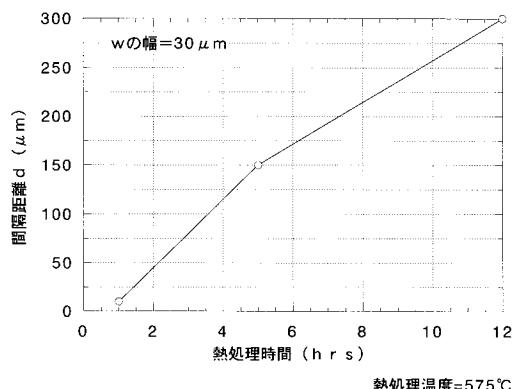
【図20】



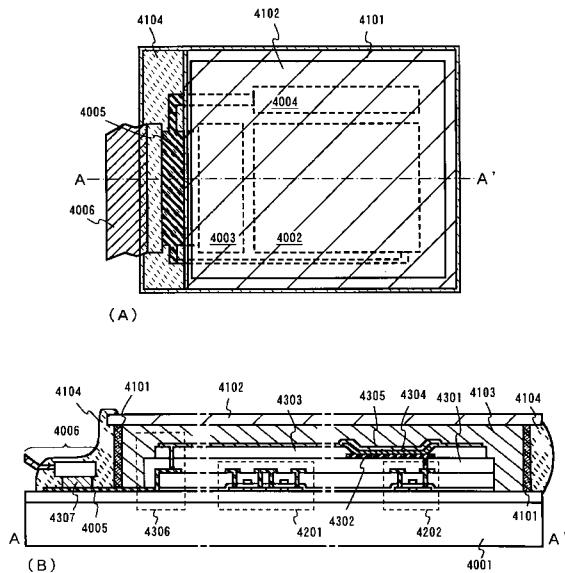
【図21】



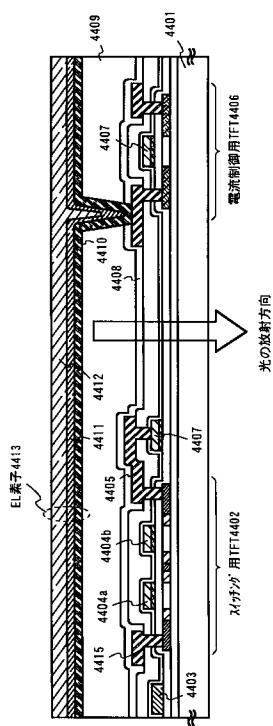
【図22】



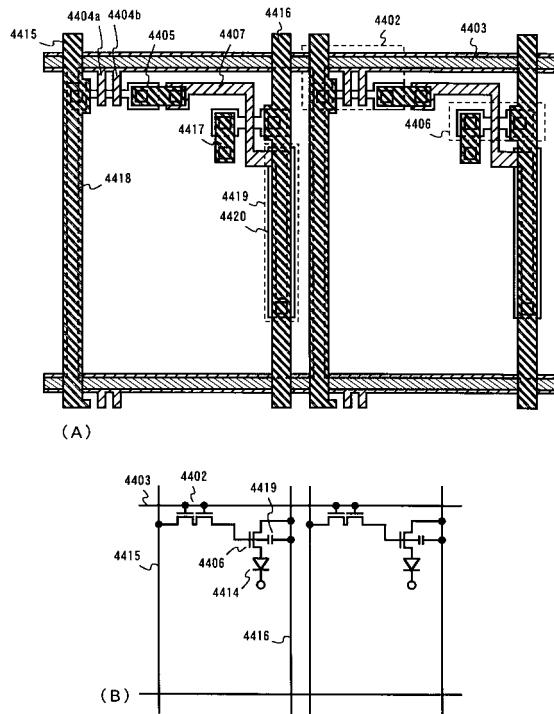
【図23】



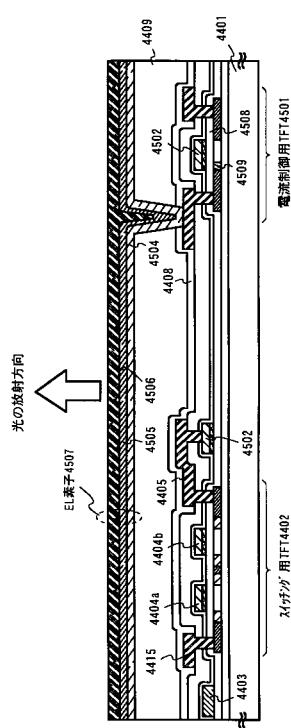
【図24】



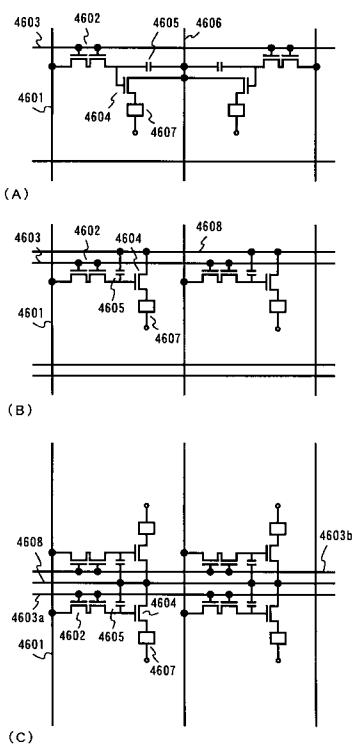
【図25】



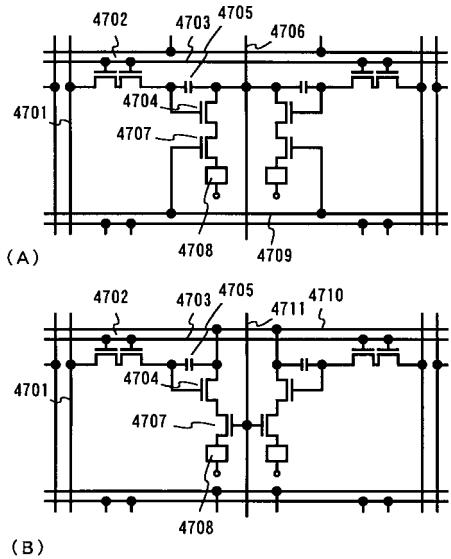
【図26】



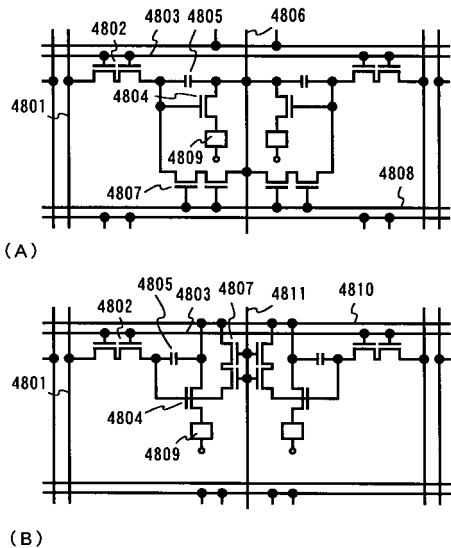
【図27】



【図28】



【図29】



【手続補正書】

【提出日】平成27年6月30日(2015.6.30)

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の基板上方の第1の半導体膜と、

前記第1の基板上方の第2の半導体膜と、

前記第1の半導体膜と重なる領域を有する第1の配線と、

前記第2の半導体膜と重なる領域を有する第2の配線と、

前記第1の半導体膜と電気的に接続された第3の配線と、

前記第1の半導体膜上方、前記第2の半導体膜上方、前記第1の配線上方、前記第2の配線上方及び前記第3の配線上方の、第1の絶縁膜と、

前記第1の絶縁膜上方の第1の導電膜と、

前記第1の導電膜上方の第2の絶縁膜と、

前記第2の絶縁膜上方の第2の導電膜と、

前記第2の導電膜上方の第1のスペーサと、

前記第1の絶縁膜上方の第2のスペーサと、

前記第1のスペーサ上方及び前記第2のスペーサ上方の第2の基板と、

前記第1の基板と前記第2の基板の間の液晶と、

を有し、

前記第1の絶縁膜は、有機樹脂を有し、

前記第1の絶縁膜は、コンタクトホールを有し、
前記第2の導電膜は、前記第1の絶縁膜のコンタクトホールを介して前記第3の配線と
電気的に接続され、

前記第2の導電膜は、画素電極としての機能を有し、
前記第1の導電膜は、コモン電位に設定され、
前記第1のスペーサは、前記第1の絶縁膜のコンタクトホールと重なる領域を有し、
前記第1の半導体膜は、第1のトランジスタのチャネル形成領域を有し、
前記第1の配線は、前記第1のトランジスタのゲート配線としての機能を有し、
前記第2の半導体膜は、第2のトランジスタのチャネル形成領域を有し、
前記第2の配線は、前記第2のトランジスタのゲート配線としての機能を有し、
前記第2のトランジスタは、ドライバー回路に設けられ、
前記第2のスペーサは、前記ドライバー回路と重なる位置に設けられ、
前記液晶は、前記第2の導電膜上方及び前記ドライバー回路上方に配置されることを特
徴とする液晶表示装置。

【請求項2】

第1の基板上方の第1の半導体膜と、
前記第1の基板上方の第2の半導体膜と、
前記第1の半導体膜と重なる領域を有する第1の配線と、
前記第2の半導体膜と重なる領域を有する第2の配線と、
前記第1の半導体膜と電気的に接続された第3の配線と、
前記第1の半導体膜上方、前記第2の半導体膜上方、前記第1の配線上方、前記第2の
配線上方及び前記第3の配線上方の、第1の絶縁膜と、
前記第1の絶縁膜上方の第1の導電膜と、
前記第1の導電膜上方の第2の絶縁膜と、
前記第2の絶縁膜上方の第2の導電膜と、
前記第2の導電膜上方の第1のスペーサと、
前記第1の絶縁膜上方の第2のスペーサと、
前記第1のスペーサ上方及び前記第2のスペーサ上方の第2の基板と、
前記第1の基板と前記第2の基板の間の液晶と、
を有し、
前記第1の絶縁膜は、有機樹脂を有し、
前記第1の絶縁膜は、コンタクトホールを有し、
前記第2の導電膜は、前記第1の絶縁膜のコンタクトホールを介して前記第3の配線と
電気的に接続され、

前記第2の導電膜は、画素電極としての機能を有し、
前記第1の導電膜は、コモン電位に設定され、
前記第1のスペーサは、前記第1の絶縁膜のコンタクトホールと重なる領域を有し、
前記第1のスペーサは、前記第1の半導体膜と重なる領域を有し、
前記第1のスペーサは、前記第3の配線と重なる領域を有し、
前記第1の半導体膜は、第1のトランジスタのチャネル形成領域を有し、
前記第1の配線は、前記第1のトランジスタのゲート配線としての機能を有し、
前記第2の半導体膜は、第2のトランジスタのチャネル形成領域を有し、
前記第2の配線は、前記第2のトランジスタのゲート配線としての機能を有し、
前記第2のトランジスタは、ドライバー回路に設けられ、
前記第2のスペーサは、前記ドライバー回路と重なる位置に設けられ、
前記液晶は、前記第2の導電膜上方及び前記ドライバー回路上方に配置されることを特
徴とする液晶表示装置。

【請求項3】

第1の基板上方の第1の半導体膜と、
前記第1の基板上方の第2の半導体膜と、

前記第1の半導体膜と重なる領域を有する第1の配線と、
前記第2の半導体膜と重なる領域を有する第2の配線と、
前記第1の半導体膜と電気的に接続された第3の配線と、
前記第1の半導体膜上方、前記第2の半導体膜上方、前記第1の配線上方、前記第2の配線上方及び前記第3の配線上方の、第1の絶縁膜と、
前記第1の絶縁膜上方の第1の導電膜と、
前記第1の導電膜上方の第2の絶縁膜と、
前記第2の絶縁膜上方の第2の導電膜と、
前記第2の導電膜上方の第1のスペーサと、
前記第1の絶縁膜上方の第2のスペーサと、
前記第1のスペーサ上方及び前記第2のスペーサ上方の第2の基板と、
前記第1の基板と前記第2の基板の間の液晶と、
を有し、
前記第1の絶縁膜は、有機樹脂を有し、
前記第1の絶縁膜は、コンタクトホールを有し、
前記第2の導電膜は、前記第1の絶縁膜のコンタクトホールを介して前記第3の配線と電気的に接続され、
前記第2の導電膜は、画素電極としての機能を有し、
前記第1の導電膜は、コモン電位に設定され、
前記第1のスペーサは、前記第1の半導体膜と重なる領域を有し、
前記第1のスペーサは、前記第3の配線と重なる領域を有し、
前記第1の半導体膜は、第1のトランジスタのチャネル形成領域を有し、
前記第1の配線は、前記第1のトランジスタのゲート配線としての機能を有し、
前記第2の半導体膜は、第2のトランジスタのチャネル形成領域を有し、
前記第2の配線は、前記第2のトランジスタのゲート配線としての機能を有し、
前記第2のトランジスタは、ドライバー回路に設けられ、
前記第2のスペーサは、前記ドライバー回路と重なる位置に設けられ、
前記液晶は、前記第2の導電膜上方及び前記ドライバー回路上方に配置されることを特徴とする液晶表示装置。

【請求項4】

請求項1乃至3のいずれか一項において、
前記第1の導電膜と前記第2の絶縁膜と前記第2の導電膜とによって、保持容量が形成されていることを特徴とする液晶表示装置。

フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<i>G 0 2 F 1/1368 (2006.01)</i>	<i>H 0 5 B 33/14</i>	<i>Z</i>
<i>H 0 5 B 33/14 (2006.01)</i>	<i>H 0 5 B 33/14</i>	<i>A</i>
<i>H 0 1 L 51/50 (2006.01)</i>		

专利名称(译)	液晶表示装置		
公开(公告)号	JP2015222429A	公开(公告)日	2015-12-10
申请号	JP2015129484	申请日	2015-06-29
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	川鍋千穂 山形裕和 山崎舜平		
发明人	川鍋 千穂 山形 裕和 山崎 舜平		
IPC分类号	G02F1/1343 H01L21/8238 H01L27/092 H01L21/336 H01L29/786 G02F1/1368 H05B33/14 H01L51/50 G02F1/136 G02F1/1362 G09G3/30 G09G3/32 G09G3/36 H01L21/20 H01L21/77 H01L21/84 H01L27 /12 H01L27/32 H01L29/04		
CPC分类号	G02F1/13454 G09G3/30 G09G3/3225 G09G3/3233 G09G3/3648 G09G2300/0842 G09G2300/0861 H01L21/02532 H01L21/02672 H01L27/12 H01L27/1248 H01L27/1255 H01L27/1277 H01L27/3244 H01L29/04 H01L29/66757 H01L29/78624 H01L29/78645 H01L29/78675		
FI分类号	G02F1/1343 H01L27/08.321.A H01L29/78.618.Z H01L29/78.616.S G02F1/1368 H05B33/14.Z H05B33 /14.A H01L27/092.A		
F-TERM分类号	2H092/GA29 2H092/GA59 2H092/JA25 2H092/JA28 2H092/JA29 2H092/JA31 2H092/JA32 2H092 /JA33 2H092/JA35 2H092/JB42 2H092/JB53 2H092/JB69 2H092/KA04 2H092/KB24 2H092/KB25 2H092/MA08 2H092/MA24 2H092/MA27 2H092/MA28 2H092/MA29 2H092/MA30 2H092/NA22 2H092 /NA27 2H092/QA07 2H092/QA13 2H092/QA14 2H092/RA05 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB13 2H192/CB34 2H192/CB35 2H192/CB52 2H192/CB53 2H192/CC32 2H192/DA12 2H192 /DA72 2H192/EA04 2H192/EA13 2H192/EA67 2H192/FA73 2H192/FB03 2H192/FB06 2H192/FB07 2H192/FB15 2H192/GD23 2H192/HA82 2H192/HA84 2H192/HA86 2H192/HA90 2H192/JB02 3K107 /AA01 3K107/AA05 3K107/BB01 3K107/CC31 3K107/CC45 3K107/EE04 3K107/GG26 3K107/GG28 3K107/HH05 5F048/AB04 5F048/AC03 5F048/BA01 5F048/BA16 5F048/BB04 5F048/BB09 5F048 /BB12 5F048/BC03 5F048/BC06 5F110/AA19 5F110/BB01 5F110/BB04 5F110/CC02 5F110/DD02 5F110/DD03 5F110/DD05 5F110/DD13 5F110/EE01 5F110/EE04 5F110/EE06 5F110/EE08 5F110 /EE14 5F110/EE28 5F110/FF02 5F110/FF23 5F110/GG02 5F110/GG13 5F110/GG25 5F110/GG28 5F110/GG32 5F110/GG34 5F110/GG43 5F110/GG45 5F110/GG47 5F110/GG51 5F110/GG52 5F110 /HJ04 5F110/HJ13 5F110/HJ23 5F110/HL07 5F110/HM12 5F110/HM13 5F110/HM15 5F110/NN02 5F110/NN03 5F110/NN04 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN28 5F110 /NN35 5F110/NN40 5F110/NN44 5F110/NN46 5F110/NN58 5F110/NN72 5F110/PP10 5F110/PP23 5F110/PP34 5F110/PP35 5F110/QQ09 5F110/QQ11 5F110/QQ24 5F110/QQ25 5F110/QQ28		
优先权	1999135062 1999-05-14 JP		
其他公开文献	JP6062497B2		
外部链接	Espacenet		

摘要(译)

本发明要解决的问题本发明公开的发明在晶体生长所需的热处理时间方面更优异 缩短简化流程的时间。一 布置两个催化元素引入区域201和202，其间插入一个有源层204以结晶，来自催化剂元素引入区域201的晶体生长和来自催化剂元素引入区域202的结晶碰撞碰撞的边界205在区域204b中形成为源区或漏区。

(21)出願番号	特願2015-129484 (P2015-129484)	(71)出願人	000153878
(22)出願日	平成27年6月29日 (2015. 6. 29)	株式会社	半導体エネルギー研究所
(62)分割の表示	特願2014-147535 (P2014-147535)	神奈川県厚木市長谷398番地	
	の分割	(72)発明者	川嶋 千穂
	原出願日	平成12年5月11日 (2000. 5. 11)	神奈川県厚木市長谷398番地 株式会社
(31)優先権主張番号	特願平11-135062	半導体エネルギー研究所内	
(32)優先日	平成11年5月14日 (1999. 5. 14)	(72)発明者	山形 裕和
(33)優先権主張国	日本国 (JP)	神奈川県厚木市長谷398番地 株式会社	半導体エネルギー研究所内
		(72)発明者	山崎 晋平
		神奈川県厚木市長谷398番地 株式会社	
		半導体エネルギー研究所内	