

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-158682

(P2015-158682A)

(43) 公開日 平成27年9月3日(2015.9.3)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H192
HO1L 29/786 (2006.01)	HO1L 29/78 618B	5F048
HO1L 21/8234 (2006.01)	HO1L 29/78 613Z	5F110
HO1L 27/06 (2006.01)	HO1L 27/06 102A	
HO1L 27/08 (2006.01)	HO1L 27/08 331E	

審査請求 有 請求項の数 1 O L (全 14 頁)

(21) 出願番号	特願2015-80498 (P2015-80498)	(71) 出願人	000153878
(22) 出願日	平成27年4月10日 (2015.4.10)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2011-200767 (P2011-200767) の分割		神奈川県厚木市長谷398番地
原出願日	平成23年9月14日 (2011.9.14)	(72) 発明者	三宅 博之
(31) 優先権主張番号	特願2010-206282 (P2010-206282)		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成22年9月15日 (2010.9.15)		半導体エネルギー研究所内
(33) 優先権主張国	日本国 (JP)	Fターム(参考)	2H192 AA24 CB05 CB13 CB22 CB37
			DA12 DA44 DA65 EA04 GD61
			5F048 AB10 AC10 BA14 BA16
			5F110 BB01 CC07 DD11 GG01 GG02
			GG13 GG14 GG15 NN03 NN72
			NN73

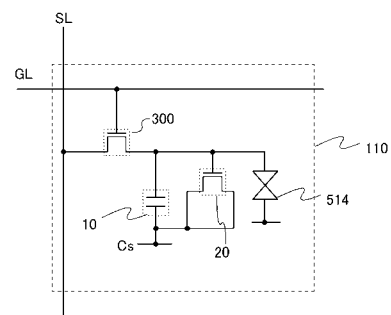
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 フレーム周波数の変化に対応させて、開口率を低減させることなく画素内に所望の保持容量を確保することを可能とした液晶表示装置を提供する。

【解決手段】 酸化物半導体材料を用いた画素トランジスタ及び2つの容量素子を各画素に有する液晶表示装置において、一方の容量素子は、透光性を有する材料で構成し、画素の開口率を向上させる。更に透光性を有する容量素子の特性を利用して、画像の表示状態に依存して変化するフレーム周波数に対応させて容量線の電圧値を調整することで、画素内の保持容量の大きさを変化させる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

画素を有し、
前記画素は、
第 1 の導電層及び第 2 の導電層と、
前記第 1 の導電層上、及び、前記第 2 の導電層上の、第 1 の絶縁層と、
前記第 1 の絶縁層上の、In と Ga と Zn とを有する第 1 の酸化物層、及び、In と Ga と Zn とを有する第 2 の酸化物層と、
前記第 1 の酸化物層上の、第 3 の導電層と、
前記第 1 の酸化物層上の、第 4 の導電層と、
前記第 2 の酸化物層上の、第 5 の導電層と、
前記第 3 の導電層上、前記第 4 の導電層上、及び、前記第 5 の導電層上の、第 2 の絶縁層と、
前記第 2 の絶縁層上の、第 6 の導電層と、を有し、
前記第 1 の酸化物層は、光を透過する機能を有し、
前記第 2 の酸化物層は、光を透過する機能を有し、
前記第 6 の導電層は、光を透過する機能を有し、
前記第 1 の導電層は、トランジスタのゲート電極として機能する領域を有し、
前記第 1 の酸化物層は、前記トランジスタのチャネル形成領域として機能する領域を有し、
前記第 3 の導電層は、前記トランジスタのソース電極又は前記トランジスタのドレイン電極の一方として機能する領域を有し、
前記第 4 の導電層は、前記トランジスタのソース電極又は前記トランジスタのドレイン電極の他方として機能する領域を有し、
前記第 2 の酸化物層は、前記第 6 の導電層と重なる領域を有することを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関する。

【背景技術】

【0002】

近年、液晶ディスプレイ（LCD）などのフラットパネルディスプレイが広く普及している。薄膜トランジスタの半導体層材料として、アモルファス（非晶質）シリコンやポリ（多結晶）シリコンを用いたものが多く使われている一方、透光性を有する金属酸化物も注目集めている。例えば、In-Ga-Zn-O 系酸化物などを、薄膜トランジスタのチャネル層に適用することで、開口率を向上させる技術が検討されている。また、特許文献 1 では、寄生容量を低減させ、薄膜の剥がれに起因する不良を防止する薄膜トランジスタを作製する技術を開示している。

【0003】

非特許文献 1 では、液晶表示装置の低消費電力化を図るために、動画表示と静止画表示の際のフレーム周波数を異ならせる構成について開示している。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2010-098305 号公報

【0005】

【非特許文献 1】Kazuhiro Tsuda et al., IDW'02, pp 295-298

【発明の概要】

【発明が解決しようとする課題】

【0006】

静止画表示時にフレーム周波数を低くした場合（ $1/600\text{Hz} \sim 1\text{Hz}$ ）、画像信号等の電気信号の保持時間をより長くし、より良好な静止画表示を維持するためには、画素内における保持容量が大きい方が有利である。しかし画素内において保持容量を大きくしようと設計すると、画素の開口率が低減する問題や、画素トランジスタのチャネル幅を大きくしなければならないといった問題がある。また、フリッカーノイズ（ちらつき）を防ぎ、より滑らかな動画表示を実現するため、動画表示時にはフレーム周波数を高くする（ $60\text{Hz} \sim 180\text{Hz}$ ）。カラーシーケンシャル表示を行う場合には、更にフレーム周波数を高くする（ $180\text{Hz} \sim 480\text{Hz}$ ）。この際、画像信号等の電気信号は素早く切り替

10

【0007】

上述の問題に鑑み、開示する発明の一態様では、フレーム周波数の変化に対応させて、開口率を低減させることなく画素内に所望の保持容量を確保することを可能とした液晶表示装置を提供することを課題の一とする。また消費電力を低減させ、より高精細な画像表示を可能とした液晶表示装置を提供することを課題の一とする。

【課題を解決するための手段】

【0008】

本発明の一態様は、ゲート電極が走査線と電気的に接続され、ソース電極又はドレイン電極の一方となる第1の電極が信号線と電気的に接続され、ソース電極又はドレイン電極の他方となる第2の電極が画素電極と電気的に接続される画素トランジスタと、一方の電極が第2の電極と電気的に接続され、他方の電極が容量線に電気的に接続される第1の容量素子と、一方の電極が第2の電極と電気的に接続され、他方の電極が容量線に電気的に接続される第2の容量素子とを有し、第2の容量素子は、一方の電極が画素電極と同じ層で形成され、他方の電極が画素トランジスタの半導体層と同じ半導体材料で形成され、一方の電極と他方の電極との間に誘電体層が挟まれたMOSキャパシタ構造を有し、容量線の電位を調整することによって、ゲートパルスの時間間隔に応じて第2の容量素子の容量値を変化させることを特徴とする液晶表示装置である。

20

30

【0009】

また、本発明の一態様は、ゲート電極が走査線と電気的に接続され、ソース電極又はドレイン電極の一方となる第1の電極が信号線と電気的に接続され、ソース電極又はドレイン電極の他方となる第2の電極が画素電極と電気的に接続される画素トランジスタと、一方の電極が第2の電極と電気的に接続され、他方の電極が遮蔽用配線に電気的に接続される第1の容量素子と、一方の電極が第2の電極と電気的に接続され、他方の電極が容量線に電気的に接続される第2の容量素子と、ゲート電極が遮蔽用配線と電気的に接続され、ソース電極又はドレイン電極の一方となる第1の電極が、第1の容量素子の一方の電極と電気的に接続され、ソース電極又はドレイン電極の他方となる第2の電極が容量線に電気的に接続されるトランジスタとを有し、第2の容量素子は、一方の電極が画素電極と同じ層で形成され、他方の電極が画素トランジスタの半導体層と同じ半導体材料で形成され、一方の電極と他方の電極との間に誘電体層が挟まれたMOSキャパシタ構造を有し、容量線の電位を調整し、少なくとも画像表示時にトランジスタがオフとなるような電位を遮蔽用配線に供給することによって、ゲートパルスの時間間隔に応じて第2の容量素子の容量値を変化させることを特徴とする液晶表示装置である。

40

【0010】

また本発明の一態様において、画素電極と半導体層は、透光性を有することを特徴とする液晶表示装置である。

【0011】

また本発明の一態様において、半導体層は、酸化物半導体で構成されていてもよい。

50

【0012】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。また、「上」「下」の用語は説明の便宜のために用いる表現に過ぎない。

【0013】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

10

【0014】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0015】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

【0016】

例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

20

【発明の効果】

【0017】

本発明の一態様により、フレーム周波数の変化に対応させて、開口率を低減させることなく画素内に所望の保持容量を確保することを可能とした液晶表示装置を得ることができる。また消費電力を低減させ、より高精細な画像表示を可能とした液晶表示装置を得ることができる。

【図面の簡単な説明】

30

【0018】

【図1】液晶表示装置の画素構成を示す回路図。

【図2】液晶表示装置の画素構成を示す上面図。

【図3】液晶表示装置の画素構成を示す断面図。

【図4】容量－電圧特性及び電圧の関係図。

【図5】容量－電圧特性。

【図6】液晶表示装置の画素構成を示す回路図。

【図7】液晶表示装置の画素構成を示す上面図。

【図8】液晶表示装置の画素構成を示す断面図。

【発明を実施するための形態】

40

【0019】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0020】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0021】

50

なお、本明細書等における「第１」、「第２」、「第３」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【００２２】

（実施の形態１）

本実施の形態では、開示する発明の一態様に係る液晶表示装置における画素の構成および保持容量を切り替える方法について、説明する。なお本実施の形態で説明する液晶表示装置は、画像の表示状態に合わせて容量値を変化させることができる画素を有するものである。

【００２３】

図１は、液晶表示装置が有する画素の回路の一例を示す図である。

10

【００２４】

画素１１０は、画素トランジスタ３００、第１の容量素子１０、第２の容量素子２０を有する。画素トランジスタ３００のゲート電極は、走査線ＧＬと電氣的に接続され、画素トランジスタ３００のソース電極又はドレイン電極の一方となる第１電極は、信号線ＳＬと電氣的に接続されている。そして、第１の容量素子１０の一方の電極と第２の容量素子２０の一方の電極とは、電氣的に接続され、画素トランジスタ３００のソース電極又はドレイン電極の他方となる第２電極と、第１の容量素子１０の他方の電極と、第２の容量素子２０の他方の電極とは、電氣的に接続されている。なお第１の容量素子１０の一方の電極、及び第２の容量素子２０の一方の電極は、容量線Ｃｓと電氣的に接続されている。

【００２５】

20

次いで、図１に示した画素の具体的な構成の一例を、図２及び図３を用いて説明する。図２に、画素の上面図を示す。また、図３に、図２の鎖線Ａ１－Ａ２における画素の断面図を示す。

【００２６】

断面Ａ１－Ａ２において、基板５００上に下地層５０１が形成され、下地層５０１上にゲート電極５０２、配線５０３、配線５０４、が形成されている。また、ゲート電極５０２、配線５０３、配線５０４を覆うように、ゲート絶縁層５０７が形成されている。更に、半導体層５０８が、ゲート電極５０２と重なるようにゲート絶縁層５０７上に形成され、半導体層５０９が、ゲート絶縁層５０７上に形成されている。また、ゲート電極５０２の端部と重なるように、半導体層５０８上にソース電極５１０ａ及びドレイン電極５１０ｂが形成され、配線５０４の一部に接し、ゲート絶縁層５０７、半導体層５０９上に、配線５１１が形成されている。なお、配線５１１は、ゲート絶縁層５０７に形成されたコンタクトホール５１６を介して配線５０４に電氣的に接続されている。また、半導体層５０８の一部に接し、ソース電極５１０ａ、ドレイン電極５１０ｂ、配線５１１上に絶縁層５１２、絶縁層５１３が順に形成され、絶縁層５１３上には画素電極５１４が形成されている。なお、画素電極５１４は、絶縁層５１２、絶縁層５１３に形成されたコンタクトホール５１５を介してドレイン電極５１０ｂに電氣的に接続されている。

30

【００２７】

配線５０４とドレイン電極５１０ｂが、ゲート絶縁層５０７を間に挟んで重なっている部分が第１の容量素子１０として機能する。ゲート絶縁層５０７は誘電体層として機能する。また、半導体層５０９と画素電極５１４が、絶縁層５１２と絶縁層５１３を間に挟んで重なっている部分が第２の容量素子２０として機能する。絶縁層５１２と絶縁層５１３は誘電体層として機能する。

40

【００２８】

誘電体層を多層構造とすることで、絶縁層に形成されるピンホール等による層間ショートを防止させることができる。すなわち一つの誘電体層にピンホールが生じてても、ピンホールは他の誘電体層で被覆されるため、第２の容量素子２０の機能を向上させることができる。

【００２９】

半導体層５０８及び半導体層５０９は、非晶質シリコン、微結晶シリコン及び多結晶シリ

50

コンを用いて形成することができる。しかしながら、低いフレーム周波数で画素を駆動する場合には、前述のシリコン系半導体材料よりもエネルギーギャップの広い半導体材料を用いることが好ましい。エネルギーギャップの広い半導体材料として、好適には酸化物半導体を用いることができる。例えば、酸化亜鉛系の酸化物半導体はエネルギーギャップが約 3 eV あり、可視光域において透過性に優れる。このような酸化物半導体は n 型の導電性を示すものが多いが、水素等のドナーとなる不純物を低減させ、また酸素欠損に起因する欠陥を低減することでより真性半導体に近づけることができる。このような高純度化された酸化物半導体は、エネルギーギャップが広いことと相まって、トランジスタのオフ電流を十分に低減することができる。

【0030】

半導体層 508 に酸化物半導体を用いて画素トランジスタ 300 を構成することで、オフ電流を低減することができ、画素に設けた保持容量から電荷が消失してしまう割合を低減することができる。すなわち、フレーム周波数を低くした場合でも、次の書き込み期間まで保持容量に電荷を保持し続けることが可能となる。

【0031】

用いる酸化物半導体としては、少なくともインジウム (In) あるいは亜鉛 (Zn) を含むことが好ましい。特に In と Zn を含むことが好ましい。また、該酸化物を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム (Ga) を有することが好ましい。また、スタビライザーとしてスズ (Sn) を有することが好ましい。また、スタビライザーとしてハフニウム (Hf) を有することが好ましい。また、スタビライザーとしてアルミニウム (Al) を有することが好ましい。

【0032】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種あるいは複数種を有してもよい。

【0033】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In-Zn 系酸化物、Sn-Zn 系酸化物、Al-Zn 系酸化物、Zn-Mg 系酸化物、Sn-Mg 系酸化物、In-Mg 系酸化物、In-Ga 系酸化物、三元系金属の酸化物である In-Ga-Zn 系酸化物 (IGZO と表記する)、In-Al-Zn 系酸化物、In-Sn-Zn 系酸化物、Sn-Ga-Zn 系酸化物、Al-Ga-Zn 系酸化物、Sn-Al-Zn 系酸化物、In-Hf-Zn 系酸化物、In-La-Zn 系酸化物、In-Ce-Zn 系酸化物、In-Pr-Zn 系酸化物、In-Nd-Zn 系酸化物、In-Sm-Zn 系酸化物、In-Eu-Zn 系酸化物、In-Gd-Zn 系酸化物、In-Tb-Zn 系酸化物、In-Dy-Zn 系酸化物、In-Ho-Zn 系酸化物、In-Er-Zn 系酸化物、In-Tm-Zn 系酸化物、In-Yb-Zn 系酸化物、In-Lu-Zn 系酸化物、四元系金属の酸化物である In-Sn-Ga-Zn 系酸化物、In-Hf-Ga-Zn 系酸化物、In-Al-Ga-Zn 系酸化物、In-Sn-Al-Zn 系酸化物、In-Sn-Hf-Zn 系酸化物、In-Hf-Al-Zn 系酸化物を用いることができる。

【0034】

なお、ここで、例えば、In-Ga-Zn 系酸化物とは、In と Ga と Zn を有する酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素が入っていてもよい。

【0035】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、M は、Ga、Fe、Mn 及び Co から選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 In_2SnO_5

10

20

30

40

50

$(ZnO)_n$ ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

【0036】

例えば、 $In:Ga:Zn = 1:1:1 (= 1/3:1/3:1/3)$ あるいは $In:Ga:Zn = 2:2:1 (= 2/5:2/5:1/5)$ の原子比の $In-Ga-Zn$ 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $In:Sn:Zn = 1:1:1 (= 1/3:1/3:1/3)$ 、 $In:Sn:Zn = 2:1:3 (= 1/3:1/6:1/2)$ あるいは $In:Sn:Zn = 2:1:5 (= 1/4:1/8:5/8)$ の原子比の $In-Sn-Zn$ 系酸化物やその組成の近傍の酸化物を用いるとよい。

【0037】

しかし、これらに限られず、必要とする半導体特性（移動度、しきい値、ばらつき等）に応じた適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

【0038】

また、画素トランジスタ300の半導体層508は、ゲート電極502に重なる構成を用いることが望ましい。このような構成を採用することで、基板500側から入射した光により半導体層508中の酸化物半導体が劣化するのを防ぐことができる。これにより、画素トランジスタ300の閾値電圧がシフトするなどの特性の劣化が引き起こされるのを防ぐことができる。

【0039】

画素電極514には、透光性を有する導電材料を用いることが好ましい。透光性を有する導電材料としては、酸化珪素を含む酸化インジウムスズ（ITO）、酸化インジウムスズ（ITO）、酸化亜鉛（ZnO）、酸化インジウム亜鉛（IZO）（登録商標）、ガリウムを添加した酸化亜鉛（GZO）などの材料を用いることができる。なお本明細書において、透光性を有する導電材料とは可視光の透過率が75～100%である材料を指すものとする。

【0040】

半導体層509に酸化物半導体を用いて、画素電極514に、透光性を有する導電材料を用いることで、透光性を有する第2の容量素子20を形成することが可能になる。このため、画素110の開口率を向上させることができる。第2の容量素子20の面積を、画素ピッチの7割以上、または8割以上とすることで、より開口率を向上させた液晶表示装置を実現することができる。

【0041】

次いで、図1乃至図3に示した画素が、保持容量の値を変化させる具体的な方法について説明する。

【0042】

図4（A）に、MOSキャパシタの容量（C）－電圧（ V_g ）特性を示す。横軸はゲート電圧 V_g 、縦軸は容量Cである。半導体層509と画素電極514が、絶縁層512と絶縁層513を間に挟んで重なって形成されている第2の容量素子20は、MOSキャパシタを構成している。MOSキャパシタは、図4（A）に示すように、電圧値がある一定のしきい値電圧 V_{th} より低い場合は、容量素子として機能せず、電圧値がある一定のしきい値電圧 V_{th} 以上の場合にのみ、容量素子として機能するという特性を持つ。

【0043】

図4（B）に、動画表示期間と静止画表示期間において、容量線Csの電圧値を変化させた場合、容量線Csが取り得る電圧値の範囲の模式図を示す。ビデオデータ電圧 V_{vi} は、図4（B）に示すように、最大値 V_{max} から、最小値 V_{min} までのある一定の範囲内の値を取る。従って、容量線Csの電圧値を、動画表示期間には、ビデオデータ電圧 V_{vi} の最大値 V_{max} 以上に調整し、静止画表示期間には、ビデオデータ電圧 V_{vi} の最小値 V_{min} 以下に調整する。

【0044】

10

20

30

40

50

図5において、第2の容量素子20のゲート電極の電圧 V_g が、ビデオデータ電圧 V_{vi} の最大値 V_{max} から、最小値 V_{min} までの値を取る場合の範囲をa、ビデオデータ電圧 V_{vi} の最小値 V_{min} 以下の値を取る場合の範囲をb、ビデオデータ電圧 V_{vi} の最大値 V_{max} 以上の値を取る場合の範囲をcとする。

【0045】

容量線Csの電圧値をビデオデータ電圧 V_{vi} の最大値 V_{max} 以上に調整した場合、第2の容量素子20のゲート電極の電圧値 V_g は、ビデオデータ電圧 V_{vi} の最小値 V_{min} 以下の値を取る。図5(A)より、第2の容量素子20のゲート電極の電圧値 V_g が、範囲b内のいずれかの値を取る時、第2の容量素子20の容量値は、値を取らないことがわかる。

10

【0046】

つまり動画表示期間には、第1の容量素子10の一方の電極、及び第2の容量素子20の一方の電極と電氣的に接続される容量線Csの電圧値が、ビデオデータ電圧 V_{vi} の最大値 V_{max} 以上の値を取るため、MOSキャパシタである第2の容量素子20は機能しないことになる。従って、画素110においては、第1の容量素子10のみが機能する。

【0047】

容量線Csの電圧値をビデオデータ電圧 V_{vi} の最小値 V_{min} 以下に調整した場合、第2の容量素子20のゲート電極の電圧値 V_g は、ビデオデータ電圧 V_{vi} の最大値 V_{max} 以上の値を取る。図5(B)より、第2の容量素子20のゲート電極の電圧値 V_g が、範囲cのいずれかの値を取る時、第2の容量素子20の容量値は、ある一定の値Caを取ることがわかる。

20

【0048】

つまり静止画表示期間には、第1の容量素子10の一方の電極、及び第1の容量素子10の一方の電極と電氣的に接続される容量線Csの電圧値が、ビデオデータ電圧 V_{vi} の最小値 V_{min} 以下の値を取るため、MOSキャパシタである第2の容量素子20は機能する。従って、画素110においては、第1の容量素子10及び第2の容量素子20が機能する。

【0049】

このように、上記構成によれば、容量線Csの電圧値を調整することによって、動画表示期間と、静止画表示期間の両期間で容量値の切り替えが可能になる。すなわち画像の表示状態に依存して、極端に変化するフレーム周波数の値に対応させて、その都度、画素内の容量値を、各画素に最も適するように変化させることができる。特にカラーシーケンシャル表示時のような極めて高いフレーム周波数で画素を駆動する場合では、より一層画素内の容量値を低減させることができるため、液晶表示装置の小型化、高集積化が実現される。つまり、画素に対して、効率良く所望の容量値を設定できるため、液晶表示装置全体の消費電力を低減させることが可能になる。

30

【0050】

また、上記構成によれば、第1の容量素子10の一方の電極、及び第2の容量素子20の一方の電極と電氣的に接続される容量線Csの電圧値を調整することによって、画素全体の容量値を独立して制御できるため無駄に配線を引き回す必要はない。このため、隣接配線間の重なりに生じる寄生容量を低減させることができ、より高精細な液晶表示装置を得ることができる。また、画素トランジスタ300のチャンネル幅に依存せず、適切な保持容量を画素内に確保できるため、液晶表示装置の高集積化が容易になる。

40

【0051】

(実施の形態2)

本実施の形態では、開示する発明の一態様に係る液晶表示装置における別の画素の構成および保持容量を切り替える方法について、説明する。なお本実施の形態で説明する液晶表示装置は、画像の表示状態に合わせて容量値を変化させることができる画素を有するものである。

【0052】

50

図 6 は、液晶表示装置が有する画素の回路の一例を示す図である。

【0053】

画素 111 は、画素トランジスタ 301、トランジスタ 400、第 1 の容量素子 11、第 2 の容量素子 21 を有する。画素トランジスタ 301 のゲート電極は、走査線 GL と電氣的に接続され、画素トランジスタ 301 のソース電極又はドレイン電極の一方となる第 1 電極は、信号線 SL と電氣的に接続されている。そして、第 1 の容量素子 11 の一方の電極とトランジスタ 400 のゲート電極とは、電氣的に接続され、トランジスタ 400 のソース電極又はドレイン電極の一方となる第 1 電極と、第 2 の容量素子 21 の一方の電極とは、電氣的に接続され、画素トランジスタ 301 のソース電極又はドレイン電極の他方となる第 2 電極と、第 1 の容量素子 11 の他方の電極と、トランジスタ 400 のソース電極又はドレイン電極の他方となる第 2 電極と、第 2 の容量素子 21 の他方の電極とは、電氣的に接続されている。

10

【0054】

なおトランジスタ 400 のゲート電極及び第 1 の容量素子 11 の一方の電極は、遮蔽用配線 Di と電氣的に接続され、トランジスタ 400 のソース電極又はドレイン電極の一方となる第 1 電極及び第 2 の容量素子 21 の一方の電極は、容量線 Cs と電氣的に接続されている。更に、遮蔽用配線 Di には、少なくとも画像表示時にトランジスタ 400 がオフとなるような電位が供給されている。

【0055】

次いで、図 6 に示した画素の具体的な構成の一例を、図 7 乃至図 8 を用いて説明する。図 7 に、画素の上面図を示す。また、図 8 に、図 7 の鎖線 A1－A2 における画素の断面図を示す。

20

【0056】

断面 A1－A2 において、基板 200 上に下地層 201 が形成され、下地層 201 上にゲート電極 202、配線 203、配線 204、配線 205 が形成されている。また、ゲート電極 202、配線 203、配線 204、配線 205 上に、ゲート絶縁層 206 と半導体層 207 が形成されている。また、半導体層 207 上にソース電極 208a 及びドレイン電極 208b が形成されている。また、半導体層 207 の一部に接し、ソース電極 208a 及びドレイン電極 208b 上に絶縁層 209 が形成されている。絶縁層 209 上には画素電極 210 が形成されている。なお、画素電極 210 は、絶縁層 209 に形成されたコンタクトホール 211 を介してドレイン電極 208b に電氣的に接続されている。

30

【0057】

配線 204 とドレイン電極 208b が、ゲート絶縁層 206 と半導体層 207 を間に挟んで重なっている部分が第 1 の容量素子 11 として機能する。ゲート絶縁層 206 と半導体層 207 は誘電体層として機能する。また、半導体層 207 と画素電極 210 が、絶縁層 209 を間に挟んで重なっている部分が第 2 の容量素子 21 として機能する。絶縁層 209 は誘電体層として機能する。

【0058】

誘電体層を多層構造とすることで、絶縁層に形成されるピンホール等による層間ショートを防止させることができる。すなわち一つの誘電体層にピンホールが生じてても、ピンホールは他の誘電体層で被覆されるため、第 1 の容量素子 11 の機能を向上させることができる。

40

【0059】

半導体層 207 に酸化物半導体を用いて画素トランジスタ 301 を構成することで、オフ電流を低減することができ、画素に設けた保持容量から電荷が消失してしまう割合を低減することができる。すなわち、フレーム周波数を低くした場合でも、次の書き込み期間まで保持容量に電荷を保持し続けることが可能となる。

【0060】

画素電極 210 には、透光性を有する導電材料を用いることが好ましい。透光性を有する導電材料としては、酸化珪素を含む酸化インジウムスズ (ITO)、酸化インジウムス

50

ズ（ITO）、酸化亜鉛（ZnO）、酸化インジウム亜鉛（IZO）（登録商標）、ガリウムを添加した酸化亜鉛（GZO）などの材料を用いることができる。なお本明細書において、透光性を有する導電材料とは可視光の透過率が75～100%である材料を指すものとする。

【0061】

半導体層207に酸化物半導体を用いて、画素電極210に、透光性を有する導電材料を用いることで、透光性を有する第2の容量素子21を形成することが可能になる。このため、画素111の開口率を向上させることができる。第2の容量素子21の面積を、画素ピッチの7割以上、または8割以上とすることで、より開口率を向上させた液晶表示装置を実現することができる。なお、画素ピッチとは、隣り合う信号線から信号線までの距離を一辺とし、隣り合う走査線から走査線までの距離をもう一辺として、これらの両辺に囲まれた部分の面積を示すものとする。

10

【0062】

次いで、図6乃至図8に示した画素が、保持容量の値を変化させる具体的な方法について説明する。

【0063】

半導体層207と画素電極210が、絶縁層209を間に挟んで重なって形成されている第2の容量素子21は、MOSキャパシタを構成している。MOSキャパシタは、図4（A）に示すように、電圧値がある一定のしきい値電圧 V_{th} より低い場合は、容量素子として機能せず、電圧値がある一定のしきい値電圧 V_{th} 以上の場合にのみ、容量素子として機能するという特性を持つ。

20

【0064】

図4（B）に、動画表示期間と静止画表示期間において、容量線Csの電圧値を変化させた場合、容量線Csが取り得る電圧値の範囲の模式図を示す。ビデオデータ電圧 V_{vi} は、図4（B）に示すように、最大値 V_{max} から、最小値 V_{min} までのある一定の範囲内の値を取る。従って、容量線Csの電圧値を、動画表示期間には、ビデオデータ電圧 V_{vi} の最大値 V_{max} 以上に調整し、静止画表示期間には、ビデオデータ電圧 V_{vi} の最小値 V_{min} 以下に調整する。

【0065】

なお、画素111において、遮蔽用配線Diを設置しているのは、図8における領域Bが導通するのを防ぐためである。従って、トランジスタ400のゲート電極と電氣的に接続される遮蔽用配線Diには、少なくとも画像表示時には、トランジスタ400がオフとなるような電位を供給する必要がある。

30

【0066】

容量線Csの電圧値をビデオデータ電圧 V_{vi} の最大値 V_{max} 以上に調整した場合、第2の容量素子21のゲート電極の電圧値 V_g は、ビデオデータ電圧 V_{vi} の最小値 V_{min} 以下の値を取る。図5（A）より、第2の容量素子21のゲート電極の電圧値 V_g が、範囲b内のいずれかの値を取る時、第2の容量素子21の容量値は、値を取らないことがわかる。

【0067】

つまり動画表示期間には、第2の容量素子21の一方の電極、及びトランジスタ400のソース電極又はドレイン電極の一方となる第1電極と電氣的に接続される容量線Csの電圧値が、ビデオデータ電圧 V_{vi} の最大値 V_{max} 以上の値を取るため、MOSキャパシタである第2の容量素子21は機能しないことになる。従って、画素111においては、第1の容量素子11のみが機能する。

40

【0068】

容量線Csの電圧値をビデオデータ電圧 V_{vi} の最小値 V_{min} 以下に調整した場合、第2の容量素子21のゲート電極の電圧値 V_g は、ビデオデータ電圧 V_{vi} の最大値 V_{max} 以上の値を取る。図5（B）より、第2の容量素子21のゲート電極の電圧値 V_g が、範囲cのいずれかの値を取る時、第2の容量素子21の容量値は、ある一定の値Caを取

50

ることがわかる。

【0069】

つまり静止画表示期間には、第2の容量素子21の一方の電極、及びトランジスタ400のソース電極又はドレイン電極の一方となる第1電極と電氣的に接続される容量線Csの電圧値が、ビデオデータ電圧Vviの最小値Vmin以下の値を取るため、MOSキャパシタである第2の容量素子21は機能する。従って、画素111においては、第1の容量素子11及び第2の容量素子21が機能する。

【0070】

このように、上記構成によれば、容量線Csの電圧値を調整することによって、動画表示期間と、静止画表示期間の両期間で容量値の切り替えが可能になる。すなわち画像の表示状態に依存して、極端に変化するフレーム周波数の値に対応させて、その都度、画素内の容量値を、各画素に最も適するように変化させることができる。特にカラーシーケンシャル表示時のような極めて高いフレーム周波数で画素を駆動する場合では、より一層画素内の容量値を低減させることができるため、液晶表示装置の小型化、高集積化が実現される。つまり、画素に対して、効率良く所望の容量値を設定できるため、液晶表示装置全体の消費電力を低減させることが可能になる。

【0071】

また、上記構成によれば、第2の容量素子21の一方の電極、及びトランジスタ400のソース電極又はドレイン電極の一方となる第1電極と電氣的に接続される容量線Csの電圧値を調整することによって、画素全体の容量値を独立して制御できるため無駄に配線を引き回す必要はない。このため、隣接配線間の重なりに生じる寄生容量を低減させることができ、より高精細な液晶表示装置を得ることができる。また、画素トランジスタ301のチャンネル幅に依存せず、適切な保持容量を画素内に確保できるため、液晶表示装置の高集積化が容易になる。

【符号の説明】

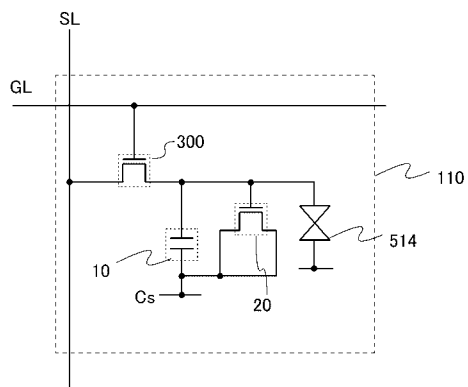
【0072】

10	容量素子	
11	容量素子	
20	容量素子	
21	容量素子	30
110	画素	
111	画素	
200	基板	
201	下地層	
202	ゲート電極	
203	配線	
204	配線	
205	配線	
206	ゲート絶縁層	
207	半導体層	40
209	絶縁層	
210	画素電極	
211	コンタクトホール	
300	画素トランジスタ	
301	画素トランジスタ	
400	トランジスタ	
500	基板	
501	下地層	
502	ゲート電極	
503	配線	50

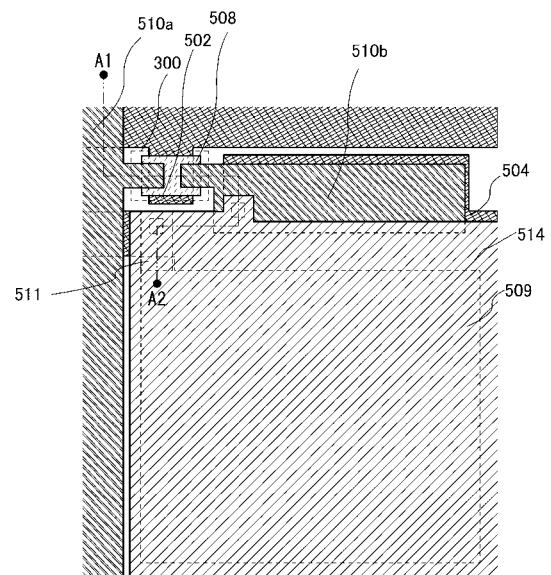
- 504 配線
- 507 ゲート絶縁層
- 508 半導体層
- 509 半導体層
- 511 配線
- 512 絶縁層
- 513 絶縁層
- 514 画素電極
- 515 コンタクトホール
- 516 コンタクトホール
- 208a ソース電極
- 208b ドレイン電極
- 510a ソース電極
- 510b ドレイン電極

10

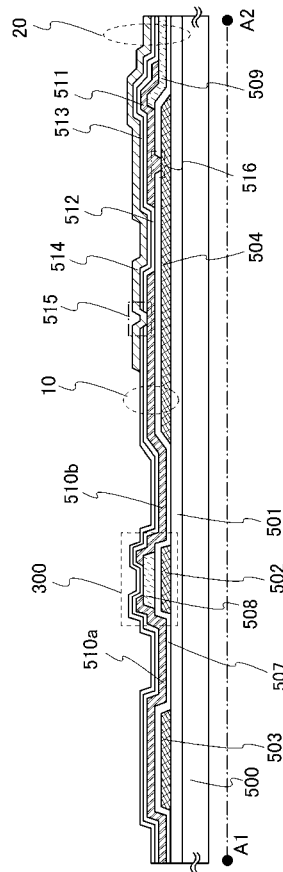
【図 1】



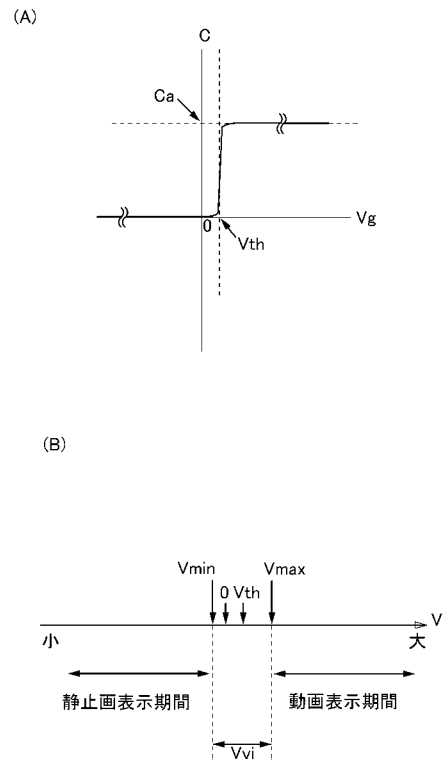
【図 2】



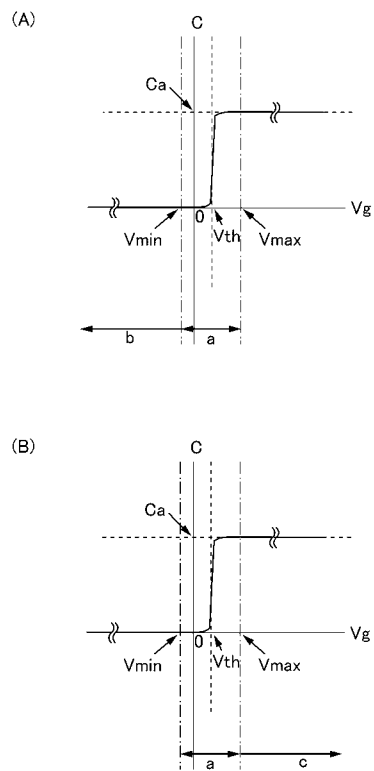
【図 3】



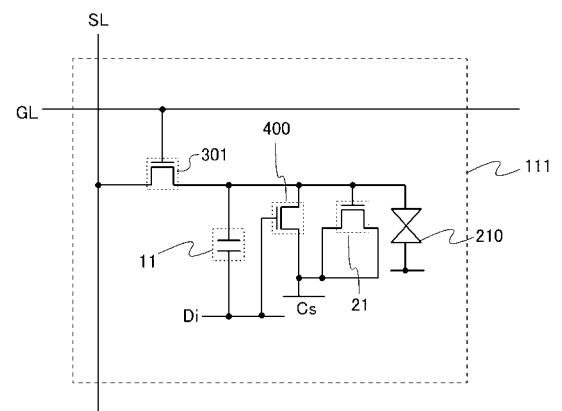
【図 4】

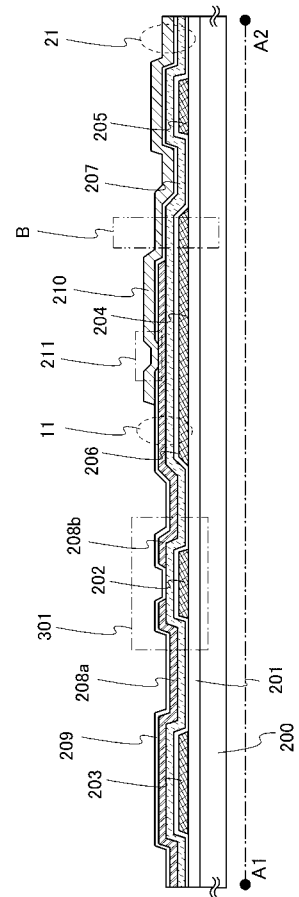


【図 5】



【図 6】





专利名称(译)	显示设备		
公开(公告)号	JP2015158682A	公开(公告)日	2015-09-03
申请号	JP2015080498	申请日	2015-04-10
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	三宅博之		
发明人	三宅 博之		
IPC分类号	G02F1/1368 H01L29/786 H01L21/8234 H01L27/06 H01L27/08		
CPC分类号	H01L27/1225 G02F1/136213 H01L27/1255		
FI分类号	G02F1/1368 H01L29/78.618.B H01L29/78.613.Z H01L27/06.102.A H01L27/08.331.E H01L27/088.331.E		
F-TERM分类号	2H192/AA24 2H192/CB05 2H192/CB13 2H192/CB22 2H192/CB37 2H192/DA12 2H192/DA44 2H192/DA65 2H192/EA04 2H192/GD61 5F048/AB10 5F048/AC10 5F048/BA14 5F048/BA16 5F110/BB01 5F110/CC07 5F110/DD11 5F110/GG01 5F110/GG02 5F110/GG13 5F110/GG14 5F110/GG15 5F110/NN03 5F110/NN72 5F110/NN73		
优先权	2010206282 2010-09-15 JP		
其他公开文献	JP6001127B2		
外部链接	Espacenet		

摘要(译)

解决的问题：在不减小开口率的情况下，响应于帧频的变化在像素内提供所需的像素。提供一种能够确保液晶显示装置的存储容量的液晶显示装置。在每个像素中提供包括氧化物半导体材料和两个电容器的像素晶体管。在具有其中一个电容器元件由透光材料形成的液晶显示装置中，提高开口率。此外，通过利用透射电容元件的特性，通过根据随频率变化的帧频调整电容线的电压值 改变容纳容量的大小。[选型图]图1

(21) 出願番号	特願2015-80498 (P2015-80498)	(71) 出願人	000153878
(22) 出願日	平成27年4月10日 (2015. 4. 10)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2011-200767 (P2011-200767) の分割		神奈川県厚木市長谷398番地
原出願日	平成23年9月14日 (2011. 9. 14)	(72) 発明者	三宅 博之
(31) 優先権主張番号	特願2010-206282 (P2010-206282)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(32) 優先日	平成22年9月15日 (2010. 9. 15)	Fターム(参考)	2H192 AA24 CB05 CB13 CB22 CB37 DA12 DA44 DA65 EA04 GD61 5F048 AB10 AC10 BA14 BA16 5F110 BB01 CC07 DD11 GG01 GG02 GG13 GG14 GG15 NN03 NN72 NN73
(33) 優先権主張国	日本国(JP)		