

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2015-43088

(P2015-43088A)

(43) 公開日 平成27年3月5日 (2015.3.5)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	
H01L 29/786 (2006.01)	H01L 29/78	618B
H01L 21/336 (2006.01)	H01L 29/78	619A
	H01L 29/78	612B

審査請求 有 請求項の数 2 O L (全 81 頁)

(21) 出願番号	特願2014-180892 (P2014-180892)	(71) 出願人	000153878
(22) 出願日	平成26年9月5日 (2014.9.5)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2010-48612 (P2010-48612)		神奈川県厚木市長谷398番地
	の分割	(72) 発明者	木村 肇
原出願日	平成22年3月5日 (2010.3.5)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2009-51899 (P2009-51899)		半導体エネルギー研究所内
(32) 優先日	平成21年3月5日 (2009.3.5)		
(33) 優先権主張国	日本国 (JP)		

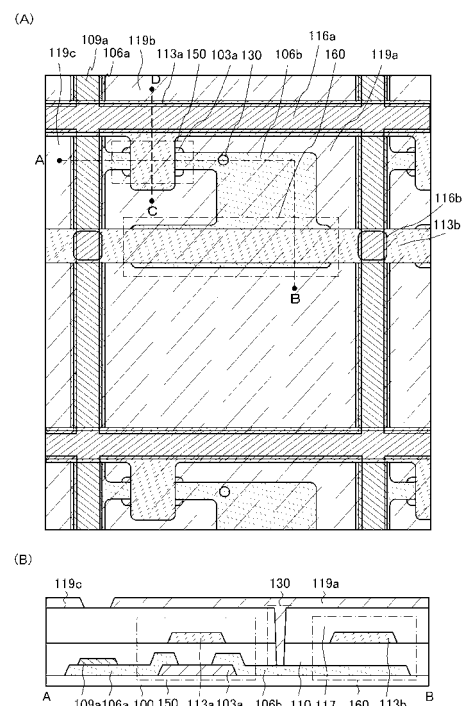
(54) 【発明の名称】 透過型の液晶表示装置

(57) 【要約】 (修正有)

【課題】開口率の高い半導体装置又はその作製方法を提供する。また、消費電力の低い半導体装置又はその作製方法を提供する。

【解決手段】絶縁表面を有する基板上に設けられた半導体層103aと、半導体層103aを覆うゲート絶縁膜110と、ゲート絶縁膜110上に設けられた第1の導電層と第2の導電層とで積層されたゲート電極を含むゲート配線113aと、半導体層103aとゲート電極を含むゲート配線113aを覆う絶縁膜117と、半導体層103aと電氣的に接続され、第3の導電層と第4の導電層とで積層されたソース電極を含むソース配線106aと、を有し、該ゲート電極は、該第1の導電層で形成され、該ゲート配線は、該第1の導電層と該第2の導電層で形成され、該ソース電極は、該第3の導電層で形成され、該ソース配線は、該第3の導電層と該第4の導電層で形成されている。

【選択図】図1



【特許請求の範囲】

【請求項 1】

第 1 の画素と、第 2 の画素と、第 1 の導電層と、を有し、
前記第 1 の画素は、第 1 の酸化物半導体層と、第 2 の導電層と、を有し、
前記第 2 の画素は、第 2 の酸化物半導体層と、第 3 の導電層と、を有し、
前記第 1 の酸化物半導体層は、第 1 の領域と、第 2 の領域と、を有し、
前記第 1 の領域は、光を透過することができる機能と、第 1 のトランジスタのチャネルを形成することができる機能と、を有し、
前記第 2 の領域は、光を透過することができる機能と、第 1 の容量素子の電極となることができる機能と、を有し、
前記第 2 の領域は、前記第 1 の領域よりも導電率が高く、
前記第 2 の導電層は、光を透過することができる機能と、第 1 の液晶素子の電極となることができる機能と、を有し、
前記第 2 の酸化物半導体層は、第 3 の領域と、第 4 の領域と、を有し、
前記第 3 の領域は、光を透過することができる機能と、第 2 のトランジスタのチャネルを形成することができる機能と、を有し、
前記第 4 の領域は、光を透過することができる機能と、第 2 の容量素子の電極となることができる機能と、を有し、
前記第 4 の領域は、前記第 3 の領域よりも導電率が高く、
前記第 3 の導電層は、光を透過することができる機能と、第 2 の液晶素子の電極となることができる機能と、を有し、
前記第 1 の導電層は、前記第 1 の画素が有する前記第 1 のトランジスタのソースまたはドレインと、別の画素が有するトランジスタのソースまたはドレインと、を電気的に接続することができる機能を有し、
前記第 1 の導電層は、前記第 2 の導電層と前記第 3 の導電層の間の領域と重なる領域を有するように設けられている透過型の液晶表示装置であって、
前記第 1 の領域の上方及び前記第 3 の領域の上方に、第 1 の絶縁層を有し、
前記第 1 の絶縁層の上方に、第 2 の絶縁層を有し、
前記第 1 の絶縁層は、酸化シリコンを有し、
前記第 2 の絶縁層は、窒化シリコンを有し、
前記第 2 の領域及び前記第 4 の領域は、前記第 2 の絶縁層と接し、
前記第 2 の領域は、前記第 2 の絶縁層から水素が導入され、前記第 1 の領域よりも水素濃度が高く、
前記第 4 の領域は、前記第 2 の絶縁層から水素が導入され、前記第 3 の領域よりも水素濃度が高いことを特徴とする透過型の液晶表示装置。

10

20

30

40

【請求項 2】

請求項 1 において、
前記第 1 の容量素子が占める面積は、画素の 7 割以上であり、
前記第 2 の容量素子が占める面積は、画素の 7 割以上であることを特徴とする透過型の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、表示装置、発光装置、又はそれらの製造方法に関する。特に、チャネル形成領域に酸化物半導体膜を用いた薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置や有機発光素子を有する発光表示装置を部品として搭載した電子機器に関する。

【背景技術】

【0002】

50

液晶表示装置に代表される表示装置のスイッチング素子として、アモルファスシリコン等のシリコン層をチャネル層として用いた薄膜トランジスタ（ＴＦＴ）が広く用いられている。アモルファスシリコンを用いた薄膜トランジスタは、電界効果移動度が低いもののガラス基板の大面积化に対応することができるという利点を有している。

【０００３】

また、近年、半導体特性を示す金属酸化物を用いて薄膜トランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、金属酸化物の中で、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛などは半導体特性を示すことが知られている。このような金属酸化物で構成される透明半導体層をチャネル形成領域とする薄膜トランジスタが開示されている（特許文献１）。

10

【０００４】

また、トランジスタのチャネル層を、透光性を有する酸化物半導体層で形成すると共に、ゲート電極、ソース電極、ドレイン電極も透光性を有する透明導電膜で形成することによって、開口率を向上させる技術が検討されている（特許文献２）。

【０００５】

開口率を向上することにより、光利用効率が向上し、表示装置の省電力化及び小型化を達成することが可能となる。その一方で、表示装置の大型化や、携帯機器への応用の観点からは、開口率の向上と共にさらなる消費電力の低減が求められている。

【０００６】

なお、電気光学素子の透明電極に対する金属補助配線の配線方法として、透明電極の上下どちらかで、透明電極と導通がとれるように金属補助配線と透明電極が重なるように配線されるものが知られている（例えば、特許文献３参照）。

20

【０００７】

なお、アクティブマトリクス基板に設けられる付加容量用電極をITO、 SnO_2 等の透明導電膜からなるものとし、付加容量用電極の電気抵抗を小さくするため、金属膜から成る補助配線を付加容量用電極に接して設ける構成が知られている（例えば、特許文献４参照）。

【０００８】

なお、非晶質酸化物半導体膜を用いた電界効果型トランジスタにおいて、ゲート電極、ソース電極及びドレイン電極の各電極を形成する材料は、インジウム錫酸化物（ITO）、インジウム亜鉛酸化物、 ZnO 、 SnO_2 などの透明電極や、Al、Ag、Cr、Ni、Mo、Au、Ti、Taなどの金属電極、又はこれらを含む合金の金属電極などを用いることができ、それらを２層以上積層して接触抵抗を低減し、又は界面強度を向上させてもよいことは知られている（例えば、特許文献５参照）。

30

【０００９】

なお、アモルファス酸化物半導体を用いるトランジスタのソース電極、ドレイン電極およびゲート電極、補助容量電極の材料として、インジウム（In）、アルミ（Al）、金（Au）、銀（Ag）等の金属や、酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、酸化カドミウム（ CdO ）、酸化インジウムカドミウム（ CdIn_2O_4 ）、酸化カドミウムスズ（ Cd_2SnO_4 ）、酸化亜鉛スズ（ Zn_2SnO_4 ）等の酸化物材料を用いることができ、ゲート電極、ソース電極及びドレイン電極の材料は、全て同じでもよく、異なっても良いことが知られている（例えば、特許文献６、７参照）。

40

【先行技術文献】

【特許文献】

【００１０】

【特許文献１】特開２００４－１０３９５７号公報

【特許文献２】特開２００７－８１３６２号公報

【特許文献３】特開平２－８２２２１号公報

【特許文献４】特開平２－３１０５３６号公報

50

【特許文献５】特開２００８－２４３９２８号公報

【特許文献６】特開２００７－１０９９１８号公報

【特許文献７】特開２００７－１１５８０７号公報

【発明の概要】

【発明が解決しようとする課題】

【００１１】

本発明の一態様は、消費電力の低い半導体装置を提供することを課題とする。または、本発明の一態様は、配線抵抗の低い半導体装置を提供することを課題とする。または、本発明の一態様は、コストを低減する半導体装置を提供することを課題とする。または、本発明の一態様は、透過率の高い半導体装置を提供することを課題とする。または、本発明の一態様は、高精細な半導体装置を提供することを課題とする。または、本発明の一態様は、開口率の高い半導体装置を提供することを課題とする。または、本発明の一態様は、大きな保持容量を有する半導体装置を提供することを課題とする。または、本発明の一態様は、光漏れが低減した半導体装置を提供することを課題とする。または、本発明の一態様は、フィードスルー電圧の低減した半導体装置を提供することを課題とする。または、本発明の一態様は、空乏層を形成しやすい半導体装置を提供することを課題とする。

10

【課題を解決するための手段】

【００１２】

本発明の一態様は、絶縁面を有する基板上に設けられた半導体層と、半導体層と電気的に接続された第１の電極を含む第１の配線と、半導体層と第１の電極を覆うように形成された絶縁膜と、半導体層上に絶縁膜を介して設けられた第２の電極を含む第２の配線とを有し、第１の電極は、第１の導電層を有し、第１の配線は、第１の導電層と第２の導電層を有し、第２の電極は、第３の導電層を有し、第２の配線は、第３の導電層と第４の導電層とを有することを特徴とする半導体装置である。

20

【００１３】

また、本発明の一態様は、絶縁面を有する基板上に設けられた半導体層と、半導体層と接続された第１の電極を含む第１の配線と、半導体層と第１の電極を覆うように形成された絶縁膜と、半導体層上に絶縁膜を介して設けられた第２の電極を含む第２の配線と、第３の配線とを有し、第１の電極は、第１の導電層を有し、第１の配線は、第１の導電層と第２の導電層を有し、第２の電極は、第３の導電層を有し、第２の配線は、第３の導電層と第４の導電層を有し、第３の配線は、第５の導電層と第６の導電層とを有することを特徴とする半導体装置である。

30

【００１４】

上記において、第１の導電層及び第３の導電層は、透光性を有することが好ましい。また、第２の導電層及び第４の導電層は、第１の導電層又は第３の導電層又は透光性を有する導電層の導電率より高いことが好ましい。また、第２の導電層及び第４の導電層は、遮光性を有することが好ましい。

【００１５】

また、上記において、半導体層は、インジウム、ガリウムまたは亜鉛を含む酸化物半導体層であることが好ましい。

40

【００１６】

本明細書中で用いることができる酸化物半導体の一例としては、 $InMO_3(ZnO)_m$ ($m > 0$) で表記されるものがある。ここで、 M は、ガリウム (Ga)、鉄 (Fe)、ニッケル (Ni)、マンガン (Mn) 及びコバルト (Co) から選ばれた一の金属元素又は複数の金属元素を示す。例えば、 M として Ga が選択される場合には、 Ga のみの場合の他に、 Ga と Ni や、 Ga と Fe など、 Ga 以外の上記金属元素が選択される場合を含む。また、上記酸化物半導体において、 M として含まれる金属元素の他に、不純物元素として Fe 、 Ni その他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。本明細書においては、上記酸化物半導体のうち、 M として少なくともガリウムを含むものを $In-Ga-Zn-O$ 系酸化物半導体と呼び、当該材料を用いた薄膜を $In-Ga-$

50

Zn - O系非単結晶膜と呼ぶことがある。

【0017】

酸化物半導体として、上記の他にも、In - Sn - Zn - O系、In - Al - Zn - O系、Sn - Ga - Zn - O系、Al - Ga - Zn - O系、Sn - Al - Zn - O系、In - Zn - O系、Sn - Zn - O系、Al - Zn - O系、In - O系、Sn - O系、Zn - O系の酸化物半導体を適用することができる。これらの酸化物半導体に、結晶化を抑制し非晶質状態を保持させる不純物を加えることによって、薄膜トランジスタの特性を安定化させることができる。

【0018】

なお、本発明の一態様で用いる半導体層は、透光性を有していればよい。透光性を有する半導体層として、例えば、酸化物半導体を用いることができる。また、酸化物半導体以外に、結晶性半導体（単結晶半導体若しくは多結晶半導体）、非晶質半導体、微結晶半導体、マイクロクリスタル半導体、有機半導体等のいずれを用いてもよい。

10

【0019】

さらに、上記において、第1の導電層及び第2の導電層などの加工に、多階調マスクを用いることにより、1枚のマスク（レチクル）で、透光性を有する領域（光透過率の高い領域）と、遮光性を有する領域（光透過率の低い領域）と、を形成することができる。これにより、マスク数を増加させることなく、透光性を有する領域（光透過率の高い領域）と、遮光性を有する領域（光透過率の低い領域）とを形成することができる。

【0020】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、半導体回路、表示装置、電気光学装置、発光表示装置及び電子機器は全て半導体装置に含まれる。

20

【0021】

なお、本明細書中において表示装置とは、画像表示デバイス、発光デバイス、もしくは光源（照明装置含む）を指す。また、コネクタ、例えばFPC（Flexible printed circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、及び表示素子にCOG（Chip On Glass）方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

30

【0022】

なお、スイッチは、様々な形態のものを用いることができる。例としては、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されない。例えば、スイッチとして、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）などを用いることができる。または、これらを組み合わせた論理回路をスイッチとして用いることができる。

40

【0023】

機械的なスイッチの例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことができる電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

【0024】

スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流を抑えたい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を有するトランジスタやマルチゲート構

50

造を有するトランジスタ等がある。または、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（ V_{ss} 、 GND 、 $0V$ など）の電位に近い値で動作する場合はNチャネル型トランジスタを用いることが望ましい。反対に、ソース端子の電位が、高電位側電源（ V_{dd} など）の電位に近い値で動作する場合はPチャネル型トランジスタを用いることが望ましい。なぜなら、Nチャネル型トランジスタではソース端子が低電位側電源の電位に近い値で動作するとき、Pチャネル型トランジスタではソース端子が高電位側電源の電位に近い値で動作するとき、ゲートとソースの間の電圧の絶対値を大きくできるため、スイッチとして、より正確な動作を行うことができるからである。さらに、トランジスタがソースフォロワ動作をしてしまうことが少ないため、出力電圧の大きさが小さくなってしまいうことが少ないからである。

10

【0025】

なお、Nチャネル型トランジスタとPチャネル型トランジスタの両方を用いて、CMOS型のスイッチをスイッチとして用いてもよい。CMOS型のスイッチにすると、Pチャネル型トランジスタまたはNチャネル型トランジスタのどちらか一方のトランジスタが導通すれば電流が流れるため、スイッチとして機能しやすくなる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることができる。さらに、スイッチをオンまたはオフさせるための信号の電圧振幅値を小さくすることができるので、消費電力を小さくすることもできる。

【0026】

なお、スイッチとしてトランジスタを用いる場合、スイッチは、入力端子（ソース端子またはドレイン端子の一方）と、出力端子（ソース端子またはドレイン端子の他方）と、導通を制御する端子（ゲート端子）とを有している。一方、スイッチとしてダイオードを用いる場合、スイッチは、導通を制御する端子を有していない場合がある。そのため、トランジスタよりもダイオードをスイッチとして用いた方が、端子を制御するための配線を少なくすることができる。

20

【0027】

なお、AとBとが接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

30

【0028】

例えば、AとBとが電氣的に接続されている場合として、AとBとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が、AとBとの間に1個以上接続されていてもよい。あるいは、AとBとが機能的に接続されている場合として、AとBとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きくできる回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、AとBとの間に1個以上接続されていてもよい。例えば、AとBとの間に別の回路を挟んでいても、Aから出力された信号がBへ伝達される場合は、AとBとは機能的に接続されているものとする。

40

【0029】

なお、AとBとが電氣的に接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合）と、AとBとが機能的に接続されている場合（つまり、AとBとの間に別の回路を挟んで機能的に接続されている場合）と、AとBとが直接接続されている場合（つ

50

まり、AとBとの間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

【0030】

なお、表示素子、表示素子を有する装置である表示装置、発光素子、発光素子を有する装置である発光装置は、様々な形態を用いたり、様々な素子を有することができる。例えば、表示素子、表示装置、発光素子または発光装置としては、EL（エレクトロルミネッセンス）素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、LED（白色LED、赤色LED、緑色LED、青色LEDなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイパネル（PDP）、デジタルマイクロミラーデバイス（DMD）、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有することができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（FED）やSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）など、液晶素子を用いた表示装置としては液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）、電子インクや電気泳動素子を用いた表示装置としては電子ペーパーがある。

10

20

【0031】

なお、EL素子とは、陽極と、陰極と、陽極と陰極との間に挟まれたEL層とを有する素子である。なお、EL層としては、1重項励起子からの発光（蛍光）を利用するもの、3重項励起子からの発光（燐光）を利用するもの、1重項励起子からの発光（蛍光）を利用するものと3重項励起子からの発光（燐光）を利用するものを含むもの、有機物によって形成されたもの、無機物によって形成されたもの、有機物によって形成されたものと無機物によって形成されたものを含むもの、高分子の材料、低分子の材料、高分子の材料と低分子の材料とを含むものなどを有することができる。ただし、これに限定されず、EL素子として様々なものを有することができる。

30

【0032】

なお、電子放出素子とは、陰極に高電界を集中して電子を引き出す素子である。例えば、電子放出素子として、スピント型、カーボンナノチューブ（CNT）型、金属-絶縁体-金属を積層したMIM（Metal-Insulator-Metal）型、金属-絶縁体-半導体を積層したMIS（Metal-Insulator-Semiconductor）型、MOS型、シリコン型、薄膜ダイオード型、ダイヤモンド型、金属-絶縁体-半導体-金属型等の薄膜型、HEED型、EL型、ポーラスシリコン型、表面伝導（SCE）型などを有することができる。ただし、これに限定されず、電子放出素子として様々なものを有することができる。

40

【0033】

なお、液晶素子とは、液晶の光学的変調作用によって光の透過または非透過を制御する素子であり、一対の電極、及び液晶により構成される。なお、液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界又は斜め方向の電界を含む）によって制御される。なお、液晶素子としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、リオトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（PDLC）、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、プラズマアドレス液晶（PALC）、バナナ型液晶などを挙げることができる。また、液晶の駆動方式としては、TN（Twisted Nematic）モード、STN（Super Twisted Nematic）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Switching）モード、MVA（Multi-domain Vertical Ali

50

gnment)モード、PVA(Patterned Vertical Alignment)モード、ASV(Advanced Super View)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optically Compensated Birefringence)モード、ECB(Electrically Controlled Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モード、PDLC(Polymer Dispersed Liquid Crystal)モード、ゲストホストモード、ブルー相(Blue Phase)モードなどを用いることができる。ただし、これに限定されず、液晶素子及びその駆動方式として様々なものを用いることができる。

10

【0034】

なお、電子ペーパーとしては、分子により表示されるもの(光学異方性、染料分子配向など)、粒子により表示されるもの(電気泳動、粒子移動、粒子回転、相変化など)、フィルム的一端が移動することにより表示されるもの、分子の発色/相変化により表示されるもの、分子の光吸収により表示されるもの、電子とホールが結合して自発光により表示されるものなどのことをいう。例えば、電子ペーパーの表示方法として、マイクロカプセル型電気泳動、水平移動型電気泳動、垂直移動型電気泳動、球状ツイストボール、磁気ツイストボール、円柱ツイストボール方式、帯電トナー、電子粉流体(株式会社ブリヂストンの登録商標)、磁気泳動型、磁気感熱式、エレクトロウェットティング、光散乱(透明/白濁変化)、コレステリック液晶/光導電層、コレステリック液晶、双安定性ネマチック液晶、強誘電性液晶、2色性色素・液晶分散型、可動フィルム、ロイコ染料による発消色、フォトクロミック、エレクトロクロミック、エレクトロデポジション、フレキシブル有機ELなどを用いることができる。ただし、これに限定されず、電子ペーパー及びその表示方法として様々なものを用いることができる。ここで、マイクロカプセル型電気泳動を用いることによって、電気泳動方式の欠点である泳動粒子の凝集、沈殿を解決することができる。電子粉流体は、高速応答性、高反射率、広視野角、低消費電力、メモリ性などのメリットを有する。

20

【0035】

なお、プラズマディスプレイパネルは、電極を表面に形成した基板と、電極及び微小な溝を表面に形成し且つ溝内に蛍光体層を形成した基板とを狭い間隔で対向させて、希ガスを封入した構造を有する。あるいは、プラズマディスプレイパネルは、プラズマチューブを上下からフィルム状の電極で挟み込んだ構造とすることも可能である。プラズマチューブとは、ガラスチューブ内に、放電ガス、RGBそれぞれの蛍光体などを封止したものである。なお、電極間に電圧をかけることによって紫外線を発生させ、蛍光体を光らせることで、表示を行うことができる。なお、プラズマディスプレイパネルとしては、DC型PDP、AC型PDPでもよい。ここで、プラズマディスプレイパネルの駆動方式としては、AWS(Address While Sustain)駆動、サブフレームをリセット期間、アドレス期間、維持期間に分割するADS(Address Display Separated)駆動、CLEAR(HI-CONTRAST&LOW ENERGY ADDRESS&REDUCTION OF FALSE CONTOUR SEQUENCE)駆動、ALIS(Alternate Lighting of Surfaces)方式、TERES(Technology of Reciprocal Sustain)駆動などを用いることができる。ただし、これに限定されず、プラズマディスプレイパネルの駆動方式として様々なものを用いることができる。

30

40

【0036】

なお、光源を必要とする表示装置、例えば、液晶ディスプレイ(透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ)、グレーティングライトバルブ(GLV)を用いた表示装置、デジタルマイクロミラーデバイス(DMD)を用いた表示装置などの光源としては、エレクト

50

ロルミネッセンス、冷陰極管、熱陰極管、LED、レーザー光源、水銀ランプなどを用いることができる。ただし、これに限定されず、光源として様々なものを用いることができる。

【0037】

なお、トランジスタとして、様々な形態のトランジスタを用いることができる。よって、用いるトランジスタの種類に限定はない。例えば、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、ナノクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体膜及び単結晶半導体膜を有する薄膜トランジスタ（TFET）などを用いることができる。TFETを用いる場合、様々なメリットがある。例えば、単結晶シリコンの場合よりも低い温度で製造できるため、製造コストの削減、又は製造装置の大型化を図ることができる。製造装置を大きくできるため、大型基板上に製造できる。そのため、同時に多くの個数の表示装置を製造できるため、低コストで製造できる。さらに、製造温度が低いため、耐熱性の低い基板を用いることができる。そのため、透光性を有する基板上にトランジスタを製造できる。そして、透光性を有する基板上のトランジスタを用いて表示素子での光の透過を制御することができる。あるいは、トランジスタの膜厚が薄いため、トランジスタを構成する膜の一部は、光を透過させることができる。そのため、開口率を向上させることができる。

10

【0038】

なお、多結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。その結果、ゲートドライバ回路（走査線駆動回路）やソースドライバ回路（信号線駆動回路）、信号処理回路（信号生成回路、ガンマ補正回路、DA変換回路など）を基板上に一体形成することができる。

20

【0039】

なお、微結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。このとき、レーザー照射を行うことなく、熱処理を加えるだけで、結晶性を向上させることも可能である。その結果、ソースドライバ回路の一部（アナログスイッチなど）およびゲートドライバ回路（走査線駆動回路）を基板上に一体形成することができる。さらに、結晶化のためにレーザー照射を行わない場合は、シリコンの結晶性のムラを抑えることができる。そのため、画質の向上した画像を表示することができる。

30

【0040】

ただし、触媒（ニッケルなど）を用いずに、多結晶シリコンや微結晶シリコンを製造することは可能である。

【0041】

なお、シリコンの結晶性を、多結晶または微結晶などへと向上させることは、パネル全体で行うことが望ましいが、これに限定されない。パネルの一部の領域のみにおいて、シリコンの結晶性を向上させてもよい。選択的に結晶性を向上させることは、レーザー光を選択的に照射することなどにより可能である。例えば、画素以外の領域である周辺回路領域にのみ、レーザー光を照射してもよい。または、ゲートドライバ回路、ソースドライバ回路等の領域にのみ、レーザー光を照射してもよい。あるいは、ソースドライバ回路の一部（例えば、アナログスイッチ）の領域にのみ、レーザー光を照射してもよい。その結果、回路を高速に動作させる必要がある領域にのみ、シリコンの結晶化を向上させることができる。画素領域は、高速に動作させる必要性が低いため、結晶性が向上されなくても、問題なく画素回路を動作させることができる。結晶性を向上させる領域が少なく済むため、製造工程も短くすることができ、スループットが向上し、製造コストを低減させることができる。必要とされる製造装置の数も少ない数で製造できるため、製造コストを低減させることができる。

40

【0042】

または、半導体基板やSOI基板などを用いてトランジスタを形成することができる。こ

50

れらにより、特性やサイズや形状などのバラツキが少なく、電流供給能力が高く、サイズの小さいトランジスタを製造することができる。これらのトランジスタを用いると、回路の低消費電力化、又は回路の高集積化を図ることができる。

【0043】

または、 ZnO 、 $a-InGaZnO$ 、 $SiGe$ 、 $GaAs$ 、 IZO 、 ITO 、 SnO 、 TiO 、 $AlZnSnO$ ($AZTO$) などの化合物半導体または酸化物半導体を有するトランジスタや、さらに、これらの化合物半導体または酸化物半導体を薄膜化した薄膜トランジスタなどを用いることができる。これらにより、製造温度を低くでき、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成することができる。なお、これらの化合物半導体または酸化物半導体を、トランジスタのチャネル形成領域に用いるだけでなく、それ以外の用途で用いることもできる。例えば、これらの化合物半導体または酸化物半導体を抵抗素子、画素電極、透光性を有する電極として用いることができる。さらに、それらをトランジスタと同時に成膜又は形成できるため、コストを低減できる。

10

【0044】

または、インクジェットや印刷法を用いて形成したトランジスタなどを用いることができる。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することができる。マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することができる。さらに、レジストを用いる必要がないので、材料費が安くなり、工程数を削減できる。さらに、必要な部分にのみ膜を付けるため、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストにできる。

20

【0045】

または、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。これらにより、曲げることが可能な基板上にトランジスタを形成することができる。このような基板を用いた半導体装置は、衝撃に強くすることができる。

【0046】

さらに、様々な構造のトランジスタを用いることができる。例えば、 MOS 型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどをトランジスタとして用いることができる。 MOS 型トランジスタを用いることにより、トランジスタのサイズを小さくすることができる。よって、複数のトランジスタを搭載することができる。バイポーラトランジスタを用いることにより、大きな電流を流すことができる。よって、高速に回路を動作させることができる。

30

【0047】

なお、 MOS 型トランジスタ、バイポーラトランジスタなどを1つの基板に混在させて形成してもよい。これにより、低消費電力、小型化、高速動作などを実現することができる。

【0048】

その他、様々なトランジスタを用いることができる。

【0049】

なお、トランジスタは、様々な基板を用いて形成することができる。基板の種類は、特定のものに限定されることはない。その基板としては、例えば、単結晶基板（例えばシリコン基板）、 SOI 基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板などを用いることができる。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート（ PET ）、ポリエチレンナフタレート（ PEN ）、ポリエーテルサルフォン（ PES ）に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。他にも、貼り合わせフィルム（ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなど）、繊維状な材料を含む

40

50

紙、基材フィルム（ポリエステル、ポリアミド、ポリイミド、無機蒸着フィルム、紙類等）などがある。または、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板としては、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。あるいは、人などの動物の皮膚（表皮、真皮）又は皮下組織を基板として用いてもよい。または、ある基板を用いてトランジスタを形成し、その基板を研磨して薄くしてもよい。研磨される基板としては、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

10

20

30

40

50

【0050】

なお、トランジスタの構成は、様々な形態をとることができ、特定の構成に限定されない。例えば、ゲート電極が2個以上のマルチゲート構造を適用することができる。マルチゲート構造にすると、チャンネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構成となる。マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上（信頼性の向上）を図ることができる。あるいは、マルチゲート構造により、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、電圧・電流特性の傾きをフラットにすることができる。電圧・電流特性の傾きがフラットである特性を利用すると、理想的な電流源回路や、非常に高い抵抗値をもつ能動負荷を実現することができる。その結果、特性のよい差動回路やカレントミラー回路を実現することができる。

【0051】

別の例として、チャンネルの上下にゲート電極が配置されている構造を適用することができる。チャンネルの上下にゲート電極が配置されている構造にすることにより、チャンネル領域が増えるため、電流値の増加を図ることができる。または、チャンネルの上下にゲート電極が配置されている構造にすることにより、空乏層ができやすくなるため、S値の改善を図ることができる。なお、チャンネルの上下にゲート電極が配置される構成にすることにより、複数のトランジスタが並列に接続されたような構成となる。

【0052】

チャンネル領域の上にゲート電極が配置されている構造、チャンネル領域の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャンネル領域を複数の領域に分けた構造、チャンネル領域を並列に接続した構造、またはチャンネル領域が直列に接続する構成も適用できる。さらに、チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なっている構造も適用できる。チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なる構造にすることによって、チャンネル領域の一部に電荷が溜まることにより動作が不安定になることを防ぐことができる。あるいは、LDD領域を設けた構造を適用できる。LDD領域を設けることにより、オフ電流の低減、又はトランジスタの耐圧向上（信頼性の向上）を図ることができる。あるいは、LDD領域を設けることにより、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、電圧・電流特性の傾きをフラットにすることができる。

【0053】

なお、トランジスタは、様々なタイプを用いることができ、様々な基板を用いて形成させることができる。したがって、所定の機能を実現させるために必要な回路の全てを、同一の基板に形成することも可能である。例えば、所定の機能を実現させるために必要な回路の全てを、ガラス基板、プラスチック基板、単結晶基板、またはSOI基板などの様々な

基板を用いて形成することも可能である。所定の機能を実現させるために必要な回路の全てが同じ基板を用いて形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。あるいは、所定の機能を実現させるために必要な回路の一部が、ある基板に形成され、所定の機能を実現させるために必要な回路の別の一部が、別の基板に形成されていることも可能である。つまり、所定の機能を実現させるために必要な回路の全てが同じ基板を用いて形成されていなくてもよい。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板上にトランジスタにより形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板に形成され、単結晶基板を用いて形成されたトランジスタで構成されたＩＣチップをＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）でガラス基板に接続して、ガラス基板上にそのＩＣチップを配置することも可能である。あるいは、そのＩＣチップをＴＡＢ（Ｔａｐｅ　Ａｕｔｏｍａｔｅｄ　Ｂｏｎｄｉｎｇ）やプリント基板を用いてガラス基板と接続することも可能である。このように、回路の一部が同じ基板に形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。あるいは、駆動電圧が高い部分及び駆動周波数が高い部分の回路は、消費電力が大きくなってしまうので、そのような部分の回路は同じ基板に形成せず、そのかわりに、例えば、単結晶基板にその部分の回路を形成して、その回路で構成されたＩＣチップを用いるようにすれば、消費電力の増加を防ぐことができる。

10

【００５４】

なお、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、Ｒ（赤）Ｇ（緑）Ｂ（青）の色要素からなるカラー表示装置の場合には、画像の最小単位は、Ｒの画素とＧの画素とＢの画素との三画素から構成されるものとする。なお、色要素は、三色に限定されず、三色以上を用いても良いし、ＲＧＢ以外の色を用いても良い。例えば、白色を加えて、ＲＧＢＷ（Ｗは白）とすることも可能である。あるいは、ＲＧＢに、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色などを一色以上追加することも可能である。あるいは、例えば、ＲＧＢの中の少なくとも一色に類似した色を、ＲＧＢに追加することも可能である。例えば、Ｒ、Ｇ、Ｂ１、Ｂ２としてもよい。Ｂ１とＢ２とは、どちらも青色であるが、少し波長が異なっている。同様に、Ｒ１、Ｒ２、Ｇ、Ｂとすることも可能である。このような色要素を用いることにより、より実物に近い表示を行うことができる。このような色要素を用いることにより、消費電力を低減することができる。別の例としては、一つの色要素について、複数の領域を用いて明るさを制御する場合は、その領域一つ分を一画素とすることも可能である。よって、一例として、面積階調を行う場合または副画素（サブ画素）を有している場合、一つの色要素につき、明るさを制御する領域が複数あり、その全体で階調を表現するが、明るさを制御する領域の一つ分を一画素とすることも可能である。よって、その場合は、一つの色要素は、複数の画素で構成されることとなる。あるいは、明るさを制御する領域が一つの色要素の中に複数あっても、それらをまとめて、一つの色要素を１画素としてもよい。よって、その場合は、一つの色要素は、一つの画素で構成されることとなる。あるいは、一つの色要素について、複数の領域を用いて明るさを制御する場合、画素によって、表示に寄与する領域の大きさが異なっている場合がある。あるいは、一つの色要素につき複数ある、明るさを制御する領域において、各々に供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。つまり、一つの色要素について、複数個ある領域が各々有する画素電極の電位が、各々異なっていることも可能である。その結果、液晶分子に加わる電圧が各画素電極によって各々異なる。よって、視野角を広くすることができる。

20

30

40

【００５５】

なお、一画素（三色分）と明示的に記載する場合は、ＲとＧとＢの三画素分を一画素と考える場合であるとする。一画素（一色分）と明示的に記載する場合は、一つの色要素につき、複数の領域がある場合、それらをまとめて一画素と考える場合であるとする。

50

【 0 0 5 6 】

なお、画素は、マトリクス状に配置（配列）されている場合がある。ここで、画素がマトリクスに配置（配列）されているとは、縦方向もしくは横方向において、画素が直線上に並んで配置されている場合、又はギザギザな線上に配置されている場合を含む。よって、例えば三色の色要素（例えば R G B ）でフルカラー表示を行う場合に、ストライプ配置されている場合、又は三つの色要素のドットがデルタ配置されている場合も含む。さらに、ベイヤー配置されている場合も含む。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。これにより、低消費電力化、又は表示素子の長寿命化を図ることができる。

【 0 0 5 7 】

なお、画素に能動素子を有するアクティブマトリクス方式、または、画素に能動素子を有しないパッシブマトリクス方式を用いることができる。

【 0 0 5 8 】

アクティブマトリクス方式では、能動素子（アクティブ素子、非線形素子）として、トランジスタだけでなく、さまざまな能動素子（アクティブ素子、非線形素子）を用いることができる。例えば、MIM（Metal Insulator Metal）やTFD（Thin Film Diode）などを用いることも可能である。これらの素子は、製造工程が少ないため、製造コストの低減、又は歩留まりの向上を図ることができる。さらに、素子のサイズが小さいため、開口率を向上させることができ、低消費電力化や高輝度化をはかることができる。

【 0 0 5 9 】

なお、アクティブマトリクス方式以外のものとして、能動素子（アクティブ素子、非線形素子）を用いないパッシブマトリクス型を用いることも可能である。能動素子（アクティブ素子、非線形素子）を用いないため、製造工程が少なく、製造コストの低減、又は歩留まりの向上を図ることができる。能動素子（アクティブ素子、非線形素子）を用いないため、開口率を向上させることができ、低消費電力化や高輝度化をはかることができる。

【 0 0 6 0 】

なお、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル領域を有しており、ドレイン領域とチャネル領域とソース領域とを介して電流を流すことができる。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第 1 端子、第 2 端子と表記する場合がある。あるいは、それぞれを第 1 電極、第 2 電極と表記する場合がある。あるいは、第 1 領域、第 2 領域と表記する場合がある。

【 0 0 6 1 】

なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第 1 端子、第 2 端子などと表記する場合がある。

【 0 0 6 2 】

なお、ゲートとは、ゲート電極とゲート配線（ゲート線、ゲート信号線、走査線、走査信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ゲート電極とは、チャネル領域を形成する半導体と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことを言う。なお、ゲート電極の一部は、LDD（Lightly Doped Drain）領域またはソース領域（またはドレイン領域）と、ゲート絶縁膜を介してオーバーラップしている場合もある。ゲート配線とは、各トランジスタのゲート電極の間を接続するための配線、各画素の有するゲート電極の間を接続するための配線、又はゲート電極と別の配線とを接続するための配線のことを言う。

【 0 0 6 3 】

ただし、ゲート電極としても機能し、ゲート配線としても機能するような部分（領域、導電層、配線など）も存在する。そのような部分（領域、導電層、配線など）は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。つまり、ゲート電極とゲート配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているゲート配線の一部とチャンネル領域がオーバーラップしている場合、その部分（領域、導電層、配線など）はゲート配線として機能しているが、ゲート電極としても機能していることになる。よって、そのような部分（領域、導電層、配線など）は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

【0064】

なお、ゲート電極と同じ材料で形成され、ゲート電極と同じ島（アイランド）を形成してつながっている部分（領域、導電層、配線など）も、ゲート電極と呼んでも良い。同様に、ゲート配線と同じ材料で形成され、ゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電層、配線など）も、ゲート配線と呼んでも良い。このような部分（領域、導電層、配線など）は、厳密な意味では、チャンネル領域とオーバーラップしていない場合、又は別のゲート電極と接続させる機能を有していない場合がある。しかし、製造時の仕様などの関係で、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電層、配線など）がある。よって、そのような部分（領域、導電層、配線など）もゲート電極またはゲート配線と呼んでも良い。

10

【0065】

なお、例えば、マルチゲートのトランジスタにおいて、1つのゲート電極と、別のゲート電極とは、ゲート電極と同じ材料で形成された導電層で接続される場合が多い。そのような部分（領域、導電層、配線など）は、ゲート電極とゲート電極とを接続させるための部分（領域、導電層、配線など）であるため、ゲート配線と呼んでも良いが、マルチゲートのトランジスタを1つのトランジスタと見なすこともできるため、ゲート電極と呼んでも良い。つまり、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電層、配線など）は、ゲート電極やゲート配線と呼んでも良い。さらに、例えば、ゲート電極とゲート配線とを接続させている部分の導電層であって、ゲート電極またはゲート配線とは異なる材料で形成された導電層も、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

20

30

【0066】

なお、ゲート端子とは、ゲート電極の部分（領域、導電層、配線など）または、ゲート電極と電氣的に接続されている部分（領域、導電層、配線など）について、その一部分のことを言う。

【0067】

なお、ある配線を、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線などと呼ぶ場合、その配線にトランジスタのゲートが接続されていない場合もある。この場合、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線は、トランジスタのゲートと同じ層で形成された配線、トランジスタのゲートと同じ材料で形成された配線またはトランジスタのゲートと同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線などがある。

40

【0068】

なお、ソースとは、ソース領域とソース電極とソース配線（ソース線、ソース信号線、データ線、データ信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ソース領域とは、P型不純物（ボロンやガリウムなど）やN型不純物（リンやヒ素など）が多く含まれる半導体領域のことを言う。従って、少しだけP型不純物やN型不純物が含まれる領域、いわゆる、LDD（Lightly Doped Drain）領域は、ソース領域には含まれない。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電氣的に接続されて配置されている部分の導電層のことを言う。ただし、ソース電極は、ソース領域も含んでソース電極と呼ぶこともある。ソース配線とは、各ラン

50

ジスタのソース電極の間を接続するための配線、各画素の有するソース電極の間を接続するための配線、又はソース電極と別の配線とを接続するための配線のことを言う。

【0069】

しかしながら、ソース電極としても機能し、ソース配線としても機能するような部分（領域、導電層、配線など）も存在する。そのような部分（領域、導電層、配線など）は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。つまり、ソース電極とソース配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているソース配線の一部とソース領域とがオーバーラップしている場合、その部分（領域、導電層、配線など）はソース配線として機能しているが、ソース電極としても機能していることになる。よって、そのような部分（領域、導電層、配線など）は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

10

【0070】

なお、ソース電極と同じ材料で形成され、ソース電極と同じ島（アイランド）を形成してつながっている部分（領域、導電層、配線など）や、ソース電極とソース電極とを接続する部分（領域、導電層、配線など）も、ソース電極と呼んでも良い。さらに、ソース領域とオーバーラップしている部分も、ソース電極と呼んでも良い。同様に、ソース配線と同じ材料で形成され、ソース配線と同じ島（アイランド）を形成してつながっている領域も、ソース配線と呼んでも良い。このような部分（領域、導電層、配線など）は、厳密な意味では、別のソース電極と接続させる機能を有していない場合がある。しかし、製造時の仕様などの関係で、ソース電極またはソース配線と同じ材料で形成され、ソース電極またはソース配線とつながっている部分（領域、導電層、配線など）がある。よって、そのような部分（領域、導電層、配線など）もソース電極またはソース配線と呼んでも良い。

20

【0071】

なお、例えば、ソース電極とソース配線とを接続させている部分の導電層であって、ソース電極またはソース配線とは異なる材料で形成された導電層も、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【0072】

なお、ソース端子とは、ソース領域や、ソース電極や、ソース電極と電氣的に接続されている部分（領域、導電層、配線など）について、その一部分のことを言う。

【0073】

30

なお、ある配線を、ソース配線、ソース線、ソース信号線、データ線、データ信号線などと呼ぶ場合、その配線にトランジスタのソース（ドレイン）が接続されていない場合もある。この場合、ソース配線、ソース線、ソース信号線、データ線、データ信号線は、トランジスタのソース（ドレイン）と同じ層で形成された配線、トランジスタのソース（ドレイン）と同じ材料で形成された配線またはトランジスタのソース（ドレイン）と同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線などがある。

【0074】

なお、ドレインについては、ソースと同様である。

【0075】

40

なお、半導体装置とは半導体素子（トランジスタ、ダイオード、サイリスタなど）を含む回路を有する装置のことをいう。さらに、半導体特性を利用することで機能しうる装置全般を半導体装置と呼んでもよい。または、半導体材料を有する装置のことを半導体装置と言う。

【0076】

なお、表示装置とは、表示素子を有する装置のことを言う。なお、表示装置は、表示素子を含む複数の画素を含んでも良い。なお、表示装置は、複数の画素を駆動させる周辺駆動回路を含んでも良い。なお、複数の画素を駆動させる周辺駆動回路は、複数の画素と同一基板上に形成されてもよい。なお、表示装置は、ワイヤボンディングやバンプなどによって基板上に配置された周辺駆動回路、いわゆる、チップオンガラス（COG）で

50

接続されたＩＣチップ、または、ＴＡＢなどで接続されたＩＣチップを含んでも良い。なお、表示装置は、ＩＣチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたフレキシブルプリントサーキット（ＦＰＣ）を含んでもよい。なお、表示装置は、フレキシブルプリントサーキット（ＦＰＣ）などを介して接続され、ＩＣチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたプリント配線基板（ＰＷＢ）を含んでも良い。なお、表示装置は、偏光板または位相差板などの光学シートを含んでも良い。なお、表示装置は、照明装置、筐体、音声入出力装置、光センサなどを含んでも良い。

【００７７】

なお、照明装置は、バックライトユニット、導光板、プリズムシート、拡散シート、反射シート、光源（ＬＥＤ、冷陰極管など）、冷却装置（水冷式、空冷式）などを有していても良い。

10

【００７８】

なお、発光装置とは、発光素子などを有している装置のことをいう。表示素子として発光素子を有している場合は、発光装置は、表示装置の具体例の一つである。

【００７９】

なお、反射装置とは、光反射素子、光回折素子、光反射電極などを有している装置のことをいう。

【００８０】

なお、液晶表示装置とは、液晶素子を有している表示装置をいう。液晶表示装置には、直視型、投写型、透過型、反射型、半透過型などがある。

20

【００８１】

なお、駆動装置とは、半導体素子、電気回路、電子回路を有する装置のことを言う。例えば、ソース信号線から画素内への信号の入力を制御するトランジスタ（選択用トランジスタ、スイッチング用トランジスタなどと呼ぶことがある）、画素電極に電圧または電流を供給するトランジスタ、発光素子に電圧または電流を供給するトランジスタなどは、駆動装置の一例である。さらに、ゲート信号線に信号を供給する回路（ゲートドライバ、ゲート線駆動回路などと呼ぶことがある）、ソース信号線に信号を供給する回路（ソースドライバ、ソース線駆動回路などと呼ぶことがある）などは、駆動装置の一例である。

【００８２】

なお、表示装置、半導体装置、照明装置、冷却装置、発光装置、反射装置、駆動装置などは、互いに重複して有している場合がある。例えば、表示装置が、半導体装置および発光装置を有している場合がある。あるいは、半導体装置が、表示装置および駆動装置を有している場合がある。

30

【００８３】

なお、Ａの上にＢが形成されている、あるいは、Ａ上にＢが形成されている、と明示的に記載する場合は、Ａの上にＢが直接接して形成されていることに限定されない。直接接してはいない場合、つまり、ＡとＢと間に別の対象物が介在する場合も含むものとする。ここで、Ａ、Ｂは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

40

【００８４】

従って例えば、層Ａの上に（もしくは層Ａ上に）、層Ｂが形成されている、と明示的に記載されている場合は、層Ａの上に直接接して層Ｂが形成されている場合と、層Ａの上に直接接して別の層（例えば層Ｃや層Ｄなど）が形成されていて、その上に直接接して層Ｂが形成されている場合とを含むものとする。なお、別の層（例えば層Ｃや層Ｄなど）は、単層でもよいし、複層でもよい。

【００８５】

さらに、Ａの上方にＢが形成されている、と明示的に記載されている場合についても同様であり、Ａの上にＢが直接接していることに限定されず、ＡとＢとの間に別の対象物が介在する場合も含むものとする。従って例えば、層Ａの上方に、層Ｂが形成されている、と

50

いう場合は、層 A の上に直接接して層 B が形成されている場合と、層 A の上に直接接して別の層（例えば層 C や層 D など）が形成されていて、その上に直接接して層 B が形成されている場合とを含むものとする。なお、別の層（例えば層 C や層 D など）は、単層でもよいし、複層でもよい。

【0086】

なお、A の上に B が形成されている、A 上に B が形成されている、又は A の上方に B が形成されている、と明示的に記載する場合、斜め上に B が形成される場合も含むこととする。

【0087】

なお、A の下に B が、あるいは、A の下方に B が、の場合についても、同様である。

10

【0088】

なお、明示的に単数として記載されているものについては、単数であることが望ましい。ただし、これに限定されず、複数であることも可能である。同様に、明示的に複数として記載されているものについては、複数であることが望ましい。ただし、これに限定されず、単数であることも可能である。

【0089】

なお、図において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0090】

なお、図は、理想的な例を模式的に示したものであり、図に示す形状又は値などに限定されない。例えば、製造技術による形状のばらつき、誤差による形状のばらつき、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

20

【0091】

なお、専門用語は、特定の実施の形態、又は実施例などを述べる目的で用いられる場合が多く、これに限定されない。

【0092】

なお、定義されていない文言（専門用語又は学術用語などの科学技術文言を含む）は、通常の当業者が理解する一般的な意味と同等の意味として用いることが可能である。辞書等により定義されている文言は、関連技術の背景と矛盾がないような意味に解釈されることが好ましい。

30

【0093】

なお、第 1、第 2、第 3 などの語句は、様々な要素、部材、領域、層、区域を他のものと区別して記述するために用いられる。よって、第 1、第 2、第 3 などの語句は、要素、部材、領域、層、区域などの数を限定するものではない。さらに、例えば、「第 1 の」を「第 2 の」又は「第 3 の」などと置き換えることが可能である。

【0094】

なお、「上に」、「上方に」、「下に」、「下方に」、「横に」、「右に」、「左に」、「斜めに」、「奥に」、又は、「手前に」、などの空間的配置を示す語句は、ある要素又は特徴と、他の要素又は特徴との関連を、図によって簡単に示すために用いられる場合が多い。ただし、これに限定されず、これらの空間的配置を示す語句は、図に描く方向に加えて、他の方向を含むことが可能である。例えば、A の上に B、と明示的に示される場合は、B が A の上にあることに限定されない。図中のデバイスは反転、又は 180° 回転することが可能なので、B が A の下にあることを含むことが可能である。このように、「上に」という語句は、「上に」の方向に加え、「下に」の方向を含むことが可能である。ただし、これに限定されず、図中のデバイスは様々な方向に回転することが可能なので、「上に」という語句は、「上に」、及び「下に」の方向に加え、「横に」、「右に」、「左に」、「斜めに」、「奥に」、又は、「手前に」などの他の方向を含むことが可能である。

40

【発明の効果】

50

【 0 0 9 5 】

本発明の一態様において、透光性を有するトランジスタ又は透光性を有する容量素子を形成することができる。そのため、画素内にトランジスタや容量素子を配置する場合であっても、トランジスタや容量素子が形成された部分においても光を透過させることができるため、開口率を向上させることができる。さらに、トランジスタと素子（例えば、別のトランジスタ）とを接続する配線、または容量素子と素子（例えば、別の容量素子）とを接続する配線は、抵抗率が低く導電率が高い材料を用いて形成することができるため、信号の波形なまりを低減し、配線抵抗による電圧降下を低減することができる。

【図面の簡単な説明】

【 0 0 9 6 】

10

【図 1】本発明の一態様に係る上面図及び断面図である。

【図 2】本発明の一態様に係る断面図である。

【図 3】本発明の一態様に係る断面図である。

【図 4】本発明の一態様に係る断面図である。

【図 5】本発明の一態様に係る断面図である。

【図 6】本発明の一態様に係る断面図である。

【図 7】本発明の一態様に係る上面図及び断面図である。

【図 8】本発明の一態様に係る上面図及び断面図である。

【図 9】本発明の一態様に係る上面図である。

【図 10】本発明の一態様に係る上面図及び断面図である。

20

【図 11】本発明の一態様に係る上面図及び断面図である。

【図 12】本発明の一態様に係る上面図である。

【図 13】本発明の一態様に係る上面図及び断面図である。

【図 14】本発明の一態様に係る上面図及び断面図である。

【図 15】本発明の一態様に係る上面図である。

【図 16】本発明の一態様に係る上面図及び断面図である。

【図 17】本発明の一態様に係る断面図である。

【図 18】本発明の一態様に係る断面図である。

【図 19】本発明の一態様に係る断面図である。

【図 20】本発明の一態様に係る断面図である。

30

【図 21】本発明の一形態に係る断面図である。

【図 22】多階調マスクを説明する図である。

【図 23】本発明の一態様に係る断面図である。

【図 24】本発明の一態様に係るブロック図である。

【図 25】本発明の一態様に係る断面図である。

【図 26】本発明の一態様に係る半導体装置を説明する回路図。

【図 27】本発明の一態様に係る表示装置を説明する断面図である。

【図 28】本発明の一態様に係る表示装置を説明する上面図及び断面図である。

【図 29】本発明の一態様に係る表示装置を説明する上面図及び断面図である。

【図 30】本発明の一態様に係る表示装置を説明する図である。

40

【図 31】本発明の一態様に係る電子機器を説明する図である。

【図 32】本発明の一態様に係る電子機器を説明する図である。

【図 33】本発明の一態様に係る電子機器を説明する図である。

【図 34】本発明の一態様に係る電子機器を説明する図である。

【図 35】本発明の一態様に係る断面図である。

【図 36】本発明の一態様に係る平面図である。

【図 37】本発明の一態様に係る回路を説明する図。

【図 38】本発明の一態様に係る回路を説明する図。

【図 39】本発明の一態様に係る回路を説明する図。

【図 40】本発明の一態様に係る表示素子の電位を説明する図。

50

【図４１】本発明の一態様に係る表示画面を説明する図。

【発明を実施するための形態】

【００９７】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【００９８】

本明細書において、「膜」とは、全面に形成され、パターン形成されていないものをいう。そして、「層」とは、レジストマスク等により所望の形状にパターン形成されたものをいう。なお、前述のような「膜」と「層」の区別は便宜的に行うものであり、膜と層を特に区別することなく用いることがある。また、積層膜の各層についても、膜と層を特に区別することなく用いることがある。

10

【００９９】

また、本明細書において「第１」、「第２」、または「第３」等の数詞の付く用語は、要素を区別するために便宜的に付与しているものであり、数的に限定するものではなく、また配置及び段階の順序を限定するものでもない。

【０１００】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び／又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

20

【０１０１】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【０１０２】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

30

【０１０３】

なお、ある一つの実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、抵抗素子など）、導電層、絶縁層、半導体層、有機材料、無機材料、部品、基板、モジュール、装置、固体、液体、気体、動作方法、製造方法などが単数又は複数記載された図面（断面図、平面図、回路図、ブロック図、フローチャート、工程図、斜視図、立面図、配置図、タイミングチャート、構造図、模式図、グラフ、表、光路図、ベクトル図、状態図、波形図、写真、化学式など）または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。

40

【０１０４】

（実施の形態１）

本実施の形態では、半導体装置及びその作製工程について、図１乃至図１５を用いて説明する。

【０１０５】

図１に、本実施の形態の半導体装置を示す。図１（Ａ）は平面図であり、図１（Ｂ）は図１（Ａ）におけるＡ－Ｂで切断した断面図である。

【０１０６】

50

図 1 (A) に示す半導体装置は、 1 の方向に配置された複数の配線（例えば、ゲート配線及び容量配線）と、 2 の方向に配置された複数の配線（例えば、ソース配線）と、それらの配線の交差部付近の複数のトランジスタと、を有する画素部を含んでいる。なお、 1 の方向に配置された配線と 2 の方向に配置された配線とは直交していることが望ましい。なお、本明細書において、画素部とは、複数のゲート配線及び複数のソース配線に囲まれた領域のことを指す。

【 0 1 0 7 】

図 1 に示すトランジスタ 1 5 0 は、絶縁面を有する基板 1 0 0 上に、半導体層 1 0 3 a と、半導体層 1 0 3 a 上に設けられたソース電極又はドレイン電極として機能する導電層 1 0 6 a、 1 0 6 b と、ソース電極又はドレイン電極として機能する導電層 1 0 6 a、 1 0 6 b 上に設けられたゲート絶縁膜 1 1 0 と、ゲート絶縁膜 1 1 0 上に設けられ、かつ、導電層 1 0 6 a、 1 0 6 b の間に設けられたゲート電極として機能する導電層 1 1 3 a とで構成されている。よって、トランジスタ 1 5 0 は、いわゆるトップゲート型のトランジスタである。ただし、チャネル（半導体層 1 0 3 a）の下側に、ゲート電極が配置されてもよい。半導体層 1 0 3 a は、酸化物を有することが好ましい。ただし、これに限定されず、半導体層が酸化物を有していなくてもよい。例えば、半導体層 1 0 3 a として、シリコン、ガリウムヒ素、化合物半導体、有機半導体、カーボンナノチューブなどを用いて形成することが可能である。

10

【 0 1 0 8 】

また、トランジスタ 1 5 0 を構成する半導体層 1 0 3 a と、ゲート電極として機能する導電層 1 1 3 a と、ソース電極又はドレイン電極として機能する導電層 1 0 6 a、 1 0 6 b 等のうちの一部又は全部を、透光性を有する材料を用いて形成している。このように、トランジスタ 1 5 0 を構成する半導体層と導電層等のうちの一部又は全部を、透光性を有する材料を用いて形成することにより、トランジスタが形成された部分において光を透過させることができるため、画素部の開口率を向上させることができる。

20

【 0 1 0 9 】

なお、上記において透光性を有するとは、少なくとも、導電層 1 0 9 a や導電層 1 1 6 a と比較して、可視域（ 4 0 0 n m ~ 8 0 0 n m 程度）における光の透過率が高いことを意味する。

【 0 1 1 0 】

通常、素子と素子、例えば、トランジスタとトランジスタとを接続する配線は、ゲート電極、ソース電極又はドレイン電極を構成する導電層をそのまま引き延ばし、同じ島（アイランド）で形成される場合が多い。したがって、トランジスタのゲートと、別のトランジスタのゲートと、を接続する配線（ゲート配線と呼ぶ）は、トランジスタのゲート電極と同じ層構造や同じ材料で形成されていることが多く、トランジスタのソースと別のトランジスタのソースとを接続する配線（ソース配線と呼ぶ）は、トランジスタのソース電極と同じ層構造や同じ材料で形成されていることが多く、したがって、ゲート電極並びにソース電極もしくはドレイン電極として、透光性を有する材料を用いて形成した場合、ゲート配線およびソース配線はゲート電極並びにソース電極もしくはドレイン電極と同様、透光性を有する材料を用いて形成されることとなる。

30

40

【 0 1 1 1 】

透光性を有する材料、例えば、インジウムスズ酸化物、インジウム亜鉛酸化物、インジウムスズ亜鉛酸化物などは、遮光性及び反射性を有する材料、例えば、アルミニウム、モリブデン、チタン、タンゲステン、ネオジム、銅、銀、クロムなどと比較して、導電率が低い傾向がある。したがって、透光性を有する材料を用いて配線を形成すると、配線抵抗が高くなってしまふ。例えば、大型の表示装置を製造する場合、配線が長くなるため、配線抵抗が非常に高くなる。配線抵抗が高くなると、その配線を伝搬していく信号の波形なまりが生じ、配線抵抗による電圧降下によって、供給される電圧が小さくなる。そのため、正確な電圧や電流を供給することが困難となってしまう、正常な表示や動作を行うことが困難となるおそれがある。

50

【0112】

そこで、トランジスタ150のゲート電極と電氣的に接続されるゲート配線は、透光性を有する導電層113aと、遮光性を有する導電層116aとで積層する。そして、トランジスタ150のソース電極又はドレイン電極と電氣的に接続されるソース配線は、透光性を有する導電層106aと、遮光性を有する導電層109aとで積層する。つまり、トランジスタ150のゲート電極は、透光性を有する導電層113aの一部で形成されている。そして、トランジスタ150のソース電極又はドレイン電極は、透光性を有する導電層106aの一部で形成されている。

【0113】

導電層113aの光透過率は、十分に高いことが望ましい。また、導電層113aの光透過率は、導電層116aの光透過率よりも高いことが望ましい。

10

【0114】

また、導電層116aの抵抗率は十分に低く、導電率は十分に高いことが望ましい。また、導電層116aの抵抗率は、導電層113aの抵抗率よりも低いことが望ましい。ただし、導電層116aは、導電層として機能するため、導電層116aの抵抗率は、絶縁層の抵抗率よりも低いことが望ましい。

【0115】

ゲート配線又はソース配線を、透光性を有する導電層と遮光性を有する導電層とで積層することにより、配線抵抗を低減させることができる。また、配線抵抗を低減させることによって、信号の波形なまりを低減し、配線抵抗による電圧降下を低減させることができる。また、配線抵抗による電圧降下を低減させることにより、正確な電圧や電流を供給することができる。これにより、大型の表示装置を製造することが可能となる。また、ゲート配線又はソース配線は、遮光性を有する導電層を用いて構成されているため、画素間を遮光することができる。つまり、行方向に配置されたゲート配線と、列方向に配置されたソース配線とによって、ブラックマトリクスを用いることなく画素間の隙間を遮光することができる。ただし、ブラックマトリクスを用いることは可能である。

20

【0116】

また、表示性能の面から、画素には大きな容量素子を持たせるとともに、高開口率化が求められている。各画素が高い開口率を持つことにより光利用効率が向上し、表示装置の省電力化および小型化が達成できる。近年、画素サイズの微細化が進み、より高精細な画像が求められている。しかし、画素サイズの微細化によって、1つの画素に占めるトランジスタ及び配線の形成面積が大きくなり、画素の開口率を低減させている。そこで、規定の画素サイズの中で高開口率を得るためには、画素の回路構成に必要な要素を効率よくレイアウトすることが不可欠である。

30

【0117】

本発明の一態様に係る容量配線は、ゲート配線と同じ1の方向に配置されており、画素領域では、透光性を有する導電層113bで形成することが望ましい。そして、ソース配線と重なる領域では、導電率を高くするために透光性を有する導電層113bと、遮光性を有する導電層116bとを積層させてもよい。また、容量配線には、保持容量部160が形成されている。保持容量部160は、トランジスタ150のソース電極又はドレイン電極のいずれか一方(導電層106b)に接続されている。保持容量部160は、ゲート絶縁膜110を誘電体として、電極として機能する導電層106bと導電層113bとで構成されている。なお、画素電極と導電層113bとの間にも容量が形成されるため、その容量も保持容量とすることができる。

40

【0118】

本実施の形態では、容量配線の幅とゲート配線の幅が同じになるように形成する例を示すが、容量配線の幅とゲート配線の幅が異なるように形成してもよい。容量配線の幅は、ゲート配線の幅よりも広くすることが好ましい。容量配線の幅を広くすることにより、保持容量部160の面積を大きくすることができる。

【0119】

50

このようにして、保持容量部 160 を、透光性を有する導電層 106b、導電層 113b とで構成することにより、保持容量部 160 が形成された部分においても光を透過させることができるため、開口率を向上させることができる。また、保持容量部 160 を、透光性を有する導電層で構成することにより、開口率を下げることなく保持容量部 160 を大きくすることができるため、トランジスタがオフになったときでも、画素電極の電位保持特性が向上し、表示品質が向上する。また、フィードスルー電位を小さくすることができる。または、ノイズに対する耐性が向上するため、クロストークを低減することが可能となる。また、正確な電圧にできるので、ちらつきも低減することが可能となる。画素の回路構成に必要な回路要素を効率よくレイアウトすることができる。

【0120】

また、図 1 に示すトランジスタ 150 は、液晶表示装置、または EL 表示装置に代表される発光表示装置の画素部に設けられる画素トランジスタに適用することができる。そのため、図 1 では、ゲート絶縁膜 110、絶縁膜 117 にコンタクトホール 130 が設けられ、絶縁膜 117 上に画素電極層（透光性を有する導電層 119a、119c）が設けられ、ゲート絶縁膜 110、絶縁膜 117 に設けられたコンタクトホール 130 を介して、画素電極層（透光性を有する透明導電層 119a）と、導電層 106b と、が接続されている。

【0121】

次に、半導体装置の作製工程の一例について、図 2 乃至図 5 を用いて説明する。

【0122】

はじめに、絶縁面を有する基板 100 上に酸化物半導体膜 101 を形成する（図 2（A）、（B）参照）。

【0123】

絶縁面を有する基板 100 としては、例えば、液晶表示装置などに使用される可視光透過性を有するガラス基板を用いることができる。上記のガラス基板は無アルカリガラス基板であることが好ましい。無アルカリガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。他にも、絶縁面を有する基板 100 として、セラミック基板、石英基板やサファイア基板などの絶縁体となる絶縁性基板、珪素などの半導体材料となる半導体基板の表面を絶縁材料で被覆したもの、金属やステンレスなどの導電体となる導電性基板の表面を絶縁材料で被覆したもの、などを用いることができる。なお、PET（polyethylene terephthalate ポリエチレンテレフタレート）等のプラスチック基板も用いることができる。

【0124】

絶縁表面を有する基板 100 上に下地膜となる絶縁膜を設けてもよい。絶縁膜は、基板 100 からのアルカリ金属（Li、Cs、Na 等）やアルカリ土類金属（Ca、Mg 等）や他の金属元素などの不純物の拡散を防止する機能を有する。なお、Na は、 $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{18} / \text{cm}^3$ 以下とする。絶縁膜は、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜から選ばれた単層構造または複数の膜による積層構造により形成することができる。より好ましくは、窒化シリコン膜上に酸化シリコン膜を設けることが望ましい。窒化シリコン膜を用いることにより、不純物の拡散を十分に防止することができる。また、その上に酸化シリコン膜を設けることにより、窒化シリコン膜が半導体層と接することを避けることが可能となる。窒化シリコン膜と半導体層とが接すると、半導体層が水素化される可能性があるためである。ただし、これに限定されず、窒化シリコン膜と半導体層とが接することは可能である。

【0125】

酸化物半導体膜 101 を形成する酸化物半導体としては、 $\text{InMO}_3 (\text{ZnO})_m (m > 0)$ で表記される構造の酸化物半導体を用いるのが好ましく、特に In-Ga-Zn-O 系酸化物半導体を用いるのが好ましい。なお、M は、ガリウム（Ga）、鉄（Fe）、二

10

20

30

40

50

ッケル (Ni)、マンガン (Mn) 及びコバルト (Co) から選ばれた一の金属元素又は複数の金属元素を示す。例えば M として、Ga の場合があることその他、Ga と Ni 又は Ga と Fe など、Ga 以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、M として含まれる金属元素の他に、不純物元素として Fe、Ni その他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。本明細書においては、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される構造の酸化物半導体のうち、M として少なくとも Ga を含む構造の酸化物半導体を In-Ga-Zn-O 系酸化物半導体と呼び、該薄膜を In-Ga-Zn-O 系非単結晶膜とも呼ぶ。

【0126】

In-Ga-Zn-O 系非単結晶膜の結晶構造は、XRD (X 線回折) 分析により、アモルファス構造が観察される。なお、分析に用いたサンプルの In-Ga-Zn-O 系非単結晶膜は、スパッタ法で成膜した後、熱処理を 200 ~ 500、代表的には、300 ~ 400 で 10 分 ~ 100 分を行っている。

10

【0127】

In-Ga-Zn-O 系非単結晶膜を薄膜トランジスタの活性層として用いることにより、ゲート電圧 $\pm 20 \text{ V}$ において、オンオフ比が 10^9 以上、移動度が $10 \text{ cm}^2 / \text{V} \cdot \text{s}$ 以上の電気的特性を有する薄膜トランジスタを作製することができる。

【0128】

ただし、酸化物半導体膜 101 は、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される構造の酸化物半導体膜に限られるものではない。例えば、酸化インジウム (InO_x)、酸化亜鉛 (ZnO_x)、酸化錫 (SnO)、酸化インジウム亜鉛 (IZO)、酸化インジウムスズ (Indium Tin Oxide: ITO)、酸化シリコンを含む酸化インジウムスズ (ITSO)、ガリウムを添加した酸化亜鉛 (GZO) 等を有する酸化物半導体膜を用いてもよい。

20

【0129】

酸化物半導体膜 101 の膜厚は、50 nm 以上とし、好ましくは 60 nm ~ 150 nm とする。また、酸化物半導体膜 101 は、後に形成されるソース電極又はドレイン電極として機能する導電層 106a、106b の間に、導電層 106a、106b と重なる領域よりも膜厚の薄い領域を有する場合がある。これは、導電層 106a、106b をエッチングするときに、半導体層 103a の一部もエッチングされることにより生ずるものである。よって、酸化物半導体膜 101 の膜厚を 50 nm 以上とすることにより、チャネル形成領域がエッチングによりなくなってしまうことを防止できる。

30

【0130】

酸化物半導体膜 101 のキャリア濃度範囲は $1 \times 10^{17} / \text{cm}^3$ 未満 (より好ましくは $1 \times 10^{11} / \text{cm}^3$ 以上) が好ましい。酸化物半導体膜 101 のキャリア濃度範囲が上記の範囲を超えると、薄膜トランジスタがノーマリーオンとなる恐れがある。

【0131】

酸化物半導体膜 101 には、絶縁性の不純物を含ませても良い。当該不純物として、酸化シリコン、酸化ゲルマニウム、酸化アルミニウムなどに代表される絶縁性酸化物、窒化シリコン、窒化アルミニウムなどに代表される絶縁性窒化物、または酸窒化シリコン、酸窒化アルミニウムなどの絶縁性酸窒化物が適用される。

40

【0132】

これらの絶縁性酸化物、絶縁性窒化物または絶縁性酸窒化物は、酸化物半導体の電気伝導性を損なわない濃度で酸化物半導体に添加される。

【0133】

酸化物半導体膜 101 に絶縁性の不純物を含ませることにより、該酸化物半導体膜 101 の結晶化を抑制することができる。酸化物半導体膜 101 の結晶化を抑制することにより、薄膜トランジスタの特性を安定化することが可能となる。

【0134】

例えば、In-Ga-Zn-O 系酸化物半導体に酸化シリコンなどの不純物を含ませてお

50

くことで、300乃至600の熱処理を行っても、該酸化物半導体の結晶化又は微結晶粒の生成を防ぐことができる。

【0135】

In-Ga-Zn-O系酸化物半導体をチャネル形成領域とする薄膜トランジスタの製造過程では、熱処理を行うことでS値(subthreshold swing value)や電界効果移動度を向上させることが可能であるが、そのような場合でも薄膜トランジスタがノーマリーオンになってしまうのを防ぐことができる。また、当該薄膜トランジスタに熱ストレス、バイアスストレスが加わった場合でも、しきい値電圧の変動を防ぐことができる。

【0136】

酸化物半導体膜101に適用する酸化物半導体として上記の他にも、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体を適用することができる。また、これらの酸化物半導体に結晶化を抑制し非晶質状態を保持させる不純物を加えることによって、薄膜トランジスタの特性を安定化させることができる。

【0137】

本発明の一態様で用いる半導体層は、透光性を有していればよく、酸化物半導体以外に、結晶性半導体(単結晶半導体若しくは多結晶半導体)、非晶質半導体、微結晶半導体、マイクロクリスタル半導体、有機半導体等のいずれを用いてもよい。

【0138】

なお、基板100上に絶縁膜を形成した場合、酸化物半導体膜101を形成する前に、絶縁膜の表面にプラズマ処理を行ってもよい。プラズマ処理を行うことにより、絶縁膜の表面に付着しているゴミ(パーティクルなど)を除去することができる。

【0139】

プラズマ処理を行う際に、パルス直流(DC)電源を用いると、ゴミを軽減でき、膜厚分布も均一となるため好ましい。また、上述したプラズマ処理を行った後、大気に曝すことなく酸化物半導体膜101を形成することにより、絶縁膜と酸化物半導体膜101の界面にゴミや水分が付着することを抑制することができる。

【0140】

また、スパッタ装置として、材料の異なるターゲットを複数設置できる多元スパッタ装置を用いてもよい。多元スパッタ装置では、同一チャンバーで異なる膜を積層形成すること、同一チャンバーで複数種類の材料を同時にスパッタして一の膜を形成することもできる。さらに、チャンバー内部に磁界発生機構を備えたマグネトロンスパッタ装置を用いる方法(マグネトロンスパッタ法)や、マイクロ波を用いて発生させたプラズマを用いるECRスパッタ法等を用いてもよい。また、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法等を用いてもよい。

【0141】

次に、酸化物半導体膜101上にレジストマスク102を形成し、当該レジストマスク102を用いて酸化物半導体膜101を選択的にエッチングして、島状の半導体層103aを形成する(図2(C)、(D)参照)。レジストマスクの形成にスピンコート法を用いる場合、レジスト膜の均一性の向上のため、大量のレジスト材料や、大量の現像液が使用され、余分な材料の消費量が多い。特に基板が大型化すると、スピンコート法を用いる成膜方法では、大型の基板を回転させる機構が大規模となる点、材料液のロス及び廃液量が多い点で、大量生産上不利である。また、矩形の基板をスピンコートさせると回転軸を中心とする円形のムラが塗布膜に生じやすい。そこで、インクジェット法などの液滴吐出法やスクリーン印刷法などを用いて選択的にレジスト材料膜を形成し、露光を行ってレジストマスクを形成することが好ましい。選択的にレジスト材料膜を形成することによって、レジスト材料の使用量の削減が図れるため大幅なコストダウンが実現でき、1000mm

10

20

30

40

50

× 1 2 0 0 mm、1 1 0 0 mm × 1 2 5 0 mm、1 1 5 0 mm × 1 3 0 0 mmのような大面積基板にも対応できる。ただし、これに限定されない。

【 0 1 4 2 】

この際のエッチング方法としてウエットエッチングまたはドライエッチングを用いることができる。ここでは、酢酸と硝酸とリン酸との混合液を用いたウエットエッチングにより、酸化物半導体膜 1 0 1 の不要な部分を除去して、島状の半導体層 1 0 3 a を形成する。なお、上記エッチングの後にはレジストマスク 1 0 2 は除去する。また、ウエットエッチングに用いるエッチャントは酸化物半導体膜 1 0 1 をエッチングできるものであればよく、上述したものに限られない。ドライエッチングを行う場合は、塩素を含有するガス、又は塩素を含有するガスに酸素が添加されたガスを用いることが好ましい。塩素と酸素を含有するガスを用いることで、下地膜として機能する絶縁膜と、酸化物半導体膜 1 0 1 とのエッチング選択比がとりやすく、絶縁膜へのダメージを十分に低減できるためである。

10

【 0 1 4 3 】

また、ドライエッチングに用いるエッチング装置としては、反応性イオンエッチング法 (R I E 法) を用いたエッチング装置や、E C R (E l e c t r o n C y c l o t r o n R e s o n a n c e) や I C P (I n d u c t i v e l y C o u p l e d P l a s m a) などの高密度プラズマ源を用いたドライエッチング装置を用いることができる。また、I C P エッチング装置と比べて広い面積に渡って一様な放電が得られやすいドライエッチング装置としては、上部電極を接地させ、下部電極に 1 3 . 5 6 M H z の高周波電源を接続し、さらに下部電極に 3 . 2 M H z の低周波電源を接地した E C C P (E n h a n c e d C a p a c i t i v e l y C o u p l e d P l a s m a) モードのエッチング装置がある。この E C C P モードのエッチング装置であれば、例えば、基板として第 1 0 世代の 3 m を超えるサイズの基板を用いる場合にも対応することができる。

20

【 0 1 4 4 】

その後、2 0 0 ~ 6 0 0 、代表的には 3 0 0 ~ 5 0 0 の熱処理を行うと良い。ここでは、窒素雰囲気下で 3 5 0 、1 時間の熱処理を行う。この熱処理により半導体層 1 0 3 a を構成する I n - G a - Z n - O 系酸化物半導体の原子レベルの再配列が行われる。この熱処理 (光アニール等も含む) は、半導体層 1 0 3 a 中におけるキャリアの移動を阻害する歪みを解放できる点で重要である。なお、上記の熱処理を行うタイミングは、半導体層 1 0 3 a の形成後であれば特に限定されない。

30

【 0 1 4 5 】

次に、島状の半導体層 1 0 3 a 上に、導電膜 1 0 4 を形成する (図 2 (E) 、 (F) 参照) 。

【 0 1 4 6 】

導電膜 1 0 4 は、インジウム錫酸化物 (I T O) 、酸化シリコンを含むインジウム錫酸化物 (I T S O) 、有機インジウム、有機スズ、酸化亜鉛 (Z n O) 、窒化チタン等を用いることができる。また、酸化亜鉛を含むインジウム亜鉛酸化物 (I n d i u m Z i n c O x i d e : I Z O) 、ガリウム (G a) を含む酸化亜鉛、酸化スズ (S n O ₂) 、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物なども用いてもよい。導電膜 1 0 4 は、上述の材料をスパッタリング法により、単層構造又は 2 層以上の積層構造で形成することができる。ただし、積層構造とする場合には、複数の膜の全ての光透過率が十分に高いことが望ましい。

40

【 0 1 4 7 】

次に、導電膜 1 0 4 上にレジストマスク 1 0 5 a 、 1 0 5 b を形成し、当該レジストマスク 1 0 5 a 、 1 0 5 b を用いて導電膜 1 0 4 を選択的にエッチングして、ソース電極又はドレイン電極として機能する導電層 1 0 6 a 、 1 0 6 b を形成する (図 2 (G) 、 (H) 参照) 。なお、上記エッチングの後にはレジストマスク 1 0 5 a 、 1 0 5 b は除去する。この際、後に形成されるゲート絶縁膜 1 1 0 の被覆性を向上し、段切れを防止するために、ソース電極又はドレイン電極として機能する導電層 1 0 6 a 、 1 0 6 b の端部がテーパ

50

ー形状となるようエッチングすることが好ましい。なお、ソース電極又はドレイン電極にはソース配線等、上記導電膜によって形成される電極や配線が含まれる。

【0148】

次に、島状の半導体層103a、導電層106a、106b上に導電膜107を形成する(図3(A)、(B)参照)。

【0149】

導電膜107は、アルミニウム(Al)、タングステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジム(Nd)、クロム(Cr)、アンチモン(Sb)、ニオブ(Nb)、セリウム(Ce)などの金属材料、またはこれらの金属材料を主成分とする合金材料、またはこれらの金属材料を成分とする窒化物を用いて、単層又は積層で形成することができる。アルミニウムなどの低抵抗導電性材料で形成することが望ましい。

10

【0150】

導電層106a、106b(又は導電膜104)の上に導電膜107を形成した場合、両者の膜が反応を起こしてしまう場合がある。例えば、導電層106a、106bにITOを用い、導電膜107にアルミニウムを用いた場合、化学反応が起きてしまう場合がある。したがって、化学反応が起きることを避けるために、導電層106a、106bと導電膜107との間に、高融点材料を用いることが望ましい。例えば、高融点材料の例としては、モリブデン、チタン、タングステン、タンタル、クロムなどが挙げられる。そして、高融点材料を用いた膜の上に、導電率が高い材料を用いて、導電層106a、106bを多層膜とすることは、好適である。導電率が高い材料としては、アルミニウム、銅、銀などがあげられる。例えば、導電層106a、106bを積層構造で形成する場合には、1層目をモリブデン、2層目をアルミニウム、3層目をモリブデンの積層、若しくは、1層目をモリブデン、2層目にネオジムを微量に含むアルミニウム、3層目をモリブデンの積層で形成することができる。このような構成とすることで、ヒロック発生を防止することができる。なお、遮光性を有する導電層よりも透光性を有する導電層の方が、膜厚が薄いことが望ましい。ただしこれに限定されない。

20

【0151】

次に、導電膜107上にレジストマスク108を形成し、当該レジストマスク108を用いて導電膜107をエッチングして、導電層109aを形成する(図3(C)、(D)参照)。上記エッチングの後にはレジストマスク108は除去する。その結果、導電膜107は、レジストマスク108が形成されている部分を残して除去され、導電層106aが露出する。これにより、導電層109aと導電層106aとは、それぞれの層が有する表面積が異なる。つまり、導電層106aが有する表面積は、導電層109aが有する表面積よりも大きい。または、導電層109aと導電層106aとは、導電層109aと導電層106aとが重なった領域と、導電層109aと導電層106aとが重なっていない領域とを有する。

30

【0152】

導電層106aと導電層109aとが重なる領域では、導電層106aと導電層109aはソース配線として機能し、導電層106aと導電層109aとが重ならない領域では、導電層106aはソース電極又はドレイン電極として機能する。ソース電極又はドレイン電極として機能する導電層106aを、透光性を有する材料で形成することにより、ソース電極又はドレイン電極が形成された部分においても光を透過させることができるため、画素の開口率を向上させることができる。また、導電層109aを、導電層106aよりも導電率が高い材料で形成することにより、ソース配線の配線抵抗を低減し、消費電力を低減することができる。また、ソース配線は、遮光性を有する導電層を用いて構成されているため、画素間を遮光することができる。また、コントラストを向上させることができる。

40

【0153】

50

なお、導電層 106a、106b を形成した後、導電層 109a を形成する工程について説明したが、形成する順番を逆としてもよい。つまり、ソース配線の一部である導電層 109a を形成した後に、ソース電極又はドレイン電極として機能する導電層 106a、106b を形成することもできる（図 7 参照）。

【0154】

また、導電層 106b は、保持容量部 160 の電極としても機能する。

【0155】

次に、導電層 106a、106b を覆うように、ゲート絶縁膜 110 を形成した後、導電膜 111 を形成する（図 3（E）、（F）参照）。

【0156】

ゲート絶縁膜 110 は、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、又は酸化タンタル膜の単層または積層で設けることができる。ゲート絶縁膜 110 は、スパッタ法、CVD 法を用いて膜厚を 50nm 以上 250nm 以下で形成することができる。例えば、ゲート絶縁膜 110 として、スパッタ法により酸化シリコン膜を 100nm の厚さで形成することができる。または、スパッタ法により酸化アルミニウム膜を 100nm の厚さで形成することができる。

【0157】

ゲート絶縁膜 110 を緻密な膜で形成することにより、基板 100 側から半導体層 103a に水分や酸素が侵入することを防止することができる。また、基板 100 に含まれるアルカリ金属（Li、Cs、Na 等）やアルカリ土類金属（Ca、Mg 等）や他の金属元素などの不純物が半導体層 103a に侵入することを防止することができる。なお、Na は、 $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{18} / \text{cm}^3$ 以下とする。したがって、酸化物半導体を用いた半導体装置の半導体特性の変動を抑制することができる。また、半導体装置の信頼性を向上させることができる。

【0158】

ゲート絶縁膜 110 は、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の酸素又は窒素を有する絶縁膜、DLC（ダイヤモンドライクカーボン）等の炭素を含む膜や、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる膜を単層又は積層構造で設けることができる。

【0159】

なお、ゲート絶縁膜 110 は、透光性を有していることが好ましい。

【0160】

導電膜 111 は、導電膜 104 を形成した材料と概ね同じ材料で形成されることが望ましい。ただし、これに限定されない。概ね同じ材料とは、主成分の元素が同じ材料のことであり、不純物レベルでは、含まれる元素の種類や濃度などが異なっている場合がある。このように、概ね同じ材料を用いることにより、スパッタや蒸着などで導電膜 111 を形成する場合、導電膜 104 と材料を共有できるというメリットがある。導電膜 111 と導電膜 104 の材料を共有することにより、同じ製造装置を用いることができ、製造工程をスムーズに流すことができ、スループットを向上させることが可能となり、低コスト化を実現することが可能となる。

【0161】

次に、導電膜 111 上にレジストマスク 112a、112b を形成し、当該レジストマスク 112a、112b を用いて導電膜 111 を選択的にエッチングして、導電層 113a、113b を形成する（図 4（A）、（B）参照）。なお、上記エッチングの後にはレジストマスク 112a、112b は除去する。

【0162】

次に、導電層 113a、113b、ゲート絶縁膜 110 上に導電膜 114 を形成する（図 4（C）、（D）参照）。

10

20

30

40

50

【0163】

導電膜114は、アルミニウム（Al）、タングステン（W）、チタン（Ti）、タンタル（Ta）、モリブデン（Mo）、ニッケル（Ni）、白金（Pt）、銅（Cu）、金（Au）、銀（Ag）、マンガン（Mn）、ネオジム（Nd）、クロム（Cr）、アンチモン（Sb）、ニオブ（Nb）、セリウム（Ce）などの金属材料、またはこれらの金属材料を主成分とする合金材料、またはこれらの金属材料を成分とする窒化物を用いて、単層又は積層で形成することができる。アルミニウムなどの低抵抗導電性材料で形成することが望ましい。

【0164】

また、導電膜114は、導電膜107を形成した材料とは異なる材料で形成することが望ましい。または、導電膜114は、導電膜107とは異なる積層構造で形成されることが望ましい。なぜなら、半導体装置の作製工程において、加えられる温度が導電膜114と導電膜107とでは異なる場合が多いからである。通常、導電膜107の方が、高温な状態になることが多い。したがって、導電膜107の方が融点の高い材料または積層構造を用いることが望ましい。または、導電膜107の方が、ヒロックがおきにくい材料または積層構造を用いることが望ましい。または、導電膜114は、映像信号が供給される信号線を構成する場合があるため、導電膜107よりも配線抵抗が小さい材料又は積層構造を用いることが望ましい。なお、遮光性を有する導電層よりも透光性を有する導電層の方が、膜厚が薄いことが望ましい。

10

【0165】

導電層106a、106b（又は導電膜104）の上に導電膜107を形成する場合と同様に、導電層113a、113b（又は導電膜111）の上に導電膜114を形成する場合、両者の膜が反応を起こしてしまう場合がある。したがって、導電層113a、113b上に導電膜114を形成する場合においても、導電層113a、113bと導電膜114との間に、高融点材料を用いることが望ましい。例えば、高融点材料の例としては、モリブデン、チタン、タングステン、タンタル、クロムなどがあげられる。そして、高融点材料を用いた膜の上に、導電率が高い材料を用いて、導電膜114を多層膜で形成することは、好適である。導電率が高い材料としては、アルミニウム、銅、銀などがあげられる。

20

【0166】

次に、導電膜114上にレジストマスク115を形成し、当該レジストマスク115を用いて導電膜114をエッチングして、導電層116aを形成する（図4（E）、（F）参照）。上記エッチングの後にはレジストマスク115は除去する。その結果、導電膜114は、レジストマスク115が形成されている部分を残して除去され、導電層113aが露出する。これにより、導電層116aと導電層113aとは、それぞれの層が有する表面積が異なる。つまり、導電層113aが有する表面積は、導電層116aが有する表面積よりも大きい。または、導電層116aと113aとは、導電層113aと導電層116aとが重なった領域と、導電層116aと導電層113aとが重なっていない領域とを有する。

30

【0167】

導電層113aと導電層116aとが重なる領域では、導電層113aと導電層116aはゲート配線として機能し、導電層113aと導電層116aとが重ならない領域では、導電層113aはゲート電極として機能する。ゲート電極として機能する導電層113aを、透光性を有する材料で形成することにより、ゲート電極が形成された部分においても光を透過させることができるため、画素の開口率を向上させることができる。また、ゲート配線として機能する導電層116aを、導電層113aよりも導電率が高い材料で形成することにより、配線抵抗を低減し、消費電力を低減することができる。また、ソース配線は、遮光性を有する導電層116aを用いて構成されているため、画素間を遮光することができる。つまり、行方向に配置されたゲート配線と、列方向に配置されたソース配線とによって、ブラックマトリクスを用いることなく画素間の隙間を遮光することができる

40

50

。

【0168】

なお、導電層113a、113bを形成した後、導電層116aを形成する工程について説明したが、形成する順番を逆としてもよい。つまり、ゲート配線として機能する導電層116aを形成した後に、ゲート電極として機能する導電層113aを形成することもできる(図7参照)。

【0169】

また、ゲート配線と同じ方向に容量配線が配置されている。容量配線は、画素領域では、透光性を有する導電層113bで形成することが望ましいが、ソース配線と重なる領域では導電層113bと、導電層116bとで積層させてもよい。導電層113bと、導電層113bよりも導電率が高い導電層116bとで積層させることにより、抵抗を下げることができる(図1(A)参照)。

10

【0170】

本実施の形態では、容量配線の幅とゲート配線の幅が同じになるように形成する例を示すが、容量配線の幅とゲート配線の幅が異なるように形成してもよい。容量配線の幅は、ゲート配線の幅よりも広くすることが好ましい。保持容量部160の表面積を大きくすることができる。

【0171】

このようにして、保持容量部160を、透光性を有する導電層で構成することにより、保持容量部160が形成された部分においても光を透過させることができるため、開口率を向上させることができる。また、保持容量部160を、透光性を有する材料で構成することにより、保持容量部160を大きくすることもできるため、トランジスタがオフになったときでも、画素電極の電位保持特性が向上し、表示品質が向上する。また、フィードスルー電位を小さくすることができる。

20

【0172】

以上により、トランジスタ150、保持容量部160を作製することができる。また、トランジスタ150、保持容量部160を、透光性を有する素子とすることができる。

【0173】

なお、半導体層103aの形成の後、ソース電極、ソース配線の形成後、ゲート絶縁膜の形成後、又はゲート電極、ゲート配線の形成後のいずれかにおいて、半導体層103aの一部の領域または全部の領域の導電率を高める処理を行っても良い。例えば、導電率を高める処理として、水素化処理などが挙げられる。水素を含んだ窒化シリコンを半導体層103aの上層に配置し、熱を加えることにより、半導体層103aの水素化処理を行うことができる。または、水素雰囲気中で熱を加えることにより、水素化することも可能である。また、図6(A)に示すように、トランジスタ151の半導体層103aのチャネル形成領域と重なる領域に、チャネル保護層120aを形成することにより、半導体層103aに、選択的に導電率が高められた領域121a、121bを形成することができる。

30

【0174】

チャネル保護層120aは、酸化シリコンで形成されることが望ましい。これにより、半導体層103aのチャネル形成領域に、水素が入ることを低減することができる。なお、チャネル保護層120aは、導電率を高める処理を行った後、除去してもよい。または、チャネル保護層120bは、レジストで形成することも可能である(図6(B)参照)。その場合は、水素化処理の後、レジストを除去することが好ましい。このように、酸化物半導体層に対し、導電率を高める処理を行うことにより、トランジスタに電流を流れやすくし、容量素子の抵抗を下げるすることができる。

40

【0175】

図6(A)において、トランジスタ151のチャネル保護層120aは、半導体層103aに接して設ける例を示したが、ゲート絶縁膜110上に設けてもよい。また、チャネル保護層と、ゲート電極として機能する導電層の形を調整して、導電層よりもチャネル保護層の方を大きくすることにより、オフセット領域を形成することができる。

50

【0176】

チャネル保護層120aにより、導電層106a、106bをエッチングするときに、半導体層103aもエッチングされてしまうことを防止することができる。そのため、半導体層103aの厚さを薄くすることができる。半導体層103aが薄いと空乏層ができやすい。そのため、S値を小さくすることができる。オフ電流も小さくできる。

【0177】

または、図6(C)に示したように、半導体層103a上に半導体層103aよりも導電率が高められた領域121a、121bを設けたトランジスタ152を形成することもできる。

【0178】

次に、絶縁膜117を形成した後、絶縁膜117上にレジストマスク(図示せず)を形成し、該レジストマスクを用いて、絶縁膜117をエッチングし、絶縁膜117にコンタクトホール130を形成する(図5(A)、(B)参照)。絶縁膜117は、トランジスタ150、保持容量部160、又は配線などが形成された表面を平坦にする絶縁膜として機能する。トランジスタ150、保持容量部160を、透光性を有する素子として形成することができるため、それらが配置されている領域も、開口領域として利用することができる。そのため、トランジスタ150、保持容量部160、又は配線などによる凹凸を緩和して、これらの素子が形成された上部を平坦にすることは有益である。

【0179】

また、絶縁膜117は、不純物などからトランジスタ150を保護する絶縁膜として機能する。絶縁膜117は、例えば、窒化シリコンを有する膜で形成することができる。窒化シリコンを有する膜は、不純物をブロックする効果が高いため好適である。または、絶縁膜117は、有機材料を有する膜で形成することができる。有機材料の例として、アクリル、ポリイミド、ポリアミドなどが好適である。これらの有機材料は、凹凸を平坦にする機能が高いため好適である。したがって、絶縁膜117を、窒化シリコンを有する膜と、有機材料を有する膜とで積層構造とする場合には、下側に窒化シリコンを有する膜を配置し、上側に有機材料を有する膜を配置することが好適である。なお、絶縁膜117を積層構造で形成する場合には、それぞれの膜の透光性が十分に高いことが望ましい。また、感光性材料も用いることができる。その場合には、絶縁膜117にエッチングを行い、コンタクトホールを形成することがなくなる。

【0180】

なお、絶縁膜117は、カラーフィルタとしての機能を有していてもよい。基板100側にカラーフィルタを設けることにより、対向基板側にカラーフィルタを設ける必要がなくなり、2つの基板の位置を調整するためのマージンが必要なくなるため、パネルの製造を容易にすることができる。なお、絶縁膜117は、形成しなくてもよい。ゲート電極、ゲート配線と同じ層上に画素電極があってもよい。

【0181】

次に、絶縁膜117及びコンタクトホール130上に導電膜118を形成する(図5(C)、(D)参照)。導電膜118は、導電膜104、導電膜111を形成した材料と概ね同じ材料を有して構成されることが望ましい。このように、概ね同じ材料を用いることにより、スパッタや蒸着などで導電膜118を形成する場合、導電膜104、導電膜111と材料を共有できるというメリットがある。材料を共有することにより、同じ製造装置を用いることができ、製造工程をスムーズに流すことができ、スループットを向上させることが可能となり、低コスト化を実現することが可能となる。但し、導電膜118は、導電膜104、導電膜111と異なる材料を用いて形成してもよい。

【0182】

次に、導電膜118上にレジストマスク(図示せず)を形成し、該レジストマスクを用いて導電膜118を選択的にエッチングして、導電層119a、119b、119cを形成する(図5(E)、(F)参照)。なお、上記エッチングの後にはレジストマスクは除去する。

10

20

30

40

50

【0183】

導電層119a、119b、119cは、画素電極として機能する。また、導電層119a、119b、119cは、コンタクトホール130を介して、ソース配線、ソース電極、ゲート配線、ゲート電極、画素電極、容量配線、保持容量部の電極などを互いに接続させることができる。したがって、導電層119a～119cは、導体と導体とを接続するための配線として機能させることができる。導電層119a～119cの膜厚は、ソース電極を含むソース配線に用いる透光性を有する導電層、又はゲート電極を含むゲート配線に用いる透光性を有する導電層よりも薄いことが望ましいが、本発明の一態様は、これに限定されず、導電層119a～119cの膜厚は、ソース電極を含むソース配線に用いる透光性を有する導電層、又はゲート電極を含むゲート配線に用いる透光性を有する導電層よりも厚くてもよい。

10

【0184】

以上により、図1(A)、(B)に示す半導体装置を作製することができる。本実施の形態で示す作製方法により、透光性を有するトランジスタ150及び透光性を有する保持容量部160を形成することができる。そのため、画素内に、トランジスタや容量素子を配置する場合であっても、トランジスタや容量素子が形成された部分においても光を透過させることができるため、開口率を向上させることができる。さらに、トランジスタと素子(例えば、別のトランジスタ)とを接続する配線は、抵抗率が低く導電率が高い材料を用いて形成することができるため、信号の波形なまりを低減し、配線抵抗による電圧降下を低減することができる。

20

【0185】

次に、半導体装置の他の一例について、図7～図15を用いて説明する。なお、図7～図15に示す半導体装置は、多くの部分で図1と共通している。したがって、以下においては、重複する部分は省略し、異なる点について説明する。

【0186】

図7(A)は、平面図であり、図7(B)は、図7(A)におけるA-Bで切断した断面図、図7(C)は、図7(A)におけるC-Dで切断した断面図である。図1では、ゲート配線及びソース配線を、透光性を有する導電層上に遮光性を有する導電層との順で積層する例を示したが、遮光性を有する導電層と透光性を有する導電層との順で形成することもできる(図7参照)。ゲート電極として機能する透光性を有する導電層113aが、ゲート配線として機能する遮光性を有する導電層116aと接続されていればよい。また、ソース電極又はドレイン電極として機能する透光性を有する導電層106aが、ソース配線として機能する遮光性を有する導電層109aと接続されていればよい。

30

【0187】

図8(A)は、平面図であり、図8(B)は、図8(A)におけるA-Bで切断した断面図、図8(C)は、図8(A)におけるC-Dで切断した断面図である。図1では、ゲート配線及びソース配線を、透光性を有する導電層と遮光性を有する導電層との順で積層する例を示したが、ゲート配線及びソース配線は、遮光性を有する導電層で形成することもできる(図8参照)。ゲート電極として機能する透光性を有する導電層113aと、ゲート配線として機能する遮光性を有する導電層116aとが接続されていればよい。また、ソース電極又はドレイン電極として機能する透光性を有する導電層106aと、ソース配線として機能する遮光性を有する導電層109aとが接続されていればよい。なお、図7は、遮光性を有する導電層と透光性を有する導電層との順で形成する場合について、図8は、ゲート配線及びソース配線は、遮光性を有する導電層で形成する場合について説明したが、透光性を有する導電層と遮光性を有する導電層との順で形成することもできる。

40

【0188】

また、本実施の形態では、画素内にトランジスタを形成することができるため、トランジスタを大きく形成することができる。例えば、図9に示すように、ゲート配線幅よりもトランジスタのチャンネル幅Wの方が長い、又はチャンネル長Lの方が長いトランジスタ153を作製することができる。トランジスタを大きくすることにより、その電流能力を十分上

50

げることができ、画素への信号書き込み時間を短縮することができる。または、オフ電流を低減することができ、ちらつきなどを低減することができる。よって、高精細な表示装置を提供することができる。

【0189】

なお、保護回路やゲートドライバやソースドライバなどの周辺駆動回路部分では、トランジスタ部分において光が透過する必要がない。よって、画素部はトランジスタや容量素子を、透光性を有する材料で形成して、周辺駆動回路部分では、遮光性を有する材料で形成してもよい（図25（A）参照）。

【0190】

図10（A）は平面図であり、図10（B）は図10（A）におけるA - Bで切断した断面図である。図10の図1と異なる点は、導電層106cと導電層113cの表面積を導電層106bと導電層113bよりも大きくすることにある。保持容量部161の大きさは、画素ピッチの7割以上、又は8割以上とすることが好ましい。また、画素電極とのコンタクトは、導電層106c上の導電層109b上でとることとしている。以下、図1で示した構成と同様であるため、詳細な説明は省略する。

10

【0191】

このような構成とすることにより、光透過率の高い保持容量部161を大きく形成することができる。保持容量部161を大きくすることによって、トランジスタがオフになったときでも、画素電極の電位保持特性が向上し、表示品質が向上する。また、フィードスルー電位を小さくすることができる。また、保持容量部161を大きく形成する場合であっても、保持容量部161が形成された部分においても光を透過させることができるため、開口率を高めることができ、消費電力を低減することができる。また、画素電極のコンタクトホールによる凹凸で、液晶の配向乱れがあったとしても、遮光性を有する導電層109bにより、光漏れを防止することができる。

20

【0192】

図11（A）は平面図であり、図11（B）は図11（A）におけるA - Bで切断した断面図である。

【0193】

図11に示す半導体装置は、半導体層103aの一部に導電率が高い領域（ n^+ 領域とも記す）を設けると共に、ソース電極又はドレイン電極として機能する導電層106a、106bをゲート電極と重畳させないように設けた構成を示している。導電率が高い領域は、半導体層103aにおいて、導電層106a、106bと接続する領域に設けることができる。なお、導電率が高い領域は、ゲート電極（導電層113a）と重畳させるように設けてもよいし、重畳させないように設けてもよい。

30

【0194】

導電率が高い領域は、図6で説明したように、半導体層103aに水素を選択的に添加することにより形成することができる。水素は、半導体層103aにおいて、導電率を高くしたい部分に添加すればよい。

【0195】

また、ソース電極及びドレイン電極と、ゲート電極とが重畳しないように設けることによって、ソース電極及びドレイン電極と、ゲート電極の間に生じる寄生容量を抑制することができる。そのため、フィードスルーを低減することができる。

40

【0196】

図11では、半導体層103aの一部について導電率を高めている。このような構成にすることによって、トランジスタ154では、ゲート電極とソース電極又はドレイン電極とをオーバーラップさせる必要がなくなる。

【0197】

なお、ソース配線、ゲート配線は各々、遮光性を有する導電層と透光性を有する導電層との積層になっているが、これに限定されない。ソース配線及びゲート配線が、遮光性を有する導電層のみ、又はソース電極及びドレイン電極が、透光性を有する導電層のみとなっ

50

ていてもよい。例えば、ゲート配線が遮光性を有する導電層のみでソース配線が遮光性を有する導電層のみで、ドレイン電極が透光性を有する導電層のみの場合を図12に示す。ソース配線は遮光性を有する導電層のみで形成され、ゲート配線も遮光性を有する導電層のみで形成されている。容量配線は遮光性を有する導電層で形成しても良いし、透光性を有する導電層で形成してもよい。なお、ソース電極を形成する透光性を有する導電層とゲート配線とオーバーラップしている領域は遮光性を有する導電層が形成されていてもよい。

【0198】

図13(A)、図14(A)に、画素の構成の一例として発光表示装置の例を示す。図13(A)に示す画素は、導電層106aと導電層109aの順で積層されるゲート配線と、導電層113a、116aの順で積層されるソース配線と、スイッチング用のトランジスタ150、駆動用のトランジスタ155、保持容量部162、導電層106dと導電層109cの順で積層される電源線を有している。また、図14(A)に示す画素は、導電層106aと導電層109aの順で積層されるゲート配線と、導電層113a、116aの順で積層されるソース配線と、スイッチング用のトランジスタ150、駆動用のトランジスタ156、保持容量部164、導電層106dと導電層109cの順で積層される電源線を有している。

10

【0199】

図13(A)、図14(A)に示すトランジスタ150は、絶縁表面を有する基板100上に、半導体層103aと、半導体層103a上に設けられたソース電極又はドレイン電極として機能する導電層106a、106cと、導電層106a、106c上に設けられたゲート絶縁膜110と、ゲート絶縁膜110上に設けられ、かつ、導電層106a、106cの間に設けられたゲート電極として機能する導電層113aとで構成されている。また、駆動用のトランジスタ155及び駆動用のトランジスタ156は、絶縁表面を有する基板100上に半導体層103bと、半導体層103b上に設けられたソース電極又はドレイン電極として機能する導電層106d、106eと、導電層106d、106e上に設けられたゲート絶縁膜110と、ゲート絶縁膜110上に設けられ、かつ、導電層106d、106eの間に設けられたゲート電極として機能する導電層113cまたは113dとで構成されている。また、図13において、保持容量部162は、導電層106eと導電層113cとで構成されており、図14において、保持容量部164は、導電層106eと導電層113dとで構成されている。

20

30

【0200】

なお、図13(B)に示すように、ゲートとドレインとを接続する場合、コンタクトホール132、133を介して一番上のITOを介して接続されているが、図14(B)に示すように、ゲートとドレインとを直接コンタクトホール131を介して接続させてもよい。その場合、画素電極の面積を大きくできるので、開口率が向上する。また、抵抗値を小さくできる。

【0201】

図13、図14に示す半導体装置は、スイッチング用のトランジスタ150、駆動用のトランジスタ155または156の2つのトランジスタを有する場合について説明したが、1つの画素に3つ以上のトランジスタを設けることもできる。

40

【0202】

このように、本実施の一態様は、1画素中に、2つ以上のトランジスタを設ける場合であっても、トランジスタが形成された部分において光を透過させることができるため、開口率を高めることができる。

【0203】

図15は、トランジスタの形状が、導電層106aが導電層106bを囲む形状(例えば、U字型又はC字型)の場合の平面図である。

【0204】

図15に示すトランジスタ156は、絶縁面を有する基板100上に、半導体層103c

50

と、半導体層 103c 上に設けられたソース電極又はドレイン電極として機能する導電層 106a、106b と、導電層 106a、106b 上に設けられたゲート絶縁膜 110 と、ゲート絶縁膜 110 上に設けられたゲート電極として機能する導電層 113a とで構成される。このように、ソース電極及びドレイン電極の一方はソース電極及びドレイン電極の他方を囲む形状（例えば、U 字型、C 字型）であることで、ソース電極とドレイン電極との距離はほぼ一定に保たれている。

【0205】

トランジスタ 156 を上記した形状とすることで、該トランジスタのチャネルの幅を大きくすることができ、キャリアが移動する領域の面積を増加させることが可能であるため、電流量を増やすことが可能であり、トランジスタの面積を縮小することができる。また、電気的特性のばらつきを低減することができる。

10

【0206】

なお、本実施の形態では、容量配線を設ける構成について説明したが、容量配線を設けず、画素電極を隣り合うゲート配線と絶縁膜を介して重ねて保持容量を設けることもできる（図 36 参照）。

【0207】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【0208】

（実施の形態 2）

本実施の形態では、半導体装置の作製工程の一例について図 16 乃至図 23 を用いて説明する。なお、本実施の形態における半導体装置及びその作製工程は、多くの部分で実施の形態 1 と共通している。したがって、以下においては、重複する部分は省略し、異なる点について詳細に説明する。

20

【0209】

図 16 に、本実施の形態の半導体装置を示す。図 16 (A) は、平面図であり、図 16 (B) は、図 16 (A) における A - B で切断した断面図である。

【0210】

次に、図 16 に示す半導体装置の作製工程の一例について、図 17 乃至図 22 を用いて説明する。また、本実施の形態では、多階調マスクを用いて半導体装置を作製する場合について説明する。

30

【0211】

はじめに、絶縁表面を有する基板 200 上に半導体層 203 を形成する（図 17 (A)、(B) 参照）。

【0212】

基板 200 の材料、半導体層 203 の材料や作製方法については、実施の形態 1 に示す基板 100、半導体層 103a を参照することができる。また、絶縁表面を有する基板 200 上に下地膜として機能する絶縁膜を設けてもよい。

【0213】

次に、半導体層 203 上に導電膜 204、導電膜 205 を形成する（図 17 (C)、(D) 参照）。導電膜 204、導電膜 205 の材料及び作製方法については、実施の形態 1 に示す導電膜 104、導電膜 107 を参照することができる。

40

【0214】

次に、導電膜 205 上にレジストマスク 206a、206b を形成する。レジストマスク 206a、206b は、多階調マスクを用いることにより、厚さの異なる領域を有するレジストマスクを形成することができる。多階調マスクを用いることで、使用するフォトリソの枚数が低減され、作製工程が減少するため好ましい。本実施の形態において、導電膜 204、205 のパターンを形成する工程と、導電膜 212、213 のパターンを形成する工程（図 19 (C)、(D) 参照）において、多階調マスクを用いることができる。

【0215】

多階調マスクとは、多段階の光量で露光を行うことが可能なマスクであり、代表的には、

50

露光領域、半露光領域及び未露光領域の３段階の光量で露光を行う。多階調マスクを用いることで、一度の露光及び現像工程によって、複数（代表的には二種類）の厚さを有するレジストマスクを形成することができる。そのため、多階調マスクを用いることで、フォトマスクの枚数を削減することができる。

【０２１６】

図２２（Ａ－１）及び図２２（Ｂ－１）は、代表的な多階調マスクの断面を示す。図２２（Ａ－１）には、グレートーンマスク４０３を示し、図２２（Ｂ－１）にはハーフトーンマスク４１４を示す。

【０２１７】

図２２（Ａ－１）に示すグレートーンマスク４０３は、透光性を有する基板４００に遮光層により形成された遮光部４０１、及び遮光層のパターンにより設けられた回折格子部４０２で構成されている。

10

【０２１８】

回折格子部４０２は、露光に用いる光の解像度限界以下の間隔で設けられたスリット、ドット又はメッシュ等を有することで、光の透過率を制御する。なお、回折格子部４０２に設けられるスリット、ドット又はメッシュは周期的なものであってもよいし、非周期的なものであってもよい。

【０２１９】

透光性を有する基板４００としては、石英等を用いることができる。遮光部４０１及び回折格子部４０２を構成する遮光層は、金属膜を用いて形成すればよく、好ましくはクロム又は酸化クロム等により設けられる。

20

【０２２０】

グレートーンマスク４０３に露光するための光を照射した場合、図２２（Ａ－２）に示すように、遮光部４０１に重畳する領域における透光率は０％となり、遮光部４０１も回折格子部４０２も設けられていない領域における透光率は１００％となる。また、回折格子部４０２における透光率は、概ね１０％～７０％の範囲であり、回折格子のスリット、ドット又はメッシュの間隔等により調節可能である。

【０２２１】

図２２（Ｂ－１）に示すハーフトーンマスク４１４は、透光性を有する基板４１１上に半透光層により形成された半透光部４１２及び遮光層により形成された遮光部４１３で構成されている。

30

【０２２２】

半透光部４１２は、 MoSiN 、 MoSi 、 MoSiO 、 MoSiON 、 CrSi 等の層を用いて形成することができる。遮光部４１３は、グレートーンマスクの遮光層と同様の金属膜を用いて形成すればよく、好ましくはクロム又は酸化クロム等により設けられる。

【０２２３】

ハーフトーンマスク４１４に露光するための光を照射した場合、図２２（Ｂ－２）に示すように、遮光部４１３に重畳する領域における透光率は０％となり、遮光部４１３も半透光部４１２も設けられていない領域における透光率は１００％となる。また、半透光部４１２における透光率は、概ね１０％～７０％の範囲であり、形成する材料の種類又は形成する膜厚等により調整可能である。

40

【０２２４】

多階調マスクを用いることにより、露光部分、中間露光部分、及び未露光部分の３つの露光レベルのマスクを形成することができ、一度の露光及び現像工程により、複数（代表的には二種類）の厚さの領域を有するレジストマスクを形成することができる。このため、多階調マスクを用いることで、フォトマスクの枚数を削減することができる。

【０２２５】

図１７（Ｅ）、（Ｆ）に示すハーフトーンマスクは、光を透過する基板３００上に半透過層３０１ａ、３０１ｂ及び遮光層３０１ｃで構成されている。したがって、導電膜２０５上に後にソース配線となる箇所のレジストマスクは膜厚が厚く、後にソース電極又はドレ

50

イン電極となる箇所のレジストマスクは膜厚が薄く形成される（１７（Ｅ）、（Ｆ）参照）。

【０２２６】

レジストマスク２０６ａ、２０６ｂを用いて、導電膜２０４、２０５の不要部分を選択的にエッチングして除去し、導電層２０７ａ、２０８ａ、導電層２０７ｂ、２０８ｂを形成する（図１８（Ａ）、（Ｂ）参照）。

【０２２７】

次に、レジストマスク２０６ａ、２０６ｂに対して、酸素プラズマによるアッシングを行う。レジストマスク２０６ａ、２０６ｂに対して酸素プラズマによるアッシングを行うことにより、レジストマスク２０６ｂは除去され、導電層２０７ｂが露出する。また、レジストマスク２０６ａは縮小し、レジストマスク２０９として残存する（図１８（Ｃ）、（Ｄ）参照）。このように、多階調マスクで形成したレジストマスクを用いることにより、追加のレジストマスクを用いることがなくなるため、工程を簡略化することができる。

10

【０２２８】

次に、レジストマスク２０９を用いて、導電層２０７ａ、２０７ｂに対してエッチングして、導電層２１０ａを形成する（図１８（Ｅ）、（Ｆ）参照）。上記エッチングの後にはレジストマスク２０９は除去する。その結果、導電層２０７ｂは除去され、導電層２０８ｂが露出する。また、導電層２０７ａは、レジストマスク２０９が形成されている部分を残して除去され、導電層２０８ａが露出する。エッチングすることにより形成された導電層２１０ａと、導電層２０８ａとは、それぞれの層が有する表面積が大きく異なる。つまり、導電層２０８ａが有する表面積は、導電層２１０ａが有する表面積よりも大きい。または、導電層２１０ａと導電層２０８ａとは、導電層２１０ａと導電層２０８ａとが重なった領域と、導電層２１０ａと導電層２０８ａとが重なっていない領域とを有する。

20

【０２２９】

導電層２０８ａと、導電層２１０ａとが重なる領域では、導電層２０８ａと導電層２１０ａはソース配線として機能し、導電層２０８ａと、導電層２１０ａとが重ならない領域では、導電層２０８ａはソース電極又はドレイン電極として機能する。ソース電極又はドレイン電極として機能する導電層２０８ａを、透光性を有する材料で形成することにより、画素の開口率を向上させることができる。また、ソース配線として機能する導電層を、導電層２０８ａと導電層２０８ａよりも導電率が高い導電層２１０ａとで積層することにより、配線抵抗を低減し、消費電力を低減することができる。また、ソース配線は、遮光性を有する導電層２１０ａを用いて構成されているため、画素間を遮光することができる。

30

【０２３０】

このように、多階調マスクを用いることにより、１枚のマスクで、透光性を有する領域（光透過率の高い領域）と、遮光性を有する領域（光透過率の低い領域）とを形成することができる。これにより、マスクを増加させることなく、透光性を有する領域（光透過率の高い領域）と、遮光性を有する領域（光透過率の低い領域）とを形成することができる。

【０２３１】

次に、導電層２０８ａ、２０８ｂ上にゲート絶縁膜２１１形成後、ゲート絶縁膜２１１上に導電膜２１２、導電膜２１３を形成する（図１９（Ａ）、（Ｂ）参照）。導電膜２１２、導電膜２１３の材料及び作製方法については、実施の形態１に示すゲート絶縁膜１１０、導電膜１１１、導電膜１１４を参照することができる。

40

【０２３２】

次に、ハーフトーンマスクを用いて、導電膜２１３上にレジストマスク２１４ａ、２１４ｂを形成する。ハーフトーンマスクは、光を透過する基板３０２上に半透過層３０３ａ、３０３ｂ及び遮光層３０３ｃ、３０３ｄで構成されている。したがって、導電膜２１３上には、後にゲート配線となる箇所のレジストマスクは膜厚が厚く、後にゲート電極となる箇所のレジストマスクは膜厚が薄く形成される（図１９（Ｃ）、（Ｄ）参照）。

【０２３３】

レジストマスク２１４ａ、２１４ｂを用いて、導電膜２１２、２１３の不要部分を選択

50

的にエッチングして除去し、導電層 2 1 5 a、2 1 6 a、導電層 2 1 5 b、2 1 6 b を形成する（図 2 0（A）、（B）参照）。

【0 2 3 4】

次に、レジストマスク 2 1 4 a、2 1 4 b に対して、酸素プラズマによるアッシングを行う。レジストマスク 2 1 4 a、2 1 4 b に対して酸素プラズマによるアッシングを行うことにより、レジストマスク 2 1 4 a、2 1 4 b は縮小し、レジストマスク 2 1 7 a、2 1 7 b として残存する（図 2 0（C）、（D）参照）。このように、多階調マスクで形成したレジストマスクを用いることにより、追加のレジストマスクを用いることがなくなるため、工程を簡略化することができる。

【0 2 3 5】

次に、レジストマスク 2 1 7 a、2 1 7 b を用いて、導電層 2 1 5 a、2 1 5 b に対してエッチングする（図 2 0（E）、（F）参照）。その結果、導電層 2 1 5 a、2 1 5 b は、レジストマスク 2 1 7 a、2 1 7 b が形成されている部分を残して除去され、導電層 2 1 6 a、2 1 6 b が露出する。これにより形成された導電層 2 1 8 a、2 1 8 b は、導電層 2 1 6 a、2 1 6 b とそれぞれの層が有する表面積が大きく異なる。つまり、導電層 2 1 6 a、2 1 6 b が有する表面積は、導電層 2 1 8 a、2 1 8 b が有する表面積よりも大きい。または、導電層 2 1 6 a と導電層 2 1 8 a とは、導電層 2 1 6 a と導電層 2 1 8 a とが重なった領域と、導電層 2 1 6 a と導電層 2 1 8 a とが重なっていない領域とを有する。なお、上記エッチングの後には、レジストマスク 2 1 7 a、2 1 7 b は除去する。

【0 2 3 6】

少なくとも導電層 2 1 8 a がある領域では、ゲート配線として機能し、導電層 2 1 6 a がある領域では、ゲート電極として機能する。ゲート電極として機能する導電層 2 1 6 a を、透光性を有する導電層で形成することにより、画素の開口率を向上させることができる。また、ゲート配線として機能する導電層 2 1 6 a と導電層 2 1 8 a とを、導電層 2 1 6 a と、導電層 2 1 6 a よりも導電率が高い導電層 2 1 8 a とで積層することにより、配線抵抗を低減し、消費電力を低減することができる。また、ゲート配線は、遮光性を有する導電層 2 1 8 a を用いて構成されているため、画素間を遮光することができる。つまり、行方向に配置されたゲート配線と、列方向に配置されたソース配線とによって、ブラックマトリクスを用いることなく画素間の隙間を遮光することができる。

【0 2 3 7】

また、ゲート配線と同じ方向に容量配線が配置されている。容量配線は、導電層 2 1 6 b と、導電層 2 1 6 b よりも導電率が高い導電層 2 1 8 b とで形成されている。このようにして形成することにより、配線抵抗を低減し、消費電力を低減することができる。また、導電層 2 1 6 b は、保持容量部 2 6 0 の電極としても機能する。容量配線には、保持容量部 2 6 0 が、ゲート絶縁膜 2 1 1 を誘電体として、電極として機能する導電層 2 0 8 b と導電層 2 1 6 b とで構成される。

【0 2 3 8】

このようにして、保持容量部 2 6 0 を、透光性を有する導電層で構成することにより、保持容量部 2 6 0 が形成された部分においても光を透過させることができるため、開口率を向上させることができる。また、保持容量部 2 6 0 を、透光性を有する材料で構成することにより、保持容量部 2 6 0 を大きくすることもできるため、トランジスタがオフになったときでも、画素電極の電位保持特性が向上し、表示品質が向上する。また、フィードスルー電位を小さくすることができる。

【0 2 3 9】

以上により、図 1 6 に示すトランジスタ 2 5 0、保持容量部 2 6 0 を作製することができる。

【0 2 4 0】

次に、絶縁膜 2 1 9 を形成した後、絶縁膜 2 1 9 上にレジストマスク（図示せず）を形成し、該レジストマスクを用いて、絶縁膜 2 1 9 をエッチングし、絶縁膜 2 1 9 にコンタクトホールを形成する（図 2 1（A）、（B）参照）。次に、絶縁膜 2 1 9 及びコンタクト

10

20

30

40

50

ホール上に導電膜 220 を形成する。絶縁膜 219、導電膜 220 の材料及び作製方法は、実施の形態 1 の絶縁膜 117、導電膜 118 を参照することができる。なお、絶縁膜 219 は、形成しなくてもよい。ゲート電極、ゲート配線と同じ層上に画素電極があってもよい。

【0241】

次に、導電膜 220 上にレジストマスク（図示せず）を形成し、該レジストマスクを用いて導電膜 220 を選択的にエッチングして、導電層 221a、221b、221c を形成する（図 21（C）、（D）参照）。導電層 221a、221b、221c は、画素電極として機能する。なお、上記エッチングの後にはレジストマスクは除去する。

【0242】

以上により、半導体装置を作製することができる。多階調マスクを用いることによって、露光部分、中間露光部分、及び未露光部分の 3 つの露光レベルのマスクを形成することができ、一度の露光及び現像工程により、複数（代表的には二種類）の厚さの領域を有するレジストマスクを形成することができる。このため、多階調マスクを用いることで、フォトマスクの枚数を削減することができる。また、本実施の形態で示す作製方法により、透光性を有するトランジスタ 250 及び透光性を有する保持容量部 260 を形成することができる。そのため、画素内に、トランジスタと素子（例えば、別のトランジスタ）とを接続する配線は、抵抗率が低く導電率が高い材料を用いて形成することができるため、信号の波形なまりを低減し、配線抵抗による電圧降下を低減することができる。

【0243】

なお、保護回路やゲートドライバやソースドライバなどの周辺駆動回路部分では、トランジスタ部分で光が透過する必要がない。よって、画素部はトランジスタや容量素子を、透光性を有する材料で形成して、周辺駆動回路部分では、遮光性を有する材料で形成してもよい（図 25（B）参照）。

【0244】

本実施の形態では、ソース配線、ソース電極、ゲート配線又はゲート電極の形成において多階調マスクを用いる場合について説明したが、本発明の一態様はこれに限定されない。例えば、半導体膜、ソース配線、ソース電極の形成においても多階調マスクを用いることができる。本実施の形態では、ゲート配線を形成する工程と、ソース配線を形成する工程の両方の工程で多階調マスクを用いる場合について説明したが、ゲート配線を形成する工程と、ソース配線を形成する工程のどちらか一方で用いてもよい。また、半導体層とソース配線を形成する工程においても多階調マスクを用いることができる。半導体層と、ソース配線及びソース電極を、多階調マスクを用いて形成した場合を図 23（A）に示す。

【0245】

また、半導体層、ソース配線及びソース電極を、多階調マスクを用いて形成し、保持容量部を形成した場合を図 23（B）に示す。また、半導体膜のチャネル形成領域上にチャネル保護膜が形成された場合においても、多階調マスクを用いることができる（図 23（C）参照）。図 23（B）、（C）において、トランジスタ 250 の半導体層と保持容量部 260 の酸化物半導体層を一つのアイランドにしたため、酸化物半導体層を形成するためのレイアウトが容易となる。また、コンタクトホール数を低減することができるため、コンタクト抵抗を低減することができる。また、コンタクト不良を低減することができる。

【0246】

次に、半導体層 203b 及びソース配線として機能する導電層 210a を多階調マスクで形成した場合を図 35（A）に示す。また、半導体層 203b 及びソース電極又はドレイン電極として機能する導電層 208c、208d を、多階調マスクを用いて形成した場合を図 35（B）に示す。

【0247】

本実施の形態は、他の実施の形態と適宜組み合わせ用いることができる。

【0248】

10

20

30

40

50

(実施の形態 3)

本実施の形態では、表示装置において、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

【0249】

表示装置の一例であるアクティブマトリクス型液晶表示装置のブロック図の一例を図 2 4 (A) に示す。図 2 4 (A) に示す表示装置は、基板 5 3 0 0 上に表示素子を備えた画素を複数有する画素部 5 3 0 1 と、各画素を選択する走査線駆動回路 5 3 0 2 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 5 3 0 3 とを有する。

【0250】

図 2 4 (B) に示す発光表示装置は、基板 5 4 0 0 上に表示素子を備えた画素を複数有する画素部 5 4 0 1 と、各画素を選択する第 1 の走査線駆動回路 5 4 0 2 及び第 2 の走査線駆動回路 5 4 0 4 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 5 4 0 3 とを有する。

10

【0251】

図 2 4 (B) に示す発光表示装置の画素に入力されるビデオ信号をデジタル形式とする場合、画素はトランジスタのオンとオフの切り替えによって、発光もしくは非発光の状態となる。よって、面積階調法または時間階調法を用いて階調の表示を行うことができる。面積階調法は、1 画素を複数の副画素に分割し、各副画素を独立にビデオ信号に基づいて駆動させることによって、階調表示を行う駆動法である。また時間階調法は、画素が発光する期間を制御することによって、階調表示を行う駆動法である。

20

【0252】

発光素子は、液晶素子などに比べて応答速度が速いので、液晶素子よりも時間階調法に適している。時間階調法で表示を行なう場合、1 フレーム期間を複数のサブフレーム期間に分割する。そしてビデオ信号に従い、各サブフレーム期間において画素の発光素子を発光または非発光の状態にする。複数のサブフレーム期間に分割することによって、1 フレーム期間中に画素が発光する期間の合計の長さを、ビデオ信号により制御することができ、階調を表示することができる。

【0253】

なお、図 2 4 (B) に示す発光表示装置では、一つの画素に 2 つのスイッチング用 T F T を配置する場合であって、一方のスイッチング用 T F T のゲート配線である第 1 の走査線に入力される信号を第 1 走査線駆動回路 5 4 0 2 で生成し、他方のスイッチング用 T F T のゲート配線である第 2 の走査線に入力される信号を第 2 の走査線駆動回路 5 4 0 4 で生成する例を示しているが、第 1 の走査線に入力される信号と、第 2 の走査線に入力される信号とを、共に 1 つの走査線駆動回路で生成するようにしても良い。また、例えば、1 つの画素が有するスイッチング用 T F T の数によって、スイッチング素子の動作を制御するために用いられる走査線が、各画素に複数設けられることもあり得る。この場合、複数の走査線に入力される信号を、全て 1 つの走査線駆動回路で生成しても良いし、複数の各走査線駆動回路で生成しても良い。

30

【0254】

液晶表示装置の画素部に配置する薄膜トランジスタは、実施の形態 1 または実施の形態 2 に従って形成する。また、実施の形態 1 および実施の形態 2 に示す薄膜トランジスタは n チャネル型 T F T であるため、駆動回路のうち、n チャネル型 T F T で構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

40

【0255】

また、発光表示装置においても、駆動回路のうち、n チャネル型 T F T で構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成することができる。また、信号線駆動回路及び走査線駆動回路を実施の形態 1、2 に示す n チャネル型 T F T のみで作製することも可能である。

【0256】

なお、保護回路やゲートドライバやソースドライバなどの周辺駆動回路部分では、トラン

50

ジスタにおいて、光を透過させる必要がない。よって、画素部はトランジスタや容量素子において光を透過させて、周辺駆動回路部分では、トランジスタにおいて光を透過させなくてもよい。

【0257】

図25(A)は、多階調マスクを用いずに薄膜トランジスタを形成した場合、図25(B)は、多階調マスクを用いて薄膜トランジスタを形成した場合である。多階調マスクを用いずに形成された薄膜トランジスタは、絶縁表面を有する基板100上に設けられた半導体層171と、半導体層171上に設けられたソース電極又はドレイン電極として機能する導電層172と、導電層172上に設けられたゲート絶縁膜110と、ゲート絶縁膜110上に設けられたゲート電極として機能する導電層174とで構成されている。ゲート電極として機能する導電層174、ソース電極又はドレイン電極として機能する導電層172を、遮光性を有する導電層で形成することができる(図25(A)参照)。また、ゲート電極として機能する導電層174上に絶縁膜175が形成されている。

10

【0258】

多階調マスクを用いて形成された薄膜トランジスタは、絶縁表面を有する基板200上に設けられた半導体層271と、半導体層271上に設けられたソース電極又はドレイン電極として機能する導電層272、273と、導電層273上に設けられたゲート絶縁膜、ゲート絶縁膜上に設けられたゲート電極として機能する導電層275、276とで構成されている。ゲート電極、ソース電極又はドレイン電極は、それぞれ、透光性を有する導電層と遮光性を有する導電層とを積層して形成することができる(図25(B)参照)。また、ゲート電極として機能する導電層275、276上に絶縁膜277が形成されている。

20

【0259】

保護回路やゲートドライバやソースドライバなどの周辺駆動回路部分では、トランジスタにおいて、光を透過させる必要がない。したがって、本発明の一態様で用いる半導体層は、酸化物半導体以外に、結晶性半導体(単結晶半導体若しくは多結晶半導体)、非晶質半導体、微結晶半導体、マイクロクリスタル半導体、有機半導体等のいずれを用いてもよい。

【0260】

また、上述した駆動回路は、液晶表示装置や発光表示装置に限らず、スイッチング素子と電氣的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置(電気泳動ディスプレイ)などがあり、紙と同じ読みやすさを実現し、他の表示装置に比べ消費電力を抑え、且つ、薄型、軽量とすることが可能である。

30

【0261】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0262】

(実施の形態4)

次に、半導体装置の一形態である表示装置の構成について説明する。本実施の形態では、表示装置として、エレクトロルミネッセンスを利用する発光素子を有する発光表示装置について説明する。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

40

【0263】

有機EL素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア(電子および正孔)が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

50

【0264】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー・アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

【0265】

次に、デジタル時間階調駆動を適用可能な画素構成及び画素の動作について説明する。図26は、デジタル時間階調駆動を適用可能な画素構成の一例を示す図である。ここでは半導体層をチャネル形成領域に用いるnチャネル型のトランジスタを1つの画素に2つ用いる例を示す。

10

【0266】

図26(A)に示す画素6400は、スイッチング用トランジスタ6401、駆動用トランジスタ6402、発光素子6404及び容量素子6403を有している。スイッチング用トランジスタ6401はゲートが走査線6406に接続され、第1電極(ソース電極及びドレイン電極の一方)が信号線6405に接続され、第2電極(ソース電極及びドレイン電極の他方)が駆動用トランジスタ6402のゲートに接続されている。駆動用トランジスタ6402は、ゲートが容量素子6403を介して電源線6407に接続され、第1電極が電源線6407に接続され、第2電極が発光素子6404の第1電極(画素電極)に接続されている。発光素子6404の第2電極は共通電極6408に相当する。

20

【0267】

なお、発光素子6404の第2電極(共通電極6408)には低電源電位が設定されている。なお、低電源電位とは、電源線6407に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子6404に印加して、発光素子6404に電流を流して発光素子6404を発光させるため、高電源電位と低電源電位との電位差が発光素子6404の順方向しきい値電圧(V_{th})以上となるようにそれぞれの電位を設定する。

30

【0268】

なお、容量素子6403は駆動用トランジスタ6402のゲート容量を代用して省略することも可能である。駆動用トランジスタ6402のゲート容量については、チャネル領域とゲート電極との間で容量が形成されていてもよい。

【0269】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ6402のゲートには、駆動用トランジスタ6402が十分にオンするか、オフするかとの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ6402は線形領域で動作させる。駆動用トランジスタ6402は線形領域で動作させるため、電源線6407の電圧よりも高い電圧を駆動用トランジスタ6402のゲートにかける。なお、信号線6405には、(電源線電圧+駆動用トランジスタ6402の V_{th})以上の電圧をかける。

40

【0270】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図26(A)と同じ画素構成を用いることができる。

【0271】

アナログ階調駆動を行う場合、駆動用トランジスタ6402のゲートに発光素子6404の順方向電圧+駆動用トランジスタ6402の V_{th} 以上の電圧をかける。発光素子6404の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用トランジスタ6402が飽和領域で動作するようなビデオ信号を入力することで、発光素子6404に電流を流すことができる。駆動用トランジ

50

スタ 6 4 0 2 を飽和領域で動作させるため、電源線 6 4 0 7 の電位は、駆動用トランジスタ 6 4 0 2 のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子 6 4 0 4 にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【 0 2 7 2 】

なお、図 2 6 (A) に示す画素構成は、これに限定されない。例えば、図 2 6 (A) に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。例えば、図 2 6 (B) に示す構成としてもよい。図 2 6 (B) に示す画素 6 4 1 0 は、スイッチング用トランジスタ 6 4 0 1、駆動用トランジスタ 6 4 0 2、発光素子 6 4 0 4 及び容量素子 6 4 0 3 を有している。スイッチング用トランジスタ 6 4 0 1 はゲートが走査線 6 4 0 6 に接続され、第 1 電極 (ソース電極及びドレイン電極の一方) が信号線 6 4 0 5 に接続され、第 2 電極 (ソース電極及びドレイン電極の他方) が駆動用トランジスタ 6 4 0 2 のゲートに接続されている。駆動用トランジスタ 6 4 0 2 は、ゲートが容量素子 6 4 0 3 を介して発光素子 6 4 0 4 の第 1 の電極 (画素電極) に接続され、第 1 電極がパルス電圧を印加する配線 6 4 2 6 に接続され、第 2 電極が発光素子 6 4 0 4 の第 1 電極に接続されている。発光素子 6 4 0 4 の第 2 電極は共通電極 6 4 0 8 に相当する。もちろん、この構成に対して、新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

10

【 0 2 7 3 】

次に、発光素子の構成について、図 2 7 (A)、図 2 7 (B)、図 2 7 (C) を用いて説明する。ここでは、駆動用 T F T が図 1 0 に示すトランジスタ 1 5 0 の場合を例に挙げて、画素の断面構造について説明する。図 2 7 (A)、図 2 7 (B)、図 2 7 (C) の半導体装置に用いられる駆動用 T F T である T F T 7 0 0 1、7 0 1 1、7 0 2 1 は、実施の形態 1、2 で示すトランジスタと同様に作製でき、酸化物半導体を半導体層として含む高い電気特性を有する薄膜トランジスタである。

20

【 0 2 7 4 】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、図 2 6 に示す画素構成はどの射出構造の発光素子にも適用することができる。

30

【 0 2 7 5 】

上面射出構造の発光素子について図 2 7 (A) を用いて説明する。

【 0 2 7 6 】

図 2 7 (A) に、駆動用 T F T である T F T 7 0 0 1 が図 1 0 に示すトランジスタ 1 5 0 であり、発光素子 7 0 0 2 から発せられる光が陽極 7 0 0 5 側に抜ける場合の、画素の断面図を示す。図 2 7 (A) では、発光素子 7 0 0 2 の陰極 7 0 0 3 と駆動用 T F T である T F T 7 0 0 1 が電氣的に接続されており、陰極 7 0 0 3 上に発光層 7 0 0 4、陽極 7 0 0 5 が順に積層されている。陰極 7 0 0 3 は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々の材料を用いることができる。例えば、C a、A l、M g A g、A l L i 等が望ましい。そして発光層 7 0 0 4 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極 7 0 0 3 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なお、これらの層を全て設ける必要はない。陽極 7 0 0 5 は光を透過する透光性を有する導電性材料を用いて形成し、例えば、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物 (以下、I T O と示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いても良い。

40

【 0 2 7 7 】

陰極 7 0 0 3 及び陽極 7 0 0 5 で発光層 7 0 0 4 を挟んでいる領域が発光素子 7 0 0 2 に

50

相当する。図 27 (A) に示した画素の場合、発光素子 7002 から発せられる光は、矢印で示すように陽極 7005 側に射出する。

【0278】

なお、駆動回路において半導体層上に設けるゲート電極は、陰極 7003 と同じ材料で形成すると工程を簡略化できるため好ましい。陽極の上に、絶縁膜を形成してもよい。例えば、SiNx、SiOx には吸湿性があるので、EL 素子の劣化を防止することができる。また、陰極を半透過膜（透過率 30 ~ 80 %、反射率 30 ~ 60 %）にして、マイクロキャビティー構造（微小共振器）とすることにより、色純度を向上させることができる。

【0279】

次に、下面射出構造の発光素子について図 27 (B) を用いて説明する。図 27 (B) に、駆動用 TFT 7011 が図 10 に示すトランジスタ 150 であり、発光素子 7012 から発せられる光が陰極 7013 側に射出する場合の、画素の断面図を示す。図 27 (B) では、駆動用 TFT 7011 と電氣的に接続された透光性を有する導電層 7017 上に、発光素子 7012 の陰極 7013 が成膜されており、陰極 7013 上に発光層 7014、陽極 7015 が順に積層されている。なお、陽極 7015 が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜 7016 が成膜されていてもよい。陰極 7013 は、図 27 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただし、その膜厚は、光を透過する程度（好ましくは、5 nm ~ 30 nm 程度）とする。例えば 20 nm の膜厚を有するアルミニウム膜を、陰極 7013 として用いることができる。そして、発光層 7014 は、図 27 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7015 は光を透過する必要はないが、図 27 (A) と同様に、透光性を有する導電性材料を用いて形成することができる。そして、遮蔽膜 7016 は、例えば、光を反射する金属等を用いることができるが、金属膜に限定されない。例えば、黒の顔料を添加した樹脂等を用いることもできる。

【0280】

陰極 7013 及び陽極 7015 で、発光層 7014 を挟んでいる領域が発光素子 7012 に相当する。図 27 (B) に示した画素の場合、発光素子 7012 から発せられる光は、矢印で示すように陰極 7013 側に射出する。

【0281】

なお、駆動回路において半導体層上に設けるゲート電極は、陰極 7013 と同じ材料で形成すると工程を簡略化できるため好ましい。

【0282】

次に、両面射出構造の発光素子について、図 27 (C) を用いて説明する。図 27 (C) では、駆動用 TFT 7021 と電氣的に接続された透光性を有する導電層 7027 上に、発光素子 7022 の陰極 7023 が成膜されており、陰極 7023 上に発光層 7024、陽極 7025 が順に積層されている。陰極 7023 は、図 27 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 20 nm の膜厚を有する Al を、陰極 7023 として用いることができる。そして発光層 7024 は、図 27 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7025 は、図 27 (A) と同様に、透光性を有する導電性材料を用いて形成することができる。

【0283】

陰極 7023 と、発光層 7024 と、陽極 7025 とが重なっている部分が発光素子 7022 に相当する。図 27 (C) に示した画素の場合、発光素子 7022 から発せられる光は、矢印で示すように陽極 7025 側と陰極 7023 側の両方に射出する。

【0284】

なお、駆動回路において半導体層上に設けるゲート電極は、導電層 7027 と同じ材料で形成すると工程を簡略化できるため好ましい。また、駆動回路において半導体層上に設け

るゲート電極は、導電層 7027 及び陰極 7023 と同じ材料を用いて積層させると、工程を簡略化できることに加え、積層することにより配線抵抗を低下させることができ、好ましい。

【0285】

なお、ここでは、発光素子として有機 EL 素子について述べたが、発光素子として無機 EL 素子を設けることも可能である。陽極を全画素共通にして、陰極をパターンングして、画素電極にしてもよい。

【0286】

なお、本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ（駆動用 TFT）と発光素子が電氣的に接続されている例を示したが、駆動用 TFT と発光素子との間に電流制御用 TFT が接続されている構成であってもよい。

10

【0287】

なお、本実施の形態で示す半導体装置は、図 27（A）、図 27（B）、図 27（C）に示した構成に限定されるものではなく、開示した技術的思想に基づく各種の変形が可能である。

【0288】

次に、半導体装置の一形態に相当する発光表示パネル（発光パネルともいう）の上面及び断面について、図 28（A）、図 28（B）を用いて説明する。図 28（A）は、第 1 の基板上に形成された薄膜トランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの上面図であり、図 28（B）は、図 28（A）の H - I における断面図に相当する。

20

【0289】

第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b を囲むようにして、シール材 4505 が設けられている。また画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b の上に第 2 の基板 4506 が設けられている。よって画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b は、第 1 の基板 4501 とシール材 4505 と第 2 の基板 4506 とによって、充填材 4507 と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

30

【0290】

また、第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b は、薄膜トランジスタを複数有しており、図 28（B）では、画素部 4502 に含まれる薄膜トランジスタ 4510 と、信号線駆動回路 4503a に含まれる薄膜トランジスタ 4509 とを例示している。薄膜トランジスタ 4509、4510 は、酸化物半導体を半導体層として含む信頼性の高い実施の形態 1、2 に示す薄膜トランジスタを適用することができる。

【0291】

なお、保護回路やゲートドライバやソースドライバなどの周辺駆動回路部分では、トランジスタ部分において光を透過させる必要がない。よって、画素部 4502 ではトランジスタや容量素子を、透光性を有する材料で形成し、周辺駆動回路部分では、遮光性を有する材料で形成してもよい。

40

【0292】

また、4511 は発光素子に相当し、発光素子 4511 が有する画素電極である第 1 の電極層 4517 は、薄膜トランジスタ 4510 のソース電極層またはドレイン電極層と電氣的に接続されている。なお、発光素子 4511 の構成は、第 1 の電極層 4517、電界発光層 4512、第 2 の電極層 4513 の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子 4511 から取り出す光の方向などに合わせて、発光素子 4511 の構成は適宜変えることができる。

50

【0293】

隔壁4520は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極層4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0294】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0295】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4513及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化シリコン膜、窒化酸化シリコン膜、DLC膜等を形成することができる。

10

【0296】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

【0297】

接続端子電極4515が、発光素子4511が有する第1の電極層4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509、4510が有するソース電極層及びドレイン電極層と同じ導電膜から形成されていてもよい。

20

【0298】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電氣的に接続されている。

【0299】

発光素子4511からの光の取り出し方向に位置する第2の基板は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0300】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。

30

【0301】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0302】

信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、別途用意された単結晶半導体基板、或いは絶縁基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図28（A）及び図28（B）の構成に限定されない。

40

【0303】

以上の工程により、製造コストを低減した発光表示装置を作製することができる。

【0304】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0305】

（実施の形態5）

次に、半導体装置の一形態である表示装置の他の構成について説明する。本実施の形態で

50

は、表示装置として液晶素子を有する液晶表示装置について説明する。

【0306】

まず、液晶表示装置の一形態である液晶表示パネル（液晶パネルともいう）の上面及び断面について、図29（A1）、図29（A2）、図29（B）を用いて説明する。図29（A1）、図29（A2）は、第1の基板4001上に形成された実施の形態1、2で示した酸化物半導体を半導体層として含む薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図29（B）は、図29（A1）、図29（A2）のM-Nにおける断面図に相当する。

【0307】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

【0308】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図29（A1）は、COG方法により信号線駆動回路4003を実装する例であり、図29（A2）は、TAB方法により信号線駆動回路4003を実装する例である。

【0309】

また、第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図29（B）では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4021が設けられている。薄膜トランジスタ4010、4011は、酸化物半導体を半導体層として含む実施の形態1、2に示す薄膜トランジスタを適用することができる。

【0310】

なお、保護回路やゲートドライバやソースドライバなどの周辺駆動回路部分では、トランジスタ部分において光を透過させる必要がない。よって、画素部4002ではトランジスタや容量素子を、透光性を有する材料で形成し、周辺駆動回路部分では、遮光性を有する材料で形成してもよい。

【0311】

また、液晶素子4013が有する画素電極4030は、薄膜トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

【0312】

画素部4002においては、格子状の配線部分は光を通さないが、それ以外は光を透過させることができるため、開口率を向上させることができる。さらに、各画素電極間には隙間が必要であり、隙間部分には液晶に電界が加わらない。そのため、その隙間部分は、光を透過させないことが望ましい。そこで、格子状の配線部分をブラックマトリクスとして利用することができる。

【0313】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属（代表的にはステンレス）、セラミックス、プラスチックを用いることができる。プラスチックとしては

10

20

30

40

50

、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVF フィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【0314】

また4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

10

【0315】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が $10\mu s \sim 100\mu s$ と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

20

【0316】

なお、本実施の形態で示す液晶表示装置は透過型液晶表示装置の例であるが、反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

【0317】

また、本実施の形態で示す液晶表示装置は、基板の外側(視認側)に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

【0318】

また、本実施の形態では、薄膜トランジスタの表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、実施の形態1、2で得られた薄膜トランジスタを保護膜や平坦化絶縁膜として機能する絶縁層4021で覆う構成となっている。絶縁層4021は、1層又は2層以上の積層構造で形成することができる。なお、保護膜は、大気中に浮遊する有機物や金属、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護膜は、スパッタ法を用いて、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、又は窒化酸化アルミニウム膜の単層、又は積層で形成すればよい。本実施の形態では保護膜をスパッタ法で形成する例を示すが、特に限定されずプラズマCVD法などの種々の方法で形成すればよい。

30

40

【0319】

保護膜として積層構造の絶縁層で形成することができる。積層構造の絶縁層を形成する場合は、保護膜の一層目として、例えばスパッタ法を用いて酸化シリコン膜を形成する。保護膜として酸化シリコン膜を用いると、ソース電極層及びドレイン電極層として用いるアルミニウム膜のヒロック防止に効果がある。

【0320】

また、保護膜の二層目として、例えばスパッタ法を用いて窒化シリコン膜を形成する。保護膜として窒化シリコン膜を用いると、ナトリウム等の可動イオンが半導体領域中に侵入して、TFTの電気特性を変化させることを抑制することができる。

【0321】

50

また、保護膜を形成した後に、半導体層のアニール（300 ~ 400）を行ってもよい。

【0322】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

【0323】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0324】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021を、材料液を用いて形成する場合、バークする工程で同時に、半導体層のアニール（300 ~ 400）を行ってもよい。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

【0325】

画素電極4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0326】

また、画素電極4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000Ω/□以下、波長550nmにおける透光率が70%以上であることが好ましい。シート抵抗は、より低いことが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1Ω・cm以下であることが好ましい。

【0327】

導電性高分子としては、いわゆるπ電子共役系導電性高分子を用いることができる。例えば、ポリアニンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0328】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0329】

接続端子電極4015が、液晶素子4013が有する画素電極4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されていてもよい。

【0330】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0331】

また、図29（A1）、図29（A2）においては、信号線駆動回路4003を別途形成

10

20

30

40

50

し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0332】

図30は、TFT基板2600を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

【0333】

図30は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、着色層2605、偏光板2606が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

【0334】

液晶表示モジュールには、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optically Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)などを用いることができる。

【0335】

以上の工程により、製造コストを低減した液晶表示装置を作製することができる。

【0336】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0337】

(実施の形態6)

次に、半導体装置の一形態である電子ペーパーについて説明する。電子ペーパーは、紙と同じ読みやすさを実現し、他の表示装置に比べ消費電力を抑え、且つ、薄型、軽量とすることが可能である。

【0338】

図31に、半導体装置の一形態としてアクティブマトリクス型の電子ペーパーを示す。半導体装置の画素部に用いられる薄膜トランジスタ581としては、上記の実施形態で示す画素部の薄膜トランジスタと同様に作製でき、酸化物半導体を半導体層として含む薄膜トランジスタである。

【0339】

図31に示す電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

【0340】

基板580上に設けられた薄膜トランジスタ581はトップゲート構造の薄膜トランジスタであり、ソース電極層又はドレイン電極層は第1の電極層587と、絶縁層585に形

10

20

30

40

50

成する開口で接しており電氣的に接続している。第 1 の電極層 5 8 7 と基板 5 8 6 に設けられた第 2 の電極層 5 8 8 との間には黒色領域 5 9 0 a 及び白色領域 5 9 0 b を有し、周りに液体で満たされているキャビティ 5 9 4 を含む球形粒子 5 8 9 が設けられており、球形粒子 5 8 9 の周囲は樹脂等の充填材 5 9 5 で充填されている（図 3 1 参照）。

【 0 3 4 1 】

また、ツイストボールの代わりに、電気泳動表示素子を用いることも可能である。透明な液体と、正または負に帯電した白い微粒子と白い微粒子と逆の極性に帯電した黒い微粒子とを封入した直径 $10\ \mu\text{m} \sim 200\ \mu\text{m}$ 程度のマイクロカプセルを用いる。第 1 の電極層と第 2 の電極層との間に設けられるマイクロカプセルは、第 1 の電極層と第 2 の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子である。電気泳動表示素子は、液晶素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した画像を保持することが可能であるため、電源供給源（例えば、電波発信源）から電子ペーパーを遠ざけた場合であっても、表示された画像を保存しておくことが可能となる。

10

【 0 3 4 2 】

以上の工程により、製造コストが低減された電子ペーパーを作製することができる。

【 0 3 4 3 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

20

【 0 3 4 4 】

（実施の形態 7）

本実施の形態に係る半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

30

【 0 3 4 5 】

図 3 2 (A) は、携帯情報端末機器 9 2 0 0 の一例を示している。携帯情報端末機器 9 2 0 0 は、コンピュータを内蔵しており、様々なデータ処理を行うことが可能である。このような携帯情報端末機器 9 2 0 0 としては、PDA (Personal Digital Assistance) が挙げられる。

【 0 3 4 6 】

携帯情報端末機器 9 2 0 0 は、筐体 9 2 0 1 および筐体 9 2 0 3 の 2 つの筐体で構成されている。筐体 9 2 0 1 と筐体 9 2 0 3 は、連結部 9 2 0 7 で折りたたみ可能に連結されている。筐体 9 2 0 1 には表示部 9 2 0 2 が組み込まれており、筐体 9 2 0 3 はキーボード 9 2 0 5 を備えている。もちろん、携帯情報端末機器 9 2 0 0 の構成は上述のものに限定されず、少なくとも実施の形態 1 又は 2 で説明した薄膜トランジスタを備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。同一基板上に駆動回路と画素部を形成することにより製造コストが低減され、電気特性の高い薄膜トランジスタを有する携帯情報端末機器を実現できる。

40

【 0 3 4 7 】

図 3 2 (B) は、デジタルビデオカメラ 9 5 0 0 の一例を示している。デジタルビデオカメラ 9 5 0 0 は、筐体 9 5 0 1 に表示部 9 5 0 3 が組み込まれ、その他に各種操作部が設けられている。なお、デジタルビデオカメラ 9 5 0 0 の構成は特に限定されず、少なくとも実施の形態 1 又は 2 で説明した薄膜トランジスタを備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。同一基板上に駆動回路と画素部を形成することにより製造コストが低減され、電気特性の高い薄膜トランジスタを有するデジタ

50

ルビデオカメラを実現できる。

【0348】

図32(C)は、携帯電話機9100の一例を示している。携帯電話機9100は、筐体9104および筐体9101の2つの筐体で構成されており、連結部9103により折りたたみ可能に連結されている。筐体9104には表示部9102が組み込まれており、筐体9101には操作キー9106が設けられている。なお、携帯電話機9100の構成は特に限定されず、少なくとも実施の形態1又は2で説明した薄膜トランジスタを備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。同一基板上に駆動回路と画素部を形成することにより製造コストが低減され、電気特性の高い薄膜トランジスタを有する携帯電話機を実現できる。

10

【0349】

図32(D)は、携帯可能なコンピュータ9800の一例を示している。コンピュータ9800は、開閉可能に連結された筐体9801と筐体9804を備えている。筐体9804には表示部9802が組み込まれ、筐体9801はキーボード9803などを備えている。なお、コンピュータ9800の構成は特に限定されず、少なくとも実施の形態1又は2で説明した薄膜トランジスタを備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。同一基板上に駆動回路と画素部を形成することにより製造コストが低減され、電気特性の高い薄膜トランジスタを有するコンピュータを実現できる。

【0350】

図33(A)は、テレビジョン装置9600の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

20

【0351】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。また、リモコン操作機9610に、当該リモコン操作機9610から出力する情報を表示する表示部9607を設ける構成としてもよい。

30

【0352】

なお、テレビジョン装置9600は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向(送信者から受信者)または双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。

【0353】

図33(B)は、デジタルフォトフレーム9700の一例を示している。例えば、デジタルフォトフレーム9700は、筐体9701に表示部9703が組み込まれている。表示部9703は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

40

【0354】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子(USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

【0355】

また、デジタルフォトフレーム9700は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

50

【 0 3 5 6 】

図 3 4 (A) は、図 3 2 (C) の携帯電話とは異なる他の携帯電話機 1 0 0 0 の一例を示している。携帯電話機 1 0 0 0 は、筐体 1 0 0 1 に組み込まれた表示部 1 0 0 2 の他、操作ボタン 1 0 0 3、外部接続ポート 1 0 0 4、スピーカ 1 0 0 5、マイク 1 0 0 6などを備えている。

【 0 3 5 7 】

図 3 4 (A) に示す携帯電話機 1 0 0 0 は、表示部 1 0 0 2 を指などで触れることで、情報を入力することができる。また、電話を掛ける、或いはメールを打つ操作は、表示部 1 0 0 2 を指などで触れることにより行うことができる。

【 0 3 5 8 】

表示部 1 0 0 2 の画面は主として 3 つのモードがある。第 1 は、画像の表示を主とする表示モードであり、第 2 は、文字等の情報の入力を主とする入力モードである。第 3 は表示モードと入力モードの 2 つのモードが混合した表示 + 入力モードである。

【 0 3 5 9 】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部 1 0 0 2 を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部 1 0 0 2 の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

【 0 3 6 0 】

また、携帯電話機 1 0 0 0 内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機 1 0 0 0 の向き（縦か横か）を判断して、表示部 1 0 0 2 の画面表示を自動的に切り替えるようにすることができる。

【 0 3 6 1 】

また、画面モードの切り替えは、表示部 1 0 0 2 を触れること、又は筐体 1 0 0 1 の操作ボタン 1 0 0 3 の操作により行われる。また、表示部 1 0 0 2 に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

【 0 3 6 2 】

また、入力モードにおいて、表示部 1 0 0 2 の光センサで検出される信号を検知し、表示部 1 0 0 2 のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【 0 3 6 3 】

表示部 1 0 0 2 は、イメージセンサとして機能させることもできる。例えば、表示部 1 0 0 2 に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

【 0 3 6 4 】

図 3 4 (B) も携帯電話機の一例である。図 3 4 (B) の携帯電話機は、筐体 9 4 1 1 に、表示部 9 4 1 2、及び操作ボタン 9 4 1 3 を含む表示装置 9 4 1 0 と、筐体 9 4 0 1 に操作ボタン 9 4 0 2、外部入力端子 9 4 0 3、マイク 9 4 0 4、スピーカ 9 4 0 5、及び着信時に発光する発光部 9 4 0 6 を含む通信装置 9 4 0 0 とを有しており、表示機能を有する表示装置 9 4 1 0 は電話機能を有する通信装置 9 4 0 0 と矢印の 2 方向に脱着可能である。よって、表示装置 9 4 1 0 と通信装置 9 4 0 0 の短軸同士を取り付けることも、表示装置 9 4 1 0 と通信装置 9 4 0 0 の長軸同士を取り付けることもできる。また、表示機能のみを必要とする場合、通信装置 9 4 0 0 より表示装置 9 4 1 0 を取り外し、表示装置 9 4 1 0 を単独で用いることもできる。通信装置 9 4 0 0 と表示装置 9 4 1 0 とは無線通信又は有線通信により画像又は入力情報を授受することができ、それぞれ充電可能なバッテリーを有する。

【 0 3 6 5 】

(実施の形態 8)

10

20

30

40

50

本実施の形態においては、液晶表示装置に適用できる画素の構成及び画素の動作について説明する。なお、本実施の形態における液晶素子の動作モードとして、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optically Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) などを用いることができる。

10

【0366】

図37(A)は、液晶表示装置に適用できる画素構成の一例を示す図である。画素5080は、トランジスタ5081、液晶素子5082及び容量素子5083を有している。トランジスタ5081のゲートは配線5085と電氣的に接続される。トランジスタ5081の第1端子は配線5084と電氣的に接続される。トランジスタ5081の第2端子は液晶素子5082の第1端子と電氣的に接続される。液晶素子5082の第2端子は配線5087と電氣的に接続される。容量素子5083の第1端子は液晶素子5082の第1端子と電氣的に接続される。容量素子5083の第2端子は配線5086と電氣的に接続される。なお、トランジスタの第1端子とは、ソースまたはドレインのいずれか一方であり、トランジスタの第2端子とは、ソースまたはドレインの他方のことである。つまり、トランジスタの第1端子がソースである場合は、トランジスタの第2端子はドレインとなる。同様に、トランジスタの第1端子がドレインである場合は、トランジスタの第2端子はソースとなる。

20

【0367】

配線5084は信号線として機能させることができる。信号線は、画素の外部から入力された信号電圧を画素5080に伝達するための配線である。配線5085は走査線として機能させることができる。走査線は、トランジスタ5081のオンオフを制御するための配線である。配線5086は容量線として機能させることができる。容量線は、容量素子5083の第2端子に所定の電圧を加えるための配線である。トランジスタ5081は、スイッチとして機能させることができる。容量素子5083は、保持容量として機能させることができる。保持容量は、スイッチがオフの状態においても、信号電圧が液晶素子5082に加わり続けるようにするための容量素子である。配線5087は、対向電極として機能させることができる。対向電極は、液晶素子5082の第2端子に所定の電圧を加えるための配線である。なお、それぞれの配線が持つことのできる機能はこれに限定されず、様々な機能を有することができる。例えば、容量線に加える電圧を変化させることで、液晶素子に加えられる電圧を調整することもできる。なお、トランジスタ5081はスイッチとして機能すればよいため、トランジスタ5081の極性はPチャネル型でもよいし、Nチャネル型でもよい。

30

【0368】

図37(B)は、液晶表示装置に適用できる画素構成の一例を示す図である。図37(B)に示す画素構成例は、図37(A)に示す画素構成例と比較して、配線5087が省略され、かつ、液晶素子5082の第2端子と容量素子5083の第2端子とが電氣的に接続されている点が異なっている以外は、図37(A)に示す画素構成例と同様な構成であるとしている。図37(B)に示す画素構成例は、特に、液晶素子が横電界モード (IPSモード、FFSモードを含む) である場合に適用できる。なぜならば、液晶素子が横電界モードである場合、液晶素子5082の第2端子および容量素子5083の第2端子を同一基板上に形成させることができるため、液晶素子5082の第2端子と容量素子5083の第2端子とを電氣的に接続させることが容易であるからである。図37(B)に示すような画素構成とすることで、配線5087を省略できるので、製造工程を簡略なもの

40

50

とすることができ、製造コストを低減できる。

【0369】

図37(A)または図37(B)に示す画素構成は、マトリクス状に複数配置されることができる。こうすることで、液晶表示装置の表示部が形成され、様々な画像を表示することができる。図37(C)は、図37(A)に示す画素構成がマトリクス状に複数配置されている場合の回路構成を示す図である。図37(C)に示す回路構成は、表示部が有する複数の画素のうち、4つの画素を抜き出して示した図である。そして、 i 列 j 行(i , j は自然数)に位置する画素を、画素5080__ i , j と表記し、画素5080__ i , j には、配線5084__ i 、配線5085__ j 、配線5086__ j が、それぞれ電氣的に接続される。同様に、画素5080__ $i+1$, j については、配線5084__ $i+1$ 、配線5085__ j 、配線5086__ j と電氣的に接続される。同様に、画素5080__ i , $j+1$ については、配線5084__ i 、配線5085__ $j+1$ 、配線5086__ $j+1$ と電氣的に接続される。同様に、画素5080__ $i+1$, $j+1$ については、配線5084__ $i+1$ 、配線5085__ $j+1$ 、配線5086__ $j+1$ と電氣的に接続される。なお、各配線は、同じ列または行に属する複数の画素によって共有されることができる。なお、図37(C)に示す画素構成において配線5087は対向電極であり、対向電極は全ての画素において共通であることから、配線5087については自然数 i または j による表記は行なわないこととする。なお、図37(B)に示す画素構成を用いることも可能であるため、配線5087が記載されている構成であっても配線5087は必須ではなく、他の配線と共有されること等によって省略されることができる。

10

20

【0370】

図37(C)に示す画素構成は、様々な方法によって駆動されることができる。特に、交流駆動と呼ばれる方法によって駆動されることによって、液晶素子の劣化(焼き付き)を抑制することができる。図37(D)は、交流駆動の1つである、ドット反転駆動が行なわれる場合の、図37(C)に示す画素構成における各配線に加えられる電圧のタイミングチャートを表す図である。ドット反転駆動が行なわれることによって、交流駆動が行なわれる場合に視認されるフリッカ(ちらつき)を抑制することができる。

【0371】

図37(C)に示す画素構成において、配線5085__ j と電氣的に接続されている画素におけるスイッチは、1フレーム期間中の第 j ゲート選択期間において選択状態(オン状態)となり、それ以外の期間では非選択状態(オフ状態)となる。そして、第 j ゲート選択期間の後に、第 $j+1$ ゲート選択期間が設けられる。このように順次走査が行なわれることで、1フレーム期間内に全ての画素が順番に選択状態となる。図37(D)に示すタイミングチャートでは、電圧が高い状態(ハイレベル)となることで、当該画素におけるスイッチが選択状態となり、電圧が低い状態(ローレベル)となることで非選択状態となる。なお、これは各画素におけるトランジスタがNチャネル型の場合であり、Pチャネル型のトランジスタが用いられる場合、電圧と選択状態の関係は、Nチャネル型の場合とは逆となる。

30

【0372】

図37(D)に示すタイミングチャートでは、第 k フレーム(k は自然数)における第 j ゲート選択期間において、信号線として用いる配線5084__ i に正の信号電圧が加えられ、配線5084__ $i+1$ に負の信号電圧が加えられる。そして、第 k フレームにおける第 $j+1$ ゲート選択期間において、配線5084__ i に負の信号電圧が加えられ、配線5084__ $i+1$ に正の信号電圧が加えられる。その後も、それぞれの信号線は、ゲート選択期間ごとに極性が反転した信号が交互に加えられる。その結果、第 k フレームにおいては、画素5080__ i , j には正の信号電圧、画素5080__ $i+1$, j には負の信号電圧、画素5080__ i , $j+1$ には負の信号電圧、画素5080__ $i+1$, $j+1$ には正の信号電圧が、それぞれ加えられることとなる。そして、第 $k+1$ フレームにおいては、それぞれの画素において、第 k フレームにおいて書き込まれた信号電圧とは逆の極性の信号電圧が書き込まれる。その結果、第 $k+1$ フレームにおいては、画素5080__ i , j

40

50

には負の信号電圧、画素 5080 $_i + 1, j$ には正の信号電圧、画素 5080 $_i, j + 1$ には正の信号電圧、画素 5080 $_i + 1, j + 1$ には負の信号電圧が、それぞれ加えられることとなる。このように、同じフレームにおいては隣接する画素同士で異なる極性の信号電圧が加えられ、さらに、それぞれの画素においては 1 フレームごとに信号電圧の極性が反転される駆動方法が、ドット反転駆動である。ドット反転駆動によって、液晶素子の劣化を抑制しつつ、表示される画像全体または一部が均一である場合に視認されるフリッカを低減することができる。なお、配線 5086 $_j$ 、配線 5086 $_j + 1$ を含む全ての配線 5086 に加えられる電圧は、一定の電圧とすることができる。なお、配線 5084 のタイミングチャートにおける信号電圧の表記は極性のみとなっているが、実際は、表示された極性において様々な信号電圧の値をとり得る。なお、ここでは 1 ドット (1 画素) 毎に極性を反転させる場合について述べたが、これに限定されず、複数の画素毎に極性を反転させることもできる。例えば、2 ゲート選択期間毎に書き込む信号電圧の極性を反転させることで、信号電圧の書き込みにかかる消費電力を低減させることができる。他にも、1 列毎に極性を反転させること (ソースライン反転) もできるし、1 行ごとに極性を反転させること (ゲートライン反転) もできる。

10

20

30

40

50

【0373】

なお、画素 5080 における容量素子 5083 の第 2 端子には、1 フレーム期間において一定の電圧が加えられていれば良い。ここで、走査線として用いる配線 5085 に加えられる電圧は 1 フレーム期間の大半においてローレベルであり、ほぼ一定の電圧が加えられていることから、画素 5080 における容量素子 5083 の第 2 端子の接続先は、配線 5085 でも良い。図 37 (E) は、液晶表示装置に適用できる画素構成の一例を示す図である。図 37 (E) に示す画素構成は、図 37 (C) に示す画素構成と比較すると、配線 5086 が省略され、かつ、画素 5080 内の容量素子 5083 の第 2 端子と、一つ前の行における配線 5085 とが電氣的に接続されていることを特徴としている。具体的には、図 37 (E) に表記されている範囲においては、画素 5080 $_i, j + 1$ および画素 5080 $_i + 1, j + 1$ における容量素子 5083 の第 2 端子は、配線 5085 $_j$ と電氣的に接続される。このように、画素 5080 内の容量素子 5083 の第 2 端子と、一つ前の行における配線 5085 とを電氣的に接続させることで、配線 5086 を省略することができるので、画素の開口率を向上できる。なお、容量素子 5083 の第 2 端子の接続先は、一つ前の行における配線 5085 ではなく、他の行における配線 5085 でも良い。なお、図 37 (E) に示す画素構成の駆動方法は、図 37 (C) に示す画素構成の駆動方法と同様のものを用いることができる。

【0374】

なお、容量素子 5083 および容量素子 5083 の第 2 端子に電氣的に接続される配線を用いて、信号線として用いる配線 5084 に加える電圧を小さくすることができる。このときの画素構成および駆動方法について、図 37 (F) および図 37 (G) を用いて説明する。図 37 (F) に示す画素構成は、図 37 (A) に示す画素構成と比較して、配線 5086 を 1 画素列あたり 2 本とし、かつ、画素 5080 における容量素子 5083 の第 2 端子との電氣的な接続を、隣接する画素で交互に行なうことを特徴としている。なお、2 本とした配線 5086 は、それぞれ配線 5086 - 1 および配線 5086 - 2 と呼ぶこととする。具体的には、図 37 (F) に表記されている範囲においては、画素 5080 $_i, j$ における容量素子 5083 の第 2 端子は、配線 5086 - 1 $_j$ と電氣的に接続され、画素 5080 $_i + 1, j$ における容量素子 5083 の第 2 端子は、配線 5086 - 2 $_j$ と電氣的に接続され、画素 5080 $_i, j + 1$ における容量素子 5083 の第 2 端子は、配線 5086 - 2 $_j + 1$ と電氣的に接続され、画素 5080 $_i + 1, j + 1$ における容量素子 5083 の第 2 端子は、配線 5086 - 1 $_j + 1$ と電氣的に接続される。

【0375】

そして、例えば、図 37 (G) に示すように、第 k フレームにおいて画素 5080 $_i, j$ に正の極性の信号電圧が書き込まれる場合、配線 5086 - 1 $_j$ は、第 j ゲート選択

期間においてはローレベルとさせ、第 j ゲート選択期間の終了後、ハイレベルに変化させる。そして、1フレーム期間中はそのままハイレベルを維持し、第 $k + 1$ フレームにおける第 j ゲート選択期間に負の極性の信号電圧が書き込まれた後、ローレベルに変化させる。このように、正の極性の信号電圧が画素に書き込まれた後に、容量素子 5083 の第 2 端子に電氣的に接続される配線の電圧を正の方向に変化させることで、液晶素子に加えられる電圧を正の方向に所定の量だけ変化させることができる。すなわち、その分画素に書き込む信号電圧を小さくすることができるため、信号書き込みにかかる消費電力を低減させることができる。なお、第 j ゲート選択期間に負の極性の信号電圧が書き込まれる場合は、負の極性の信号電圧が画素に書き込まれた後に、容量素子 5083 の第 2 端子に電氣的に接続される配線の電圧を負の方向に変化させることで、液晶素子に加えられる電圧を負の方向に所定の量だけ変化させることができるので、正の極性の場合と同様に、画素に書き込む信号電圧を小さくすることができる。つまり、容量素子 5083 の第 2 端子に電氣的に接続される配線は、同じフレームの同じ行において、正の極性の信号電圧が加えられる画素と、負の極性の信号電圧が加えられる画素とで、それぞれ異なる配線であることが好ましい。図 37 (F) は、第 k フレームにおいて正の極性の信号電圧が書き込まれる画素には配線 5086 - 1 が電氣的に接続され、第 k フレームにおいて負の極性の信号電圧が書き込まれる画素には配線 5086 - 2 が電氣的に接続される例である。ただし、これは一例であり、例えば、正の極性の信号電圧が書き込まれる画素と負の極性の信号電圧が書き込まれる画素が 2 画素毎に現れるような駆動方法の場合は、配線 5086 - 1 および配線 5086 - 2 の電氣的接続もそれに合わせて、2 画素毎に交互に行なわれることが好ましい。さらに言えば、1 行全ての画素で同じ極性の信号電圧が書き込まれる場合（ゲートライン反転）も考えられるが、その場合は、配線 5086 は 1 行あたり 1 本でよい。つまり、図 37 (C) に示す画素構成においても、図 37 (F) および図 37 (G) を用いて説明したような、画素に書き込む信号電圧を小さくする駆動方法を用いることができる。

【0376】

次に、液晶素子が、MVA モードまたは PVA モード等に代表される、垂直配向 (VA) モードである場合に特に好ましい画素構成およびその駆動方法について述べる。VA モードは、製造時にラビング工程が不要、黒表示時の光漏れが少ない、駆動電圧が低い等の優れた特徴を有するが、画面を斜めから見たときに画質が劣化してしまう（視野角が狭い）という問題点も有する。VA モードの視野角を広くするには、図 38 (A) および図 38 (B) に示すように、1 画素に複数の副画素（サブピクセル）を有する画素構成とすることが有効である。図 38 (A) および図 38 (B) に示す画素構成は、画素 5080 が 2 つの副画素（副画素 5080 - 1，副画素 5080 - 2）を含む場合の一例を表すものである。なお、1 つの画素における副画素の数は 2 つに限定されず、様々な数の副画素を用いることができる。副画素の数が大きいほど、より視野角を広くすることができる。複数の副画素は互いに同一の回路構成とすることができ、ここでは、全ての副画素が図 37 (A) に示す回路構成と同様であるとして説明する。なお、第 1 の副画素 5080 - 1 は、トランジスタ 5081 - 1、液晶素子 5082 - 1、容量素子 5083 - 1 を有するものとし、それぞれの接続関係は図 37 (A) に示す回路構成に準じることとする。同様に、第 2 の副画素 5080 - 2 は、トランジスタ 5081 - 2、液晶素子 5082 - 2、容量素子 5083 - 2 を有するものとし、それぞれの接続関係は図 37 (A) に示す回路構成に準じることとする。

【0377】

図 38 (A) に示す画素構成は、1 画素を構成する 2 つの副画素に対し、走査線として用いる配線 5085 を 2 本（配線 5085 - 1，配線 5085 - 2）有し、信号線として用いる配線 5084 を 1 本有し、容量線として用いる配線 5086 を 1 本有する構成を表すものである。このように、信号線および容量線を 2 つの副画素で共用することにより、開口率を向上させることができ、さらに、信号線駆動回路を簡単なものとするので製造コストが低減でき、かつ、液晶パネルと駆動回路 IC の接続点数を低減できるの

で、歩留まりを向上できる。図38(B)に示す画素構成は、1画素を構成する2つの副画素に対し、走査線として用いる配線5085を1本有し、信号線として用いる配線5084を2本(配線5084-1, 配線5084-2)有し、容量線として用いる配線5086を1本有する構成を表すものである。このように、走査線および容量線を2つの副画素で共用することにより、開口率を向上させることができ、さらに、全体の走査線本数を低減できるので、高精細な液晶パネルにおいても1つあたりのゲート線選択期間を十分に長くすることができ、それぞれの画素に適切な信号電圧を書き込むことができる。

【0378】

図38(C)および図38(D)は、図38(B)に示す画素構成において、液晶素子を画素電極の形状に置き換えた上で、各素子の電氣的接続状態を模式的に表した例である。図38(C)および図38(D)において、5088-1は第1の画素電極を表し、5088-2は第2の画素電極を表すものとする。図38(C)において、第1画素電極5088-1は、図38(B)における液晶素子5082-1の第1端子に相当し、第2画素電極5088-2は、図38(B)における液晶素子5082-2の第1端子に相当する。すなわち、第1画素電極5088-1は、トランジスタ5081-1のソースまたはドレインの一方と電氣的に接続され、第2画素電極5088-2は、トランジスタ5081-2のソースまたはドレインの一方と電氣的に接続される。一方、図38(D)においては、画素電極とトランジスタの接続関係を逆にする。すなわち、第1画素電極5088-1は、トランジスタ5081-2のソースまたはドレインの一方と電氣的に接続され、第2画素電極5088-2は、トランジスタ5081-1のソースまたはドレインの一方と電氣的に接続されるものとする。

【0379】

図38(C)および図38(D)で示したような画素構成を、マトリクス状に交互に配置することで、特別な効果を得ることができる。このような画素構成およびその駆動方法の一例を、図39(A)および図39(B)に示す。図39(A)に示す画素構成は、画素5080__i, jおよび画素5080__i+1, j+1に相当する部分を図38(C)に示す構成とし、画素5080__i+1, jおよび画素5080__i, j+1に相当する部分を図38(D)に示す構成としたものである。この構成において、図39(B)に示すタイミングチャートのように駆動すると、第kフレームの第jゲート選択期間において、画素5080__i, jの第1画素電極および画素5080__i+1, jの第2画素電極に正の極性の信号電圧が書き込まれ、画素5080__i, jの第2画素電極および画素5080__i+1, jの第1画素電極に負の極性の信号電圧が書き込まれる。さらに、第kフレームの第j+1ゲート選択期間において、画素5080__i, j+1の第2画素電極および画素5080__i+1, j+1の第1画素電極に正の極性の信号電圧が書き込まれ、画素5080__i, j+1の第1画素電極および画素5080__i+1, j+1の第2画素電極に負の極性の信号電圧が書き込まれる。第k+1フレームにおいては、各画素において信号電圧の極性が反転される。こうすることによって、副画素を含む画素構成においてドット反転駆動に相当する駆動を実現しつつ、信号線に加えられる電圧の極性を1フレーム期間内で同一なものとするので、画素の信号電圧書込みにかかる消費電力を大幅に低減することができる。なお、配線5086__j、配線5086__j+1を含む全ての配線5086に加えられる電圧は、一定の電圧とすることができる。

【0380】

さらに、図39(C)および図39(D)に示す画素構成およびその駆動方法によって、画素に書き込まれる信号電圧の大きさを小さくすることができる。これは、それぞれの画素が有する複数の副画素に電氣的に接続される容量線を、副画素毎に異ならせるものである。すなわち、図39(C)および図39(D)に示す画素構成およびその駆動方法によって、同一のフレーム内で同一の極性が書き込まれる副画素については、同一行内で容量線を共通とし、同一のフレーム内で異なる極性が書き込まれる副画素については、同一行内で容量線を異ならせる。そして、各行の書き込みが終了した時点で、それぞれの容量線の電圧を、正の極性の信号電圧が書き込まれた副画素では正の方向、負の極性の信号電圧

が書き込まれた副画素では負の方向に変化させることで、画素に書き込まれる信号電圧の大きさを小さくすることができる。具体的には、容量線として用いる配線 5086 を各行で 2 本（配線 5086 - 1，配線 5086 - 2）とし、画素 5080 __ i，j の第 1 画素電極と、配線 5086 - 1 __ j とが、容量素子を介して電氣的に接続され、画素 5080 __ i，j の第 2 画素電極と、配線 5086 - 2 __ j とが、容量素子を介して電氣的に接続され、画素 5080 __ i + 1，j の第 1 画素電極と、配線 5086 - 2 __ j とが、容量素子を介して電氣的に接続され、画素 5080 __ i，j + 1 の第 1 画素電極と、配線 5086 - 2 __ j + 1 とが、容量素子を介して電氣的に接続され、画素 5080 __ i，j + 1 の第 2 画素電極と、配線 5086 - 1 __ j + 1 とが、容量素子を介して電氣的に接続され、画素 5080 __ i + 1，j + 1 の第 1 画素電極と、配線 5086 - 1 __ j + 1 とが、容量素子を介して電氣的に接続され、画素 5080 __ i + 1，j + 1 の第 2 画素電極と、配線 5086 - 2 __ j + 1 とが、容量素子を介して電氣的に接続される。ただし、これは一例であり、例えば、正の極性の信号電圧が書き込まれる画素と負の極性の信号電圧が書き込まれる画素が 2 画素毎に現れるような駆動方法の場合は、配線 5086 - 1 および配線 5086 - 2 の電氣的接続もそれに合わせて、2 画素毎に交互に行なわれることが好ましい。さらに言えば、1 行全ての画素で同じ極性の信号電圧が書き込まれる場合（ゲートライン反転）も考えられるが、その場合は、配線 5086 は 1 行あたり 1 本でよい。つまり、図 39（A）に示す画素構成においても、図 39（C）および図 39（D）を用いて説明したような、画素に書き込む信号電圧を小さくする駆動方法を用いることができる。

【0381】

（実施の形態 9）

次に、表示装置の別の構成例およびその駆動方法について説明する。本実施の形態においては、信号書込みに対する輝度の応答が遅い（応答時間が長い）表示素子を用いた表示装置の場合について述べる。本実施の形態においては、応答時間が長い表示素子として液晶素子を例として説明するが、本実施の形態における表示素子はこれに限定されず、信号書込みに対する輝度の応答が遅い様々な表示素子を用いることができる。

【0382】

一般的な液晶表示装置の場合、信号書込みに対する輝度の応答が遅く、液晶素子に信号電圧を加え続けた場合でも、応答が完了するまで 1 フレーム期間以上の時間がかかることがある。このような表示素子で動画を表示しても、動画を忠実に再現することはできない。さらに、アクティブマトリクス駆動の場合、一つの液晶素子に対する信号書込みの時間は、通常、信号書込み周期（1 フレーム期間または 1 サブフレーム期間）を走査線数で割った時間（1 走査線選択期間）に過ぎず、液晶素子はこのわずかな時間内に応答しきれないことが多い。したがって、液晶素子の応答の大半は、信号書込みが行われない期間で行われることになる。ここで、液晶素子の誘電率は、当該液晶素子の透過率に従って変化するが、信号書込みが行われない期間において液晶素子が応答するということは、液晶素子の外部と電荷のやり取りが行われない状態（定電荷状態）で液晶素子の誘電率が変化することを意味する。つまり、（電荷）＝（容量）・（電圧）の式において、電荷が一定の状態

【0383】

本実施の形態における表示装置は、表示素子を信号書込み周期内に所望の輝度まで応答させるために、信号書込み時の信号レベルを予め補正されたもの（補正信号）とすることで、上記の問題点を解決することができる。さらに、液晶素子の応答時間は信号レベルが大きいほど短くなるので、補正信号を書き込むことによって、液晶素子の応答時間を短くすることもできる。このような補正信号を加える駆動方法は、オーバードライブとも呼ばれ

る。本実施の形態におけるオーバードライブは、信号書込み周期が、表示装置に入力される画像信号の周期（入力画像信号周期 T_{in} ）よりも短い場合であっても、信号書込み周期に合わせて信号レベルが補正されることで、信号書込み周期内に表示素子を所望の輝度まで応答させることができる。信号書込み周期が、入力画像信号周期 T_{in} よりも短い場合とは、例えば、1つの元画像を複数のサブ画像に分割し、当該複数のサブ画像を1フレーム期間内に順次表示させる場合が挙げられる。

【0384】

次に、アクティブマトリクス駆動の表示装置において信号書込み時の信号レベルを補正する方法の例について、図40(A)および(B)を参照して説明する。図40(A)は、横軸を時間、縦軸を信号書込み時の信号レベルとし、ある1つの表示素子における信号書込み時の信号レベルの輝度の時間変化を模式的に表したグラフである。図40(B)は、横軸を時間、縦軸を表示レベルとし、ある1つの表示素子における表示レベルの時間変化を模式的に表したグラフである。なお、表示素子が液晶素子の場合は、信号書込み時の信号レベルは電圧、表示レベルは液晶素子の透過率とすることができる。これ以降は、図40(A)の縦軸は電圧、図40(B)の縦軸は透過率であるとして説明する。なお、本実施の形態におけるオーバードライブは、信号レベルが電圧以外（デューティー比、電流等）である場合も含む。なお、本実施の形態におけるオーバードライブは、表示レベルが透過率以外（輝度、電流等）である場合も含む。なお、液晶素子には、電圧が0である時に黒表示となるノーマリーブラック型（例：VAモード、IPSモード等）と、電圧が0である時に白表示となるノーマリーホワイト型（例：TNモード、OCBモード等）があるが、図40(B)に示すグラフはどちらにも対応しており、ノーマリーブラック型の場合はグラフの上方へ行くほど透過率が大きいものとし、ノーマリーホワイト型の場合はグラフの下方へ行くほど透過率が大きいものとすればよい。すなわち、本実施の形態における液晶モードは、ノーマリーブラック型でも良いし、ノーマリーホワイト型でも良い。なお、時間軸には信号書込みタイミングが点線で示されており、信号書込みが行われてから次の信号書込みが行われるまでの期間を、保持期間 F_i と呼ぶこととする。本実施形態においては、 i は整数であり、それぞれの保持期間を表すインデックスであるとする。図40(A)および(B)においては、 i は0から2までとして示しているが、 i はこれ以外の整数も取り得る（0から2以外については図示しない）。なお、保持期間 F_i において、画像信号に対応する輝度を実現する透過率を T_i とし、定常状態において透過率 T_i を与える電圧を V_i とする。なお、図40(A)中の破線5101は、オーバードライブを行わない場合の液晶素子にかかる電圧の時間変化を表し、実線5102は、本実施の形態におけるオーバードライブを行う場合の液晶素子にかかる電圧の時間変化を表している。同様に、図40(B)中の破線5103は、オーバードライブを行わない場合の液晶素子の透過率の時間変化を表し、実線5104は、本実施の形態におけるオーバードライブを行う場合の液晶素子の透過率の時間変化を表している。なお、保持期間 F_i の末尾における、所望の透過率 T_i と実際の透過率との差を、誤差 α_i と表記することとする。

【0385】

図40(A)に示すグラフにおいて、保持期間 F_0 においては破線5101と実線5102ともに所望の電圧 V_0 が加えられており、図40(B)に示すグラフにおいても、破線5103と実線5104ともに所望の透過率 T_0 が得られているものとする。そして、オーバードライブが行われない場合、破線5101に示すように、保持期間 F_1 の初頭において所望の電圧 V_1 が液晶素子に加えられるが、既に述べたように信号が書込まれる期間は保持期間に比べて極めて短く、保持期間のうちの大半の期間は定電荷状態となるため、保持期間において液晶素子にかかる電圧は透過率の変化とともに変化していき、保持期間 F_1 の末尾においては所望の電圧 V_1 と大きく異なった電圧となってしまう。このとき、図40(B)に示すグラフにおける破線5103も、所望の透過率 T_1 と大きく異なったものとなってしまう。そのため、画像信号に忠実な表示を行うことができず、画質が低下してしまう。一方、本実施の形態におけるオーバードライブが行われる場合、実線5102に示すように、保持期間 F_1 の初頭において、所望の電圧 V_1 よりも大きな電圧 V_1'

が液晶素子に加えられるようにする。つまり、保持期間 F_1 において徐々に液晶素子にかかる電圧が変化することを見越して、保持期間 F_1 の末尾において液晶素子にかかる電圧が所望の電圧 V_1 近傍の電圧となるように、保持期間 F_1 の初頭において所望の電圧 V_1 から補正された電圧 V_1' を液晶素子に加えることで、正確に所望の電圧 V_1 を液晶素子にかけることが可能となる。このとき、図 40 (B) に示すグラフにおける実線 5104 に示すように、保持期間 F_1 の末尾において所望の透過率 T_1 が得られる。すなわち、保持期間うちの大半の期間において定電荷状態となるにも関わらず、信号書込み周期内の液晶素子の応答を実現できる。次に、保持期間 F_2 においては、所望の電圧 V_2 が V_1 よりも小さい場合を示しているが、この場合も保持期間 F_1 と同様に、保持期間 F_2 において徐々に液晶素子にかかる電圧が変化することを見越して、保持期間 F_2 の末尾において液晶素子にかかる電圧が所望の電圧 V_2 近傍の電圧となるように、保持期間 F_2 の初頭において所望の電圧 V_2 から補正された電圧 V_2' を液晶素子に加えればよい。こうすることで、図 40 (B) に示すグラフにおける実線 5104 に示すように、保持期間 F_2 の末尾において所望の透過率 T_2 が得られる。なお、保持期間 F_1 のように、 V_i が V_{i-1} と比べて大きくなる場合は、補正された電圧 V_i' は所望の電圧 V_i よりも大きくなるように補正されることが好ましい。さらに、保持期間 F_2 のように、 V_i が V_{i-1} と比べて小さくなる場合は、補正された電圧 V_i' は所望の電圧 V_i よりも小さくなるように補正されることが好ましい。なお、具体的な補正值については、予め液晶素子の応答特性を測定することで導出することができる。装置に実装する方法としては、補正式を定式化して論理回路に組み込む方法、補正值をルックアップテーブルとしてメモリに保存しておき、必要に応じて補正值を読み出す方法、等を用いることができる。

10

20

【0386】

なお、本実施の形態におけるオーバードライブを、実際に装置として実現する場合には、様々な制約が存在する。例えば、電圧の補正は、ソースドライバの定格電圧の範囲内で行われなければならない。すなわち、所望の電圧が元々大きな値であって、理想的な補正電圧がソースドライバの定格電圧を超えてしまう場合は、補正しきれないこととなる。このような場合の問題点について、図 40 (C) および (D) を参照して説明する。図 40 (C) は、図 40 (A) と同じく、横軸を時間、縦軸を電圧とし、ある 1 つの液晶素子における電圧の時間変化を実線 5105 として模式的に表したグラフである。図 40 (D) は、図 40 (B) と同じく、横軸を時間、縦軸を透過率とし、ある 1 つの液晶素子における透過率の時間変化を実線 5106 として模式的に表したグラフである。なお、その他の表記方法については図 40 (A) および (B) と同様であるため、説明を省略する。図 40 (C) および (D) は、保持期間 F_1 における所望の透過率 T_1 を実現するための補正電圧 V_1' がソースドライバの定格電圧を超えてしまうため、 $V_1' = V_1$ とせざるを得なくなり、十分な補正ができない状態を表している。このとき、保持期間 F_1 の末尾における透過率は、所望の透過率 T_1 と誤差 α_1 だけ、ずれた値となってしまう。ただし、誤差 α_1 が大きくなるのは、所望の電圧が元々大きな値であるときに限られるため、誤差 α_1 の発生による画質低下自体は許容範囲内である場合も多い。しかしながら、誤差 α_1 が大きくなることによって、電圧補正のアルゴリズム内の誤差も大きくなってしまふ。つまり、電圧補正のアルゴリズムにおいて、保持期間の末尾に所望の透過率が得られていると仮定している場合、実際は誤差 α_1 が大きくなっているのにも関わらず、誤差 α_1 が小さいとして電圧の補正を行うため、次の保持期間 F_2 における補正に誤差が含まれることとなり、その結果、誤差 α_2 までも大きくなってしまふ。さらに、誤差 α_2 が大きくなれば、その次の誤差 α_3 がさらに大きくなってしまふというように、誤差が連鎖的に大きくなっていき、結果的に画質低下が著しいものとなってしまふ。本実施の形態におけるオーバードライブにおいては、このように誤差が連鎖的に大きくなってしまふことを抑制するため、保持期間 F_i において補正電圧 V_i' がソースドライバの定格電圧を超えるとき、保持期間 F_i の末尾における誤差 α_i を推定し、当該誤差 α_i の大きさを考慮して、保持期間 F_{i+1} における補正電圧を調整できる。こうすることで、誤差 α_i が大きくなってしまっても、それが誤差 α_{i+1} に与える影響を最小限にすることができるため、誤差が連鎖

30

40

50

的に大きくなってしまふことを抑制できる。本実施の形態におけるオーバードライブにおいて、誤差 α_2 を最小限にする例について、図 40 (E) および (F) を参照して説明する。図 40 (E) に示すグラフは、図 40 (C) に示すグラフの補正電圧 V_2' をさらに調整し、補正電圧 V_2'' とした場合の電圧の時間変化を、実線 5107 として表している。図 40 (F) に示すグラフは、図 40 (E) に示すグラフによって電圧の補正がなされた場合の透過率の時間変化を表している。図 40 (D) に示すグラフにおける実線 5106 では、補正電圧 V_2' によって過剰補正が発生しているが、図 40 (F) に示すグラフにおける実線 5108 では、誤差 α_1 を考慮して調整された補正電圧 V_2'' によって過剰補正を抑制し、誤差 α_2 を最小限にしている。なお、具体的な補正值については、予め液晶素子の応答特性を測定することで導出することができる。装置に実装する方法としては、補正式を定式化して論理回路に組み込む方法、補正值をルックアップテーブルとしてメモリに保存しておき、必要に応じて補正值を読み出す方法、等を用いることができる。そして、これらの方法を、補正電圧 V_i' を計算する部分とは別に追加する、または補正電圧 V_i' を計算する部分に組み込むことができる。なお、誤差 α_{i-1} を考慮して調整された補正電圧 V_i'' の補正量（所望の電圧 V_i との差）は、 V_i' の補正量よりも小さいものとするのが好ましい。つまり、 $|V_i'' - V_i| < |V_i' - V_i|$ とすることが好ましい。

【0387】

なお、理想的な補正電圧がソースドライバの定格電圧を超えてしまうことによる誤差 α_i は、信号書込み周期が短いほど大きくなる。なぜならば、信号書込み周期が短いほど液晶素子の応答時間も短くする必要がある、その結果、より大きな補正電圧が必要となるためである。さらに、必要とされる補正電圧が大きくなった結果、補正電圧がソースドライバの定格電圧を超えてしまう頻度も大きくなるため、大きな誤差 α_i が発生する頻度も大きくなる。したがって、本実施の形態におけるオーバードライブは、信号書込み周期が短い場合ほど有効であるといえる。具体的には、1つの元画像を複数のサブ画像に分割し、当該複数のサブ画像を1フレーム期間内に順次表示させる場合、複数の画像から画像に含まれる動きを検出して、当該複数の画像の中間状態の画像を生成し、当該複数の画像の間に挿入して駆動する（いわゆる動き補償倍速駆動）場合、またはこれらを組み合わせる場合、等の駆動方法が行われる場合に、本実施の形態におけるオーバードライブが用いられることは、格段の効果を奏することになる。

【0388】

なお、ソースドライバの定格電圧は、上述した上限の他に、下限も存在する。例えば、電圧 0 よりも小さい電圧が加えられない場合が挙げられる。このとき、上述した上限の場合と同様に、理想的な補正電圧が加えられないこととなるため、誤差 α_i が大きくなってしまふ。しかしながら、この場合でも、上述した方法と同様に、保持期間 F_i の末尾における誤差 α_i を推定し、当該誤差 α_i の大きさを考慮して、保持期間 F_{i+1} における補正電圧を調整することができる。なお、ソースドライバの定格電圧として電圧 0 よりも小さい電圧（負の電圧）を加えることができる場合は、補正電圧として液晶素子に負の電圧を加えても良い。こうすることで、定電荷状態による電位の変動を見越して、保持期間 F_i の末尾において液晶素子にかかる電圧が所望の電圧 V_i 近傍の電圧となるように調整できる。

【0389】

なお、液晶素子の劣化を抑制するため、液晶素子に加える電圧の極性を定期的に反転させる、いわゆる反転駆動を、オーバードライブと組み合わせて実施することができる。すなわち、本実施の形態におけるオーバードライブは、反転駆動と同時に行われる場合も含む。例えば、信号書込み周期が入力画像信号周期 T_{in} の $1/2$ である場合に、極性を反転させる周期と入力画像信号周期 T_{in} とが同程度であると、正極性の信号の書込みと負極性の信号の書込みが、2回毎に交互に行われることになる。このように、極性を反転させる周期を信号書込み周期よりも長くすることで、画素の充放電の頻度を低減できるので、消費電力を低減できる。ただし、極性を反転させる周期をあまり長くすると、極性の違い

10

20

30

40

50

による輝度差がフリッカとして認識される不具合が生じることがあるため、極性を反転させる周期は入力画像信号周期 T_{in} と同程度が短いことが好ましい。

【0390】

(実施の形態10)

次に、表示装置の別の構成例およびその駆動方法について説明する。本実施の形態においては、表示装置の外部から入力される画像（入力画像）の動きを補間する画像を、複数の入力画像を基にして表示装置の内部で生成し、当該生成された画像（生成画像）と、入力画像とを順次表示させる方法について説明する。なお、生成画像を、入力画像の動きを補間するような画像とすることで、動画の動きを滑らかにすることができ、さらに、ホールド駆動による残像等によって動画の品質が低下する問題を改善できる。ここで、動画の補間について、以下に説明する。動画の表示は、理想的には、個々の画素の輝度をリアルタイムに制御することで実現されるものであるが、画素のリアルタイム個別制御は、制御回路の数が膨大なものとなる問題、配線スペースの問題、および入力画像のデータ量が膨大なものとなる問題等が存在し、実現が困難である。したがって、表示装置による動画の表示は、複数の静止画を一定の周期で順次表示することで、表示が動画に見えるようにして行なわれている。この周期（本実施の形態においては入力画像信号周期と呼び、 T_{in} と表す）は規格化されており、例として、NTSC規格では1/60秒、PAL規格では1/50秒である。この程度の周期でも、インパルス型表示装置であるCRTにおいては動画表示に問題は起こらなかった。しかし、ホールド型表示装置においては、これらの規格に準じた動画をそのまま表示すると、ホールド型であることに起因する残像等により表示が不鮮明となる不具合（ホールドぼけ：hold blur）が発生してしまう。ホールドぼけは、人間の目の追従による無意識的な動きの補間と、ホールド型の表示との不一致（discrepancy）で認識されるものであるので、従来の規格よりも入力画像信号周期を短くする（画素のリアルタイム個別制御に近づける）ことで低減させることができるが、入力画像信号周期を短くすることは規格の変更を伴い、さらに、データ量も増大することになるので、困難である。しかしながら、規格化された入力画像信号を基にして、入力画像の動きを補間するような画像を表示装置内部で生成し、当該生成画像によって入力画像を補間して表示することで、規格の変更またはデータ量の増大なしに、ホールドぼけを低減できる。このように、入力画像信号を基にして表示装置内部で画像信号を生成し、入力画像の動きを補間することを、動画の補間と呼ぶこととする。

10

20

30

【0391】

本実施の形態における動画の補間方法によって、動画ぼけを低減させることができる。本実施の形態における動画の補間方法は、画像生成方法と画像表示方法に分けることができる。そして、特定のパターンの動きについては別の画像生成方法および/または画像表示方法を用いることで、効果的に動画ぼけを低減させることができる。図41(A)および(B)は、本実施の形態における動画の補間方法の一例を説明するための模式図である。図41(A)および(B)において、横軸は時間であり、横方向の位置によって、それぞれの画像が扱われるタイミングを表している。「入力」と記された部分は、入力画像信号が入力されるタイミングを表している。ここでは、時間的に隣接する2つの画像として、画像5121および画像5122に着目している。入力画像は、周期 T_{in} の間隔で入力される。なお、周期 T_{in} 1つ分の長さを、1フレームもしくは1フレーム期間と記すことがある。「生成」と記された部分は、入力画像信号から新しく画像が生成されるタイミングを表している。ここでは、画像5121および画像5122を基にして生成される生成画像である、画像5123に着目している。「表示」と記された部分は、表示装置に画像が表示されるタイミングを表している。なお、着目している画像以外の画像については破線で記しているのみであるが、着目している画像と同様に扱うことによって、本実施の形態における動画の補間方法の一例を実現できる。

40

【0392】

本実施の形態における動画の補間方法の一例は、図41(A)に示されるように、時間的に隣接した2つの入力画像を基にして生成された生成画像を、当該2つの入力画像が表示

50

されるタイミングの間隙に表示させることで、動画の補間を行うことができる。このとき、表示画像の表示周期は、入力画像の入力周期の $1/2$ とすることが好ましい。ただし、これに限定されず、様々な表示周期とすることができる。例えば、表示周期を入力周期の $1/2$ より短くすることで、動画をより滑らかに表示できる。または、表示周期を入力周期の $1/2$ より長くすることで、消費電力を低減できる。なお、ここでは、時間的に隣接した2つの入力画像を基にして画像を生成しているが、基にする入力画像は2つに限定されず、様々な数を用いることができる。例えば、時間的に隣接した3つ（3つ以上でも良い）の入力画像を基にして画像を生成すれば、2つの入力画像を基にする場合よりも、精度の良い生成画像を得ることができる。なお、画像5121の表示タイミングを、画像5122の入力タイミングと同時刻、すなわち入力タイミングに対する表示タイミングを1フレーム遅れとしているが、本実施の形態における動画の補間方法における表示タイミングはこれに限定されず、様々な表示タイミングを用いることができる。例えば、入力タイミングに対する表示タイミングを1フレーム以上遅らせることができる。こうすることで、生成画像である画像5123の表示タイミングを遅くすることができるので、画像5123の生成にかかる時間に余裕を持たせることができ、消費電力および製造コストの低減につながる。なお、入力タイミングに対する表示タイミングをあまりに遅くすると、入力画像を保持しておく期間が長くなり、保持にかかるメモリ容量が増大してしまうので、入力タイミングに対する表示タイミングは、1フレーム遅れから2フレーム遅れ程度が好ましい。

10

20

【0393】

ここで、画像5121および画像5122を基にして生成される画像5123の、具体的な生成方法の一例について説明する。動画を補間するためには入力画像の動きを検出する必要があるが、本実施の形態においては、入力画像の動きの検出のために、ブロックマッチング法と呼ばれる方法を用いることができる。ただし、これに限定されず、様々な方法（画像データの差分をとる方法、フーリエ変換を利用する方法等）を用いることができる。ブロックマッチング法においては、まず、入力画像1枚分の画像データ（ここでは画像5121の画像データ）を、データ記憶手段（半導体メモリ、RAM等の記憶回路等）に記憶させる。そして、次のフレームにおける画像（ここでは画像5122）を、複数の領域に分割する。なお、分割された領域は、図41(A)のように、同じ形状の矩形とすることができるが、これに限定されず、様々なもの（画像によって形状または大きさを変える等）とすることができる。その後、分割された領域毎に、データ記憶手段に記憶させた前のフレームの画像データ（ここでは画像5121の画像データ）とデータの比較を行い、画像データが似ている領域を探索する。図41(A)の例においては、画像5122における領域5124とデータが似ている領域を画像5121の中から探索し、領域5126が探索されたものとしている。なお、画像5121の中を探索するとき、探索範囲は限定されることが好ましい。図41(A)の例においては、探索範囲として、領域5124の面積の4倍程度の大きさである、領域5125を設定している。なお、探索範囲をこれより大きくすることで、動きの速い動画においても検出精度を高くすることができる。ただし、あまりに広く探索を行なうと探索時間が膨大なものとなってしまう、動きの検出の実現が困難となるため、領域5125は、領域5124の面積の2倍から6倍程度の大きさであることが好ましい。その後、探索された領域5126と、画像5122における領域5124との位置の違いを、動きベクトル5127として求める。動きベクトル5127は領域5124における画像データの1フレーム期間の動きを表すものである。そして、動きの中間状態を表す画像を生成するため、動きベクトルの向きはそのまま大きさを変えた画像生成用ベクトル5128を作り、画像5121における領域5126に含まれる画像データを、画像生成用ベクトル5128に従って移動させることで、画像5123における領域5129内の画像データを形成させる。これらの一連の処理を、画像5122における全ての領域について行なうことで、画像5123を生成することができる。そして、入力画像5121、生成画像5123、入力画像5122を順次表示することで、動画を補間することができる。なお、画像中の物体5130は、画像5121および画像

30

40

50

5 1 2 2 において位置が異なっている（つまり動いている）が、生成された画像 5 1 2 3 は、画像 5 1 2 1 および画像 5 1 2 2 における物体の中間点となっている。このような画像を表示することで、動画の動きを滑らかにすることができ、残像等による動画の不鮮明さを改善できる。

【0394】

なお、画像生成用ベクトル 5 1 2 8 の大きさは、画像 5 1 2 3 の表示タイミングに従って決めることができる。図 4 1 (A) の例においては、画像 5 1 2 3 の表示タイミングは画像 5 1 2 1 および画像 5 1 2 2 の表示タイミングの中間点 ($1/2$) としているため、画像生成用ベクトル 5 1 2 8 の大きさは動きベクトル 5 1 2 7 の $1/2$ としているが、他にも、例えば、表示タイミングが $1/3$ の時点であれば、大きさを $1/3$ とし、表示タイミングが $2/3$ の時点であれば、大きさを $2/3$ とすることができる。

10

【0395】

なお、このように、様々な動きベクトルを持った複数の領域をそれぞれ動かして新しい画像を作る場合は、移動先の領域内に他の領域が既に移動している部分（重複）や、どの領域からも移動されてこない部分（空白）が生じることもある。これらの部分については、データを補正することができる。重複部分の補正方法としては、例えば、重複データの平均をとる方法、動きベクトルの方向等で優先度をつけておき、優先度の高いデータを生成画像内のデータとする方法、色（または明るさ）はどちらかを優先させるが明るさ（または色）は平均をとる方法、等を用いることができる。空白部分の補正方法としては、画像 5 1 2 1 または画像 5 1 2 2 の当該位置における画像データをそのまま生成画像内のデータとする方法、画像 5 1 2 1 または画像 5 1 2 2 の当該位置における画像データの平均をとる方法、等を用いることができる。そして、生成された画像 5 1 2 3 を、画像生成用ベクトル 5 1 2 8 の大きさに従ったタイミングで表示させることで、動画の動きを滑らかにすることができ、さらに、ホールド駆動による残像等によって動画の品質が低下する問題を改善できる。

20

【0396】

本実施の形態における動画の補間方法の他の例は、図 4 1 (B) に示されるように、時間的に隣接した 2 つの入力画像を基にして生成された生成画像を、当該 2 つの入力画像が表示されるタイミングの間隙に表示させる際に、それぞれの表示画像をさらに複数のサブ画像に分割して表示することで、動画の補間を行うことができる。この場合、画像表示周期が短くなることによる利点だけでなく、暗い画像が定期的に表示される（表示方法がインパルス型に近づく）ことによる利点も得ることができる。つまり、画像表示周期が画像入力周期に比べて $1/2$ の長さにするだけの場合よりも、残像等による動画の不鮮明さをさらに改善できる。図 4 1 (B) の例においては、「入力」および「生成」については図 4 1 (A) の例と同様な処理を行なうことができるので、説明を省略する。図 4 1 (B) の例における「表示」は、1 つの入力画像または / および生成画像を複数のサブ画像に分割して表示を行うことができる。具体的には、図 4 1 (B) に示すように、画像 5 1 2 1 をサブ画像 5 1 2 1 a および 5 1 2 1 b に分割して順次表示することで、人間の目には画像 5 1 2 1 が表示されたように知覚させ、画像 5 1 2 3 をサブ画像 5 1 2 3 a および 5 1 2 3 b に分割して順次表示することで、人間の目には画像 5 1 2 3 が表示されたように知覚させ、画像 5 1 2 2 をサブ画像 5 1 2 2 a および 5 1 2 2 b に分割して順次表示することで、人間の目には画像 5 1 2 2 が表示されたように知覚させる。すなわち、人間の目に知覚される画像としては図 4 1 (A) の例と同様なものとしつつ、表示方法をインパルス型に近づけることができるので、残像等による動画の不鮮明さをさらに改善できる。なお、サブ画像の分割数は、図 4 1 (B) においては 2 つとしているが、これに限定されず様々な分割数を用いることができる。なお、サブ画像が表示されるタイミングは、図 4 1 (B) においては等間隔 ($1/2$) としているが、これに限定されず様々な表示タイミングを用いることができる。例えば、暗いサブ画像 (5 1 2 1 b、5 1 2 2 b、5 1 2 3 b) の表示タイミングを早くする（具体的には、 $1/4$ から $1/2$ のタイミング）ことで、表示方法をよりインパルス型に近づけることができるため、残像等による動画の不鮮明さをさ

30

40

50

らに改善できる。または、暗いサブ画像の表示タイミングを遅くする（具体的には、1 / 2 から 3 / 4 のタイミング）ことで、明るい画像の表示期間を長くすることができるので、表示効率を高めることができ、消費電力を低減できる。

【0397】

本実施の形態における動画の補間方法の他の例は、画像内で動いている物体の形状を検出し、動いている物体の形状によって異なる処理を行なう例である。図41(C)に示す例は、図41(B)の例と同様に表示のタイミングを表しているが、表示されている内容が、動く文字（スクロールテキスト、字幕、テロップ等とも呼ばれる）である場合を示している。なお、「入力」および「生成」については、図41(B)と同様としても良いため、図示していない。ホールド駆動における動画の不鮮明さは、動いているものの性質によって程度が異なることがある。特に、文字が動いている場合に顕著に認識されることが多い。なぜならば、動く文字を読む際にはどうしても視線を文字に追従させてしまうので、ホールドぼけが発生しやすくなるためである。さらに、文字は輪郭がはっきりしていることが多いため、ホールドぼけによる不鮮明さがさらに強調されてしまうこともある。すなわち、画像内を動く物体が文字かどうかを判別し、文字である場合はさらに特別な処理を行なうことは、ホールドぼけの低減のためには有効である。具体的には、画像内を動いている物体に対し、輪郭検出またはノおよびパターン検出等を行なって、当該物体が文字であると判断された場合は、同じ画像から分割されたサブ画像同士であっても動き補間を行い、動きの中間状態を表示するようにして、動きを滑らかにすることができる。当該物体が文字ではないと判断された場合は、図41(B)に示すように、同じ画像から分割されたサブ画像であれば動いている物体の位置は変えずに表示することができる。図41(C)の例では、文字であると判断された領域5131が、上方向に動いている場合を示しているが、サブ画像5121aとサブ画像5121bとで、領域5131の位置を異ならせている。サブ画像5123aとサブ画像5123b、サブ画像5122aとサブ画像5122bについても同様である。こうすることで、ホールドぼけが特に認識されやすい動く文字については、通常の動き補償倍速駆動よりもさらに動きを滑らかにすることができるので、残像等による動画の不鮮明さをさらに改善できる。

【符号の説明】

【0398】

100 基板
 101 半導体膜
 102 レジストマスク
 103a 半導体層
 103b 半導体層
 103c 半導体層
 104 導電膜
 105a レジストマスク
 106a 導電層
 106b 導電層
 106c 導電層
 106d 導電層
 106e 導電層
 107 導電膜
 108 レジストマスク
 109a 導電層
 109b 導電層
 109c 導電層
 110 ゲート絶縁膜
 111 導電膜
 112a レジストマスク

10

20

30

40

50

1 1 3 a	導電層	
1 1 3 b	導電層	
1 1 3 c	導電層	
1 1 3 d	導電層	
1 1 4	導電膜	
1 1 5	レジストマスク	
1 1 6 a	導電層	
1 1 6 b	導電層	
1 1 7	絶縁膜	
1 1 8	導電膜	10
1 1 9 a	導電層	
1 2 0 a	チャネル保護層	
1 2 0 b	チャネル保護層	
1 2 1 a	領域	
1 3 0	コンタクトホール	
1 3 1	コンタクトホール	
1 3 2	コンタクトホール	
1 5 0	トランジスタ	
1 5 1	トランジスタ	
1 5 2	トランジスタ	20
1 5 3	トランジスタ	
1 5 4	トランジスタ	
1 5 5	トランジスタ	
1 5 6	トランジスタ	
1 6 0	保持容量部	
1 6 1	保持容量部	
1 6 2	保持容量部	
1 6 4	保持容量部	
1 7 0	基板	
1 7 1	半導体層	30
1 7 2	導電層	
1 7 3	ゲート絶縁膜	
1 7 4	導電層	
1 7 5	絶縁膜	
2 0 0	基板	
2 0 3	半導体層	
2 0 3 a	半導体層	
2 0 3 b	半導体層	
2 0 4	導電膜	
2 0 5	導電膜	40
2 0 6 a	レジストマスク	
2 0 6 b	レジストマスク	
2 0 7 a	導電層	
2 0 7 b	導電層	
2 0 8 a	導電層	
2 0 8 b	導電層	
2 0 8 c	導電層	
2 0 9	レジストマスク	
2 1 0 a	導電層	
2 1 1	ゲート絶縁膜	50

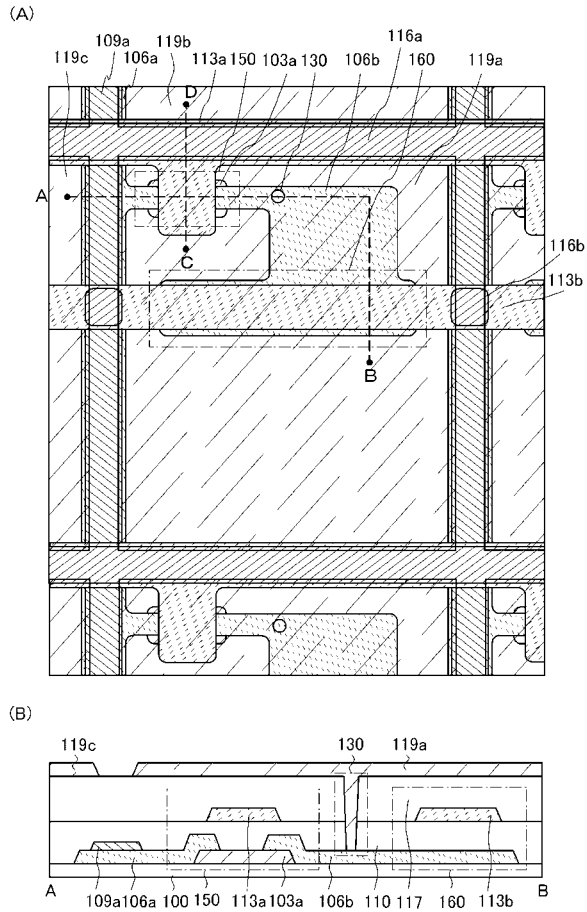
2 1 2	導電膜	
2 1 3	導電膜	
2 1 4 a	レジストマスク	
2 1 5 a	導電層	
2 1 5 b	導電層	
2 1 6 a	導電層	
2 1 6 b	導電層	
2 1 7 a	レジストマスク	
2 1 8 a	導電層	
2 1 8 b	導電層	10
2 1 9	絶縁膜	
2 2 0	導電膜	
2 2 1 a	導電層	
2 5 0	トランジスタ	
2 6 0	保持容量部	
2 7 0	基板	
2 7 1	半導体層	
2 7 2	導電層	
2 7 3	導電層	
2 7 4	ゲート絶縁膜	20
2 7 5	導電層	
2 7 6	導電層	
2 7 7	絶縁膜	
3 0 0	基板	
3 0 1 a	半透過層	
3 0 1 c	遮光層	
3 0 2	基板	
3 0 3 a	半透過層	
3 0 3 c	遮光層	
4 0 0	基板	30
4 0 1	遮光部	
4 0 2	回折格子部	
4 0 3	グレイトーンマスク	
4 1 1	基板	
4 1 2	半透光部	
4 1 3	遮光部	
4 1 4	ハーフトーンマスク	
5 8 0	基板	
5 8 1	薄膜トランジスタ	
5 8 5	絶縁層	40
5 8 6	基板	
5 8 7	電極層	
5 8 8	電極層	
5 8 9	球形粒子	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
5 9 4	キャビティ	
5 9 5	充填材	
1 0 0 0	携帯電話機	
1 0 0 1	筐体	50

1 0 0 2	表示部	
1 0 0 3	操作ボタン	
1 0 0 4	外部接続ポート	
1 0 0 5	スピーカ	
1 0 0 6	マイク	
2 6 0 0	T F T 基板	
2 6 0 1	対向基板	
2 6 0 2	シール材	
2 6 0 3	画素部	
2 6 0 4	表示素子	10
2 6 0 5	着色層	
2 6 0 6	偏光板	
2 6 0 7	偏光板	
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	
2 6 1 1	反射板	
2 6 1 2	回路基板	
2 6 1 3	拡散板	
4 0 0 1	基板	20
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	30
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 0 3 3	絶縁層	
4 0 3 5	スペーサ	40
4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 3 a	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	
4 5 1 1	発光素子	50

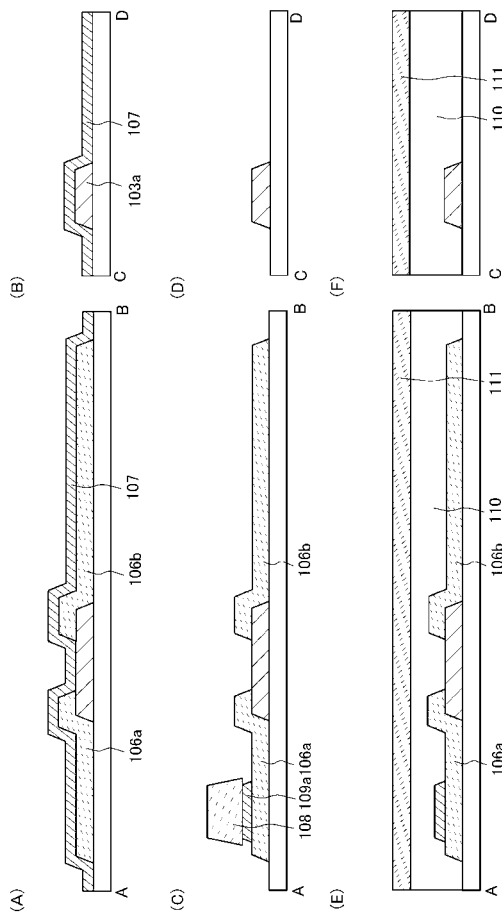
4 5 1 2	電界発光層	
4 5 1 3	電極層	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	電極層	
4 5 1 8 a	F P C	
4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	
5 0 8 0	画素	
5 0 8 1	トランジスタ	10
5 0 8 2	液晶素子	
5 0 8 3	容量素子	
5 0 8 8	画素電極	
5 1 2 4	領域	
5 1 2 5	領域	
5 1 2 6	領域	
5 1 2 9	領域	
5 1 3 1	領域	
5 3 0 0	基板	
5 3 0 1	画素部	20
5 3 0 2	走査線駆動回路	
5 3 0 3	信号線駆動回路	
5 4 0 0	基板	
5 4 0 1	画素部	
5 4 0 2	走査線駆動回路	
5 4 0 3	信号線駆動回路	
5 4 0 4	走査線駆動回路	
6 4 0 0	画素	
6 4 0 1	スイッチング用トランジスタ	
6 4 0 2	駆動用トランジスタ	30
6 4 0 3	容量素子	
6 4 0 4	発光素子	
6 4 0 5	信号線	
6 4 0 6	走査線	
6 4 0 7	電源線	
6 4 0 8	共通電極	
6 4 1 0	画素	
7 0 0 1	T F T	
7 0 0 2	発光素子	
7 0 0 3	陰極	40
7 0 0 4	発光層	
7 0 0 5	陽極	
7 0 1 1	駆動用 T F T	
7 0 1 2	発光素子	
7 0 1 3	陰極	
7 0 1 4	発光層	
7 0 1 5	陽極	
7 0 1 6	遮蔽膜	
7 0 1 7	導電層	
7 0 2 1	駆動用 T F T	50

7 0 2 2	発光素子	
7 0 2 3	陰極	
7 0 2 4	発光層	
7 0 2 5	陽極	
7 0 2 7	導電層	
9 1 0 0	携帯電話機	
9 1 0 1	筐体	
9 1 0 2	表示部	
9 1 0 3	連結部	
9 1 0 4	筐体	10
9 1 0 6	操作キー	
9 2 0 0	携帯情報端末機器	
9 2 0 1	筐体	
9 2 0 2	表示部	
9 2 0 3	筐体	
9 2 0 5	キーボード	
9 2 0 7	連結部	
9 4 0 0	通信装置	
9 4 0 1	筐体	
9 4 0 2	操作ボタン	20
9 4 0 3	外部入力端子	
9 4 0 4	マイク	
9 4 0 5	スピーカ	
9 4 0 6	発光部	
9 4 1 0	表示装置	
9 4 1 1	筐体	
9 4 1 2	表示部	
9 4 1 3	操作ボタン	
9 5 0 0	デジタルビデオカメラ	
9 5 0 1	筐体	30
9 5 0 3	表示部	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	
9 6 0 9	操作キー	
9 6 1 0	リモコン操作機	
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	40
9 7 0 3	表示部	
9 8 0 0	コンピュータ	
9 8 0 1	筐体	
9 8 0 2	表示部	
9 8 0 3	キーボード	
9 8 0 4	筐体	

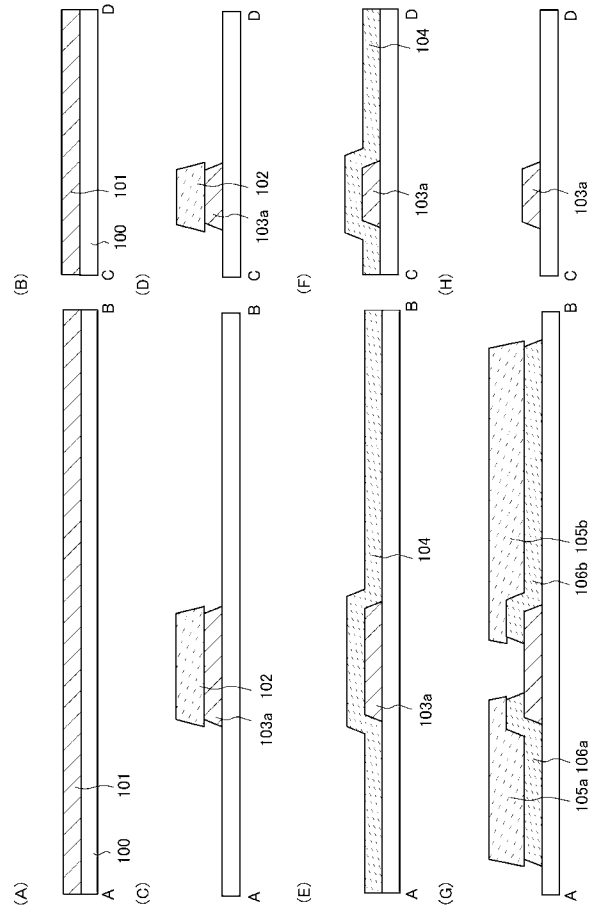
【図 1】



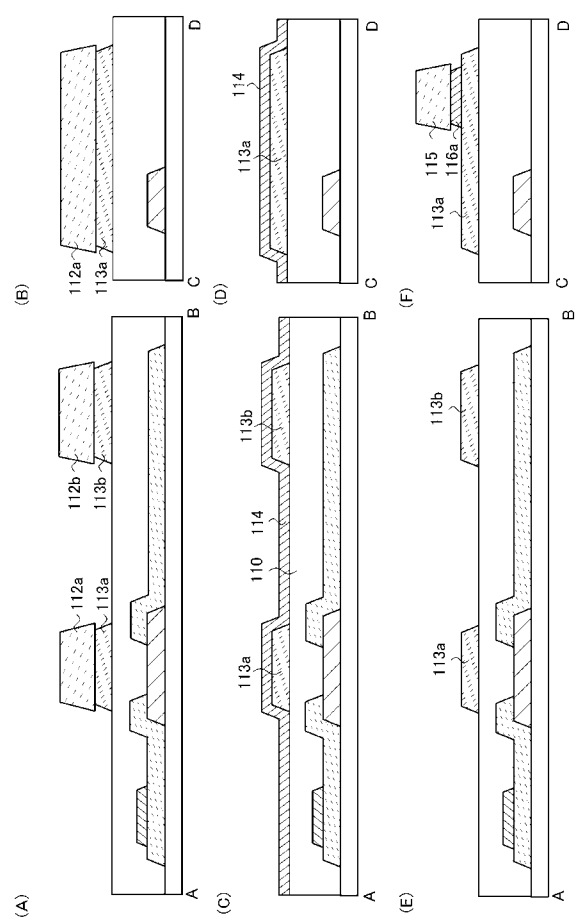
【図 3】



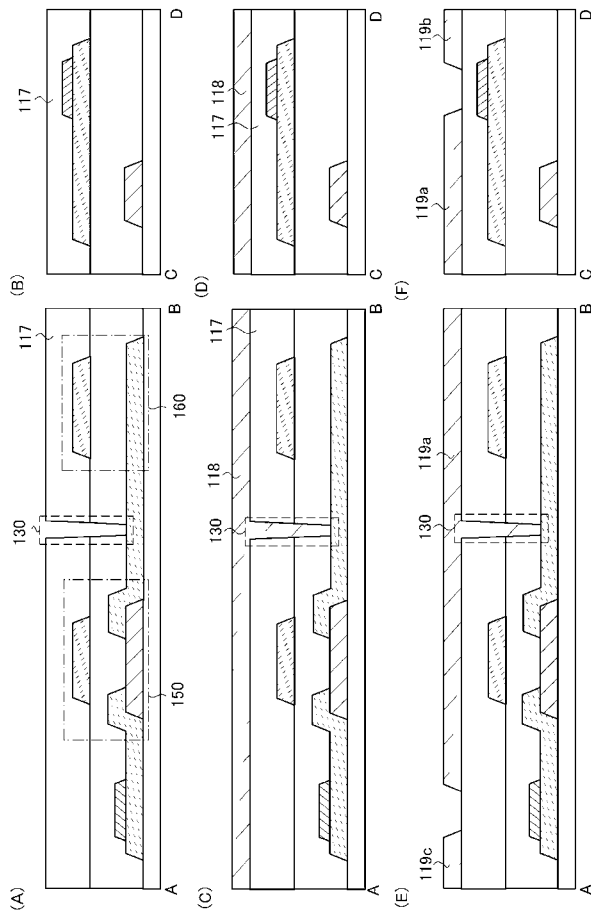
【図 2】



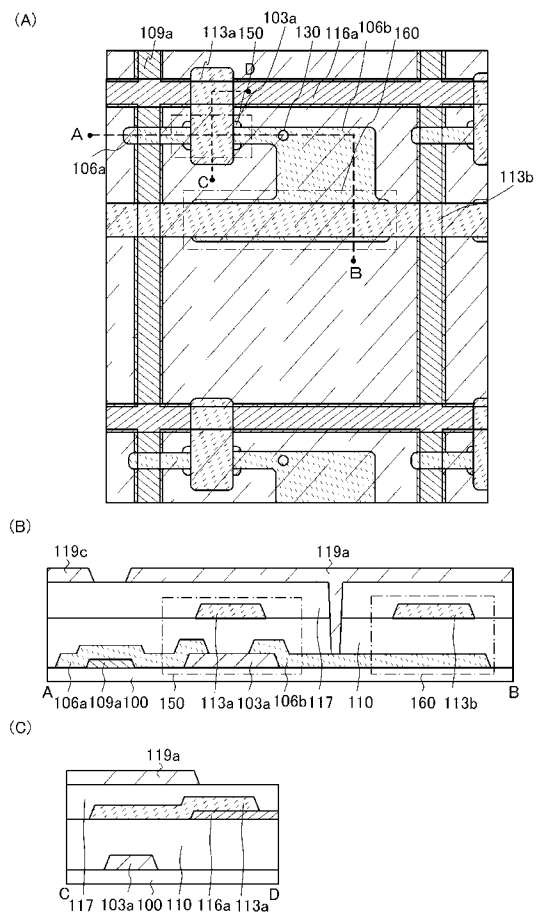
【図 4】



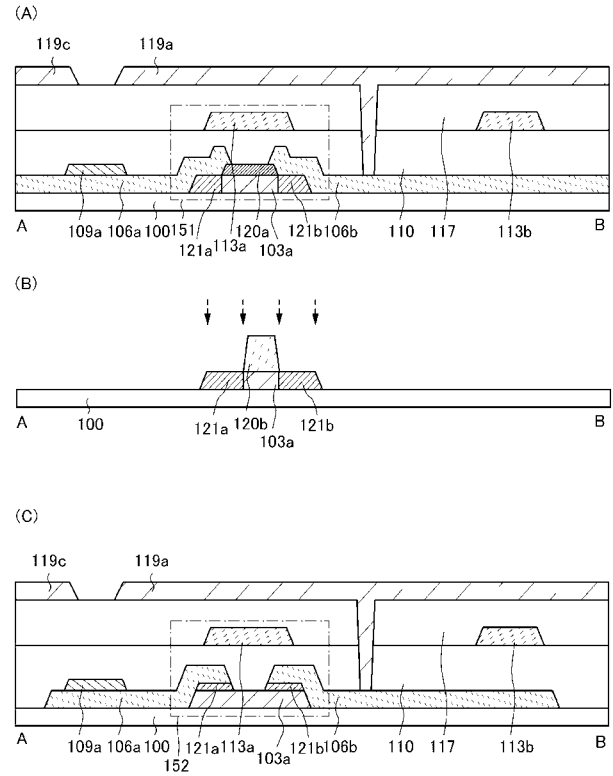
【図 5】



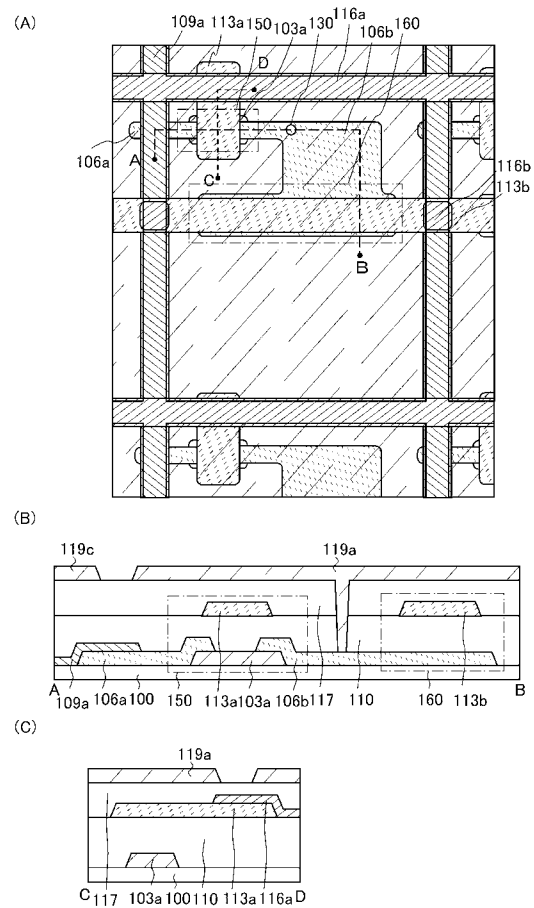
【図 7】



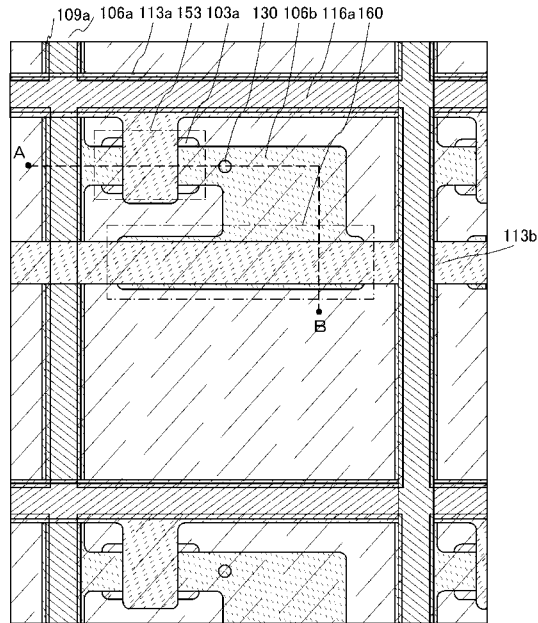
【図 6】



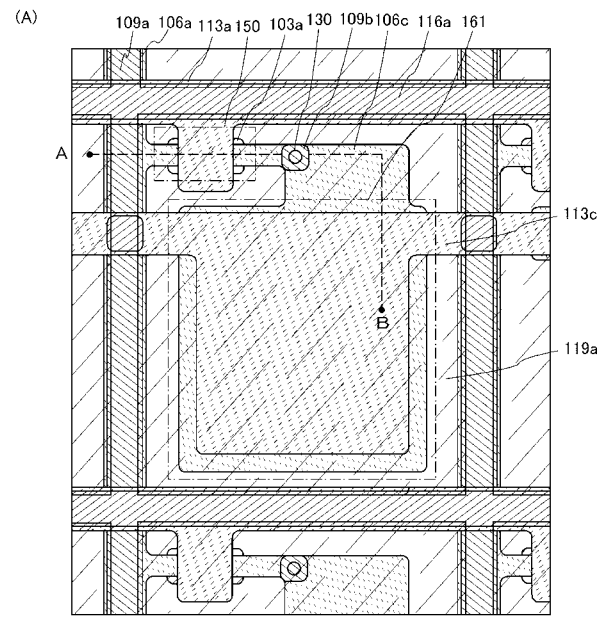
【図 8】



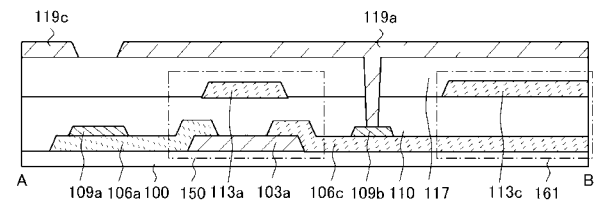
【図 9】



【図 10】

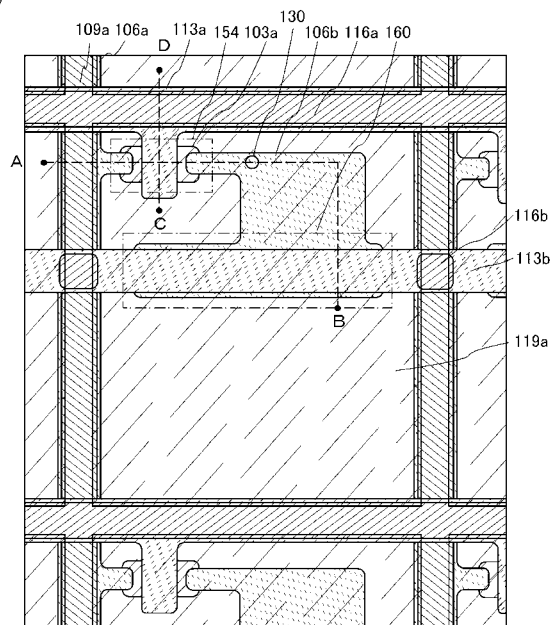


(B)

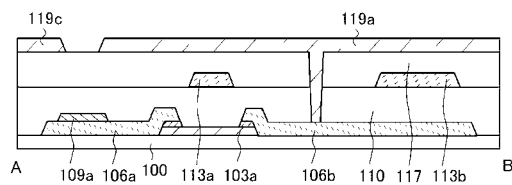


【図 11】

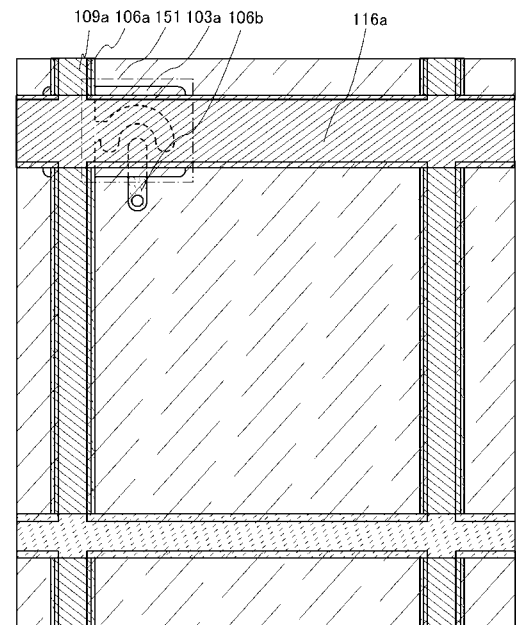
(A)



(B)

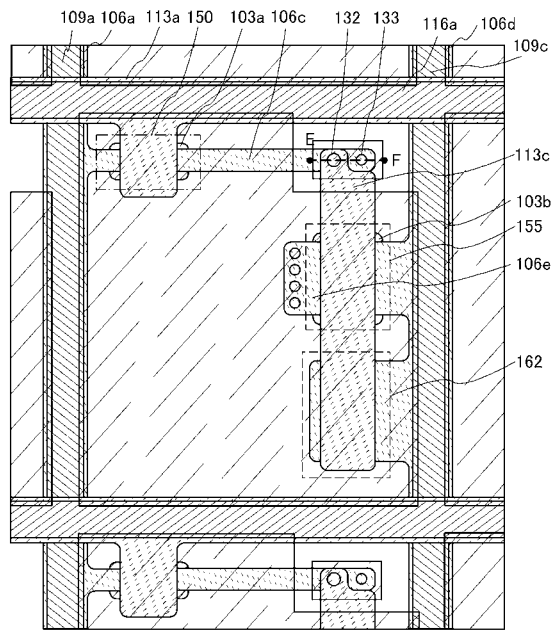


【図 12】

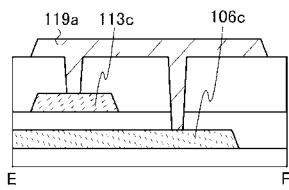


【図 13】

(A)

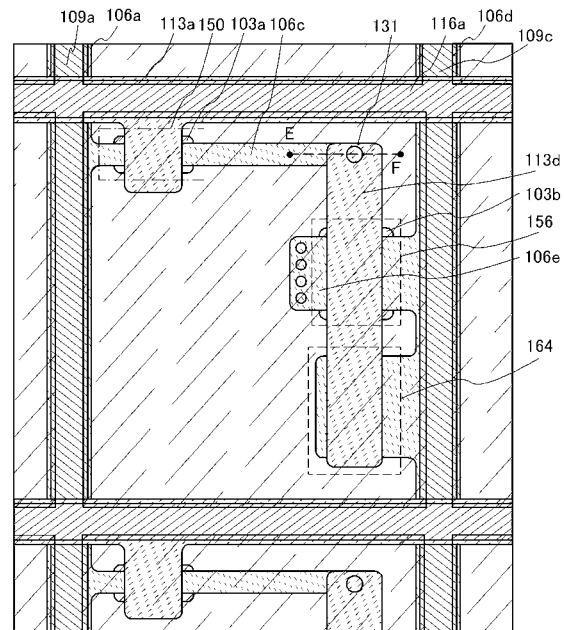


(B)

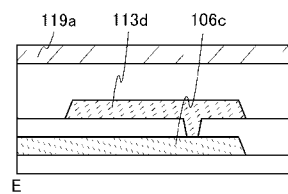


【図 14】

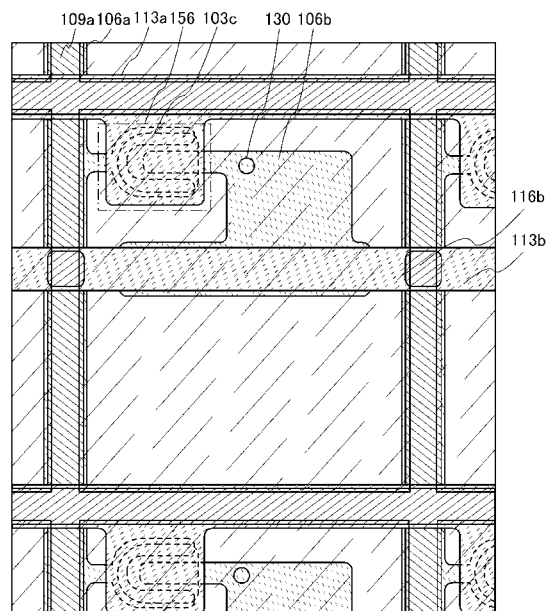
(A)



(B)

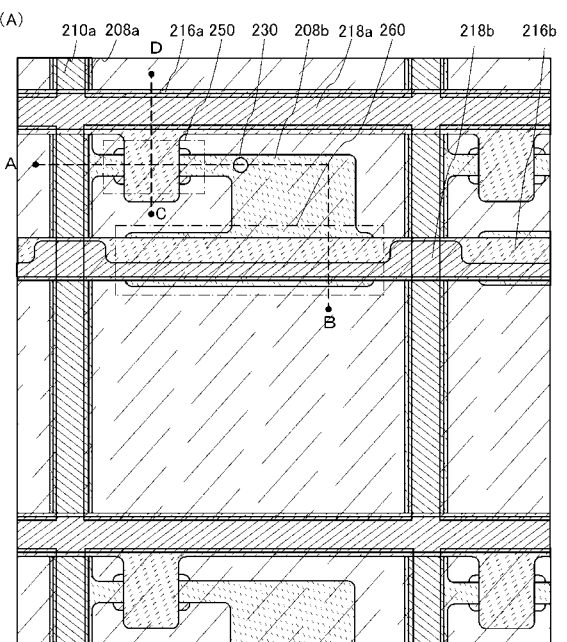


【図 15】

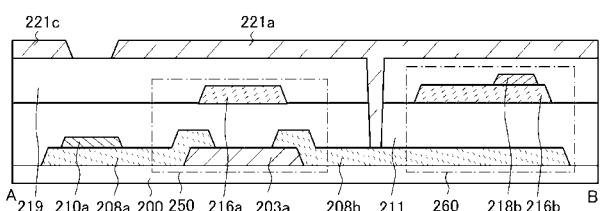


【図 16】

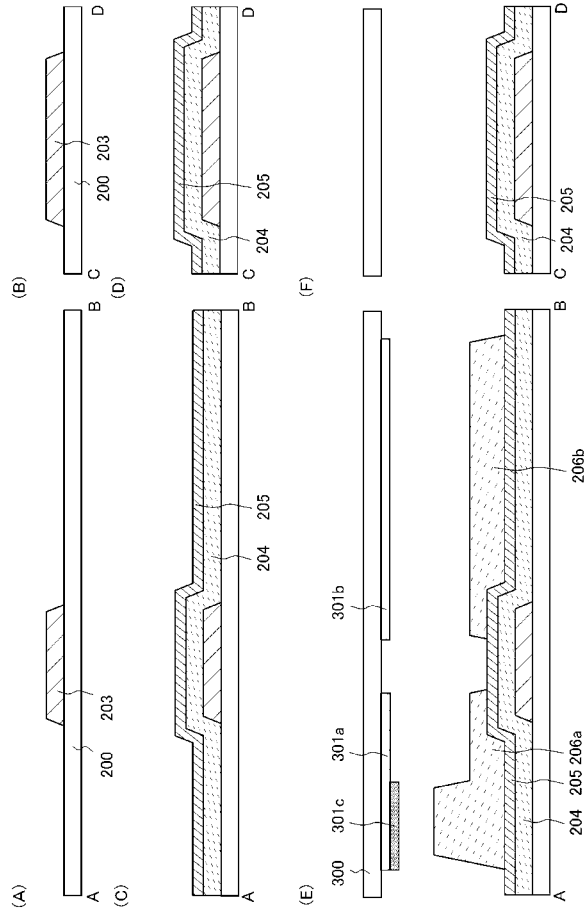
(A)



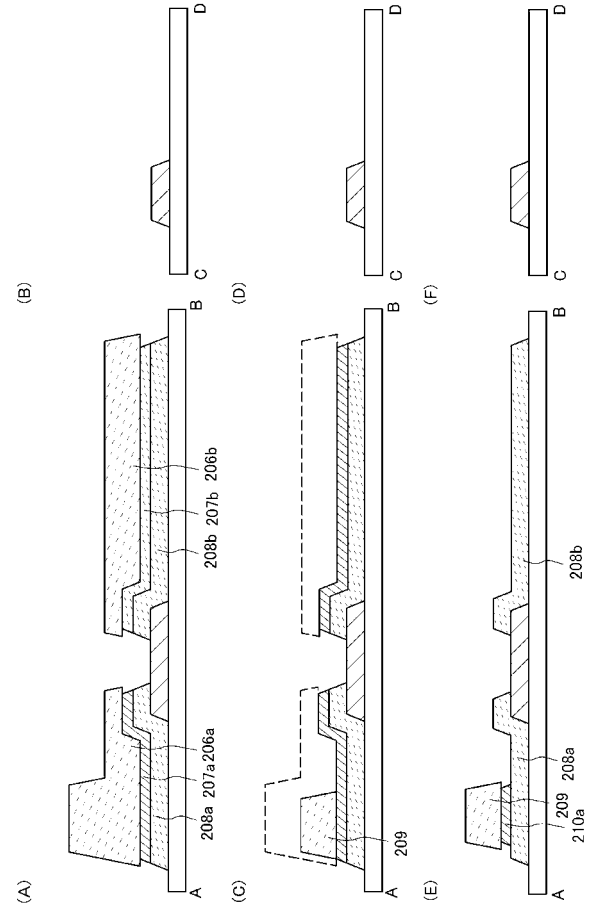
(B)



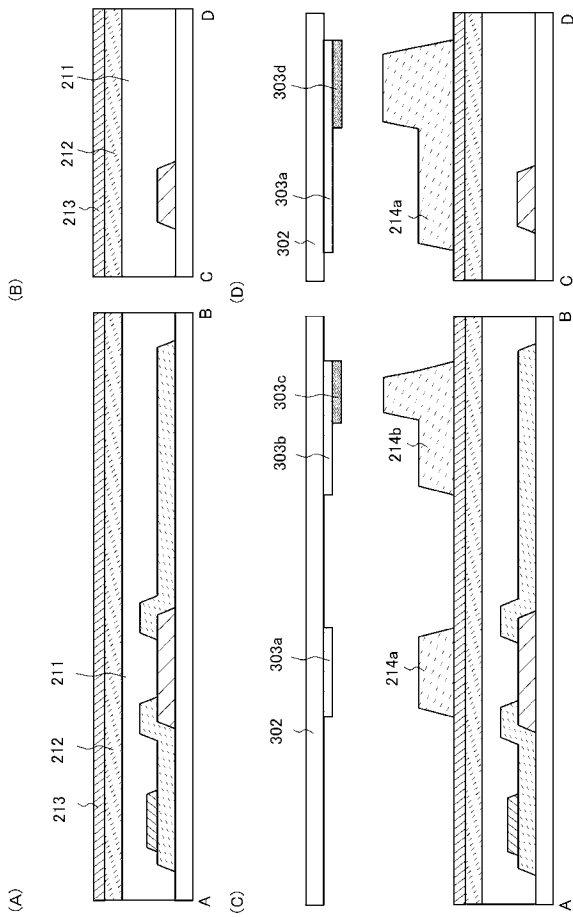
【図 17】



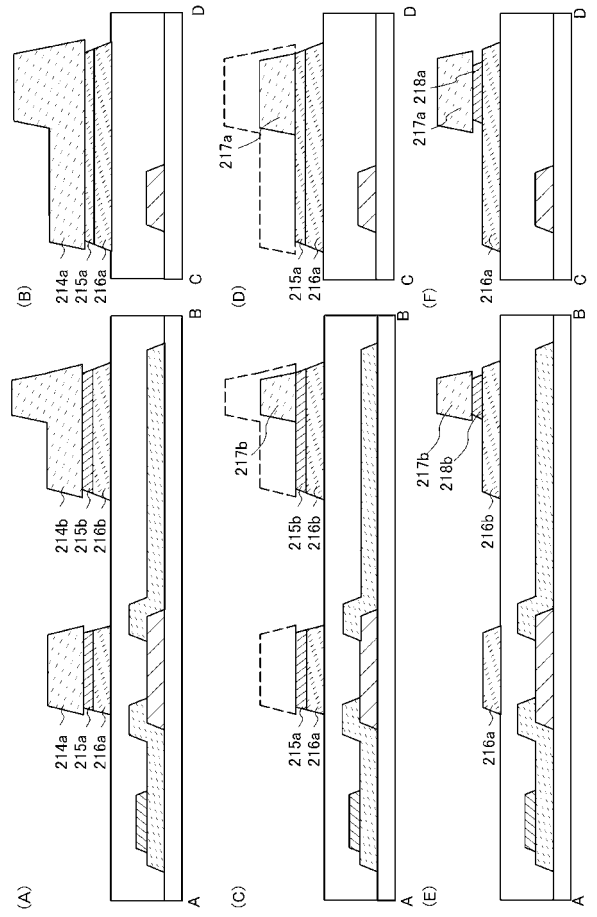
【図 18】



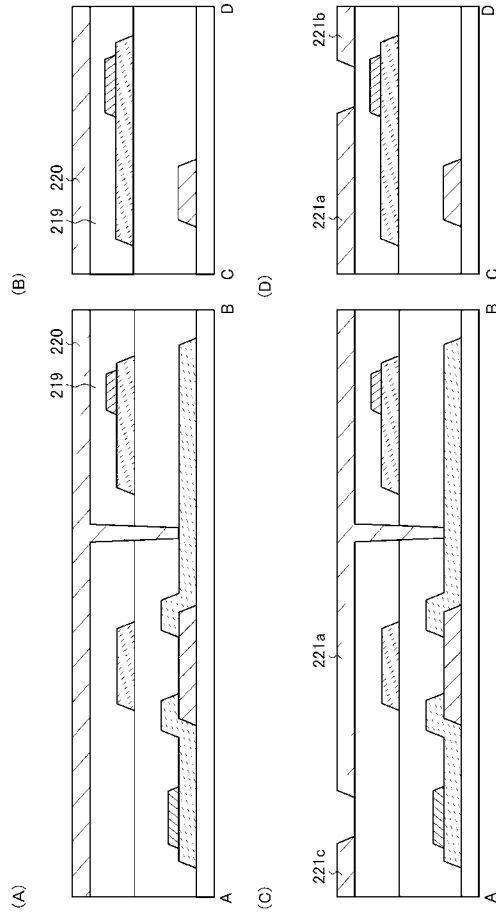
【図 19】



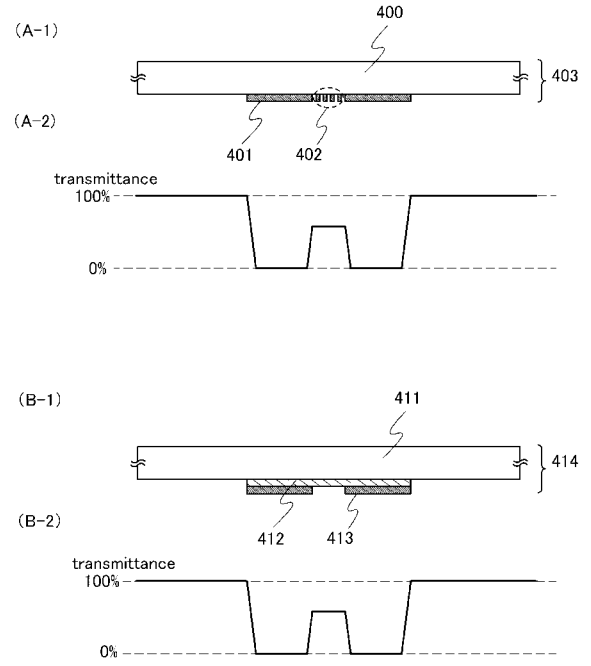
【図 20】



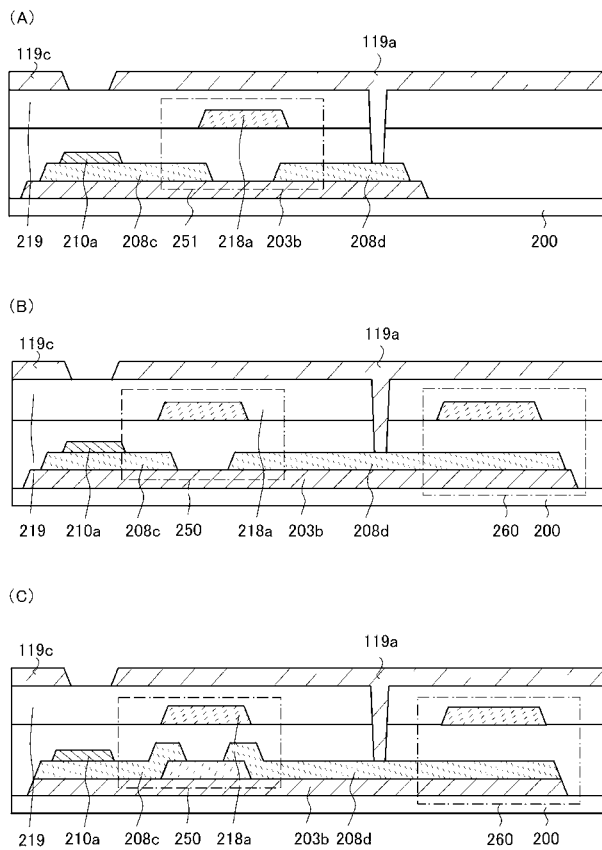
【図 2 1】



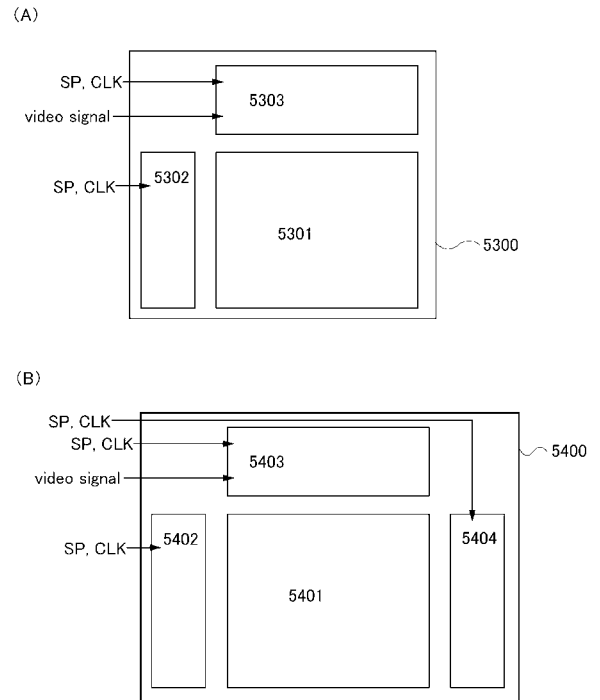
【図 2 2】



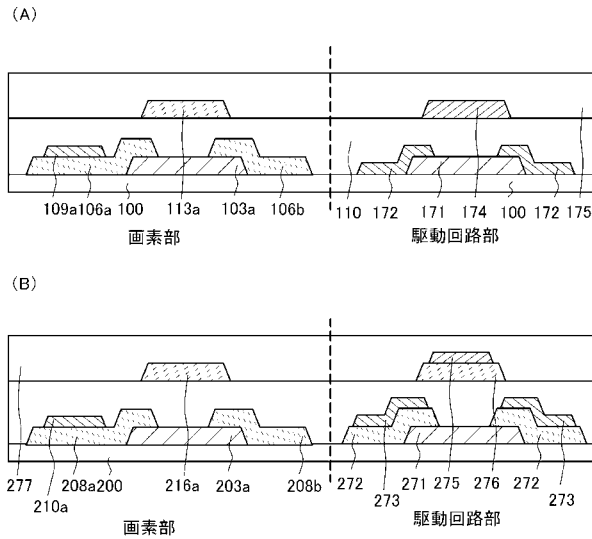
【図 2 3】



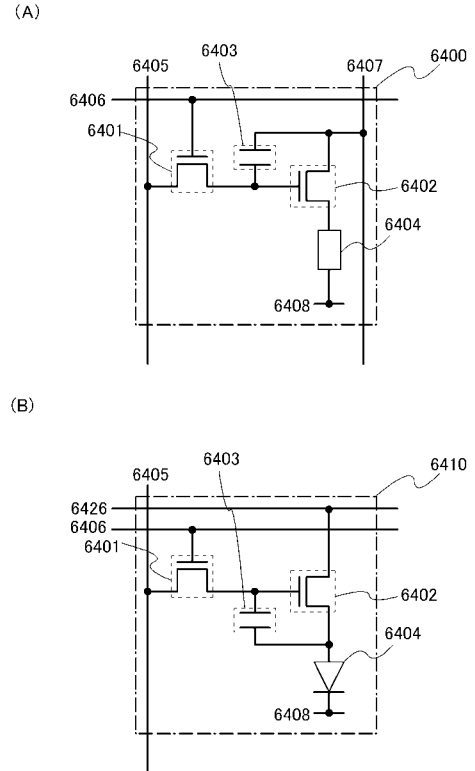
【図 2 4】



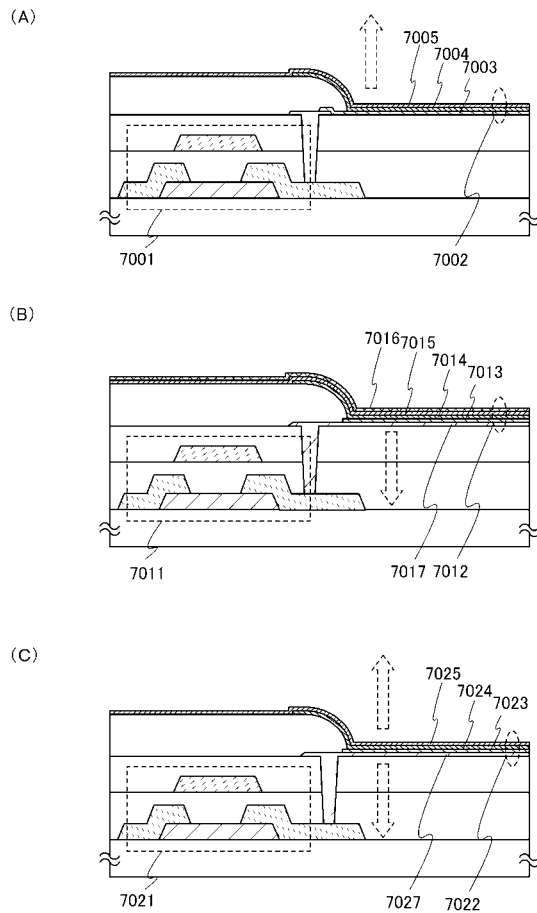
【図 25】



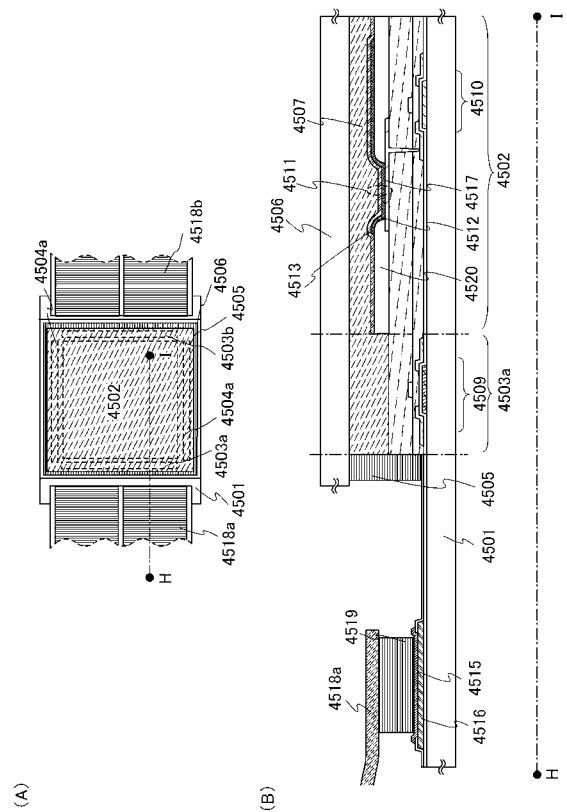
【図 26】



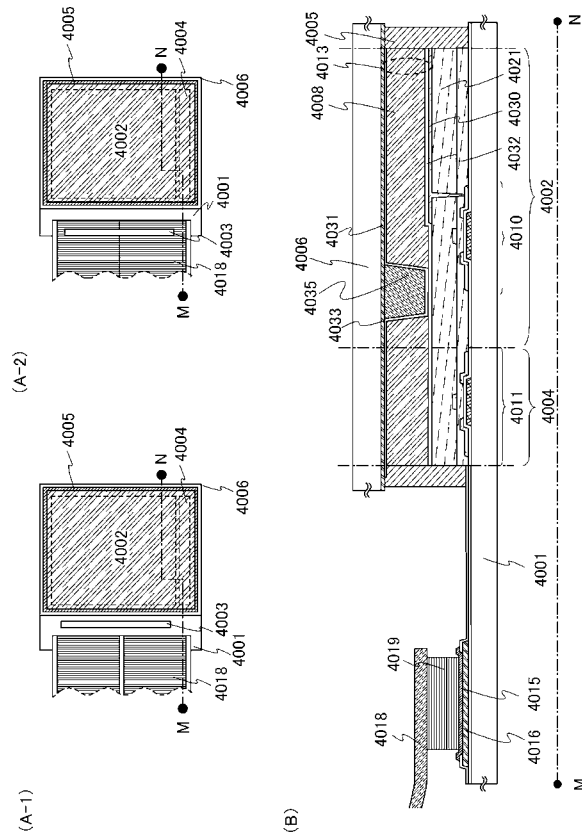
【図 27】



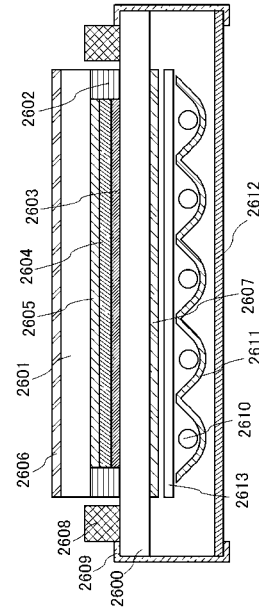
【図 28】



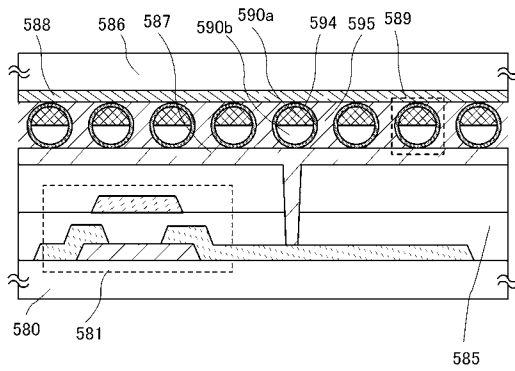
【図 29】



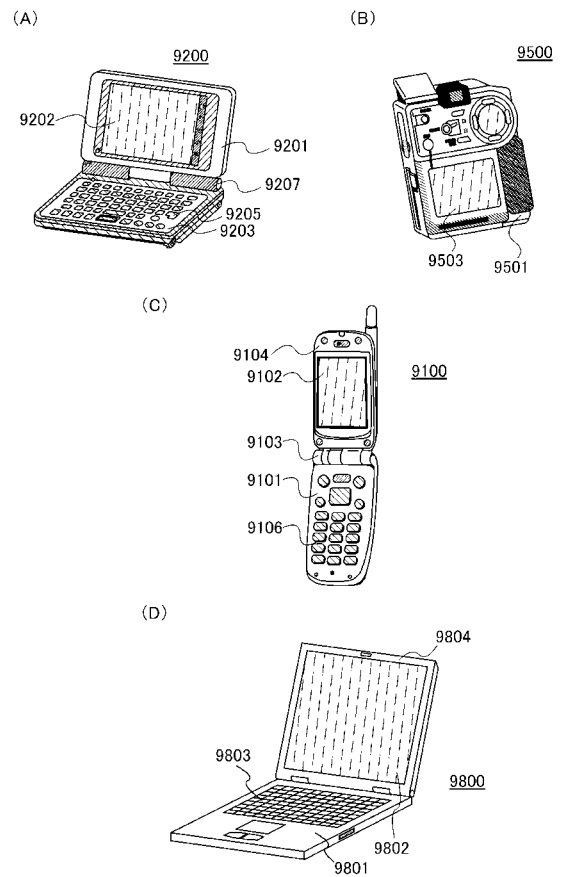
【図 30】



【図 31】

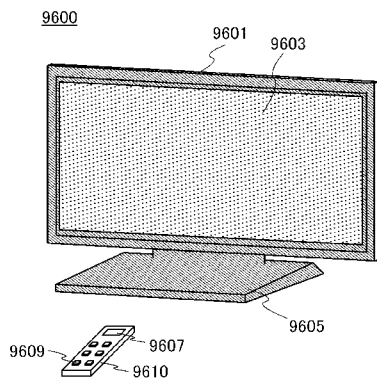


【図 32】

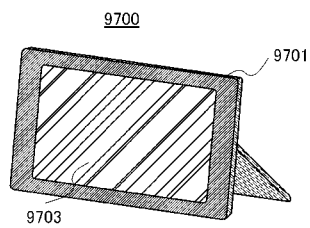


【図 3 3】

(A)

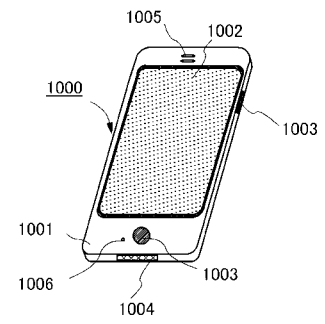


(B)

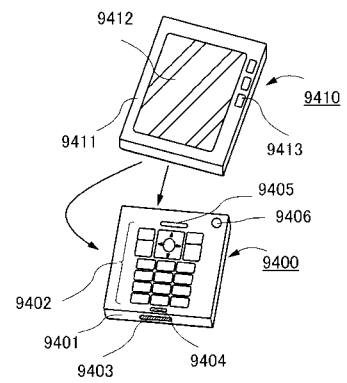


【図 3 4】

(A)

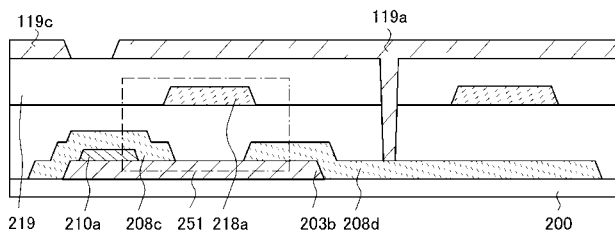


(B)

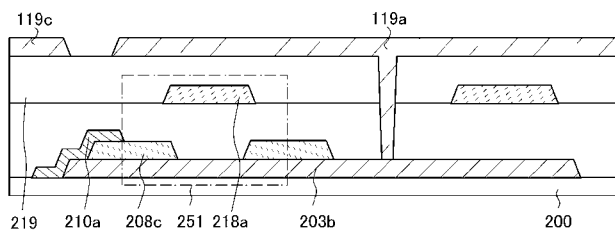


【図 3 5】

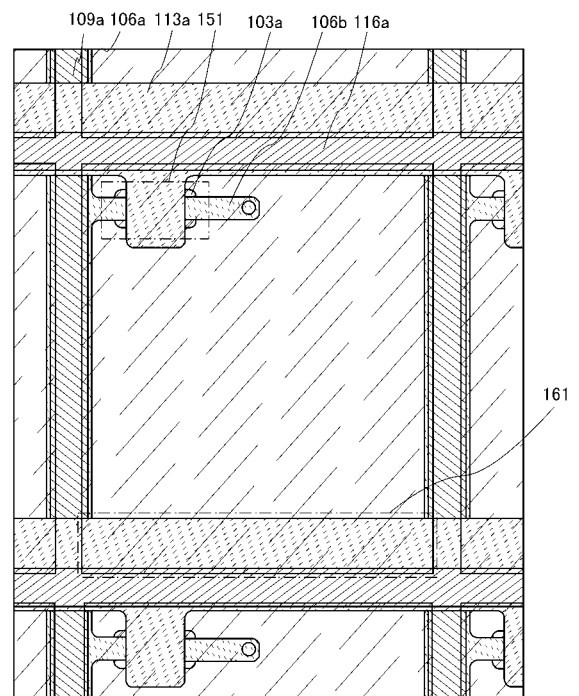
(A)



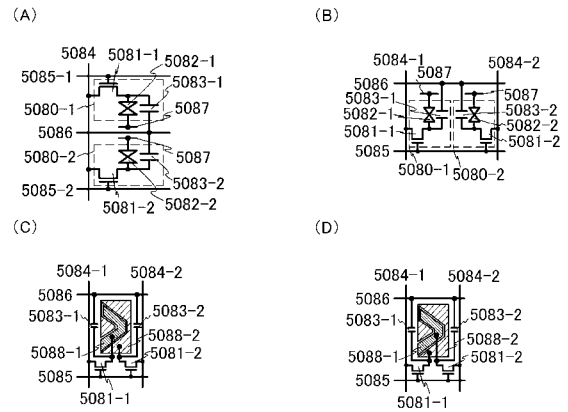
(B)



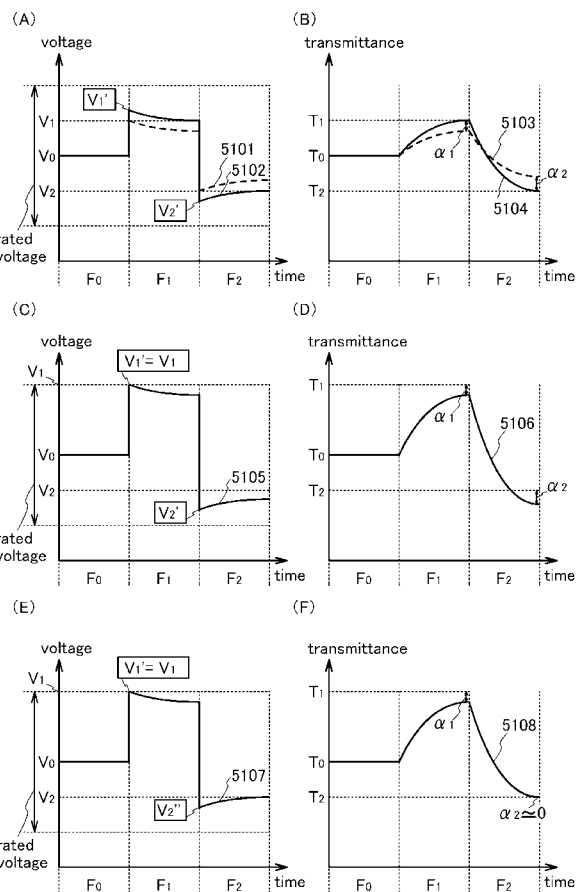
【図 3 6】



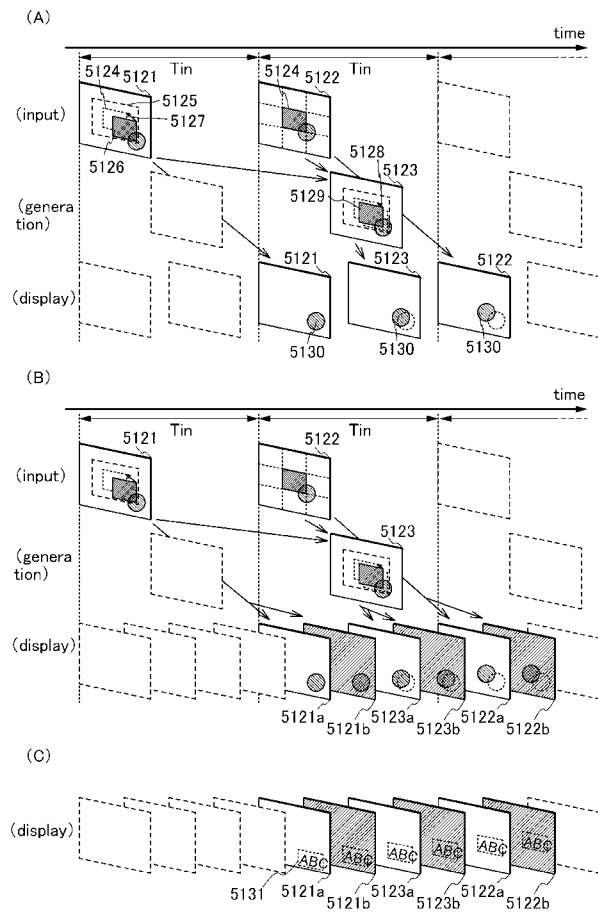
【 図 3 8 】



【 図 4 0 】



【図 4 1】



专利名称(译)	透射式液晶显示装置		
公开(公告)号	JP2015043088A	公开(公告)日	2015-03-05
申请号	JP2014180892	申请日	2014-09-05
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	木村肇		
发明人	木村 肇		
IPC分类号	G02F1/1368 H01L29/786 H01L21/336		
CPC分类号	H01L21/28 H01L21/768 H01L21/82 H01L27/02 H01L29/66477 H01L29/7869 H01L29/78693 H01L21/02554 H01L21/02565 H01L27/1225 H01L27/124 H01L27/1288 H01L29/458 H01L29/4908 H01L27/1214 H01L29/45		
FI分类号	G02F1/1368 H01L29/78.618.B H01L29/78.619.A H01L29/78.612.B		
F-TERM分类号	2H192/AA24 2H192/BA22 2H192/BC24 2H192/BC31 2H192/CB02 2H192/CB37 2H192/CB71 2H192/CC04 2H192/CC22 2H192/CC32 2H192/CC42 2H192/CC62 2H192/CC72 2H192/CC75 2H192/DA02 2H192/DA12 2H192/DA24 2H192/DA42 2H192/DA72 2H192/EA17 2H192/EA42 2H192/EA67 2H192/FA73 2H192/FB02 2H192/FB22 2H192/FB33 2H192/GD61 2H192/HA44 2H192/JA13 5F110/AA03 5F110/AA06 5F110/AA09 5F110/AA30 5F110/BB02 5F110/BB04 5F110/CC01 5F110/DD02 5F110/DD03 5F110/DD04 5F110/DD05 5F110/DD12 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE07 5F110/EE14 5F110/EE15 5F110/EE43 5F110/EE44 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF28 5F110/FF29 5F110/GG01 5F110/GG02 5F110/GG04 5F110/GG05 5F110/GG12 5F110/GG13 5F110/GG14 5F110/GG15 5F110/GG22 5F110/GG25 5F110/GG33 5F110/GG34 5F110/GG43 5F110/GG57 5F110/GG58 5F110/HJ30 5F110/HK01 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK07 5F110/HK21 5F110/HK22 5F110/HK32 5F110/HK33 5F110/HL01 5F110/HL02 5F110/HL03 5F110/HL04 5F110/HL06 5F110/HL07 5F110/HL23 5F110/HM03 5F110/HM12 5F110/HM14 5F110/HM18 5F110/HM19 5F110/NN03 5F110/NN12 5F110/NN24 5F110/NN27 5F110/NN72 5F110/NN73 5F110/QQ01 5F110/QQ04 5F110/QQ05 5F110/QQ06		
优先权	2009051899 2009-03-05 JP		
外部链接	Espacenet		

摘要(译)

提供了一种具有高开口率的半导体器件及其制造方法。此外，提供了一种低功耗的半导体器件或其制造方法。设置在具有绝缘表面的基板上的半导体层103a，覆盖半导体层103a的栅极绝缘膜110，以及设置在栅极绝缘膜110上的第一导电层和第二导电层。包括栅极的栅极布线113a，覆盖半导体层103a的绝缘膜117和包括栅极的栅极布线113a以及与半导体层103a电连接的第三导电层和第四导电层。源布线106a包括：源电极，其堆叠有其导电层；栅电极由第一导电层形成；栅布线由第一导电层和第一导电层形成。第二导电层，源电极由第三导电层形成，并且源极布线由第三导电层和第四导电层形成。[选型图]图1

