

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2015-4981

(P2015-4981A)

(43) 公開日 平成27年1月8日 (2015. 1. 8)

(51) Int. Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H192
HO1L 29/786 (2006.01)	HO1L 29/78 616S	5F033
HO1L 21/768 (2006.01)	HO1L 21/90 W	5F110
HO1L 23/522 (2006.01)	HO1L 29/78 612D	
HO1L 21/336 (2006.01)	HO1L 29/78 618C	
審査請求 有 請求項の数 3 O L (全 15 頁)		

(21) 出願番号	特願2014-161574 (P2014-161574)	(71) 出願人	506087819 パナソニック液晶ディスプレイ株式会社 兵庫県姫路市飾磨区妻鹿日田町1-6
(22) 出願日	平成26年8月7日 (2014. 8. 7)	(74) 代理人	110000154 特許業務法人はるか国際特許事務所
(62) 分割の表示	特願2009-260984 (P2009-260984) の分割	(72) 発明者	船橋 祐太 兵庫県姫路市飾磨区妻鹿日田町1-6 パ ナソニック液晶ディスプレイ株式会社内
原出願日	平成21年11月16日 (2009. 11. 16)	(72) 発明者	川村 徹也 兵庫県姫路市飾磨区妻鹿日田町1-6 パ ナソニック液晶ディスプレイ株式会社内
		(72) 発明者	平田 将史 兵庫県姫路市飾磨区妻鹿日田町1-6 パ ナソニック液晶ディスプレイ株式会社内
		最終頁に続く	

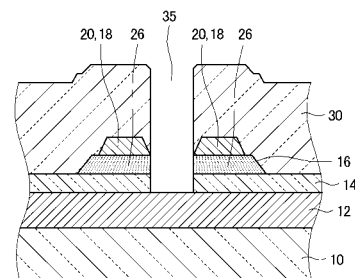
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】本発明は、金属パターンの下に配置される半導体パターンを適切に処理することを目的とする。

【解決手段】液晶表示装置であって、基板上にマトリクス状に配置された複数の画素と、前記複数の画素のうち隣接する二つの画素の間に並列する二本のドレイン配線と、前記基板と前記二本のドレイン配線との間に形成される半導体層と、を備え、前記半導体層は、平面視で、前記二本のドレイン配線の間では、間隙が形成されており、一方、前記画素と前記二本のドレイン配線の間では、前記二本のドレイン配線からはみ出して形成されている、ことを特徴とする。

【選択図】 図3B



【特許請求の範囲】

【請求項 1】

基板上にマトリックス状に配置された複数の画素と、
前記複数の画素のうち隣接する二つの画素の間に並列する二本のドレイン配線と、
前記基板と前記二本のドレイン配線との間に形成される半導体層と、
を備え、
前記半導体層は、平面視で、前記二本のドレイン配線の間では、間隙が形成されており、一方、前記画素と前記二本のドレイン配線の間では、前記二本のドレイン配線からはみ出して形成されている、
ことを特徴とする液晶表示装置。

10

【請求項 2】

前記基板と前記半導体層との間に形成されるゲート絶縁層をさらに備え、
前記ゲート絶縁層は、平面視で、前記二本のドレイン配線の間で、間隙が形成されており、
前記半導体層の前記間隙と接する前記半導体層の側面と、前記ゲート絶縁層の前記間隙と接する前記ゲート絶縁層の側面とは、面一になっていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記二本のドレイン配線は、複数の絶縁層で覆われており、前記半導体層の前記間隙は、前記複数の絶縁層のいずれか一つで埋められていることを特徴とする請求項 1 に記載の液晶表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関する。

【背景技術】

【0002】

アクティブマトリクス型の液晶表示装置では、薄膜トランジスタを構成するため、半導体層及び金属層が積層されている。ボトムゲート型の薄膜トランジスタでは、金属層からパターニングされたドレイン電極及びソース電極及びドレイン配線（画素電極を駆動するための映像信号が供給される配線）が、半導体層の上に形成される。このような構造において、半導体層は、ドレイン配線がソース配線などの交差する配線を乗り越える領域などに、段差を小さくするために使用される場合がある（特許文献 1）。

30

【0003】

また、近年は画素の高精細化が進み、一つの画素間に 2 本のドレイン配線が形成される場合がある（特許文献 2）。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】 W O 0 1 / 0 1 8 5 7 号公報

40

【特許文献 2】 特開 2 0 0 5 - 7 7 4 2 4 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

半導体層を先にパターニングしてからドレイン電極及びソース電極、及びドレイン電極に接続するドレイン配線の金属層をパターニングする方法では、位置ずれを考慮して、半導体層を重畳する金属層よりも幅広に形成する。そのため、ドレイン配線下の半導体層は、特に交差する他の配線を乗り越える領域において、ドレイン配線からはみ出して形成される。

【0006】

50

また、半導体層の上に金属層を積層し、1つのエッチングレジストを使用して、金属層及び半導体層を連続的にパターニングする方法では、金属層はウエットエッチングのサイドエッチングによってエッチングレジストよりも小さくなるため、ドレイン配線下の半導体層がドレイン配線からはみ出す。

【0007】

特許文献2に示されるような、画素間にドレイン配線が2本形成される場合、隣接するドレイン配線下のはみ出した半導体層が、お互いに接触してしまう可能性がある。このような場合は、電氣的なショート発生の原因となり得る。この状況を回避するためには、ドレイン配線間を広くすることが考えられるが、ドレイン配線上は光の散乱が生じるため、ドレイン配線よりも幅の広いブラックマトリクスを形成しなければならない。しかし、ドレイン配線の間隔が広がると、必然的に開口率が低下する。

10

【0008】

本発明は、金属パターンの下に配置される半導体パターンを適切に処理することを目的とする。

【課題を解決するための手段】

【0009】

(1) 本発明に係る液晶表示装置は、基板上にマトリックス状に配置された複数の画素と、前記複数の画素のうち隣接する二つの画素の間に並列する二本のドレイン配線と、前記基板と前記二本のドレイン配線との間に形成される半導体層と、を備え、前記半導体層は、平面視で、前記二本のドレイン配線の間では、間隙が形成されており、一方、前記画素と前記二本のドレイン配線の間では、前記二本のドレイン配線からはみ出して形成されている、ことを特徴とする。

20

【0010】

(2) (1)に記載の液晶表示装置において、前記基板と前記半導体層との間に形成されるゲート絶縁層をさらに備え、前記ゲート絶縁層は、平面視で、前記二本のドレイン配線の間で、間隙が形成されており、前記半導体層の前記間隙と接する前記半導体層の側面と、前記ゲート絶縁層の前記間隙と接する前記ゲート絶縁層の側面とは、面一になっていることを特徴とする。

【0011】

(3) (1)に記載の液晶表示装置において、前記二本のドレイン配線は、複数の絶縁層で覆われており、前記半導体層の前記間隙は、前記複数の絶縁層のいずれか一つで埋められていることを特徴とする。

30

【図面の簡単な説明】

【0012】

【図1A】 本発明の第1の実施形態に係る液晶表示装置の製造方法を説明する図である。

【図1B】 図1Aに示す構造のIB-IB線断面図である。

【図2A】 本発明の第1の実施形態に係る液晶表示装置の製造方法を説明する図である。

【図2B】 図2Aに示す構造のIIB-IIB線断面図である。

【図3A】 本発明の第1の実施形態に係る液晶表示装置の製造方法を説明する図である。

【図3B】 図3Aに示す構造のIII-III線断面図である。

40

【図4】 本発明の第1の実施形態に係る液晶表示装置の製造方法を説明する図である。

【図5】 第1の実施形態の変形例を説明する図である。

【図6】 第1の実施形態の変形例を説明する図である。

【図7】 第1の実施形態の変形例を説明する図である。

【図8】 第1の実施形態の変形例を説明する図である。

【図9】 第1の実施形態の変形例を説明する図である。

【図10A】 本発明の第2の実施形態に係る液晶表示装置の製造方法を説明する図である。

。

【図10B】 図10Aに示す構造のXB-XB線断面図である。

【図11A】 本発明の第2の実施形態に係る液晶表示装置の製造方法を説明する図である。

50

。

【図 1 1 B】図 1 1 A に示す構造の XIB-XIB 線断面図である。

【図 1 2】本発明の第 2 の実施形態に係る液晶表示装置の製造方法を説明する図である。

【図 1 3】第 2 の実施形態の変形例を説明する図である。

【図 1 4】第 2 の実施形態の変形例を説明する図である。

【図 1 5】第 2 の実施形態の変形例を説明する図である。

【図 1 6】第 2 の実施形態の変形例を説明する図である。

【図 1 7】第 2 の実施形態の変形例を説明する図である。

【図 1 8】本発明の第 3 の実施形態に係る液晶表示装置を示す図である。

【図 1 9】本発明の第 4 の実施形態に係る液晶表示装置を示す図である。

10

【発明を実施するための形態】

【0013】

以下、本発明の実施形態について図面を参照して説明する。

【0014】

〔第 1 の実施形態〕

図 1 A～図 4 は、本発明の第 1 の実施形態に係る液晶表示装置の製造方法を説明する図である。図 1 B は、図 1 A に示す構造の IB-IB 線断面図である。図 2 B は、図 2 A に示す構造の IIB-IIB 線断面図である。図 3 B は、図 3 A に示す構造の III-III 線断面図である。

。

【0015】

20

本実施形態では、図 1 B に示すように、第 1 基板 1 0 を用意する。第 1 基板 1 0 は光透過性を有する材料からなる。第 1 基板 1 0 にゲート配線 1 2 を形成する。ゲート配線 1 2 は、薄膜トランジスタのゲート電極として機能する部分を有し、銅などの金属からなる。第 1 基板 1 0 の全面に金属膜を形成し、金属膜をエッチングしてゲート配線 1 2 を形成することができる。ゲート配線 1 2 を覆うように、第 1 基板 1 0 にゲート絶縁膜 1 4 を形成する。ゲート絶縁膜 1 4 は無機材料（例えば SiN）からなる。

【0016】

図 1 A 及び図 1 B に示すように、ゲート絶縁膜 1 4 上に、半導体パターン 1 6 及び金属パターン 1 8 を形成する。半導体パターン 1 6 は、薄膜トランジスタの半導体層を形成するときに同時に同じ材料（アモルファスシリコンなどの半導体）から形成することができるが、薄膜トランジスタの一部ではない。ゲート絶縁膜 1 4 の下にはゲート配線 1 2 が配置されているため、ゲート絶縁膜 1 4 の表面には、ゲート配線 1 2 の厚みによって凸部が形成されている。このため、ゲート絶縁膜 1 4 の表面には段差が形成されるので、段差を小さくするために半導体パターン 1 6 がゲート絶縁膜 1 4 上に形成されている。半導体パターン 1 6 は、ゲート絶縁膜 1 4 を介して、ゲート配線 1 2 と立体交差するように配置されている。

30

【0017】

金属パターン 1 8 は、間隔をあけて並列する複数の配線 2 0（データ配線ともいう）を含む。配線 2 0 は、ゲート配線 1 2 と立体交差するように形成される。詳しくは、配線 2 0 は、ゲート配線 1 2、ゲート絶縁膜 1 4 及び半導体パターン 1 6 と重なる部分と、ゲート絶縁膜 1 4 及び半導体パターン 1 6 と重なるがゲート配線 1 2 とは重ならない部分と、ゲート絶縁膜 1 4 と重なるがゲート配線 1 2 及び半導体パターン 1 6 とは重ならない部分と、を含む。

40

【0018】

金属パターン 1 8 は、相互に分離（電氣的に絶縁）されたドレイン電極 2 2 及びソース電極 2 4 を含む。ドレイン電極 2 2 及びソース電極 2 4 の一方は配線 2 0 と接続されている。ドレイン電極 2 2 と接続された配線 2 0 をドレイン配線ともいう。ドレイン電極 2 2 及びソース電極 2 4 は半導体層上に載って、薄膜トランジスタを構成している。

【0019】

半導体パターン 1 6 は、金属パターン 1 8（配線 2 0）の下に積層された第 1 部分 2 6

50

と、第 1 部分 2 6 から金属パターン 1 8 (配線 2 0) の外側にはみ出す第 2 部分 2 8 と、を有するように形成する。第 1 部分 2 6 は配線 2 0 と接触している。半導体パターン 1 6 の第 2 部分 2 8 は、隣同士の配線 2 0 の間の領域の下方に位置する。第 2 部分 2 8 は、第 1 部分 2 6 と一体的に形成されている。

【0020】

次に、金属パターン 1 8 及び半導体パターン 1 6 を覆う絶縁層 3 0 を形成する。絶縁層 3 0 は無機材料 (例えば SiO_2) からなる。

【0021】

図 2 A 及び図 2 B に示すように、絶縁層 3 0 上にエッチングレジスト 3 2 を配置する。エッチングレジスト 3 2 は、フォトレジストからなり、フォトリソグラフィによってパターンニングして形成する。

10

【0022】

図 3 A 及び図 3 B に示すように、絶縁層 3 0 をエッチングする。エッチングは、エッチングレジスト 3 2 をマスクとして行う。詳しくは、絶縁層 3 0 の、金属パターン 1 8 (詳しくはドレイン電極 2 2 及びソース電極 2 4 の一方) の上方の第 1 領域 3 3 と、半導体パターン 1 6 の少なくとも第 2 部分 2 8 の上方の第 2 領域 3 5 と、に対してエッチング (例えばドライエッチング) を行う。

【0023】

エッチング工程で、第 1 領域 3 3 では絶縁層 3 0 をエッチングして金属パターン 1 8 (詳しくはドレイン電極 2 2 及びソース電極 2 4 の一方) との電氣的接続のための貫通穴 3 4 を形成する (図 3 A 参照)。また、第 2 領域 3 5 では絶縁層 3 0 及び半導体パターン 1 6 をエッチングして、半導体パターン 1 6 の第 2 部分 2 8 を除去する (図 3 B 参照)。これにより、隣同士の配線 2 0 の下にある第 1 部分 2 6 が分離される。

20

【0024】

エッチングは、半導体パターン 1 6 を超えてゲート絶縁膜 1 4 に至るように行ってもよい。ただし、ゲート絶縁膜 1 4 を構成する材料 (例えば SiN) に対するエッチングスピードが、半導体パターン 1 6 を構成する材料 (例えばアモルファスシリコン) に対するエッチングスピードよりも遅ければ、エッチングがゲート絶縁膜 1 4 を貫通する前にエッチングを止めることが容易になる。

【0025】

30

本実施形態によれば、半導体パターン 1 6 の第 2 部分 2 8 の除去を、電氣的接続のための貫通穴 3 4 を形成する工程で行うので、工程を増やすことなく、半導体パターン 1 6 を適切に処理することができる。詳しくは、半導体パターン 1 6 の第 2 部分 2 8 が隣同士の配線 2 0 の間に残っていたので、第 2 部分 2 8 に光が入るとキャリアが発生して隣同士の配線 2 0 が導通するおそれがあったが、第 2 部分 2 8 を除去するので導通を防止することができる。また、導通を防止するために隣同士の配線 2 0 の間隔を広げる必要もない。

【0026】

図 4 に示すように、エッチング工程後に、第 2 部分 2 8 が除去されて形成されたスペースを絶縁材料 (無機材料又は有機材料) で埋めて第 1 パッシベーション膜 3 6 を形成する。第 1 パッシベーション膜 3 6 は、絶縁層 3 0 上に載るように形成する。

40

【0027】

I P S (In Plane Switching) 方式の液晶表示装置であれば、第 1 パッシベーション膜 3 6 上に第 1 電極 3 8 を形成する。そして、第 1 電極 3 8 を覆うように第 1 パッシベーション膜 3 6 上に第 2 パッシベーション膜 4 0 を形成し、その上に第 2 電極 4 2 を形成する。第 1 電極 3 8 及び第 2 電極 4 2 の一方が画素電極であり、他方が共通電極である。画素電極及び共通電極は、I T O (Indium Tin Oxide) などの透明導電材料から形成する。

【0028】

第 1 変形例として、図 5 に示すように、第 2 部分 2 8 が除去されて形成されたスペースを避けてカラーフィルタ層 4 4 を形成し、第 2 部分 2 8 が除去されて形成されたスペースを絶縁材料 (無機材料、有機材料、カラーフィルタ用材料又は遮光性材料) で埋めてパッ

50

シベーション膜 37 を形成してもよい。パッシベーション膜 37 は、カラーフィルタ層 44 上に載るように形成する。IPS (In Plane Switching) 方式の液晶表示装置であれば、カラーフィルタ層 44 上に第 1 電極 38 を形成する。そして、第 1 電極 38 を覆うようにカラーフィルタ層 44 上にパッシベーション膜 37 を形成し、その上に第 2 電極 42 を形成する。第 1 電極 38 及び第 2 電極 42 の一方が画素電極であり、他方が共通電極である。

【0029】

第 2 変形例として、図 6 に示すように、第 2 部分 28 が除去されて形成されたスペースを埋める絶縁材料として、カラーフィルタの少なくとも 1 色の着色層 46 を形成する材料を使用してもよい。例えば、カラーフィルタ層 44 の隣士の着色層 46 の端部同士で、第 2 部分 28 が除去されて形成されたスペースを埋める。そして、カラーフィルタ層 44 上にパッシベーション膜 37 を形成する。その他の構成は図 5 に示す例と同じである。

【0030】

さらに変形例として、図 4 に示す例を VA (Vertical Alignment) 方式に変形するには、図 7 に示すように、パッシベーション膜 39 上に画素電極 48 を形成する。あるいは、図 5 に示す例を VA (Vertical Alignment) 方式に変形するには、図 8 に示すように、パッシベーション膜 39 上に画素電極 48 を形成する。また、図 6 に示す例を VA (Vertical Alignment) 方式に変形するには、図 9 に示すように、パッシベーション膜 39 上に画素電極 48 を形成する。

【0031】

その後、液晶表示装置の公知の製造プロセスを行うことで、液晶表示装置を製造することができる。

【0032】

[第 2 の実施形態]

図 10A ~ 図 12 は、本発明の第 2 の実施形態に係る液晶表示装置の製造方法を説明する図である。図 10B は、図 10A に示す構造の XB-XB 線断面図である。図 11B は、図 11A に示す構造の XIB-XIB 線断面図である。

【0033】

本実施形態で、第 1 基板 10、ゲート配線 12 及びゲート絶縁膜 14 については、第 1 の実施形態で説明した内容が該当する。

【0034】

図 10A 及び図 10B に示すように、ゲート絶縁膜 14 上に、半導体パターン 116 及び金属パターン 118 を形成する。また、半導体パターン 116 と同じ層に、薄膜トランジスタの半導体層を形成する。これらの形成方法の概要 (図示省略) は、半導体膜及び金属膜を積層して形成し、同一のエッチングレジストを使用して、半導体膜及び金属膜に対して複数回のエッチングを行うというものである。この方法では、同一のエッチングレジストを使用するため、その形成のためのフォトリソグラフィの回数が 1 回で済む。ただし、金属パターン 118 に対してはサイドエッチングが進行するため、図 10B に示すように、金属パターン 118 が、その下の半導体パターン 116 よりも小さくなる。その詳細は、公知であるため説明を省略する。

【0035】

金属パターン 118 全体の下には半導体パターン 116 が存在している。したがって、金属パターン 118 は、ゲート配線 12、ゲート絶縁膜 14 及び半導体パターン 116 と重なる部分と、ゲート絶縁膜 14 及び半導体パターン 116 と重なるがゲート配線 12 とは重ならない部分を含む。しかし、第 1 の実施形態とは違って、金属パターン 118 には、半導体パターン 116 とは重ならない部分は存在しない。

【0036】

金属パターン 118 は、配線 120 (データ配線ともいう) を含む。配線 120 は、ゲート配線 12 と立体交差するように形成される。金属パターン 118 がドレイン電極 122 及びソース電極 124 を含むことは、第 1 の実施形態と同じである。

【0037】

半導体パターン116は、金属パターン118（配線120）の下に積層された第1部分126と、第1部分126から金属パターン118（配線120）の外側にはみ出す第2部分128と、を有するように形成する。第1部分126は配線120と接触している。半導体パターン116の第2部分128は、配線120の幅方向の両側にはみ出す。第2部分128は、第1部分126と一体的に形成されている。

【0038】

次に、金属パターン118及び半導体パターン116を覆う絶縁層130を形成する。絶縁層130は無機材料（例えばSiO₂）からなる。そして、絶縁層130上にエッチングレジスト132を配置する。エッチングレジスト132は、フォトリソグラフィによってパターニングして形成する。

10

【0039】

図11A及び図11Bに示すように、絶縁層130をエッチングする。エッチングは、エッチングレジスト132をマスクとして行う。詳しくは、絶縁層130の、金属パターン118（詳しくはドレイン電極122及びソース電極124の一方）の上方の第1領域133と、半導体パターン116の第2領域135と、に対してエッチング（例えばドライエッチング）を行う。第2領域135は、半導体パターン116の第1部分126及び第2部分128並びに第1部分126上の金属パターン118の上方にある。

【0040】

エッチング工程で、第1領域133では絶縁層130をエッチングして金属パターン118（詳しくはドレイン電極122及びソース電極124の一方）との電氣的接続のための貫通穴134を形成する（図11A参照）。また、第2領域135では絶縁層130及び半導体パターン116をエッチングする。そして、第1部分126上の金属パターン118をマスクとして、第1部分126を残すように、半導体パターン116の第2部分128を除去する。エッチングの詳細は、第1の実施形態で説明した内容が該当する。

20

【0041】

本実施形態によれば、半導体パターン116の第2部分128の除去を、電氣的接続のための貫通穴134を形成する工程で行うので、工程を増やすことなく、半導体パターン116を適切に処理することができる。

【0042】

詳しくは、配線120の外側に残っていた半導体パターン116の第2部分128は、光の散乱が生じるため、これを覆うように幅の広いブラックマトリクスを形成しなければならなかったが、第2部分128を除去するのでブラックマトリクスの幅を狭くすることができる。これにより、開口率の低下を避けることができる。

30

【0043】

図12に示すように、エッチング工程後に、第2部分128が除去されて形成されたスペースを絶縁材料（無機材料又は有機材料）で埋めて第1パッシベーション膜136を形成する。第1パッシベーション膜136は、絶縁層130上に載るように形成する。

【0044】

I P S（In Plane Switching）方式の液晶表示装置であれば、第1パッシベーション膜136上に第1電極138を形成する。そして、第1電極138を覆うように第1パッシベーション膜136上に第2パッシベーション膜140を形成し、その上に第2電極142を形成する。第1電極138及び第2電極142の一方が画素電極であり、他方が共通電極である。画素電極及び共通電極は、I T O（Indium Tin Oxide）などの透明導電材料から形成する。

40

【0045】

第1変形例として、図13に示すように、第2部分128が除去されて形成されたスペースを避けてカラーフィルタ層144を形成し、第2部分128が除去されて形成されたスペースを絶縁材料（無機材料、有機材料、カラーフィルタ用材料又は遮光性材料）で埋めてパッシベーション膜137を形成してもよい。パッシベーション膜137は、カラー

50

フィルタ層 144 上に載るように形成する。IPS (In Plane Switching) 方式の液晶表示装置であれば、カラーフィルタ層 144 上に第 1 電極 138 を形成する。そして、第 1 電極 138 を覆うようにカラーフィルタ層 144 上にパッシベーション膜 137 を形成し、その上に第 2 電極 142 を形成する。第 1 電極 138 及び第 2 電極 142 の一方が画素電極であり、他方が共通電極である。

【0046】

第 2 変形例として、図 14 に示すように、第 2 部分 128 が除去されて形成されたスペースを埋める絶縁材料として、カラーフィルタの少なくとも 1 色の着色層 146 を形成する材料を使用してもよい。例えば、カラーフィルタ層 144 の隣同士の着色層 146 の端部同士で、第 2 部分 128 が除去されて形成されたスペースを埋める。そして、カラーフィルタ層 144 上にパッシベーション膜 137 を形成する。その他の構成は図 13 に示す例と同じである。

10

【0047】

さらに変形例として、図 12 に示す例を VA (Vertical Alignment) 方式に変形するには、図 15 に示すように、第 2 パッシベーション膜 140 上に画素電極 148 を形成する。あるいは、図 13 に示す例を VA (Vertical Alignment) 方式に変形するには、図 16 に示すように、パッシベーション膜 139 上に画素電極 148 を形成する。また、図 14 に示す例を VA (Vertical Alignment) 方式に変形するには、図 17 に示すように、パッシベーション膜 139 上に画素電極 148 を形成する。

【0048】

20

その後、液晶表示装置の公知の製造プロセスを行うことで、液晶表示装置を製造することができる。

【0049】

[第 3 の実施形態]

図 18 は、本発明の第 3 の実施形態に係る液晶表示装置を示す図である。

【0050】

本実施形態に係る液晶表示装置の製造方法では、第 1 の実施形態及び第 2 の実施形態の少なくとも一方で説明した工程を行う。その後、第 1 基板 10 と、第 1 基板 10 に対向する第 2 基板 50 との間に、シール 52 に囲まれて封止されるように液晶 54 を配置する。

【0051】

30

液晶表示装置は、薄膜トランジスタが形成された第 1 基板 10 と、第 1 基板 10 に対向する第 2 基板 50 と、第 1 基板 10 と第 2 基板 50 の間に配置された液晶 54 と、第 1 基板 10 と第 2 基板 50 の間で液晶 54 の周囲に配置されたシール 52 と、を含む。

【0052】

第 1 基板 10 には、半導体パターン 216 及び金属パターン 218 が、半導体パターン 216 が金属パターン 218 の下に積層されるように形成されている。半導体パターン 216 及び金属パターン 218 は、第 1 の実施形態及び第 2 の実施形態で説明した半導体パターン 16, 116 及び金属パターン 18, 118 の内容が該当する。

【0053】

40

半導体パターン 216 (第 1 部分 226) の側面と金属パターン 218 (配線 220) の側面が面一になっている。これら側面は絶縁材料 236 によって被覆されている。第 1 の実施形態及び第 2 の実施形態で説明したように、絶縁材料 236 によって、パッシベーション膜又はカラーフィルタ層などを形成する。第 1 部分 226 及び配線 220 は、第 1 の実施形態及び第 2 の実施形態で説明した第 1 部分 26, 126 及び配線 20, 120 の内容が該当する。絶縁材料 236 は、第 1 の実施形態及び第 2 の実施形態で説明した第 1 パッシベーション膜 36, 136、パッシベーション膜 37, 39, 137, 139、着色層 46, 146 を構成する材料の内容が該当する。

【0054】

本実施形態によれば、半導体パターン 216 が金属パターン 218 (配線 220) からみ出さないので、配線 220 を狭ピッチで配列することができる。

50

【0055】

[第4の実施形態]

図19は、本発明の第4の実施形態に係る液晶表示装置を示す図である。

【0056】

本実施形態に係る液晶表示装置の製造方法では、第1の実施形態及び第2の実施形態の少なくとも一方で説明した工程を行う。

【0057】

詳しくは、金属パターン318は、シール52で囲まれる領域内に位置する複数の第1配線320を含む。複数の第1配線320は、隣同士の間隔をあけて並列している。半導体パターン316のパターニングプロセスで、隣同士の第1配線320の間の領域の下方に第2部分（図1Bの第2部分128参照）が位置するのでこれを除去する（第2の実施形態参照）。半導体パターン316及び金属パターン318の詳細は、第1の実施形態及び第2の実施形態で説明した半導体パターン16、116及び金属パターン18、118の内容が該当する。

【0058】

本実施形態では、シール52で囲まれる領域の外側（外気に晒される領域）では、本発明を適用しない。すなわち、金属パターン318は、シール52で囲まれる領域の外側に位置する複数の第2配線322を含む。複数の第2配線322は、隣同士の間隔をあけて並列している。隣同士の第2配線322の間の領域の下方に半導体パターン316の第3部分356が位置するが、これは除去せずに残す。

【0059】

その後、第1基板10と、第1基板10に対向する第2基板50との間に、シール52に囲まれて封止されるように液晶54を配置する。

【0060】

液晶表示装置は、薄膜トランジスタが形成された第1基板10と、第1基板10に対向する第2基板50と、第1基板10と第2基板50の間に配置された液晶54と、第1基板10と第2基板50の間に液晶54を囲むように配置されたシール52と、を含む。

【0061】

第1基板10には、半導体パターン316及び金属パターン318が、半導体パターン316が金属パターン318の下に積層されるように形成されている。半導体パターン316及び金属パターン318は、シール52に囲まれた領域からシール52に囲まれた領域の外側に至るように形成されている。

【0062】

シール52に囲まれた領域では、半導体パターン316の側面と金属パターン318の側面が面一になっている。これら側面は、絶縁材料によって被覆されていないとしても、液晶54の封止領域内にあるため、外気からは遮断されている。

【0063】

シール52に囲まれた領域の外側では、半導体パターン316が金属パターン318（第2配線322）の下に積層された第1部分326と金属パターン318からはみ出す第3部分356を有している。第3部分356は、上述したように除去される第2部分328とは異なり、除去されずに残る部分である。すなわち、シール52に囲まれた領域の外側では、半導体パターン316の金属パターン318からはみ出した部分を除去する工程を行わないため、その上の絶縁層330がエッチングされない。したがって、絶縁層330によって、第2配線322は被覆された状態になっている。

【0064】

本発明は、上述した実施形態に限定されるものではなく種々の変形が可能である。例えば、実施形態で説明した構成は、実質的に同一の構成、同一の作用効果を奏する構成又は同一の目的を達成することができる構成で置き換えることができる。

【符号の説明】

【0065】

10

20

30

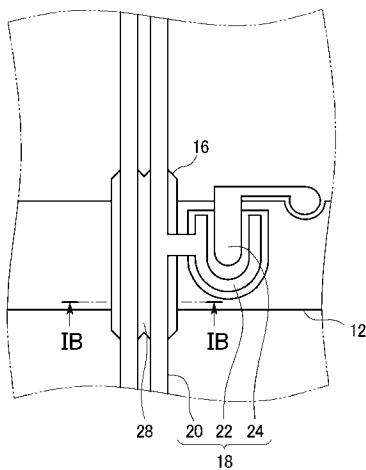
40

50

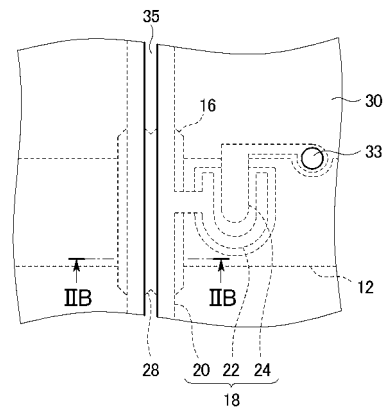
10 第1基板、12 ゲート配線、14 ゲート絶縁膜、16 半導体パターン、18 金属パターン、20 配線、22 ドレイン電極、24 ソース電極、26 第1部分、28 第2部分、30 絶縁層、32 エッチングレジスト、33 第1領域、34 貫通穴、35 第2領域、36 第1パッシベーション膜、37 パッシベーション膜、38 第1電極、39 パッシベーション膜、40 第2パッシベーション膜、42 第2電極、44 カラーフィルタ層、46 着色層、48 画素電極、50 第2基板、52 シール、54 液晶、116 半導体パターン、118 金属パターン、120 配線、122 ドレイン電極、124 ソース電極、126 第1部分、128 第2部分、130 絶縁層、132 エッチングレジスト、133 第1領域、134 貫通穴、135 第2領域、136 第1パッシベーション膜、137 パッシベーション膜、138 第1電極、139 パッシベーション膜、140 第2パッシベーション膜、142 第2電極、144 カラーフィルタ層、146 着色層、148 画素電極、216 半導体パターン、218 金属パターン、220 配線、226 第1部分、236 絶縁材料、316 半導体パターン、318 金属パターン、320 第1配線、322 第2配線、326 第1部分、328 第2部分、330 絶縁層、356 第3部分。

10

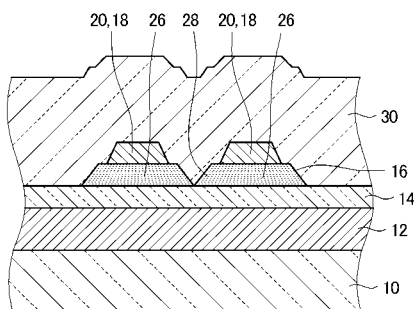
【図1A】



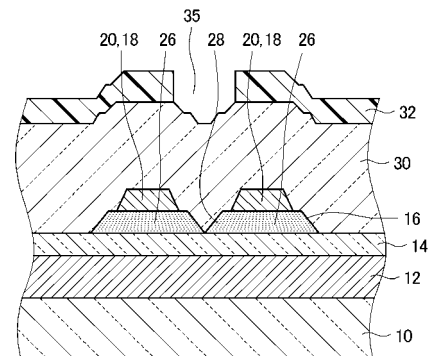
【図2A】



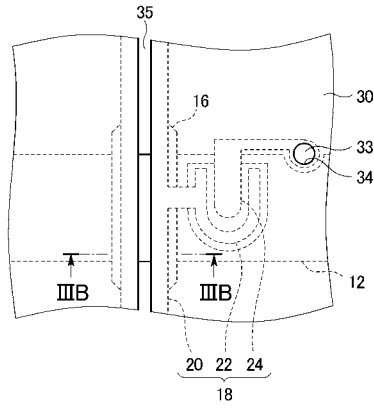
【図1B】



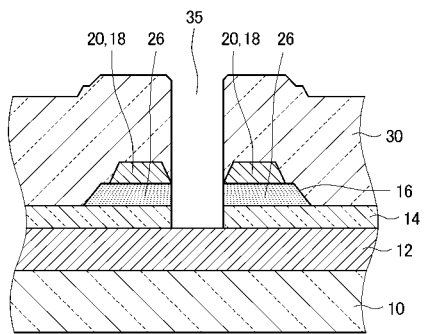
【図2B】



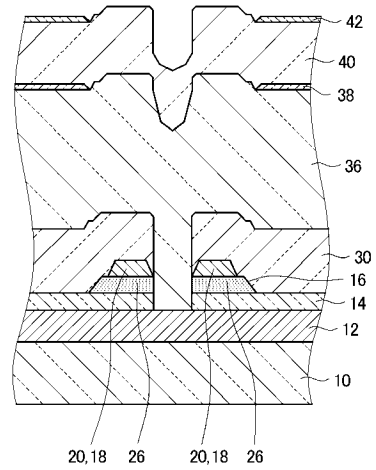
【図 3 A】



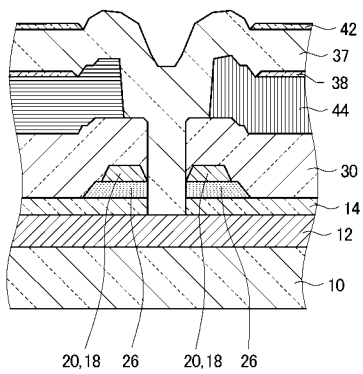
【図 3 B】



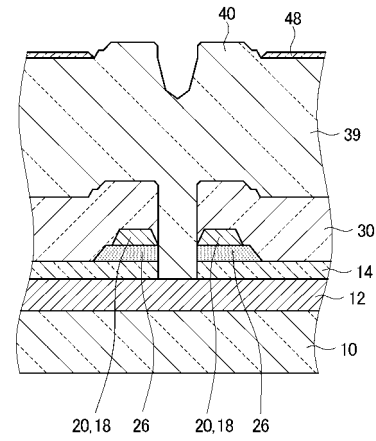
【図 4】



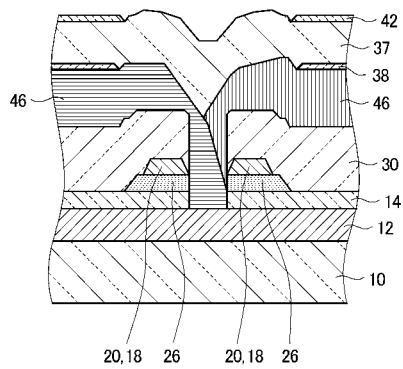
【図 5】



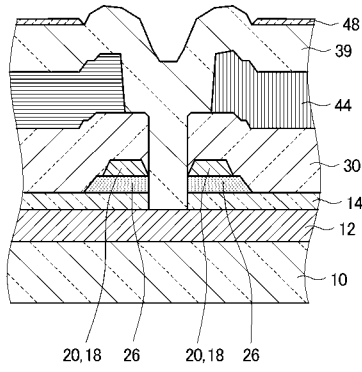
【図 7】



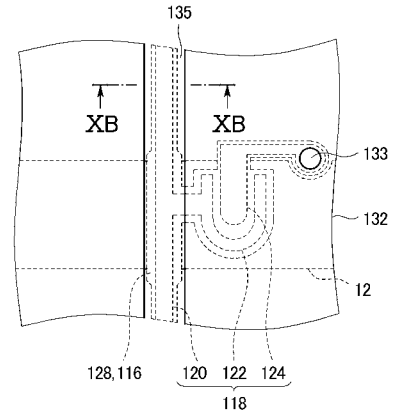
【図 6】



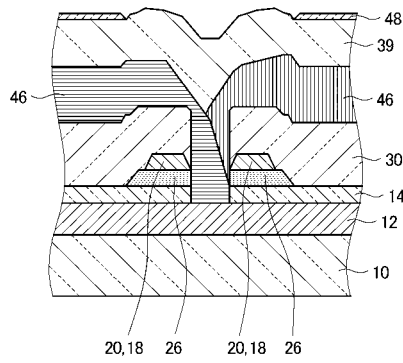
【図 8】



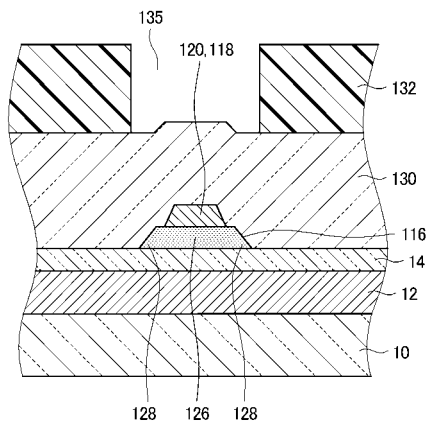
【図 10 A】



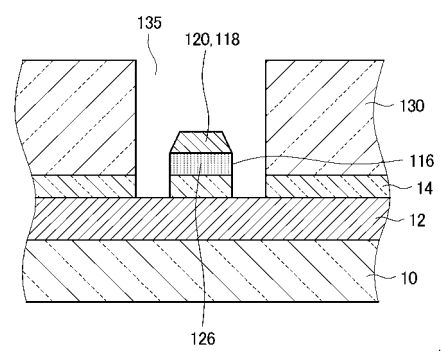
【図 9】



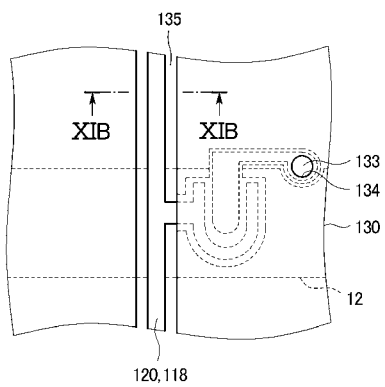
【図 10 B】



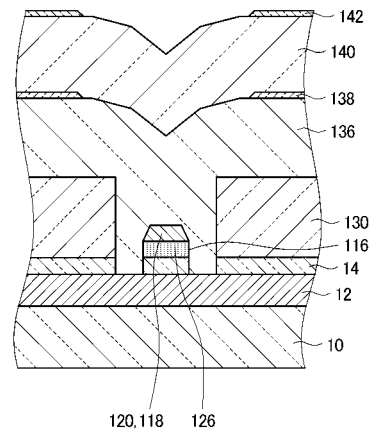
【図 11 B】



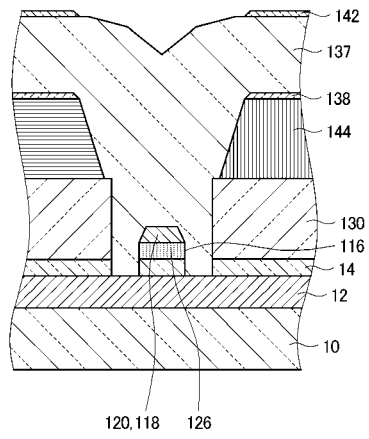
【図 11 A】



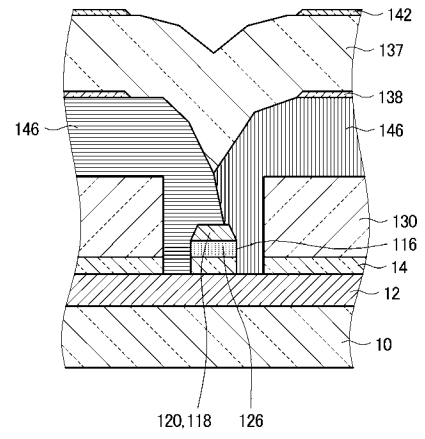
【図 12】



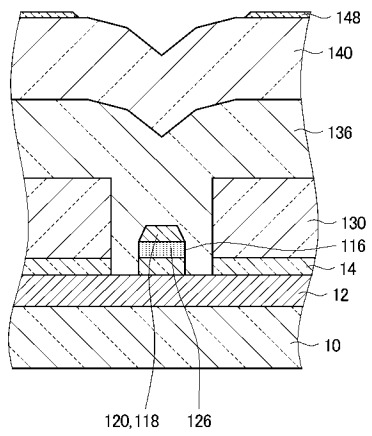
【図 1 3】



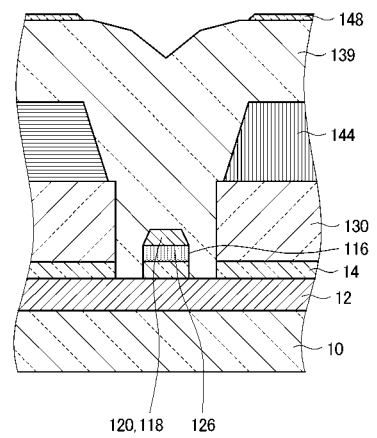
【図 1 4】



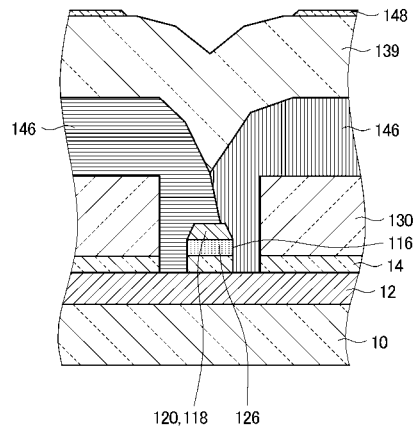
【図 1 5】



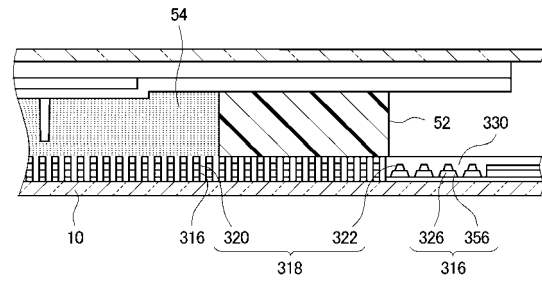
【図 1 6】



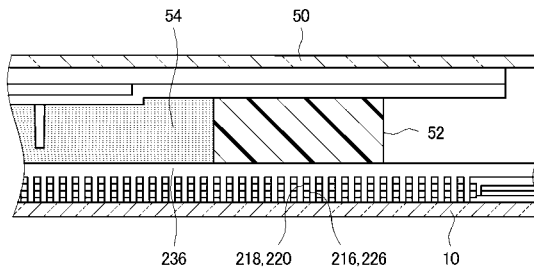
【図 17】



【図 19】



【図 18】



フロントページの続き

Fターム(参考) 2H192 AA24 BB01 BB73 CB05 CB46 CB82 CC04 CC42 CC64 EA42
EA66 GA42 GD25 HA62 JA13 JA32
5F033 GG04 HH07 KK11 NN21 QQ07 QQ09 QQ11 QQ35 QQ37 RR04
RR06 VV06 VV15 XX00 XX31
5F110 BB01 CC07 EE02 FF03 GG02 GG15 GG22 GG23 HM04 NN03
NN23 NN27 NN72

专利名称(译)	液晶表示装置		
公开(公告)号	JP2015004981A	公开(公告)日	2015-01-08
申请号	JP2014161574	申请日	2014-08-07
申请(专利权)人(译)	松下液晶显示器有限公司		
[标]发明人	船橋祐太 川村徹也 平田将史		
发明人	船橋 祐太 川村 徹也 平田 将史		
IPC分类号	G02F1/1368 H01L29/786 H01L21/768 H01L23/522 H01L21/336		
FI分类号	G02F1/1368 H01L29/78.616.S H01L21/90.W H01L29/78.612.D H01L29/78.618.C G02F1/1343		
F-TERM分类号	2H192/AA24 2H192/BB01 2H192/BB73 2H192/CB05 2H192/CB46 2H192/CB82 2H192/CC04 2H192/CC42 2H192/CC64 2H192/EA42 2H192/EA66 2H192/GA42 2H192/GD25 2H192/HA62 2H192/JA13 2H192/JA32 5F033/GG04 5F033/HH07 5F033/KK11 5F033/NN21 5F033/QQ07 5F033/QQ09 5F033/QQ11 5F033/QQ35 5F033/QQ37 5F033/RR04 5F033/RR06 5F033/VV06 5F033/VV15 5F033/XX00 5F033/XX31 5F110/BB01 5F110/CC07 5F110/EE02 5F110/FF03 5F110/GG02 5F110/GG15 5F110/GG22 5F110/GG23 5F110/HM04 5F110/NN03 5F110/NN23 5F110/NN27 5F110/NN72		
其他公开文献	JP5908036B2		
外部链接	Espacenet		

摘要(译)

本发明的目的是适当地处理布置在金属图案下方的半导体图案。在液晶显示装置中，在基板上以矩阵状排列的多个像素，在多个像素的两个相邻像素之间平行排列的两个漏极配线与基板。以及在两个漏极布线之间形成的半导体层，其中该半导体层在平面图中在两个漏极布线之间具有间隙，并且像素和两个漏极布线形成为从两个漏极布线突出。[选择图]图3B

