

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-102509

(P2014-102509A)

(43) 公開日 平成26年6月5日(2014.6.5)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H192
HO1L 29/786 (2006.01)	HO1L 29/78 618C	4M104
HO1L 21/28 (2006.01)	HO1L 29/78 618E	5F110
	HO1L 29/78 616V	
	HO1L 29/78 616U	
審査請求 有 請求項の数 2 O L (全 34 頁) 最終頁に続く		

(21) 出願番号 特願2013-263219 (P2013-263219)
 (22) 出願日 平成25年12月20日 (2013.12.20)
 (62) 分割の表示 特願2008-188379 (P2008-188379) の分割
 原出願日 平成20年7月22日 (2008.7.22)
 (31) 優先権主張番号 特願2007-194844 (P2007-194844)
 (32) 優先日 平成19年7月26日 (2007.7.26)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 官口 厚
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 岡本 知広
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 2H192 AA24 BA25 BB02 BB13 BB53
 BB73 BC24 BC26 BC31 CB05
 CB13 CB34 CB42 CB45 CB54
 CB56 DA12 DA43 EA22 EA43
 FA73 FB02 FB27 GD14 GD23
 JA13 JA32

最終頁に続く

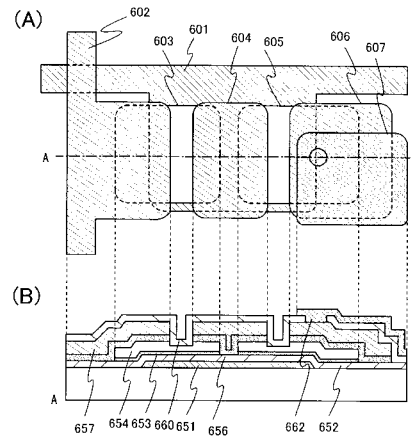
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 歩留まりの低下を抑制しつつ、且つ製造コストの増加を抑え、加えて、電気特性が高く、オフ電流の低減を図ることができる薄膜トランジスタを具備する液晶表示装置を提案することを課題とする。

【解決手段】 基板上に設けられたゲート電極と、基板及びゲート電極を覆うように設けられたゲート絶縁膜と、ゲート絶縁膜を介したゲート電極上に、微結晶半導体膜と、上部に窪みが存在するバッファ層とが順に積層して設けられた第1の島状半導体膜及び第2の島状半導体膜と、導電性半導体膜と、導電性半導体膜上に接して設けられた導電膜と、を有し、導電性半導体膜が、第1の島状半導体膜及び第2の島状半導体膜の間に、ゲート絶縁膜に接して設けられている薄膜トランジスタとする。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

トランジスタが設けられた基板と、
 対向基板と、を有し、
 前記対向基板上の、遮光膜と、
 前記遮光膜上の、第 1 の着色膜と、
 前記第 1 の着色膜上の、第 2 の着色膜と、
 前記第 2 の着色膜上の、第 3 の着色膜と、
 前記第 3 の着色膜上の、電極と、
 前記電極上の、スペーサと、を有し、
 前記第 1 の着色膜は、前記遮光膜と重なる第 1 の領域を有し、
 前記第 2 の着色膜は、前記第 1 の領域と重なる領域を有し、
 前記第 3 の着色膜は、前記第 1 の領域と重なる領域を有し、
 前記電極は、前記第 1 の領域と重なる領域を有し、
 前記スペーサは、前記第 1 の領域と重なる領域を有し、
 前記トランジスタは、前記スペーサと重なる領域を有することを特徴とする液晶表示装置。

10

【請求項 2】

トランジスタが設けられた基板と、
 対向基板と、を有し、
 前記対向基板上の、遮光膜と、
 前記遮光膜上の、第 1 の着色膜と、
 前記第 1 の着色膜上の、第 2 の着色膜と、
 前記第 2 の着色膜上の、第 3 の着色膜と、
 前記第 3 の着色膜上の、電極と、
 前記電極上の、スペーサと、
 前記電極上の、突起と、を有し、
 前記第 1 の着色膜は、前記遮光膜と重なる第 1 の領域を有し、
 前記第 2 の着色膜は、前記第 1 の領域と重なる領域を有し、
 前記第 3 の着色膜は、前記第 1 の領域と重なる領域を有し、
 前記電極は、前記第 1 の領域と重なる領域を有し、
 前記スペーサは、前記第 1 の領域と重なる領域を有し、
 前記トランジスタは、前記スペーサと重なる領域を有し、
 前記突起は、前記第 1 の領域と重ならないことを特徴とする液晶表示装置。

20

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及び当該液晶表示装置を用いた電子機器に関する。特に、画素部に薄膜トランジスタを用いた液晶表示装置及び当該液晶表示装置を用いた電子機器に関する。

40

【背景技術】

【0002】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数 nm ~ 数百 nm 程度）を用いて薄膜トランジスタを構成する技術が多くの電子機器で実用化されている。薄膜トランジスタは、特に、液晶表示装置の画素部におけるスイッチング素子として実用化が進み、なおも研究開発が盛んである。

【0003】

液晶表示装置のスイッチング素子としては、大型のパネルでは非晶質半導体膜を用いた薄膜トランジスタ、小型のパネルでは多結晶半導体膜を用いた薄膜トランジスタが用いられている。多結晶半導体膜の形成方法としては、パルス発振のエキシマレーザビームを光学

50

系により線状に加工して、非晶質半導体膜に対し線状ビームを走査させながら照射して結晶化する技術が知られている。

【0004】

また、画像表示装置のスイッチング素子として、微結晶半導体膜を用いた薄膜トランジスタが用いられている（特許文献1乃至3）。また、非晶質半導体膜の特性の向上を目的とした薄膜トランジスタの作製方法として、ゲート絶縁膜上に非晶質シリコン膜を成膜した後、その上面に金属膜を形成し、当該金属膜にダイオードレーザを照射して、非晶質シリコン膜を微結晶シリコン膜に改質するものが知られている（非特許文献1）。この方法によれば、非晶質シリコン膜上に形成した金属膜は、ダイオードレーザの光エネルギーを熱エネルギーに変換するためのものであり、薄膜トランジスタの完成のためにはその後除去されるべきものである。すなわち、金属膜からの伝導加熱によってのみ非晶質シリコン膜が加熱され、微結晶半導体膜である微結晶シリコン膜を形成する方法である。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平4-242724号公報

【特許文献2】特開2005-49832号公報

【特許文献3】米国特許第5591987号

【非特許文献】

【0006】

【非特許文献1】トシアキ・アライ (Toshiaki Arai) 他、エス・アイ・ディー 07 ダイジェスト (SID 07 DIGEST)、2007、p. 1370-1373

20

【発明の概要】

【発明が解決しようとする課題】

【0007】

多結晶半導体膜を用いた薄膜トランジスタは、非晶質半導体膜を用いた薄膜トランジスタに比べて移動度が2桁以上高く、液晶表示装置の画素部とその周辺の駆動回路を同一基板上に一体形成できるという利点を有している。しかしながら、非晶質半導体膜を用いた場合に比べて、多結晶半導体膜の結晶化のために工程が複雑化するため、その分歩留まりが低下し、コストが高まるという問題がある。

30

【0008】

また、微結晶半導体膜の表面は、酸化されやすいという問題がある。このため、チャネル形成領域の微結晶粒が酸化されると、微結晶粒の表面に酸化膜が形成されてしまい、当該酸化膜がキャリアの移動の障害となり、薄膜トランジスタの電気特性が低下するという問題がある。

【0009】

また、製造の容易さの点から、液晶表示装置の画素部に設けられるスイッチング素子として逆スタガ構造の薄膜トランジスタが有望である。画素の開口率向上の観点から、逆スタガ構造の薄膜トランジスタの高性能化及び小型化が望まれる一方で、薄膜トランジスタがオフの状態のときのソース領域とドレイン領域間を流れるリーク電流（オフ電流ともいう）の増加の問題がある。そのため、薄膜トランジスタのサイズを小型化することが難しく、保持容量の小型化及び消費電力の低減を図ることが難しいといった問題がある。

40

【0010】

上述した問題に鑑み、本発明は歩留まりの低下を抑制しつつ、且つ製造コストの増加を抑え、加えて、電気特性が高く、オフ電流の低減を図ることができる薄膜トランジスタを具備する液晶表示装置を提案することを課題とする。

【課題を解決するための手段】

【0011】

本発明の液晶表示装置は、基板上に設けられたゲート電極と、基板、ゲート電極を覆うよ

50

うに設けられたゲート絶縁膜と、前記ゲート絶縁膜を介した前記ゲート電極上に、微結晶半導体膜と、上部に窪みが存在するバッファ層とが順に積層して設けられた第1の島状半導体膜及び第2の島状半導体膜と、バッファ層上に設けられた導電性半導体膜と、導電性半導体膜上に接して設けられた導電膜と、を有し、導電性半導体膜はバッファ層上の窪みには設けられておらず、導電性半導体膜が、第1の島状半導体膜及び第2の島状半導体膜の間に、ゲート絶縁膜に接して設けられている薄膜トランジスタを有することを特徴とする。

【0012】

なお、液晶表示装置は液晶素子を含む。また、液晶表示装置は、液晶素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに本発明は、該液晶表示装置を作製する過程における、液晶素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電圧を液晶素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、液晶素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であっても、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

10

【0013】

なお、本明細書中における液晶表示装置とは、画像表示デバイス、液晶表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクタ、例えばFPC（Flexible Printed Circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または液晶素子にCOG（Chip On Glass）方式によりIC（集積回路）が直接実装されたモジュールも全て液晶表示装置に含むものとする。

20

【発明の効果】

【0014】

本発明により、歩留まりの低下を抑制しつつ、且つ製造コストの増加を抑え、加えて電気特性が高く、オフ電流の低減を図ることができる薄膜トランジスタを具備する液晶表示装置を提供することができる。

【図面の簡単な説明】

【0015】

【図1】本発明の液晶表示装置の作製方法を説明する断面図である。

【図2】本発明の液晶表示装置の作製方法を説明する断面図である。

【図3】本発明の液晶表示装置の作製方法を説明する断面図である。

【図4】本発明の液晶表示装置の作製方法を説明する断面図である。

【図5】本発明の液晶表示装置の作製方法を説明する上面図である。

【図6】本発明の液晶表示装置を説明する上面図及び断面図である。

【図7】本発明の液晶表示装置を説明する上面図及び断面図である。

【図8】本発明の液晶表示装置を説明する上面図及び断面図である。

【図9】本発明の液晶表示装置を説明する上面図である。

【図10】マイクロ波プラズマCVD装置を説明する上面図である。

【図11】本発明の液晶表示装置を説明する図である。

【図12】本発明の液晶表示装置を説明する図である。

【図13】本発明の液晶表示装置を説明する図である。

【図14】本発明の液晶表示装置を説明する図である。

【図15】本発明の液晶表示装置を説明する図である。

【図16】本発明の液晶表示装置を説明する図である。

【図17】本発明の液晶表示装置を説明する図である。

【図18】本発明の液晶表示装置を説明する図である。

【図19】本発明の液晶表示装置を説明する図である。

【図20】本発明の液晶表示装置を説明する図である。

30

40

50

【図 2 1】本発明の液晶表示装置を説明する図である。

【図 2 2】本発明の液晶表示装置を説明する図である。

【図 2 3】本発明の液晶表示装置を説明する図である。

【図 2 4】本発明の液晶表示装置を説明する図である。

【図 2 5】本発明の液晶表示装置を説明する図である。

【図 2 6】本発明の液晶表示装置を説明する図である。

【図 2 7】微結晶半導体膜をラマン分光法で測定した結果を示す図である。

【発明を実施するための形態】

【0016】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

10

【0017】

(実施の形態 1)

本実施の形態では、液晶表示装置に用いられるマルチチャンネル型の薄膜トランジスタ(以下、マルチチャンネル TFT という)の作製工程について、以下図面を用いて説明していく。図 1 乃至図 4 は、マルチチャンネル TFT の作製工程を示す断面図であり、図 5 乃至図 9 は、一画素におけるマルチチャンネル TFT 及び画素電極の接続領域の上面図である。なお、本明細書でいうマルチチャンネル型とは、トランジスタのソース領域とドレイン領域との間に複数のチャンネル領域が直列に電気的に接続されている構造のことをいい、マルチチャンネル型のトランジスタをマルチチャンネル型薄膜トランジスタともいう。

20

【0018】

微結晶半導体膜を有するマルチチャンネル TFT は、p チャンネル型よりも n チャンネル型の方が、移動度が高いので駆動回路に用いるのにより適している。同一の基板上に形成するマルチチャンネル TFT を全て同じ極性にそろえておくことが、工程数を抑えるためにも望ましい。ここでは、n チャンネル型のマルチチャンネル TFT を用いて説明する。

【0019】

図 1 (A) に示すように、基板 100 上にゲート電極を形成する。基板 100 は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、若しくはアルミノシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。基板 100 がマザーガラスの場合、基板の大きさは、第 1 世代(320 mm × 400 mm)、第 2 世代(400 mm × 500 mm)、第 3 世代(550 mm × 650 mm)、第 4 世代(680 mm × 880 mm、または 730 mm × 920 mm)、第 5 世代(1000 mm × 1200 mm または 1100 mm × 1250 mm)、第 6 世代 1500 mm × 1800 mm)、第 7 世代(1900 mm × 2200 mm)、第 8 世代(2160 mm × 2460 mm)、第 9 世代(2400 mm × 2800 mm、2450 mm × 3050 mm)、第 10 世代(2950 mm × 3400 mm)等を用いることができる。

30

40

【0020】

ゲート電極 101 は、チタン、モリブデン、クロム、タンタル、タングステン、アルミニウムなどの金属材料またはその合金材料を用いて形成する。ゲート電極 101 は、スパッタリング法や真空蒸着法で基板 100 上に導電膜を形成し、当該導電膜上にフォトリソグラフィ技術またはインクジェット法によりマスクを形成し、当該マスクを用いて導電膜をエッチングすることで、形成することができる。なお、ゲート電極 101 の密着性を向上するバリアメタルとして、上記金属材料の窒化物膜を、基板 100 と、ゲート電極 101 との間に設けてもよい。一例としては、アルミニウムとモリブデンの積層構造、銅とモリブデンの積層構造、もしくは銅と窒化チタンまたは窒化タンタルの積層により構成して設ける。本実施の形態においては、第 1 のフォトマスクを用いて形成したレジストマスクを

50

用いて基板100上に形成された導電膜をエッチングしてゲート電極101を形成する。

【0021】

なお、ゲート電極101上には半導体膜や配線を形成するので、段切れ防止のため端部がテーパ状になるように加工することが望ましい。また、図示しないがこの工程でゲート電極に接続する配線も同時に形成することができる。

【0022】

次に、ゲート電極101上に、ゲート絶縁膜102、微結晶半導体膜103、バッファ層104を順に形成する。次に、バッファ層104上にレジスト151を塗布する。なお、ゲート絶縁膜102、微結晶半導体膜103、及びバッファ層104を連続的に形成することが好ましい。ゲート絶縁膜102、微結晶半導体膜103、及びバッファ層104を大気に触れさせることなく連続成膜することで、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、トランジスタ特性のばらつきを低減することができる。

10

【0023】

ゲート絶縁膜102は、CVD法やスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。なお、ゲート絶縁膜102として、ゲート絶縁膜を単層とせず、酸化珪素膜または酸化窒化珪素膜と、窒化珪素膜または窒化酸化珪素膜との順に2層を積層して形成することができる。なお、ゲート絶縁膜を2層とせず、基板側から窒化珪素膜または窒化酸化珪素膜と、酸化珪素膜または酸化窒化珪素膜と、窒化珪素膜または窒化酸化珪素膜との順に3層積層して形成することができる。

20

【0024】

ここでは、酸化窒化珪素膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)及び水素前方散乱法(HFS: Hydrogen Forward Scattering)を用いて測定した場合に、濃度範囲として酸素が50~70原子%、窒素が0.5~15原子%、珪素が25~35原子%、水素が0.1~10原子%の範囲で含まれるものをいう。また、窒化酸化珪素膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、RBS及びHFSを用いて測定した場合に、濃度範囲として酸素が5~30原子%、窒素が20~55原子%、珪素が25~35原子%、水素が10~30原子%の範囲で含まれるものをいう。但し、酸化窒化珪素または窒化酸化珪素を構成する原子の合計を100原子%としたとき、窒素、酸素、珪素及び水素の含有比率が上記の範囲内に含まれるものとする。

30

【0025】

微結晶半導体膜103は、非晶質と結晶構造(単結晶、多結晶を含む)の中間的な構造の半導体を含む膜である。この半導体は、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、粒径が0.5~20nmの柱状または針状結晶が基板表面に対して法線方向に成長している。また、微結晶半導体と非単結晶半導体とが混在している。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す 521 cm^{-1} よりも低波数側にシフトしている。即ち、単結晶シリコンを示す 521 cm^{-1} とアモルファスシリコンを示す 480 cm^{-1} の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手(ダングリングボンド)を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体膜が得られる。このような微結晶半導体膜に関する記述は、例えば、米国特許4,409,134号で開示されている。

40

【0026】

この微結晶半導体膜は、周波数が数十MHz~数百MHzの高周波プラズマCVD法、または周波数が1GHz以上のマイクロ波プラズマCVD装置により形成することができ

50

る。代表的には、 SiH_4 、 Si_2H_6 などの水素化珪素を水素で希釈して形成することができる。また、水素化珪素及び水素に加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。これらのときの水素化珪素に対して水素の流量比を50倍以上1000倍以下、好ましくは50倍以上200倍以下、更に好ましくは100倍とする。なお、水素化珪素の代わりに、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いることができる。

【0027】

また、微結晶半導体膜は、価電子制御を目的とした不純物元素を意図的に添加しないときに弱いn型の電気伝導性を示すので、マルチチャネルTFETのチャネル形成領域として機能する微結晶半導体膜に対しては、p型を付与する不純物元素を、成膜と同時に、或いは成膜後に添加することで、しきい値制御をすることが可能となる。p型を付与する不純物元素としては、代表的には硼素であり、 B_2H_6 、 BF_3 などの不純物気体を1ppm~1000ppm、好ましくは1~100ppmの割合で水素化珪素に混入させると良い。そしてボロンの濃度を、例えば $1 \times 10^{14} \sim 6 \times 10^{16} \text{ atoms/cm}^3$ とすると良い。

10

【0028】

また、微結晶半導体膜の酸素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、窒素及び炭素の濃度それぞれを $3 \times 10^{18} \text{ atoms/cm}^3$ 以下とすることが好ましい。酸素、窒素、及び炭素が微結晶半導体膜に混入する濃度を低減することで、微結晶半導体膜がn型になることを防止することができる。

20

【0029】

微結晶半導体膜103は、200nm以下、好ましくは1nm以上100nm以下、より好ましくは5nm以上50nm以下で形成する。微結晶半導体膜103は後に形成されるマルチチャネルTFETのチャネル形成領域として機能する。微結晶半導体膜103の厚さを5nm以上50nm以下とすることで、後に形成されるマルチチャネルTFETは、完全空乏型となる。また、微結晶半導体膜103は成膜速度が非晶質半導体膜の成膜速度の $1/10 \sim 1/100$ と遅いため、膜厚を薄くすることでスループットを向上させることができる。微結晶半導体膜は微結晶で構成されているため、非晶質半導体膜と比較して抵抗が低い。このため、微結晶半導体膜をチャネル形成領域に用いたマルチチャネルTFETは、電流電圧特性を示す曲線の立ち上がり部分の傾きが急峻となり、スイッチング素子としての応答性が優れ、高速動作をすることができる。また、マルチチャネルTFETのチャネル形成領域に微結晶半導体膜を用いることで、マルチチャネルTFETの閾値の変動を抑制することができる。このため、電気特性のばらつきの少ない液晶表示装置を作製することができる。

30

【0030】

また、微結晶半導体膜は非晶質半導体膜と比較して移動度が高い。このため、液晶素子のスイッチング素子として、チャネル形成領域が微結晶半導体膜で形成されるマルチチャネルTFETを用いることで、チャネル形成領域の面積、即ちマルチチャネルTFETの面積を縮小することができる。このため、一画素あたりに示すマルチチャネルTFETが占める面積が小さくなり、画素の開口率を高めることができる。

40

【0031】

なお、微結晶半導体膜の電気的特性の向上を目的として、ゲート絶縁膜上の微結晶半導体膜の上面にレーザビームを照射してもよい。レーザビームは、微結晶半導体膜が溶融しないエネルギー密度で照射する。すなわち、微結晶半導体膜へのレーザ処理は、輻射加熱により微結晶半導体膜を溶融させないで行う固相結晶成長によるものである。すなわち、堆積された微結晶半導体膜が液相にならない臨界領域を利用するものであり、その意味において「臨界成長」ともいうことができる。

【0032】

50

レーザビームは微結晶半導体膜とゲート絶縁膜の界面にまで作用させることができる。それにより、微結晶半導体膜上面の結晶を種として、該上面からゲート絶縁膜との界面に向けて固相結晶成長が進み略柱状の結晶が成長する。レーザ処理による固相結晶成長は、結晶粒径を拡大させるものではなく、むしろ膜の厚さ方向における結晶性を改善するものである。レーザ処理は矩形長尺状にレーザビームを集光（線状レーザビーム）することで、例えば730mm×920mmのガラス基板上の微結晶半導体膜を1回のレーザビームスキャンで処理することができる。この場合、線状レーザビームを重ね合わせる割合（オーバーラップ率）を0～90%（好ましくは0～67%）として行う。これにより、基板1枚当たりの処理時間が短縮され、生産性を向上させることができる。レーザビームの形状は線状に限定されるものでなく面状としても同様に処理することができる。また、本レーザ処理は前記ガラス基板のサイズに限定されず、さまざまなものに適用することができる。レーザ処理により、ゲート絶縁膜と微結晶半導体膜の界面領域の結晶性が改善され、ボトムゲート構造を有するトランジスタの電気的特性を向上させる作用を奏する。このような臨界成長においては、従来の低温多結晶シリコンで見られた表面の凹凸（リッジと呼ばれる凸状体）が形成されず、レーザ処理後の半導体膜表面は平滑性が保たれていることも特徴である。本形態におけるように、成膜後の微結晶半導体膜に直接的にレーザビームを作用させて得られる微結晶性の半導体膜は、堆積されたままの微結晶半導体膜、伝導加熱により改質された微結晶半導体膜（非特許文献1におけるもの）とは、その成長メカニズム及び膜質が明らかに異なるものである。

10

20

30

40

50

【0033】

バッファ層104は、 SiH_4 、 Si_2H_6 などの水素化珪素を用いて、プラズマCVD法により形成することができる。また、上記水素化珪素に、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して非晶質半導体膜を形成することができる。水素化珪素の流量の1倍以上20倍以下、好ましくは1倍以上10倍以下、更に好ましくは1倍以上5倍以下の流量の水素を用いて、水素を含む非晶質半導体膜を形成することができる。また、上記水素化珪素と窒素またはアンモニアとを用いることで、窒素を含む非晶質半導体膜を形成することができる。また、上記水素化珪素と、フッ素、塩素、臭素、またはヨウ素を含む気体（ F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等）を用いることで、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体膜を形成することができる。なお、水素化珪素の代わりに、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いることができる。

【0034】

また、バッファ層104は、ターゲットに非晶質半導体を用いて水素、または希ガスでスパッタリングして非晶質半導体膜を形成することができる。このとき、アンモニア、窒素、または N_2O を雰囲気中に含ませることにより、窒素を含む非晶質半導体膜を形成することができる。また、雰囲気中にフッ素、塩素、臭素、またはヨウ素を含む気体（ F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等）に含ませることにより、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体膜を形成することができる。

【0035】

また、バッファ層104として、微結晶半導体膜103の表面にプラズマCVD法またはスパッタリング法により非晶質半導体膜を形成した後、非晶質半導体膜の表面を水素プラズマ、窒素プラズマ、またはハロゲンプラズマで処理して、非晶質半導体膜の表面を水素化、窒素化、またはハロゲン化してもよい。または、非晶質半導体膜の表面を、ヘリウムプラズマ、ネオンプラズマ、アルゴンプラズマ、クリプトンプラズマ等で処理してもよい。

【0036】

バッファ層104は、微結晶粒を含まない非晶質半導体膜で形成することが好ましい。このため、周波数が数十MHz～数百MHzの高周波プラズマCVD法、またはマイクロ波プラズマCVD法で形成する場合は、微結晶粒を含まない非晶質半導体膜となるように、成膜条件を制御することが好ましい。

【 0 0 3 7 】

バッファ層 1 0 4 は、後のソース領域及びドレイン領域の形成プロセスにおいて、一部エッチングされる場合があるが、そのときに、バッファ層 1 0 4 の一部が残存する厚さで形成することが好ましい。代表的には、1 5 0 n m 以上 4 0 0 n m 以下の厚さで形成することが好ましい。マルチチャネル T F T を用いた印加電圧の高い（例えば 1 5 V 程度）液晶表示装置において、バッファ層 1 0 4 の膜厚を上記範囲に示すように厚く形成すると、絶縁耐圧が高くなり、マルチチャネル T F T に高い電圧が印加されても、マルチチャネル T F T が劣化することを回避することができる。

【 0 0 3 8 】

微結晶半導体膜 1 0 3 の表面に、非晶質半導体膜、更には水素、窒素、またはハロゲンを含む非晶質半導体膜を形成することで、微結晶半導体膜 1 0 3 に含まれる微結晶粒の表面の自然酸化を防止することができる。特に、非晶質半導体膜と微結晶半導体膜 1 0 3 の微結晶粒が接する領域では、局部応力により亀裂が入りやすい。この亀裂が酸素に触れると微結晶粒は酸化され、酸化珪素が形成される。しかしながら、微結晶半導体膜 1 0 3 の表面にバッファ層を形成することで、微結晶粒の酸化を防ぐことができる。また、バッファ層を形成することで、後にソース領域及びドレイン領域を形成する際に発生するエッチング残渣が微結晶半導体膜に混入することを防ぐことができる。

【 0 0 3 9 】

また、バッファ層 1 0 4 は、非晶質半導体膜、または、水素、窒素、若しくはハロゲンを含む非晶質半導体膜である。非晶質半導体膜のエネルギーギャップが微結晶半導体膜に比べて大きく（非晶質半導体膜のエネルギーギャップは 1 . 1 ~ 1 . 5 e V、微結晶半導体膜のエネルギーギャップは 1 . 6 ~ 1 . 8 e V）、また抵抗が高く、移動度が低く、微結晶半導体膜の 1 / 5 ~ 1 / 1 0 である。このため、後に形成されるマルチチャネル T F T のソース領域及びドレイン領域と、微結晶半導体膜との間に形成されるバッファ層は高抵抗領域として機能し、微結晶半導体膜がチャンネル形成領域として機能する。このため、マルチチャネル T F T のオフ電流を低減することができる。当該マルチチャネル T F T を液晶表示装置のスイッチング素子として用いた場合、液晶表示装置のコントラストを向上させることができる。

【 0 0 4 0 】

なお、微結晶半導体膜を形成した後、プラズマ C V D 法により水素化アモルファスシリコン膜を 3 0 0 ~ 4 0 0 の温度にてバッファ層として成膜してもよい。この成膜処理により水素が微結晶半導体膜に供給され、微結晶半導体膜の水素化をしたのと同等の効果が得られる。すなわち、微結晶半導体膜上に水素化アモルファスシリコン層を堆積することにより、微結晶半導体膜に水素を拡散させてダングリングボンドの終端をすることができる。

【 0 0 4 1 】

ここで、ゲート絶縁膜 1 0 2 からバッファ層 1 0 4 を連続成膜することが可能なプラズマ C V D 装置について、図 1 0 を用いて示す。図 1 0 はプラズマ C V D 装置の上断面を示す模式図であり、共通室 1 0 2 0 の周りに、ロード室 1 0 1 0、アンロード室 1 0 1 5、反応室 (1) 1 0 1 1、反応室 (2) 1 0 1 2、反応室 (3) 1 0 1 3 を備えた構成となっている。共通室 1 0 2 0 と各室の間にはゲートバルブ 1 0 2 2、ゲートバルブ 1 0 2 3、ゲートバルブ 1 0 2 4、ゲートバルブ 1 0 2 5、ゲートバルブ 1 0 2 6 が備えられ、各室で行われる処理が、相互に干渉しないように構成されている。基板はロード室 1 0 1 0、アンロード室 1 0 1 5 のカセット 1 0 2 8、カセット 1 0 2 9 に装填され、共通室 1 0 2 0 の搬送手段 1 0 2 1 により反応室 (1) 1 0 1 1 ~ 反応室 (3) ~ 1 0 1 3 へ運ばれる。この装置では、堆積膜種ごとに反応室をあてがうことが可能であり、複数の異なる被膜を大気に触れさせることなく連続して形成することができる。一例としては、反応室 (1) 1 0 1 1 でゲート絶縁膜 1 0 2、反応室 (2) 1 0 1 2 で微結晶半導体膜 1 0 3 およびバッファ層 1 0 4 を積層形成し、反応室 (3) 1 0 1 3 は、予備室として備えられる構成がありえる。

10

20

30

40

50

【0042】

このように、複数のチャンバが接続されたマイクロ波プラズマCVD装置で、同時にゲート絶縁膜102、微結晶半導体膜103、及びバッファ層104を成膜することができるため、量産性を高めることができる。また、ある反応室がメンテナンスやクリーニングを行っていても、残りの反応室において成膜処理が可能となり、成膜のタクトを向上させることができる。また、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、トランジスタ特性のばらつきを低減することができる。

【0043】

なお、図10に示すプラズマCVD装置には、ロード室及びアンロード室が別々に設けられているが、一つとしロード/アンロード室とでもよい。また、プラズマCVD装置に複数の予備室を設けてもよい。予備室で基板を予備加熱することで、各反応室において成膜までの加熱時間を短縮することが可能であるため、スループットを向上させることができる。

10

【0044】

図1(A)の説明に戻る。図1(A)におけるレジストは、ポジ型レジストまたはネガ型レジストを用いることができる。本実施の形態では、ポジ型レジストを用いて示す。そして第2のフォトマスクを用いてレジストマスク151を形成する。そして図1(B)に示すように、バッファ層上に形成されたレジストマスクにより、微結晶半導体膜103及びバッファ層104をエッチングして、ゲート電極101上に、島状半導体膜105a(第1の島状半導体膜ともいう)及び島状半導体膜105b(第2の島状半導体膜ともいう)を形成する。なお、図1(B)は図5(A)のA-Bにおける断面図に相当する(但しゲート絶縁膜102を除く)。

20

【0045】

なお、島状半導体膜105a及び島状半導体膜105bの端部側面を傾斜させることにより、島状半導体膜105a及び島状半導体膜105b上に形成されるソース領域及びドレイン領域と、島状半導体膜105a及び島状半導体膜105bの底部にある微結晶半導体膜との間にリーク電流が生じることを防止することが可能である。島状半導体膜105a及び島状半導体膜105bの端部側面の傾斜角度は、 $90^{\circ} \sim 30^{\circ}$ 、好ましくは $80^{\circ} \sim 45^{\circ}$ である。このような角度とすることで、段差形状によるソース電極またはドレイン電極の段切れを防ぐことができる。

30

【0046】

次に、島状半導体膜105a及び島状半導体膜105bを覆うように導電性半導体膜106を形成する。このとき、導電性半導体膜106が、図2(A)に示すように島状半導体膜105aと島状半導体膜105bとの間に、ゲート絶縁膜に接して設けられていることが重要である。島状半導体膜105aと島状半導体膜105bとの間に存在するゲート絶縁膜102に接して設けられる導電性半導体膜106は、後に形成されるマルチチャネルTFETにおける電流のパスとして機能するものである。

【0047】

導電性半導体膜106は、nチャネル型のマルチチャネルTFETを形成する場合には、代表的な不純物元素としてリンを添加すれば良く、水素化珪素に PH_3 などの不純物気体を加えれば良い。また、pチャネル型のマルチチャネルTFETを形成する場合には、代表的な不純物元素としてボロンを添加すれば良く、水素化珪素に B_2H_6 などの不純物気体を加えれば良い。導電性半導体膜106は、微結晶半導体、または非晶質半導体で形成することができる。さらには導電性半導体膜106を、一導電型を付与する不純物が添加された非晶質半導体膜と、一導電型を付与する不純物が添加された微結晶半導体膜との積層で形成してもよい。バッファ層104側に一導電型を付与する不純物が添加された非晶質半導体膜を形成し、その上に一導電型を付与する不純物が添加された微結晶半導体膜を形成することで、抵抗が段階的になるため、キャリアが流れやすくなり、移動度を高めることができる。導電性半導体膜106は2nm以上50nm以下の厚さで形成する。導電性

40

50

半導体膜の膜厚を、薄くすることでスループットを向上させることができる。

【0048】

なお、バッファ層104には、リンやボロン等の一導電性を付与する不純物が添加されていないことが好ましい。特に、閾値を制御するために微結晶半導体膜103に含まれるボロン、または導電性半導体膜106に含まれるリンがバッファ層104に混入されないことが好ましい。この結果、不純物によるリーク電流の発生領域をなくすことで、リーク電流の低減を図ることができる。また、導電性半導体膜106と微結晶半導体膜103との間に、リンやボロン等の一導電性を付与する不純物が添加されない非晶質半導体膜104を形成することで、微結晶半導体膜103と、後に形成されるソース領域及びドレイン領域それぞれに含まれる不純物が拡散するのを防ぐことができる。

10

【0049】

次に、導電性半導体膜106上に、導電膜107を形成する。導電膜107は、アルミニウム、若しくは銅、シリコン、チタン、ネオジウム、スカンジウム、モリブデンなどの耐熱性向上元素若しくはヒロック防止元素が添加されたアルミニウム合金の単層または積層で形成することが好ましい。また、導電性半導体膜と接する側の膜を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で形成し、その上にアルミニウムまたはアルミニウム合金を形成した積層構造としても良い。更には、アルミニウムまたはアルミニウム合金の上面及び下面を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で挟んだ積層構造としてもよい。ここでは、導電膜107としては、導電膜が3層積層した構造の導電膜が挙げられ、アルミニウム膜をモリブデン膜で挟持する積層導電膜や、アルミニウム膜をチタン膜で挟持する積層導電膜がその一例である。導電膜は、スパッタリング法や真空蒸着法で形成する。

20

【0050】

次に図2(B)に示すように、導電膜107上にレジストを塗布し、第3のフォトリソマスクを用いて、レジストマスク152を形成する。第3のフォトリソマスクとしては多階調マスクを用いてもよく、多階調マスクとしては、グレイトーンマスク、またはハーフトーンマスクが挙げられる。多階調マスクを用いて露光した後、現像することにより、膜厚の異なる領域を有するレジストマスクを形成することができる。

【0051】

次に、レジストマスク152により、導電性半導体膜106、及び導電膜107をエッチングし分離する。この結果、図3(A)に示すような、マルチチャネル型のトランジスタ構造におけるソース領域またはドレイン領域となる領域108a、領域108b、及び領域108cを形成することができる。なお、当該エッチング工程において、島状半導体膜105a及び島状半導体膜105bのバッファ層104の一部もエッチングする。この後、レジスト152を除去する。なお、図3(A)は、図5(B)のA-Bの断面図に相当する(但しゲート絶縁膜102を除く)。

30

【0052】

以上の工程により、マルチチャネルTFET109を形成することができる。また、3枚のフォトリソマスクを用いて薄膜トランジスタを形成することができる。なお本明細書でいうマルチチャネル型薄膜トランジスタとは、一对のソース領域及びドレイン領域に対し、複数のチャネルを有する構成の薄膜トランジスタのことをいう。図3(A)に示す、マルチチャネルTFET109でいうと、領域108aをソース領域とすると、キャリア(電子)は、第1の島状半導体膜105aのチャネル領域、領域108b、及び第2の島状半導体膜105bのチャネル領域を通過して、ドレイン領域となる領域108cに流れるものとなる。

40

【0053】

本実施の形態で示す逆スタガ型のマルチチャネル型薄膜トランジスタは、ゲート電極上にゲート絶縁膜、微結晶半導体膜、バッファ層、ソース領域及びドレイン領域、ソース電極及びドレイン電極が積層され、チャネル形成領域として機能する微結晶半導体膜の表面をバッファ層が覆う。また、バッファ層の一部には窪み(溝)が形成されており、当該窪

50

み以外の領域がソース領域及びドレイン領域で覆われる。即ち、バッファ層に形成される窪みにより、ソース領域及びドレイン領域の距離が離れているため、ソース領域及びドレイン領域の間でのリーク電流を低減することができる。また、バッファ層の一部をエッチングすることにより窪みを形成するため、ソース領域及びドレイン領域の形成工程において発生するエッチング残渣を除去することができるため、残渣を介してソース領域及びドレイン領域にリーク電流（寄生チャネル）が発生することを回避することができる。

【0054】

また、チャネル形成領域として機能する微結晶半導体膜とソース領域及びドレイン領域との間に、バッファ層が形成されている。また、微結晶半導体膜の表面がバッファ層で覆われている。微結晶半導体膜に比べて高抵抗となるように形成されたバッファ層は、微結晶半導体膜と、ソース領域及びドレイン領域との間にまで延在しているため、薄膜トランジスタにリーク電流が発生することを低減できると共に、高い電圧の印加による劣化を低減することができる。また、微結晶半導体膜上に水素で表面（上面）が終端された非晶質半導体膜がバッファ層として形成されているため、微結晶半導体膜の酸化を防止することが可能であると共に、ソース領域及びドレイン領域の形成工程に発生するエッチング残渣が微結晶半導体膜に混入することを防ぐことができる。このため、電気特性が高く、且つ耐圧に優れた薄膜トランジスタを形成することができる。

【0055】

次に、図3（B）に示すように、マルチチャネルTFET109上に絶縁膜110を形成する。絶縁膜110は、ゲート絶縁膜102と同様に形成することができる。なお、絶縁膜110は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。また、絶縁膜110に窒化珪素膜を用いることで、バッファ層104中の酸素濃度を $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下とすることができる。

【0056】

次に、図4（A）に示すように絶縁膜110にコンタクトホール111を形成する。そして、図4（B）に示すように、コンタクトホール111において領域108cに接する画素電極112を形成する。なお、図4（B）は、図5（C）のA-Bの断面図に相当する。

【0057】

画素電極112は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0058】

また、画素電極112として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が $10000 \text{ } / \text{ } \Omega$ 以下、波長 550 nm における光の透過率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1 \text{ } \cdot \text{ cm}$ 以下であることが好ましい。

【0059】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0060】

以上により液晶表示装置に用いることが可能な素子基板を形成することができる。

【0061】

次に本発明の図1乃至図5で説明したマルチチャネルTFETの上面図及び断面図を対応させた図面を用いて、本発明のマルチチャネルTFETの特徴について詳述する。

10

20

30

40

50

【 0 0 6 2 】

図 6 (A) に示す上面図は、図 5 (C) で示した上面図に相当するものである。また、図 6 (A) に示す上面図の A - B の断面図である図 6 (B) が、図 4 (B) に示した断面図に相当するものである。図 6 (A) に示す上面図には、走査線 6 0 1、信号線 6 0 2、第 1 の島状半導体膜 6 0 3、第 1 の島状電極 6 0 4、第 2 の島状半導体膜 6 0 5、第 2 の島状電極 6 0 6、及び画素電極 6 0 7 の配置について示している。

【 0 0 6 3 】

また、図 6 (B) の各配線及び電極には、上述したマルチチャネル T F T を構成する導電膜及び絶縁膜等が積層して設けられている。図 1 乃至図 5 で説明したように、走査線 6 0 1 より延伸して設けられたゲート電極 6 5 1 上には、ゲート絶縁膜 6 5 2、微結晶半導体膜 6 5 3、バッファ層 6 5 4、導電性半導体膜 6 5 6、導電膜 6 5 7、絶縁膜 6 6 0、及び画素電極 6 6 2 が積層して設けられている。なおゲート電極は、微結晶半導体膜 6 5 3 におけるチャネル領域に重畳して設けられるものであればよく、ゲート電極を複数に枝分かれして、配置するものであってもよい。

10

【 0 0 6 4 】

図 6 (A) に示すマルチチャネル T F T が n チャネル型トランジスタであるとき、キャリアは、信号線 6 0 2 と画素電極 6 0 7 との間で、第 1 の島状半導体膜 6 0 3、第 1 の島状電極 6 0 4、第 2 の島状半導体膜 6 0 5、第 2 の島状電極 6 0 6 を介して流れる。すなわち、図 6 (A) で示した第 1 の島状半導体膜 6 0 3 のチャネル領域及び第 2 の島状半導体膜 6 0 5 のチャネル領域の 2 カ所をキャリアが移動することとなる。そのため、画素電極 6 0 7 から信号線 6 0 2 へのリーク電流の発生を大幅に抑制することができる。また、マルチチャネル T F T がオンする際の信号線 6 0 2 と画素電極 6 0 7 との間で流れる電流は、第 1 の島状半導体膜 6 0 3 及び第 2 の島状半導体膜 6 0 5 における微結晶半導体膜 6 5 3 を介して流れるため、 $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{sec}$ の電界効果移動度を得ることができる。

20

【 0 0 6 5 】

また、本実施の形態で述べたマルチチャネル T F T は、逆スタガ型の薄膜トランジスタである。逆スタガ型の薄膜トランジスタは、作製工程数が少なく、コスト削減が可能である。加えて、微結晶半導体膜でチャネル領域を構成することにより $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{sec}$ の電界効果移動度を得ることができる。従って、この薄膜トランジスタを画素部の画素のスイッチング用素子として、さらに走査線 (ゲート線) 側の駆動回路を形成する素子として利用することができる。

30

【 0 0 6 6 】

本実施の形態により、電気特性の信頼性の高い薄膜トランジスタを作製することができる。

【 0 0 6 7 】

(実施の形態 2)

本実施の形態では、上記実施の形態 1 で説明したマルチチャネル T F T の上面図及び断面図を対応させた図面について、図 6 (A) 及び図 6 (B) に示した構成とは別の上面図について示し、詳述する。

40

【 0 0 6 8 】

図 7 (A) に示す上面図は、走査線 7 0 1、信号線 7 0 2、第 1 の島状半導体膜 7 0 3、第 1 の島状電極 7 0 4、第 2 の島状半導体膜 7 0 5、第 2 の島状電極 7 0 6、及び画素電極 7 0 7 の配置について示している。

【 0 0 6 9 】

また、図 7 (A) の各配線及び電極には、図 6 (B) と同様に、マルチチャネル T F T を構成する導電膜及び絶縁膜等が積層して設けられている。上記実施の形態 1 の図 1 乃至図 5 で説明したように、走査線 7 0 1 より延伸して設けられたゲート電極 7 5 1 上には、ゲート絶縁膜 7 5 2、微結晶半導体膜 7 5 3、バッファ層 7 5 4、導電性半導体膜 7 5 6、導電膜 7 5 7、絶縁膜 7 6 0、及び画素電極 7 6 2 が積層して設けられている。

50

【0070】

図7(A)が図6(A)と異なる点は、第1の島状電極704の上面から見た形状が、信号線702から延伸した導電膜及び画素電極に接続された導電膜である第2の島状電極706に囲まれるような形状を有している点にある。具体的には、信号線702から延伸した導電膜及び画素電極に接続された導電膜である第2の島状電極706の上面から見た形状を、C字状(またはU字状)とするものである。このとき第1の島状電極704の上面から見た形状は、導電膜及び画素電極に接続された導電膜である第2の島状電極706の形状をC字状にして、これらに囲まれる構成とするため、丸状、楕円状、または矩形状とすることが好ましい。なお、図9(A)に示すように、第1の島状電極704と、信号線702から延伸した導電膜及び画素電極に接続された導電膜である第2の島状電極706との距離を概略等しくなるように配置することにより、チャンネル領域を流れるキャリアの移動距離のばらつきを低減することができる。信号線702から延伸した導電膜及び第2の島状電極706の形状をC字状にすることにより、キャリアが移動するマルチチャンネルTF Tのチャンネル領域の面積を増加させることが可能であるため、電流量を増やすことが可能であり、マルチチャンネルTF Tの面積を縮小することができる。

10

【0071】

なお図7(A)に示すマルチチャンネルTF Tがnチャンネル型トランジスタであるとき、キャリアである電子は、図6(A)と同様に、信号線702と画素電極707との間で、第1の島状半導体膜703、第1の島状電極704、第2の島状半導体膜705、第2の島状電極706を介して流れる。すなわち、図6(B)と同様に、図7(B)で示した第1の島状半導体膜703のチャンネル領域及び第2の島状半導体膜705のチャンネル領域の2カ所をキャリアが移動することとなる。そのため、画素電極707から信号線702へのリーク電流の発生を大幅に抑制することができる。また、マルチチャンネルTF Tがオンする際の信号線702と画素電極707との間で流れる電流は、第1の島状半導体膜703及び第2の島状半導体膜705における微結晶半導体膜753を介して流れるため、 $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{sec}$ の電界効果移動度を得ることができる。

20

【0072】

また、本実施の形態で述べたマルチチャンネルTF Tは、逆スタガ型の薄膜トランジスタである。逆スタガ型の薄膜トランジスタは、作製工程数が少なく、コスト削減が可能である。加えて、微結晶半導体膜でチャンネル形成領域を構成することにより $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{sec}$ の電界効果移動度を得ることができる。従って、この薄膜トランジスタを画素部の画素のスイッチング用素子として、さらに走査線(ゲート線)側の駆動回路を形成する素子として利用することができる。

30

【0073】

本実施の形態により、電気特性の信頼性の高い薄膜トランジスタを作製することができる。

【0074】

(実施の形態3)

本実施の形態では、上記実施の形態1及び実施の形態2で説明したマルチチャンネルTF Tの上面図及び断面図を対応させた図面について、図6(A)及び図6(B)並びに図7(A)及び図7(B)に示した構成とは別の上面図について示し、詳述する。

40

【0075】

図8(A)に示す上面図は、走査線801、信号線802、第1の島状半導体膜803、第1の島状電極804、第2の島状半導体膜805、第2の島状電極806、及び画素電極807の配置について示している。

【0076】

また、図8(A)の各配線及び電極には、図6(B)と同様に、マルチチャンネルTF Tを構成する導電膜及び絶縁膜等が積層して設けられている。上記実施の形態1の図1乃至図5で説明したように、走査線801より延伸して設けられたゲート電極851上には、ゲート絶縁膜852、微結晶半導体膜853、バッファ層854、導電性半導体膜856、

50

導電膜 857、絶縁膜 860、及び画素電極 862 が積層して設けられている。

【0077】

図 8 (A) が図 6 (A) と異なる点は、第 1 の島状電極 804 の上面から見た形状が、信号線 802 から延伸した導電膜及び画素電極に接続された導電膜である第 2 の島状電極 806 の一部を囲むような形状を有している点にある。具体的には、第 1 の島状電極 804 の上面から見た形状を、X 字状とするものである。2 つの C 字状 (または U 字状) の導電膜が、図 8 (A) に示すように、概略 X 字状になるように隣接して設けてあればよい。このとき信号線 802 から延伸した導電膜及び画素電極に接続された導電膜である第 2 の島状電極 806 の上面から見た形状は、第 1 の島状電極 804 によって囲まれる構成とするため、X 字状の第 1 の島状電極に囲まれる導電膜の一部が楕円状、または矩形状の突起部として設けられてことが好ましい。なお、図 9 (B) に示すように、第 1 の島状電極 804 と、信号線 802 から延伸した導電膜及び画素電極に接続された導電膜との距離を概略等しくなるように配置することにより、チャンネル領域を流れるキャリアの移動距離のばらつきを低減することができる。第 1 の島状電極 804 の形状を X 字状にすることにより、キャリアが移動するマルチチャンネル TFT のチャンネル領域の面積を増加させることが可能であるため、電流量を増やすことが可能であり、マルチチャンネル TFT の面積を縮小することができる。

10

【0078】

なお図 8 (A) に示すマルチチャンネル TFT が n チャンネル型トランジスタであるとき、キャリアである電子は、図 6 (A) と同様に、信号線 802 と画素電極 807 との間で、第 1 の島状半導体膜 803、第 1 の島状電極 804、第 2 の島状半導体膜 805、第 2 の島状電極 806 を介して流れる。すなわち、図 6 (B) と同様に、図 8 (B) で示した第 1 の島状半導体膜 803 のチャンネル領域及び第 2 の島状半導体膜 805 のチャンネル領域の 2 カ所をキャリアが移動することとなる。そのため、画素電極 807 から信号線 802 へのリーク電流の発生を大幅に抑制することができる。また、マルチチャンネル TFT がオンする際の信号線 802 と画素電極 807 との間で流れる電流は、第 1 の島状半導体膜 803 及び第 2 の島状半導体膜 805 における微結晶半導体膜 853 を介して流れるため、 $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{sec}$ の電界効果移動度を得ることができる。

20

【0079】

また、本実施の形態で述べたマルチチャンネル TFT は、逆スタガ型の薄膜トランジスタである。逆スタガ型の薄膜トランジスタは、作製工程数が少なく、コスト削減が可能である。加えて、微結晶半導体膜でチャンネル形成領域を構成することにより $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{sec}$ の電界効果移動度を得ることができる。従って、この薄膜トランジスタを画素部の画素のスイッチング用素子として、さらに走査線 (ゲート線) 側の駆動回路を形成する素子として利用することができる。

30

【0080】

本実施の形態により、電気特性の信頼性の高い薄膜トランジスタを作製することができる。

【0081】

(実施の形態 4)

本実施の形態では、実施の形態 1 で示すマルチチャンネル TFT を有する液晶表示装置について、以下に示す。

40

【0082】

はじめに VA (Vertical Alignment) 型の液晶表示装置について示す。VA 型の液晶表示装置とは、液晶パネルの液晶分子の配列を制御する方式の一種である。VA 型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。本実施の形態では、特に画素 (ピクセル) をいくつかの領域 (サブピクセル) に分け、それぞれ別の方向に分子を倒すよう工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン設計が考慮された液晶表示装置について説明する。

50

【0083】

図12及び図13は、それぞれ画素電極及び対向電極を示している。なお、図12は画素電極が形成される基板側の平面図であり、図中に示す切断線A-Bに対応する断面構造を図11に表している。また、図13は対向電極が形成される基板側の平面図である。また図14は、液晶表示装置を構成する画素の回路図である。以下の説明ではこれらの図を参照して説明する。

【0084】

図11は、マルチチャネルTF T 1128とそれに接続する画素電極1124、及び保持容量部1130が形成された基板1100と、対向電極1140等が形成される対向基板1101とが重ね合わせられ、液晶が注入された状態を示している。

10

【0085】

対向基板1101においてスペーサ1142が形成される位置には、遮光膜1132、第1の着色膜1134、第2の着色膜1136、第3着色膜1138（なお、着色膜はカラーフィルターともいう）、対向電極1140が形成されている。この構造により、液晶の配向を制御するための突起1144とスペーサ1142の高さを異ならせている。画素電極1124上には配向膜1148が形成され、同様に対向電極1140上にも配向膜1146が形成されている。この間に液晶層1150が形成されている。

【0086】

スペーサ1142はここでは柱状スペーサを用いて示したがビーズスペーサを散布してもよい。さらには、スペーサ1142を基板1100上に形成される画素電極1124上に形成してもよい。

20

【0087】

基板1100上には、マルチチャネルTF T 1128とそれに接続する画素電極1124、及び保持容量部1130が形成される。画素電極1124は、マルチチャネルTF T 1128、配線1118、及び保持容量部1130を覆う絶縁膜1120、絶縁膜を覆う絶縁膜1122をそれぞれ貫通するコンタクトホール1123で、配線1118と接続する。マルチチャネルTF T 1128は実施の形態1乃至3で示すマルチチャネルTF Tを適宜用いることができる。また、保持容量部1130は、マルチチャネルTF T 1128のゲート配線1102と同様に形成した第1の容量配線1104と、ゲート絶縁膜1106と、配線1116、配線1118と同様に形成した第2の容量配線1117で構成される。

30

【0088】

画素電極1124と液晶層1150と対向電極1140が重なり合うことで、液晶素子が形成されている。

【0089】

図12に基板1100上の構造を示す。画素電極1124は実施の形態1で示した材料を用いて形成する。画素電極1124にはスリット1125を設ける。スリット1125は液晶の配向を制御するためのものである。

【0090】

図12に示すマルチチャネルTF T 1129とそれに接続する画素電極1126及び保持容量部1131は、それぞれマルチチャネルTF T 1128、画素電極1124及び保持容量部1130と同様に形成することができる。マルチチャネルTF T 1128とマルチチャネルTF T 1129は共に配線1116と接続している。この液晶パネルの画素（ピクセル）は、画素電極1124と画素電極1126により構成されている。画素電極1124と画素電極1126はサブピクセルである。

40

【0091】

図13に対向基板側の構造を示す。遮光膜1132上に対向電極1140が形成されている。対向電極1140は、画素電極1124と同様の材料を用いて形成することが好ましい。対向電極1140上には液晶の配向を制御する突起1144が形成されている。また、遮光膜1132の位置に合わせてスペーサ1142が形成されている。

50

【 0 0 9 2 】

この画素構造の回路図を図 1 4 に示す。マルチチャンネル T F T 1 1 2 8 とマルチチャンネル T F T 1 1 2 9 は、共にゲート配線 1 1 0 2、配線 1 1 1 6 と接続している。この場合、容量配線 1 1 0 4 と容量配線 1 1 0 5 の電位を異ならせることで、液層素子 1 1 5 1 と液晶素子 1 1 5 2 の動作を異ならせることができる。すなわち、容量配線 1 1 0 4 と容量配線 1 1 0 5 の電位を個別に制御することにより液晶の配向を精密に制御して視野角を広げている。

【 0 0 9 3 】

スリット 1 1 2 5 を設けた画素電極 1 1 2 4 に電圧を印加すると、スリット 1 1 2 5 の近傍には電界の歪み（斜め電界）が発生する。このスリット 1 1 2 5 と、対向基板 1 1 0 1 側の突起 1 1 4 4 とを交互に咬み合うように配置することで、斜め電界を効果的に発生させて液晶の配向を制御することで、液晶が配向する方向を場所によって異ならせている。すなわち、マルチドメイン化して液晶パネルの視野角を広げている。

10

【 0 0 9 4 】

次に、上記とは異なる V A 型の液晶表示装置について、図 1 5 乃至図 1 8 を用いて説明する。

【 0 0 9 5 】

図 1 5 と図 1 6 は、V A 型液晶パネルの画素構造を示している。図 1 6 は基板 1 1 0 0 の平面図であり、図 1 6 中に示す切断線 A - B に対応する断面構造を図 1 5 に表している。以下の説明ではこの両図を参照して説明する。

20

【 0 0 9 6 】

図 1 5 乃至図 1 8 で説明する画素構造は、一つの画素に複数の画素電極が有り、それぞれの画素電極に T F T が接続されている。各マルチチャンネル T F T は、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン設計された画素において、個々の画素電極に印加する信号を、独立して制御する構成を有している。

【 0 0 9 7 】

画素電極 1 1 2 4 はコンタクトホール 1 1 2 3 において、配線 1 1 1 8 でマルチチャンネル T F T 1 1 2 8 と接続している。また、画素電極 1 1 2 6 はコンタクトホール 1 1 2 7 において、配線 1 1 1 9 でマルチチャンネル T F T 1 1 2 9 と接続している。マルチチャンネル T F T 1 1 2 8 のゲート配線 1 1 0 2 と、マルチチャンネル T F T 1 1 2 9 のゲート配線 1 1 0 3 には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能する配線 1 1 1 6 は、マルチチャンネル T F T 1 1 2 8 とマルチチャンネル T F T 1 1 2 9 で共通に用いられている。マルチチャンネル T F T 1 1 2 8 とマルチチャンネル T F T 1 1 2 9 は実施の形態 1 乃至 3 で示すマルチチャンネル T F T を適宜用いることができる。

30

【 0 0 9 8 】

画素電極 1 1 2 4 と画素電極 1 1 2 6 の形状は異なっており、スリットによって分離されている。V 字型に広がる画素電極 1 1 2 4 の外側を囲むように画素電極 1 1 2 6 が形成されている。画素電極 1 1 2 4 と画素電極 1 1 2 6 に印加する電圧のタイミングを、マルチチャンネル T F T 1 1 2 8 及びマルチチャンネル T F T 1 1 2 9 により異ならせることで、液晶の配向を制御している。この画素構造の回路図を図 1 8 に示す。マルチチャンネル T F T 1 1 2 8 はゲート配線 1 1 0 2 と接続し、マルチチャンネル T F T 1 1 2 9 はゲート配線 1 1 0 3 と接続している。1 1 9 0 は容量配線である。ゲート配線 1 1 0 2 とゲート配線 1 1 0 3 は異なるゲート信号を与えることで、マルチチャンネル T F T 1 1 2 8 とマルチチャンネル T F T 1 1 2 9 の動作タイミングを異ならせることができる。

40

【 0 0 9 9 】

対向基板 1 1 0 1 には、遮光膜 1 1 3 2、第 2 の着色膜 1 1 3 6、対向電極 1 1 4 0 が形成されている。また、第 2 の着色膜 1 1 3 6 と対向電極 1 1 4 0 の間には平坦化膜 1 1 3 7 が形成され、液晶の配向乱れを防いでいる。図 1 7 に対向基板側の構造を示す。対向電極 1 1 4 0 は異なる画素間で共通化されている電極であるが、スリット 1 1 4 1 が形成

50

されている。このスリット 1141 と、画素電極 1124 及び画素電極 1126 側のスリット 1125 とを交互に咬み合うように配置することで、斜め電界が効果的に発生させて液晶の配向を制御することができる。これにより、液晶が配向する方向を場所によって異ならせることができ、視野角を広げている。

【0100】

画素電極 1124 と液晶層 1150 と対向電極 1140 が重なり合うことで、第 1 の液晶素子 1151 が形成されている。また、画素電極 1126 と液晶層 1150 と対向電極 1140 が重なり合うことで、第 2 の液晶素子 1152 が形成されている。また、一画素に第 1 の液晶素子と第 2 の液晶素子が設けられたマルチドメイン構造である。

【0101】

次に、横電界方式の液晶表示装置について示す。横電界方式は、セル内の液晶分子に対して水平方向に電界を加えることで液晶を駆動して階調表現する方式である。この方式によれば、視野角を約 180 度にまで広げることができる。以下の説明では、横電界方式を採用する液晶表示装置について説明する。

【0102】

図 19 は、マルチチャネル TFT 1128 とそれに接続する第 2 の画素電極 1124 が形成された基板 1100 と、対向基板 1101 を重ね合わせ、液晶を注入した状態を示している。対向基板 1101 には遮光膜 1132、第 2 の着色膜 1136、平坦化膜 1137 などが形成されている。画素電極 1124、1107 は基板 1100 側に有るので、対向基板 1101 側には設けられていない。基板 1100 と対向基板 1101 の間に液晶層 1150 が形成されている。

【0103】

基板 1100 上には、第 1 の画素電極 1107 及び第 1 の画素電極 1107 に接続する容量配線 1104、並びに実施の形態 1 乃至 3 で示すマルチチャネル TFT 1128 が形成される。第 1 の画素電極 1107 は、実施の形態 1 乃至 3 で示す画素電極と同様の材料を用いることができる。また、第 1 の画素電極 1107 は略画素の形状に区画化した形状で形成する。なお、第 1 の画素電極 1107 及び容量配線 1104 上にはゲート絶縁膜 1106 が形成される。

【0104】

マルチチャネル TFT 1128 の配線 1116、配線 1118 がゲート絶縁膜 1106 上に形成される。配線 1116 は液晶パネルにおいてビデオ信号をのせるデータ線であり一方に伸びる配線であると同時に、ソース領域と接続し、ソース及びドレインの一方の電極となる。配線 1118 はソース及びドレインの他方の電極となり、第 2 の画素電極 1124 と接続する配線である。

【0105】

配線 1116、配線 1118 上に絶縁膜 1120 が形成される。また、絶縁膜 1120 上には、絶縁膜 1120 に形成されるコンタクトホール 1123 において、配線 1118 に接続する第 2 の画素電極 1124 が形成される。第 2 の画素電極 1124 は実施の形態 1 乃至 3 で示した画素電極と同様の材料を用いて形成する。

【0106】

このようにして、基板 1100 上にマルチチャネル TFT 1128 とそれに接続する第 2 の画素電極 1124 が形成される。なお、保持容量は第 1 の画素電極 1107 と第 2 の画素電極 1124 の間で形成している。

【0107】

図 20 は、画素電極 1124、1107 の構成を示す平面図である。第 2 の画素電極 1124 にはスリット 1125 が設けられる。スリット 1125 は液晶の配向を制御するためのものである。この場合、電界は第 1 の画素電極 1107 と第 2 の画素電極 1124 の間で発生する。第 1 の画素電極 1107 と第 2 の画素電極 1124 の間にはゲート絶縁膜 1106 が形成されているが、ゲート絶縁膜 1106 の厚さは 50 ~ 200 nm であり、2 ~ 10 μm である液晶層の厚さと比較して十分薄いので、実質的に基板 1100 と平行

10

20

30

40

50

な方向（水平方向）に電界が発生する。この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。また、第1の画素電極1107と第2の画素電極1124は共に透光性の電極であるので、開口率を向上させることができる。

【0108】

次に、横電界方式の液晶表示装置の他の一例について示す。

【0109】

図21と図22は、IPS型の液晶表示装置の画素構造を示している。図22は平面図であり、図中に示す切断線A-Bに対応する断面構造を図21に表している。以下の説明ではこの両図を参照して説明する。

10

【0110】

図21は、マルチチャネルTF T 1128とそれに接続する画素電極1124が形成された基板1100と、対向基板1101を重ね合わせ、液晶を注入した状態を示している。対向基板1101には遮光膜1132、着色膜1136、平坦化膜1137などが形成されている。画素電極1124は基板1100側にあるので、対向基板1101側には設けられていない。基板1100と対向基板1101の間に液晶層1150が形成されている。なお1146、1148は配向膜である。

【0111】

基板1100上には、共通電位線1109、及び実施の形態1乃至3で示すマルチチャネルTF T 1128が形成される。共通電位線1109はマルチチャネルTF T 1128のゲート配線1102と同時に形成することができる。また、第2の画素電極1124は略画素の形状に区画化した形状で形成する。

20

【0112】

マルチチャネルTF T 1128の配線1116、配線1118がゲート絶縁膜1106上に形成される。配線1116は液晶パネルにおいてビデオ信号をのせるデータ線であり一方に伸びる配線であると同時に、ソースまたはドレインの一方の電極となる。配線1118はソースまたはドレインの他方の電極となり、画素電極1124と接続する配線である。

【0113】

配線1116、配線1118上に絶縁膜1120が形成される。また、絶縁膜1120上には、絶縁膜1120に形成されるコンタクトホール1123において、配線1118に接続する画素電極1124が形成される。画素電極1124は実施の形態1乃至3で示した画素電極と同様の材料を用いて形成する。なお、図22に示すように、画素電極1124は、共通電位線1109と同時に形成した櫛形の電極と横電界が発生するように形成される。また、画素電極1124の櫛歯の部分が共通電位線1109と同時に形成した櫛形の電極と交互に咬み合うように形成される。1108は信号線である。

30

【0114】

画素電極1124に印加される電位と共通電位線1109の電位との間に電界が生じると、この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。

40

【0115】

このようにして、基板1100上にマルチチャネルTF T 1128とそれに接続する画素電極1124が形成される。保持容量は共通電位線1109と容量電極1115の間にゲート絶縁膜1106を設け、それにより形成している。容量電極1115と画素電極1124はコンタクトホール1133を介して接続されている。

【0116】

以上の工程により、液晶表示装置を作製することができる。本実施の形態の液晶表示装置は、オフ電流が少なく、電気特性の信頼性の高い薄膜トランジスタを用いているため、コ

50

ントラストが高く、視認性の高い液晶表示装置である。また、レーザ結晶化工程のない微結晶半導体膜を用いた薄膜トランジスタを用いているため、視認性の高い液晶表示装置を量産高く作製することができる。

【0117】

なお、本発明の液晶表示装置は画素を構成するトランジスタとして、微結晶半導体を用いたマルチチャンネルTFTで構成することにより、画素を高速に動作させることが出来る。例えば、非晶質半導体膜を用いた場合と微結晶半導体膜を用いた場合とを比較すると、微結晶半導体膜を用いた場合の方が、トランジスタの移動度が大きいいため、トランジスタのスイッチングを高速に動作させることが出来る。また、フレーム周波数を高くすること、または、黒画面挿入を実現することなども実現することが出来る。

10

【0118】

フレーム周波数を上げる場合は、画像の動きの方向に応じて、画面のデータを生成することが望ましい。つまり、動き補償を行って、データを補間することが望ましい。このように、フレーム周波数を上げ、画像データを補間することにより、動画の表示特性が改善され、滑らかな表示を行うことが出来る。例えば、2倍（例えば120ヘルツ、100ヘルツ）以上、より好ましくは4倍（例えば240ヘルツ、200ヘルツ）以上にすることにより、動画における画像のぼけや残像を低減することが出来る。その場合、走査線駆動回路も、駆動周波数を高くして、動作させることにより、フレーム周波数を上げることが出来る。

20

【0119】

黒画面挿入を行う場合は、画像データと黒表示となるデータを画素部に供給できるようにする。その結果、インパルス駆動に近い形となり、残像を低減することが出来る。その場合、走査線駆動回路も、駆動周波数を高くして、動作させることにより、黒画面挿入を行うことが出来る。

【0120】

（実施の形態5）

次に、本発明の液晶表示装置の一形態である表示パネルの構成について、以下に示す。

【0121】

図23(A)乃至図23(C)に、信号線駆動回路6013のみを別途形成し、基板6011上に形成された画素部6012と接続している表示パネルの形態を示す。画素部6012及び走査線駆動回路6014は、微結晶半導体膜を用いた薄膜トランジスタを用いて形成する。微結晶半導体膜を用いたマルチチャンネルTFTよりも高い移動度が得られるトランジスタで信号線駆動回路を形成することで、走査線駆動回路よりも高い駆動周波数が要求される信号線駆動回路の動作を安定させることができる。なお、信号線駆動回路6013は、単結晶の半導体を用いたトランジスタ、多結晶の半導体を用いた薄膜トランジスタ、またはSOI基板を用いて形成されたトランジスタであっても良い。画素部6012と、信号線駆動回路6013と、走査線駆動回路6014とに、それぞれ電源の電位、各種信号等が、FPC6015を介して供給される。

30

【0122】

なお、信号線駆動回路及び走査線駆動回路を、共に画素部と同じ基板上に形成しても良い。

40

【0123】

また、駆動回路を別途形成する場合、必ずしも駆動回路が形成された基板を、画素部が形成された基板上に貼り合わせる必要はなく、例えばFPC上に貼り合わせるようにしても良い。図23(B)に、信号線駆動回路6023のみを別途形成し、基板6021上に形成された画素部6022及び走査線駆動回路6024と接続している液晶表示装置パネルの形態を示す。画素部6022及び走査線駆動回路6024は、微結晶半導体膜を用いた薄膜トランジスタを用いて形成する。信号線駆動回路6023は、FPC6025を介して画素部6022と接続されている。画素部6022と、信号線駆動回路6023と、走査線駆動回路6024とに、それぞれ電源の電位、各種信号等が、FPC6025を介

50

して供給される。

【0124】

また、信号線駆動回路の一部または走査線駆動回路の一部のみを、微結晶半導体膜を用いたマルチチャンネルTFTを用いて画素部と同じ基板上に形成し、残りを別途形成して画素部と電氣的に接続するようにしても良い。図23(C)に、信号線駆動回路が有するアナログスイッチ6033aを、画素部6032、走査線駆動回路6034と同じ基板6031上に形成し、信号線駆動回路が有するシフトレジスタ6033bを別途異なる基板に形成して貼り合わせる液晶表示装置パネルの形態を示す。画素部6032及び走査線駆動回路6034は、微結晶半導体膜を用いたマルチチャンネルTFTを用いて形成する。信号線駆動回路が有するシフトレジスタ6033bは、FPC6035を介して画素部6032と接続されている。画素部6032と、信号線駆動回路と、走査線駆動回路6034とに、それぞれ電源の電位、各種信号等が、FPC6035を介して供給される。

10

【0125】

図23(A)乃至(C)に示すように、本発明の液晶表示装置は、駆動回路の一部または全部を、画素部と同じ基板上に、微結晶半導体膜を用いたマルチチャンネルTFTを用いて形成することができる。

【0126】

なお、別途形成した基板の接続方法は、特に限定されるものではなく、公知のCOG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。また接続する位置は、電氣的な接続が可能であるならば、図23(A)乃至(C)に示した位置に限定されない。また、コントローラ、CPU、メモリ等を別途形成し、接続するようにしても良い。

20

【0127】

なお本発明で用いる信号線駆動回路は、シフトレジスタとアナログスイッチのみを有する形態に限定されない。シフトレジスタとアナログスイッチに加え、バッファ、レベルシフタ、ソースフォロワ等、他の回路を有していても良い。また、シフトレジスタとアナログスイッチは必ずしも設ける必要はなく、例えばシフトレジスタの代わりにデコーダ回路のような信号線の選択ができる別の回路を用いても良いし、アナログスイッチの代わりにラッチ等を用いても良い。

【0128】

図24に本発明の液晶表示装置のブロック図を示す。図24に示す液晶表示装置は、液晶素子を備えた画素を複数有する画素部501と、各画素を選択する走査線駆動回路502と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路503とを有する。

30

【0129】

図24において信号線駆動回路503は、シフトレジスタ504、アナログスイッチ505を有している。シフトレジスタ504には、クロック信号(CLK)、スタートパルス信号(SP)が入力されている。クロック信号(CLK)とスタートパルス信号(SP)が入力されると、シフトレジスタ504においてタイミング信号が生成され、アナログスイッチ505に入力される。

40

【0130】

またアナログスイッチ505には、ビデオ信号(video signal)が与えられている。アナログスイッチ505は入力されるタイミング信号に従ってビデオ信号をサンプリングし、後段の信号線に供給する。

【0131】

次に、走査線駆動回路502の構成について説明する。走査線駆動回路502は、シフトレジスタ506、バッファ507を有している。また場合によってはレベルシフタを有していても良い。走査線駆動回路502において、シフトレジスタ506にクロック信号(CLK)及びスタートパルス信号(SP)が入力されることによって、選択信号が生成される。生成された選択信号はバッファ507において緩衝増幅され、対応する走査線に

50

供給される。走査線には、1ライン分の画素のトランジスタのゲートが接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなくてはならないので、バッファ507は大きな電流を流すことが可能なものが用いられる。

【0132】

フルカラーの液晶表示装置で、R(赤)、G(緑)、B(青)に対応するビデオ信号を、順にサンプリングして対応する信号線に供給している場合、シフトレジスタ504とアナログスイッチ505とを接続するための端子数が、アナログスイッチ505と画素部501の信号線を接続するための端子数の1/3程度に相当する。よって、アナログスイッチ505を画素部501と同じ基板上に形成することで、アナログスイッチ505を画素部501と異なる基板上に形成した場合に比べて、別途形成した基板の接続に用いる端子の数を抑えることができ、接続不良の発生確率を抑え、歩留まりを高めることができる。

10

【0133】

なお、図24の走査線駆動回路502は、シフトレジスタ506、及びバッファ507を有するが、シフトレジスタ506で走査線駆動回路502を構成してもよい。

【0134】

なお、図24に示す構成は、本発明の液晶表示装置の一形態を示したに過ぎず、信号線駆動回路と走査線駆動回路の構成はこれに限定されない。

【0135】

本実施の形態は、他の実施の形態に記載した構成と組み合わせて実施することが可能である。

20

【0136】

(実施の形態6)

本発明により得られる液晶表示装置によって、アクティブマトリクス型液晶モジュールに用いることができる。即ち、それらを表示部に組み込んだ電子機器全てに本発明を実施できる。

【0137】

その様な電子機器としては、ビデオカメラ、デジタルカメラ等のカメラ、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図25に示す。

30

【0138】

図25(A)はテレビジョン装置である。表示モジュールを、図25(A)に示すように、筐体に組みこんで、テレビジョン装置を完成させることができる。FPCまで取り付けられた表示パネルのことを表示モジュールとも呼ぶ。表示モジュールにより主画面2003が形成され、その他付属設備としてスピーカー部2009、操作スイッチなどが備えられている。このように、テレビジョン装置を完成させることができる。

【0139】

図25(A)に示すように、筐体2001に液晶素子を利用した表示用パネル2002が組みこまれ、受信機2005により一般のテレビ放送の受信をはじめ、モデム2004を介して有線又は無線による通信ネットワークに接続することにより一方向(送信者から受信者)又は双方向(送信者と受信者間、又は受信者間同士)の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン操作機2006により行うことが可能であり、このリモコン装置にも出力する情報を表示する表示部2007が設けられていても良い。

40

【0140】

また、テレビジョン装置にも、主画面2003の他にサブ画面2008を第2の表示用パネルで形成し、チャンネルや音量などを表示する構成が付加されていても良い。この構成において、主画面2003を視野角の優れた液晶表示パネルで形成し、サブ画面を低消費電力で表示可能な液晶表示パネルで形成しても良い。また、低消費電力化を優先させるためには、主画面2003を液晶表示パネルで形成し、サブ画面を液晶表示パネルで形成し

50

、サブ画面は点滅可能とする構成としても良い。

【0141】

図26はテレビ装置の主要な構成を示すブロック図を示している。表示パネル900には、画素部921が形成されている。信号線駆動回路922と走査線駆動回路923は、表示パネル900にCOG方式により実装されていても良い。

【0142】

その他の外部回路の構成として、映像信号の入力側では、チューナ924で受信した信号のうち、映像信号を増幅する映像信号増幅回路925と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路926と、その映像信号をドライバICの入力仕様に変換するためのコントロール回路927などを有している。コントロール回路927は、走査線側と信号線側にそれぞれ信号を出力する。デジタル駆動する場合には、信号線側に信号分割回路928を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

10

【0143】

チューナ924で受信した信号のうち、音声信号は、音声信号増幅回路929に送られ、その出力は音声信号処理回路930を経てスピーカ933に供給される。制御回路931は受信局（受信周波数）や音量の制御情報を入力部932から受け、チューナ924や音声信号処理回路930に信号を送出する。

【0144】

勿論、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道駅の駅や空港などにおける情報表示盤や、街頭における広告表示盤など大面積の表示媒体としても様々な用途に適用することができる。

20

【0145】

図25(B)は携帯電話機2301の一例を示している。この携帯電話機2301は、表示部2302、操作部2303などを含んで構成されている。表示部2302においては、上記実施の形態で説明した液晶表示装置を適用することで、量産性を高めることができる。

【0146】

また、図25(C)に示す携帯型のコンピュータは、本体2401、表示部2402等を含んでいる。表示部2402に、上記実施の形態に示す液晶表示装置を適用することにより、量産性を高めることができる。

30

【実施例1】

【0147】

微結晶珪素膜を成膜し、その膜をラマン分光法で結晶性を測定した結果を図27に示す。

【0148】

微結晶珪素膜の成膜条件は、RF電源周波数を13.56MHzとし、成膜温度を280とし、水素流量とシランガス流量の比を100:1とし、280Paの圧力で成膜を行った。また、図27(A)は、ラマン散乱スペクトルであり、成膜時のRF電源の電力を100Wとした微結晶珪素膜と、300Wとした微結晶珪素膜とを比較した測定結果である。

40

【0149】

なお、単結晶シリコンの結晶ピーク位置は、 521 cm^{-1} である。なお、アモルファスシリコンは勿論、結晶ピークと言えるものは測定できず、図27(B)に示すように 480 cm^{-1} になだらかな山が測定されるだけである。本明細書の微結晶珪素膜とは、ラマン分光器で測定して 481 cm^{-1} 以上 520 cm^{-1} 以下に結晶ピーク位置を確認できるものを指す。

【0150】

成膜時のRF電源の電力を100Wとした微結晶珪素膜の結晶ピーク位置は、 518.6 cm^{-1} であり、半値幅(FWHM)は、 11.9 cm^{-1} であり、結晶/アモルファスピーク強度比(I_c/I_a)は、4.1である。

50

【 0 1 5 1 】

また、成膜時の R F 電源の電力を 3 0 0 W とした微結晶珪素膜の結晶ピーク位置は、 $5 1 4 . 8 \text{ cm}^{-1}$ であり、半値幅 (F W H M) は、 $1 8 . 7 \text{ cm}^{-1}$ であり、結晶 / アモルファスピーク強度比 (I_c / I_a) は、4 . 4 である。

【 0 1 5 2 】

図 2 7 (A) に示すように、R F 電力によってピークシフトと半値幅に大きな差が出ている。これは、大電力ではイオン衝撃が増加し粒成長が阻害されるため小粒径になる傾向があるためと考えられる。また、図 2 7 (A) の測定に用いた微結晶珪素膜を形成した C V D 装置の電源周波数が 1 3 . 5 6 M H z であるので結晶 / アモルファスピーク強度比 (I_c / I_a) は、4 . 1 または 4 . 4 となっているが、R F 電源周波数が 2 7 M H z であれば、結晶 / アモルファスピーク強度比 (I_c / I_a) を 6 とすることができることも確認している。従って、さらに 2 7 M H z よりも高い R F 電源周波数、例えば、2 . 4 5 G H z の R F 電源周波数とすることでさらに、結晶 / アモルファスピーク強度比 (I_c / I_a) を高めることができる。

10

【 符号の説明 】

【 0 1 5 3 】

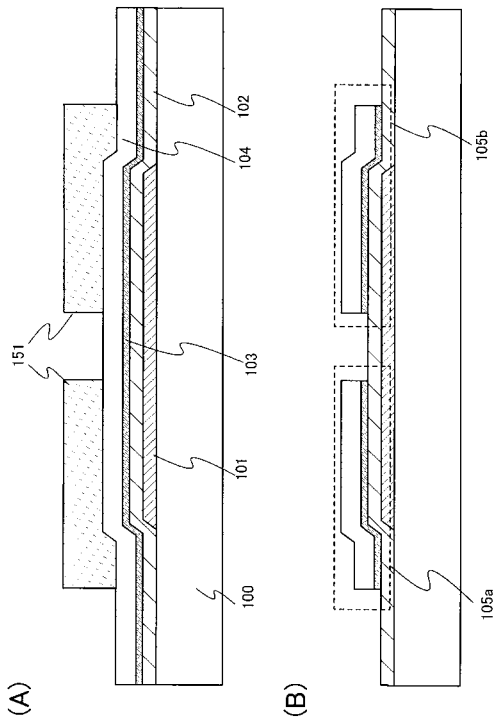
1 0 0	基板	
1 0 1	ゲート電極	
1 0 2	ゲート絶縁膜	
1 0 3	微結晶半導体膜	20
1 0 3	微結晶半導体膜	
1 0 4	バッファ層	
1 0 6	導電性半導体膜	
1 0 7	導電膜	
1 0 9	マルチチャネル T F T	
1 1 0	絶縁膜	
1 1 1	コンタクトホール	
1 1 2	画素電極	
1 5 1	レジスト	
1 5 2	レジスト	30
5 0 1	画素部	
5 0 2	走査線駆動回路	
5 0 3	信号線駆動回路	
5 0 4	シフトレジスタ	
5 0 5	アナログスイッチ	
5 0 6	シフトレジスタ	
5 0 7	バッファ	
6 0 1	走査線	
6 0 2	信号線	
6 0 3	島状半導体膜	40
6 0 4	島状電極	
6 0 5	島状半導体膜	
6 0 6	島状電極	
6 0 7	画素電極	
7 0 1	走査線	
7 0 2	信号線	
7 0 3	島状半導体膜	
7 0 4	島状電極	
7 0 5	島状半導体膜	
7 0 6	島状電極	50

7 0 7	画素電極	
8 0 1	走査線	
8 0 2	信号線	
8 0 3	島状半導体膜	
8 0 4	島状電極	
8 0 5	島状半導体膜	
8 0 6	島状電極	
8 0 7	画素電極	
9 0 0	表示パネル	
9 2 1	画素部	10
9 2 2	信号線駆動回路	
9 2 3	走査線駆動回路	
9 2 4	チューナ	
9 2 5	映像信号増幅回路	
9 2 6	映像信号処理回路	
9 2 7	コントロール回路	
9 2 8	信号分割回路	
9 2 9	音声信号増幅回路	
9 3 0	音声信号処理回路	
9 3 1	制御回路	20
9 3 2	入力部	
9 3 3	スピーカ	
1 0 5 a	島状半導体膜	
1 0 5 b	島状半導体膜	
1 0 8 a	領域	
1 0 8 b	領域	
1 0 8 c	領域	
1 1 0 0	基板	
1 1 0 1	対向基板	
1 1 0 2	ゲート配線	30
1 1 0 3	ゲート配線	
1 1 0 4	容量配線	
1 1 0 5	容量配線	
1 1 0 6	ゲート絶縁膜	
1 1 0 7	画素電極	
1 1 0 9	共通電位線	
1 0 1 0	ロード室	
1 1 1 0	ソース領域	
1 0 1 1	反応室(1)	
1 0 1 2	反応室(2)	40
1 0 1 3	反応室(3)	
1 0 1 5	アンロード室	
1 1 1 5	容量電極	
1 1 1 6	配線	
1 1 1 7	容量配線	
1 1 1 8	配線	
1 1 1 9	配線	
1 0 2 0	共通室	
1 1 2 0	絶縁膜	
1 0 2 1	搬送手段	50

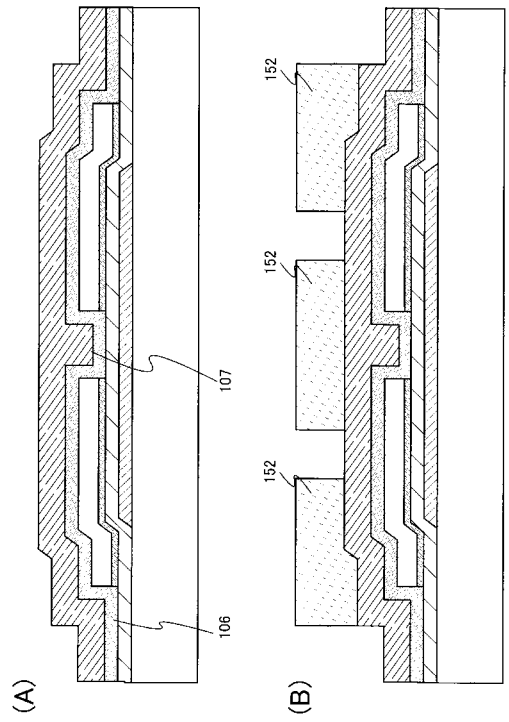
1 0 2 2	ゲートバルブ	
1 1 2 2	絶縁膜	
1 0 2 3	ゲートバルブ	
1 1 2 3	コンタクトホール	
1 0 2 4	ゲートバルブ	
1 1 2 4	画素電極	
1 0 2 5	ゲートバルブ	
1 1 2 5	スリット	
1 0 2 6	ゲートバルブ	
1 1 2 6	画素電極	10
1 1 2 7	コンタクトホール	
1 0 2 8	カセット	
1 1 2 8	マルチチャネル T F T	
1 0 2 9	カセット	
1 1 2 9	マルチチャネル T F T	
1 1 3 0	保持容量部	
1 1 3 1	保持容量部	
1 1 3 2	遮光膜	
1 1 3 3	コンタクトホール	
1 1 3 4	着色膜	20
1 1 3 6	着色膜	
1 1 3 7	平坦化膜	
1 1 3 8	着色膜	
1 1 4 0	対向電極	
1 1 4 1	スリット	
1 1 4 2	スペーサ	
1 1 4 4	突起	
1 1 4 6	配向膜	
1 1 4 8	配向膜	
1 1 5 0	液晶層	30
1 1 5 1	液層素子	
1 1 5 2	液晶素子	
1 2 0 0	共通室	
2 0 0 1	筐体	
2 0 0 2	表示用パネル	
2 0 0 3	主画面	
2 0 0 4	モデム	
2 0 0 5	受信機	
2 0 0 6	リモコン操作機	
2 0 0 7	表示部	40
2 0 0 8	サブ画面	
2 0 0 9	スピーカ一部	
2 3 0 1	携帯電話機	
2 3 0 2	表示部	
2 3 0 3	操作部	
2 4 0 1	本体	
2 4 0 2	表示部	
6 0 1 1	基板	
6 0 1 2	画素部	
6 0 1 3	信号線駆動回路	50

- 6 0 1 4 走査線駆動回路
- 6 0 1 5 F P C
- 6 0 2 1 基板
- 6 0 2 2 画素部
- 6 0 2 3 信号線駆動回路
- 6 0 2 4 走査線駆動回路
- 6 0 2 5 F P C
- 6 0 3 1 基板
- 6 0 3 2 画素部
- 6 0 3 4 走査線駆動回路
- 6 0 3 5 F P C
- 6 0 3 3 a アナログスイッチ
- 6 0 3 3 b シフトレジスタ

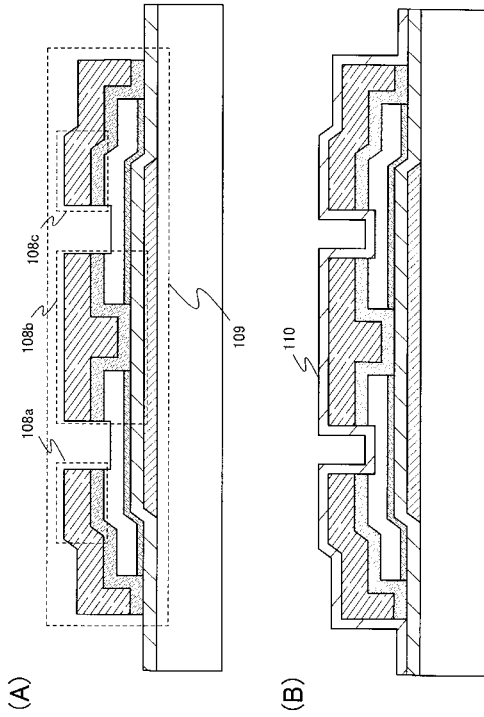
【 図 1 】



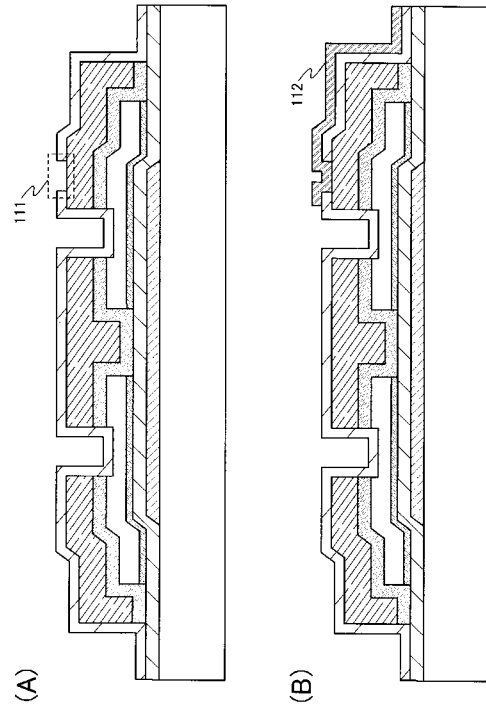
【 図 2 】



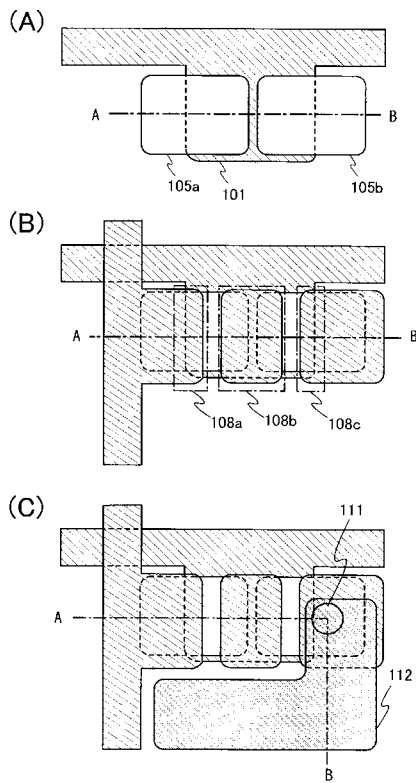
【 図 3 】



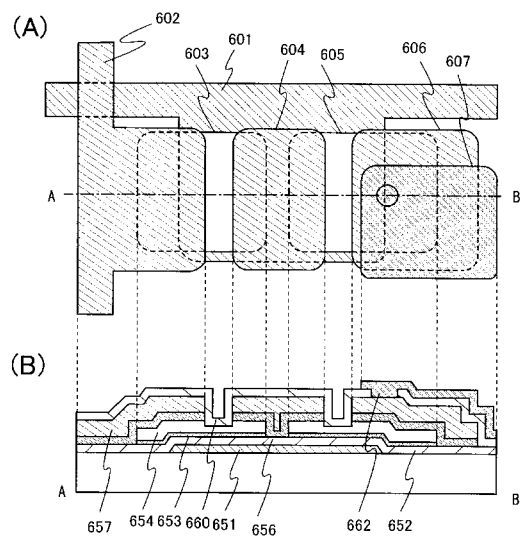
【 図 4 】



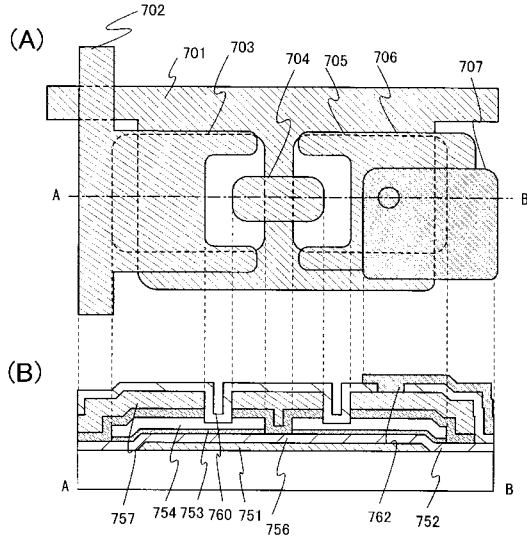
【 図 5 】



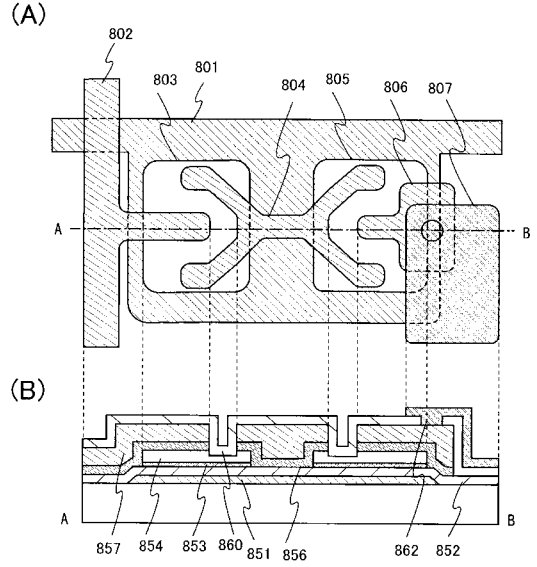
【 図 6 】



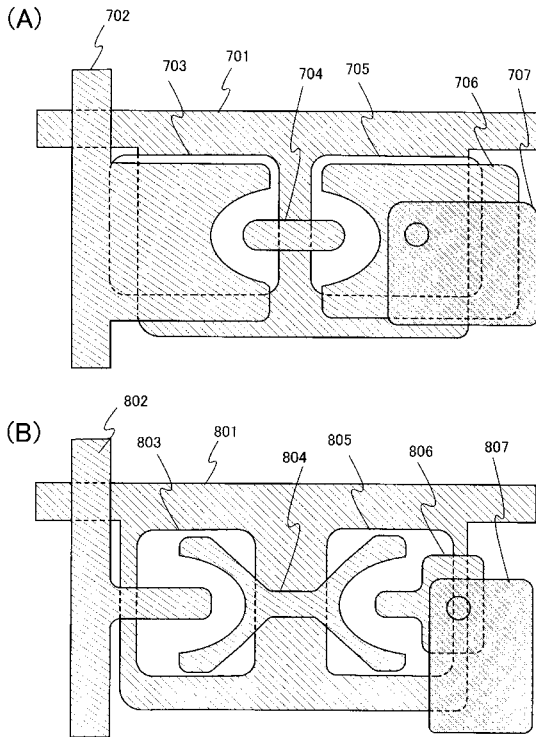
【 図 7 】



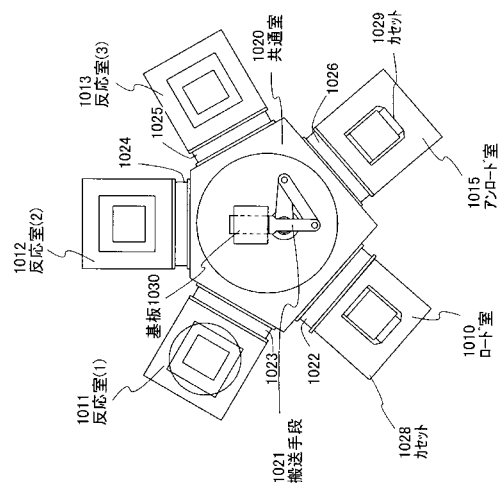
【 図 8 】



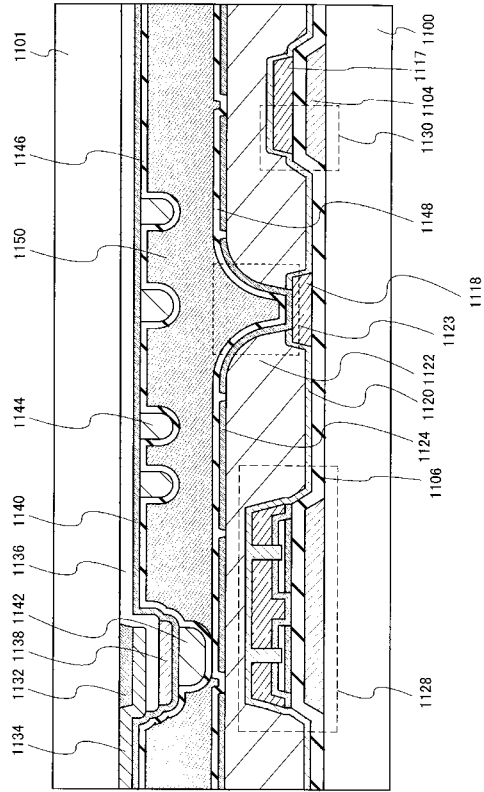
【 図 9 】



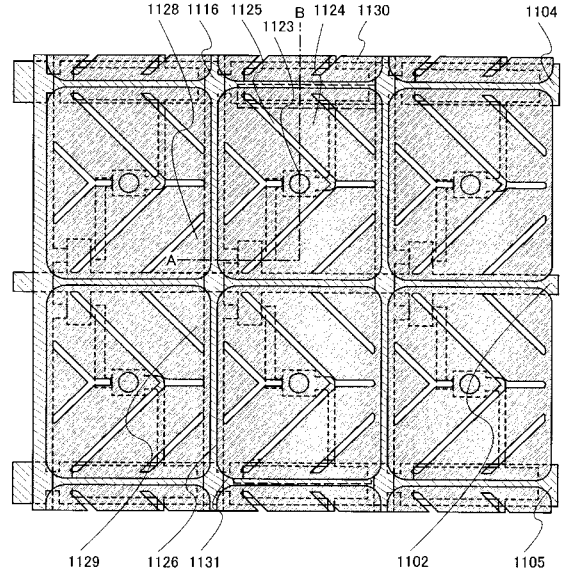
【 図 10 】



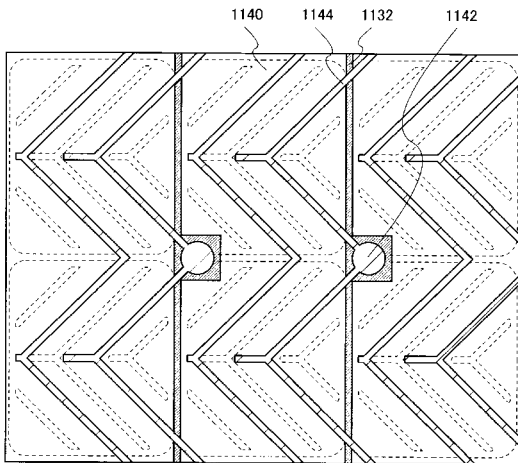
【図 1 1】



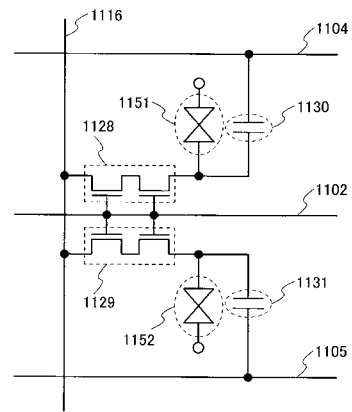
【図 1 2】



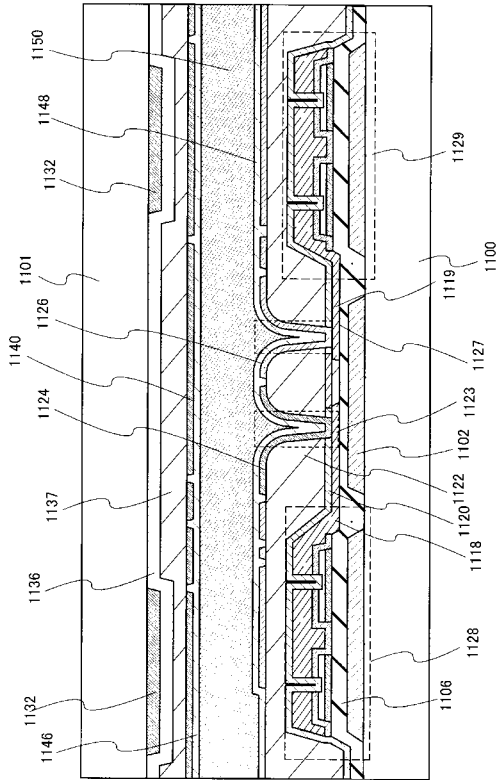
【図 1 3】



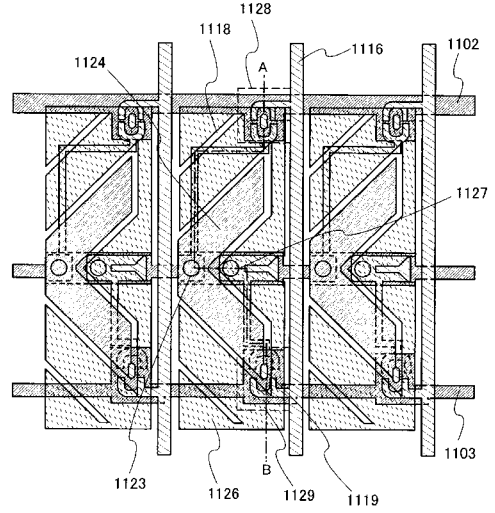
【図 1 4】



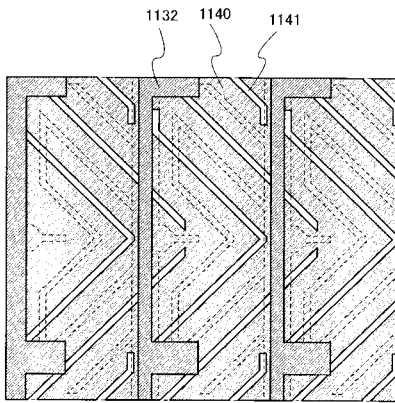
【図 15】



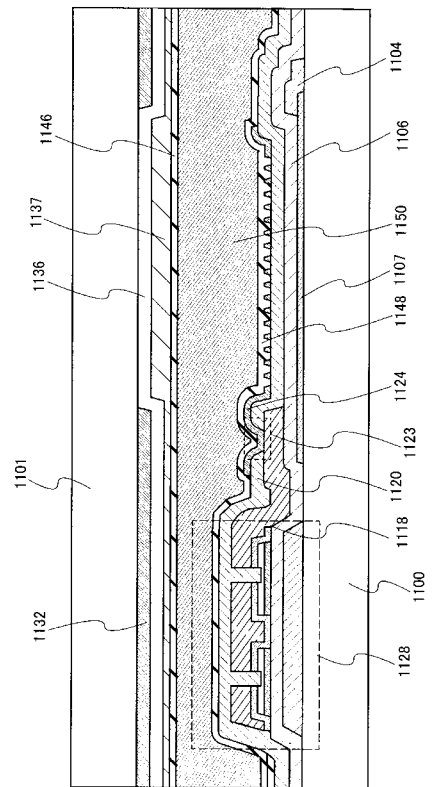
【図 16】



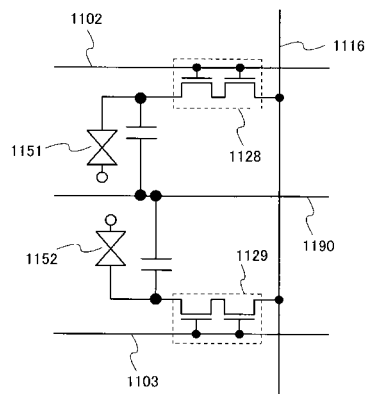
【図 17】



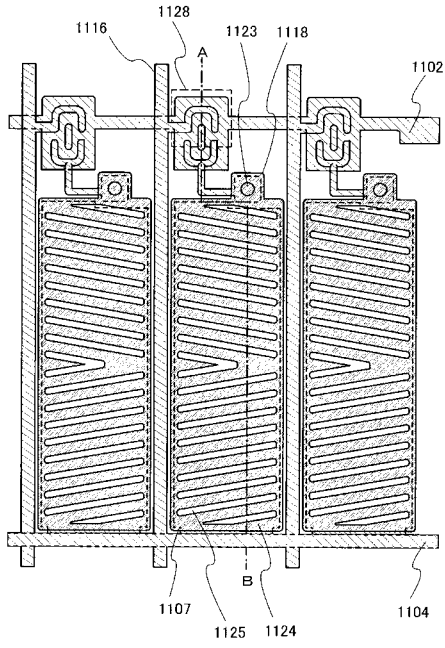
【図 19】



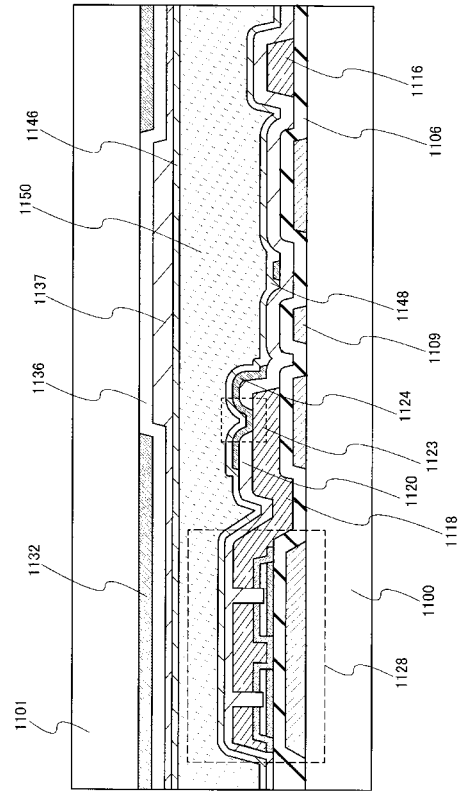
【図 18】



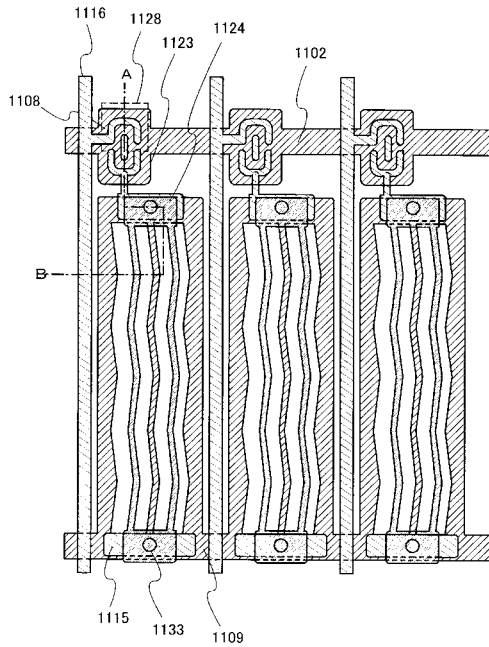
【 図 2 0 】



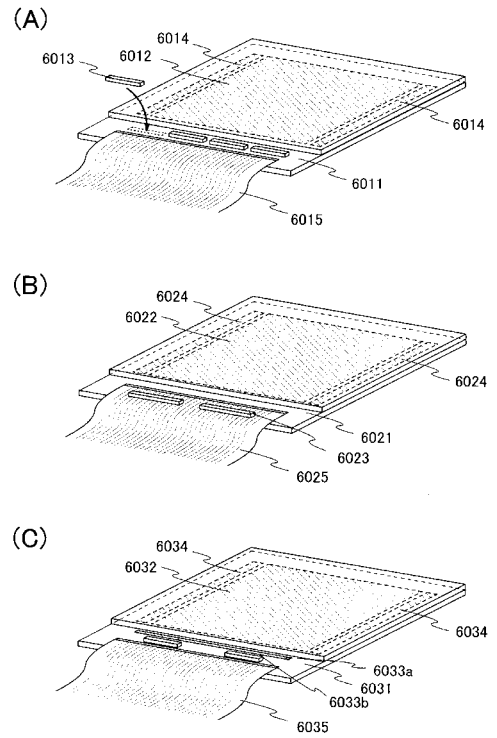
【 図 2 1 】



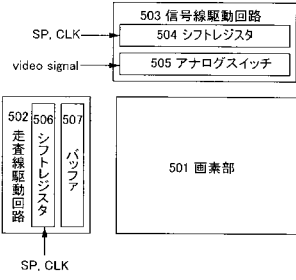
【 図 2 2 】



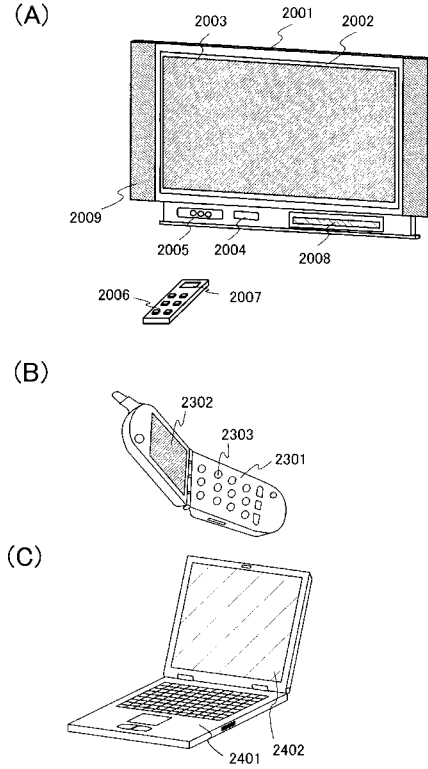
【 図 2 3 】



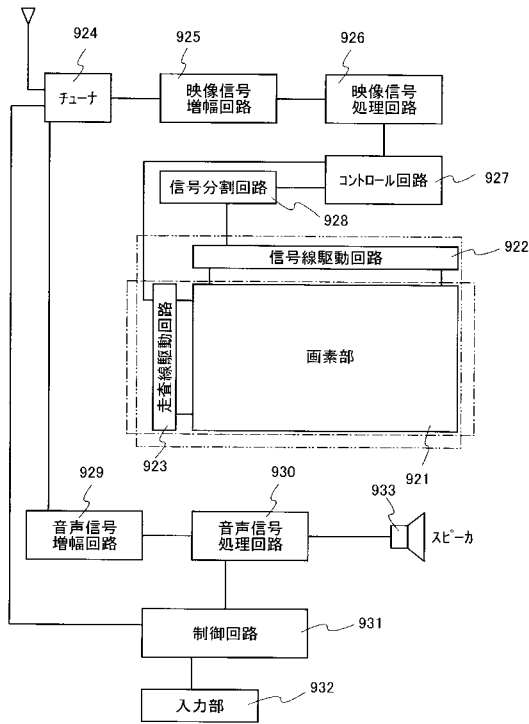
【図24】



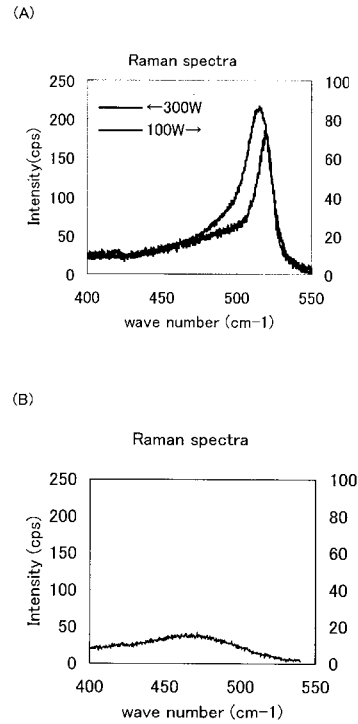
【図25】



【図26】



【図27】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 21/28 3 0 1 A
H 0 1 L 21/28 3 0 1 R

Fターム(参考) 4M104 AA01 AA08 AA09 BB01 BB02 BB04 BB14 BB16 BB17 BB18
BB30 BB31 BB32 BB33 BB40 DD34 DD37 EE05 EE06 EE15
EE16 EE17 FF17 FF18 GG08 HH15
5F110 AA06 BB01 CC07 DD01 DD02 DD03 DD04 EE02 EE03 EE04
EE06 EE14 EE28 EE44 FF02 FF03 FF04 FF05 FF10 FF28
FF29 GG02 GG14 GG15 GG19 GG25 GG35 GG45 HK02 HK03
HK04 HK06 HK09 HK15 HK16 HK22 HK25 HK33 HK35 HK39
NN02 NN24 NN35 PP03 PP06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2014102509A	公开(公告)日	2014-06-05
申请号	JP2013263219	申请日	2013-12-20
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	宫口厚 岡本知広		
发明人	宫口 厚 岡本 知広		
IPC分类号	G02F1/1368 H01L29/786 H01L21/28 G02F1/1343 G02F1/1345 H01L21/336 H01L29/41 H01L29/417		
CPC分类号	G02F1/13624 G02F1/134363 G02F1/1368 G02F2001/134318 H01L27/124 H01L29/04 H01L29/41733 H01L29/66765		
FI分类号	G02F1/1368 H01L29/78.618.C H01L29/78.618.E H01L29/78.616.V H01L29/78.616.U H01L21/28.301.A H01L21/28.301.R		
F-TERM分类号	2H192/AA24 2H192/BA25 2H192/BB02 2H192/BB13 2H192/BB53 2H192/BB73 2H192/BC24 2H192/BC26 2H192/BC31 2H192/CB05 2H192/CB13 2H192/CB34 2H192/CB42 2H192/CB45 2H192/CB54 2H192/CB56 2H192/DA12 2H192/DA43 2H192/EA22 2H192/EA43 2H192/FA73 2H192/FB02 2H192/FB27 2H192/GD14 2H192/GD23 2H192/JA13 2H192/JA32 4M104/AA01 4M104/AA08 4M104/AA09 4M104/BB01 4M104/BB02 4M104/BB04 4M104/BB14 4M104/BB16 4M104/BB17 4M104/BB18 4M104/BB30 4M104/BB31 4M104/BB32 4M104/BB33 4M104/BB40 4M104/DD34 4M104/DD37 4M104/EE05 4M104/EE06 4M104/EE15 4M104/EE16 4M104/EE17 4M104/FF17 4M104/FF18 4M104/GG08 4M104/HH15 5F110/AA06 5F110/BB01 5F110/CC07 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD04 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE28 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF05 5F110/FF10 5F110/FF28 5F110/FF29 5F110/GG02 5F110/GG14 5F110/GG15 5F110/GG19 5F110/GG25 5F110/GG35 5F110/GG45 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK15 5F110/HK16 5F110/HK22 5F110/HK25 5F110/HK33 5F110/HK35 5F110/HK39 5F110/NN02 5F110/NN24 5F110/NN35 5F110/PP03 5F110/PP06		
优先权	2007194844 2007-07-26 JP		
外部链接	Espacenet		

摘要(译)

一种液晶显示装置，其具有电特性优异且截止电流减小的薄膜晶体管，能够抑制成品率的降低，并且能够抑制制造成本的增加。薄膜晶体管包括设置在衬底上的栅电极；栅极绝缘膜，用于覆盖基板和栅电极；第一岛状半导体层和第二岛状半导体层，每个形成为微晶半导体层和在其上表面上具有凹陷的缓冲层的叠层，在栅电极上方，栅极绝缘膜介于其间；导电半导体层；导电层设置在导电半导体层上。导电半导体层设置在第一岛状半导体层和第二岛状半导体层之间，与栅极绝缘膜接触。

