

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-102428

(P2014-102428A)

(43) 公開日 平成26年6月5日(2014. 6. 5)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 621A	5C006
G02F 1/133 (2006.01)	G09G 3/20 631B	5C080
	G09G 3/20 622D	
	G09G 3/20 621M	
審査請求 未請求 請求項の数 6 O L (全 20 頁) 最終頁に続く		

(21) 出願番号	特願2012-255356 (P2012-255356)	(71) 出願人	506087819
(22) 出願日	平成24年11月21日 (2012. 11. 21)		パナソニック液晶ディスプレイ株式会社
			兵庫県姫路市飾磨区妻鹿日田町1-6
		(74) 代理人	100067828
			弁理士 小谷 悦司
		(74) 代理人	100115381
			弁理士 小谷 昌崇
		(74) 代理人	100157808
			弁理士 渡邊 耕平
		(72) 発明者	野崎 秀樹
			大阪府門真市大字門真1006番地 パナソニック株式会社内
		(72) 発明者	川口 聖二
			兵庫県姫路市飾磨区妻鹿日田町1-6 パナソニック液晶ディスプレイ株式会社内
			最終頁に続く

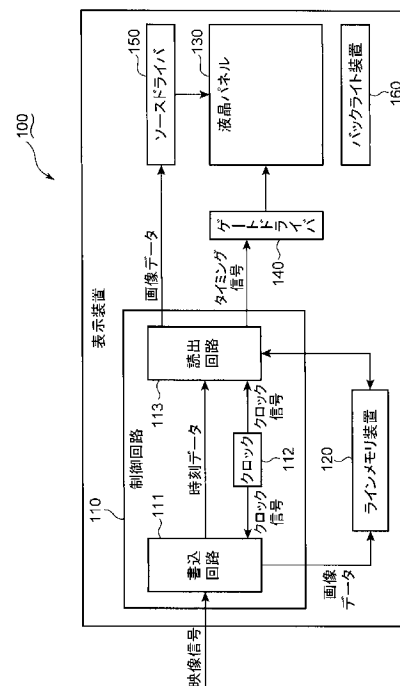
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】画像データの書込不足を簡便に低減させる表示装置を提供する。

【解決手段】本出願は、フレーム画像を表示する表示装置を開示する。表示装置は、複数の画素行を含む表示面を有する液晶パネルと、複数の画素行を駆動する駆動部と、複数の画素行に対応する複数の列データ部を記憶し、画像データを格納する記憶部と、複数の列データ部の書込期間の長さを定め、駆動部を制御する制御部と、を備える。制御部は、複数の列データ部を記憶部に書き込む書込部と、複数の列データ部から選択された第1乃至第3列データ部を読み出す読出部と、を含む。読出部は、第1乃至第3列データ部の読み出しが開始される第1乃至第3読出タイミングを定め、第1読出タイミングと第2読出タイミングとの間の第1時間間隔よりも第2読出タイミングと第3読出タイミングとの間の第2時間間隔を長くする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

映像信号によって規定された画像データにしたがってフレーム画像を表示する表示装置であって、

前記画像データが書き込まれる書込方向に延びる複数の画素行を含む表示面を有する液晶パネルと、

前記複数の画素行を順次駆動する駆動部と、

前記複数の画素行にそれぞれ対応する複数の列データ部を記憶し、前記画像データを格納する記憶部と、

前記複数の列データ部それぞれの書込期間の長さを定め、前記駆動部を制御する制御部と、を備え、

前記制御部は、前記映像信号が規定する書込タイミングで前記複数の列データ部それぞれを前記記憶部に書き込む書込部と、前記複数の列データ部から選択された第 1 列データ部、第 2 列データ部及び第 3 列データ部を読み出す読出部と、を含み、

該読出部は、前記書込タイミングに基づいて、前記第 1 列データ部の読み出しが開始される第 1 読出タイミングと、前記第 2 列データ部の読み出しが開始される第 2 読出タイミングと、前記第 3 列データ部の読み出しが開始される第 3 読出タイミングと、を定め、前記第 1 読出タイミングと前記第 2 読出タイミングとの間の第 1 時間間隔よりも前記第 2 読出タイミングと前記第 3 読出タイミングとの間の第 2 時間間隔を長くすることを特徴とする表示装置。

【請求項 2】

前記複数の画素行は、前記第 1 列データ部に対応する第 1 画素行と、前記第 2 列データ部に対応する第 2 画素行と、前記第 3 列データ部に対応する第 3 画素行と、を含み、

前記駆動部は、前記第 1 読出タイミングに応じて、前記第 1 列データ部を、前記第 1 画素行に書き込み、前記第 2 読出タイミングに応じて、前記第 2 列データ部を前記第 2 画素行に書き込み、前記第 3 読出タイミングに応じて、前記第 3 列データ部を前記第 3 画素行に書き込むことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記液晶パネルは、前記第 1 画素行に沿って延びる第 1 ゲート線と、前記第 2 画素行に沿って延びる第 2 ゲート線と、前記第 3 画素行に沿って延びる第 3 ゲート線と、を含み、

前記駆動部は、前記第 1 読出タイミングに応じて、前記第 1 画素行を駆動するための第 1 駆動信号を前記第 1 ゲート線に出力し、前記第 2 読出タイミングに応じて、前記第 2 画素行を駆動するための第 2 駆動信号を前記第 2 ゲート線に出力し、前記第 3 読出タイミングに応じて、前記第 3 画素行を駆動するための第 3 駆動信号を前記第 3 ゲート線に出力するゲート駆動部を含むことを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記液晶パネルは、前記第 1 ゲート線、前記第 2 ゲート線及び前記第 3 ゲート線にそれぞれ交差する複数のソース線を含み、

前記駆動部は、前記読出部から前記第 1 列データ部、前記第 2 列データ部及び前記第 3 列データ部が入力されるソース駆動部を含み、

該ソース駆動部は、前記第 1 列データ部、前記第 2 列データ部及び前記第 3 列データ部の入力に応じて、前記複数のソース線にソース信号を出力し、前記ゲート駆動部と協働して、前記第 1 画素行、前記第 2 画素行及び前記第 3 画素行を駆動することを特徴とする請求項 3 に記載の表示装置。

【請求項 5】

前記読出部は、前記第 1 列データ部の出力に同期して前記第 1 読出タイミングを通知する第 1 タイミング信号を前記ゲート駆動部に出力し、前記第 2 列データ部の出力に同期して前記第 2 読出タイミングを通知する第 2 タイミング信号を前記ゲート駆動部に出力し、前記第 3 列データ部の出力に同期して前記第 3 読出タイミングを通知する第 3 タイミング信号を前記ゲート駆動部に出力し、

前記ゲート駆動部は、前記第 1 タイミング信号に同期して、前記第 1 駆動信号の出力を開始し、前記第 2 タイミング信号に同期して、前記第 2 駆動信号の出力を開始し、前記第 3 タイミング信号に同期して、前記第 3 駆動信号の出力を開始することを特徴とする請求項 4 に記載の表示装置。

【請求項 6】

前記第 2 ゲート線は、前記第 1 ゲート線よりも前記ソース駆動部から離間し、

前記第 3 ゲート線は、前記第 2 ゲート線よりも前記ソース駆動部から離間していることを特徴とする請求項 4 又は 5 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、液晶を用いて映像を表示する表示装置に関する。

【背景技術】

【0002】

液晶を用いて光を変調し、映像光を生成する技術は、様々な表示装置に用いられている（特許文献 1 参照）。大きな表示面を有する表示装置に対する高いニーズに応じて、表示面の面積を増加させる技術の開発が進められている。

【0003】

液晶を利用した表示装置は、画像データの書込不足という課題を有する。画像データの書込不足の課題は、大型の表示面を有する表示装置に特に顕著に表れる。特許文献 1 は、画像データの書込不足に取り組む様々な技術を開示する。特許文献 1 の開示技術は、画像データの書込に用いられる走査信号のパルス幅を制御し、走査信号の波形の劣化を抑制する。この結果、画像は、大型の表示面を有する表示装置上に適切に描かれる。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2007 - 156080 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

30

特許文献 1 の開示技術は、パルス幅を適切に制御するために複雑な信号処理や、信号処理のために用いられる多数の電子部品を必要とする。また、信号処理に用いられるプログラムや電子部品の設計は、表示面の面積の変更にに応じて、大幅に変更される必要がある。

【0006】

本発明は、画像データの書込不足を簡便に低減させる技術を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の一の局面に係る表示装置は、映像信号によって規定された画像データにしたがってフレーム画像を表示する。表示装置は、前記画像データが書き込まれる書込方向に延びる複数の画素行を含む表示面を有する液晶パネルと、前記複数の画素行を順次駆動する駆動部と、前記複数の画素行にそれぞれ対応する複数の列データ部を記憶し、前記画像データを格納する記憶部と、前記複数の列データ部それぞれの書込期間の長さを定め、前記駆動部を制御する制御部と、を備える。前記制御部は、前記映像信号が規定する書込タイミングで前記複数の列データ部それぞれを前記記憶部に書き込む書込部と、前記複数の列データ部から選択された第 1 列データ部、第 2 列データ部及び第 3 列データ部を読み出す読出部と、を含む。該読出部は、前記書込タイミングに基づいて、前記第 1 列データ部の読み出しが開始される第 1 読出タイミングと、前記第 2 列データ部の読み出しが開始される第 2 読出タイミングと、前記第 3 列データ部の読み出しが開始される第 3 読出タイミングと、を定め、前記第 1 読出タイミングと前記第 2 読出タイミングとの間の第 1 時間間隔

40

50

よりも前記第 2 読出タイミングと前記第 3 読出タイミングとの間の第 2 時間間隔を長くする。

【 0 0 0 8 】

上記構成によれば、駆動部は、複数の画素行を順次駆動し、表示面にフレーム画像を表示する。映像信号によって規定された画像データは、複数の画素行にそれぞれ対応する複数の列データ部として、書込部によって記憶部に書き込まれる。読出部は、書込タイミングに基づいて、第 1 列データ部の読み出しが開始される第 1 読出タイミングと、第 2 列データ部の読み出しが開始される第 2 読出タイミングと、第 3 列データ部の読み出しが開始される第 3 読出タイミングと、を定め、第 1 読出タイミングと第 2 読出タイミングとの間の第 1 時間間隔よりも前記第 2 読出タイミングと第 3 読出タイミングとの間の第 2 時間間隔を長くする。この結果、第 2 列データ部の書き込みのための第 2 時間間隔は、第 1 列データ部の書き込みのための第 1 時間間隔よりも長くなるので、第 2 列データ部を書き込むのに十分に長い時間が確保される。したがって、画像データの書込不足は簡便に低減される。

10

【 0 0 0 9 】

上記構成において、前記複数の画素行は、前記第 1 列データ部に対応する第 1 画素行と、前記第 2 列データ部に対応する第 2 画素行と、前記第 3 列データ部に対応する第 3 画素行と、を含んでもよい。前記駆動部は、前記第 1 読出タイミングに応じて、前記第 1 列データ部を、前記第 1 画素行に書き込み、前記第 2 読出タイミングに応じて、前記第 2 列データ部を前記第 2 画素行に書き込み、前記第 3 読出タイミングに応じて、前記第 3 列データ部を前記第 3 画素行に書き込んでよい。

20

【 0 0 1 0 】

上記構成によれば、駆動部は、第 1 読出タイミングに応じて、第 1 列データ部に対応する第 1 列データ部を、第 1 画素行に書き込む。駆動部は、第 2 読出タイミングに応じて、第 2 列データ部に対応する第 2 列データ部を前記第 2 画素行に書き込む。駆動部は、第 3 読出タイミングに応じて、第 3 列データ部に対応する第 3 列データ部を第 3 画素行に書き込む。第 2 列データ部の書き込みのための第 2 時間間隔は、第 1 列データ部の書き込みのための第 1 時間間隔よりも長くなるので、第 2 画素行へ第 2 列データ部を書き込むのに十分に長い時間が確保される。したがって、画像データの書込不足は簡便に低減される。

【 0 0 1 1 】

30

上記構成において、前記液晶パネルは、前記第 1 画素行に沿って延びる第 1 ゲート線と、前記第 2 画素行に沿って延びる第 2 ゲート線と、前記第 3 画素行に沿って延びる第 3 ゲート線と、を含んでもよい。前記駆動部は、前記第 1 読出タイミングに応じて、前記第 1 画素行を駆動するための第 1 駆動信号を前記第 1 ゲート線に出力し、前記第 2 読出タイミングに応じて、前記第 2 画素行を駆動するための第 2 駆動信号を前記第 2 ゲート線に出力し、前記第 3 読出タイミングに応じて、前記第 3 画素行を駆動するための第 3 駆動信号を前記第 3 ゲート線に出力するゲート駆動部を含んでもよい。

【 0 0 1 2 】

上記構成によれば、ゲート駆動部は、第 1 読出タイミングに応じて、第 1 画素行を駆動するための第 1 駆動信号を第 1 ゲート線に出力する。ゲート駆動部は、第 2 読出タイミングに応じて、第 2 画素行を駆動するための第 2 駆動信号を第 2 ゲート線に出力する。ゲート駆動部は、第 3 読出タイミングに応じて、第 3 画素行を駆動するための第 3 駆動信号を第 3 ゲート線に出力する。第 2 ゲート線に出力された第 2 駆動信号を用いて第 2 列データ部を書き込むための第 2 時間間隔は、第 1 ゲート線に出力された第 1 駆動信号を用いて第 1 列データ部を書き込むための第 1 時間間隔よりも長くなるので、第 2 画素行へ第 2 列データ部を書き込むのに十分に長い時間が確保される。したがって、画像データの書込不足は簡便に低減される。

40

【 0 0 1 3 】

上記構成において、前記液晶パネルは、前記第 1 ゲート線、前記第 2 ゲート線及び前記第 3 ゲート線にそれぞれ交差する複数のソース線を含んでもよい。前記駆動部は、前記読

50

出部から前記第1列データ部、前記第2列データ部及び前記第3列データ部が入力されるソース駆動部を含んでもよい。該ソース駆動部は、前記第1列データ部、前記第2列データ部及び前記第3列データ部の入力に応じて、前記複数のソース線にソース信号を出力し、前記ゲート駆動部と協働して、前記第1画素行、前記第2画素行及び前記第3画素行を駆動してもよい。

【0014】

上記構成によれば、ソース駆動部は、第1列データ部、第2列データ部及び第3列データ部の入力に応じて、第1ゲート線、第2ゲート線及び第3ゲート線にそれぞれ交差する複数のソース線にソース信号を出力するので、第1画素行、第2画素行及び第3画素行は適切に駆動される。したがって、表示装置は、映像信号に応じた映像を適切に表示することができる。

10

【0015】

上記構成において、前記読出部は、前記第1列データ部の出力に同期して前記第1読出タイミングを通知する第1タイミング信号を前記ゲート駆動部に出力し、前記第2列データ部の出力に同期して前記第2読出タイミングを通知する第2タイミング信号を前記ゲート駆動部に出力し、前記第3列データ部の出力に同期して前記第3読出タイミングを通知する第3タイミング信号を前記ゲート駆動部に出力してもよい。前記ゲート駆動部は、前記第1タイミング信号に同期して、前記第1駆動信号の出力を開始し、前記第2タイミング信号に同期して、前記第2駆動信号の出力を開始し、前記第3タイミング信号に同期して、前記第3駆動信号の出力を開始してもよい。

20

【0016】

上記構成によれば、読出部は、第1列データ部の出力に同期して第1読出タイミングを通知する第1タイミング信号をゲート駆動部に出力するので、ゲート駆動部は、第1タイミング信号に同期して、第1駆動信号の出力を開始することができる。読出部は、第2列データ部の出力に同期して第2読出タイミングを通知する第2タイミング信号をゲート駆動部に出力するので、ゲート駆動部は、第2タイミング信号に同期して、第2駆動信号の出力を開始することができる。読出部は、第3列データ部の出力に同期して第3読出タイミングを通知する第3タイミング信号をゲート駆動部に出力するので、ゲート駆動部は、第3タイミング信号に同期して、第3駆動信号の出力を開始することができる。

30

【0017】

上記構成において、前記第2ゲート線は、前記第1ゲート線よりも前記ソース駆動部から離間してもよい。前記第3ゲート線は、前記第2ゲート線よりも前記ソース駆動部から離間してもよい。

【0018】

上記構成によれば、ソース駆動部から離れた画素行に対して、十分に長い書込時間が割り当てられる。

【発明の効果】

【0019】

本発明に係る表示装置は、画像データの書込不足を簡便に低減させることができる。

40

【図面の簡単な説明】

【0020】

【図1】第1実施形態の表示装置の概略的なブロック図である。

【図2】図1に示される表示装置へ入力される映像信号の概念図である。

【図3】図2に示される映像信号の概念図である。

【図4】図1に示される表示装置の書込回路による映像信号に対する処理の概念図である。

【図5】図4に示される書込回路による画像データの書込処理の概念図である。

【図6】図1に示される表示装置の液晶パネルの概略図である。

【図7】画像データと画素行との関係を表す概念図である。

【図8】図1に示される表示装置の読出回路が行う信号処理を概念的に表すタイミングチ

50

ャートである。

【図 9】図 6 に示される液晶パネルへの信号出力の概念図である。

【図 10】第 2 実施形態の表示装置の概略的なブロック図である。

【図 11】図 10 に示される表示装置の液晶パネルの概略図である。

【図 12】図 10 に示される表示装置の読出回路による信号処理を表す概略的なフローチャートである。

【図 13】図 11 に示される液晶パネルの画素行に対する書込処理を概念的に表すタイミングチャートである。

【発明を実施するための形態】

【0021】

10

以下、例示的な表示装置が図面を参照して説明される。尚、以下に説明される実施形態において、同様の構成要素に対して同様の符号が付されている。また、説明の明瞭化のため、必要に応じて、重複する説明は省略される。図面に示される構成、配置或いは形状並びに図面に関連する記載は、単に本実施形態の原理を容易に理解させることを目的とする。したがって、本実施形態の原理は、これらに何ら限定されない。

【0022】

< 第 1 実施形態 >

図 1 は、第 1 実施形態の表示装置 100 の概略的なブロック図である。図 1 を参照して、表示装置 100 が説明される。

【0023】

20

表示装置 100 は、制御回路 110 と、ラインメモリ装置 120 と、液晶パネル 130 と、ゲートドライバ 140 と、ソースドライバ 150 と、バックライト装置 160 と、を備える。映像信号は、制御回路 110 に入力される。制御回路 110 及びラインメモリ装置 120 は、協働して、映像信号から画像データを生成する。ゲートドライバ 140 及びソースドライバ 150 は、映像信号によって規定された画像データに応じて、液晶パネル 130 を協働して駆動する。バックライト装置 160 は、液晶パネル 130 に向けて光を照射する。ゲートドライバ 140 とソースドライバ 150 とによって駆動された液晶パネル 130 は、バックライト装置 160 からの光を変調し、映像光を作り出す。この結果、表示装置 100 は、映像を表示することができる。

【0024】

30

図 2 は、映像信号の概念図である。図 1 及び図 2 を参照して、表示装置 100 が更に説明される。

【0025】

図 1 に示される如く、制御回路 110 は、書込回路 111 と、クロック 112 と、読出回路 113 と、を含む。映像信号は、書込回路 111 に入力される。

【0026】

図 2 に示される如く、映像信号は、書込回路 111 に略一定間隔で入力される垂直同期信号 VS と、画像データを規定するデータ信号 DS と、多数の水平同期信号 HS と、を含む。一对の垂直同期信号 VS の間において、水平同期信号 HS も、書込回路 111 に略一定間隔で入力される。液晶パネル 130 は、一对の垂直同期信号 VS の間に含まれるデータ信号 DS に基づいて生成された画像データを用いて、フレーム画像を表示することができる。

40

【0027】

図 1 に示される如く、クロック 112 は、書込回路 111 にクロック信号を出力する。書込回路 111 は、クロック信号を参照し、垂直同期信号 VS の受信時刻及び水平同期信号 HS の受信時刻に関する時刻データを生成する。時刻データは、書込回路 111 から読出回路 113 へ出力される。クロック 112 は、クロック信号を読出回路 113 にも出力する。読出回路 113 は、時刻データ及びクロック信号を参照し、ゲートドライバ 140 及びソースドライバ 150 の駆動タイミングを調整する。

【0028】

50

図 3 は、映像信号の概念図である。図 1 及び図 3 を参照して、書込回路 111 による映像信号に対する処理が説明される。

【0029】

図 3 には、書込回路 111 に先に入力される垂直同期信号 $VS(P)$ 並びに垂直同期信号 $VS(P)$ の次に書込回路 111 に入力される垂直同期信号 $VS(S)$ が示されている。垂直同期信号 $VS(P)$ 、 $VS(S)$ の間には、4 つの水平同期信号 $HS(3n-2)$ 、 $HS(3n-1)$ 、 $HS(3n)$ 、 $HS(3n+1)$ が示されている (n は、自然数)。水平同期信号 $HS(3n-2)$ は、垂直同期信号 $VS(P)$ の受信から「 $3n-2$ 」番目に書込回路 111 に入力される水平同期信号である。水平同期信号 $HS(3n-1)$ は、垂直同期信号 $VS(P)$ の受信から「 $3n-1$ 」番目に書込回路 111 に入力される水平同期信号である。水平同期信号 $HS(3n)$ は、垂直同期信号 $VS(P)$ の受信から「 $3n$ 」番目に書込回路 111 に入力される水平同期信号である。水平同期信号 $HS(3n+1)$ は、垂直同期信号 $VS(P)$ の受信から「 $3n+1$ 」番目に書込回路 111 に入力される水平同期信号である。

【0030】

上述の如く、書込回路 111 は、クロック 112 からのクロック信号を参照し、垂直同期信号 $VS(P)$ の受信時刻 $RT(P)$ と、水平同期信号 $HS(3n-2)$ の受信時刻 $RT(3n-2)$ と、水平同期信号 $HS(3n-1)$ の受信時刻 $RT(3n-1)$ と、水平同期信号 $HS(3n)$ の受信時刻 $RT(3n)$ と、水平同期信号 $HS(3n+1)$ の受信時刻 $RT(3n+1)$ と、垂直同期信号 $VS(S)$ の受信時刻 $RT(S)$ と、を見出す。

【0031】

図 4 は、書込回路 111 による映像信号に対する処理の概念図である。図 1 及び図 4 を参照して、書込回路 111 における信号処理が説明される。

【0032】

図 4 には、水平同期信号 $HS(3n-2)$ 乃至 $HS(3n+1)$ が示されている。書込回路 111 は、受信時刻 $RT(3n-2)$ から受信時刻 $RT(3n-1)$ までの間に受信されたデータ信号 DS を 1 つのグループとして取り扱い、画像データ $ID(3n-2)$ を生成する。書込回路 111 は、受信時刻 $RT(3n-1)$ から受信時刻 $RT(3n)$ までの間に受信されたデータ信号 DS を 1 つのグループとして取り扱い、画像データ $ID(3n-1)$ を生成する。書込回路 111 は、受信時刻 $RT(3n)$ から受信時刻 $RT(3n+1)$ までの間に受信されたデータ信号 DS を 1 つのグループとして取り扱い、画像データ $ID(3n)$ を生成する。図 1 に示される如く、書込回路 111 は、画像データ $ID(3n-2)$ 、 $ID(3n-1)$ 、 $ID(3n)$ をラインメモリ装置 120 へ出力する。

【0033】

図 5 は、書込回路 111 からラインメモリ装置 120 への画像データの書込処理の概念図である。図 5 を参照して、画像データの書込処理が説明される。

【0034】

書込回路 111 は、画像データ $ID(3n-2)$ 、 $ID(3n-1)$ 、 $ID(3n)$ をラインメモリ装置 120 へ順次出力する。ラインメモリ装置 120 は、画像データ $ID(3n-2)$ 、 $ID(3n-1)$ 、 $ID(3n)$ を順次格納する。本実施形態において、ラインメモリ装置 120 は、記憶部として例示される。

【0035】

ラインメモリ装置 120 は、第 1 ラインメモリ 121 と、第 2 ラインメモリ 122 と、第 3 ラインメモリ 123 と、を含む。書込回路 111 は、画像データ $ID(3n-2)$ を第 1 ラインメモリ 121 に書き込む。書込回路 111 は、画像データ $ID(3n-1)$ を第 2 ラインメモリ 122 に書き込む。書込回路 111 は、画像データ $ID(3n)$ を第 3 ラインメモリ 123 に書き込む。本実施形態において、画像データ $ID(3n-2)$ 、 $ID(3n-1)$ 、 $ID(3n)$ は、複数の列データ部として例示される。

【0036】

図 6 は、液晶パネル 130 の概略図である。図 1 及び図 6 を参照して、液晶パネル 13

10

20

30

40

50

0 が説明される。

【 0 0 3 7 】

液晶パネル 1 3 0 は、水平方向に延びる多数のゲート線と、垂直方向に延びる多数のソース線と、ゲート線とソース線との交点に形成された多数の画素 P と、を含む。ゲート線は、所定間隔で、垂直方向に整列される。ソース線は、所定間隔で、水平方向に整列される。したがって、画素 P は、行列状に配列され、略矩形の表示面を形成する。映像は、表示面上に映し出される。以下の説明において、水平方向に整列した画素のグループは、「画素行」と称される。

【 0 0 3 8 】

図 6 には、表示面の最も上方に形成される画素行 $GL(1)$ 並びに表示面の最も下方に形成される画素行 $GL(N)$ が示されている (N は、2 以上の自然数)。画素行 $GL(1)$ は、ソースドライバ 1 5 0 に対して、最も短い配線距離を有する。画素行 $GL(N)$ は、ソースドライバ 1 5 0 に対して、最も長い配線距離を有する。最も左側のソース線に接続された画素 P は、ゲートドライバ 1 4 0 に対して、最も短い配線距離を有する。最も右側のソース線に接続された画素 P は、ゲートドライバ 1 4 0 に対して、最も長い配線距離を有する。したがって、制御回路 1 1 0 とラインメモリ装置 1 2 0 とによって生成された画像データは、左から右へ書き込まれる。画素行 $GL(1)$ 乃至 $GL(N)$ は、画像データが書き込まれる書込方向に延びる。ゲートドライバ 1 4 0 及びソースドライバ 1 5 0 は、画素行 $GL(1)$ 乃至 $GL(N)$ を順次駆動する。画素行 $GL(1)$ には、フレーム画像の表示のために、画像データが最も早く書き込まれる。画素行 $GL(N)$ には、フレーム画像の表示のために、画像データが最も遅く書き込まれる。本実施形態において、ゲートドライバ 1 4 0 及びソースドライバ 1 5 0 は、駆動部として例示される。

【 0 0 3 9 】

図 7 は、画像データと画素行との関係を表す概念図である。図 1、図 6 及び図 7 を参照して、画像データと画素行との関係が説明される。

【 0 0 4 0 】

図 7 には、上述の画像データ $ID(3n-2)$ 乃至 $ID(3n)$ が示されている。図 7 は、3 つの画素行 $GL(3n-2)$ 乃至 $GL(3n)$ を更に示す (図 6 に示される「 N 」は、「 $3n$ 」以下の自然数である)。画素行 $GL(3n-1)$ は、画素行 $GL(3n-2)$ 及び $GL(3n)$ に隣接する。画素行 $GL(3n-1)$ の上の画素行 $GL(3n-2)$ は、図 7 に示される画素行 $GL(3n-2)$ 乃至 $GL(3n)$ のうちソースドライバ 1 5 0 の最も近くに存する (即ち、ソースドライバ 1 5 0 からの配線距離が最も短い)。画素行 $GL(3n-1)$ の下の画素行 $GL(3n)$ は、図 7 に示される画素行 $GL(3n-2)$ 乃至 $GL(3n)$ のうちソースドライバ 1 5 0 から最も遠くに存する (即ち、ソースドライバ 1 5 0 からの配線距離が最も長い)。

【 0 0 4 1 】

画像データ $ID(3n-2)$ は、画素行 $GL(3n-2)$ に書き込まれる。画像データ $ID(3n-1)$ は、画素行 $GL(3n-1)$ に書き込まれる。画像データ $ID(3n)$ は、画素行 $GL(3n)$ に書き込まれる。このように、1 フレーム画像を表示するために書込回路 1 1 1 が生成する画像データは、液晶パネル 1 3 0 の表示面を形成する画素行にそれぞれ対応する。

【 0 0 4 2 】

図 8 は、読出回路 1 1 3 が行う信号処理を概念的に表すタイミングチャートである。図 1、図 7 及び図 8 を参照して、読出回路 1 1 3 の信号処理が説明される。

【 0 0 4 3 】

図 8 に示される如く、書込回路 1 1 1 は、受信時刻 $RT(3n-2)$ から、ラインメモリ装置 1 2 0 への画像データ $ID(3n-2)$ の書込処理を開始する。その後、書込回路 1 1 1 は、受信時刻 $RT(3n-1)$ から、ラインメモリ装置 1 2 0 への画像データ $ID(3n-1)$ の書込処理を開始する。更にその後、書込回路 1 1 1 は、受信時刻 $RT(3n)$ から、ラインメモリ装置 1 2 0 への画像データ $ID(3n)$ の書込処理を開始する。

本実施形態において、書込回路 111 は、書込部として例示される。

【0044】

図 1 に示される如く、書込回路 111 は、時刻データを読出回路 113 へ出力する。したがって、読出回路 113 は、受信時刻 $RT(3n-2)$ 乃至 $RT(3n)$ に関する時刻データを取得することができる。クロック 112 は、読出回路 113 へクロック信号を出力する。読出回路 113 は、クロック信号を用いて、受信時刻 $RT(3n-2)$ 乃至 $RT(3n)$ からの遅延期間 $DP(3n-2)$ 乃至 $DP(3n)$ をそれぞれ定める。

【0045】

読出回路 113 は、受信時刻 $RT(3n-2)$ からの遅延期間 $DP(3n-2)$ よりも長い遅延期間 $DP(3n-1)$ を決定する。また、読出回路 113 は、受信時刻 $RT(3n-1)$ からの遅延期間 $DP(3n-1)$ よりも長い遅延期間 $DP(3n)$ を決定する。尚、読出回路 113 は、遅延期間 $DP(3n)$ と遅延期間 $DP(3n-1)$ との差分期間長が、遅延期間 $DP(3n-1)$ と遅延期間 $DP(3n-2)$ との差分期間長より長くなるように遅延期間 $DP(3n-2)$ 、 $DP(3n-1)$ 、 $DP(3n)$ を設定する。

【0046】

図 8 には、受信時刻 $RT(3n-2)$ から遅延期間 $DP(3n-2)$ だけ遅れた時刻 $DT(3n-2)$ 、受信時刻 $RT(3n-1)$ から遅延期間 $DP(3n-1)$ だけ遅れた時刻 $DT(3n-1)$ 並びに受信時刻 $RT(3n)$ から遅延期間 $DP(3n)$ だけ遅れた時刻 $DT(3n)$ が示されている。時刻 $DT(3n-2)$ から時刻 $DT(3n-1)$ までの期間は、画像データ $ID(3n-2)$ の読み出し及び書き込みのために割り当てられる。時刻 $DT(3n-1)$ から時刻 $DT(3n)$ までの期間は、画像データ $ID(3n-1)$ の読み出し及び書き込みのために割り当てられる。したがって、読出回路 113 は、画像データ $ID(3n-1)$ に対して、画像データ $ID(3n-2)$ よりも長い処理期間を定めることができる。本実施形態において、時刻 $DT(3n-2)$ から時刻 $DT(3n-1)$ までの期間は、第 1 時間間隔として例示される。時刻 $DT(3n-1)$ から時刻 $DT(3n)$ までの期間は、第 2 時間間隔として例示される。

【0047】

読出回路 113 は、時刻 $DT(3n-2)$ において、ラインメモリ装置 120 に格納された画像データから、画像データ $ID(3n-2)$ を選択的に読み出す。読出回路 113 は、時刻 $DT(3n-1)$ において、ラインメモリ装置 120 に格納された画像データから、画像データ $ID(3n-1)$ を選択的に読み出す。読出回路 113 は、時刻 $DT(3n)$ において、ラインメモリ装置 120 に格納された画像データから、画像データ $ID(3n)$ を選択的に読み出す。本実施形態において、読出回路 113 は、読出部として例示される。画像データ $ID(3n-2)$ は、第 1 列データ部として例示される。画像データ $ID(3n-1)$ は、第 2 列データ部として例示される。画像データ $ID(3n)$ は、第 3 列データ部として例示される。時刻 $DT(3n-2)$ は、第 1 読出タイミングとして例示される。時刻 $DT(3n-1)$ は、第 2 読出タイミングとして例示される。時刻 $DT(3n)$ は、第 3 読出タイミングとして例示される。

【0048】

図 1 に示される如く、読出回路 113 は、ゲートドライバ 140 にタイミング信号を出力する。ゲートドライバ 140 による各画素行への書込動作の開始は、タイミング信号に基づき制御される。例えば、読出回路 113 は、時刻 $DT(3n-2)$ において、画素行 $GL(3n-2)$ へ画像データ $ID(3n-2)$ の書込処理を開始することをゲートドライバ 140 に通知するタイミング信号を出力する。読出回路 113 は、時刻 $DT(3n-1)$ において、画素行 $GL(3n-1)$ へ画像データ $ID(3n-1)$ の書込処理を開始することをゲートドライバ 140 に通知するタイミング信号を出力する。読出回路 113 は、時刻 $DT(3n)$ において、画素行 $GL(3n)$ へ画像データ $ID(3n)$ の書込処理を開始することをゲートドライバ 140 に通知するタイミング信号を出力する。

【0049】

図 1 に示される如く、読出回路 113 は、ソースドライバ 150 に画像データを出力す

る。ソースドライバ 150 は、画像データに基づき制御される。例えば、読出回路 113 は、時刻 $DT(3n-2)$ から時刻 $DT(3n-1)$ の期間に、ラインメモリ装置 120 から読み出された画像データ $ID(3n-2)$ をソースドライバ 150 に出力する。読出回路 113 は、時刻 $DT(3n-1)$ から時刻 $DT(3n)$ の期間に、ラインメモリ装置 120 から読み出された画像データ $ID(3n-1)$ をソースドライバ 150 に出力する。本実施形態において、制御回路 110 は、制御部として例示される。

【0050】

図 9 は、液晶パネル 130 への信号出力の概念図である。図 1、図 7 乃至図 9 を参照して、液晶パネル 130 への信号出力が説明される。

【0051】

図 9 には、複数のゲート線として、ゲート線 $GW(3n-2)$ 、ゲート線 $GW(3n-1)$ 並びにゲート線 $GW(3n)$ が示される。ゲート線 $GW(3n-2)$ は、図 7 を参照して説明された画素行 $GL(3n-2)$ に沿って延びる。ゲート線 $GW(3n-1)$ は、図 7 を参照して説明された画素行 $GL(3n-1)$ に沿って延びる。ゲート線 $GW(3n)$ は、図 7 を参照して説明された画素行 $GL(3n)$ に沿って延びる。本実施形態において、ゲート線 $GW(3n-2)$ は、第 1 ゲート線として例示される。ゲート線 $GW(3n-1)$ は、第 2 ゲート線として例示される。ゲート線 $GW(3n)$ は、第 3 ゲート線として例示される。

【0052】

複数のソース線は、ゲート線 $GW(3n-2)$ 、 $GW(3n-1)$ 、 $GW(3n)$ にそれぞれ略直交する。ゲート線 $GW(3n-2)$ は、ゲート線 $GW(3n-1)$ よりもソースドライバ 150 から離間している。ゲート線 $GW(3n)$ は、ゲート線 $GW(3n-1)$ よりもソースドライバ 150 から離間している。

【0053】

ゲートドライバ 140 は、複数のゲート線を通じて、液晶パネル 130 に電氣的に接続される。ソースドライバ 150 は、複数のソース線を通じて、液晶パネル 130 に電氣的に接続される。

【0054】

上述の如く、読出回路 113 は、時刻 $DT(3n-2)$ において、ゲートドライバ 140 にタイミング信号を出力し、画素行 $GL(3n-2)$ へ画像データ $ID(3n-2)$ の書込処理を開始することを通知する。ゲートドライバ 140 は、時刻 $DT(3n-2)$ において入力されたタイミング信号に応じて、ゲート線 $GW(3n-2)$ にゲート信号を出力する。読出回路 113 は、時刻 $DT(3n-2)$ から時刻 $DT(3n-1)$ の期間に、ラインメモリ装置 120 から読み出された画像データ $ID(3n-2)$ をソースドライバ 150 に出力する。ソースドライバ 150 は、時刻 $DT(3n-2)$ から時刻 $DT(3n-1)$ の期間に入力された画像データ $ID(3n-2)$ に応じて、ソース信号を最も左方のソース線から最も右のソース線へ順次出力する。この結果、時刻 $DT(3n-2)$ から、画素行 $GL(3n-2)$ が駆動され、画素行 $GL(3n-2)$ への画像データ $ID(3n-2)$ の書込が開始される。本実施形態において、時刻 $DT(3n-2)$ において読出回路 113 からゲートドライバ 140 に出力されるタイミング信号は第 1 タイミング信号として例示される。時刻 $DT(3n-2)$ においてゲートドライバ 140 から出力されたゲート信号は、第 1 駆動信号として例示される。

【0055】

上述の如く、読出回路 113 は、時刻 $DT(3n-1)$ において、ゲートドライバ 140 にタイミング信号を出力し、画素行 $GL(3n-1)$ へ画像データ $ID(3n-1)$ の書込処理を開始することを通知する。ゲートドライバ 140 は、時刻 $DT(3n-1)$ において入力されたタイミング信号に応じて、ゲート線 $GW(3n-1)$ にゲート信号を出力する。読出回路 113 は、時刻 $DT(3n-1)$ から時刻 $DT(3n)$ の期間に、ラインメモリ装置 120 から読み出された画像データ $ID(3n-1)$ をソースドライバ 150 に出力する。ソースドライバ 150 は、時刻 $DT(3n-1)$ から時刻 $DT(3n)$ の

10

20

30

40

50

期間に入力された画像データ $ID(3n-1)$ に応じて、ソース信号を最も左方のソース線から最も右のソース線へ順次出力する。この結果、時刻 $DT(3n-1)$ から、画素行 $GL(3n-1)$ が駆動され、画素行 $GL(3n-1)$ への画像データ $ID(3n-1)$ の書込が開始される。本実施形態において、時刻 $DT(3n-1)$ において読出回路 113 からゲートドライバ 140 に出力されるタイミング信号は第 2 タイミング信号として例示される。時刻 $DT(3n-1)$ においてゲートドライバ 140 から出力されたゲート信号は、第 2 駆動信号として例示される。

【0056】

上述の如く、読出回路 113 は、時刻 $DT(3n)$ において、ゲートドライバ 140 にタイミング信号を出力し、画素行 $GL(3n)$ へ画像データ $ID(3n)$ の書込処理を開始することを通知する。ゲートドライバ 140 は、時刻 $DT(3n)$ において入力されたタイミング信号に応じて、ゲート線 $GW(3n)$ にゲート信号を出力する。読出回路 113 は、時刻 $DT(3n)$ 以降に、ラインメモリ装置 120 から読み出された画像データ $ID(3n)$ をソースドライバ 150 に出力する。ソースドライバ 150 は、時刻 $DT(3n)$ 以降に入力された画像データ $ID(3n)$ に応じて、ソース信号を最も左方のソース線から最も右のソース線へ順次出力する。この結果、時刻 $DT(3n)$ から、画素行 $GL(3n)$ が駆動され、画素行 $GL(3n)$ への画像データ $ID(3n)$ の書込が開始される。本実施形態において、時刻 $DT(3n)$ において読出回路 113 からゲートドライバ 140 に出力されるタイミング信号は第 3 タイミング信号として例示される。時刻 $DT(3n)$ においてゲートドライバ 140 から出力されたゲート信号は、第 3 駆動信号として例示される。

【0057】

本実施形態の原理によれば、画像データが遅いタイミングで書き込まれる画素行に対して、長い書込期間が割り当てられる。したがって、画像データの書込不足は、生じにくくなる。

【0058】

本実施形態において、画素行に対応したラインメモリが用意される。ラインメモリ装置が複数のラインメモリを備えるので、ラインメモリに記憶された画像データの読出タイミングは好適に遅延される。ラインメモリ装置が有するラインメモリの数の増大は、設定可能な遅延量の延長に帰結する。したがって、本実施形態の原理によれば、ラインメモリの数の増大に応じて、所望の長さの書込期間が画素行それぞれに割り当てられることとなる。

【0059】

本実施形態の書込期間を延長するための原理は、映像が表示される全ての画素行に対して適用されてもよい。

【0060】

< 第 2 実施形態 >

図 10 は、第 2 実施形態の表示装置 100A の概略的なブロック図である。図 10 を参照して、表示装置 100A が説明される。尚、第 1 実施形態と共通する要素に対して、第 1 実施形態の要素と同一の符号が付されている。共通の要素に対して、第 1 実施形態の説明が援用される。

【0061】

表示装置 100A は、第 1 実施形態に関連して説明されたラインメモリ装置 120、液晶パネル 130、ゲートドライバ 140、ソースドライバ 150 及びバックライト装置 160 に加えて、制御回路 110A を備える。制御回路 110A は、第 1 実施形態に関連して説明された書込回路 111 及びクロック 112 に加えて、読出回路 113A を含む。

【0062】

図 11 は、液晶パネル 130 の概略図である。図 11 を参照して、液晶パネル 130 が説明される。

【0063】

10

20

30

40

50

図 1 1 には、液晶パネル 1 3 0 の表示面上で概念的に定められた境界線 B L が示されている。境界線 B L は、画素行 G L (1)、G L (N) の間に設定される。図 1 1 は、第 1 実施形態に関連して説明された画素行 G L (1)、G L (N) に加えて、画素行 G L (3 p - 2)、G L (3 p - 1)、G L (3 p) を示す。境界線 B L は、画素行 G L (3 p - 2)、G L (3 p - 1) の間を水平に横切る。画素行 G L (3 p - 2) は、境界線 B L の上に存する。画素行 G L (3 p - 1) は、境界線 B L の下に存する。画素行 G L (3 p) は、画素行 G L (3 p - 1) の下に存する。画素行 G L (3 p - 1) は、画素行 G L (3 p - 2)、G L (3 p) に隣接する。尚、「p」は、境界線 B L の位置に応じて定められる自然数である。

【 0 0 6 4 】

10

図 1 2 は、読出回路 1 1 3 A による信号処理を表す概略的なフローチャートである。図 1 0 乃至図 1 2 を参照して、読出回路 1 1 3 A の信号処理が説明される。

【 0 0 6 5 】

(ステップ S 1 0 5)

読出回路 1 1 3 A は、ステップ S 1 0 5 から信号処理を開始する。読出回路 1 1 3 A は、画素行 G L (1) に対する書込処理を開始する。その後、読出回路 1 1 3 A は、以下に説明される様々な処理を通じて、下方の画素行への書込処理を実行する。

【 0 0 6 6 】

読出回路 1 1 3 A は、処理された画素行の数をカウントするカウント機能を有する。ステップ S 1 0 5 において、読出回路 1 1 3 A は、カウント値「n」を「1」に設定する。その後、ステップ S 1 1 0 が実行される。

20

【 0 0 6 7 】

(ステップ S 1 1 0)

ステップ S 1 1 0 において、遅延量を「D P (3 p - 2)」に設定する。尚、「D P (3 p - 2)」の値は、「0」であってもよく、或いは、「0」より大きな値であってもよい。遅延量の設定の後、ステップ S 1 1 5 が実行される。

【 0 0 6 8 】

(ステップ S 1 1 5)

ステップ S 1 1 5 において、読出回路 1 1 3 A は、カウント値「n」が、「3 p - 2」より小さいか否かを判定する。カウント値「n」が、「3 p - 2」より小さいならば、ステップ S 1 2 0 が実行される。他の場合には、ステップ S 1 3 5 が実行される。

30

【 0 0 6 9 】

(ステップ S 1 2 0)

ステップ S 1 2 0 において、読出回路 1 1 3 A は、ターゲットの画素行 (画像データの書込処理が施与されている画素行) に対応する画像データをラインメモリ装置 1 2 0 から読み出す。尚、ラインメモリ装置 1 2 0 からの画像データの読出タイミングは、ステップ S 1 1 0 によって定められた遅延量「D P (3 p - 2)」に依存する。その後、ステップ S 1 2 5 が実行される。

【 0 0 7 0 】

(ステップ S 1 2 5)

ステップ S 1 2 5 において、読出回路 1 1 3 A は、画像データをソースドライバ 1 5 0 に出力する。また、読出回路 1 1 3 A は、タイミング信号をゲートドライバ 1 4 0 に出力する。その後、ステップ S 1 3 0 が実行される。

40

【 0 0 7 1 】

(ステップ S 1 3 0)

ステップ S 1 3 0 において、読出回路 1 1 3 A は、カウント値「n」を「1」だけ増加させる。その後、ステップ S 1 1 5 が実行される。ステップ S 1 1 5、S 1 2 0、S 1 2 5、S 1 3 0 からなる処理ループの繰り返しにより、画素行 G L (1) から画素行 G L (3 p - 2) までの画像データの書込が完了する。

【 0 0 7 2 】

50

(ステップ S 1 3 5)

ステップ S 1 3 5において、読出回路 1 1 3 Aは、カウント値「n」が、「3 p - 1」に等しいか否かを判定する。カウント値「n」が、「3 p - 1」に等しいならば、ステップ S 1 4 0が実行される。他の場合には、ステップ S 1 5 0が実行される。

【0073】

(ステップ S 1 4 0)

ステップ S 1 4 0において、遅延量を「DP (3 p - 1)」に設定する。尚、「DP (3 p - 1)」の値は、ステップ S 1 1 0において設定された「DP (3 p - 2)」よりも大きな値である。遅延量の設定の後、ステップ S 1 4 5が実行される。

【0074】

(ステップ S 1 4 5)

ステップ S 1 4 5において、読出回路 1 1 3 Aは、ターゲットの画素行（即ち、画素行 GL (3 p - 1)）に対応する画像データをラインメモリ装置 1 2 0から読み出す。尚、ラインメモリ装置 1 2 0からの画像データの読出タイミングは、ステップ S 1 4 0によって定められた遅延量「DP (3 p - 1)」に依存する。その後、ステップ S 1 2 5が実行される。ステップ S 1 1 5、S 1 3 5、S 1 4 0、S 1 4 5、S 1 2 5からなる処理ループの実行によって、画素行 GL (3 p - 1)への画像データの書込が完了する。

【0075】

(ステップ S 1 5 0)

ステップ S 1 5 0において、遅延量を「DP (3 p)」に設定する。尚、「DP (3 p)」の値は、ステップ S 1 3 5において設定された「DP (3 p - 1)」よりも大きな値である。尚、読出回路 1 1 3 Aは、遅延量「DP (3 p)」と遅延量「DP (3 p - 1)」との差分値が、遅延量「DP (3 p - 1)」と遅延量「DP (3 p - 2)」との差分値より大きくなるように遅延量「DP (3 p - 2)」、「DP (3 p - 1)」、「DP (3 p)」を設定する。遅延量の設定の後、ステップ S 1 5 5が実行される。

【0076】

(ステップ S 1 5 5)

ステップ S 1 5 5において、読出回路 1 1 3 Aは、ターゲットの画素行に対応する画像データをラインメモリ装置 1 2 0から読み出す。尚、ラインメモリ装置 1 2 0からの画像データの読出タイミングは、ステップ S 1 5 0によって定められた遅延量「DP (3 p)」に依存する。その後、ステップ S 1 6 0が実行される。

【0077】

(ステップ S 1 6 0)

ステップ S 1 6 0において、読出回路 1 1 3 Aは、画像データをソースドライバ 1 5 0に出力する。また、読出回路 1 1 3 Aは、タイミング信号をゲートドライバ 1 4 0に出力する。その後、ステップ S 1 6 5が実行される。

【0078】

(ステップ S 1 6 5)

ステップ S 1 6 5において、読出回路 1 1 3 Aは、カウント値「n」が、「N」に等しいか否かを判定する。カウント値「n」が、「N」に等しくないならば、ステップ S 1 3 0が実行される。他の場合には、読出回路 1 1 3 Aの処理が完了する。ステップ S 1 1 5、S 1 3 5、S 1 5 0、S 1 5 5、S 1 6 0、S 1 6 5、S 1 3 0からなる処理ループの繰り返しにより、画素行 GL (3 p)から画素行 GL (N)までの画像データの書込が完了する。本実施形態において、読出回路 1 1 3 Aは、読出部として例示される。

【0079】

図 1 2 に示される信号処理によって、境界線 BL よりも上の画素行に対するよりも長い書込期間が、境界線 BL よりも下の画素行に対して割り当てられる。

【0080】

図 1 3 は、境界線 BL の周囲の画素行に対する書込処理を概念的に表すタイミングチャートである。図 1 0 乃至図 1 3 を参照して、境界線 BL の周囲の画素行に対する書込処理

10

20

30

40

50

が説明される。

【0081】

書込回路111は、受信時刻 $RT(3p-2)$ に、画素行 $GL(3p-2)$ に対応する水平同期信号を受信する。書込回路111は、受信時刻 $RT(3p-2)$ から、ラインメモリ装置120への画像データ $ID(3p-2)$ の書込処理を開始する。その後、書込回路111は、受信時刻 $RT(3p-1)$ に、画素行 $GL(3p-1)$ に対応する水平同期信号を受信する。書込回路111は、受信時刻 $RT(3p-1)$ から、ラインメモリ装置120への画像データ $ID(3p-1)$ の書込処理を開始する。更にその後、書込回路111は、受信時刻 $RT(3p)$ に、画素行 $GL(3p)$ に対応する水平同期信号を受信する。書込回路111は、受信時刻 $RT(3p)$ から、ラインメモリ装置120への画像データ $ID(3p)$ の書込処理を開始する。

10

【0082】

図10に示される如く、書込回路111は、時刻データを読出回路113Aへ出力する。したがって、読出回路113Aは、受信時刻 $RT(3p-2)$ 乃至 $RT(3p)$ に関する時刻データを取得することができる。クロック112は、読出回路113Aへクロック信号を出力する。読出回路113Aは、クロック信号を用いて、受信時刻 $RT(3p-2)$ 乃至 $RT(3p)$ からの遅延量 $DP(3p-2)$ 乃至 $DP(3p)$ をそれぞれ定める。

【0083】

読出回路113Aは、図12に関連して説明された処理に従って、受信時刻 $RT(3p-2)$ からの遅延量 $DP(3p-2)$ よりも長い遅延量 $DP(3p-1)$ を決定する。また、読出回路113Aは、受信時刻 $RT(3p-1)$ からの遅延量 $DP(3p-1)$ よりも長い遅延量 $DP(3p)$ を決定する。尚、読出回路113Aは、遅延量 $DP(3p)$ と遅延量 $DP(3p-1)$ との差分値が、遅延量 $DP(3p-1)$ と遅延量 $DP(3p-2)$ との差分値より大きくなるように遅延量 $DP(3p-2)$ 、 $DP(3p-1)$ 、 $DP(3p)$ を設定する。

20

【0084】

図13には、受信時刻 $RT(3p-2)$ から遅延量 $DP(3p-2)$ だけ遅れた時刻 $DT(3p-2)$ 、受信時刻 $RT(3p-1)$ から遅延量 $DP(3p-1)$ だけ遅れた時刻 $DT(3p-1)$ 並びに受信時刻 $RT(3p)$ から遅延量 $DP(3p)$ だけ遅れた時刻 $DT(3p)$ が示されている。時刻 $DT(3p-2)$ から時刻 $DT(3p-1)$ までの期間は、画素行 $GL(3p-2)$ に対応する画像データの読み出し及び書き込みのために割り当てられる。時刻 $DT(3p-1)$ から時刻 $DT(3p)$ までの期間は、画素行 $GL(3p-1)$ に対応する画像データの読み出し及び書き込みのために割り当てられる。したがって、読出回路113Aは、画素行 $GL(3p-1)$ に対して、画素行 $GL(3p-2)$ よりも長い処理期間を定めることができる。本実施形態において、時刻 $DT(3p-2)$ から時刻 $DT(3p-1)$ までの期間は、第1時間間隔として例示される。時刻 $DT(3p-1)$ から時刻 $DT(3p)$ までの期間は、第2時間間隔として例示される。

30

【0085】

読出回路113Aは、時刻 $DT(3p-2)$ において、ラインメモリ装置120に格納された画像データから、画素行 $GL(3p-2)$ に対応する画像データを選択的に読み出す。読出回路113Aは、時刻 $DT(3p-1)$ において、ラインメモリ装置120に格納された画像データから、画素行 $GL(3p-1)$ に対応する画像データを選択的に読み出す。読出回路113Aは、時刻 $DT(3p)$ において、ラインメモリ装置120に格納された画像データから、画素行 $GL(3p)$ に対応する画像データを選択的に読み出す。時刻 $DT(3p-2)$ は、第1読出タイミングとして例示される。時刻 $DT(3p-1)$ は、第2読出タイミングとして例示される。時刻 $DT(3p)$ は、第3読出タイミングとして例示される。

40

【0086】

図10に示される如く、読出回路113Aは、ゲートドライバ140にタイミング信号を出力する。ゲートドライバ140による各画素行への書込動作の開始は、タイミング信

50

号に基づき制御される。例えば、読出回路 113A は、時刻 $DT(3p-2)$ において、画素行 $GL(3p-2)$ へ画像データの書込処理を開始することをゲートドライバ 140 に通知するタイミング信号を出力する。読出回路 113A は、時刻 $DT(3p-1)$ において、画素行 $GL(3p-1)$ へ画像データの書込処理を開始することをゲートドライバ 140 に通知するタイミング信号を出力する。読出回路 113A は、時刻 $DT(3p)$ において、画素行 $GL(3p)$ へ画像データの書込処理を開始することをゲートドライバ 140 に通知するタイミング信号を出力する。

【0087】

図 10 に示される如く、読出回路 113A は、ソースドライバ 150 に画像データを出力する。ソースドライバ 150 は、画像データに基づき制御される。例えば、読出回路 113A は、時刻 $DT(3p-2)$ から時刻 $DT(3p-1)$ の期間に、画素行 $GL(3p-2)$ に対応する画像データをソースドライバ 150 に出力する。読出回路 113A は、時刻 $DT(3n-1)$ から時刻 $DT(3n)$ の期間に、画素行 $GL(3p-1)$ に対応する画像データをソースドライバ 150 に出力する。本実施形態において、制御回路 110A は、制御部として例示される。

10

【0088】

本実施形態において、映像が表示される表示面は、2つの領域に概念的に分割される。代替的に、表示面は、3以上の領域に概念的に分割されてもよい。分割領域間の境界において、上述の書込処理期間の変更処理が実行されてもよい。

20

【産業上の利用可能性】

【0089】

本実施形態の原理は、液晶を用いて映像を表示する表示装置に好適に利用可能である。

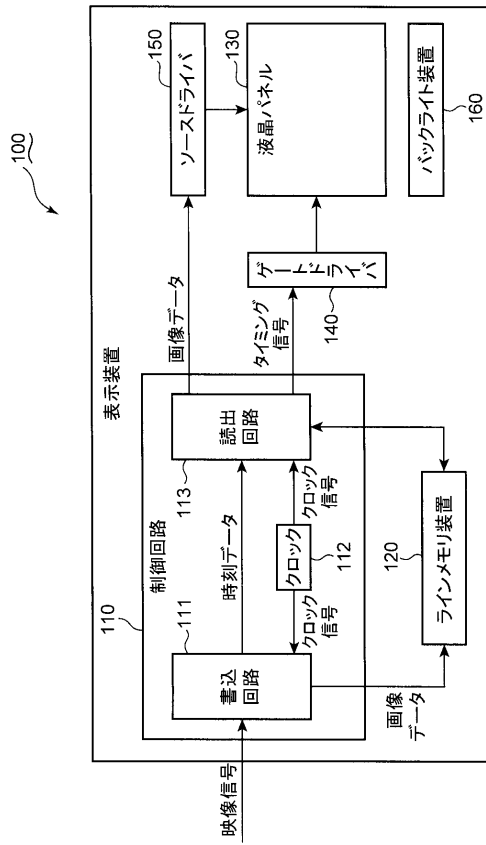
【0090】

100, 100A 表示装置
 110, 110A 制御回路
 111 書込回路
 113, 113A 読出回路
 120 ラインメモリ装置
 130 液晶パネル
 140 ゲートドライバ
 150 ソースドライバ
 $GL(1)$ 画素行
 $GL(3n-2)$ 画素行
 $GL(3n-1)$ 画素行
 $GL(3n)$ 画素行
 $GL(3p-2)$ 画素行
 $GL(3p-1)$ 画素行
 $GL(3p)$ 画素行
 $GL(N)$ 画素行
 $GW(3n-2)$ ゲート線
 $GW(3n-1)$ ゲート線
 $GW(3n)$ ゲート線
 $ID(3n-2)$ 画像データ
 $ID(3n-1)$ 画像データ
 $ID(3n)$ 画像データ
 $ID(3p-2)$ 画像データ
 $ID(3p-1)$ 画像データ
 $ID(3p)$ 画像データ

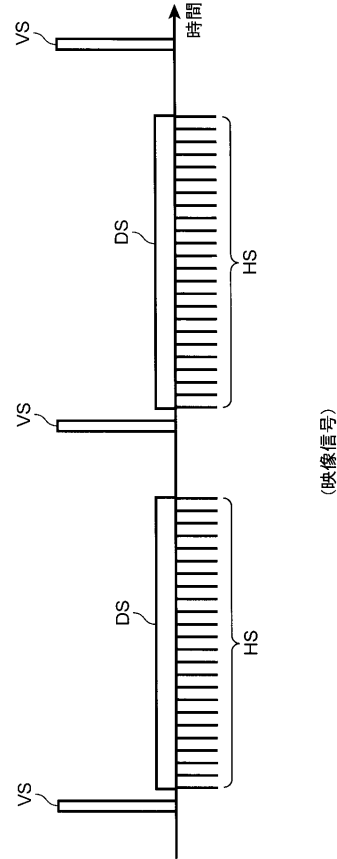
30

40

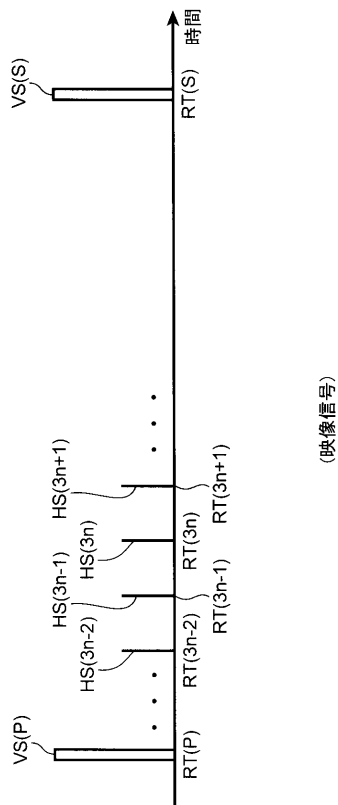
【図 1】



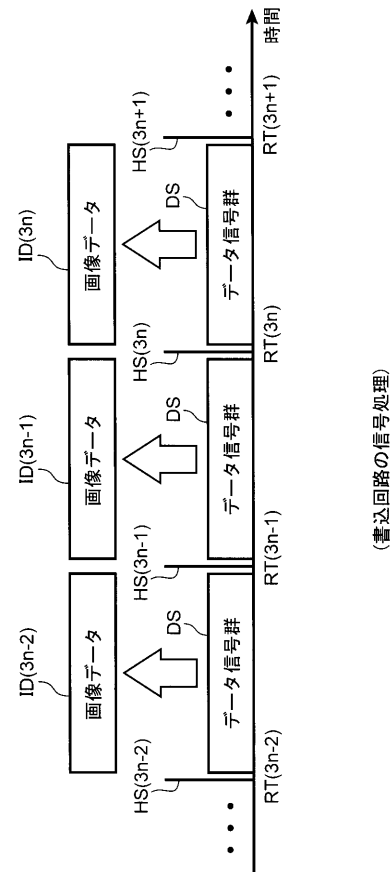
【図 2】



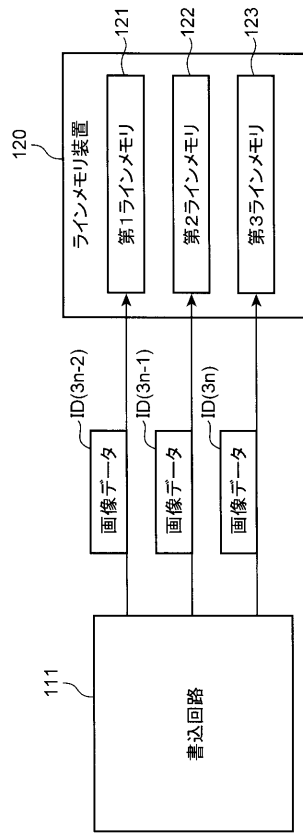
【図 3】



【図 4】

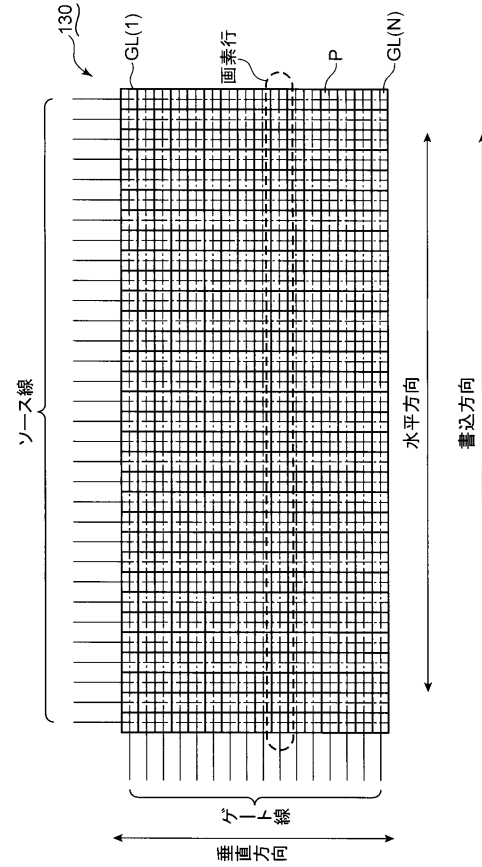


【図 5】

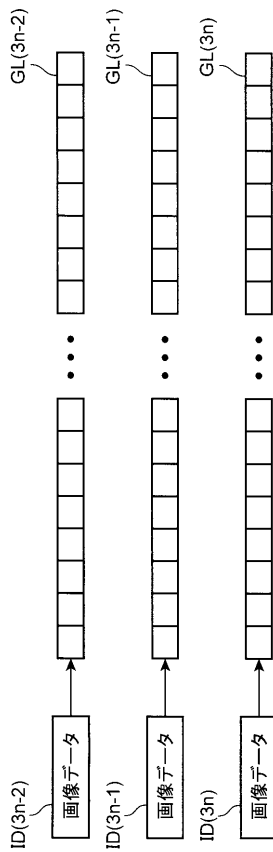


(画像データの書込処理)

【図 6】

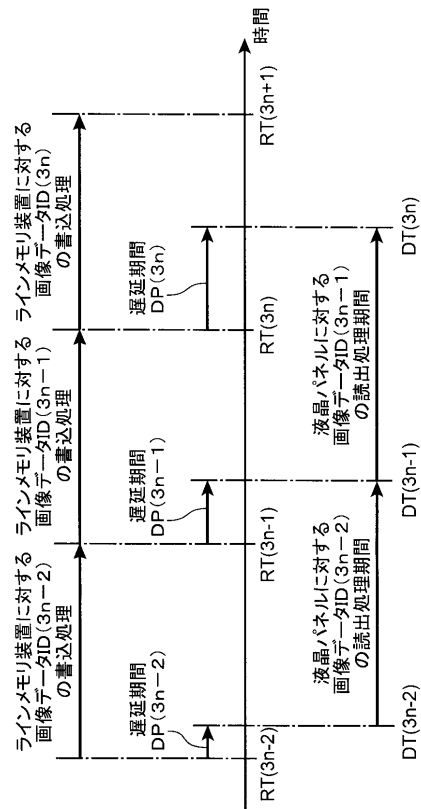


【図 7】

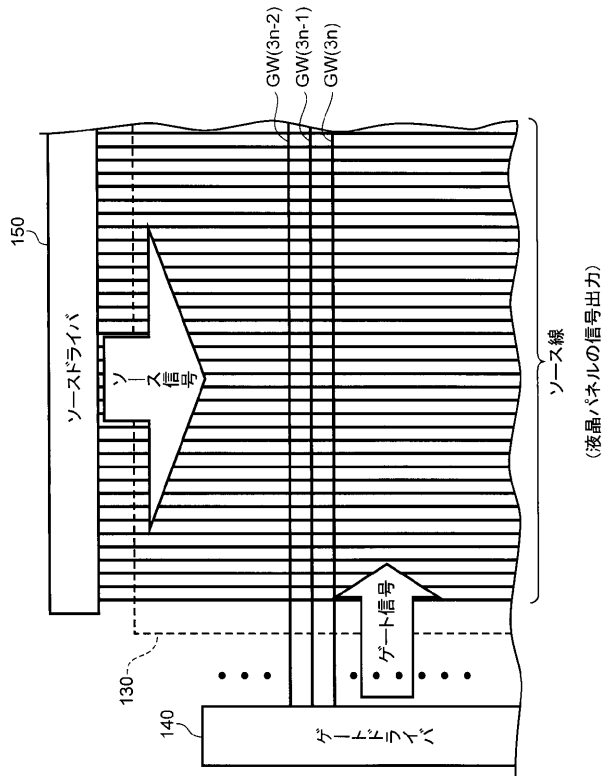


(画像データと画素行との関係)

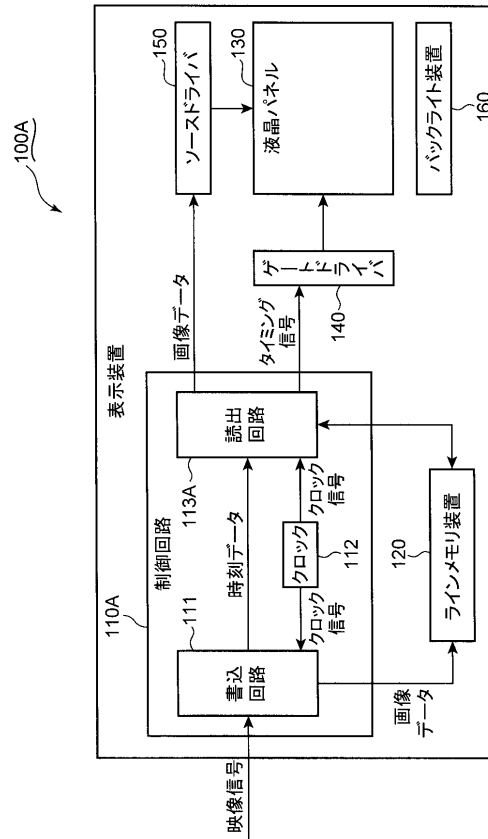
【図 8】



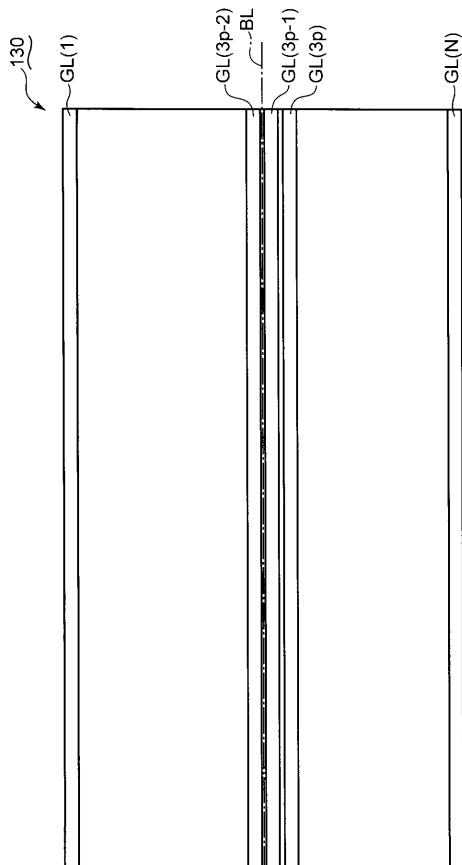
【図 9】



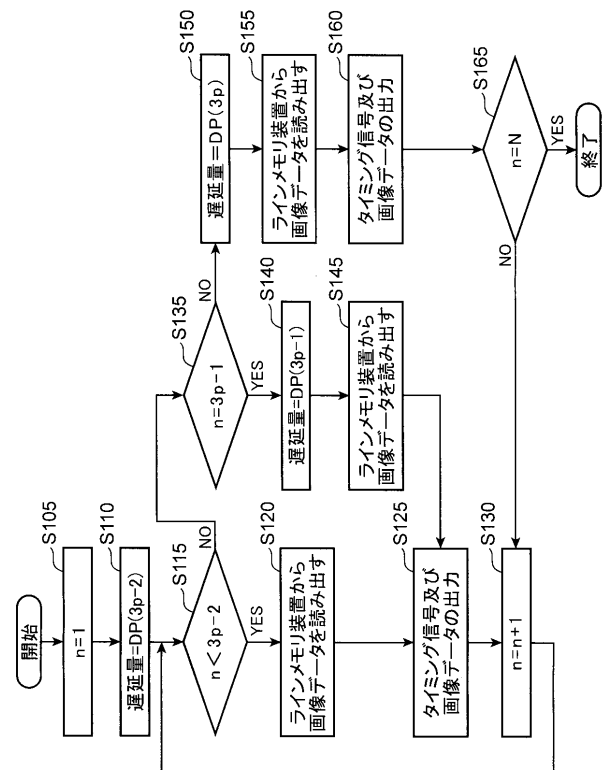
【図 10】



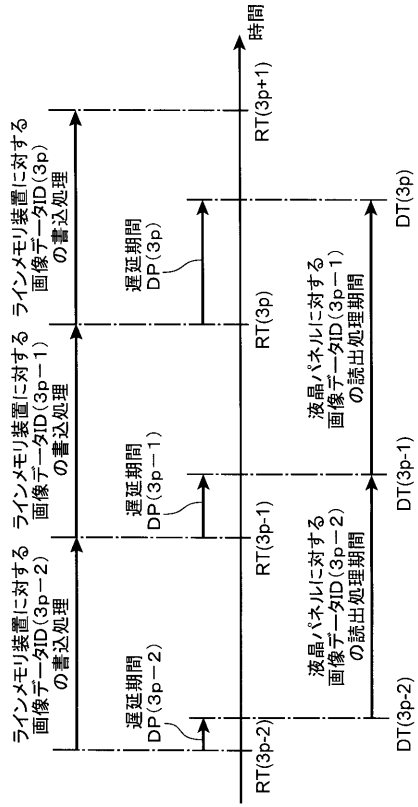
【図 11】



【図 12】



【図 13】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20 6 8 0 G	
	G 0 9 G 3/20 6 1 2 L	
	G 0 2 F 1/133 5 0 5	

F ターム(参考) 2H193 ZC25 ZF16 ZH46 ZH52
5C006 AC22 AF03 AF04 AF43 AF71
5C080 AA10 BB05 DD01 FF11 JJ02 JJ04 JJ06 JJ07

专利名称(译)	表示装置		
公开(公告)号	JP2014102428A	公开(公告)日	2014-06-05
申请号	JP2012255356	申请日	2012-11-21
申请(专利权)人(译)	松下液晶显示器有限公司		
[标]发明人	野崎秀樹 川口聖二		
发明人	野崎 秀樹 川口 聖二		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.621.A G09G3/20.631.B G09G3/20.622.D G09G3/20.621.M G09G3/20.680.G G09G3/20.612.L G02F1/133.505		
F-TERM分类号	2H193/ZC25 2H193/ZF16 2H193/ZH46 2H193/ZH52 5C006/AC22 5C006/AF03 5C006/AF04 5C006/AF43 5C006/AF71 5C080/AA10 5C080/BB05 5C080/DD01 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ06 5C080/JJ07		
代理人(译)	渡边康平		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种可以轻松减少图像数据写入不足的显示设备。
 本申请公开了一种用于显示帧图像的显示设备。显示装置存储具有包括多个像素行的显示表面的液晶面板，驱动多个像素行的驱动单元，以及与多个像素行对应的多个列数据单元，并存储图像数据以及控制单元，其确定多个列数据部分的写入时段的长度并控制驱动部分。控制单元包括：写入单元，将多个列数据单元写入存储单元；以及读取单元，读取从多个列数据单元中选择的第一至第三列数据单元。读取单元确定开始读出第一至第三列数据部分的第一至第三读取定时，并且从第一读出定时和第二读出定时之间的第二读出定时读取第二读出定时。并且延长了定时和第三读取定时之间的第二时间间隔。点域1

