

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-50679

(P2013-50679A)

(43) 公開日 平成25年3月14日(2013.3.14)

(51) Int.Cl.	F 1	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 624B	5C006
G02F 1/133 (2006.01)	G09G 3/20 641E	5C080
	G09G 3/20 641P	
	G09G 3/20 641A	
審査請求 未請求 請求項の数 4 O L (全 10 頁) 最終頁に続く		

(21) 出願番号	特願2011-189926 (P2011-189926)	(71) 出願人	000002185
(22) 出願日	平成23年8月31日 (2011. 8. 31)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	110001357
			特許業務法人つばさ国際特許事務所
		(72) 発明者	吉永 朋朗
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	市坪 太郎
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		Fターム(参考)	2H193 ZC39 ZD25 ZD26 ZD30 ZF12
			ZF16 ZH23 ZH52
			5C006 AA14 AA15 AF01 AF44 AF46
			BF02 FA18 FA31
			最終頁に続く

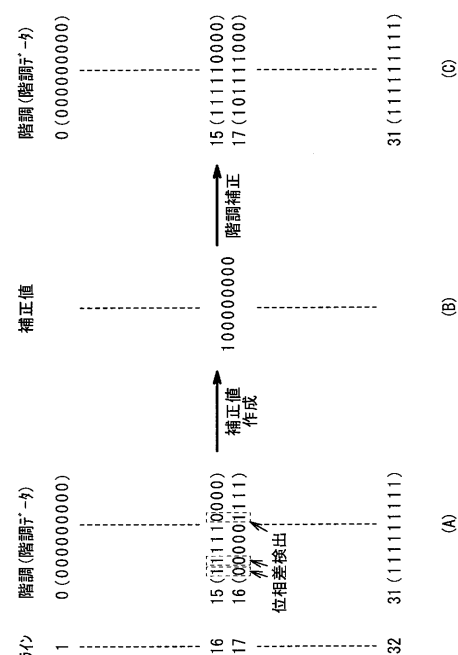
(54) 【発明の名称】 駆動回路、表示装置、および表示装置の駆動方法

(57) 【要約】

【課題】液晶乱れの生じにくい駆動回路およびそれを備えた表示装置、ならびに、液晶乱れの生じにくい表示装置の駆動方法を提供する。

【解決手段】液晶セルを含むメモリ内蔵の画素を駆動する駆動回路は、複数のサブフィールドで1フレーム期間を分割する。この駆動回路は、さらに、互いに隣接する2つの画素に対応する階調データのビット配列が異なっている場合には、階調の高い方の階調データを、階調がより高くなるように補正する。

【選択図】図6



【特許請求の範囲】**【請求項 1】**

液晶セルを含むメモリ内蔵の画素が行列状に配置された表示装置における各画素を駆動する駆動回路であって、

階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで1フレーム期間を分割する分割部と、

互いに隣接する2つの画素に対応する階調データのビット配列が異なっている場合には、階調の高い方の階調データを、階調がより高くなるように補正する補正部と、

各サブフィールドに対応するビットに従って画素の液晶セルをオンまたはオフすることで、1フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御部とを含む駆動回路。

10

【請求項 2】

前記補正部は、フレームごとに、全画素に対応する階調データに対して、全画素共通の補正値を加算するとともに、補正値を周期的に変更する

請求項 1 に記載の駆動回路。

【請求項 3】

液晶セルを含むメモリ内蔵の画素が行列状に配置された表示領域と、

各画素を駆動する駆動回路と

を備え、

20

前記駆動回路は、

階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで1フレーム期間を分割する分割部と、

互いに隣接する2つの画素に対応する階調データのビット配列が異なっている場合には、階調の高い方の階調データを、階調がより高くなるように補正する補正部と、

各サブフィールドに対応するビットに従って画素の液晶セルをオンまたはオフすることで、1フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御部とを有する

表示装置。

30

【請求項 4】

液晶セルを含むメモリ内蔵の画素が行列状に配置された表示装置の駆動方法であって、

階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで1フレーム期間を分割する分割ステップと、

互いに隣接する2つの画素に対応する階調データのビット配列が異なっている場合には、階調の高い方の階調データを、階調がより高くなるように補正する補正ステップと、

各サブフィールドに対応するビットに従って画素の液晶セルをオンまたはオフすることで、1フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御ステップと

を含む

表示装置の駆動方法。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本技術は、パルス幅変調(PWM)で階調表示を行う駆動回路およびそれを備えた表示装置に関する。また、本技術は、上記の表示装置の駆動方法に関する。

【背景技術】**【0002】**

PWMで階調表示を行うデジタル駆動の表示装置では、5ビット(32階調)の場合を例にとると、例えば、図8に示したような階調表示法が用いられる。具体的には、図8に示したように、例えば数ms幅の1ビットのデータを単位として、期間の比が1:2:4

50

： 8 ： 1 6 の 5 つのデータを用意し、これら 5 つのデータの組み合わせにより 3 2 階調が表現される。

【 0 0 0 3 】

図 9 は、従来の一般的なデジタル駆動における順次走査の信号データと、走査線に印加される選択パルスとの関係を表したものである。ここでは、説明の都合上、走査線が 3 本の場合を示している。図 9 からわかるように、従来の一般的なデジタル駆動の表示装置では、階調データの各ビット（本例では、1 b i t ~ 5 b i t）に対応し、かつ対応ビットの重みに応じた期間となるサブフィールド S F 1 ~ S F 5 で 1 フレーム期間（1 F）が分割されている。そして、各サブフィールド S F 1 ~ S F 5 に対応するビットに従って画素の電気光学素子がオンまたはオフされることで、1 F 中のオン期間またはオフ期間の割合が段階的に制御される。さらに、走査線を介した画素へのデータ書込みは、サブフィールド S F 1 ~ S F 5 ごとに線順次走査で行われる。なお、上記のデジタル駆動に関する情報は、例えば、以下の特許文献 1 などに記載されている。

10

【先行技術文献】

【特許文献】

【 0 0 0 4 】

【特許文献 1】特開 2 0 0 6 - 3 4 3 6 0 9 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

20

ところで、図 8 に示したように、階調のわずかな違いで白黒の位相が反転するような階調表示法が用いられている場合には、隣接する画素間に、横電界による液晶乱れが生じることがある。例えば、図 1 0 (A) , (B) に示したように、垂直方向にグラデーションとなっている映像（以下、単に「グラデーション映像」と称する。）が表示されている場合、白黒の位相が反転する画素間に、液晶乱れが生じる。この液晶乱れは、例えば、図 1 0 (B) に示したような黒い筋 L 1 となって観察者に視認される。このような黒い筋 L 1 は、映像品質を著しく損なう。

【 0 0 0 6 】

本技術はかかる問題点に鑑みてなされたものであり、その第 1 の目的は、液晶乱れの生じにくい駆動回路およびそれを備えた表示装置を提供することにある。また、第 2 の目的は、液晶乱れの生じにくい表示装置の駆動方法を提供することにある。

30

【課題を解決するための手段】

【 0 0 0 7 】

本技術による駆動回路は、液晶セルを含むメモリ内蔵の画素が行列状に配置された表示装置における各画素を駆動する回路である。駆動回路は、分割部と、補正部と、オンオフ期間制御部とを含んでいる。分割部は、階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで 1 フレーム期間を分割するようになっている。補正部は、互いに隣接する 2 つの画素に対応する階調データのビット配列が異なっている場合には、階調の高い方の階調データを、階調がより高くなるように補正するようになっている。オンオフ期間制御部は、各サブフィールドに対応するビットに従って画素の液晶セルをオンまたはオフすることで、1 フレーム期間中のオン期間またはオフ期間の割合を制御するようになっている。

40

【 0 0 0 8 】

本技術による表示装置は、液晶セルを含むメモリ内蔵の画素が行列状に配置された表示領域と、各画素を駆動する駆動回路とを備えている。この表示装置において、駆動回路は、上記の分割部と同一の構成要素の分割部と、上記の補正部と同一の構成要素の補正部と、上記のオンオフ期間制御部と同一の構成要素のオンオフ期間制御部とを備えている。

【 0 0 0 9 】

本技術による表示装置の駆動方法は、液晶セルを含むメモリ内蔵の画素が行列状に配置された表示装置の駆動方法である。この駆動方法は、以下の 3 つのステップを含んでいる

50

。

(A) 階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで1フレーム期間を分割する分割ステップ

(B) 互いに隣接する2つの画素に対応する階調データのビット配列が異なっている場合には、階調の高い方の階調データを、階調がより高くなるように補正する補正ステップ

(C) 各サブフィールドに対応するビットに従って画素の液晶セルをオンまたはオフすることで、1フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御ステップ

【0010】

本技術による駆動回路、表示装置、および表示装置の駆動方法では、互いに隣接する2つの画素に対応する階調データのビット配列が異なっている場合には、階調の高い方の階調データが、階調がより高くなるように補正される。これにより、液晶乱れが低減し、あるいは階調の高い方の画素の階調が高くなり、液晶乱れの輝度低下と相殺されて液晶乱れが目立たなくなる。

【発明の効果】

【0011】

本技術による駆動回路、表示装置、および表示装置の駆動方法によれば、液晶乱れが低減し、あるいは階調の高い方の画素の階調が高くなり、液晶乱れの輝度低下と相殺されて液晶乱れが目立たなくなるようにしたので、高い映像品質を得ることができる。

【図面の簡単な説明】

【0012】

【図1】本技術による一実施の形態に係る表示装置の概略図である。

【図2】サブフィールドで規定された信号データの一例を表す模式図である。

【図3】互いに隣接する画素間の位相差の一例を表す模式図である。

【図4】図1の変換回路の概略図である。

【図5】階調補正の手順の一例を表す流れ図である。

【図6】図5の補正の手順の一例をビットで表したものである。

【図7】上記実施の形態における追加補正について説明するための模式図である。

【図8】階調データの一例を表す模式図である。

【図9】1フレーム期間における信号データの一例および選択パルスの一例を表す模式図である。

【図10】グラデーション映像に生じる筋の一例を表す模式図である。

【発明を実施するための形態】

【0013】

以下、発明を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態（表示装置）

2. 変形例（表示装置）

【0014】

< 1. 実施の形態 >

[構成]

図1は、本技術による一実施の形態に係る表示装置1の概略構成を表したものである。この表示装置1は、表示パネル10と、表示パネル10を駆動する周辺回路20とを備えている。

【0015】

(表示パネル10)

表示パネル10は、行方向に延在する複数の走査線WSLと、列方向に延在する複数のデータ線DTLとを有しており、走査線WSLとデータ線DTLとが互いに交差する箇所に対応して画素11を有している。表示パネル10内の複数の画素11は、表示パネル1

10

20

30

40

50

0の画素領域10A全面に渡って行方向および列方向に2次元配置されている。画素11は、表示パネル10上の画面を構成する最小単位の点に対応するものである。表示パネル10がカラー表示パネルである場合には、画素11は、例えば赤、緑または青などの単色の光を発する副画素に相当し、表示パネル10がモノクロ表示パネルである場合には、画素11は、単色光（例えば白色光）を発する画素に相当する。

【0016】

画素11は、図示しないが、電気光学素子を含むメモリ内蔵の画素である。電気光学素子の種類としては、液晶セルが挙げられる。メモリの種類としては、例えば、SRAM（Static Random Access Memory）やDRAM（Dynamic Random Access Memory）などが挙げられる。画素11は、対応する1本の走査線WSLが選択されたとき、対応するデータ線DTLに供給された信号データ（ビット）の書込みに応じて発光状態または消光状態となり、その後、当該走査線WSLが非選択となっても、書込みによる発光状態または消光状態が継続するようになっている。そのため、周辺回路20は、画素11が発光状態となっている期間（点灯期間）、または画素11が消光状態となっている期間（消灯期間）の、1フレーム期間における割合を制御することにより、階調表示を実現している。

10

【0017】

画素11の点灯期間または消灯期間の単位として「サブフィールド」という概念がある。「サブフィールド」とは、画素11の階調を規定する階調データの各ビットに対応し、かつ当該対応ビットの重みに応じた期間の単位を指している。例えば、5ビットからなる階調データによって32階調を表現する場合、例えば、図8に示したように、例えば数ms幅の1ビットのデータを単位として、期間の比が1:2:4:8:16の5つのデータが用意され、これら5つのデータの組み合わせにより32階調が表現される。本実施の形態の階調表示法では、図2に示したように、階調データの各ビット（1bit~5bit）に対応し、かつ対応ビットの重みに応じた期間となるサブフィールドSF1~SF5で、信号データが規定される。

20

【0018】

上記の階調表示法では、例えば、グラデーション映像が表示されている場合に、互いに隣接する2つの画素11に対応する階調データのビット配列が互いに異なっている部分が必ず存在する。例えば、図3に示したように、画素Aの階調が15となっており、画素Aに隣接する画素Bの階調が16となっている場合には、全てのビットにおいて位相（白黒）が互いに異なっている。このように、互いに隣接する画素において位相が互いに異なっている場合には、液晶乱れが生じてしまうことがある。そこで、階調の高い方の階調データが、階調がより高くなるように補正される。例えば、図3に示した例では、画素Bの方が画素Aよりも階調が高いため、画素Aに対応する階調データが、階調がより高くなるように補正される。これにより、液晶乱れが低減し、あるいは階調の高い方の画素の階調が高くなり、液晶乱れの輝度低下と相殺されて液晶乱れが目立たなくなる。

30

【0019】

（周辺回路20）

次に、周辺回路20の構成についての説明を行う。周辺回路20は、例えば、図1に示したように、変換回路30、コントローラ40、垂直駆動回路50および水平駆動回路60を有している。

40

【0020】

コントローラ40は、図示しない上位装置から供給される同期信号20Bから、変換回路30、垂直駆動回路50、および水平駆動回路60の動作タイミングを制御する制御信号40A、40B、40Cを生成するものである。同期信号20Bとしては、例えば、垂直同期信号、水平同期信号、ドットクロック信号などが挙げられる。制御信号40A、40B、40Cとしては、例えば、クロック信号、ラッチ信号、フレーム開始信号、サブフィールド開始信号などが挙げられる。

【0021】

変換回路30は、例えば、図4に示したように、フレームメモリ31、書込回路32、

50

読出回路 33 およびデコーダ 34 を含んでいる。フレームメモリ 31 は、少なくとも表示領域 10A の解像度よりも多い記憶容量を有する映像表示用メモリであり、例えば、行アドレスと、列アドレスと、行アドレスおよび列アドレスと関連付けられた各画素 11 の階調データとを記憶することができるようになっている。書込回路 32 は、同期信号 20B を利用して、映像信号 20A の書込アドレス *W a d* を生成するとともに、同期信号 20B に同期してフレームメモリ 31 に出力するようになっている。書込みアドレス *W a d* は、例えば、行アドレスおよび列アドレスを含んでいる。読出回路 33 は、制御信号 40A に基づいて、読出アドレス *R a d* を生成し、フレームメモリ 31 に出力するようになっている。デコーダ 34 は、フレームメモリ 31 から出力された階調データを信号データ 30A として出力するようになっている。

10

【0022】

垂直駆動回路 50 は、水平駆動回路 60 から入力される制御信号 60A（後述）と、制御信号 40C から特定されるアドレスデータとに基づいて、各画素 11 を行単位で選択するための走査パルス走査線 *W S L* に出力するようになっている。垂直駆動回路 50 は、例えば、図 8（A）～（D）に示したように、*S F 1*，*S F 2*，*S F 3*，*S F 4*，*S F 5* の並び順および期間に対応して、各走査線 *W S L* に選択パルスを順次出力するようになっている。

【0023】

水平駆動回路 60 は、制御信号 40B と、信号データ 30A とに基づいて、画素 11 の電気光学素子をオンまたはオフすることで、1F 中のオン期間またはオフ期間の割合を段階的に制御するようになっている。

20

【0024】

水平駆動回路 60 は、信号データ 30A（階調データ）のビット配列を、所望のビット配列に補正するようになっている。図 5 は、信号データ 30A のビット配列を、所望のビット配列に補正する手順の一例を表した流れ図である。図 6 は、信号データ 30A が垂直方向にグラデーションが生じている階調データとなっているときの上記の補正の一例を表したものである。

【0025】

まず、水平駆動回路 60 は、信号データ 30A において互いに隣り合う 2 つの画素に対応する階調データにおいて、互いに共通するサブフィールドごとに、位相差の有無を検出する（*S 101*）。ここで、位相差とは、ビットの相違、または白黒の相違を指している。その結果、水平駆動回路 60 は、位相差が無いと検出した場合には、上記の追加補正を行わず、終了する。一方、水平駆動回路 60 は、例えば、図 6（A）に示したように、位相差があると検出した場合には、階調の高い方の階調データに対する補正值を作成する（*S 102*）。水平駆動回路 60 は、例えば、図 6（B）に示したように、補正值として、階調レベルが 1 の階調データを作成する。なお、補正值は、常に、階調レベルが 1 の階調データとは限らない。その後、水平駆動回路 60 は、階調の高い方の階調データの階調を補正する（*S 103*）。水平駆動回路 60 は、例えば、図 6（C）に示したように、階調の高い方の階調データに対して、階調レベルが 1 の階調データを加算する。これにより、階調の高い方の階調データが、階調がより高くなるように補正される。その結果、液晶乱れが低減し、あるいは階調の高い方の画素の階調が高くなり、液晶乱れの輝度低下と相殺されて液晶乱れが目立たなくなる。

30

40

【0026】

また、水平駆動回路 60 は、補正後の信号データ 30A のサブフィールドの並び順および期間に対応した制御信号 60A を垂直駆動回路 50 に出力するようになっている。

【0027】

[効果]

次に、従来の一般的なデジタル駆動と対比しつつ、本実施の形態の表示装置 1 の効果について説明する。

【0028】

50

従来の一般的なPWMのデジタル駆動では、5ビット(32階調)の場合を例にとると、例えば、図8に示したような階調表示法が用いられる。具体的には、図8に示したように、例えば数ms幅の1ビットのデータを単位として、期間の比が1:2:4:8:16の5つのデータを用意し、これら5つのデータの組み合わせにより32階調が表現される。

【0029】

図9は、従来の一般的なデジタル駆動における順次走査の信号データと、走査線に印加される選択パルスとの関係を表したものである。ここでは、説明の都合上、走査線が3本の場合を示している。図9からわかるように、従来の一般的なデジタル駆動の表示装置では、階調データの各ビット(本例では、1bit~5bit)に対応し、かつ対応ビットの重みに応じた期間となるサブフィールドSF1~SF5で1フレーム期間(1F)が分割されている。そして、各サブフィールドSF1~SF5に対応するビットに従って画素の電気光学素子がオンまたはオフされることで、1F中のオン期間またはオフ期間の割合が段階的に制御される。さらに、走査線を介した画素へのデータ書込みは、サブフィールドSF1~SF5ごとに線順次走査で行われる。

10

【0030】

ところで、図8に示したように、階調のわずかな違いで白黒の位相が反転するような階調表示法が用いられている場合には、隣接する画素間に、横電界による液晶乱れが生じることがある。例えば、図10(A)、(B)に示したように、グラデーション映像が表示されている場合、白黒の位相が反転する画素間に、液晶乱れが生じる。この液晶乱れは、例えば、図10(B)に示したような黒い筋L1となって観察者に視認される。このような黒い筋L1は、映像品質を著しく損なう。

20

【0031】

一方、本実施の形態では、互いに隣接する2つの画素11に対応する階調データのビット配列が異なっている場合には、階調の高い方の階調データが、階調がより高くなるように補正される。これにより、液晶乱れが低減し、あるいは階調の高い方の画素の階調が高くなり、液晶乱れの輝度低下と相殺されて液晶乱れが目立たなくなる。その結果、高い映像品質を得ることができる。

【0032】

<2. 変形例>

30

[変形例1]

ところで、上記実施の形態において、水平駆動回路60は、フレームごとに、全画素に対応する信号データ30Aに対して、全画素共通の補正值を加算するとともに、補正值を周期的に変更するようにしてもよい。例えば、図7(A)~(C)に示したように、水平駆動回路60は、フレームごとに、全画素に対応する信号データ30Aに対して、

+1000000000(階調レベルを+1上げる階調データ)
+1000000000(階調レベルを+1上げる階調データ)
-0100000000(階調レベルを-3下げる階調データ)
+1000000000(階調レベルを+1上げる階調データ)

を、順番にかつ繰り返し加算するようにしてもよい。このようにした場合には、図7(C)に示したように、液晶乱れによって生じる筋L1が映像表示面内で経時的に所定の振幅で振動するので、観察者によって筋L1が視認されにくくなる。これにより、高い映像品質を得ることができる。

40

【0033】

以上、実施の形態および変形例を挙げて本技術を説明したが、本技術は上記実施の形態等に限定されるものではなく、種々変形が可能である。

【0034】

例えば、上記実施の形態等では、変換回路30、垂直駆動回路50および水平駆動回路60の駆動をコントローラ40が制御していたが、他の回路がこれらの駆動を制御するようにしてもよい。また、変換回路30、垂直駆動回路50および水平駆動回路60の制御

50

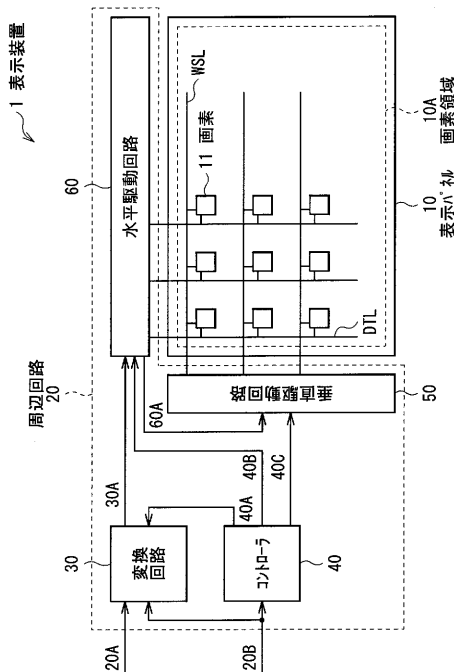
は、ハードウェア（回路）で行われていてもよいし、ソフトウェア（プログラム）で行われていてもよい。

【符号の説明】

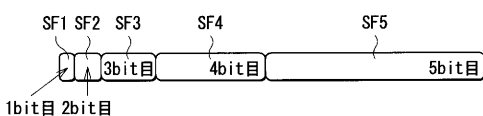
【0035】

1 ... 表示装置、10 ... 表示パネル、10A ... 画素領域、11 ... 画素、20 ... 周辺回路、20A ... 映像信号、20B ... 同期信号、30 ... 変換回路、30A ... 信号データ、31 ... フレームメモリ、32 ... 書込回路、33 ... 読出回路、34 ... デコーダ、40 ... コントローラ、40A, 40B, 40C ... 制御信号、50 ... 垂直駆動回路、60 ... 水平駆動回路、DTL ... データ線、WSL ... 走査線。

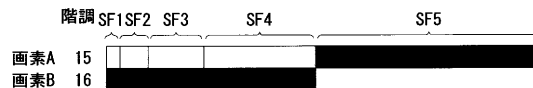
【図1】



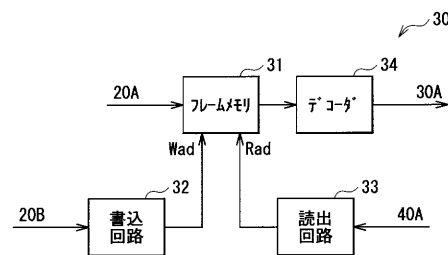
【図2】



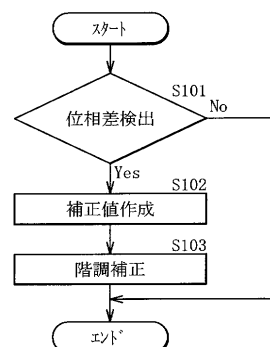
【図3】



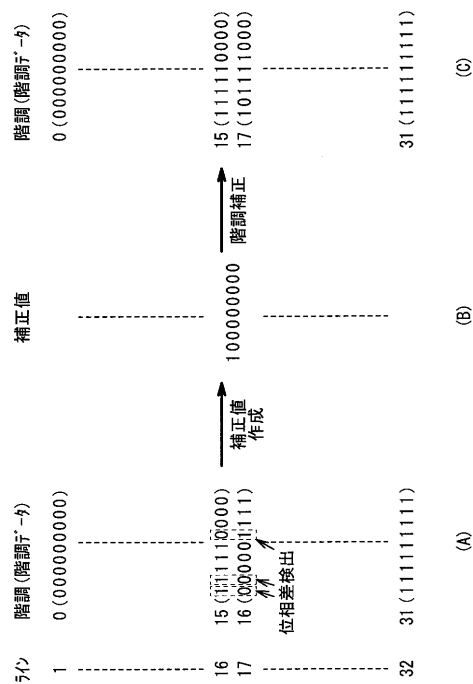
【図4】



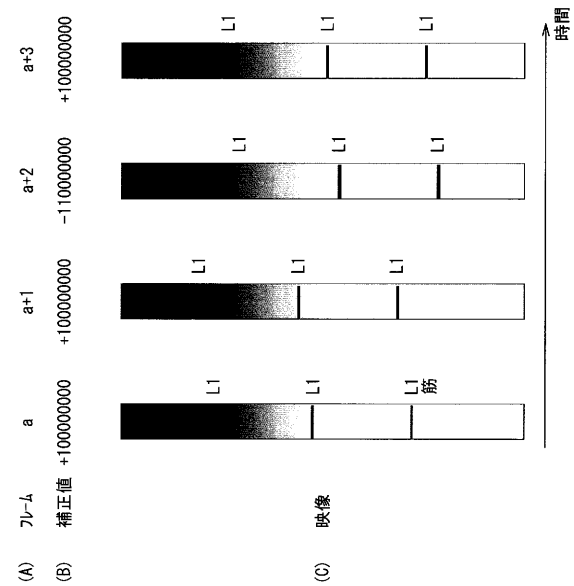
【図5】



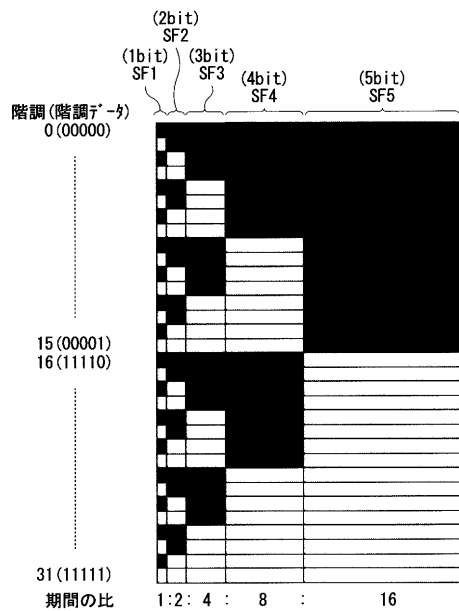
【図 6】



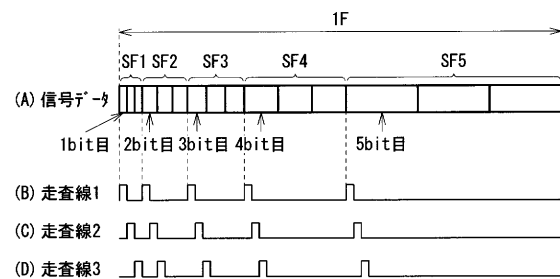
【図 7】



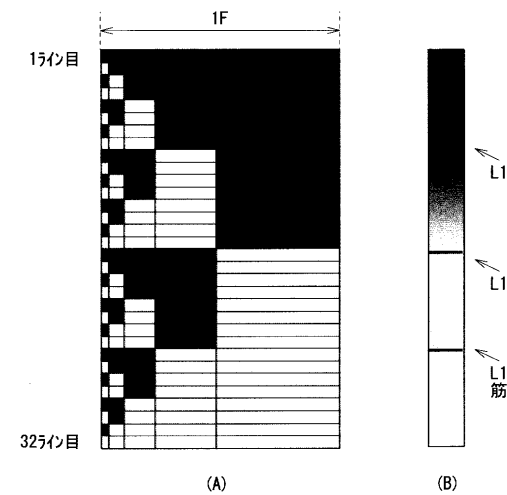
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 3 1 A

G 0 2 F 1/133 5 7 5

F ターム(参考) 5C080 AA10 BB05 EE29 GG12 JJ02 JJ07

专利名称(译)	驱动电路，显示装置和显示装置的驱动方法		
公开(公告)号	JP2013050679A	公开(公告)日	2013-03-14
申请号	JP2011189926	申请日	2011-08-31
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	吉永朋朗 市坪太郎		
发明人	吉永 朋朗 市坪 太郎		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G3/2022 G09G3/36 G09G3/38 G09G2320/0209 G09G2320/0266 G09G2320/0271 H04N7/173		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.641.E G09G3/20.641.P G09G3/20.641.A G09G3/20.631.A G02F1/133.575		
F-TERM分类号	2H193/ZC39 2H193/ZD25 2H193/ZD26 2H193/ZD30 2H193/ZF12 2H193/ZF16 2H193/ZH23 2H193/ZH52 5C006/AA14 5C006/AA15 5C006/AF01 5C006/AF44 5C006/AF46 5C006/BF02 5C006/FA18 5C006/FA31 5C080/AA10 5C080/BB05 5C080/EE29 5C080/GG12 5C080/JJ02 5C080/JJ07		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种其中不太可能发生液晶紊乱的驱动电路和包括驱动电路的显示器，并提供一种驱动显示器，其中不太可能发生液晶紊乱。解决方案：提供一种驱动电路，其驱动像素，该像素具有包括液晶单元的内置存储器。驱动电路将一个帧周期分成多个子场。当对应于彼此相邻的两个像素的灰度数据的位阵列彼此不同时，驱动电路校正具有较高灰度级的灰度数据，以进一步增加其灰度级。