

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-98745

(P2012-98745A)

(43) 公開日 平成24年5月24日(2012.5.24)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 624B	5C006
G02F 1/133 (2006.01)	G09G 3/20 621B	5C080
	G09G 3/20 624D	
	G09G 3/20 624E	
審査請求 有 請求項の数 60 O L (全 64 頁) 最終頁に続く		

(21) 出願番号 特願2011-278841 (P2011-278841)
 (22) 出願日 平成23年12月20日(2011.12.20)
 (62) 分割の表示 特願2000-548859 (P2000-548859)
 の分割
 原出願日 平成11年5月7日(1999.5.7)
 (31) 優先権主張番号 09/075,472
 (32) 優先日 平成10年5月8日(1998.5.8)
 (33) 優先権主張国 米国 (US)

(71) 出願人 500171796
 オーロラ システムズ, インコーポレイ
 テッド
 アメリカ合衆国 95134 カリフォル
 ニア州 サンノゼ スイート200 ジャ
 ンクッション・アベニュー 2841
 (74) 代理人 100082072
 弁理士 清原 義博
 (72) 発明者 ウォーリー, ダブリュー. スペンサー
 ザ サード
 アメリカ合衆国 カリフォルニア 940
 19, ハーフ ムーン ベイ, コーリ
 アス アベニュー 311

最終頁に続く

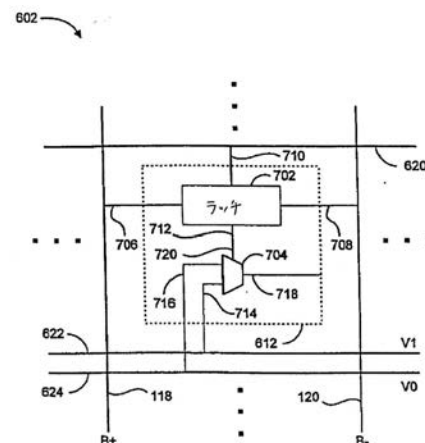
(54) 【発明の名称】 飽和電圧と閾値電圧間の変調を達成するための多重ピクセルを備えたディスプレイ

(57) 【要約】 (修正有)

【課題】ピクセルに記憶されたデータを迅速に反転可能なマルチビットデータワードを表示する液晶ディスプレイを提供する。

【解決手段】ピクセル電極612、記憶素子702、第1の電圧供給端子622、第2の電圧供給端子624、共通電極、およびマルチプレクサ704を含み、マルチプレクサが、記憶素子702のうちの関連付けられた1つに記憶されたデータビットの値に応答して、ピクセル電極612のうちの関連付けられた1つを第1の電圧供給端子622および第2の電圧供給端子624のうちの1方と選択的に接続し、記憶されるビットの重要性に依存する時間の間、マルチビットデータワードの各ビットを記憶素子702に連続的に書き込み、ならびに各ビットを記憶素子702に記憶しつつ、第1の所定の電圧を第1の電圧供給端子622に、第2の所定の電圧を第2の電圧供給端子624に、そして第3の所定の電圧を共通電極にアサートする。

【選択図】図7



【特許請求の範囲】**【請求項 1】**

複数のピクセル電極、複数の記憶素子、第 1 の電圧供給端子、第 2 の電圧供給端子、共通電極、および複数のマルチプレクサを備えるディスプレイ上にマルチビットデータワードを表示する方法であって、該複数のマルチプレクサの各々は、該記憶素子のうちの関連付けられた 1 つに記憶されたデータビットの値に应答して、該ピクセル電極のうちの関連付けられた 1 つを該第 1 の電圧供給端子および該第 2 の電圧供給端子のうちの 1 方と選択的に接続し、ここで該方法は、

第 1 の所定の電圧を該第 1 の電圧供給端子に、第 2 の所定の電圧を該第 2 の電圧供給端子に、そして第 3 の所定の電圧を該共通電極に有効な状態とする工程と、

該マルチビットデータワードの各ビットを該記憶素子に連続的に書き込む工程と、該ビットの各々を、該ビットの各々の位に依存する期間の間、該記憶素子中に残留させる工程と、を包含し、

前記第 1 の所定の電圧と前記第 2 の所定の電圧が前記ディスプレイの論理レベルから独立していることを特徴とする方法。

【請求項 2】

前記ディスプレイが液晶ディスプレイであり、前記第 1 の所定の電圧が該液晶ディスプレイの飽和電圧に対応する、請求項 1 に記載の方法。

【請求項 3】

前記第 2 の所定の電圧が前記液晶ディスプレイの閾値電圧に対応する、請求項 2 に記載の方法。

【請求項 4】

前記ディスプレイが液晶ディスプレイであり、前記第 2 の所定の電圧が該液晶ディスプレイの閾値電圧に対応する、請求項 1 に記載の方法。

【請求項 5】

第 4 の所定の電圧を前記共通電極に有効な状態とする工程と、前記記憶素子に書き込まれた前記マルチビットデータワードの各ビットの相補ビットを前記記憶素子に書き込む工程と、該マルチビットデータワードの各ビットの該相補ビットを該ビットの各々の位に依存する期間の間、該記憶素子中に残留させる工程と、をさらに包含する、請求項 1 に記載の方法。

【請求項 6】

複数のピクセル電極、複数の記憶素子、第 1 の電圧供給端子、第 2 の電圧供給端子、共通電極、および複数のマルチプレクサを備えるディスプレイ上にマルチビットデータワードを表示する方法であって、該複数のマルチプレクサの各々は、該記憶素子のうちの関連付けられた 1 つに記憶されたデータビットの値に应答して、該ピクセル電極のうちの関連付けられた 1 つを該第 1 の電圧供給端子および該第 2 の電圧供給端子のうちの 1 方と選択的に接続し、ここで該方法は、該マルチビットデータワードの各ビットを該記憶素子に連続的に書き込む工程と、該ビットの各々を該記憶素子の中に記憶しつつ、該記憶されたビットの位に依存する期間の間、第 1 の所定の電圧を該第 1 の電圧供給端子に、第 2 の所定の電圧を該第 2 の電圧供給端子に、そして第 3 の所定の電圧を該共通電極に有効な状態とする工程と、を包含し、

前記第 1 の所定の電圧が前記ディスプレイの少なくとも 1 つの飽和電圧及び前記記憶されたビットの前記位に依存する期間に基づき、前記第 2 の所定の電圧が前記ディスプレイの少なくとも 1 つの閾値電圧及び前記記憶されたビットの前記位に依存する期間に基づき、前記第 1 の所定の電圧と前記第 2 の所定の電圧が前記ディスプレイの論理レベルから独立していることを特徴とする方法。

【請求項 7】

前記ビットの各々を前記記憶素子の中に記憶しつつ、該記憶されたビットの位に依存する期間の間、第 4 の所定の電圧を前記第 1 の電圧供給端子に、第 5 の所定の電圧を前記第 2 の電圧供給端子に、そして第 6 の所定の電圧を前記共通電極に有効な状態とする工程を

10

20

30

40

50

さらに包含する、請求項 6 に記載の方法。

【請求項 8】

前記第 6 の所定の電圧と前記第 5 の所定の電圧との差と、前記第 3 の所定の電圧と前記第 2 の所定の電圧との差とは、大きさが等しく、且つ極性が逆である、請求項 7 に記載の方法。

【請求項 9】

前記第 6 の所定の電圧と前記第 4 の所定の電圧との差と、前記第 3 の所定の電圧と前記第 1 の所定の電圧との差とは、大きさが等しく、且つ極性が逆である、請求項 8 に記載の方法。

【請求項 10】

10

前記第 1 の所定の電圧が前記第 5 の所定の電圧に等しい、請求項 9 に記載の方法。

【請求項 11】

前記第 2 の所定の電圧が前記第 4 の所定の電圧に等しい、請求項 10 に記載の方法。

【請求項 12】

前記第 3 の所定の電圧が前記第 6 の所定の電圧に等しい、請求項 9 に記載の方法。

【請求項 13】

前記データビットが前記記憶素子に書き込まれる期間の間に、前記ディスプレイにオフ状態を有効な状態とする工程をさらに包含する、請求項 7 に記載の方法。

【請求項 14】

前記ディスプレイにオフ状態を有効な状態とする工程が、同じ電圧を、前記第 1 の電圧供給端子、前記第 2 の電圧供給端子、および前記共通電極に有効な状態とする工程を包含する、請求項 13 に記載の方法。

20

【請求項 15】

前記同じ電圧が、前記第 1、前記第 2、前記第 3、前記第 4、前記第 5、および前記第 6 の所定の電圧のうちの 1 つである、請求項 14 に記載の方法。

【請求項 16】

前記ディスプレイにオフ状態を有効な状態とする工程が、前記データビットのうちの 1 つが前記記憶素子に書き込まれる期間の間に、第 1 の同じ電圧を前記第 1 の電圧供給端子、前記第 2 の電圧供給端子、および前記共通電極に有効な状態とする工程と、該データビットのうちの別の 1 つが該記憶素子に書き込まれる期間の間に、第 2 の同じ電圧を該第 1 の電圧供給端子、該第 2 の電圧供給端子、および該共通電極に有効な状態とする工程と、を包含する、請求項 13 に記載の方法。

30

【請求項 17】

前記第 1 の同じ電圧が、前記第 1、前記第 2、前記第 3、前記第 4、前記第 5、および前記第 6 の所定の電圧のうちの 1 つであり、前記第 2 の同じ電圧が、該第 1、該第 2、該第 3、該第 4、該第 5、および該第 6 の所定の電圧のうちの別の 1 つである、請求項 16 に記載の方法。

【請求項 18】

前記データビットが前記記憶素子に書き込まれる期間の間に、前記ディスプレイにオフ状態を有効な状態とする工程をさらに包含する、請求項 6 に記載の方法。

40

【請求項 19】

前記ディスプレイにオフ状態を有効な状態とする工程が、同じ電圧を、前記第 1 の電圧供給端子、前記第 2 の電圧供給端子、および前記共通電極に有効な状態とする工程を包含する、請求項 18 に記載の方法。

【請求項 20】

前記同じ電圧が、前記第 1、前記第 2 および前記第 3 の所定の電圧のうちの 1 つである請求項 19 に記載の方法。

【請求項 21】

前記ディスプレイにオフ状態を有効な状態とする工程が、前記データビットのうちの 1 つが前記記憶素子に書き込まれる期間の間に、第 1 の同じ電圧を、前記第 1 の電圧供給

50

端子、前記第 2 の電圧供給端子、および前記共通電極に有効な状態とする工程と、該データビットのうちの別の 1 つが該記憶素子に書き込まれる期間の間に、第 2 の同じ電圧を、該第 1 の電圧供給端子、該第 2 の電圧供給端子、および該共通電極に有効な状態とする工程と、を包含する、請求項 18 に記載の方法。

【請求項 22】

前記第 1 の同じ電圧が、前記第 1、前記第 2 および前記第 3 の所定の電圧のうちの 1 つであり、前記第 2 の同じ電圧が、該第 1、該第 2 および該第 3 の所定の電圧のうちの別の 1 つである、請求項 21 に記載の方法。

【請求項 23】

前記記憶素子に書き込まれた前記マルチビットデータワードの各々のビットの相補ビットを、前記記憶素子に連続的に書き込む工程と、該ビットの各々の相補ビットを該記憶素子に書き込みつつ、前記記憶されたビットの位に依存する期間の間、第 4 の所定の電圧を前記第 1 の電圧供給端子に、第 5 の所定の電圧を前記第 2 の電圧供給端子に、および第 6 の所定の電圧を前記共通電極に、有効な状態とする工程と、をさらに包含する、請求項 6 に記載の方法。

10

【請求項 24】

前記第 6 の所定の電圧と前記第 4 の所定の電圧との差と、前記第 3 の所定の電圧と前記第 2 の所定の電圧との差とは、大きさが等しく、且つ極性が逆である、請求項 23 に記載の方法。

【請求項 25】

前記第 6 の所定の電圧と前記第 5 の所定の電圧との差と、前記第 3 の所定の電圧と前記第 1 の所定の電圧との差とは、大きさが等しく、且つ極性が逆である、請求項 24 に記載の方法。

20

【請求項 26】

前記第 1 の所定の電圧が前記第 4 の所定の電圧に等しい、請求項 25 に記載の方法。

【請求項 27】

前記第 2 の所定の電圧が前記第 5 の所定の電圧に等しい、請求項 26 に記載の方法。

【請求項 28】

前記第 3 の所定の電圧が前記第 6 の所定の電圧に等しい、請求項 25 に記載の方法。

30

【請求項 29】

前記データビットの前記相補ビットが前記記憶素子に書き込まれる期間の間に前記ディスプレイにオフ状態を有効な状態とする工程をさらに包含する、請求項 23 に記載の方法。

【請求項 30】

前記ディスプレイにオフ状態を有効な状態とする工程が、同じ電圧を前記第 1 の電圧供給端子、前記第 2 の電圧供給端子、および前記共通電極に有効な状態とすることを包含する、請求項 29 に記載の方法。

【請求項 31】

前記同じ電圧が、前記第 1、前記第 2、前記第 3、前記第 4、前記第 5、および前記第 6 の所定の電圧のうちの 1 つである、請求項 30 に記載の方法。

40

【請求項 32】

前記ディスプレイにオフ状態を有効な状態とする工程が、前記データビットのうちの 1 つのビットの相補ビットが前記記憶素子に書き込まれる期間の間に、第 1 の同じ電圧を、前記第 1 の電圧供給端子、前記第 2 の電圧供給端子、および前記共通電極に有効な状態とする工程と、前記データビットの内の別の 1 つのビットの相補ビットが該記憶素子に書き込まれる期間の間に、第 2 の同じ電圧を、該第 1 の電圧供給端子、該第 2 の電圧供給端子、および該共通電極に有効な状態とする工程と、を包含する、請求項 29 に記載の方法。

【請求項 33】

50

前記第 1 の同じ電圧が、前記第 1、前記第 2、前記第 3、前記第 4、前記第 5 および前記第 6 の所定の電圧のうちの 1 つであり、前記第 2 の同じ電圧が、該第 1、該第 2、該第 3、該第 4、該第 5 および該第 6 の所定の電圧のうちの別の 1 つである、請求項 3 2 に記載の方法。

【請求項 3 4】

前記ディスプレイにオフ状態を有効な状態とする工程が、前記データビットの内の 1 つが前記記憶素子に書き込まれる期間の間に、第 1 の同じ電圧を、前記第 1 の電圧供給端子、前記第 2 の電圧供給端子、および前記共通電極に有効な状態とする工程と、前記データビットの内の 1 つのビットの補数が該記憶素子に書き込まれる期間の間に、第 2 の同じ電圧を、該第 1 の電圧供給端子、該第 2 の電圧供給端子、および該共通電極に有効な状態とする工程と、を包含する、請求項 2 9 に記載の方法。

10

【請求項 3 5】

前記第 1 の同じ電圧が、前記第 1、前記第 2、前記第 3、前記第 4、前記第 5 および前記第 6 の所定の電圧のうちの 1 つであり、前記第 2 の同じ電圧が、該第 1、該第 2、該第 3、該第 4、該第 5 および該第 6 の所定の電圧のうちの別の 1 つである、請求項 3 4 に記載の方法。

【請求項 3 6】

複数のピクセル電極、複数の記憶素子、第 1 の電圧供給端子、第 2 の電圧供給端子、共通電極、および複数のマルチプレクサを備えるディスプレイ上にマルチビットデータワードを表示する方法であって、該複数のマルチプレクサの各々は、該記憶素子のうちの関連付けられた 1 つに記憶されたデータビットの値に应答して、該ピクセル電極のうちの関連付けられた 1 つを該第 1 の電圧供給端子および該第 2 の電圧供給端子のうちの 1 方と選択的に接続し、ここで該方法は、該マルチビットデータワードの第 1 のビットを該記憶素子に書き込む工程と、第 1 の期間の間、第 1 の所定の電圧を該第 1 の電圧供給端子に、第 2 の所定の電圧を該第 2 の電圧供給端子に、そして第 3 の所定の電圧を該共通電極に有効な状態とする工程とを包含し、

20

前記第 1 の所定の電圧が前記ディスプレイの少なくとも 1 つの飽和電圧及び前記記憶されたビットの前記位に依存する期間に基づき、前記第 2 の所定の電圧が前記ディスプレイの少なくとも 1 つの閾値電圧及び前記記憶されたビットの前記位に依存する期間に基づき、前記第 1 の所定の電圧と前記第 2 の所定の電圧が前記ディスプレイの論理レベルから独立していることを特徴とする方法。

30

【請求項 3 7】

前記マルチビットデータワードの第 2 のビットを前記記憶素子に書き込む工程と、第 2 の期間の間、第 4 の所定の電圧を前記第 1 の電圧供給端子に、第 5 の所定の電圧を前記第 2 の電圧供給端子に、そして第 6 の所定の電圧を前記共通電極に有効な状態とする工程と、をさらに包含する、請求項 3 6 に記載の方法。

【請求項 3 8】

前記第 1 の期間の長さが前記第 1 の所定の電圧の大きさおよび前記第 1 のデータビットの位に依存し、前記第 2 の期間の長さが前記第 4 の所定の電圧の大きさおよび前記第 2 のデータビットの位に依存する、請求項 3 7 に記載の方法。

40

【請求項 3 9】

前記第 1 の期間の長さが前記第 2 の期間の長さに等しく、前記第 1 の所定の電圧の大きさが前記第 1 のデータビットの位に依存し、前記第 4 の所定の電圧の大きさが前記第 2 のビットの位に依存する、請求項 3 8 に記載の方法。

【請求項 4 0】

前記第 1 の所定の電圧が前記第 2 の所定の電圧に等しい、請求項 3 8 に記載の方法。

【請求項 4 1】

前記第 1 の所定の電圧が前記第 4 の所定の電圧とは異なり、前記第 1 の期間が前記第 2 の期間とは異なる、請求項 3 8 に記載の方法。

【請求項 4 2】

50

前記第 1 のデータビットを前記記憶素子に書き込む工程の間、および前記第 2 のデータビットを該記憶素子に書き込む工程の間に、前記ディスプレイにオフ状態を有効な状態とする工程をさらに包含する、請求項 3 8 に記載の方法。

【請求項 4 3】

第 2 の期間の間、第 4 の所定の電圧を前記第 1 の電圧供給端子に、第 5 の所定の電圧を前記第 2 の電圧供給端子に、そして第 6 の所定の電圧を前記共通電極に有効な状態とする工程をさらに包含する、請求項 3 6 に記載の方法。

【請求項 4 4】

前記第 1 の期間が前記第 1 の所定の電圧の振幅および前記第 1 のデータビットの位に依存し、前記第 2 の期間が前記第 4 の所定の電圧および前記第 1 のデータビットの位に依存する、請求項 4 3 に記載の方法。

10

【請求項 4 5】

前記第 1 の所定の電圧、前記第 2 の所定の電圧、前記第 1 の期間の間隔、および前記第 2 の期間の間隔が、前記第 1 の電圧供給端子と前記共通電極との間で D . C . バイアスが正味 0 ボルトとなるように選択される、請求項 4 4 に記載の方法。

【請求項 4 6】

前記第 1 の期間が前記第 2 の期間に等しい、請求項 4 5 に記載の方法。

【請求項 4 7】

前記第 3 の所定の電圧と前記第 1 の所定の電圧との差と、前記第 6 の所定の電圧と前記第 4 の所定の電圧との差とは、大きさが等しく、且つ極性が逆である、請求項 4 5 に記載の方法。

20

【請求項 4 8】

前記第 4 の所定の電圧を前記第 1 の電圧供給端子に、前記第 5 の所定の電圧を前記第 2 の電圧供給端子に、そして前記第 6 の所定の電圧を前記共通電極に有効な状態とする工程に続いて、前記ディスプレイに第 1 のオフ状態を有効な状態とする工程をさらに包含する、請求項 4 7 に記載の方法。

【請求項 4 9】

前記ディスプレイに第 1 のオフ状態を有効な状態とする工程が、前記第 4 の所定の電圧、前記第 5 の所定の電圧、および前記第 6 の所定の電圧のうちの同じ 1 つを、前記第 1 の電圧供給端子、前記第 2 の電圧供給端子、および前記共通電極に有効な状態とすることをさらに包含する、請求項 4 8 に記載の方法。

30

【請求項 5 0】

前記第 1 のオフ状態を前記ディスプレイに有効な状態とする工程の間に、第 2 のデータビットを前記記憶素子に書き込む工程と、前記第 4 の所定の電圧を前記第 1 の電圧供給端子に有効な状態とし、前記第 5 の所定の電圧を前記第 2 の電圧供給端子に有効な状態とし、そして前記第 6 の所定の電圧を前記共通電極に有効な状態とする工程と、前記第 1 の所定の電圧を該第 1 の電圧供給端子に有効な状態とし、前記第 2 の所定の電圧を該第 2 の電圧供給端子に有効な状態とし、そして前記第 3 の所定の電圧を該共通電極に有効な状態とする工程とをさらに包含する請求項 4 8 に記載の方法。

【請求項 5 1】

前記第 1 の所定の電圧を前記第 1 の電圧供給端子に有効な状態とし、前記第 2 の所定の電圧を前記第 2 の電圧供給端子に有効な状態とし、そして前記第 3 の所定の電圧を前記共通電極に有効な状態とする工程に続いて、前記ディスプレイに第 2 のオフ状態を有効な状態とする工程をさらに包含する、請求項 5 0 に記載の方法。

40

【請求項 5 2】

前記第 1 のオフ状態を前記ディスプレイに有効な状態とする工程が、前記第 4 の所定の電圧、前記第 5 の所定の電圧および前記第 6 の所定の電圧のうちの同じ 1 つを、前記第 1 の電圧供給端子、前記第 2 の電圧供給端子および前記共通電極に有効な状態とする工程を包含し、前記第 2 のオフ状態を該ディスプレイに有効な状態とする工程が、前記第 1 の所定の電圧、前記第 2 の所定の電圧および前記第 3 の所定の電圧のうちの同じ 1 つを、該第

50

１の電圧供給端子、該第２の電圧供給端子および該共通電極に有効な状態とする工程を包含する、請求項５１に記載の方法。

【請求項５３】

複数のピクセル電極、複数の記憶素子、第１の電圧供給端子、第２の電圧供給端子、共通電極および複数のマルチプレクサを備えるディスプレイ上にマルチビットデータワードを表示する方法であって、該マルチプレクサの各々は、該記憶素子のうちの関連付けられた１つに記憶されたデータビットの値に応答して、該ピクセル電極のうちの関連付けられた１つを該第１の電圧供給端子および該第２の電圧供給端子のうちの一方と選択的に接続し、ここで該方法は、該マルチビットデータワードの第１のビットを該記憶素子に書き込む工程、第１の所定の電圧を該共通電極に有効な状態とする工程と、該データビットの位、該第１の所定の電圧の振幅および該ディスプレイの飽和電圧に依存する第１の期間の間、第２の所定の電圧を該第１の所定の電圧供給端子に有効な状態とする工程と、該データビットの位、該第１の所定の電圧の振幅および該ディスプレイの閾値電圧に依存する時間についての第２の期間の間、該第２の所定の電圧を該第２の電圧供給端子に有効な状態とする工程と、を包含し、前記第２の所定の電圧が前記ディスプレイの論理レベルから独立しているする、方法。

10

【請求項５４】

前記第２の所定の電圧を前記共通電極に有効な状態とする工程と、前記第１の所定の電圧を前記第１の電圧供給端子に、前記第１の期間に等しい第３の期間の間、有効な状態とする工程と、該第１の所定の電圧を前記第２の電圧供給端子に、前記第２の期間に等しい第４の期間の間、有効な状態とする工程と、を包含する、請求項５３に記載の方法。

20

【請求項５５】

前記第１の期間の後に、前記第１の所定の電圧を前記第１の電圧供給端子に有効な状態とする工程と、前記第２の期間の後に、該第１の所定の電圧を前記第２の電圧供給端子に有効な状態とする工程、をさらに包含する、請求項５４に記載の方法。

【請求項５６】

前記第３の期間の後に、前記第２の所定の電圧を前記第１の電圧供給端子に有効な状態とする工程と、前記第２の期間の後に、該第２の所定の電圧を前記第４の電圧供給端子に有効な状態とする工程と、をさらに包含する、請求項５５に記載の方法。

【請求項５７】

ディスプレイ駆動回路に請求項１に記載の工程を行わせるためのプログラムを備えるコンピュータに実行させるためのプログラムを記録したコンピュータ読み取り可能な記録媒体。

30

【請求項５８】

ディスプレイ駆動回路に請求項６に記載の工程を行わせるためのプログラムを備えるコンピュータに実行させるためのプログラムを記録したコンピュータ読み取り可能な記録媒体。

【請求項５９】

ディスプレイ駆動回路に請求項３６に記載の工程を行わせるためのプログラムを備えるコンピュータに実行させるためのプログラムを記録したコンピュータ読み取り可能な記録媒体。

40

【請求項６０】

ディスプレイ駆動回路に請求項５３に記載の工程を行わせるためのプログラムを備えるコンピュータに実行させるためのプログラムを記録したコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、一般に電子ドライバ回路に関し、さらに詳細には、液晶ディスプレイにおけるピクセル電極の飽和電圧と閾値電圧との間の変調を達成する所定の電圧を多重化するこ

50

とにより、ディスプレイを駆動する新規な回路および方法に関する。

【背景技術】

【0002】

(背景技術の説明)

図1は、典型的な液晶ディスプレイの単一のピクセルセル100を示す。ピクセルセル100は、透明共通電極104と、ピクセル記憶電極106との間に挟まれた液晶層102、および記憶素子108を含む。記憶素子108は、相補型データ入力端子110および112、データ出力端子114、および制御端子116を含む。制御端子116上の書込み信号に応答して、記憶素子108は、1対のビット線(B+およびB-)118および120上に有効な状態とされた相補データ信号を読み出し、且つ出力端子114、および接続されたピクセル電極106上にその信号をラッチする。

10

【0003】

液晶層102は、そこを通過している光の偏光を回転させ、その回転の度合いは、液晶層102にわたる二乗平均(RMS)電圧に依存する。偏光を回転させる能力は、反射光の強度を変調するために、以下のように用いられる。入射光ビーム122は、偏光子124により偏光される。その偏光されたビームは、次に液晶層102を通過し、ピクセル電極106で反射し、液晶層102を再度通過する。液晶層102を2度通過するこの間に、ビームの偏光は、ピクセル記憶電極106上に有効な状態とされているデータ信号に依存する量だけ回転させられる。このビームは、次に特定の偏光を有するビームのその部分のみを通過させる偏光子126を通過する。よって、偏光子126を通過する反射ビームの光度は、液晶層102により誘導された偏光回転の量に依存し、また、この偏光回転の量も、ピクセル記憶電極106上に有効な状態とされているデータ信号に依存している。

20

【0004】

記憶素子108は、(例えば、容量性の)アナログ式記憶素子または、デジタル式記憶素子(例えば、SRAMラッチ)のいずれかであり得る。デジタル式記憶素子の場合、ピクセル記憶電極106を駆動する共通の方法は、パルス幅変調(PWM)を介する。PWMにおいては、異なるグレースケールレベルが、マルチビットワード(すなわち、2進数)により表わされる。マルチビットワードは、一連のパルスに変換され、その時間平均の平方自乗平均(RMS)電圧は、所望のグレースケールレベルを得るために必要なアナログ電圧に対応する。

30

【0005】

例えば、4ビットのPWM方式では、フレーム時間(グレースケール値が全てのピクセルに書き込まれる時間)は、15の時間間隔に分けられる。各間隔の間、信号(ハイ、例えば5V、またはロウ、例えば0V)が、ピクセル記憶電極106上に有効な状態とされる。それゆえ、16(0-15)の異なるグレースケール値が、フレーム時間中に有効な状態とされた「ハイ」パルスの数に応じて存在し得る。0のハイパルスの有効な状態は、0のグレースケール値(RMS 0V)に対応し、一方で、15のハイパルスの有効な状態は、15のグレースケールレベル(RMS 5V)に対応する。ハイパルスの中間の数は、中間のグレースケールレベルに対応する。

【0006】

図2は、4ビットのグレースケール値(1010)に対応する一連のパルスを示し、ここで、最上位ビットは、1番左側のビットである。この2値重みつきパルス幅変調の例では、パルスは2値グレースケール値のビットに対応するようにグループ分けされる。具体的には、第1のグループB3は、8個の間隔(23)を含み、値(1010)の最上位のビットに対応する。同様に、グループB2は、その次に上位にあるビットに対応する4個の間隔(22)を含み、グループB1は、その次に上位にあるビットに対応する2個の間隔(21)を含み、グループB0は、最下位のビットに対応する1個の間隔(20)を含む。このグループ分けにより、必要とされるパルスの数は、15から4へと減少され、2値グレースケール値の各ビットに対して1つのパルスとなり、各パルスの幅は関連づけられたビットの位(significance)に対応する。よって、値(1010)におい

40

50

て、第 1 のパルス B 3 (8 個の間隔の幅) はハイであり、第 2 のパルス B 2 (4 個の間隔の幅) はロウであり、第 3 のパルス B 1 (2 個の間隔の幅) はハイであり、最後のパルス B 0 (1 個の間隔の幅) はロウである。この一連のパルスは、結果的に最大値 (5 V) の約、 $(2 / 3)^{1 / 2}$

(1 5 個の間隔のうちの 1 0)、すなわち約 4 . 1 V である R M S 電圧となる。

【 0 0 0 7 】

グレースケールの解像度は、2 値グレースケール値にさらなるビットを加えることにより、向上され得る。例えば、8 ビットが用いられていれば、フレーム時間は 2 5 5 個の間隔に分けられ、2 5 6 のグレースケール値を提供することが可能である。一般に、n 個のビットに対して、フレーム時間は $(2 n - 1)$ 個の間隔に分けられ、 $(2 n)$ のグレースケール値をもたらすことが可能である。

10

【 0 0 0 8 】

液晶セルは、その全体にわたって印加された D C 電圧に起因するイオンの移動による劣化に影響を受けやすいので、前述の P W M 方式は、図 3 に示すように修正される。フレーム時間は半分に分けられる。前半部分において、P W M データが、ピクセル記憶電極に有効な状態とされる一方で、共通電極はロウを維持する。フレーム時間の後半部分において、P W M データの相補データが、ピクセル記憶電極に有効な状態とされる一方で、共通電極はハイを維持する。これにより、正味 0 V の D C 成分が生じ、当業者には周知のとおり、セル全体にわたる R M S 電圧を変更することなく、液晶セルの劣化を妨げる。

20

【 0 0 0 9 】

図 4 は、電氣的に制御された複屈折液晶セルの応答曲線を示す。縦軸 4 0 2 は、セルの最大輝度 (すなわち、最大光反射) の割合を示し、横軸 4 0 4 は、セル全体にわたる R M S 電圧を示す。示されるとおり、最小輝度 (暗いピクセル) は、R M S 電圧 $V_{t t}$ で達成される。いくつかの光の波長においては、 $V_{t t}$ より小さい R M S 電圧は、図 4 に示すとおり、完全に暗くはないピクセルを生じる。他の波長においては、 $V_{t t}$ より小さい全ての R M S 電圧は、暗いピクセルを生じる。 $V_{t t}$ と、 $V_{s a t}$ との間の曲線部分において、輝度の割合は、R M S 電圧の増加とともに、 $V_{s a t}$ で 1 0 0 % の最大輝度が達成されるまで増加する。しかしながら、R M S 電圧が、一旦 $V_{s a t}$ を上回ると、R M S 電圧の増加とともに、輝度の割合は減少する。

30

【 0 0 1 0 】

図 5 は、8 ビット (2 5 6 個のグレースケール値) のグレースケールシステムの R M S 電圧対グレースケール値曲線を示す。各グレースケール値 (「グレー値」) に対する R M S 電圧は、下記の公式により求められ、ここで、 $V_{o n}$ は、デジタルが「オン」の値であり、典型的に $V_{d d}$ とする。

40

$$V_{r m s} = ((1 / 2 5 5) (G r a y V a l u e) (V_{o n}))^{1 / 2}$$

【 0 0 1 1 】

グレースケール値 (x) は、 $V_{t t}$ 、および、再度図 4 を参照して、0 % の輝度 (すなわち、ちょうど 0 の輝度にはなり得ない最小輝度) に相当する R M S 電圧に対応する。よって、値 (x) よりも小さいグレースケール値は使用できない。なぜなら、いくつかの光の波長においては、より暗いピクセルではなく、より明るいピクセルを生じ、他の波長においては、その値が 0 % の輝度になり、それゆえ、余分である。同様に、値 (y) は、 $V_{s a t}$ 、および、再度図 4 を参照して、1 0 0 % の輝度に相当する R M S 電圧に対応する。よって、値 (y) よりも大きなグレースケール値も使用できない。なぜなら、より明るいピクセルではなく、より暗いピクセルを生じるからである。これらの無駄な値からは、結果的には、正確な 8 ビットのグレースケール解像度は得られない。

50

【 0 0 1 2 】

グレースケールの歪みを避けるために、全てのグレースケール値は、 $V_{t t}$ と、 $V_{s a t}$ との間の液晶応答曲線 (図 4) の有効部分のみに限定されなければならない。これを達成するための 1 つの方法は、グレースケールコードにさらなるビットを加え (例えば、9 ビットのグレースケールシステムの使用)、次に応答曲線の有効部分に対応する 9 ビット

50

システムの値に 8 ビットの値を割り付けることである。単一のビットの追加は、しかしながら、データインターフェースのバンド幅必要量を 100 % 増加させ、それゆえ、望ましくはない。必要であるのは、使用できるグレースケールの値の全てを、液晶応答曲線の有効部分に限定するためのシステムおよび方法である。

【発明の概要】

【発明が解決しようとする課題】

【0013】

液晶応答曲線の有効部分にグレースケール値の全てを限定するという問題に加えて、デバイアシング (debiasing) (すなわち、ピクセルセル全体にわたって、正味 0 V の DC バイアスを維持すること) を実行することも困難である。例えば、ピクセル電極にデータが有効な状態とされている間は、共通電極で有効な状態とされている電圧は変更され得ない。もし変更されれば、ディスプレイに有効な状態とされているデータが変更 (ハイ信号をロウ信号に変換すること、およびその反対) され、且つ表示イメージが歪められる。さらに、データをディスプレイに書き込むために必要な時間の実質量的のために、「オン」状態、または「オフ」状態をディスプレイ全体に迅速に書き込むことが困難である。また、ディスプレイ内のデータを反転するために、そのデータの相補データがディスプレイの各ピクセルに書き込まなければならない。

10

【0014】

必要であるのは、記憶されたデータを迅速に反転すること、オンおよびオフ状態を迅速に実行すること、および書込み時間柔軟性を提供することが可能なディスプレイである。

20

【課題を解決するための手段】

【0015】

新規なディスプレイを駆動する新規の方法が記載される。このディスプレイの例示的な実施形態において、各ピクセルセルがピクセルセル内に記憶されたデータビットに応答して、ピクセル電極と、2つのグローバル電圧供給端子 (global voltage supply terminal) の内の1つとを選択的に接続させるマルチプレクサを含む新規なディスプレイを説明する。この構成は、記憶されたデータビットをピクセル電極に直接有効な状態とする従来のディスプレイに対して、多くの利点を提供する。例えば、本発明では、ピクセル電極が、ディスプレイの論理回路を駆動するために用いられる電圧よりも高いか、または低い電圧を用いて、デジタル方式で駆動され得るので、特定のビットがピクセルに書き込まれる時間に関して柔軟性を提供する。また、オフ状態 (すなわち、ピクセルセル全体にわたって電圧がない) が、ピクセルセル内に記憶されたいずれのデータも変更することなく、グローバル電圧供給端子、およびピクセルアレイ全体をオーバーレイする共通電極に適切な電圧を有効な状態とすることにより、ディスプレイのピクセル全てに一度に書き込まれ得る。本発明により提供されるさらに別の利点は、グローバル電圧供給端子にさまざまな所定の電圧を単に有効にすることにより、相補データビットをディスプレイにロードする特別の工程を用いることなく、ピクセルセルがデバイアシングされ得る。

30

【0016】

本発明の方法は、コンピュータ読出し可能媒体 (例えば、RAM、またはROM) に組み込まれた処理装置実行コードの制御下で、種々の所定の電圧を電圧供給端子において有効な状態とする電圧コントローラを用いて実施され得る。

40

【0017】

本発明の1つの方法によると、電圧コントローラは基準電圧をディスプレイの共通電極に有効な状態とし、ディスプレイの飽和電圧を電圧供給端子の1つに有効にとし、そしてディスプレイの閾値電圧を電圧供給端子の別の1つに有効な状態とする。次いで、マルチビットデータワードの各ビットをこのディスプレイのピクセルセルに連続的に書き込み、各ビットを各ビットの位に依存する期間の間、ピクセルセル内に残留させる。

【0018】

代替方法は、マルチビットデータワードの各ビットをピクセルセルの記憶素子に連続的

50

に書き込む工程、および各ビットを記憶素子に記憶しつつ、第 1 の所定の電圧を第 1 の電圧供給端子に、第 2 の所定の電圧を第 2 の電圧供給端子に、そして第 3 の所定の電圧を共通電極に、全て、ディスプレイのセルを変調するために記憶された各ビットの位に依存する期間有効な状態とする工程を包含する。必要に応じて、この方法は、ピクセルセルをデバイアスするために、各ビットを記憶素子に記憶しつつ記憶されたビットの位に依存する期間の間、第 4 の所定の電圧を第 1 の電圧供給端子に、第 5 の所定の電圧を第 2 の電圧供給端子に、そして第 6 の所定の電圧を共通電極に有効な状態とするさらなる工程を包含する。

【図面の簡単な説明】

【0019】

10

【図 1】図 1 は、典型的な液晶ピクセルセルのブロック図を示す。

【図 2】図 2 は、4 ビット 2 値重みつきパルス幅変調データの 1 つのフレームを示す。

【図 3】図 3 は、図 2 の 4 ビットのパルス幅変調データが、正味 0 ボルトの DC バイアスであるスプリットフレームの適用を示す。

【図 4】図 4 は、典型的な液晶輝度応答対 RMS 電圧曲線を示す。

【図 5】図 5 は、RMS 電圧対 8 ビットのグレースケール値曲線を示す。

【図 6】図 6 は、本発明にもとづく多重ピクセルディスプレイのブロック図を示す。

【図 7】図 7 は、図 6 のディスプレイの単一ピクセルセルを詳細に示す。

【図 8】図 8 は、図 7 の電圧コントローラの 1 つの実施形態のブロック図である。

【図 9】図 9 は、図 6 のディスプレイの 1 つの実施形態に、多数の 2 値重みつきデータビットを書き込むためのタイミング図を示す。

20

【図 10】図 10 は、図 9 のタイミング図を実行するための方法を要約したフローチャートである。

【図 11】図 11 は、グレースケール値を RMS 電圧の有効な範囲に限定するために、本発明にもとづいて修正された RMS 電圧対グレースケール値曲線である。

【図 12 A】図 12 A は、本発明の 1 つの実施形態に用いられる変調方式およびデバイアシング方式を示す電圧方式である。

【図 12 B】図 12 B は、図 12 A に示される電圧のサンプル値を示す表である。

【図 13】図 13 は、本発明にもとづいて特定の駆動方式を実行するための別の電圧コントローラのブロック図である。

30

【図 14】図 14 は、図 12 A の電圧方式の実行を示すタイミング図である。

【図 15】図 15 は、図 13 の駆動方式の方法を要約したフローチャートである。

【図 16】図 16 は、本発明にもとづいて特定の駆動方式を実行するための別の電圧コントローラのブロック図である。

【図 17】図 17 は、図 12 A の電圧方式の実行を示すタイミング図である。

【図 18】図 18 は、図 17 の駆動方式にもとづいて図 6 のディスプレイを駆動するための方法を要約したフローチャートである。

【図 19 A】図 19 A は、本発明の 1 つの実施形態に用いられる変調方式およびデバイアス方式を示す電圧方式である。

【図 19 B】図 19 B は、図 19 A に示される電圧のサンプル値を示す表である。

40

【図 20】図 20 は、本発明にもとづいて特定の駆動方式を実行するための別の電圧コントローラのブロック図である。

【図 21 A】図 21 A は、図 19 A の電圧方式の実行を示すタイミング図である。

【図 21 B】図 21 B は、図 19 A の電圧方式の別の実行を示すタイミング図である。

【図 22】図 22 は、図 21 A および 21 B の駆動方式にもとづいて、図 6 のディスプレイを駆動するための方法を要約したフローチャートである。

【図 23 A】図 23 A は、本発明の 1 つの実施形態に用いられる変調方式およびデバイアシング方式を示す図である。

【図 23 B】図 23 B は、図 23 A に示されるサンプル値を示す表である。

【図 24】図 24 は、本発明にもとづいて、特定の駆動方式を実行するための別の電圧コ

50

ントローラのブロック図である。

【図 2 5】図 2 5 は、図 2 3 A の電圧方式の実行を示すタイミング図である。

【図 2 6】図 2 6 は、図 2 5 の駆動方式にもとづいて、図 6 のディスプレイを駆動するための方法を要約したフローチャートである。

【図 2 7】図 2 7 は、本発明にもとづいて、特定の駆動方式を実行するための別の電圧コントローラのブロック図である。

【図 2 8】図 2 8 は、図 6 のディスプレイを用いて別の駆動方式を示すタイミング図である。

【図 2 9】図 2 9 は、図 2 8 の駆動方式にもとづいて、図 6 のディスプレイを駆動するための方法を要約したフローチャートである。

10

【図 3 0】図 3 0 は、図 6 のディスプレイを用いて別の駆動方式を示すタイミング図である。

【図 3 1】図 3 1 は、図 3 0 の駆動方式にもとづいて、図 6 のディスプレイを駆動するための方法を要約したフローチャートである。

【図 3 2】図 3 2 は、本発明にもとづいて、特定の駆動方式を実行するための別の電圧コントローラのブロック図である。

【図 3 3】図 3 3 は、本発明にもとづいて、別の駆動方式を示すタイミング図である。

【図 3 4】図 3 4 は、本発明にもとづいて、特定の駆動方式を実行することが可能な別の電圧コントローラのブロック図である。

【図 3 5】図 3 5 は、本発明にもとづいて、別の駆動方式を示すタイミング図である。

20

【図 3 6】図 3 6 は、単一の制御信号により動作可能な別の電圧コントローラである。

【発明を実施するための形態】

【0020】

本発明は、添付の図面を用いて説明され、各図面において、同じ参照番号は実質的に同様の要素を示す。

本発明は、ディスプレイのピクセル電極への所定の電圧の多重化を制御するディスプレイデータビットを用いることにより、ピクセル電極に直接データビットを有効な状態とせず従来技術における問題を克服する。

本発明は、特定の実施形態に関して説明される。本発明を完全に理解するために、特定の詳細が多く示される（例えば、特定のデータワード内のデータビットの数、各種電圧源のオンまたはオフチップ配置（on or off chip disposition）、および特定の変調/デバイアシング方式を実行するために必要な異なる電圧源の数）。本発明が、これらの特定の詳細とは別に実施され得ることは、当業者であれば理解する。他の場合においては、本発明を不必要に不明瞭にすることがないように、回路の周知の詳細（例えば、ディスプレイのピクセル記憶セルにデータを書き込むこと）は省略される。

30

【0021】

図 6 は、本発明にもとづくディスプレイ 600 を示す。ディスプレイ 600 は、ピクセルセルのアレイ、電圧コントローラ 604、処理装置 606、メモリデバイス 608、およびピクセルセルのアレイ全体をオーバーレイする共通透明電極 610 を含む。特定の実施形態において、ピクセルセル 602 は、集積モノリシックシリコンバックプレーン（integrated monolithic silicon backplane）で形成され、複数のピクセルミラー 612 と重なり合う。典型的なピクセルアレイは、768 行と 1024 列のピクセルセルを含む。液晶材料の層は、ピクセルミラー 612 と、例えば、インジウムスズ酸化物から形成された共通透明電極 610 との間に挟まれている。

40

【0022】

メモリ 608 は、本明細書中に記載の各種の方法および駆動方式を処理装置 606 に実行させるために、その内部に組み込まれたコード（例えば、データおよびコマンド）を有するコンピュータ読出し可能媒体（例えば、RAM、ROM、その他）である。処理装置 606 は、メモリバス 614 を介して、メモリ 608 からデータ、およびコマンドを受け取り、電圧制御バス 616 を介して、電圧コントローラ 604 に内部電圧制御信号を提供

50

し、且つデータ制御バス 618 を介して、データ制御（例えば、ピクセルアレイへのデータ）信号を提供する。

【0023】

処理装置 606 のデータ制御局面は、ピクセルアレイへのデータのロードが、当業者には周知であるので、本発明を完全に理解するために必須ではない。さらに、処理装置の制御下での液晶ディスプレイへのデータのロードは、1997 年 11 月 14 日出願の、Wo r l e y らによる同時係属中の米国特許出願番号第 08 / 970 , 878 号に記載されており、その全てを本明細書中に参考のため援用する。簡潔に要約すると、データビットの行が、ビット線 118 および 120 に有効な状態とされ、次に複数のワード線 620 の内の特定の 1 つに書込み信号を有効な状態とすることにより、その有効な状態とされたビットが、その特定の行のピクセルセルに書き込まれる。このように、データビットは、ディスプレイ全体の各ピクセルセルに連続して書き込まれ得る。

10

【0024】

電圧制御バス 616 を介して、処理装置 606 から受信した制御信号に応答して、電圧コントローラ 604 は、第 1 の電圧供給端子（V1）622、および第 2 の電圧供給端子（V0）624 を介して、ピクセルセル 602 に所定の電圧を提供する。電圧コントローラ 604 はまた、共通電圧供給端子（VC）626 を介して、共通電極 610 に所定の電圧を有効な状態とする。電圧コントローラ 604 の各種の実施形態が、本明細書中において開示され、そのいくつかは、処理装置 606 からの制御信号を必要とし、その他は必要としない。特定の実施形態において必要とされる制御信号の数が、電圧制御バス 616 で必要とされるラインの数を決定することは、当業者であれば理解する。電圧コントローラ 604、処理装置 606、およびメモリ 608 が、ピクセルアレイに対して、オンまたはオフチップで配置され得ることも、当業者であれば理解する。

20

【0025】

図 7 は、記憶ラッチ 702、およびマルチプレクサ 704 を含む、ディスプレイ 600 の例示的なピクセルセル 602 のブロック図を示す。ラッチ 702 は、データライン（B+）118 および（B-）120 とそれぞれ接続されている相補型入力端子 706 および 708、ワード線 620 と接続されたイネーブル端子 710、およびデータ出力端子 712 を含む。ワード線 620 上の書込み信号に応答して、ラッチ 702 は出力端子 712 にデータビットをラッチする。この特定の実施形態において、ラッチ 702 は、スタティックランダムアクセス（SRAM）ラッチであるが、データビットを受け取り、そのビットを記憶し、且つ出力端子 712 にその記憶したビットを有効な状態とすることが可能ないずれの記憶素子が、SRAM ラッチ 702 の代わりに用いられ得ることは、当業者であれば理解する。

30

【0026】

マルチプレクサ 704 は、第 1 の電圧供給端子（V1）622 と接続された第 1 の入力端子 714、第 2 の電圧供給端子（V0）624 と接続された第 2 の入力端子 716、ピクセル電極 612 と接続された出力端子 718（この特定の実施形態においては、ピクセルミラー）、および記憶ラッチ 702 の出力端子 712 と接続された制御端子 720 を含む。このように構成されたマルチプレクサ 704 は、制御端子 720 に有効な状態とされたデータビットに応答して、ピクセル電極 612 を第 1 の電圧供給端子（V1）622、および第 2 の電圧供給端子（V0）624 と選択的に接続させるように動作する。例えば、ロジックハイ値（例えば、デジタル方式の 1、または 5 ボルト）を有するビットが、ラッチ 702 内に記憶されれば、マルチプレクサ 704 は、ピクセル電極 612 を第 1 の電圧供給端子 622 と接続させる。反対に、ロジックロウ値（例えば、デジタル方式の 0、または 0 ボルト）を有するビットが、ラッチ 702 内に記憶されれば、マルチプレクサ 704 は、ピクセル電極 612 を第 2 の電圧供給端子（V0）624 と接続させる。

40

【0027】

（図 1 のピクセルセル 100 のように）ピクセル電極にデータビットを直接有効な状態とせず、制御手段として、ラッチ 702 内に記憶されているデータビットを用いること

50

により、従来技術に対して多くの利点が提供される。例えば、ピクセル電極は、ディスプレイの論理回路を駆動するために用いられる電圧よりも高いか、または低いデジタル電圧を用いて駆動され得るので、特定のビットがピクセル電極に有効な状態とされなければならない期間を短縮または延長する。別の実施例として、オフ状態（ピクセルセル全体にわたって 0 ボルト）が、ディスプレイのラッチ内に記憶されたいずれのデータも変更することなく、ディスプレイ全体に一度に有効な状態とされ得る。同様に、ピクセルセルは、データの相補データを記憶ラッチに書き込む特別な工程なしでデバイアシングされ得る（図 3 参照）。本発明のこれらおよび他の利点は、特に本開示を参照することにより、当業者には明白である。

【0028】

10

図 8 は、処理装置 606 からの制御信号を必要としない、別の電圧コントローラ 800 のブロック図である。電圧コントローラ 800 は、飽和電圧（ V_{sat} ）基準 802、閾値電圧（ V_{tt} ）基準 804、および共通電圧（ V_C ）基準 806 を含む。基準電圧 802、804、および 806 のそれぞれは、オンチップで発生され得るか、またはオフチップソース（ $off\ chip\ source$ ）からの基準電圧を受け取るための単なる接続端子であり得る。基準電圧 802、804、および 806 のソースの有無に関わらず、第 1 の電圧供給端子 622、第 2 の電圧供給端子 804、および共通電圧供給端子 626 のそれぞれにこれらの電圧を有効な状態とすることは、電圧コントローラ 800 の機能的定義内と見なされる。

【0029】

20

図 9 は、いくつかのデータビット（ $B_0 \sim B_4$ ）のディスプレイ 600 への書き込みを示すタイミング図であり、電圧コントローラ 800 は、第 1 の電圧供給端子 622、第 2 の電圧供給端子 624、および共通電圧供給端子のそれぞれに、 V_{sat} 、 V_{tt} 、および V_C を有効な状態とする。ビット（ $B_0 \sim B_4$ ）が、図 2 を参照して上記で説明されたように、2 値重みつきビットであるので、各ビットがディスプレイ 600 に有効な状態とされている期間が、特定のビットの位に依存し、ビット B_4 の継続時間全体は示していないが、他のビットはビット B_4 に続いて表示されることに留意されたい。

【0030】

また、例えば、ビット B_0 のビットを、ディスプレイ 600 に書き込むことは、複数のマルチビットデータワードのそれぞれの位 B_0 の 1 つのビットを、ディスプレイ 600 の複数の記憶素子（ラッチ）のそれぞれに書き込むことを意味するということは理解されるであろう。よって、 B_0 は、マルチビットデータワードの特定のビットの位に相当し、いずれの特定のマルチビットデータワードのビット B_0 は、ロジックハイか、またはロジックロウ値のどちらかを有し得る。図 9 のタイミング図のデータ部分の斜線は、各ビット（例えば、 B_0 ）の特定の値をディスプレイ 600 の各記憶素子への書き込むために有限時間を要することを示す。

30

【0031】

図 10 は、図 9 に示す駆動方式にもとづいて、電圧コントローラ 800 を用いてディスプレイ 600 を駆動するための方法 1000 を要約したフローチャートである。第 1 のステップ 1002 において、電圧コントローラ 800 は、共通電圧供給端子 626 を介して、共通電極 610 に V_C を有効な状態とし、第 1 の電圧供給端子 622 に V_{sat} を有効な状態とし、且つ第 2 の電圧供給端子 624 に V_{tt} を有効な状態とする。次に、第 2 のステップ 1004 において、第 1 のビット（例えば、 B_0 ）が、第 1 のデータビットの位に依存した期間の間、ディスプレイ 600 の記憶素子 702 に書き込まれる。次のステップ 1006 において、前に表示されたビットが、表示されるべき最後のビットであったかどうか判定される。そうでなければ、第 4 のステップ 1008 において、次のデータビットが、次のビットの位に依存した期間の間、ディスプレイ 600 の記憶素子 702 に書き込まれる。ステップ 1006 および 1008 は、第 3 のステップ 1006 において、最後のデータビットが、その位に依存した時間表示されたことが判定されるまで繰り返され、その後、第 10 のステップ 1010 で、方法 1000 は終了する。

40

50

【0032】

図11は、ディスプレイ600のピクセル電極に、実際の飽和電圧 (V_{sat}) および閾値電圧 (V_{tt}) を、2値重みつきパルス幅変調データとして多重化する方法1000の結果を示す。特に、RMS電圧対グレースケール値曲線は、0のグレースケール値が V_{tt} (完全に暗い) のRMS電圧に対応し、且つ255のグレースケール値が、 V_{sat} (最大輝度) のRMS電圧に対応するようにシフトされる。

【0033】

方法1000とともに用いられる電圧コントローラ800は、グレースケール値をディスプレイ応答曲線の有効部分に一致させることが可能であるが、方法1000は、それ自身では、本発明の有利な結果の全てを提供しない。特に、方法1000は、ディスプレイ600のピクセルセルのデバイアシングには備えていないか、またはデータが比較的短い最下位のビット (LSB) 時間内にディスプレイ全体に書き込まなければならないという事実を考慮しない。

【0034】

図12Aは、本発明にもとづいて、ディスプレイ600の変調およびデバイアシングの両方に備える電圧方式を示す。正常状態、および反転状態の両方は、ピクセルセルのRMS変調に寄与するが、正常および反転状態は、互いにバランスをとり、セル全体にわたる正味0ボルトのDCバイアスを保証する。正常状態において、電圧コントローラ604は、第1の電圧供給端子 (V_1) 622に第1の所定の電圧 ($V_{Cn} + V_{sat}$)、第2の電圧供給端子 (V_0) 624に第2の所定の電圧 ($V_{Cn} + V_{tt}$)、そして共通電圧供給端子626に第3の所定の電圧 (V_{Cn}) を有効な状態とする。反転 (デバイアシング) 状態において、電圧コントローラ604は、第1の電圧供給端子622に第4の所定の電圧、第2の電圧供給端子624に第5の所定の電圧、そして共通の電圧供給端子626に第6の所定の電圧を有効な状態とする。反転 (デバイアシング) 状態において、各種電圧供給端子622、624、および626間の電圧差は、ディスプレイのピクセルセル全体にわたって正味0ボルトのDCバイアスを維持するために、正常状態における個々の電圧差に対して、大きさは等しいが、逆の極性でなければならない。

【0035】

図12Aの電圧方式は、ディスプレイチップに必要とされる電圧の数を6から4へと効果的に引き下げる。この特定の図に従って、第1の所定の電圧は、第5の所定の電圧と等しくなるように定義され、第2の所定の電圧は、第4の所定の電圧と等しくなるように定義される。次に、変調およびデバイアシングの状態を維持するために、第3の所定の電圧と、第2の所定の電圧との間の差は、第6の所定の電圧と、第5の所定の電圧との間の電圧差に対して、大きさは等しいが、逆の極性になることのみが必要とされる。この特定の場

【0036】

図12Bは、1ボルトの閾値電圧および3ボルトの飽和電圧を有する液晶ディスプレイに対する、図12Aの図にもとづいた電圧の例示的値を提供する図である。正常位相 (V_{Cn}) の間の共通電圧は、0ボルト基準となるように任意に選択される。正常変調位相の間、(V_1) は、3ボルトの値 ($V_{Cn} + V_{sat}$) を有し、(V_2) は、1ボルトの値 ($V_{Cn} + V_{tt}$) を有する。反転デバイアシング位相の間、(V_1) および (V_0) の値は、(V_{1i}) が1ボルトの値を有し、(V_{2i}) が3ボルトの値を有するように置き換えられる。必要とされる電圧関係を維持するために、(V_{Ci}) は、4ボルト ($V_{0i} + V_{tt}$) に設定される。

【0037】

図13は、ディスプレイ600とともに図12Aの電圧方式を実行することが可能である、別の電圧コントローラ1300のブロック図である。電圧コントローラ1300は、(V_1) 基準電圧を提供するための第1の電圧源1302、(V_0) 基準電圧を提供するための第2の電圧源1304、正常状態の共通 (V_{Cn}) 基準電圧を提供するための第3の電圧源1306、および反転状態の共通 (V_{Ci}) 基準電圧を提供するための第4の電

圧源 1308 を含む。図 13 には、3 個の電圧源 1306 が見られるが、実際には単一の電圧源が、明瞭にするために繰り返し示されている。電圧源 1302、1304、1306 および 1308 のそれぞれは、オンチップの電圧発生器であり得るか、または外部ソースから個々の電圧を受け取るための単なる接点端子 (contact terminal) であり得る。

【0038】

電圧コントローラ 1300 は、第 1 のマルチプレクサ 1310、第 2 のマルチプレクサ 1312、および第 3 のマルチプレクサ 1314 をさらに含む。第 1 のマルチプレクサ 1310 は、VCn 電圧源 1306 と接続された第 1 の入力端子 1316、VCi 電圧源 1308 と接続された第 2 の入力端子 1318、共通電圧供給端子 626 と接続された出力端子 1320、および電圧制御バス 616 の共通電極制御ライン 1324 と接続された制御端子 1322 を有する。第 2 のマルチプレクサ 1312 は、V1 電圧源 1302 と接続された第 1 の入力端子 1326、VCn 電圧源 1306 と接続された第 2 の入力端子 1328、第 1 の電圧供給端子 622 と接続された出力端子 1330、および電圧制御バス 616 の V1 制御ライン 1334 と接続された制御端子 1332 を有する。第 3 のマルチプレクサ 1314 は、V0 電圧源 1304 と接続された第 1 の入力端子 1336、VCn 電圧源 1306 と接続された第 2 の入力端子 1338、第 2 の電圧供給端子 624 と接続された出力端子 1340、および電圧制御バス 616 の V0 制御ライン 1344 と接続された制御端子 1342 を有する。

10

【0039】

電圧コントローラ 1300 は、処理装置 606 (図 6) の制御下で、以下の通り動作する。VC 制御ライン 1324 を介して受信された制御信号に応答して、マルチプレクサ 1310 は、共通電圧供給端子 626、および、それにともない、共通電極 610 に基準電圧 VCn または VCi の内の 1 つを選択的に有効な状態とする。同様に、V1 制御ライン 1334 を介して受信された制御信号に応答して、マルチプレクサ 1312 は、第 1 の電圧供給端子 622、および、それにともない、個々のラッチ 702 内に特定の (例えば、ロジックハイ) デジタル値を現在記憶しているディスプレイ 600 の全てのピクセルセル 602 のピクセル電極 612 に、基準電圧 V1 または VCn の内の 1 つを選択的に有効な状態とする。また、V0 制御ライン 1344 を介して受信された制御信号に応答して、マルチプレクサ 1314 は、第 2 の電圧供給端子 624、および、それにともない、個々のラッチ 702 内に別の (例えば、ロジックロウ) デジタル値を現在記憶しているディスプレイ 600 の全てのピクセルセル 602 のピクセル電極 612 に、基準電圧 V0 または VCn の内の 1 つを選択的に有効な状態とする。

20

30

【0040】

ディスプレイに記憶されたデータが変化しない間に、電圧供給端子 622 および 624 を介して、ディスプレイ 600 のピクセル電極 612 に所定の電圧を有効な状態とする能力は、ディスプレイ 600 を駆動する際に、相当な柔軟性を提供する。また、電圧供給端子 622、624、および 626 のそれぞれに、同じ電圧 (例えば、VCn) を同時に有効な状態とすることにより、電圧コントローラ 1300 は、ディスプレイ 600 のあらゆるピクセルセルに、ディスプレイ内部に含まれたデータに影響することなくオフ状態を迅速に有効な状態とし得る。

40

【0041】

図 14 は、図 12 の電圧方式が、電圧コントローラ 1300 を用いてディスプレイ 600 内でどのように実行され得るかを示すタイミング図である。最初は、電圧コントローラ 1300 は、第 1 の電圧供給端子 622、第 2 の電圧供給端子 624、および共通電圧供給端子 626 に、同じ電圧 (VCn) を同時に有効な状態とすることにより、ディスプレイ 600 にオフ状態を有効な状態とする。オフ状態がディスプレイ 600 に有効な状態とされている一方で、ビット B0 が各ピクセルセル 602 の記憶ラッチ 702 に書き込まれる。次に、時間 T1 で、電圧コントローラ 1300 は、第 1 の電圧供給端子 622 に基準電圧 V1、および第 2 の電圧供給端子 624 に基準電圧 V0 を、それぞれビット B0 の位

50

に依存した変調期間の間、有効な状態とする。その後すぐに、電圧コントローラ 1300 は、ビット B0 の相補ビットがディスプレイ 600 のラッチ 602 に書き込まれる時間の間、ディスプレイ 600 に、別のオフ状態を有効な状態とする。次に、時間 T2 で、電圧コントローラ 1300 は、第 1 の電圧供給端子 622 に基準電圧 V1、第 2 の電圧供給端子 624 に基準電圧 V0、共通電圧供給端子 626 に基準電圧 Vci を、変調期間に等しい期間の間、有効な状態とする。

【0042】

ディスプレイ 600 に相補ビットをロードし、かつ基準電圧 V1、V0、および Vci を、個々の電圧供給端子に再度有効な状態とすることにより、ピクセルセルを以下のとおりデバイアシングする。第 1 に、ディスプレイ 600 内の各ビットをその相補ビットと置きかえることにより、図 12A に関して説明されたように、基準電圧 V1 と、基準電圧 V0 が効果的に置きかえられる。第 2 に、基準電圧 Vci は、Vcn と、V0 との間の電圧差が、Vci と、V1 との間の電圧差と、大きさは等しいが、逆の極性になるように選択される。それゆえ、特定のビットを記憶するピクセルセルにわたる電圧は、相補ビットを記憶するときに、ピクセルセルをわたる電圧と、大きさは等しいが、逆の極性になる。デバイアシング工程も、各ピクセルセルにわたって発生される RMS 電圧に寄与し、且つ、それゆえ、特定の位を有するビットに対する適切な時間間隔を判定するときに考慮されなければならないことに留意することが重要である。

【0043】

ビット B1 がディスプレイ 600 に書き込まれる間、電圧コントローラがディスプレイ 600 に別のオフ状態を有効な状態とする。次に、時間 T3 で、電圧コントローラ 1300 は、第 1 の電圧供給端子 622 に基準電圧 V1、および第 2 の電圧供給端子 624 に基準電圧 V0 を、全てビット B1 の位に依存した第 2 の変調期間の間、有効な状態とする。その後すぐ、電圧コントローラ 1300 は、ビット B1 の相補ビットがディスプレイ 600 に書き込まれる時間の間、ディスプレイ 600 に別のオフ状態を有効な状態とする。次に、時間 T4 で、電圧コントローラ 1300 は、第 1 の電圧供給端子 622 に基準電圧 V1、第 2 の電圧供給端子 624 に基準電圧 V0、および共通電圧供給端子 626 に基準電圧 Vci を、第 2 の変調期間に等しい期間の間、有効な状態とする。残りのデータビット、およびその相補データビットが、ディスプレイ 600 に書き込まれ、ビット B0 および B1 に関して前述されたように基準電圧が、個々の位に依存した時間、個々の電圧供給端子に有効な状態とされる。

【0044】

図 15 は、図 12A の電圧方式に従ってディスプレイを駆動するための方法 1500 を要約したフローチャートである。第 1 のステップ 1502 において、電圧コントローラ 1300 は、第 1 の電圧供給端子 622、第 2 の電圧供給端子 624、および共通電極 610 にオフ状態（同じ電圧）を有効な状態とする。次に、第 2 のステップ 1504 において、第 1 のデータビットが、ディスプレイ 600 のピクセルセル 602 に書き込まれる。次に、第 3 のステップ 1506 において、電圧コントローラ 1300 は、第 1 の電圧供給端子 622 に第 1 の所定の電圧、第 2 の電圧供給端子 624 に第 2 の所定の電圧、および共通電極 610 に第 3 の所定の電圧を、全て第 1 のデータビットの位に依存した時間の間、有効な状態とする。第 4 のステップ 1508 において、電圧コントローラ 1300 は、ディスプレイ 600 にオフ状態を有効な状態とし、次に、第 5 のステップ 1510 において、第 1 のデータビットの相補データビットがディスプレイ 600 のピクセルセル 602 に書き込まれる。次に、第 6 のステップにおいて、電圧コントローラ 1300 は、第 2 の電圧供給端子 624 に第 1 の所定の電圧を有効な状態とし、第 1 の電圧供給端子 622 に第 2 の所定の電圧を有効な状態とし、且つ共通電極 610 に第 4 の所定の電圧を有効な状態とし、その全てが記憶されたデータビットの位に依存した期間の間、有効な状態とされる。第 7 のステップ 1514 において、最後のデータビットがディスプレイ 600 に書き込まれていなければ、第 8 のステップ 1516 において、次のデータビットがディスプレイのピクセルに書き込まれ、方法 1500 は第 3 のステップ 1506 に戻る。しかしながら

、第7のステップ1514において、最後のデータビットがディスプレイ600に書き込まれていると判定されれば、第9のステップ1518において、方法1500は終了する。

【0045】

図16は、ディスプレイ600に相補データビットを書き込むことを必要とせずに、ディスプレイ600とともに図12Aの電圧方式を実行することが可能な別の電圧コントローラ1600のブロック図である。電圧コントローラ1600は、(V1n)基準電圧を提供するための第1の電圧源1602、(V1i)基準電圧を提供するための第2の電圧源1604、正常状態の共通(VCn)基準電圧を提供するための第3の電圧源1606、および反転状態の共通(VCi)基準電圧を提供するための第4の電圧源1608を含む。図16には、2個の電圧源(V1i)1604が見られるが、実際には単一の電圧源が、明瞭にするために、繰り返し示されている。同様に、電圧源(V1n)1602も、3個示されているが、単一の電圧源である。また、図12Aの電圧方式にもとづいて、電圧(V1i)は電圧(V0n)と等しく、電圧(V1n)は電圧(V0i)と等しいので、電圧(V0n)および(V0i)に対して電圧源を分けて示す必要ない。電圧源1602、1604、1606、および1608のそれぞれは、オンチップ電圧発生器であり得るか、またはただ単に外部ソースから個々の電圧を受け取るための接点端子であり得る。

10

【0046】

電圧コントローラ1600は、第1のマルチプレクサ1610、第2のマルチプレクサ1612、および第3のマルチプレクサ1614をさらに含む。第1のマルチプレクサ1610は、VCn電圧源1606と接続された第1の入力端子、VCi電圧源1608と接続された第2の入力端子、V1n電圧源1602と接続された第3の入力端子、共通電圧供給端子626と接続された出力端子、および電圧制御バス616の2ビットの共通電極制御ライン1616と接続された2ビットの制御端子セットを有する。第2のマルチプレクサ1612は、V1n電圧源1602と接続された第1の入力端子、V1i電圧源1604と接続された第2の入力端子、第1の電圧供給端子622と接続された出力端子、および電圧制御バス616のV1制御ライン1618と接続された制御端子を有する。第3のマルチプレクサ1614は、V1i電圧源1604と接続された第1の入力端子、V1n電圧源1602と接続された第2の入力端子、第2の電圧供給端子624と接続された出力端子、および電圧制御バス616のV0制御ライン1620と接続された制御端子を有する。

20

30

【0047】

電圧コントローラ1600は、処理装置606(図6)の制御下で、以下のとおり動作する。2ビットのVC制御ライン1616を介して受信された制御信号に応答して、マルチプレクサ1610が、基準電圧VCn、VCi、またはV1iの内の1つを、共通電圧供給端子626、および、それにともない、共通電極610に選択的に有効な状態とする。同様に、V1制御ライン1618を介して受信された制御信号に応答して、マルチプレクサ1612は、基準電圧V1nまたはV1iの内の1つを、第1の電圧供給端子622、および、それにともない、個々のラッチ702内に特定の(例えば、ロジックハイ)デジタル値を現在記憶しているディスプレイ600の全てのピクセルセル602のピクセル電極612に選択的に有効な状態とする。また、V0制御ライン1620を介して受信された制御信号に応答して、マルチプレクサ1614は、基準電圧V1iまたはV1nの内の1つを、第2の電圧供給端子624、および、それにともない、個々のラッチ702内に別の(例えば、ロジックロウ)デジタル値を現在記憶しているディスプレイ600の全てのピクセルセル602のピクセル電極612に選択的に有効な状態とする。電圧コントローラ1600は、電圧コントローラ1600が電圧V1nおよびV1iを、電圧供給端子622または624のどちらかに有効な状態とすることが可能であり、これによりピクセルセルのデバياسィングを達成するために、ディスプレイ600に相補データビットを書き込む必要をなくすという点で、電圧コントローラ1300に対して利点を有する。

40

【0048】

50

図 17 は、電圧コントローラ 1600 を用いて、図 12 A の電圧方式の実行を示しているタイミング図である。最初に、電圧コントローラ 1600 は、第 1 の電圧供給端子 622、第 2 の電圧供給端子 624、および共通電圧供給端子 626 のそれぞれに同じ電圧（すなわち、 $(V1n)$ ）を有効な状態とすることにより、ディスプレイ 600 にオフ状態を有効な状態とする。オフ状態がディスプレイ 600 に有効な状態とされる一方で、ビット B0 がディスプレイ 600 に書き込まれる。次に、時間 T1 で、電圧コントローラ 1600 が、第 1 の電圧供給端子 622 に電圧 $(V1n)$ 、第 2 の電圧供給端子 624 に電圧 $(V1i)$ 、および共通電圧供給端子 626 に電圧 (VCn) を有効な状態とする。次に、ディスプレイ 600 内に記憶されたビット $(B0)$ の位に依存した時間の後、電圧コントローラ 1600 は、ディスプレイ 600 のラッチ 702 内にまだ記憶されているビット B0 を用いて、第 1 の電圧供給端子 622 に電圧 $(V1i)$ 、第 2 の電圧供給端子 624 に電圧 $(V1n)$ 、および共通電圧供給端子 626 に電圧 (Vci) を記憶されているビット B0 の位に依存した時間と同じ間有効な状態とすることにより、モードをデバイアシングするためにスイッチングする。その後、時間 T2 で、電圧コントローラ 1600 は、ディスプレイ 600 にオフ状態を書き込むことにより、次のビット $(B1)$ がディスプレイ 600 に書き込まれ得る。残りのビットに対するディスプレイ 600 の変調およびデバイアシングは、電圧コントローラ 1600 が個々の電圧供給端子に各種の基準電圧を有効な状態とする期間が、ディスプレイ 600 に書き込まれる特定のビットの位にもとづいて変化する点を除いて、ビット B0 に対する説明と実質的に同様に行われる。

10

20

【0049】

図 18 は、図 12 A の電圧方式にもとづいてディスプレイを駆動するための別の方法 1800 を要約したフローチャートである。第 1 のステップ 1802 において、電圧コントローラ 1600 は、ディスプレイ 600 にオフ状態を書き込む。次に、第 2 のステップ 1804 において、第 1 のデータビットが、ディスプレイ 600 のピクセルセル 602 に書き込まれる。第 3 のステップ 1806 において、電圧コントローラ 1600 は、第 1 の電圧供給端子 622 に第 1 の所定の電圧 $(V1n)$ 、第 2 の電圧供給端子 624 に第 2 の所定の電圧 $(V1i)$ 、および共通電極 610 に第 3 の所定の電圧 (VCn) を、全てディスプレイ 600 に書き込まれたデータビットの位に依存した期間の間、有効な状態とする。次に、第 4 のステップ 1808 において、電圧コントローラ 1600 は、第 2 の電圧供給端子 624 に第 1 の所定の電圧 $(V1n)$ 、第 1 の電圧供給端子 622 に第 2 の所定の電圧 $(V1i)$ 、および共通電極 610 に第 4 の所定の電圧を、全てディスプレイ 600 に書き込まれたデータビットの位に依存した期間に等しい期間の間、有効な状態とする。第 5 のステップ 1810 において、電圧コントローラ 1600 は、ディスプレイ 600 に別のオフ状態を書き込む。第 6 のステップ 1812 において、最後のデータビットがディスプレイ 600 に書き込まれていなければ、第 7 のステップ 1814 において、次のデータビットがディスプレイ 600 に書き込まれ、方法 1800 は第 3 のステップ 1806 に戻る。第 6 のステップ 1812 において、最後のデータビットがディスプレイ 600 に書き込まれていれば、第 8 のステップ 1816 において、方法 1800 は終了する。

30

【0050】

図 19 A は、本発明にしたがって用いられる別の電圧方式を図示する図である。ここで、共通電極 610 は、正常および反転されたデバイアシング状態の両方の間、同じ電圧 (VC) で維持される。第 1 の電圧供給端子 622、および第 2 の電圧供給端子 624 に有効な状態とされた電圧は、ディスプレイ 600 のピクセルセルを変調し、且つデバイアシングするために、 VC の周辺でトグルされる。特に、正常状態の間、第 1 の所定の基準電圧 (VC) が、共通電圧供給端子 (VC) 626 に有効な状態とされ、第 2 の所定の基準電圧 $(VC + Vsat)$ が、第 1 の電圧供給端子 $(V1)$ 622 に有効な状態とされ、且つ第 3 の所定の基準電圧 $(VC + Vtt)$ が、第 2 の電圧供給端子 $(V0)$ 624 に有効な状態とされる。反転（デバイアシング）状態の間、第 1 の所定の電圧 (VC) は、共通電圧供給端子 (VC) 626 に有効な状態とされ、第 4 の所定の電圧 $(VC - Vsat)$ が、第 1 の電圧供給端子 $(V1)$ 622 に有効な状態とされ、且つ第 5 の所定の電圧 $(V$

40

50

C - V_{tt}) が、第 2 の電圧供給端子 (V_0) 624 に有効な状態とされる。図 19 A の電圧方式は、共通電極 610 の電圧を駆動する必要を有利になくすが、第 1 の電圧供給端子 622 および第 2 の電圧供給端子 624 を駆動するために、より多くの電圧 (すなわち、4) を必要とする。

【0051】

図 19 B は、3 ボルトで維持される共通電極、1 ボルトの閾値電圧 (V_{tt})、および 3 ボルトの飽和電圧 (V_{sat}) を有するディスプレイの例示的な値を示す表である。この実施例において、正常状態では、6 ボルト ($V_C + V_{sat}$) が、第 1 の電圧供給端子に有効な状態とされ、4 ボルト ($V_C + V_{tt}$) が第 2 の電圧供給端子に有効な状態とされる。反転状態では、0 ボルト ($V_C - V_{sat}$) が、第 1 の電圧供給端子に有効な状態とされ、2 ボルト ($V_C - V_{tt}$) が、第 2 の電圧供給端子上に有効な状態とされる。

10

【0052】

図 20 は、図 6 のディスプレイ 600 とともに図 19 A の電圧方式を実行することが可能である別の電圧コントローラ 2000 のブロック図である。電圧コントローラ 2000 は、第 1 の基準電圧 (V_C) を提供するための第 1 の電圧源 2002、第 2 の基準電圧 (V_{1n}) を提供するための第 2 の電圧源 2004、第 3 の基準電圧 (V_{0n}) を提供するための第 3 の電圧源 2006、第 4 の基準電圧 (V_{1i}) を提供するための第 4 の電圧源 2008、および第 5 の基準電圧 (V_{0i}) を提供するための第 5 の電圧源 2010 を含む。明瞭にするために、図 20 には 3 個の第 1 の電圧源 2002 が示されているが、第 1 の電圧源 2002 は、実際には単一の電圧源であることは理解されるであろう。また、電圧源 2002、2004、2006、2008、および 2010 のいずれか、または全てがオンチップ電圧発生器か、またはオフチップソースからの個々の基準電圧を受け取るための単なる供給端子のいずれかであり得る。

20

【0053】

電圧コントローラ 2000 は、第 1 のマルチプレクサ 2012、および第 2 のマルチプレクサ 2014 をさらに含む。マルチプレクサ 2012 は、第 2 の電圧源 2004 と接続された第 1 の入力端子、第 4 の電圧源 2008 と接続された第 2 の入力端子、第 1 の電圧源 2002 と接続された第 3 の入力端子、第 1 の電圧供給端子 622 と接続された出力端子、および電圧制御バス 616 の 2 つの V_1 制御ライン 2012 と接続された 2 ビットの制御端子セットを含む。マルチプレクサ 2014 は、第 3 の電圧源 2006 と接続された第 1 の入力端子、第 5 の電圧源 2010 と接続された第 2 の入力端子、第 1 の電圧源 2002 と接続された第 3 の入力端子、第 2 の電圧供給端子 624 と接続された出力端子、および電圧制御バス 616 の 2 つの V_0 制御ライン 2014 と接続された 2 ビットの制御端子セットを含む。

30

【0054】

電圧コントローラ 2000 は、処理装置 606 の制御下で、以下のとおり動作する。第 1 の電圧源 2002 は、共通電圧供給端子 626 に基準電圧 V_C を有効な状態とする。マルチプレクサ 2012 は、 V_1 制御ライン 2012 を介して受信された制御信号に応答して、第 1 の電圧供給端子 622、および、それにともない、ロジックハイなデータビットを現在記憶している全てのピクセルセル 602 のピクセル電極 612 に基準電圧 V_{1n} 、 V_{1i} 、または V_C の内の 1 つを選択的に有効な状態とする。マルチプレクサ 2014 は、 V_0 制御ライン 2014 を介して受信された制御信号に応答して、第 2 の電圧供給端子 624 に、および、それにともない、ロジックロウなデータビットを現在記憶している全てのピクセルセル 602 のピクセル電極 612 に、基準電圧 V_{0n} 、 V_{0i} 、または V_C の内の 1 つを選択的に有効な状態とする。

40

【0055】

図 21 A は、電圧コントローラ 2000 を用いた図 19 A の電圧方式の実行を示すタイミング図である。最初に、電圧コントローラ 2000 は、同じ電圧 (すなわち、 V_C) を第 1 の電圧供給端子 622、第 2 の電圧供給端子 624、および共通電圧供給端子 626 の各々に有効な状態とすることにより、オフ状態をディスプレイ 600 に有効な状態とす

50

る。このオフ状態がディスプレイ600に有効な状態とされている間、ビットB0がディスプレイ600のラッチ702に書き込まれる。次いで、時間T1において、電圧コントローラ2000は、電圧(V1n)を第1の電圧供給端子622に、電圧(V0n)を第2の電圧供給端子624に有効な状態とし、電圧(Vc)を共通電圧供給端子626上で保持する。次いで、ディスプレイ600に記憶されたビット(B0)の位に依存する期間の後、前回の記憶されたビット(B0)の位に依存する期間と同じ期間の間、ビットB0がまだディスプレイ600のラッチ702に記憶されている状態で、電圧(V1i)を第1の電圧供給端子622に、電圧(V0i)を第2の電圧供給端子624に有効な状態とし、電圧(Vc)を共通電圧供給端子626上で保持することにより、電圧コントローラ2000はデバイアス(debias)状態に切り替わる。その後、時間T2において、電圧コントローラ2000はオフ状態をディスプレイ600に書き込み、これにより、次なるビット(B1)をディスプレイ600に書き込むことが可能になる。残りのビットについてのディスプレイ600の変調およびデバイアシングは、電圧コントローラ2000が多様な基準電圧を各電圧供給端子に有効な状態とする期間がディスプレイ600に書き込まれる特定のビットの位によって異なる点を除いて、ビットB0について説明したのと実質的に同様に行なわれる。

【0056】

図21Bは、データビットをディスプレイ600に書き込む際にオフ状態を用いない点以外は図21Aで示した図に類似するタイミング図である。図21Bは、ディスプレイを適切に変調およびデバイアスするためにオフ状態は必要無いことを示すだけのために示されている。例えば、時間T1から始めると、ビットB1をディスプレイ600に書き込むのに有限時間を要し、ビットB1によって各電圧をディスプレイ底部のピクセルセルに有効な状態とすることが遅れることに留意されたい。しかし、この遅れは、次なるビットB2をディスプレイ600に書き込む際に生じる同じ遅れにより補償される。

【0057】

図22は、図19Aの電圧方式に従ってディスプレイを駆動する代替方法2200をまとめたフローチャートである。第1の工程2202において、電圧コントローラ2000は、オフ状態をディスプレイ600に書き込む。次いで、第2の工程2204において、第1のデータビットがディスプレイ600のピクセルセル602に書き込まれる。次に、第3の工程2206において、電圧コントローラ2000は第1の所定の電圧を共通電極610に有効な状態とし、第4の工程2208において、ディスプレイ600のピクセルセル602に書き込まれるデータビットの位に依存する期間の間、第2の所定の電圧を第1の電圧供給端子622に有効な状態とし、第3の所定の電圧を第2の電圧供給端子624に有効な状態とする。次いで、第5の工程2210において、ディスプレイ600のピクセルセル602に書き込まれるデータビットの位に依存する期間と同じ期間の間、電圧コントローラ2000は第4の所定の電圧を第1の電圧供給端子622に有効な状態とし、第5の所定の電圧を第2の電圧供給端子624に有効な状態とする。次いで、第6の工程2212において、電圧コントローラ2000は、オフ状態をディスプレイ600に書き込む。第7の工程2214において、最後のデータビットがディスプレイ600に書き込まれたかどうか判定され、書き込みが行なわれていなかった場合は、第8の工程2216において、次なるデータビットがディスプレイ600のピクセルセル602に書き込まれ、その後、方法2200は第4の工程2208に戻る。第7の工程2214において最後のデータビットがデータビット600に書き込まれたことが判定された場合、第9の工程2218において方法2200は終了する。

【0058】

図23Aは、本発明に従って用いられる別の代替的な電圧方式を示す図である。この特定の電圧方式において、正常状態の間、第1の所定の基準電圧(Vcn)が共通電圧供給端子(Vc)626に有効な状態とされ、第2の所定基準電圧(Vcn+Vsatt)が第1の電圧供給端子(V1)622に有効な状態とされ、第3の所定の基準電圧(Vcn+Vtt)が第2の電圧供給端子(V0)624に有効な状態とされる。反転(デバイアス

）状態の間、第４の所定の電圧（ V_{Ci} ）が共通電圧供給端子（ V_C ）６２６に有効な状態とされ、第５の所定の電圧（ $V_{Ci} - V_{sat}$ ）が第１の電圧供給端子（ V_1 ）６２２に有効な状態とされ、第６の所定の電圧（ $V_{Ci} - V_{tt}$ ）が第２の電圧供給端子（ V_0 ）６２４に有効な状態とされる。図２３Ａの電圧方式は、特定の利用可能な電圧値に対して柔軟性を有利に提供するが、第１の電圧供給端子６２２、第２の電圧供給端子６２４、および共通電圧供給端子６２６を駆動するには最大数の電圧（すなわち、６）を必要とする。

【００５９】

図２３Ｂは、１ボルトの閾値電圧（ V_{tt} ）および３ボルトの飽和電圧（ V_{sat} ）を有するディスプレイの例示的数値を示す表である。加えて、 V_{Cn} および V_{Ci} はそれぞれ、０ボルトおよび５ボルトになるよう任意に選択される。この実施例において、正常状態では、３ボルト（ $V_{Cn} + V_{sat}$ ）が第１の電圧供給端子に有効な状態とされ、１ボルト（ $V_{Cn} + V_{tt}$ ）が第２の電圧供給端子に有効な状態とされる。反転状態において、２ボルト（ $V_{Ci} - V_{sat}$ ）が第１の電圧供給端子に有効な状態とされ、４ボルト（ $V_{Ci} - V_{tt}$ ）が第２の電圧供給端子に有効な状態とされる。

10

【００６０】

図２４は、図６のディスプレイ６００とともに図２３Ａの電圧方式を実行することが可能な、代替的な電圧コントローラ２４００のブロック図である。電圧コントローラ２４００は、第１の基準電圧（ V_{1n} ）を提供する第１の電圧源２４０２、第２の基準電圧（ V_{0n} ）を提供する第２の電圧源２４０４、第３の基準電圧（ V_{Cn} ）を提供する第３の電圧源２４０６、第４の基準電圧（ V_{1i} ）を提供する第４の電圧源２４０８、第５の基準電圧（ V_{0i} ）を提供する第５の電圧源２４１０、および第６の基準電圧（ V_{Ci} ）を提供する第６の電圧源２４１２を含む。図２４中、分かり易くするために第５の電圧源２４１０が３回図示されているが、第５の電圧源２４１０は実際は単一の電圧源であることが理解されるべきである。加えて、電圧源２４０２、２４０４、２４０６、２４０８、２４１０、および２４１２のうちいずれかまたは全てが、オンチップ電圧発生器または各基準電圧をオフチップソースから受け取る単なる供給端子のいずれかであることが理解されるべきである。

20

【００６１】

電圧コントローラ２４００はさらに、第１のマルチプレクサ２４１４、第２のマルチプレクサ２４１６、および第３のマルチプレクサ２４１８を含む。マルチプレクサ２４１４は、第３の電圧源２４０６に接続された第１の入力端子、第６の電圧源２４１２に接続された第２の入力端子、第５の電圧源２４１０に接続された第３の入力端子、共通電圧供給端子６２６に接続された出力端子、および電圧制御バス６１６の２本の V_C 制御ライン２４２０に接続された２ビットの制御端子セットを含む。マルチプレクサ２４１６は、第１の電圧源２４０２に接続された第１の入力端子、第４の電圧源２４０８に接続された第２の入力端子、第５の電圧源２４１０に接続された第３の入力端子、第１の電圧供給端子６２２に接続された出力端子、および電圧制御バス６１６の２本の V_C 制御ライン２４２２に接続された２ビットの制御端子セットを含む。第３のマルチプレクサ２４１８は、第２の電圧源２４０４に接続された第１の入力端子、第５の電圧源２４１０に接続された第２の入力端子、第２の電圧供給端子６２４に接続された出力端子、および電圧制御バス６１６の V_0 制御ライン２４２４に接続された単一の制御端子を含む。

30

40

【００６２】

電圧コントローラ２４００は、処理装置６０６の制御下で以下のように動作する。マルチプレクサ２４１４は、 V_C 制御ライン２４２０を介して受信した制御信号に応答して、基準電圧 V_{Cn} 、 V_{Ci} 、または V_{0i} のうち１つを共通電圧供給端子６２６およびそれに伴い共通電極６１０にも選択的に有効な状態とする。マルチプレクサ２４１６は、 V_1 制御ライン２４２２を介して受信した制御信号に応答して、基準電圧 V_{1n} 、 V_{1i} または V_{0i} のうち１つを第１の電圧供給端子６２２およびそれに伴いロジックハイのデータビットを現在記憶している全てのピクセルセル６０２のピクセル電極６１２に選択的に有

50

効な状態とする。マルチプレクサ 2418 は、V0 制御ライン 2424 を介して受信した制御信号に応答して、基準電圧 V0n または V0i のうち 1 つを第 2 の電圧供給端子 624 およびそれに伴いロジックロウのデータビットを現在記憶している全てのピクセルセル 602 のピクセル電極 612 に選択的に有効な状態とする。

【0063】

図 25 は、電圧コントローラ 2400 を用いた図 23A の電圧方式の実行を示すタイミング図である。最初に、電圧コントローラ 2400 は、同じ電圧（すなわち V0i）を第 1 の電圧供給端子 622、第 2 の電圧供給端子 624、および共通電圧供給端子 626 の各々に有効な状態とすることにより、オフ状態をデバイス 600 に有効な状態とする。オフ状態がディスプレイ 600 に有効な状態とされている間、ビット B0 がディスプレイ 600 のラッチ 702 に書き込まれる。次いで時間 T1 において、電圧コントローラ 2400 は、電圧（V1n）を第 1 の電圧供給端子 622 に、電圧（V0n）を第 2 の電圧供給端子 624 に、そして電圧（VCn）を共通電圧供給端子 626 に有効な状態とする。次に、ディスプレイ 600 に記憶されたビット（B0）の位に依存する期間の後、ビット B0 がまだディスプレイ 600 のラッチ 702 に記憶されている状態で、記憶されたビット B0 の位に依存する前回の期間と同じ期間の間、電圧（V1i）を第 1 の電圧供給端子 622 に、電圧（V0i）を第 2 の電圧供給端子 624 に、電圧（Vci）を共通電圧供給端子 626 に有効な状態とすることにより、電圧コントローラ 2400 はデバイアス（debias）状態に切り替わる。その後直ちに、電圧コントローラ 2400 は、電圧（V0i）を電圧供給端子 622、624、および 626 のそれぞれに有効な状態とすることにより、オフ状態をディスプレイ 600 に再び有効な状態とし、これにより、次なるビット（B1）をディスプレイ 600 に書き込むことが可能になる。残りのビットについてのディスプレイ 600 の変調およびデバイアシングは、電圧コントローラ 2400 が多様な基準電圧を各電圧供給端子に有効な状態とする期間がディスプレイ 600 に書き込まれる特定のビットの位によって異なる点を除いて、ビット B0 について説明したのと実質的に同様に行なわれる。

【0064】

図 26 は、図 23A の電圧方式に従ってディスプレイ 600 を駆動する代替的方法 2600 をまとめたフローチャートである。第 1 の工程 2602 において、電圧コントローラ 2400 は、オフ状態をディスプレイ 600 に有効な状態とする。次いで、第 2 の工程 2604 において、第 1 のデータビットがディスプレイ 600 のピクセルセル 602 に書き込まれる。次に、第 3 の工程 2606 において、電圧コントローラ 2400 は、ディスプレイ 600 に記憶されたビットの位に依存する期間の間、第 1 の所定の電圧を第 1 の電圧供給端子 622 に、第 2 の所定の電圧を第 2 の電圧供給端子 624 に、そして第 3 の所定の電圧を共通電圧供給端子 626 に有効な状態とする。その後、第 4 の工程 2608 において、電圧コントローラ 2400 は、前回のディスプレイ 600 に記憶されたデータビットの位に依存する期間と同じ期間の間、第 4 の所定の電圧を第 1 の電圧供給端子 622 に、第 5 の所定の電圧を第 2 の電圧供給端子 624 に、そして第 6 の所定の電圧を共通電圧供給端子 626 に有効な状態とする。次いで、第 5 の工程 2610 において、電圧コントローラはオフ状態をディスプレイ 600 に有効な状態とする。第 6 の工程 2612 において、最後のデータビットがディスプレイ 600 に書き込まれたかどうか判定され、書き込みが行なわれていなかった場合は、第 7 の工程 2614 において、次なるデータビットがディスプレイ 600 のピクセルセル 602 に書き込まれ、方法 2600 は第 3 の工程 2606 に戻る。第 6 の工程 2612 において最後のデータビットがディスプレイ 600 に書き込まれたことが判定された場合、第 8 の工程 2616 において方法 2600 は終了する。

【0065】

上述した多様な電圧コントローラは一般的には、ディスプレイ 600 に記憶されるビットの位に依存する期間の間、限られた数の電圧を、第 1 の電圧供給端子 622 と、第 2 の電圧供給端子 624 と、共通電圧供給端子 626 とに有効な状態とすることにより、ディ

スプレイ 6 0 0 の変調に依存していた。ピクセルセル 6 0 2 の応答はセル全体にわたる R M S 電圧に依存するため、別の変調方式が可能である。例えば、1つの方式において、継続時間を一定に保持しながら、電圧パルスの振幅を変えることによりピクセルを変調することができる。あるいは、電圧振幅を一定に保持しながら、パルスの継続時間を変えることもできる。さらに別の方式において、振幅およびパルスの継続時間の両方を変えることができる。

【 0 0 6 6 】

図 2 7 は、電圧振幅に基づいて変調 / デバイアシング方式を行う代替的な電圧コントローラ 2 7 0 0 のブロック図である。電圧コントローラ 2 7 0 0 は、第 1 の基準電圧 (V C) を提供する第 1 の電圧源 2 7 0 2 、第 1 の電圧供給端子 (V 1) 6 2 2 に選択的に有効な状態とするための多様な基準電圧を提供する第 1 の複数の電圧源 2 7 0 4 、および第 2 の電圧供給端子 (V 0) 6 2 4 に選択的に有効な状態とするための多様な基準電圧を提供する第 2 の複数の電圧源を含む。第 1 の複数の電圧源 2 7 0 4 の各電圧源は、振幅がデータビット (B 0 - B 9) のうち関連付けられたデータビットの位およびディスプレイ 6 0 0 の飽和電圧 (V s a t) に依存する電圧を提供する。同様に、第 2 の複数の電圧源の各電圧源は、振幅がデータビット (B 0 - B 9) のうち関連付けられたデータビットの位およびディスプレイ 6 0 0 の閾値電圧 (V t t) に依存する電圧を提供する。加えて、第 1 の複数の電圧源 2 7 0 4 および第 2 の複数の電圧源 2 7 0 6 の各電圧源は、他の電圧源と関連付けられ、これにより、ピクセルセルのデバイアシングが実行される。例えば、電圧 V n (B 2) は、電圧 V 1 i (B 2) に対して大きさは等しいが (電圧 V C に対して) 逆の極性である。

【 0 0 6 7 】

この特定の実施形態において、ビット (B 5 - B 9) は互いに同等の位を有する (すなわち、等しく重み付けされている) 点に留意されたい。このようなデータ方式については、W o r l e y らによる、1 9 9 8 年 2 月 2 7 日に出願された、同時係属中の米国特許出願第 0 9 / 0 3 2 、 1 7 4 号において詳細に述べられている。本明細書中、同出願全体を参考のため援用する。

【 0 0 6 8 】

電圧コントローラ 2 7 0 0 はさらに、第 1 のマルチプレクサ 2 7 0 8 および第 2 のマルチプレクサ 2 7 1 0 を含む。第 1 のマルチプレクサ 2 7 0 8 は、複数の入力端子 (これらの複数の入力端子のうち各々は、第 1 の複数の電圧源 2 7 0 4 のうちの 1 つの電圧源と接続される) と、第 1 の電圧源 2 7 0 2 に接続されたさらなる入力端子と、第 1 の電圧供給端子 6 2 2 に接続された出力端子と、電圧制御バス 6 1 6 の V 1 制御ライン 2 7 1 2 に接続された 4 ビットの制御端子セットとを含む。マルチプレクサ 2 7 0 8 は、処理装置 6 0 6 から V 1 制御ライン 2 7 1 2 を介して受信した制御信号に応答して、その入力端子に接続された基準電圧のうち 1 つを第 1 の電圧供給端子 6 2 2 に選択的に有効な状態とする。第 2 のマルチプレクサ 2 7 1 0 は、複数の入力端子 (これらの複数の入力端子のうち各々は、第 1 の複数の電圧源 2 7 0 6 のうちの 1 つの電圧源と接続される) と、第 1 の電圧源 2 7 0 2 に接続されたさらなる入力端子と、第 2 の電圧供給端子 6 2 4 に接続された出力端子と、電圧制御バス 6 1 6 の V 0 制御ライン 2 7 1 4 に接続された 4 ビットの制御端子セットとを含む。マルチプレクサ 2 7 1 0 は、処理装置 6 0 6 から V 0 制御ライン 2 7 1 4 を介して受信した制御信号に応答して、その入力端子に接続された基準電圧のうち 1 つを第 2 の電圧供給端子 6 2 4 に選択的に有効な状態とする。

【 0 0 6 9 】

図 2 7 中、分かり易くするために 3 個の第 1 の電圧源 2 7 0 2 を示しているが、第 1 の電圧源 2 7 0 2 は実際は単一のデバイスであることが理解されるべきである。加えて、図 2 7 に示す電圧源のうちいずれかまたは全ての電圧源は、オン - チップ電圧発生器または様々な電圧をオフチップソースから受け取る単なる供給端子のいずれかであることが理解されるべきである。

【 0 0 7 0 】

図 28 は、図 27 の電圧コントローラ 2700 を用いたディスプレイ 600 (図 6) を変調およびデバイアシングする特定の方式を示すタイミング図である。最初に、電圧コントローラ 2700 は、オフ状態をディスプレイ 600 に有効な状態とし、その間、ビット B0 がピクセルセル 602 に書き込まれる。次いで、時間 T1 において、電圧コントローラ 2700 は、所定の継続時間 Tk を有する時間の間、基準電圧 V1n (B0) を第 1 の電圧供給端子 622 に、基準電圧 V0n (B0) を第 2 の電圧供給端子 624 に、そして基準電圧 VC を共通電圧供給端子 626 に有効な状態とする。その後直ちに、電圧コントローラ 2700 は、時間 Tk の間、基準電圧 V1i (B0) を第 1 の電圧供給端子 622 に、基準電圧 V0i (B0) を第 2 の電圧供給端子 624 に、基準電圧 VC を共通電圧供給端子 626 に有効な状態とする。次いで、電圧コントローラ 2700 は、別のオフ状態をディスプレイ 600 に有効な状態とする。このオフ状態の間、ビット B1 がディスプレイ 600 のピクセルセル 602 に書き込まれる。次いで、時間 T2 において、ビット B1 がディスプレイ 600 のラッチ 702 に記憶されている状態で、電圧コントローラ 2700 は、時間 Tk の間、電圧 V1n (B1) を第 1 の電圧供給端子 622 に、電圧 V0n (B1) を第 2 の電圧供給端子 624 に、電圧 VC を共通電圧供給端子 624 に有効な状態とする。電圧コントローラ 2700 はその後直ちに、ピクセルセルをデバイアスするために、電圧 V1i (B1) を第 1 の電圧供給端子 622 に、電圧 V0i (B1) を第 2 の電圧供給端子 624 に、そして電圧 VC を共通電圧供給端子 624 に有効な状態とする。

【0071】

その後、ビット (B2 - B4) がディスプレイ 600 に書き込まれ、これらのビットと関連付けられた電圧が、時間 Tk の間、第 1 の電圧供給端子 622 および第 2 の電圧供給端子 624 に有効な状態とされる。ビット B5 - B9 の電圧パルスが切断されて示されているが、これは、ページの大きさが電圧 V1n (B5 - B9) および V1i (B5 - B9) の振幅を適切な縮尺で示せるほど充分に大きくないためである。しかし、あらゆる場合において、各パルスの時間的幅は同じ (Tk) であり、基準電圧の振幅は、関連付けられたビットの位にとって適切な RMS 電圧を生成するよう選択される。

【0072】

図 29 は、図 28 を参照しながら説明したような振幅に基づいた電圧方式に従ってマルチビットデータワードをディスプレイ 600 に書き込む方法 2900 をまとめたフローチャートである。第 1 の工程 2902 において、電圧コントローラ 2700 は、オフ状態をディスプレイ 600 に書き込む。次いで、第 2 の工程 2904 において、第 1 のデータビット (例えば、B0) がディスプレイ 600 のピクセルに書き込まれる。次に、第 3 の工程 2906 において、電圧コントローラ 2700 は第 1 の所定の電圧 (VC) を共通電圧供給端子 626 を介して共通電極 610 に有効な状態とする。次に、第 4 の工程 2908 において、第 1 の所定の期間の間、電圧コントローラ 2700 は、第 2 の所定の電圧 (例えば、V1n (B0)) を第 1 の電圧供給端子 622 に、そして第 3 の所定の電圧 (例えば、V0n (B0)) を第 2 の電圧供給端子 624 に有効な状態とする。第 2 の所定の電圧および第 3 の所定の電圧はそれぞれ、ディスプレイ 600 内のビットの位に依存する振幅を有する。次いで、第 5 の工程 2910 において、電圧コントローラ 2700 は、第 2 の所定の期間の間、第 4 の所定の電圧 (例えば、V1i (B0)) を第 1 の電圧供給端子 622 に有効な状態とし、第 5 の所定の電圧 (例えば、V0i (B0)) を第 2 の電圧供給端子 624 に有効な状態とする。第 4 の所定の電圧および第 5 の所定の電圧はそれぞれ、ディスプレイ 600 内のデータビットの位に依存する振幅を有する。特定の方式において、第 1 の所定の期間は第 2 の所定の期間に等しく、第 2 の所定の電圧は第 4 の所定の電圧に対して振幅は等しいが逆の極性であり、第 3 の所定の電圧は第 5 の所定の電圧に対して大きさは等しいが逆の極性である。あらゆる場合において、これらの多様な所定の電圧をそれぞれの期間有効な状態とすることを組合せると、その結果ディスプレイ 600 のピクセルセル 602 上に正味 0 ボルトの DC バイアスが生じる。次いで、第 6 の工程 2912 において、電圧コントローラ 2700 はオフ状態をディスプレイ 600 に有効な状態とする。第 7 の工程 2914 において、最後のデータビットがディスプレイ 600 に書き込

まれたかどうか判定される。書き込みが行なわれていなかった場合は、第 8 の工程 2 9 1 6 において、次なるデータビット（例えば、B 1）がディスプレイ 6 0 0 の記憶素子 7 0 2 に書き込まれ、方法 2 9 0 0 は第 4 の工程 2 9 0 8 に戻る。しかし、第 7 の工程 2 9 1 4 において最後のデータビット（例えば、B 9）がディスプレイ 6 0 0 のラッチ 7 0 2 に書き込まれたことが判定された場合、第 9 の工程 2 9 1 8 において方法 2 9 0 0 は終了する。

【 0 0 7 3 】

図 3 0 は、所望の R M S 電圧を生成するために時間および振幅変調両方を用いた、マルチビットデータワードをディスプレイ 6 0 0 に書き込む方式を示すタイミング図である。言い換えれば、特定の電圧が電圧供給ラインに有効な状態とされる期間は、有効な状態とされる電圧の振幅およびディスプレイ 6 0 0 のラッチ 7 0 2 に記憶されるビットの位の両方に依存する。このような駆動方式は、電圧コントローラ 2 7 0 0 よりも電圧源の数が少ない電圧コントローラを用いて行うことができる。例えば電圧コントローラ 2 7 0 0 を参照しながら図 3 0 のタイミング図について説明するが、電圧コントローラ 2 7 0 0 の全ての電圧源が用いられるわけではない点に留意されたい。

10

【 0 0 7 4 】

最初に、電圧コントローラ 2 7 0 0 は、オフ状態をディスプレイ 6 0 0 に（電圧 V C を、第 1 の電圧供給端子 6 2 2 と、第 2 の電圧供給端子 6 2 4 と、共通電圧供給端子 6 2 6 とに）有効な状態とする。このオフ状態において、ビット B 0 がディスプレイ 6 0 0 の記憶要素 7 0 2 に書き込まれる。次いで、時間 T 1 において、時間（x）の間、電圧コントローラ 2 7 0 0 は、電圧 V 1 n（B 0）3 0 0 2 を第 1 の電圧供給端子（V 1）6 2 2 に有効な状態とし、電圧 V 0 n（B 0）3 0 0 4 を第 2 の電圧供給端子（V 0）6 2 4 に有効な状態とする。その後直ちに、電圧コントローラ 2 7 0 0 は、等しい時間（x）の間、電圧 V 1 i（B 0）3 0 0 6 を第 1 の電圧供給端子（V 1）6 2 2 に有効な状態とし、電圧 V 0 i（B 0）3 0 0 8 を第 2 の電圧供給端子（V 0）6 2 4 に有効な状態とする。その後直ちに、電圧コントローラ 2 7 0 0 は、第 2 のオフ状態をディスプレイ 6 0 0 に有効な状態とする。このオフ状態において、次なるビット B 1 がディスプレイ 6 0 0 の記憶要素 7 0 2 に書き込まれる。

20

【 0 0 7 5 】

次に、電圧コントローラ 2 7 0 0 は、電圧 V 1 n（B 1）および V 0 n（B 1）を第 1 の電圧供給端子 6 2 2 および第 2 の電圧供給端子 6 2 4 にそれぞれ有効な状態とするのではなく、電圧 V 1 n（B 0）3 0 0 2 を第 1 の電圧供給端子（V 1）6 2 2 に再び有効な状態とし、電圧 V 0 n（B 0）3 0 0 4 を第 2 の電圧供給端子（V 0）6 2 4 に再び有効な状態とする。しかし、電圧 V 1 n（B 0）3 0 0 2 および電圧 V 0 n（B 0）3 0 0 4 はそれぞれ、大きさが電圧 V 1 n（B 0）および V 0 n（B 1）の半分しかないので、R M S 電圧の 2 倍（すなわち、2 x）に相当する期間有効な状態とされなければならない。次いで、電圧コントローラ 2 7 0 0 は、（2 x）の期間の間、電圧 V 1 i（B 0）3 0 0 6 を第 1 の電圧供給端子（V 1）6 2 2 に有効な状態とし、電圧 V 0 i（B 0）3 0 0 8 を第 2 の電圧供給端子（V 0）6 2 4 に有効な状態とする。従って、電圧源 V 1 n（B 1）基準、V 1 i（B 1）基準、V 0 n（B 1）基準、および V 0 i（B 1）基準は、必要に応じて電圧コントローラ 2 7 0 0 から除去され得る。

30

40

【 0 0 7 6 】

電圧コントローラ 2 7 0 0 において必要な電圧源の数を削減する別の実施例として、図 3 0 において、ビット B 3 についての変調およびデバイアスは、基準電圧 V 1 n（B 2）3 0 1 0、V 0 n（B 2）3 0 1 2、V 1 i（B 2）3 0 1 4、および V 0 i（B 2）3 0 1 6 を用いて達成され、これにより基準電圧 V 1 n（B 3）、V 0 n（B 3）、V 1 i（B 3）、および V 0 i（B 3）の必要性がなくなる点に留意されたい。同様に、ビット B 5 - B 9 についての変調およびデバイアスも、基準電圧 V 1 n（B 4）3 0 1 8、V 0 n（B 4）3 0 2 0、V 1 i（B 4）3 0 2 2、および V 0 i（B 4）3 0 2 4 を用いて達成され、これにより基準電圧 V 1 n（B 5 - B 9）、V 0 n（B 5 - B 9）、V 1 i（

50

B 5 - B 9)、および V 0 i (B 5 - B 9) の必要性がなくなる点に留意されたい。

【 0 0 7 7 】

電圧コントローラ内に含まれる基準電圧の最適な数は、各アプリケーションに基づいて決定されなければならない。例えば、各ビットについて別個の電圧を用いることにより、変調時間を低減することができる。別の場合において、変調電圧を下方に調節してディスプレイにデータを書き込むことが可能な時間を増加することが望ましい場合もあり得る。一方、製造の観点から見ると、多数の異なる電圧をチップに提供することは問題になり得る。

【 0 0 7 8 】

図 3 1 は、有効な状態とされた電圧の振幅および継続時間の両方が特定のデータビットの位によって異なり得る、マルチビットデータワードをディスプレイ 6 0 0 に書き込む方法 3 1 0 0 をまとめたフローチャートである。第 1 の工程 3 1 0 2 において、電圧コントローラ 2 7 0 0 はオフ状態をディスプレイ 6 0 0 に有効な状態とする。次いで、第 2 の工程 3 1 0 4 において、第 1 のデータビットがディスプレイ 6 0 0 のラッチ 7 0 2 に書き込まれる。第 3 の工程 3 1 0 6 において、電圧コントローラ 2 7 0 0 は第 1 の所定の電圧をディスプレイ 6 0 0 の共通電極 6 1 0 に有効な状態とする。次いで、第 4 の工程 3 1 0 8 において、電圧コントローラ 2 7 0 0 は、第 2 および第 3 の所定の電圧の振幅およびディスプレイ 6 0 0 内のデータビットの位に依存する期間の間、第 2 の所定の電圧を第 1 の電圧供給端子 6 2 2 に有効な状態とし、第 3 の所定の電圧を第 2 の電圧供給端子 6 2 4 に有効な状態とする。次いで、第 5 の工程において、電圧コントローラ 2 7 0 0 は、第 4 および第 5 の所定の電圧の振幅およびディスプレイ 6 0 0 内のデータビットの位に依存する期間の間、第 4 の所定の電圧を第 1 の電圧供給端子 6 2 2 に有効な状態とし、第 5 の所定の電圧を第 2 の電圧供給端子 6 2 4 に有効な状態とする。次に、第 6 の工程 3 1 1 2 において、電圧コントローラ 2 7 0 0 は、オフ状態をディスプレイ 6 0 0 に書き込む。第 7 の工程 3 1 1 4 において、マルチビットデータワードの最後のビットがディスプレイ 6 0 0 に書き込まれたかどうか判定され、書き込みが行なわれていなかった場合は、第 8 の工程 3 1 1 6 において、次なるデータビットがディスプレイ 6 0 0 に書き込まれ、その後、方法 3 1 0 0 は第 4 の工程 3 1 0 8 に戻る。第 7 の工程 3 1 1 4 においてマルチビットデータワードの最後のビットがディスプレイ 6 0 0 に書き込まれたことが判定された場合、第 9 の工程 3 1 1 8 において方法 3 1 0 0 は終了する。

【 0 0 7 9 】

図 3 2 は、複数の異なるオフ状態をディスプレイ 6 0 0 に書き込むことが可能な電圧コントローラ 3 2 0 0 のブロック図である。上記で説明したコントローラは、ディスプレイ 6 0 0 への複数のオフ状態の書き込み能力が幾分限られており、各々のコントローラの能力は単一のオフ状態に限られている。例えば、図 8 の電圧コントローラ 8 0 0 は、同一の電圧を第 1 の電圧供給端子 6 2 2、第 2 の電圧供給端子 6 2 4、および共通電圧供給端子 6 2 6 の各々に同時に有効な状態とすることができないため、オフ状態をディスプレイ 6 0 0 に書き込むことができない。図 1 3 の電圧コントローラ 1 3 0 0 は、電圧 V C n を第 1 の電圧供給端子 6 2 2、第 2 の電圧供給端子 6 2 4、および共通電圧供給端子 6 2 6 の各々に同時に有効な状態とすることにより、単一のオフ状態をディスプレイ 6 0 0 に書き込むことができる。同様に、図 1 6 の電圧コントローラ 1 6 0 0 も、電圧 V 1 n を第 1 の電圧供給端子 6 2 2、第 2 の電圧供給端子 6 2 4、および共通電圧供給端子 6 2 6 の各々に同時に有効な状態とすることにより、単一のオフ状態をディスプレイ 6 0 0 に書き込むことができる。図 2 0 の電圧コントローラ 2 0 0 0 および図 2 7 の電圧コントローラ 2 7 0 0 もまた、単一のオフ状態を生成することに限定され、電圧 V C を第 1 の電圧供給端子 6 2 2、第 2 の電圧供給端子 6 2 4、および共通電圧供給端子 6 2 6 の各々に同時に有効な状態とする能力を有する。最後に、図 2 4 の電圧コントローラ 2 4 0 0 は、電圧 V C を第 1 の電圧供給端子 6 2 2、第 2 の電圧供給端子 6 2 4、および共通電圧供給端子 6 2 6 の各々に同時に有効な状態とすることにより、単一のオフ状態を生成することに限定される。上述の実施例が示すように、同一の電圧を各電圧供給端子に同時に有効な状態とする

10

20

30

40

50

ことが可能である限り、実質的にあらゆる電圧がオフ状態をディスプレイに書き込む際に用いられ得、これにより、液晶セル全体にわたる電圧がなくなる。

【0080】

上述の電圧コントローラとは対象的に、電圧コントローラ3200は、複数の異なるオフ状態をディスプレイ600に書き込み、ディスプレイ600を駆動するために必要な電圧供給ライン上の電圧の揺れの大きさを有利に低減することができる。電圧コントローラ3200は、基準電圧 V_{1n} を提供する第1の電圧源3202、基準電圧 V_{1i} を提供する第2の電圧源3204、基準電圧 V_{0n} を提供する第3の電圧源3206、基準電圧 V_{0i} を提供する第4の電圧源3208、基準電圧 V_{Cn} を提供する第5の電圧源3210、および基準電圧 V_{Ci} を提供する第6の電圧源3212を含む。図32中、分かり易くするため、それぞれ3個の電圧源3202、3204、3206、3208、3210、および3212を示しているが、当業者であれば、これらの電圧源の各々は、オンチップ電圧発生器またはオフチップソースから各電圧を受け取る単なる端子であり得る単一の電圧源であることを理解する。

10

20

30

【0081】

電圧コントローラ3200はさらに、第1のマルチプレクサ3214、第2のマルチプレクサ3216、および第3のマルチプレクサ3218を含む。第1のマルチプレクサ3214は、第1の電圧源3202に接続された第1の入力端子と、第2の電圧源3204に接続された第2の入力端子と、第3の電圧源3206に接続された第3の入力端子と、第4の電圧源3208に接続された第4の入力端子と、第5の電圧源3210に接続された第5の入力端子と、第6の電圧源3212に接続された第6の入力端子と、共通電圧供給端子626に接続された出力端子と、電圧制御バス616の V_C 制御ライン3220に接続された3ビットの制御端子セットとを有する。第2のマルチプレクサ3216は、第1の電圧源3202に接続された第1の入力端子と、第2の電圧源3204に接続された第2の入力端子と、第3の電圧源3206に接続された第3の入力端子と、第4の電圧源3208に接続された第4の入力端子と、第5の電圧源3210に接続された第5の入力端子と、第6の電圧源3212に接続された第6の入力端子と、第1の電圧供給端子626に接続された出力端子と、電圧制御バス616の V_1 制御ライン3222に接続された3ビットの制御端子セットとを有する。第3のマルチプレクサ3218は、第1の電圧源3202に接続された第1の入力端子と、第2の電圧源3204に接続された第2の入力端子と、第3の電圧源3206に接続された第3の入力端子と、第4の電圧源3208に接続された第4の入力端子と、第5の電圧源3210に接続された第5の入力端子と、第6の電圧源3212に接続された第6の入力端子と、第2の電圧供給端子624に接続された出力端子と、電圧制御バス616の V_0 制御ライン3224に接続された3ビットの制御端子セットとを有する。上記のように構成された電圧コントローラ3200は、電圧制御バス616を介した処理装置606からの制御信号に応答して、基準電圧 V_{1n} 、 V_{1i} 、 V_{0n} 、 V_{0i} 、 V_{Cn} 、または V_{Ci} のうち任意の1つに基づいてオフ状態をディスプレイ600に有効な状態とすることができる。

【0082】

図33は、ディスプレイ600を駆動する方法を示すタイミング図であり、異なるオフ状態を用いることにより、第1の電圧供給端子622、第2の電圧供給端子624、および共通電圧供給端子626上の電圧の揺れの大きさを低減する。ここに示されているこの特定の実施例は、図12Aに示す電圧方式に従っている。図12A中、 V_{1n} は V_{0i} に等しく、 V_{1i} は V_{0n} に等しい。しかし、複数のオフ状態を用いて電圧の揺れの大きさを低減するという考え方は、本明細書中述べられている他の電圧方式にも等しく適用可能である。

40

【0083】

最初に、電圧コントローラ3200は、同一の電圧 V_{0n} を、第1の電圧供給端子(V_1)622、第2の電圧供給端子(V_0)624、および共通電圧供給端子(V_C)626の各々に有効な状態とすることにより、第1のオフ状態をディスプレイ600に有効な

50

状態とする。この第 1 のオフ状態の間、ビット B 0 がディスプレイ 6 0 0 のラッチ 7 0 2 にロードされる。次いで、時間 T 1 において、電圧コントローラ 3 2 0 0 は、第 1 の所定の電圧 V 1 n を第 1 の電圧供給端子 6 2 2 V 1 に、第 2 の所定の電圧 V 0 n を第 2 の電圧供給端子 6 2 4 V 0 に、そして第 3 の所定の電圧 V C n を共通電圧供給端子 6 2 6 V C に有効な状態とする。次いで、ビット B 0 の位に依存する所定の時間の後、電圧コントローラ 3 2 0 0 は、第 4 の所定の電圧 V 1 i を第 1 の電圧供給端子 6 2 2 V 1 に、第 5 の所定の電圧 V 0 i を第 2 の電圧供給端子 6 2 4 V 0 に、そして第 6 の所定の電圧 V C i を共通電圧供給端子 6 2 6 V C に有効な状態とする。次に、電圧コントローラは、別の同一の電圧 V 1 n を第 1 の電圧供給端子 6 2 2、第 2 の電圧供給端子 6 2 4、および共通電圧供給端子 6 2 6 の各々に有効な状態とすることにより、別のオフ状態 3 3 0 2 をディスプレイ 6 0 0 に有効な状態とする。電圧コントローラ 3 2 0 0 を用いて異なるオフ状態 3 3 0 2 を有効な状態とすることにより、第 2 の電圧供給端子 6 2 4 および共通電圧供給端子 6 2 6 上で必要とされる電圧の揺れが最小化される。

【 0 0 8 4 】

オフ状態 3 3 0 2 の間、ビット B 1 がディスプレイ 6 0 0 のラッチ 7 0 2 に書き込まれる。次いで、電圧コントローラは、V 1 i を第 1 の電圧供給端子 6 2 2 に、V 0 i を第 2 の電圧供給端子 6 2 4 に、そして V C i を共通電圧供給端子 6 2 6 に有効な状態とし、次に V 1 n を第 1 の電圧供給端子 6 2 2 に、V 0 n を第 2 の電圧供給端子 6 2 4 に、そして V C n を共通電圧供給端子 6 2 6 に有効な状態とする。オフ状態 3 3 0 2 の後の正常状態の値に先行してデバイアス状態を有効な状態とすることにより、電圧供給端子 6 2 2、6 2 4、および 6 2 6 上の必要な電圧の揺れがやはり最小化される点に留意されたい。

【 0 0 8 5 】

ビット B 1 のデバイアスおよび正常の位相変調の後、電圧コントローラ 3 2 0 0 は、第 1 のオフ状態と同じオフ状態 3 3 0 4 を有効な状態とし、電圧 V 0 n を第 1 の電圧供給端子 (V 1) 6 2 2、第 2 の電圧供給端子 (V 0) 6 2 4、および共通電圧供給端子 (V C) 6 2 6 の各々に有効な状態とする。このオフ状態 3 3 0 4 の間、ビット B 2 がディスプレイ 6 0 0 の記憶要素 7 0 2 に書き込まれる。次いで、電圧コントローラ 3 2 0 0 は、正常の変調電圧を有効な状態とし、次にデバイアス電圧を各電圧供給端子 6 2 2、6 2 4、および 6 2 6 に有効な状態とする。当業者であれば、上記の説明を見れば、第 1 のオフ状態、正常変調、逆変調、第 2 のオフ状態、逆変調、正常変調、第 1 のオフ状態、逆変調、第 2 のオフ状態といった具合に続く、低減された電圧揺れ / デバイアスパターンを認識する。

【 0 0 8 6 】

図 3 4 は、ディスプレイ 6 0 0 を最小の数の電圧 (例えば、2) で変調する、主に時変調に基づいた代替的電圧コントローラ 3 4 0 0 のブロック図である。電圧コントローラ 3 4 0 0 は、第 1 の所定の電圧源 3 4 0 2、第 2 の所定の電圧源 3 4 0 4、第 1 のマルチプレクサ 3 4 0 6、第 2 のマルチプレクサ 3 4 0 8、および第 3 のマルチプレクサ 3 4 1 0 を含む。図 3 4 中、分かり易くするために 3 個の第 1 の所定の電圧源 3 4 0 2 および第 2 の所定の電圧源 3 4 0 4 を示しているが、これらはそれぞれ単一の電圧源であり、オンチップ電圧発生器またはオフチップソースから各電圧を受け取る単なる端子の性質を有することが理解されるべきである。

【 0 0 8 7 】

第 1 のマルチプレクサ 3 4 0 6 は、第 1 の所定の電圧源 3 4 0 2 に接続された第 1 の入力端子、第 2 の所定の電圧源 3 4 0 4 に接続された第 2 の入力端子、共通電圧供給端子 6 2 6 に接続された出力端子、および電圧制御バス 6 1 6 の V C 制御ライン 3 4 1 2 に接続された制御端子を含む。第 2 のマルチプレクサ 3 4 0 8 は、第 1 の所定の電圧源 3 4 0 2 に接続された第 1 の入力端子、第 2 の所定の電圧源 3 4 0 4 に接続された第 2 の入力端子、第 1 の電圧供給端子 6 2 2 に接続された出力端子、および電圧制御バス 6 1 6 の V 1 電圧制御ライン 3 4 1 4 に接続された制御端子を含む。第 3 のマルチプレクサ 3 4 1 0 は、第 1 の所定の電圧源 3 4 0 2 に接続された第 1 の入力端子、第 2 の所定の電圧源 3 4 0 4

に接続された第2の入力端子、第2の電圧供給端子624に接続された出力端子、および電圧制御バス616のV0電圧制御ライン3416に接続された制御端子を含む。処理装置606から制御バス616の制御ライン3412、3414、および3416のうちそれぞれを介して受け取った特定の制御信号に応答して、マルチプレクサ3406、3408、および3410は、第1または第2の所定の電圧のうち1つを、電圧供給ライン626、622、または624にそれぞれ選択的に有効な状態とする。

【0088】

図35は、図34の電圧コントローラ3400を用いてディスプレイ600を変調およびデバイアシングする代替的方法を示すタイミング図である。最初に、電圧コントローラ3400は、第1の所定の電圧(V_i)を第1の電圧供給端子(V₁)622、第2の電圧供給端子(V₀)624、および共通電圧供給端子(V_C)626に有効な状態とすることにより、第1のオフ状態をディスプレイ600に有効な状態とする。この第1のオフ状態の間、ビットB0がディスプレイ600の記憶要素702にロードされる。次いで、時間T1において、電圧コントローラ3400は、第2の所定の電圧(V_n)をV₁622およびV₀624に有効な状態とする。ビットB0の位およびディスプレイ600の閾値電圧(V_{t t})に依存する期間の後、電圧コントローラ3400は、V₀624をV_iに戻し、V₀をオフにする。次いで、ビットB0の位およびディスプレイ600の飽和電圧(V_{s a t})に依存する期間の後、電圧コントローラ3400は、V_iをV₁622に有効な状態とし、V_nをV_C626に有効な状態とする。こういった遷移により、V₁がデバイアスモードではあるもののオンのままであるという効果が得られる。加えて、V₀がV_iにとどまっているので、V_CがV_nに遷移ことによってV₀がデバイアスモードでオンになる。ビットB0の位およびV_{t t}に依存する期間の後、電圧コントローラ3400は、V_nをV₀に有効な状態とし、V₀をオフにし、ビットB0についてV₀の変調およびデバイアスを終了する。次いで、V_CがV_nに遷移した際に開始し、ビットB0の位およびV_{s a t}に依存する期間の後、電圧コントローラ3400は、V_nをV₁に有効な状態とし、ビットB0についてのV₁の変調およびデバイアス位相を終了する。電圧コントローラ3400は、図35に示すように、各期間が後続のビットの位に依存するため各期間が延長される点を除いて、V₁およびV₀の変調およびデバイアス位相をその後のビットの場合と同じやり方で実行する。

【0089】

図36は、単一の制御信号でディスプレイを変調およびデバイアシングを行うことが可能な代替的な電圧コントローラ3600のブロック図である。電圧コントローラ3600は、V_{C n}基準電圧を提供する第1の電圧源3602、V_{C i}基準電圧を提供する第2の電圧源3604、V_{1 n}基準電圧を提供する第3の電圧源3606、V_{1 i}基準電圧を提供する第4の電圧源3608、V_{0 n}基準電圧を提供する第5の電圧源3610、およびV_{0 i}基準電圧を提供する第6の電圧源3612を含む。電圧コントローラはさらに、第1のマルチプレクサ3614、第2のマルチプレクサ3616、および第3のマルチプレクサ3618を含む。第1のマルチプレクサ3614は、電圧源3602に接続された第1の入力端子、第2の電圧源3604に接続された第2の入力端子、共通電圧供給端子626に接続された出力端子、および電圧制御バス616のユニバーサル制御ライン3620に接続された制御端子を含む。第2のマルチプレクサ3616は、電圧源3606に接続された第1の入力端子、第2の電圧源3608に接続された第2の入力端子、および第1の電圧供給端子622に接続された出力端子ならびに電圧制御バス616のユニバーサル制御ライン3620に接続された制御端子を含む。第3のマルチプレクサ3618は、電圧源3610に接続された第1の入力端子、第2の電圧源3612に接続された第2の入力端子、および第2の電圧供給端子624に接続された出力端子ならびに電圧制御バス616のユニバーサル制御ライン3620に接続された制御端子を含む。

【0090】

マルチプレクサ3614、3616、および3618の制御端子は全てまとめて接続されるため、電圧コントローラは以下のように機能する。すなわち、ユニバーサル制御ライ

ン 3 6 2 0 上の第 1 の制御信号に应答して、マルチプレクサ 3 6 1 4 は電圧 V_{Cn} を共通電圧供給端子に有効な状態とし、マルチプレクサ 3 6 1 6 は電圧 V_{1n} を第 1 の電圧供給端子 6 2 2 に有効な状態とし、マルチプレクサ 3 6 1 8 は電圧 V_{0n} を第 2 の電圧供給端子 6 2 4 に有効な状態とする。ユニバーサル制御ライン 3 6 2 0 上の第 2 の制御信号に应答して、マルチプレクサ 3 6 1 4 は電圧 V_{Ci} を共通電圧供給端子に有効な状態とし、マルチプレクサ 3 6 1 6 は電圧 V_{1i} を第 1 の電圧供給端子 6 2 2 に有効な状態とし、マルチプレクサ 3 6 1 8 は電圧 V_{0i} を第 2 の電圧供給端子 6 2 4 に有効な状態とする。

【 0 0 9 1 】

電圧コントローラ 3 6 0 0 は、単純性とコストとが最も重要とされるようなディスプレイに用いるのに特に適している。電圧コントローラ 3 6 0 0 は単一の制御信号に应答するため、多様な素子の個別の制御が失われる。例えば、図示のように、コントローラ 3 6 0 0 は、ディスプレイにデバイアスする能力は有するが、オフ状態を提供することができない。単一の信号コントローラは、オフ状態を変調および提供するように必要に応じて構成することができるが、デバイアスは提供しない。したがって、単一の信号コントローラは、例えばオフ状態を必要せず全ディスプレイに相当するデータを書き込むことが可能な小さなディスプレイまたは DC バイアスによる劣化に影響を受けにくいディスプレイにおいて有利に用いられ得る。

10

【 0 0 9 2 】

本発明のいくつかの実施形態は、例えばディスプレイの記憶要素にデータビットを書き込む適切な期間を提供するために、オフ状態（ピクセルセル全体にわたって印加されていない期間）を実行する。本明細書中述べられている本発明の別の実施形態は、異なる振幅を有する所定の電圧を用いることにより、特定の電圧がピクセルセルに印加される時間を操作することを可能にする。多くの場合において、ディスプレイの実際の閾値および飽和電圧を確実に再現できるようにこれらの所定の電圧を選択可能とすることが望ましい。

20

【 0 0 9 3 】

例えば、図 1 2 A の電圧方式を実行するために用いられる実際の数値（ V_0 ）および（ V_1 ）は、以下の RMS 電圧方程式から計算することができる。（ V_0 ）を計算するには、RMS 電圧方程式 1 から始める：

【 0 0 9 4 】

$$Eq. 1 \quad V_{tt} = ((m\%) (V_0 - V_C)^2)^{1/2}$$

30

ここで、 V_{tt} はディスプレイの閾値電圧であり； $m\%$ は変調デューティサイクル（ゼロではない電圧が実際にピクセルセルに印加されている時間のパーセント）であり； V_0 は実際に印加される電圧であり； V_C は共通電極に印加される電圧である。 V_C は 0 ボルトに等しいと設定すると、上記の Eq. 1 は以下のように簡単化される。

【 0 0 9 5 】

$$Eq. 2 \quad V_{tt} = ((m\%) (V_0)^2)^{1/2}$$

【 0 0 9 6 】

Eq. 2 の両辺を 2 乗すると、以下の式が得られる。

【 0 0 9 7 】

$$Eq. 3 \quad V_{tt}^2 = (m\%) (V_0)^2$$

40

【 0 0 9 8 】

Eq. 3 の両辺の平方根をとると、以下の式が得られる

【 0 0 9 9 】

$$Eq. 4 \quad V_{tt} = ((m\%)^{1/2}) (V_0)$$

【 0 1 0 0 】

最後に、 V_0 について解くと、以下の式が得られる。

【 0 1 0 1 】

$$Eq. 5 \quad V_0 = V_{tt} / ((m\%)^{1/2})$$

【 0 1 0 2 】

例示目的のため、代表的な数値を、図 1 2 B の表内のサンプル値から得ることができる

50

。 $m\% = 0.8$ および $V_{tt} = 1.0$ ボルトと仮定すると、 $V_0 = 1.12$ ボルトである。

【0103】

同様に、 V_1 の実際の値を Eq. 6 から計算することができ、ここで V_{sat} は液晶ディスプレイの飽和電圧である。

【0104】

$$\text{Eq. 6} \quad V_{sat} = ((m\%)(V_1 - V_C)^2)^{1/2}$$

【0105】

V_C を 0 ボルトに設定すると、Eq. 6 は以下のように簡単化される。

【0106】

$$\text{Eq. 7} \quad V_{sat} = ((m\%)(V_1)^2)^{1/2}$$

【0107】

Eq. 7 の両辺を 2 乗すると、以下の式が得られる。

【0108】

$$\text{Eq. 8} \quad V_{sat}^2 = (m\%)(V_1)^2$$

【0109】

Eq. 8 の両辺の平方根をとると、以下の式が得られる。

【0110】

$$\text{Eq. 9} \quad V_{sat} = ((m\%)^{1/2})(V_1)$$

【0111】

最後に、Eq. 9 を V_1 について解くと、以下の式が得られる。

【0112】

$$\text{Eq. 10} \quad V_1 = V_{sat} / ((m\%)^{1/2})$$

【0113】

ここで再度、図 12 B の表からのサンプル値 ($V_{sat} = 3$ ボルト) を用い、 $m\% = 0.8$ と仮定し、Eq. 10 に従うと、 $V_1 = 3.35$ ボルトとなる。

【0114】

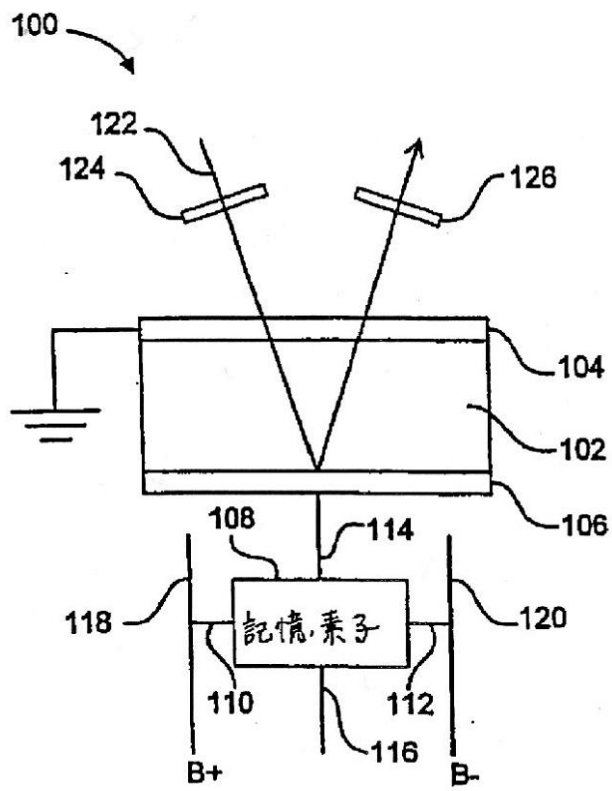
これで、本発明の特定の実施形態についての説明を終了する。説明してきたこれらの特徴の多くは、本発明の範囲を逸脱することなく、代替、改変、または省略され得る。例えば、本発明を反射型液晶ディスプレイを参照しながら説明したが、本発明の利用はこれだけに限定されず、本発明は透過型ディスプレイにも同様に有利に用いられ得る。本発明の他のこのような利用および利点は、特に本開示を鑑みれば、当業者にとって明らかである。

10

20

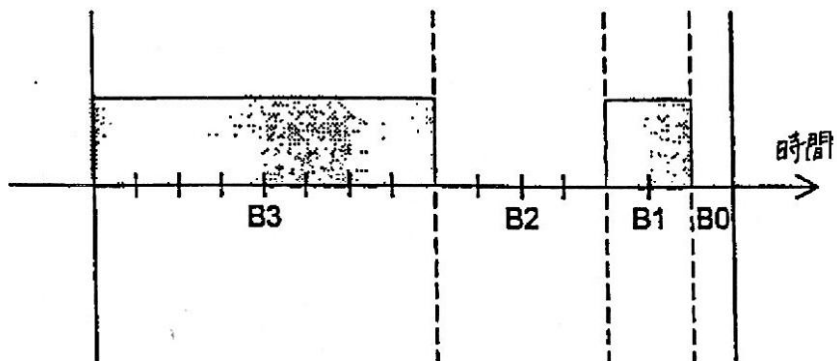
30

【図 1】



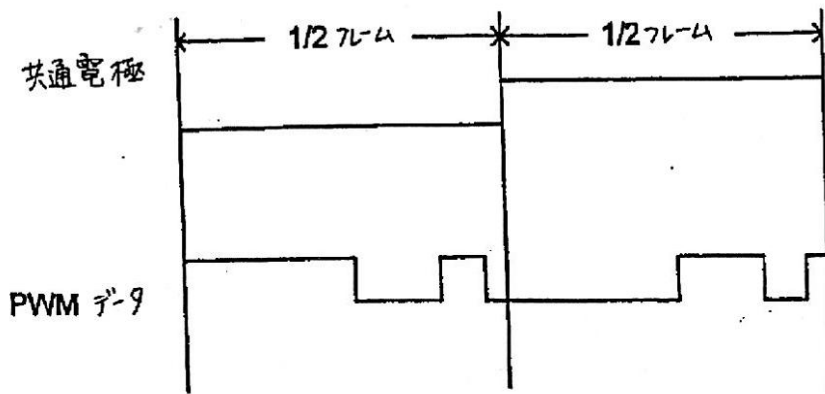
従来技術

【図 2】

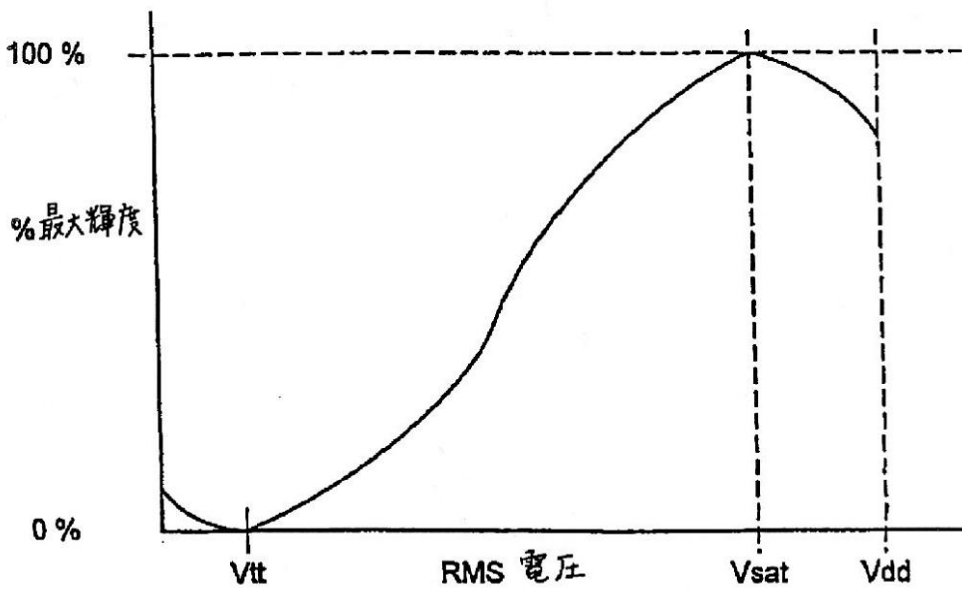


従来技術

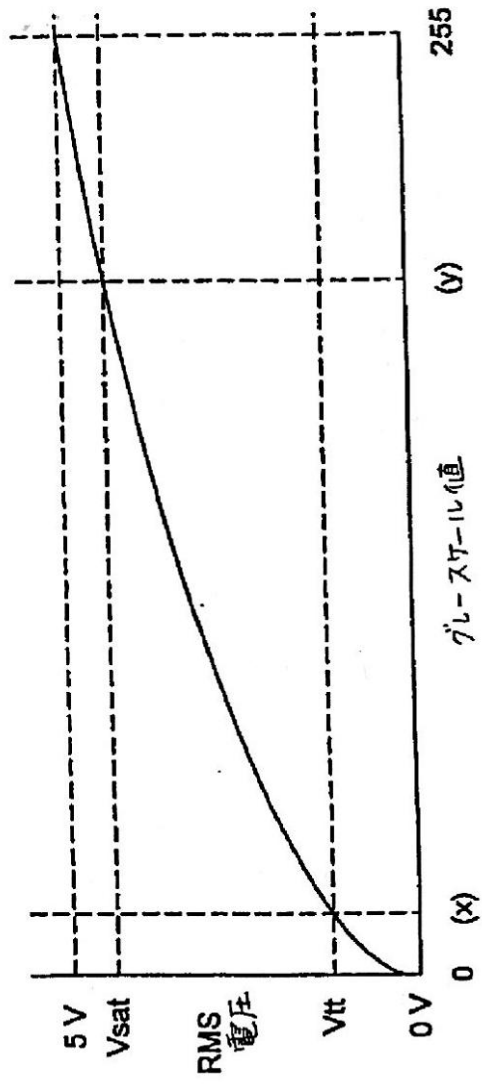
【図 3】

従来技術

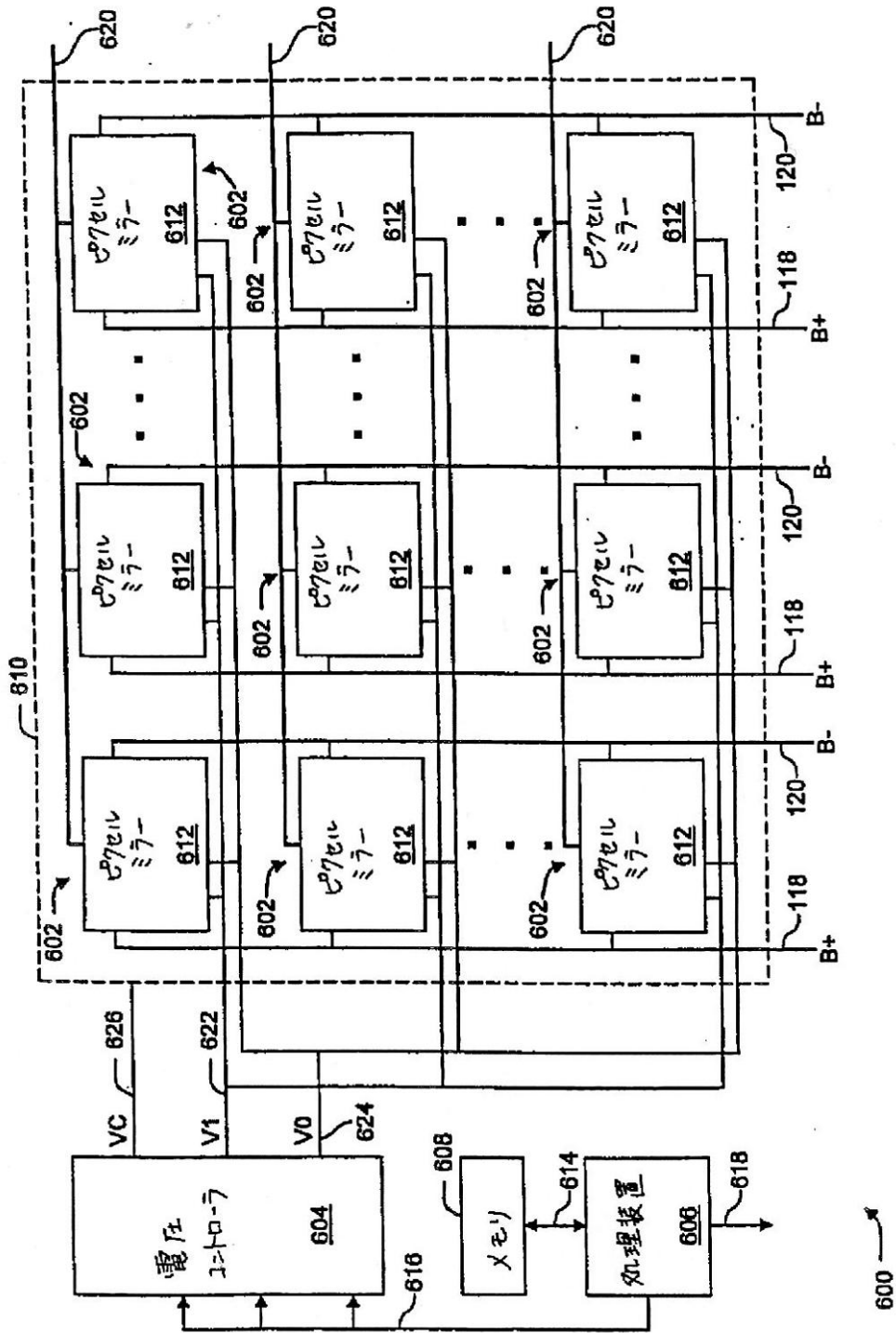
【図 4】

従来技術

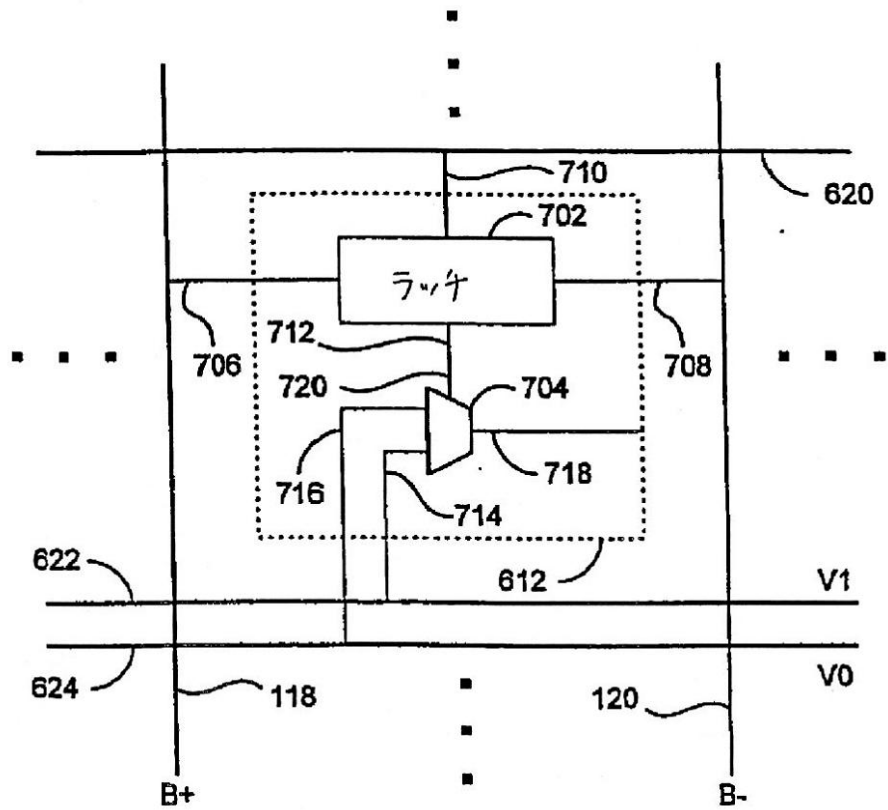
【図 5】

従来技術

【図 6】



602 



800

802
Vsat 基準

804
Vtt 基準

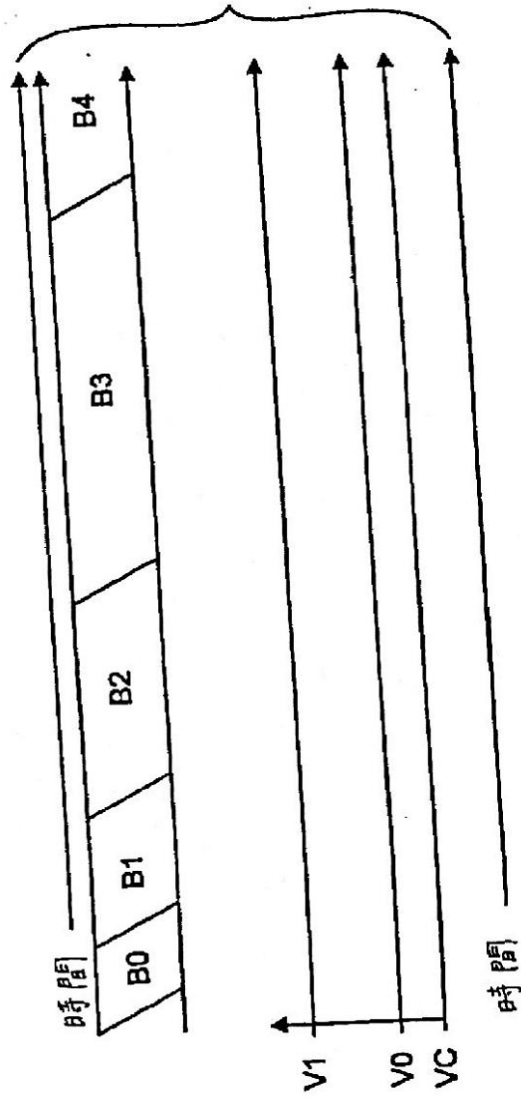
806
VC 基準

622

624

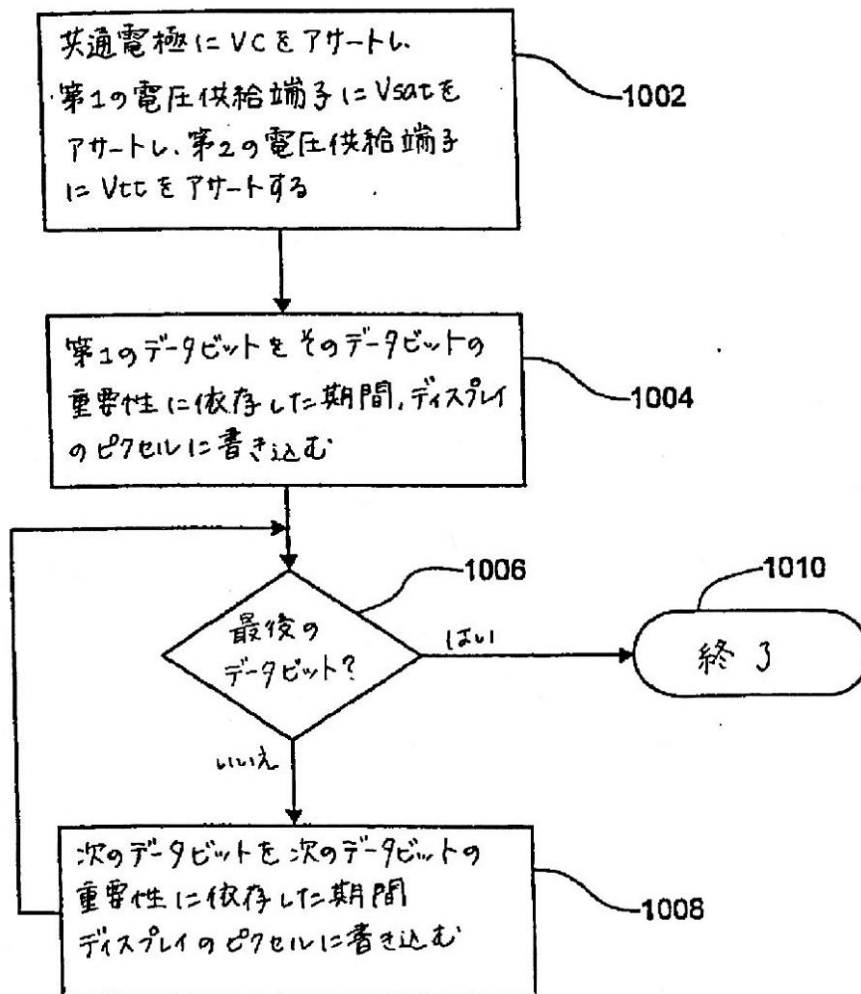
626

【図 9】

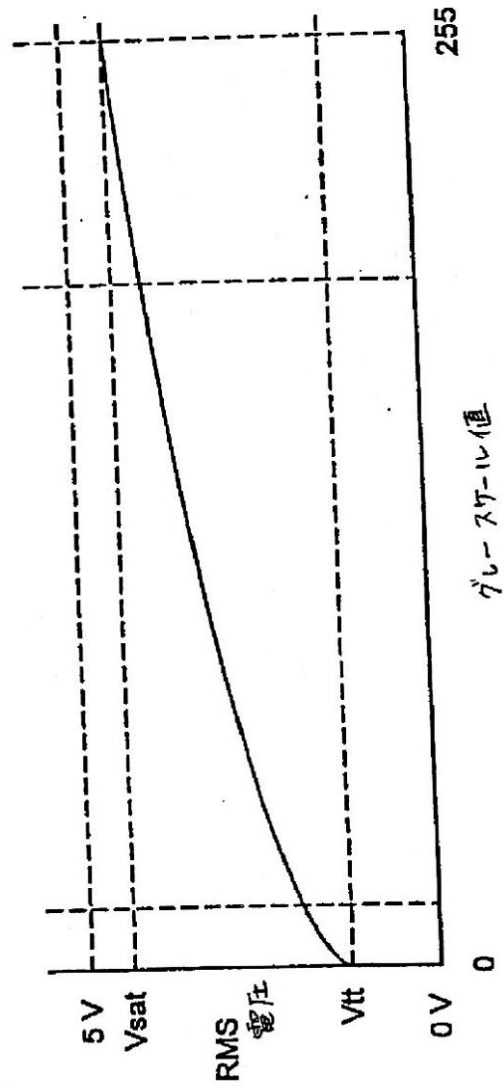


【図10】

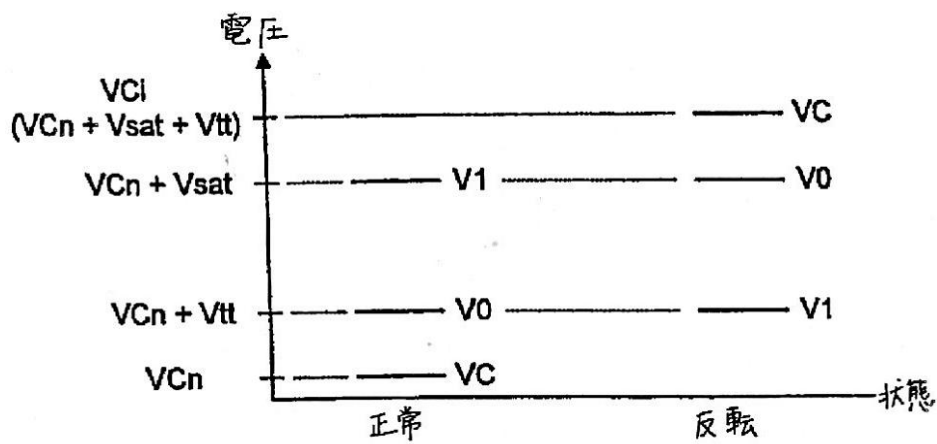
1000



【図 1 1】



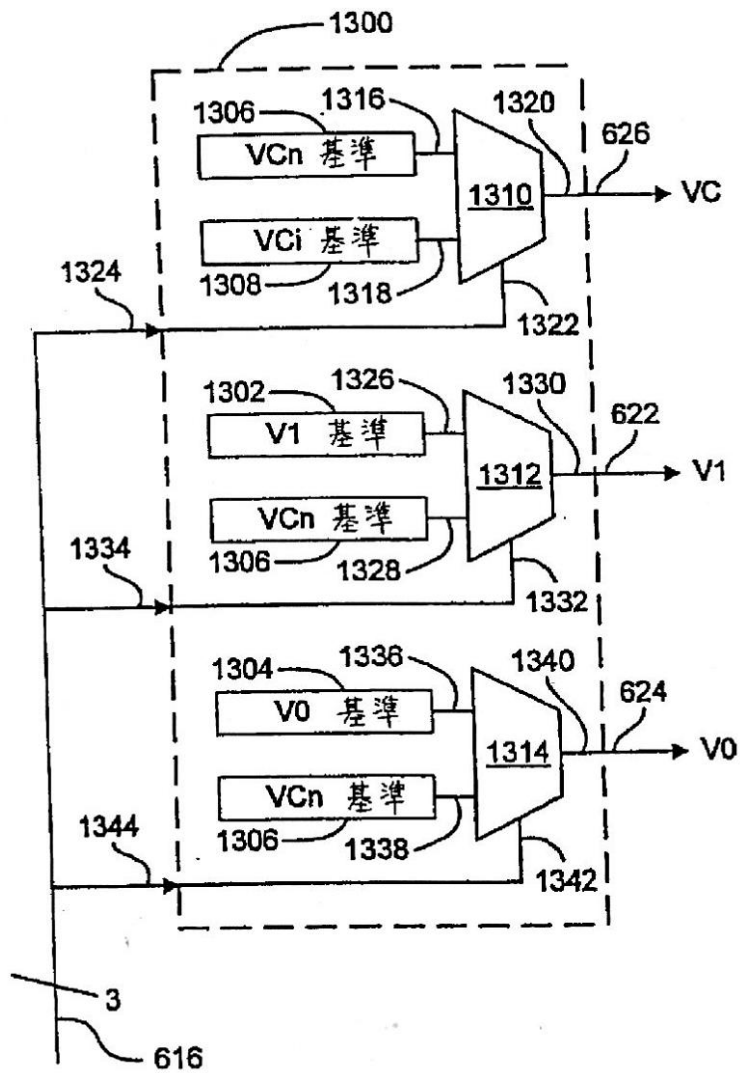
【図 1 2 A】



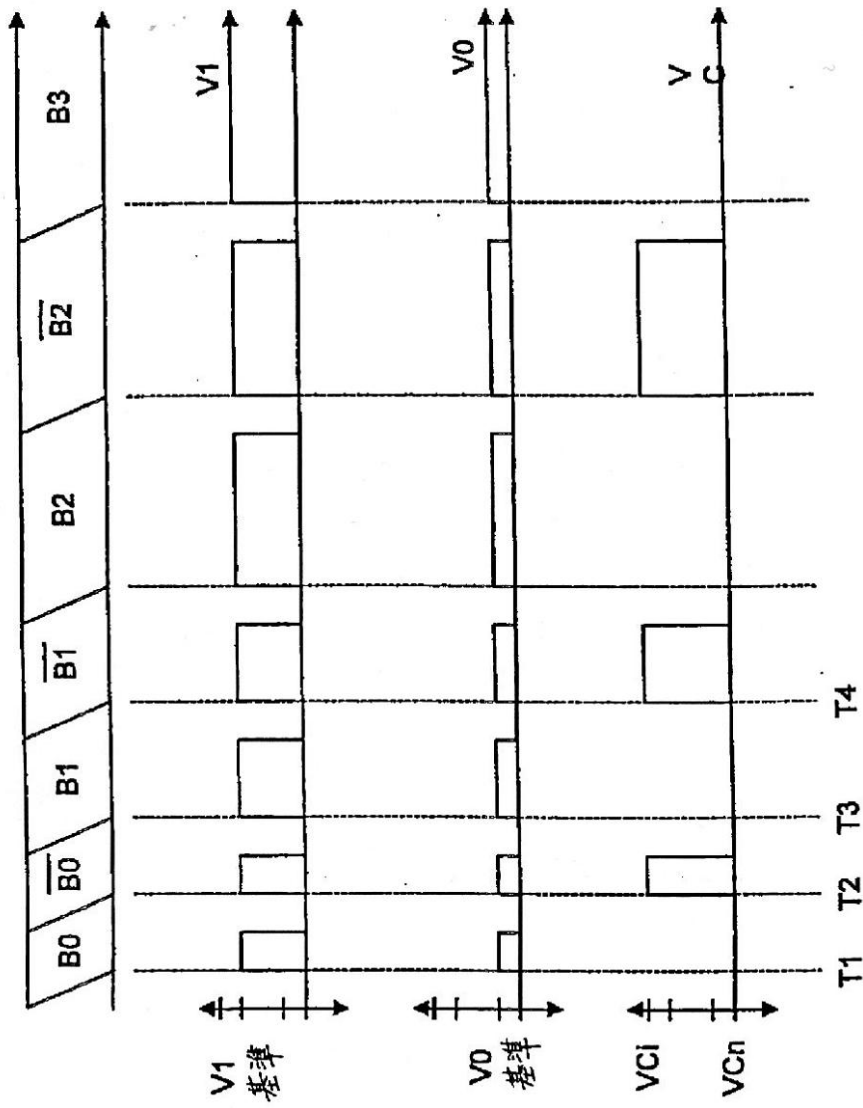
【図 12B】

VCn = 0V		
Vtt = 1V		
Vsat = 3V		
$VCi = VCn + Vsat + Vtt = 4V$		
	正常	反転
VC	0V	4V
V1	3V	1V
V0	1V	3V

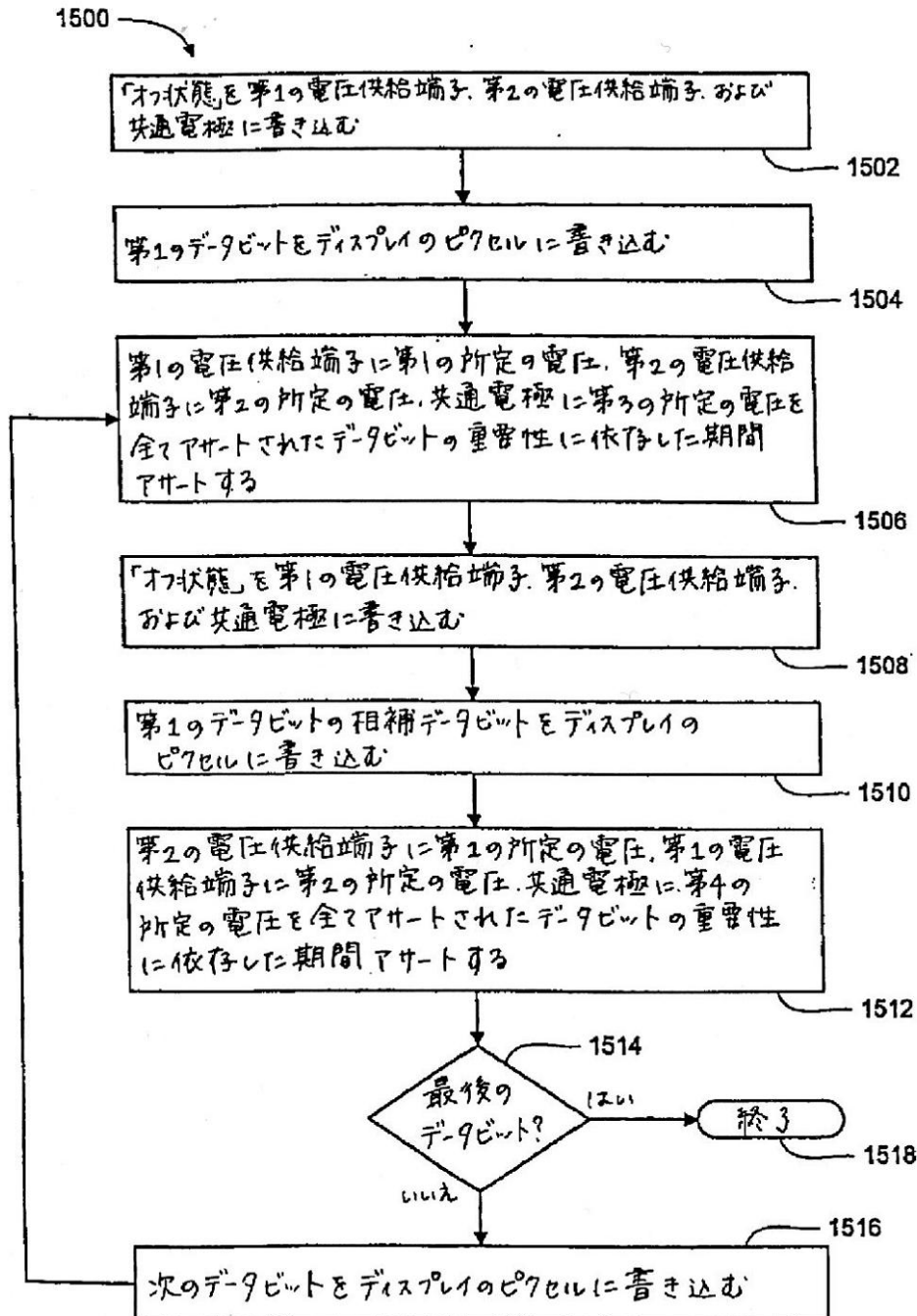
【図 13】



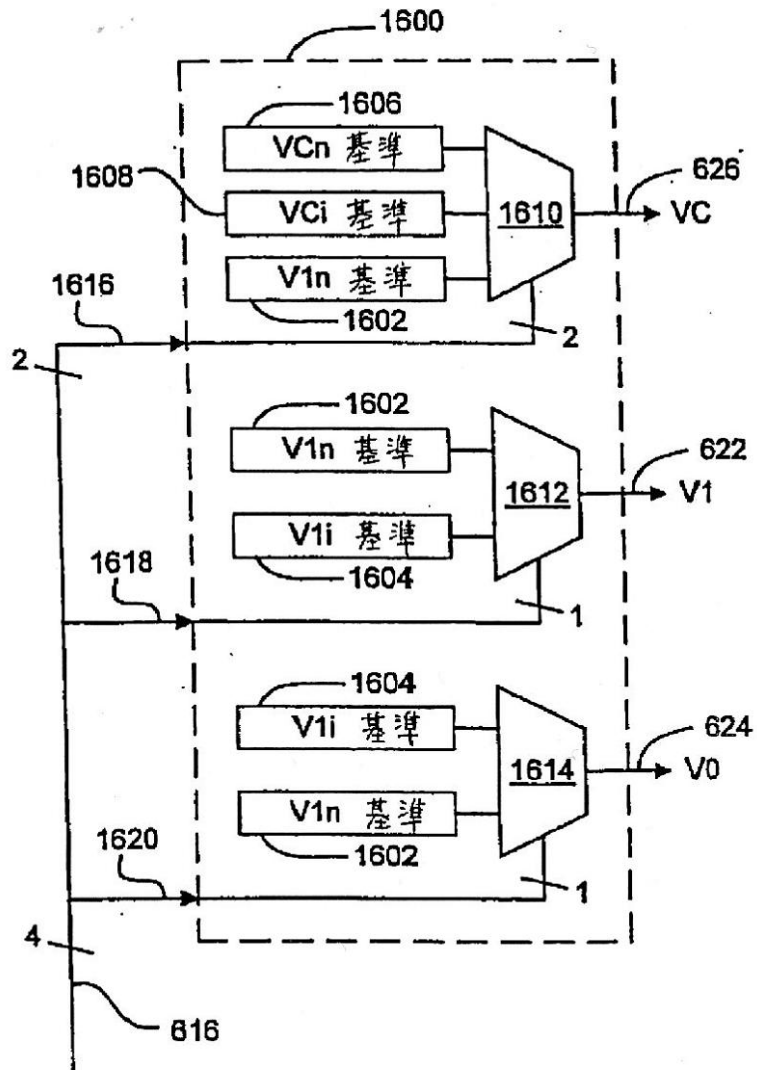
【図 14】



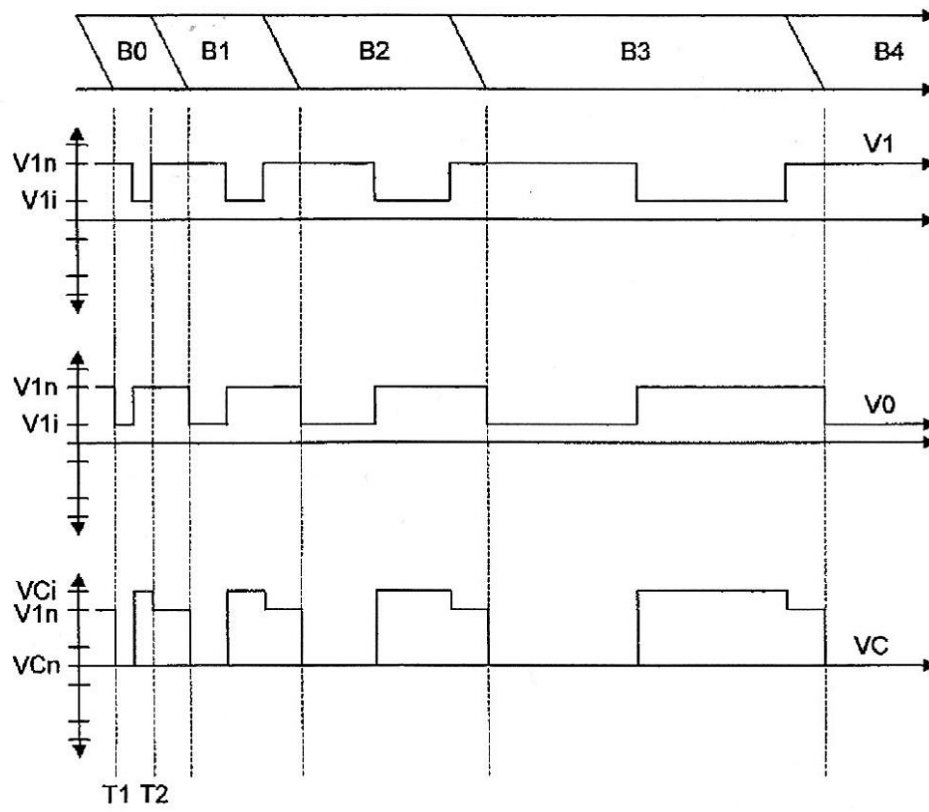
【図15】



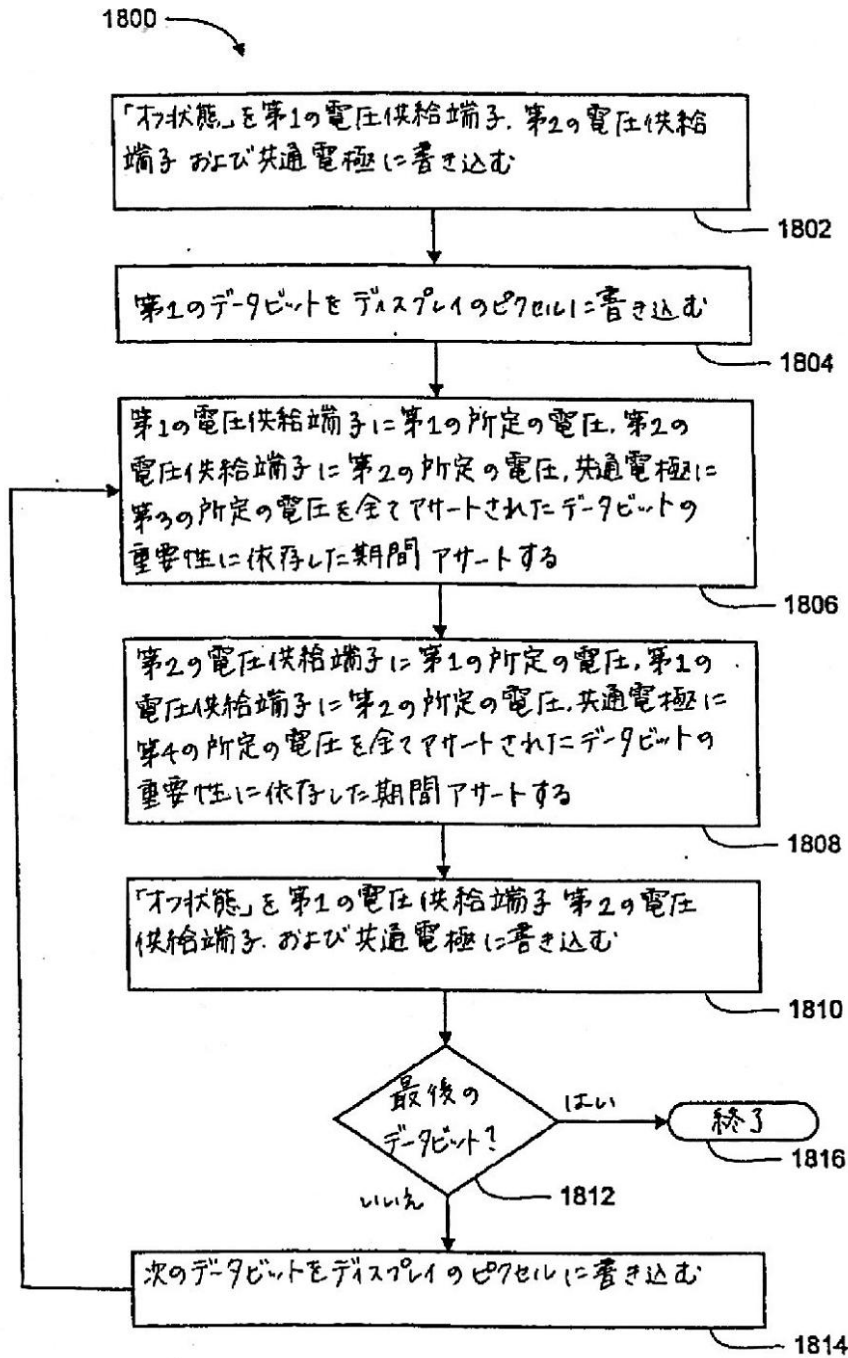
【図 16】



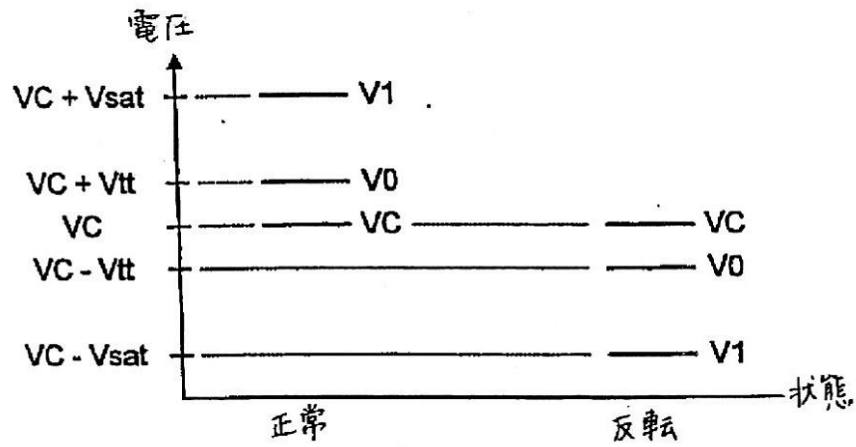
【図 17】



【図18】



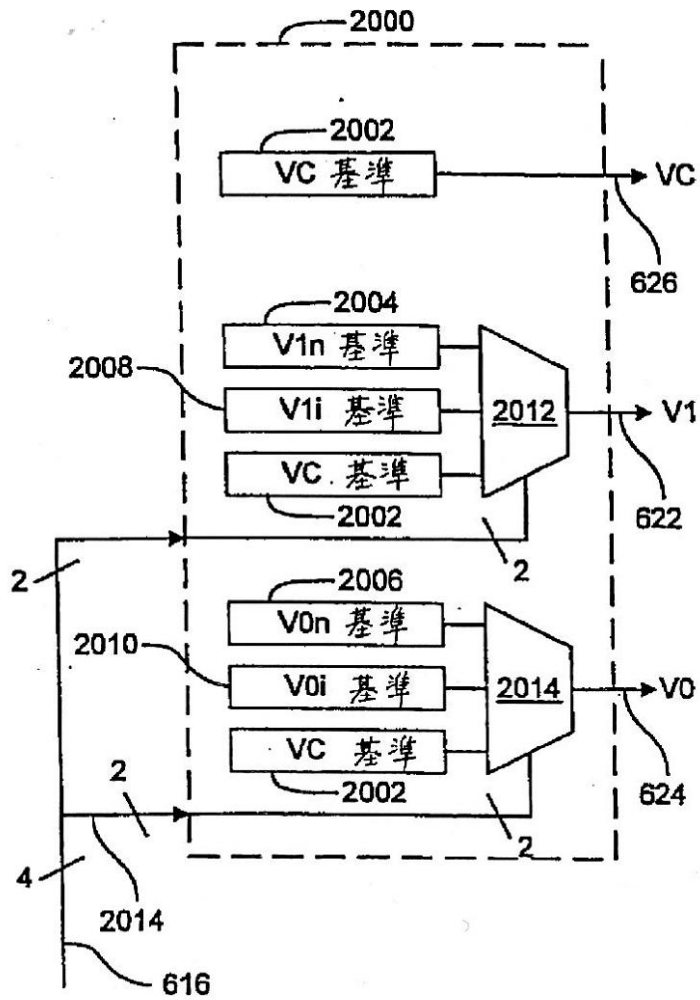
【図 19 A】



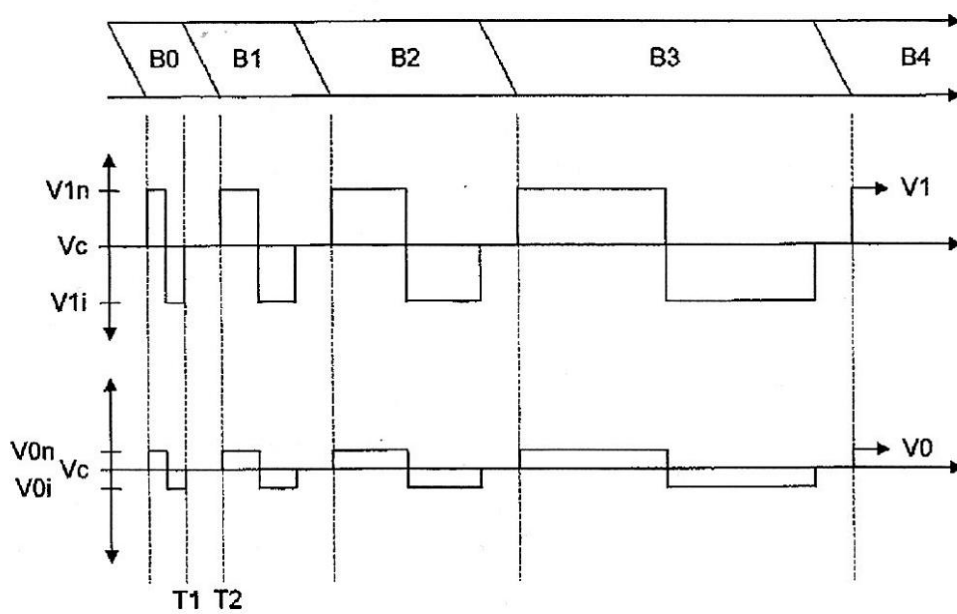
【図 19 B】

$VC = 3V$ $V_{tt} = 1V$ $V_{sat} = 3V$		
	正常	反転
VC	3V	3V
V0	4V	2V
V1	6V	0V

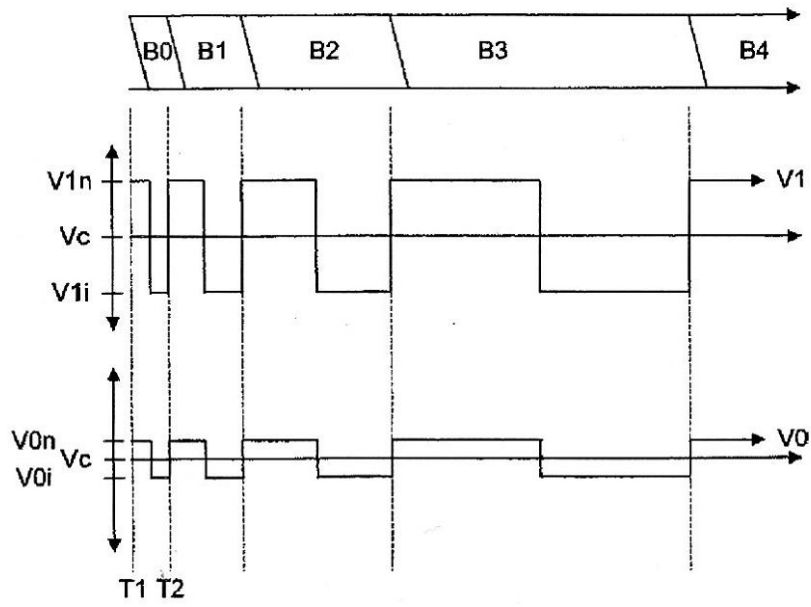
【図 20】



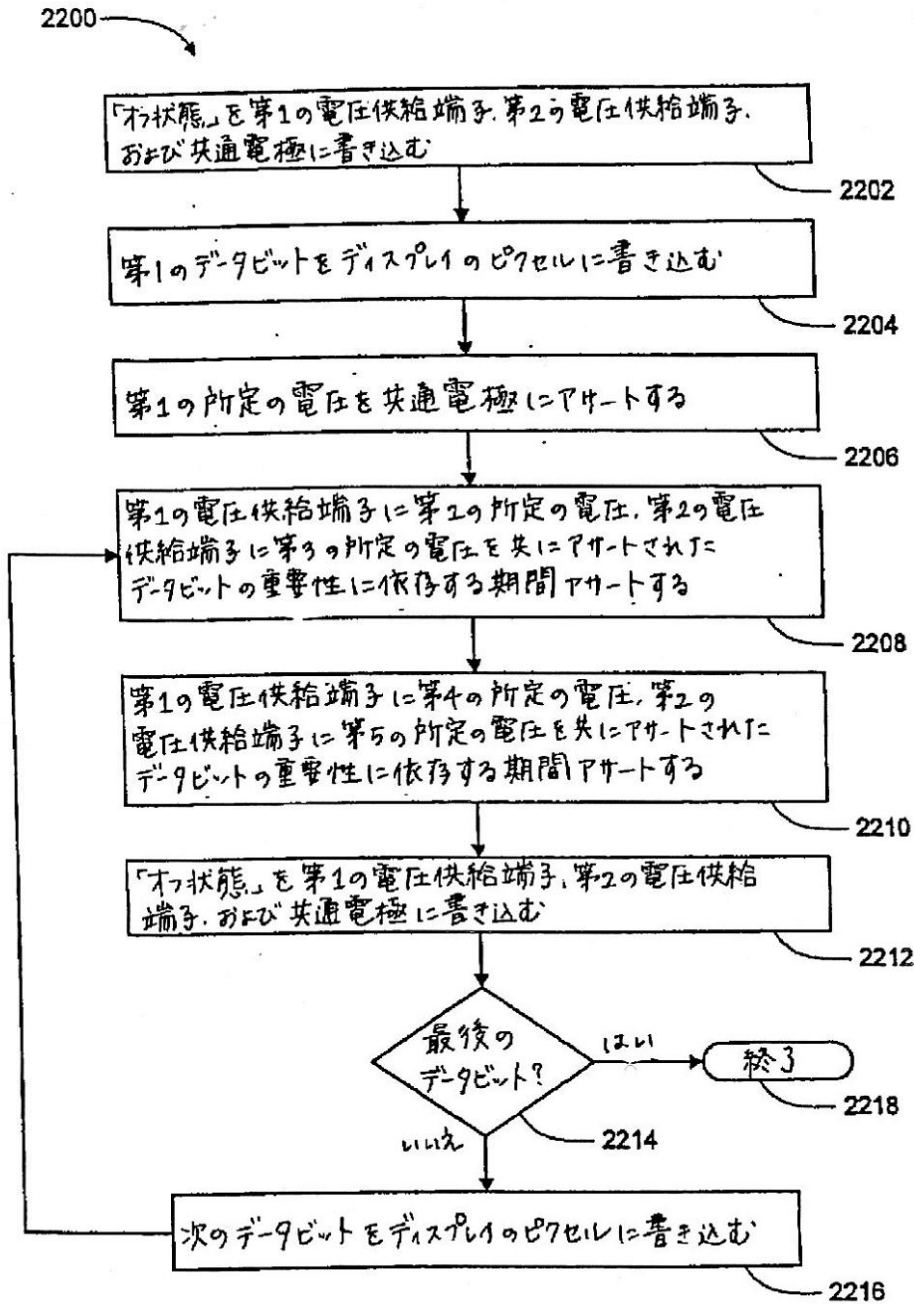
【図 21 A】



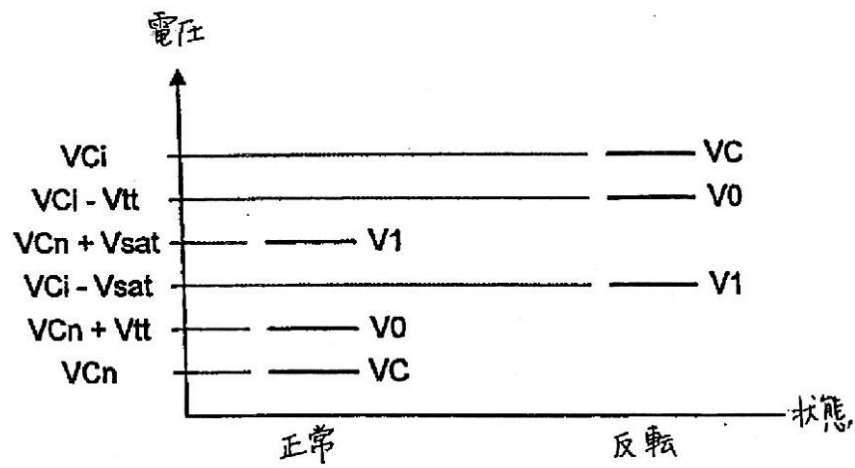
【図 2 1 B】



【図 22】



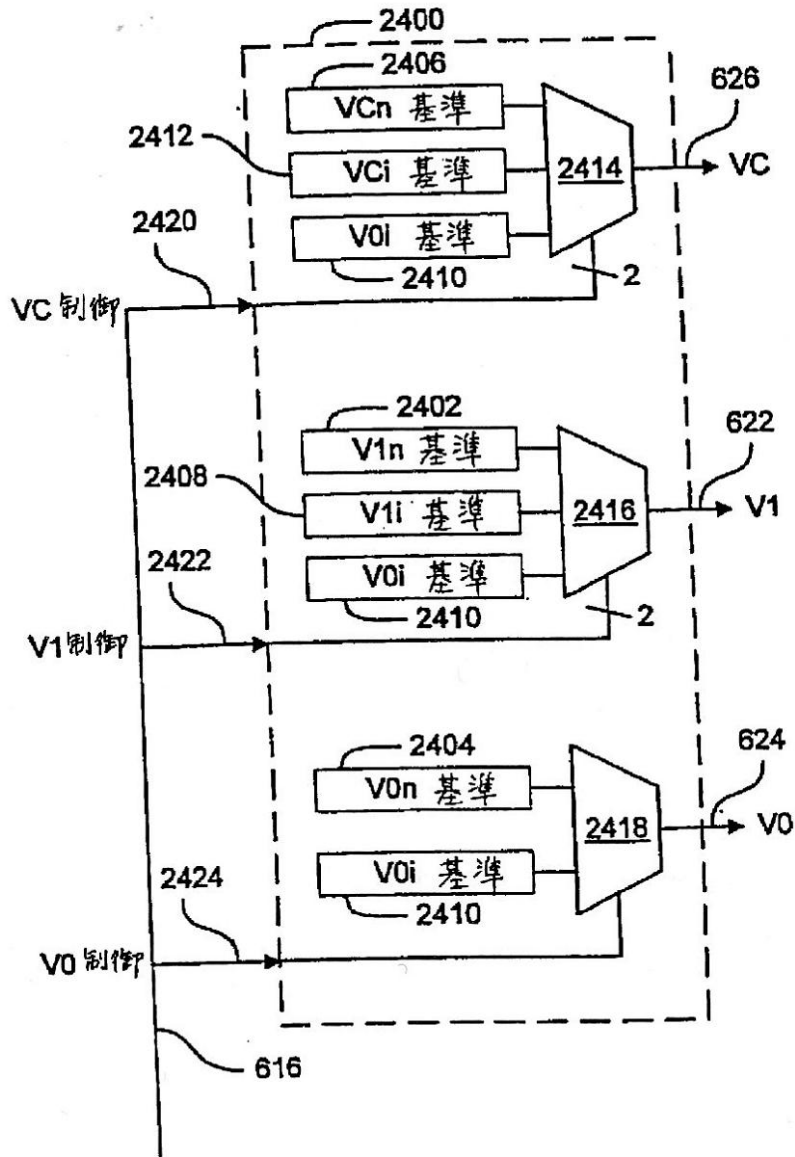
【図 2 3 A】



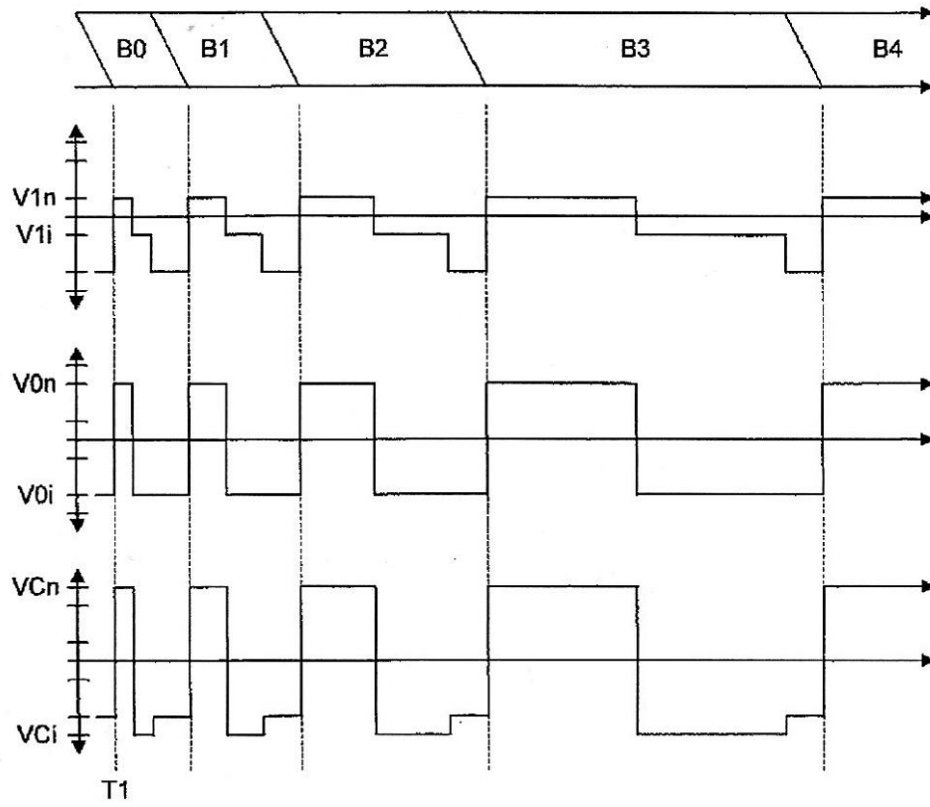
【図 2 3 B】

$V_{Cn} = 0V$ $V_{Ci} = 5V$ $V_{tt} = 1V$ $V_{sat} = 3V$		
	正常	反転
VC	0V	5V
V0	1V	4V
V1	3V	2V

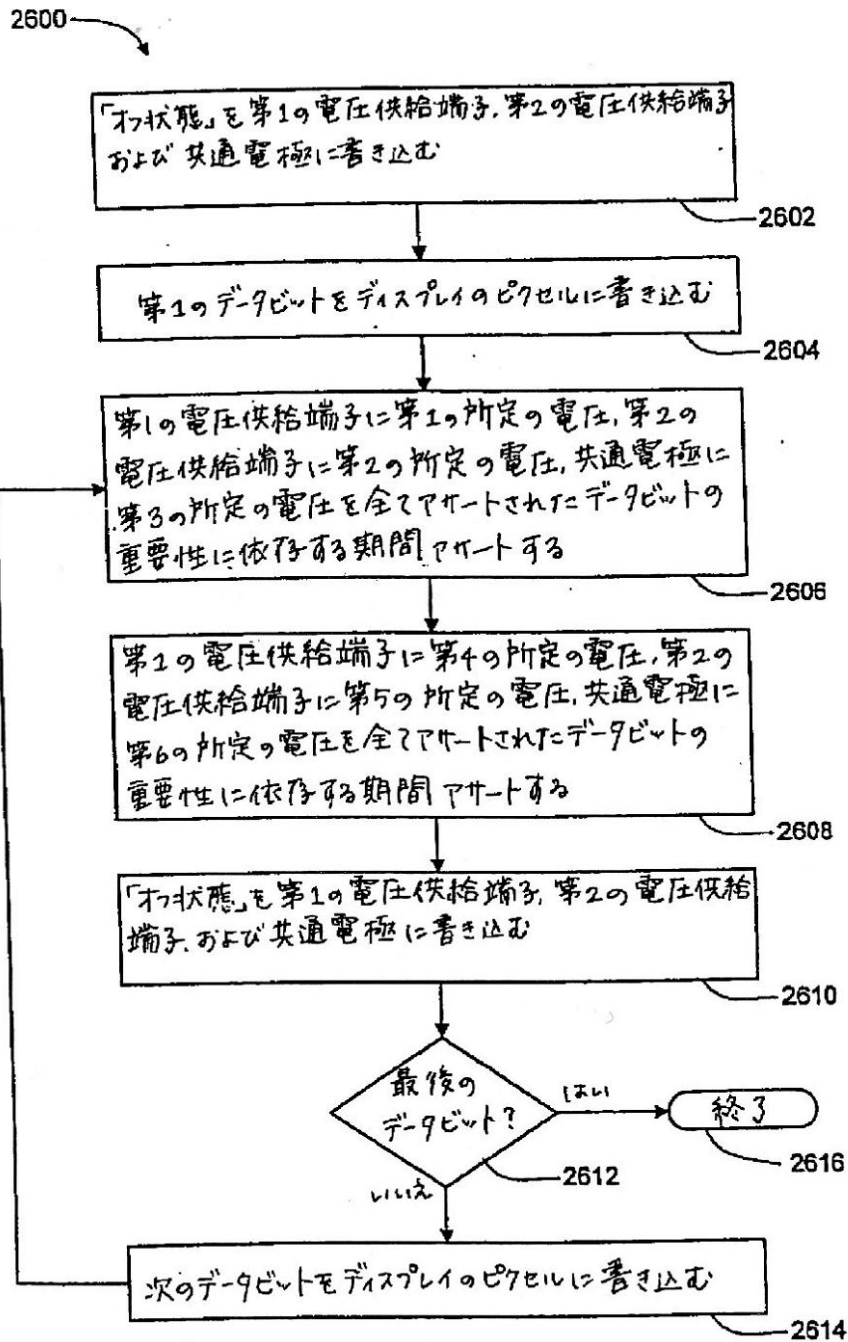
【図 24】



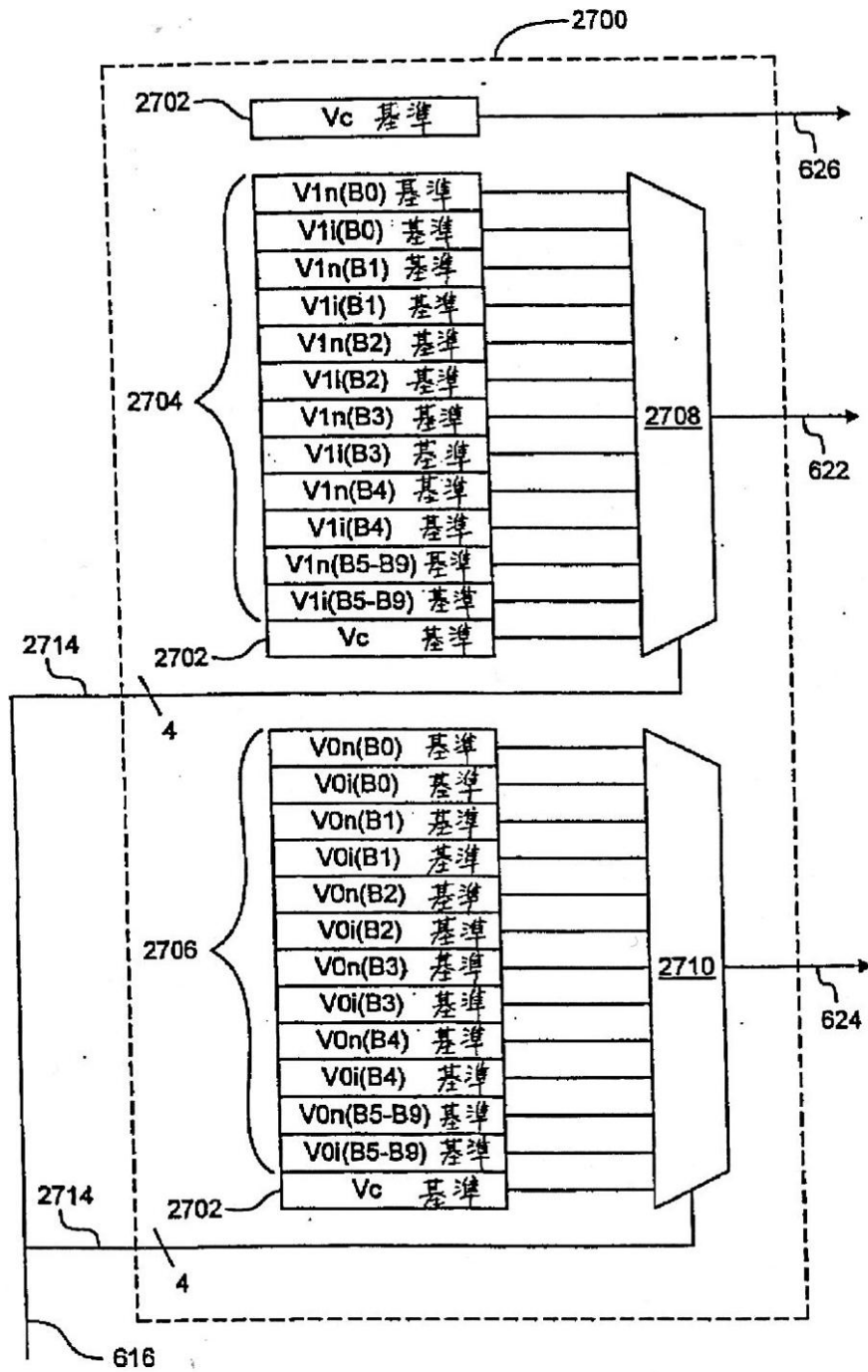
【図 25】



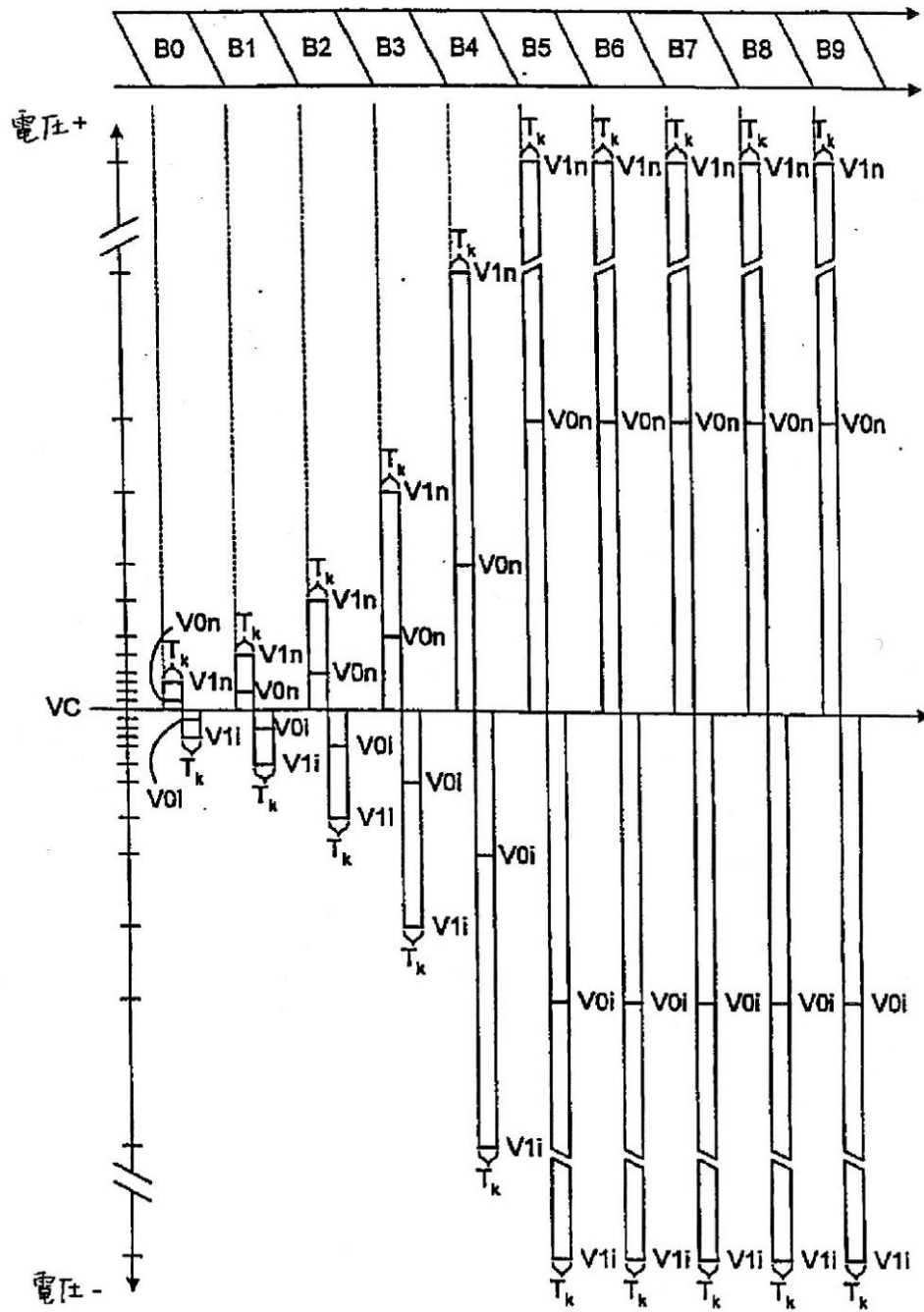
【図 26】



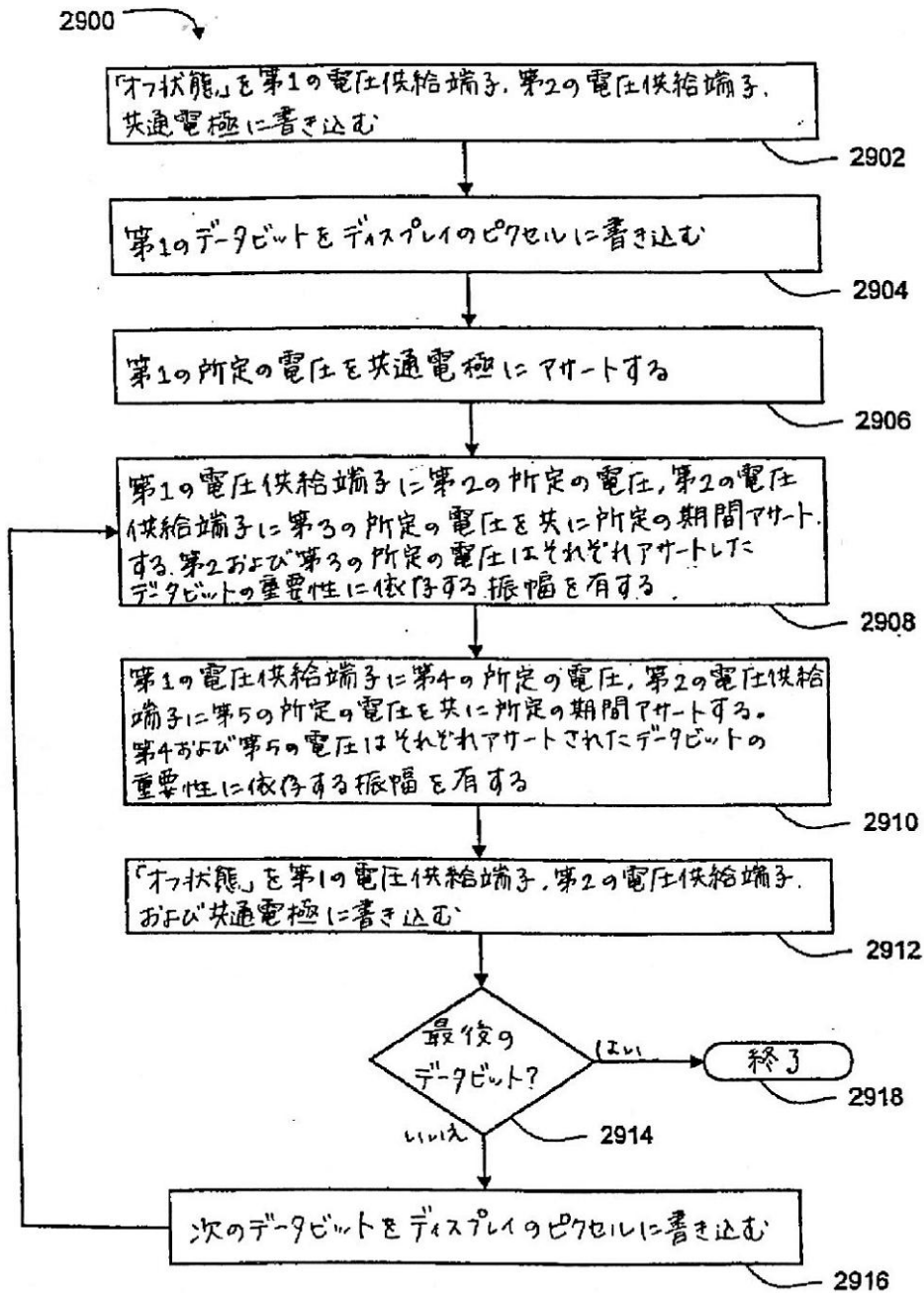
【 図 2 7 】



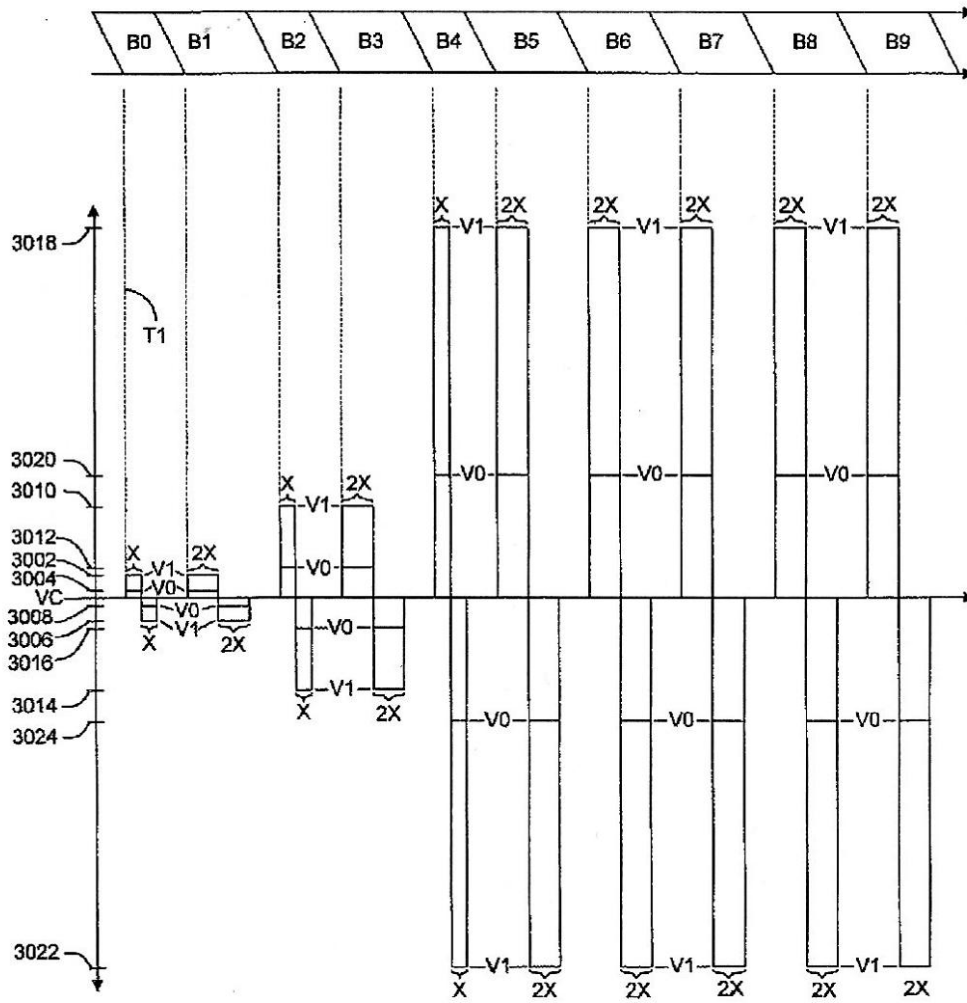
【図 28】



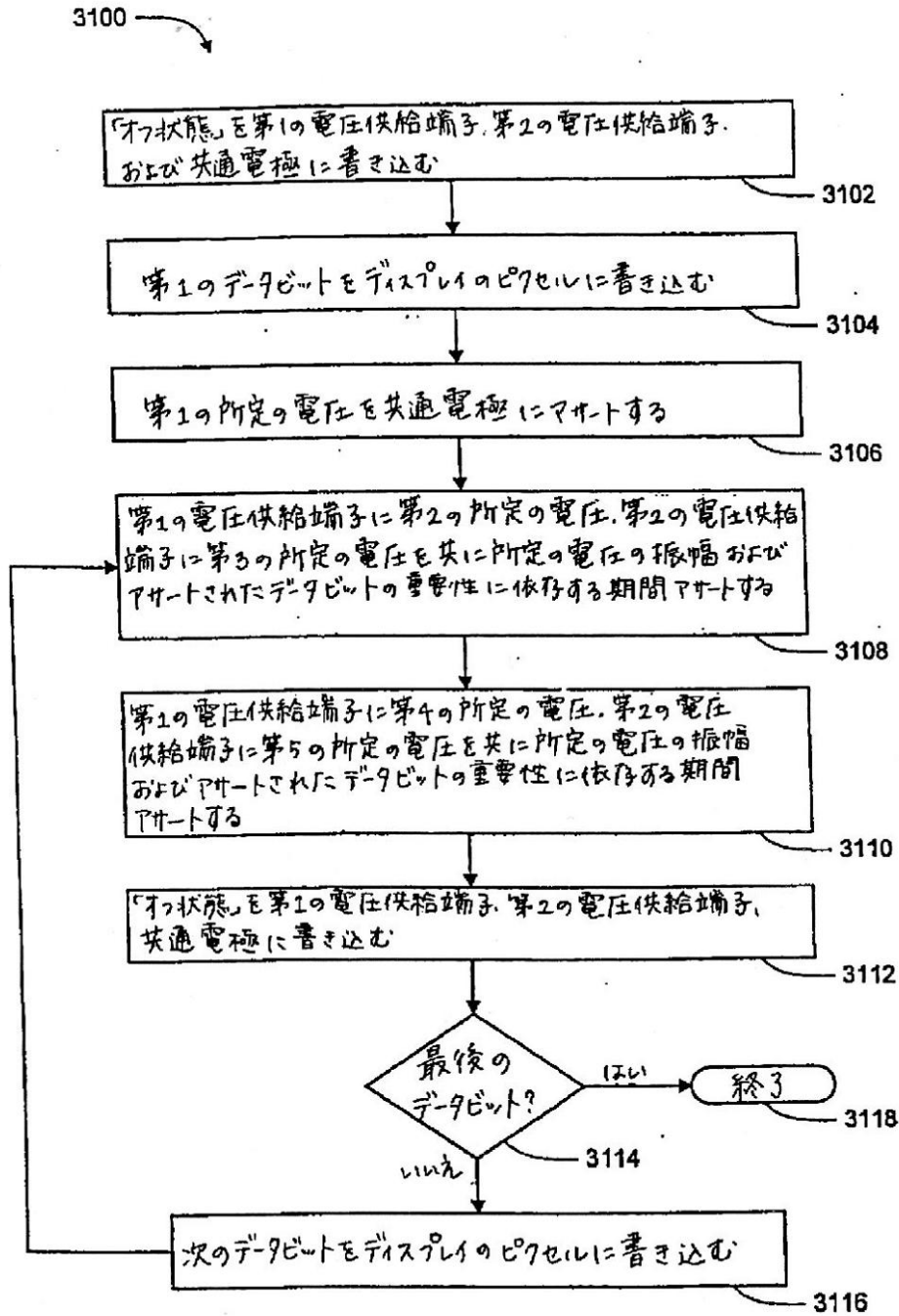
【図 29】



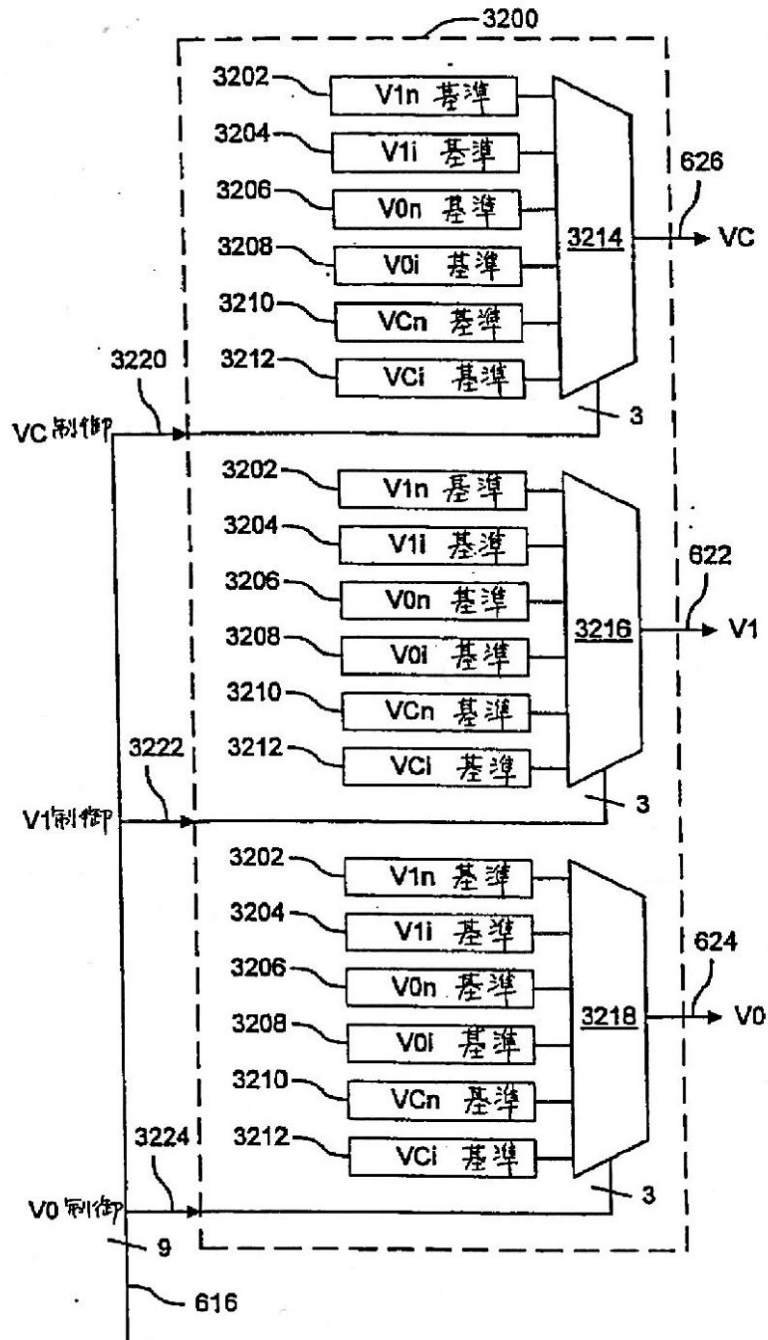
【図 30】



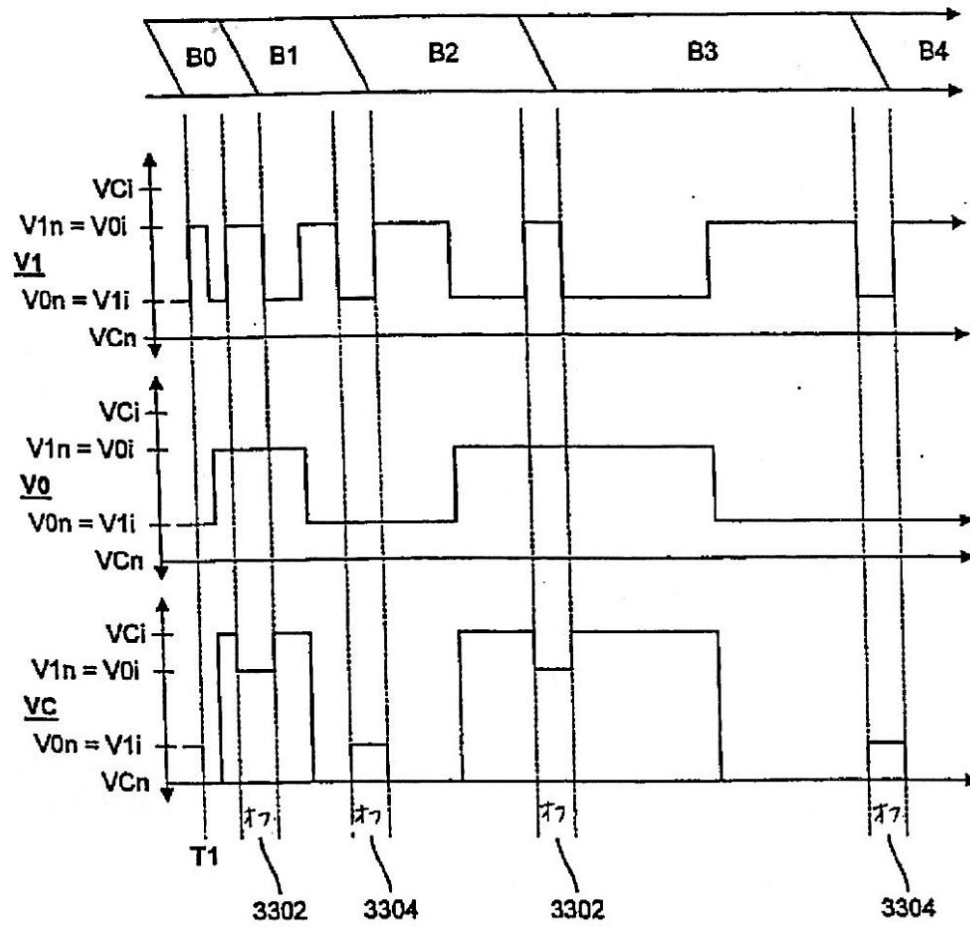
【図 3 1】



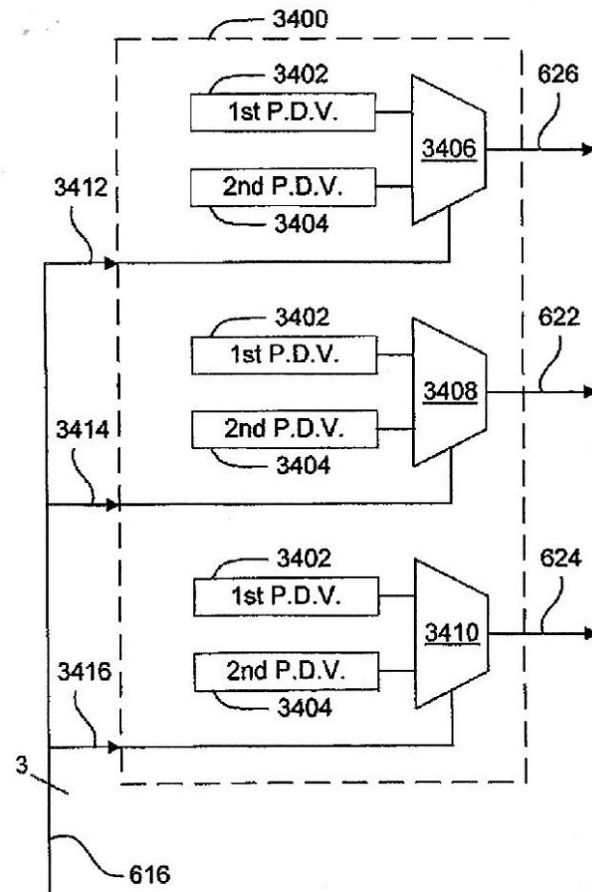
【図 3 2】



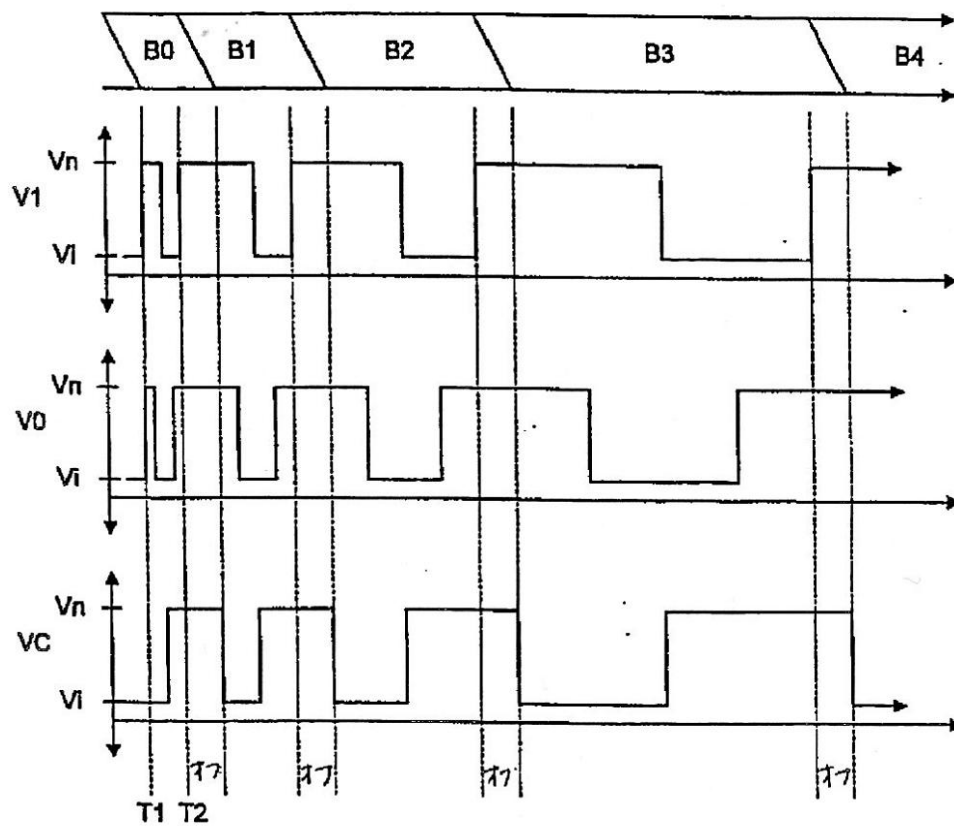
【図 33】



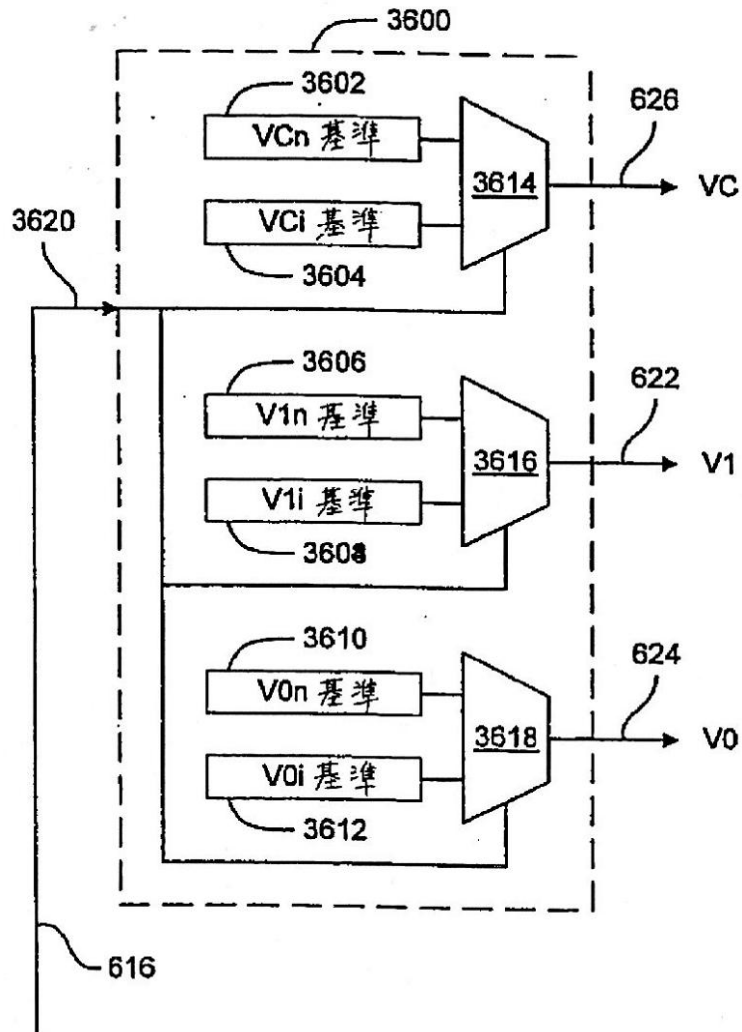
【図 3 4】



【図 3 5】



【図 36】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 7 0 K
G 0 9 G	3/20	6 2 1 F
G 0 9 G	3/20	6 4 1 E
G 0 9 G	3/20	6 4 1 A
G 0 9 G	3/20	6 4 1 C
G 0 2 F	1/133	5 0 5

(72)発明者 ハドソン, エドウィン ライル

アメリカ合衆国 カリフォルニア 9 4 0 2 4, ロス アルトス, バリー ビュー ドライブ
5 0 1

(72)発明者 チョウ, ウィン ホン

アメリカ合衆国 カリフォルニア 9 5 1 2 9, サン ノゼ, キャピストラノ アベニュー
4 9 0 3

F ターム(参考) 2H193 ZD26 ZD29 ZF03

5C006	AA14	AA15	AA16	AA17	AC11	AC24	AC25	AC28	AF44	AF46
	AF51	AF71	BB16	BB28	BC06	BC12	BC20	BF04	BF15	BF24
	BF43	FA12	FA14	FA18	FA33	FA38	FA56			
5C080	AA10	BB05	DD03	DD07	DD08	DD18	DD29	EE25	EE29	FF03
	FF11	GG02	GG12	JJ02	JJ03	JJ04	JJ05	JJ07	KK43	

专利名称(译)	显示多个像素以实现饱和电压和阈值电压之间的调制		
公开(公告)号	JP2012098745A	公开(公告)日	2012-05-24
申请号	JP2011278841	申请日	2011-12-20
申请(专利权)人(译)	极光系统公司		
[标]发明人	ウォーリーダブリュー スペンサー ザ サード ハドソン エドウィン ライル チョウ ウィン ホン		
发明人	ウォーリー, ダブリュー. スペンサー ザ サード ハドソン, エドウィン ライル チョウ, ウィン ホン		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3659 G09G3/2011 G09G3/2022 G09G3/2025 G09G3/2081 G09G3/3614 G09G3/3648 G09G3/3696 G09G2300/0491 G09G2300/0809 G09G2300/0823 G09G2300/0857 G09G2310/063 G09G2320/0204		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.621.B G09G3/20.624.D G09G3/20.624.E G09G3/20.621.A G09G3/20.670.K G09G3/20.621.F G09G3/20.641.E G09G3/20.641.A G09G3/20.641.C G02F1/133.505		
F-TERM分类号	2H193/ZD26 2H193/ZD29 2H193/ZF03 5C006/AA14 5C006/AA15 5C006/AA16 5C006/AA17 5C006/AC11 5C006/AC24 5C006/AC25 5C006/AC28 5C006/AF44 5C006/AF46 5C006/AF51 5C006/AF71 5C006/BB16 5C006/BB28 5C006/BC06 5C006/BC12 5C006/BC20 5C006/BF04 5C006/BF15 5C006/BF24 5C006/BF43 5C006/FA12 5C006/FA14 5C006/FA18 5C006/FA33 5C006/FA38 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD03 5C080/DD07 5C080/DD08 5C080/DD18 5C080/DD29 5C080/EE25 5C080/EE29 5C080/FF03 5C080/FF11 5C080/GG02 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ07 5C080/KK43		
优先权	09/075472 1998-05-08 US		
外部链接	Espacenet		

摘要(译)

一种用于显示能够快速反转存储在像素中的数据的多位数据字的液晶显示器。像素电极612，存储元件702，第一电压供应端子622，第二电压供应端子624，公共电极和多路复用器704，其中多路复用器与一个存储元件702相关联。响应于所存储的数据位的值，像素电极612中的一个与第一电压供应端子622和第二电压供应端子624之一选择性地相关联。将多位数据字的每个位连续地写入存储元件702，并且将每个位在存储元件702中存储一段时间，该时间段取决于所连接和存储的位的重要性。对于第一电压供应端子622，第二预定电压至第二电压供应端子624，并且第三预定电压至公共电极。[选择图]图7

