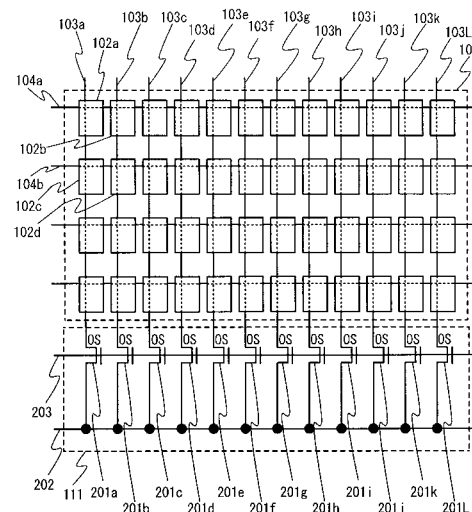




【特許請求の範囲】**【請求項 1】**

複数の画素を含む画素部と、プリチャージ回路とを有し、
前記プリチャージ回路は、第 1 のトランジスタを複数有し、
前記複数の画素のそれぞれは、第 2 のトランジスタと液晶素子とを有し、
前記第 1 のトランジスタと前記第 2 のトランジスタとは、酸化物半導体を有することを特徴とすることを特徴とする液晶表示装置。

【請求項 2】

複数の画素を含む画素部と、検査回路とを有し、
前記検査回路は、第 1 のトランジスタを複数有し、
前記複数の画素のそれぞれは、第 2 のトランジスタと液晶素子とを有し、
前記第 1 のトランジスタと前記第 2 のトランジスタとは、酸化物半導体を有することを特徴とすることを特徴とする液晶表示装置。

10

【請求項 3】

複数の画素を含む画素部と、回路とを有し、
前記回路は、第 1 のトランジスタを複数有し、
前記複数の画素のそれぞれは、第 2 のトランジスタと液晶素子とを有し、
前記複数の第 1 のトランジスタのゲートは、互いに電氣的に接続され、
前記複数の第 1 のトランジスタの第 1 の端子は、互いに電氣的に接続され、
前記複数の第 1 のトランジスタの第 2 の端子の全ては、画素部に電氣的に接続され、
前記複数の第 1 のトランジスタのゲートは、フローティング状態になっており、
前記第 1 のトランジスタと前記第 2 のトランジスタとは、酸化物半導体を有することを特徴とすることを特徴とする液晶表示装置。

20

【請求項 4】

複数の画素を含む画素部と、回路とを有し、
前記回路は、第 1 のトランジスタを複数有し、
前記複数の画素のそれぞれは、第 2 のトランジスタと液晶素子とを有し、
前記複数の第 1 のトランジスタのゲートは、互いに電氣的に接続され、
前記複数の第 1 のトランジスタの第 1 の端子は、互いに電氣的に接続され、
前記複数の第 1 のトランジスタの第 2 の端子の全ては、画素部に電氣的に接続され、
前記複数の第 1 のトランジスタの第 1 の端子は、フローティング状態になっており、
前記第 1 のトランジスタと前記第 2 のトランジスタとは、酸化物半導体を有することを特徴とすることを特徴とする液晶表示装置。

30

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、
前記第 1 のトランジスタおよび前記第 2 のトランジスタが有する酸化物半導体は、真性半導体であることを特徴とする液晶表示装置。

【請求項 6】

請求項 1 乃至請求項 5 に記載の液晶表示装置と、操作スイッチとを具備する電子機器。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置、表示装置、液晶表示装置、発光装置又はそれらの製造方法に関する。特に、酸化物半導体膜を用いたトランジスタで構成された回路を有する半導体装置、表示装置、液晶表示装置、発光装置又はそれらの作製方法に関する。

【背景技術】**【0002】**

従来、液晶表示装置に代表される表示装置のスイッチング素子として、アモルファスシリコン等で形成されたシリコン層をチャネル層として用いた薄膜トランジスタ(TFT)が広く用いられている。アモルファスシリコンを用いた薄膜トランジスタは、電界効果移動

50

度が低いもののガラス基板の大面积化に対応することができるという利点を有している。

【 0 0 0 3 】

また、近年、半導体特性を示す金属酸化物を用いてトランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、金属酸化物の中で、酸化タンゲステン、酸化錫、酸化インジウム、酸化亜鉛などは半導体特性を示すことが知られている。このような金属酸化物で構成される透明半導体層をチャネル形成領域とするトランジスタが開示されている（特許文献 1）。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

10

【 特許文献 1 】 特開 2 0 0 6 - 1 6 5 5 3 2 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

本発明の一態様は、ノイズの小さい半導体装置などを提供することを課題とする。または、本発明の一態様は、絶縁耐圧の高い半導体装置などを提供することを課題とする。または、本発明の一態様は、消費電力の低い半導体装置などを提供することを課題とする。または、本発明の一態様は、正しい表示を行う表示装置などを提供することを課題とする。なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、上記の課題の全てを解決する必要はないものとする。

20

【 課題を解決するための手段 】

【 0 0 0 6 】

上記課題を解決するために、酸化物半導体（OS：オキサイドセミコンダクター）を有するトランジスタ、特に、酸化物半導体を有するMOSトランジスタを用いて、回路を構成する。その酸化物半導体は、実質的に真性な半導体である。そのため、オフ電流が非常に低い。

【 0 0 0 7 】

本発明の実施形態の一態様は、複数の画素を含む画素部と、プリチャージ回路とを有し、プリチャージ回路は、第1のトランジスタを複数有し、複数の画素のそれぞれは、第2のトランジスタと液晶素子とを有し、第1のトランジスタと第2のトランジスタは、酸化物半導体を有することを特徴とする液晶表示装置が提供される。

30

【 0 0 0 8 】

または、本発明の実施形態の一態様は、複数の画素を含む画素部と、検査回路とを有し、検査回路は、第1のトランジスタを複数有し、複数の画素のそれぞれは、第2のトランジスタと液晶素子とを有し、第1のトランジスタと第2のトランジスタは、酸化物半導体を有することを特徴とする液晶表示装置が提供される。

【 0 0 0 9 】

または、本発明の実施形態の一態様は、複数の画素を含む画素部と、回路とを有し、回路は、第1のトランジスタを複数有し、複数の画素のそれぞれは、第2のトランジスタと液晶素子とを有し、複数の第1のトランジスタのゲートは、互いに電氣的に接続され、複数の第1のトランジスタの第1の端子は、互いに電氣的に接続され、複数の第1のトランジスタの第2の端子の全ては、画素部に電氣的に接続され、複数の第1のトランジスタのゲートは、フローティング状態になっており、第1のトランジスタと第2のトランジスタは、酸化物半導体を有することを特徴とする液晶表示装置が提供される。

40

【 0 0 1 0 】

または、本発明の実施形態の一態様は、複数の画素を含む画素部と、回路とを有し、回路は、第1のトランジスタを複数有し、複数の画素のそれぞれは、第2のトランジスタと液晶素子とを有し、複数の第1のトランジスタのゲートは、互いに電氣的に接続され、複数の第1のトランジスタの第1の端子は、互いに電氣的に接続され、複数の第1のトランジスタの第2の端子の全ては、画素部に電氣的に接続され、複数の第1のトランジスタの第

50

１の端子は、フローティング状態になっており、第１のトランジスタと第２のトランジスタは、酸化物半導体を有することを特徴とする液晶表示装置が提供される。

【００１１】

上記構成において、第１のトランジスタおよび第２のトランジスタが有する酸化物半導体は、真性半導体であることを特徴とする液晶表示装置が提供される。

【発明の効果】

【００１２】

開示する発明において、オフ電流の低い酸化物半導体を有するトランジスタを用いて、回路を構成する。そのため、回路に不要な電流が漏れて入ってきってしまうことを防ぐことが出来る。よって、回路が正常に動作しやすくなる。そのため、酸化物半導体を有するトランジスタを備えた回路を有する表示装置において、正確な表示を行うことが出来る。

10

【図面の簡単な説明】

【００１３】

【図１】半導体装置を説明する回路図。

【図２】半導体装置を説明する回路図。

【図３】半導体装置を説明する回路図。

【図４】半導体装置を説明する回路図。

【図５】半導体装置を説明する回路図。

【図６】半導体装置の信号の波形を説明するタイミングチャート。

【図７】半導体装置の信号の波形を説明するタイミングチャート。

20

【図８】半導体装置を説明する回路図。

【図９】半導体装置を説明する回路図。

【図１０】半導体装置を説明する回路図。

【図１１】半導体装置を説明する回路図。

【図１２】半導体装置を説明する断面図。

【図１３】表示装置を説明する回路図及び断面図。

【図１４】表示装置を説明する断面図。

【図１５】表示装置の波形を説明するタイミングチャート。

【図１６】電子機器を説明する図。

【図１７】電子機器を説明する図。

30

【発明を実施するための形態】

【００１４】

以下、実施の形態について図面を参照しながら説明する。なお、以下に説明する構成において、同様のものを指す符号は異なる図面間で共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【００１５】

（実施の形態１）

本実施の形態では、酸化物半導体を有するトランジスタ、特に、活性層に酸化物半導体を有するトランジスタを用いて構成された装置（半導体装置、表示装置、または、発光装置）の一例について、図面を参照して説明する。酸化物半導体を有するトランジスタはオフ電流が低いため、酸化物半導体を有する半導体装置などにおいて、オフ電流に起因して生じる不具合を低減することが出来る。または、酸化物半導体を有するトランジスタは、絶縁耐圧が高い。よって、高い電圧が加えられても正常に動作し、高い電圧が加えられている時のオフ電流も低くすることができるため、オフ電流に起因して生じる不具合を低減することが出来る。

40

【００１６】

図１に、本実施の形態で示す装置の一構成例を示す。本実施の形態の一態様は、画素部１０１および回路１１１を有している。

【００１７】

画素部１０１には、複数の画素がマトリクス状に配置されている。ここで、画素がマトリ

50

クスに配置（配列）されているとは、縦方向もしくは横方向において、画素が直線上に並んで配置されている場合、又はギザギザな線上に配置されている場合を含むものとする。例えば、画素 102a および画素 102b は、横方向に並んで配置されている。同様に、画素 102c および画素 102d は、横方向に並んで配置されている。さらに、画素 102a および画素 102c は、縦方向に並んで配置されている。同様に、画素 102b および画素 102d は、縦方向に並んで配置されている。そして、各々の画素は、配線によって、互いに接続されている。縦方向に配置された画素は、上下方向に伸びる配線によって接続され、横方向に配置された画素は、左右方向に伸びる配線によって接続されている。例えば、画素 102a および画素 102b は、配線 104a によって接続されている。同様に、画素 102c および画素 102d は、配線 104b によって接続されている。さらに、画素 102a および画素 102c は、配線 103a によって接続されている。同様に、画素 102b および画素 102d は、配線 103b によって接続されている。なお、さらに別の配線、例えば、全画素が接続されるような配線（共通配線、電源線など）などによって、画素が接続されることが可能である。なお、これら以外の画素についても、同様に配置され、同様に接続されている。

10

20

30

40

50

【0018】

ここで、配線 104a、配線 104b のように、左右方向に伸びて配置された配線は、各画素が有するトランジスタのゲートと接続される場合がある。したがって、配線 104a、配線 104b のように、左右方向に伸びて配置された配線は、ゲート信号線（ゲート配線、ゲート線など）の機能を有することが出来る。または、配線 104a、配線 104b のように、左右方向に伸びて配置された配線には、1 行ずつ選択する信号が供給され、その信号がスキャンされていく場合がある。したがって、配線 104a、配線 104b のように、左右方向に伸びて配置された配線は、スキャン信号線（スキャン配線、スキャン線など）の機能を有することが出来る。

【0019】

または、配線 103a、配線 103b、配線 103c、配線 103d、配線 103e、配線 103f、配線 103g、配線 103h、配線 103i、配線 103j、配線 103k、配線 103L（配線 103a 乃至配線 103L）のように、上下方向に伸びて配置された配線は、各画素が有するトランジスタのソースまたはドレインと接続される場合がある。したがって、配線 103a 乃至配線 103L のように、上下方向に伸びて配置された配線は、ソース信号線（ソース配線、ソース線など）の機能を有することが出来る。または、配線 103a 乃至配線 103L のように、上下方向に伸びて配置された配線には、データ信号、ビデオ信号、ソース信号などが供給される場合がある。したがって、配線 103a 乃至配線 103L のように、上下方向に伸びて配置された配線は、データ信号線（データ配線、データ線など）の機能を有することが出来る。

【0020】

次に、回路 111 は、配線 103a 乃至配線 103L のように、上下方向に伸びて配置された配線を介して、画素部 101 または各々の画素と接続されている。回路 111 は、様々な機能を持つ回路として構成させることが出来る。

【0021】

回路 111 の詳細について示した回路構成の一例を、図 2 に示す。回路 111 は、一例としては、プリチャージ回路の機能を有することが可能であり、または、検査回路の機能を有することが可能である。または、回路 111 は、プリチャージ回路の機能と検査回路の機能の両方の機能を有することが可能である。ただし、本発明の実施形態の一態様は、これに限定されない。

【0022】

回路 111 は、トランジスタ 201a、トランジスタ 201b、トランジスタ 201c、トランジスタ 201d、トランジスタ 201e、トランジスタ 201f、トランジスタ 201g、トランジスタ 201h、トランジスタ 201i、トランジスタ 201j、トランジスタ 201k、トランジスタ 201L（トランジスタ 201a 乃至トランジスタ 201

L)を有している。配線103a乃至配線103Lは、配線202と、トランジスタ201a乃至トランジスタ201Lを各々介して、接続されている。したがって、トランジスタ201a乃至トランジスタ201Lのソース又はドレインの一方は、配線202に接続され、トランジスタ201a乃至トランジスタ201Lのソース又はドレインの他方の各々は、それぞれ、配線103a乃至配線103Lに接続されている。そして、配線203は、トランジスタ201a乃至トランジスタ201Lのゲートと接続されている。したがって、トランジスタ201a乃至トランジスタ201Lのゲートは、互いに接続されている。

【0023】

なお、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン(ドレイン端子、ドレイン領域またはドレイン電極)とソース(ソース端子、ソース領域またはソース電極)の間にチャンネル領域を有しており、ドレインとチャンネル領域とソースとを介して電流を流すことが出来るものである。

【0024】

なお、本明細書等において、トランジスタの一例としては、ゲート電極が2個以上のマルチゲート構造のトランジスタを用いることができる。マルチゲート構造にすると、チャンネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構造となる。よって、マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上(信頼性の向上)を図ることができる。または、マルチゲート構造により、飽和領域で動作する時に、ドレインとソースとの間の電圧が変化しても、ドレインとソースとの間の電流があまり変化せず、傾きがフラットである電圧・電流特性を得ることができる。傾きがフラットである電圧・電流特性を利用すると、理想的な電流源回路、又は非常に高い抵抗値をもつ能動負荷を実現することが出来る。その結果、特性のよい差動回路又はカレントミラー回路などを実現することが出来る。

【0025】

なお、トランジスタの一例としては、チャンネルの上下にゲート電極が配置されている構造のトランジスタを適用することができる。チャンネルの上下にゲート電極が配置される構造にすることにより、複数のトランジスタが並列に接続されたような回路構成となる。よって、チャンネル領域が増えるため、電流値の増加を図ることができる。または、チャンネルの上下にゲート電極が配置されている構造にすることにより、空乏層ができやすくなるため、サブスレッショルドスイング値(S値)の改善を図ることができる。

【0026】

なお、回路111の回路構成は、図2の回路構成に限定されず、様々な回路構成をとることが可能である。その場合の回路111の一例を図3に示す。したがって、図1及び図2に関して述べた内容は、図3にも適用させることが可能である。

【0027】

図3では、図2における配線202を複数設ける場合の例を示す。なお、図3では、配線202が3本の場合について示したが、本発明の実施形態の一態様は、これに限定されず、2本、または、4本以上にすることが可能である。配線103a乃至配線103Lは、配線202a、配線202bまたは配線202cのいずれか1つと、トランジスタ201a乃至トランジスタ201Lを各々介して、接続されている。したがって、トランジスタ201a乃至トランジスタ201Lのソース又はドレインの一方は、配線202a、配線202bまたは配線202cのいずれか1つに接続され、トランジスタ201a乃至トランジスタ201Lのソース又はドレインの他方の各々は、それぞれ、配線103a乃至配線103Lに接続されている。そして、配線203は、トランジスタ201a乃至トランジスタ201Lのゲートと接続されている。したがって、トランジスタ201a乃至トランジスタ201Lのゲートは、互いに接続されている。

【0028】

なお、カラー表示を行う場合、表示を行う画素の各色と、配線202a、配線202b、

または配線 2 0 2 c に関して、各色と、配線 2 0 2 a、配線 2 0 2 b、または配線 2 0 2 c のいずれか 1 つとを対応させることが可能である。例えば、配線 2 0 2 a にトランジスタを介して接続される配線は、赤色の画素に接続されている。したがって、配線 2 0 2 a は、各々トランジスタを介して、配線 1 0 3 a、配線 1 0 3 d、配線 1 0 3 g、配線 1 0 3 j に接続されている。同様に、配線 2 0 2 b にトランジスタを介して接続される配線は、青色の画素に接続されている。したがって、配線 2 0 2 b は、各々トランジスタを介して、配線 1 0 3 b、配線 1 0 3 e、配線 1 0 3 h、配線 1 0 3 k に接続されている。同様に、配線 2 0 2 c にトランジスタを介して接続される配線は、緑色の画素に接続されている。したがって、配線 2 0 2 c は、各々トランジスタを介して、配線 1 0 3 c、配線 1 0 3 f、配線 1 0 3 i、配線 1 0 3 l に接続されている。なお、色は、赤青緑に限定されず、例えば、白を追加して 4 色を用いることや、少し異なる赤（または青または緑）を複数用いることも可能である。それにより、色の制御を行うことが出来る。

10

【0029】

次に、回路 1 1 1 の回路構成の別の例を図 4 に示す。したがって、図 1、図 2 および図 3 に関して述べた内容は、図 4 にも適用させることが可能である。

【0030】

図 4 では、図 2 における配線 2 0 3 を複数設ける場合の例を示す。なお、図 4 では、配線 2 0 3 が 3 本の場合について示したが、本発明の実施形態の一態様は、これに限定されず、2 本、または、4 本以上にすることが可能である。配線 1 0 3 a 乃至配線 1 0 3 l は、配線 2 0 2 と、トランジスタ 2 0 1 a 乃至トランジスタ 2 0 1 l を各々介して、接続されている。したがって、トランジスタ 2 0 1 a 乃至トランジスタ 2 0 1 l のソース又はドレインの一方は、配線 2 0 2 に接続され、トランジスタ 2 0 1 a 乃至トランジスタ 2 0 1 l のソース又はドレインの他方の各々は、それぞれ、配線 1 0 3 a 乃至配線 1 0 3 l に接続されている。そして、配線 2 0 3 a、配線 2 0 3 b、または配線 2 0 3 c のいずれか 1 つは、トランジスタ 2 0 1 a 乃至トランジスタ 2 0 1 l のゲートと接続されている。したがって、トランジスタ 2 0 1 a 乃至トランジスタ 2 0 1 l のうちの一部（例えば、トランジスタ 2 0 1 a、2 0 1 d、2 0 1 g、2 0 1 j）については、ゲートは、互いに接続され、配線 2 0 3 a に接続されている。同様に、トランジスタ 2 0 1 a 乃至トランジスタ 2 0 1 l のうちの別の一部（例えば、トランジスタ 2 0 1 b、2 0 1 e、2 0 1 h、2 0 1 k）については、ゲートは、互いに接続され、配線 2 0 3 b に接続されている。同様に、トランジスタ 2 0 1 a 乃至トランジスタ 2 0 1 l のうちのさらに別の一部（例えば、トランジスタ 2 0 1 c、2 0 1 f、2 0 1 i、2 0 1 l）については、ゲートは、互いに接続され、配線 2 0 3 c に接続されている。

20

30

【0031】

なお、カラー表示を行う場合、表示を行う画素の各色と、配線 2 0 3 a、配線 2 0 3 b、または配線 2 0 3 c に関して、各色と、配線 2 0 3 a、配線 2 0 3 b、または配線 2 0 3 c のいずれか 1 つとを対応させることが可能である。例えば、配線 2 0 3 a とゲートが接続されているトランジスタを介して配線 2 0 2 と接続される配線は、赤色の画素に接続されている。したがって、配線 2 0 2 は、配線 2 0 3 a とゲートが接続されている各々のトランジスタを介して、配線 1 0 3 a、配線 1 0 3 d、配線 1 0 3 g、配線 1 0 3 j に接続されている。同様に、配線 2 0 3 b とゲートが接続されているトランジスタを介して配線 2 0 2 と接続される配線は、青色の画素に接続されている。したがって、配線 2 0 2 は、配線 2 0 3 b とゲートが接続されている各々のトランジスタを介して、配線 1 0 3 b、配線 1 0 3 e、配線 1 0 3 h、配線 1 0 3 k に接続されている。同様に、配線 2 0 3 c とゲートが接続されているトランジスタを介して配線 2 0 2 と接続される配線は、緑色の画素に接続されている。したがって、配線 2 0 2 は、配線 2 0 3 c とゲートが接続されている各々のトランジスタを介して、配線 1 0 3 c、配線 1 0 3 f、配線 1 0 3 i、配線 1 0 3 l に接続されている。なお、色は、赤青緑に限定されず、例えば、白を追加して 4 つの色を用いることも可能であり、少し異なる赤（または青または緑）を複数用いることも可能である。それにより、色の制御を行うことが出来る。

40

50

【 0 0 3 2 】

次に、回路 1 1 1 の回路構成の別の例を図 5 に示す。したがって、図 1、図 2、図 3、および図 4 に関して述べた内容は、図 5 にも適用させることが可能である。

【 0 0 3 3 】

図 5 では、図 2 における配線 2 0 2 および配線 2 0 3 を複数設ける場合の例を示す。したがって、図 5 は、図 3 における配線 2 0 3 が複数になった場合、または、図 4 における配線 2 0 2 を複数設ける場合にも相当する。なお、図 5 では、配線 2 0 2 および配線 2 0 3 をそれぞれ 3 本の場合について示したが、本発明の実施形態の一態様は、これに限定されず、2 本、または、4 本以上にすることが可能である。配線 1 0 3 a 乃至配線 1 0 3 L は、配線 2 0 2 a、配線 2 0 2 b、または配線 2 0 2 c のいずれか 1 つと、トランジスタ 2 0 1 a 乃至トランジスタ 2 0 1 L を各々介して、接続されている。したがって、トランジスタ 2 0 1 a 乃至トランジスタ 2 0 1 L のソース又はドレインの一方は、配線 2 0 2 a、配線 2 0 2 b、または、配線 2 0 2 c のいずれか 1 つに接続され、トランジスタ 2 0 1 a 乃至トランジスタ 2 0 1 L のソース又はドレインの他方の各々は、それぞれ、配線 1 0 3 a 乃至配線 1 0 3 L に接続されている。そして、配線 2 0 3 a、配線 2 0 3 b、または配線 2 0 3 c のいずれか 1 つは、トランジスタ 2 0 1 a 乃至トランジスタ 2 0 1 L のゲートと接続されている。したがって、トランジスタ 2 0 1 a 乃至トランジスタ 2 0 1 L のうちの一部（例えば、トランジスタ 2 0 1 a、2 0 1 d、2 0 1 g、2 0 1 j）については、ゲートは、互いに接続され、配線 2 0 3 a に接続されている。同様に、トランジスタ 2 0 1 a 乃至トランジスタ 2 0 1 L のうちの別の一部（例えば、トランジスタ 2 0 1 b、2 0 1 e、2 0 1 h、2 0 1 k）については、ゲートは、互いに接続され、配線 2 0 3 b に接続されている。同様に、トランジスタ 2 0 1 a 乃至トランジスタ 2 0 1 L のうちのさらに別の一部（例えば、トランジスタ 2 0 1 c、2 0 1 f、2 0 1 i、2 0 1 L）については、ゲートは、互いに接続され、配線 2 0 3 c に接続されている。

【 0 0 3 4 】

なお、カラー表示を行う場合、図 2 乃至図 4 と同様、表示を行う画素の各色と、配線 2 0 3 a、配線 2 0 3 b、または、配線 2 0 3 c や配線 2 0 2 a、配線 2 0 2 b、または配線 2 0 2 c に関して、各色と、配線 2 0 3 a、配線 2 0 3 b、または、配線 2 0 3 c のいずれか 1 つとを対応させることや、配線 2 0 2 a、配線 2 0 2 b、または、配線 2 0 2 c のいずれか 1 つとを対応させることが可能である。それにより、色の制御を行うことが出来る。

【 0 0 3 5 】

（実施の形態 2）

本実施の形態では、図 2 乃至図 5 で述べた回路 1 1 1 の動作の一例について述べる。

【 0 0 3 6 】

回路 1 1 1 は、動作方法に応じて、様々な機能を有することが出来る。一例としては、回路 1 1 1 は、検査回路及び / 又はプリチャージ回路の機能を有することが出来る。ただし、本発明の実施形態の一態様は、これに限定されず、さらに別の機能を有することも可能である。

【 0 0 3 7 】

まず、回路 1 1 1 をプリチャージ回路として動作させる場合の動作方法について述べる。プリチャージを行った場合の波形を図 6 に示す。ある行の配線、例えば、配線 1 0 4 a に供給される信号波形を図 6 (A) に示す。信号 9 0 1 は、周期 9 0 2 を有する波形である。周期 9 0 2 は、一例としては、1 フレーム期間または 1 サブフレーム期間に相当する場合が多い。信号 9 0 1 は、周期 9 0 2 の中では、期間 9 0 3 の間のみ、H 信号となっており、それ以外の期間では、L 信号となっている。期間 9 0 3 は、一例としては、1 ゲート選択期間または 1 H 期間に相当する場合が多い。図 6 (B) は、1 ゲート選択期間を詳細に示した場合の波形を示す。1 ゲート選択期間は、前半の期間 9 0 4 と後半の期間 9 0 5 に分けて考えることが可能である。前半の期間 9 0 4 において、予め、所定の電圧を、配線 1 0 3 a 乃至配線 1 0 3 L に供給することが出来る。このように、予め所定の電圧を供

10

20

30

40

50

給する動作が、プリチャージに相当する。したがって、前半の期間 904 は、プリチャージ期間であるということも可能である。後半の期間 905 においては、映像信号が供給される。したがって、後半の期間 905 は、信号入力期間であるということも可能である。信号 908 は、一例として、配線 103a 乃至配線 103L のいずれか 1 つに供給される信号を示している。信号 908 は、前半の期間 904 において、電位 906 と概ね等しい電位となる。ここで、電位 906 は、基準の電位であるということが可能であり、一例としては、表示素子、例えば、液晶素子に供給する共通電位または対向電位と概ね等しい電位であることが可能である。または、映像信号の電位の振幅の中間程度の電位であることが望ましい。そして、信号 908 は、後半の期間 905 において、映像信号に応じた電位となる。したがって、後半の期間 905 における信号 908 の電位は、ビデオ信号または液晶素子に供給する信号の極性などにより、適宜異なる値となる。このように、予め、所定の電圧を、配線 103a 乃至配線 103L に供給することにより、信号の供給をすばやく行うことが可能となる。よって、信号の書き込み速度が速くなり、信号の書き込み時間が短くて済むようになる。

10

【0038】

図 2 の回路の場合は、信号 907 のような信号を、配線 203 に供給する。信号 907 は、前半の期間 904 には、トランジスタ 201a 乃至トランジスタ 201L が導通状態になる（オンとなる）電圧となっている。そして、配線 202 には、電位 906 を供給する。その結果、前半の期間 904 において、配線 103a 乃至配線 103L に、プリチャージを行うことが出来る。

20

【0039】

このとき、酸化物半導体を有するトランジスタを用いて、各配線の電位を制御することにより、トランジスタのオフ電流の影響を低減できるため、電圧やノイズの漏れを低減することができ、正確な電圧を配線に供給することができる。そのため、酸化物半導体を有するトランジスタを用いることにより、正確な表示を行うことが出来る。

【0040】

このように、トランジスタ 201a 乃至トランジスタ 201L は、ゲート信号によってオンとオフに制御する機能を有している。したがって、トランジスタ 201a 乃至トランジスタ 201L は、スイッチ機能を有することが可能である。

【0041】

なお、図 3 の回路の場合、配線 202a 乃至配線 202c のように、複数の配線を有している。そのため、前半の期間 904 において、配線 103a 乃至配線 103L に、異なる電位を供給することが可能となる。したがって、例えば、前半の期間 904 において、色に応じて異なる電位を配線 103a 乃至配線 103L に供給することが可能となる。そのため、様々な色を表現する上で最適な動作を行うことが出来る。

30

【0042】

または、図 4 の回路の場合、配線 203a 乃至配線 203c のような複数の配線を有している。そのため、前半の期間 904 を、さらに、複数期間に分けることによって、トランジスタ 201a 乃至トランジスタ 201L のいずれか一つのみを導通状態にする（オンにする）ことが可能となる。この場合配線 203a 乃至配線 203c に供給される信号波形を図 7 に示す。信号 907a は配線 203a に供給される信号を示し、信号 907b は配線 203b に供給される信号を示し、信号 907c は配線 203c に供給される信号を示す。信号 907a は、前半の期間 904 中のさらに前半の期間にのみ H 信号となる。信号 907b は、前半の期間 904 中の中間の期間にのみ H 信号となる。信号 907c は、前半の期間 904 中の後半の期間にのみ H 信号となる。このように、前半の期間 904 を、さらに複数の期間に分けることにより、複数の期間中の各々の期間において、配線 202 に供給する電位を異なるようにすることにより、配線 103a 乃至配線 103L に供給する電位が異なるようにすることが出来る。したがって、前半の期間 904 において、色に応じて、異なる電位を配線 103a 乃至配線 103L にそれぞれ供給することが可能となる。そのため、色に応じた最適な動作を行うことが出来る。

40

50

【 0 0 4 3 】

または、図 5 の回路の場合、配線 2 0 2 a 乃至配線 2 0 2 c のような複数の配線を有している。そのため、前半の期間 9 0 4 において、配線 1 0 3 a 乃至配線 1 0 3 L に、異なる電位を供給することが可能となる。さらに、配線 2 0 3 a 乃至配線 2 0 3 c のような複数の配線を有している。そのため、前半の期間 9 0 4 を、図 7 に示すように、複数期間に分けることによって、トランジスタ 2 0 1 a 乃至トランジスタ 2 0 1 L のいずれか一つのみを導通状態にする（オンにする）ことが可能となる。このように、前半の期間 9 0 4 を、さらに複数の期間に分けることにより、複数の期間中の各々の期間において、配線 2 0 2 a 乃至配線 2 0 2 c に供給する電位を異なるようにすることにより、配線 1 0 3 a 乃至配線 1 0 3 L に供給する電位が異なるようにすることが出来る。したがって、前半の期間 9 0 4 において、色に応じて、異なる電位を配線 1 0 3 a 乃至配線 1 0 3 L にそれぞれ供給することが可能となる。そのため、色に応じた最適な動作を行うことが出来る。

10

【 0 0 4 4 】

次に、回路 1 1 1 を検査回路として動作させる場合の動作方法について述べる。まず、図 2 の場合について述べる。

【 0 0 4 5 】

まず、何らかの手段によって、画素に信号を供給する。例えば、配線 1 0 3 a 乃至配線 1 0 3 L に接続された信号線駆動回路から、配線 1 0 3 a 乃至配線 1 0 3 L に信号を供給する。より望ましくは、配線 1 0 3 a 乃至配線 1 0 3 L のうちの 1 つに信号を供給する。または、トランジスタ 2 0 1 a 乃至トランジスタ 2 0 1 L をオンにして、配線 2 0 2 を介して、配線 1 0 3 a 乃至配線 1 0 3 L に、より望ましくは、配線 1 0 3 a 乃至配線 1 0 3 L のうちの 1 つに、信号を供給する。または、配線 1 0 3 a 乃至配線 1 0 3 L に、より望ましくは、配線 1 0 3 a 乃至配線 1 0 3 L のうちの 1 つに、信号を供給するための針を接触させて、信号を供給する。そして、配線 1 0 4 a または配線 1 0 4 b などのゲート線のいずれか 1 つに H 信号を供給する。すると、画素内のトランジスタが正常に動作している場合は、画素内に信号が供給される。その後、そのゲート線に L 信号を供給する。その結果、画素内に信号が保持される。

20

【 0 0 4 6 】

次に、そのゲート線に H 信号を供給する。すると、画素内に保持されていた信号が、配線 1 0 3 a 乃至配線 1 0 3 L に供給される。そのとき、配線 2 0 3 に H 信号を供給して、トランジスタ 2 0 1 a 乃至トランジスタ 2 0 1 L を導通状態にする。その結果、画素内に保持されていた信号を、配線 2 0 2 を介して読み出すことが出来る。

30

【 0 0 4 7 】

このとき、画素内のトランジスタに不良があれば、きちんと信号を読み出すことが出来ない。よって、その良否によって、トランジスタが正常かどうかの検査を行うことが出来る。

【 0 0 4 8 】

そして、配線 1 0 3 a 乃至配線 1 0 3 L のうちの 1 つに信号を供給していた場合は、別の 1 つに信号を供給し、同様の動作を繰り返す。そしてさらに、この動作を全ゲート線に渡って行う。これにより、全画素を検査することが出来る。なお、1 本のゲート線が選択されている状況において、そのゲート線に接続された複数の画素のうち、1 つの画素のみに信号の供給と読み出しを行うことにより、1 画素ずつ正確に検査を行うことが出来る。あるいは、複数の画素のうち、一部または全部の画素に信号の供給と読み出しを行うことにより、大まかに画素を検査することが出来る。

40

【 0 0 4 9 】

なお、図 3 の場合、配線 2 0 2 a 乃至配線 2 0 2 c のような複数の配線が配置されている。したがって、複数の画素内に保持されていた信号を、配線 2 0 2 a 乃至配線 2 0 2 c を介して、同時に読み出すことが出来る。そのため、図 3 の場合は 3 本の配線が配置されているので、最初に画素に信号を供給するときには、同時に 3 つの画素に信号を供給し、読み出すときには、3 画素を同時に読み出すことが出来る。したがって、すばやく検査を行

50

うことが出来る。そのため、半導体装置などを製造する工程期間が短くでき、コストを低減することが出来る。

【 0 0 5 0 】

なお、図 4 の場合、配線 2 0 3 a 乃至配線 2 0 3 c のような複数の配線が配置されている。したがって、画素内に保持されていた信号を、配線 2 0 2 を介して読み出すときには、配線 2 0 3 a 乃至配線 2 0 3 c に供給する信号を順次 H 信号にしていくことにより、順次信号を読みだすことが出来る。そのため、最初に画素に信号を供給するときには、同時に複数の画素に信号を供給し、読み出すときには、1 画素ずつ順次読み出すことが出来る。したがって、すばやく検査を行うことが出来る。そのため、半導体装置などを製造する工程期間が短くでき、コストを低減することが出来る。

10

【 0 0 5 1 】

なお、図 5 の場合、配線 2 0 2 a 乃至配線 2 0 2 c のような複数の配線が配置されている。したがって、複数の画素内に保持されていた信号を、配線 2 0 2 a 乃至配線 2 0 2 c を介して、同時に読み出すことが出来る。さらに、配線 2 0 3 a 乃至配線 2 0 3 c のような複数の配線が配置されている。したがって、画素内に保持されていた信号を、配線 2 0 2 を介して読み出すときには、配線 2 0 3 a 乃至配線 2 0 3 c に供給する信号を順次 H 信号にしていくことにより、順次信号を読みだすことが出来る。したがって、すばやく検査を行うことが出来る。そのため、半導体装置などを製造する工程期間が短くすることができ、コストを低減することが出来る。

20

【 0 0 5 2 】

このような検査は、半導体装置などを製造している工程の一環として行われる。したがって、半導体装置などが組み立てられて、出荷された後は、検査回路が動作することはない。

【 0 0 5 3 】

また、トランジスタ 2 0 1 a 乃至トランジスタ 2 0 1 L のオフ電流が大きい場合は、電流が漏れてしまう。その結果、配線 1 0 3 a 乃至配線 1 0 3 L にノイズが入ってしまう。そこで、酸化物半導体を有するトランジスタを、トランジスタ 2 0 1 a 乃至トランジスタ 2 0 1 L として使用することにより、オフ電流が低減でき、ノイズを低減することが出来る。

30

【 0 0 5 4 】

このように、回路 1 1 1 は、動作方法を変えることにより、様々な機能を実現することが可能である。したがって、回路 1 1 1 は、プリチャージ回路としての機能と、検査回路としての機能を両方持つことも可能である。両方の機能を持つことにより、少ない回路で多くの機能を実現できるため、低コスト化、低消費電力化などを実現することが出来る。

【 0 0 5 5 】

(実施の形態 3)

本実施の形態では、回路 1 1 1 の周辺の回路の一例について述べる。

【 0 0 5 6 】

図 8 に、回路 1 1 1、画素部 1 0 1、およびそれらの周辺の回路の一例を示す。基板 5 1 1 上に、回路 1 1 1 および画素部 1 0 1 が配置されている。したがって、回路 1 1 1 が有するトランジスタおよび配線は、画素部 1 0 1 が有するトランジスタおよび配線と、同時に成膜され、同時にエッチングされ、同時にパターンが形成されている。つまり、回路 1 1 1 と画素部 1 0 1 とは、同じプロセス工程を経て、同時に形成され、同じ基板上に形成されている。そのため、トランジスタおよび配線が有する材料は、回路 1 1 1 と画素部 1 0 1 とでは、同じになる。よって、画素部 1 0 1 のトランジスタが酸化物半導体を有している場合は、回路 1 1 1 のトランジスタも酸化物半導体を有していることとなる。

40

【 0 0 5 7 】

なお、本明細書等において、様々な基板を用いて、トランジスタを形成することが出来る。基板の種類は、特定のものに限定されることはない。その基板の一例としては、半導体基板（例えば単結晶基板又はシリコン基板）、S O I 基板、ガラス基板、石英基板、可

50

撓性基板などがある。可撓性基板の一例としては、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。

【0058】

なお、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。

【0059】

なお、所定の機能を実現させるために必要な回路の全てを、同一の基板に形成することが可能である。こうして、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。

10

【0060】

図8（A）では、回路501、回路502、回路503、および回路504は、基板511とは別の基板に設けられている。したがって、一例としては、回路501、回路502、回路503、または、回路504は、単結晶基板またはSOI基板を用いたICチップを有して構成されている。ただし、回路501、回路502、回路503、及び/又は回路504が、COG（チップオンガラス）実装を用いて、基板511の上に設けられている場合がある。

【0061】

ここで、回路501は、回路111の制御、回路111への信号や電圧の供給、または、回路111からの信号の読み出しなどを行う機能を有している。回路501は、回路111が有する機能に応じて、それに対応した機能を有している。例えば、回路111がプリチャージ回路の機能を有する場合には、回路501はプリチャージの動作を制御する機能を有している。同様に、回路111が検査回路の機能を有する場合には、回路501は検査の動作を制御する機能を有している。同様に、回路111がプリチャージ回路及び検査回路の機能を有する場合には、回路501はプリチャージ及び検査の動作を制御する機能を有している。

20

【0062】

回路502は、配線104a、配線104bなどに信号を供給する機能を有している。したがって、回路502は、ゲート線駆動回路（スキャンドライバ）としての機能を有することが出来る。回路503は、配線103a乃至配線103Lに信号を供給する機能を有している。したがって、回路503は、信号線駆動回路（データドライバ）としての機能を有することが出来る。回路504は、回路502、または回路503の制御を行う機能を有している。したがって、回路504は、コントローラ、パルス生成回路、クロック信号生成回路、コモン電圧生成回路、タイミングジェネレータ回路、画像処理回路、または電源回路などの機能を有することが出来る。

30

【0063】

図8（B）では、図8（A）の構成が回路501を有しない場合に相当する。回路111が検査回路として機能する場合は、検査を行っているときには、回路501が必要であるが、検査が終了したあとは、回路501は不要である。従って、検査時には、図8（A）のように回路501を設け、検査終了時以降は、回路501を取り外すことが出来る。図8（B）のように回路501が取り外された場合には、配線202と配線203はフローティング状態となる。

40

【0064】

なお、図8では、回路501、回路502、回路503、および回路504は、基板511とは別の基板に設けられていたが、本発明の実施の形態の一態様は、これに限定されない。例えば、それらの回路の一部が基板511に設けられていることが可能である。一例として、回路502が基板511上に設けられている場合の例を図9に示す。図9（A）は、図8（A）と同様、回路501を有する構成を示し、図9（B）は、図8（B）と同様、回路501を有さない構成を示す。したがって、図9では、回路111と画素部101と回路502とは、同じプロセス工程を経て、同じ基板上に形成されている。よって、

50

画素部 1 0 1 のトランジスタが酸化物半導体を有している場合は、回路 1 1 1 のトランジスタおよび回路 5 0 2 のトランジスタも酸化物半導体を有していることとなる。図 9 (B) のように回路 5 0 1 が取り外された場合には、配線 2 0 2 と配線 2 0 3 はフローティング状態となる。

【 0 0 6 5 】

このように、回路 5 0 2 を画素部 1 0 1 と同一基板上に形成することにより、コストを低くすることが出来る。

【 0 0 6 6 】

なお、図 9 とは別の場合の例として、回路 5 0 3 または回路 5 0 3 の一部も基板 5 1 1 に設けることも可能である。回路 5 0 3 の一部の回路の一例としては、配線 1 0 3 a 乃至配線 1 0 3 L に、アナログスイッチ（トランスファークロッシング）を接続することが可能である。同様に、回路 5 0 4 または回路 5 0 4 の一部も基板 5 1 1 に設けることも可能である。

10

【 0 0 6 7 】

（実施の形態 4 ）

本実施の形態では、画素部 1 0 1 が有する画素の一例を示す。

【 0 0 6 8 】

図 1 0 (A) に、画素 1 0 2 a の回路の一例を示す。配線 1 0 4 a に、トランジスタ 8 0 1 のゲートが接続されている。トランジスタ 8 0 1 の第 1 端子は、配線 1 0 3 a に接続され、トランジスタ 8 0 1 の第 2 端子は、表示素子 8 0 2 の第 1 端子に接続されている。表示素子 8 0 2 の第 2 端子は、配線 8 0 3 に接続されている。容量素子 8 0 4 の第 1 端子は、トランジスタ 8 0 1 の第 2 端子と接続され、容量素子 8 0 4 の第 2 端子は、配線 8 0 5 と接続されている。

20

【 0 0 6 9 】

ここで、配線 8 0 3 は、全ての画素において、互いに接続されていることが可能である。そして、所定の電圧が供給されている。よって、配線 8 0 3 は、共通配線（コモン配線）、対向電極などの機能を有することが可能である。

【 0 0 7 0 】

ここで、配線 8 0 5 は、他の画素、例えば、左右の画素において、互いに接続されていることが可能である。そして、所定の電圧が供給されている。よって、配線 8 0 5 は、共通配線、容量配線などの機能を有することが可能である。

30

【 0 0 7 1 】

なお、トランジスタ 8 0 1 は、表示素子 8 0 2 または容量素子 8 0 4 に信号を供給するかどうかを選択する機能を有することが可能である。したがって、トランジスタ 8 0 1 は、スイッチ機能を有することが出来る。または、トランジスタ 8 0 1 は、スイッチングトランジスタ（スイッチ用トランジスタ）、選択用トランジスタとしての機能を有することが可能である。

【 0 0 7 2 】

なお、容量素子 8 0 4 を省き、開口率を向上させることも可能である。その場合の回路図を図 1 0 (B) に示す。トランジスタ 8 0 1 として、オフ電流の低いトランジスタ、例えば、酸化物半導体を有するトランジスタを用いることにより、容量素子 8 0 4 を省いても、表示素子 8 0 2 に加わる電圧を保持することが出来る。

40

【 0 0 7 3 】

なお、画素回路の例は、図 1 0 の回路に限定されない。図 1 1 (A) に別の画素回路の一例を示す。配線 1 0 4 a に、トランジスタ 1 3 0 1 のゲートが接続されている。トランジスタ 1 3 0 1 の第 1 端子は、配線 1 0 3 a に接続され、トランジスタ 1 3 0 1 の第 2 端子は、トランジスタ 1 3 1 1 のゲートと接続されている。トランジスタ 1 3 1 1 の第 1 端子は、配線 1 3 0 5 に接続され、トランジスタ 1 3 1 1 の第 2 端子は、表示素子 8 0 2 の第 1 端子に接続されている。表示素子 8 0 2 の第 2 端子は、配線 1 3 0 3 に接続されている。容量素子 1 3 0 4 の第 1 端子は、トランジスタ 1 3 0 1 の第 2 端子と接続され、容量素子 1 3 0 4 の第 2 端子は、トランジスタ 1 3 1 1 の第 2 端子と接続されている。

50

【 0 0 7 4 】

なお、容量素子 1 3 0 4 の第 2 端子が接続される配線または端子は、図 1 1 (A) に限定されず、別の配線、例えば、配線 1 3 0 5 に接続されることが可能である。

【 0 0 7 5 】

ここで、配線 1 3 0 3 は、全ての画素において、互いに接続されていることが可能である。そして、所定の電圧が供給されている。よって、配線 1 3 0 3 は、共通配線、対向電極、陰極配線、カソード線などの機能を有することが可能である。

【 0 0 7 6 】

ここで、配線 1 3 0 5 は、他の画素、例えば、左右の画素または上下の画素において、互いに接続されていることが可能である。そして、所定の電圧が供給されている。よって、配線 1 3 0 5 は、共通配線、容量配線、電源線、電流供給線、アノード線などの機能を有することが可能である。

10

【 0 0 7 7 】

なお、トランジスタ 1 3 0 1 は、トランジスタ 1 3 1 1 または容量素子 1 3 0 4 に信号を供給するかどうかを選択する機能を有することが可能である。したがって、トランジスタ 1 3 0 1 は、スイッチ機能を有することが出来る。または、トランジスタ 1 3 0 1 は、スイッチングトランジスタ、選択用トランジスタとしての機能を有することが可能である。

【 0 0 7 8 】

なお、トランジスタ 1 3 1 1 は、表示素子 8 0 2 に信号、電圧、または、電流を供給するかどうかを選択するスイッチ機能や、それらの大きさを制御する電流源としての機能を有することが可能である。または、トランジスタ 1 3 1 1 は、ドライブ用トランジスタとしての機能を有することが可能である。

20

【 0 0 7 9 】

なお、容量素子 1 3 0 4 を省き、開口率を向上させることも可能である。その場合の回路図を図 1 1 (B) に示す。トランジスタ 1 3 0 1、1 3 1 1 として、オフ電流の低いトランジスタ、例えば、酸化物半導体を有するトランジスタを用いることにより、容量素子 1 3 0 4 を省いても、表示素子 8 0 2 に加わる電圧を保持することが出来る。

【 0 0 8 0 】

なお、表示素子 8 0 2 は、様々な素子を適用させることが可能であり、発光素子として機能させることも可能である。表示素子として、発光素子 8 0 2 a を適用した場合の回路図を図 1 1 (B) に示す。

30

【 0 0 8 1 】

なお、表示素子の一例としては、E L (エレクトロルミネッセンス) 素子 (有機物及び無機物を含む E L 素子、有機 E L 素子、無機 E L 素子)、L E D (白色 L E D、赤色 L E D、緑色 L E D、青色 L E D など)、液晶素子、電子インク、電気泳動素子、カーボンナノチューブ、など、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有するものがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイなどがある。電子インク又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。

【 0 0 8 2 】

E L 素子の一例としては、陽極と、陰極と、陽極と陰極との間に挟まれた E L 層と、を有する素子などがある。E L 層の一例としては、1 重項励起子からの発光 (蛍光) を利用するもの、3 重項励起子からの発光 (燐光) を利用するもの、1 重項励起子からの発光 (蛍光) を利用するものと 3 重項励起子からの発光 (燐光) を利用するものを含むもの、有機物によって形成されたもの、無機物によって形成されたもの、有機物によって形成されたものと無機物によって形成されたものを含むもの、高分子の材料を含むもの、低分子の材料を含むもの、又は高分子の材料と低分子の材料とを含むもの、などがある。ただし、これに限定されず、E L 素子として様々なものを用いることができる。

40

【 0 0 8 3 】

液晶素子の一例としては、液晶の光学的変調作用によって光の透過又は非透過を制御す

50

る素子がある。その素子是一对の電極と液晶層により構造されることが可能である。なお、液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界又は斜め方向の電界を含む）によって制御される。また液晶の駆動方法としては、TN（Twisted Nematic）モード、STN（Super Twisted Nematic）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Switching）モード、MVA（Multi-domain Vertical Alignment）モード、PVA（Patterned Vertical Alignment）モード、ASV（Advanced Super View）モード、ASM（Axially Symmetric aligned Micro-cell）モード、OCB（Optically Compensated Birefringence）モード、ECB（Electrically Controlled Birefringence）モード、FLC（Ferroelectric Liquid Crystal）モード、AFLC（AntiFerroelectric Liquid Crystal）モード、PDLC（Polymer Dispersed Liquid Crystal）モード、PNLC（Polymer Network Liquid Crystal）モード、ゲストホストモード、ブルー相（Blue Phase）モードなどがある。ただし、これに限定されず、液晶素子及びその駆動方式として様々なものを用いることができる。

【0084】

回路111が有するトランジスタは、トランジスタのレイアウトへの制限が少ない。そのため、回路111が有するトランジスタ（トランジスタ201a乃至トランジスタ201Lなど）のチャネル幅（もしくはゲート幅）Wは、画素が有するトランジスタ（トランジスタ801、トランジスタ1301、トランジスタ1311など）のチャネル幅（もしくはゲート幅）Wよりも大きくすることが出来る。特に、酸化物半導体を有するトランジスタは、オフ電流が小さいため、チャネル幅（もしくはゲート幅）Wを大きくしても、悪影響が少ない。そして、回路111が有するトランジスタのチャネル幅（もしくはゲート幅）Wを大きくすることによって、プリチャージや検査をすばやく行うことが出来る。同様に、回路111が有するトランジスタ（トランジスタ201a乃至トランジスタ201Lなど）のチャネル長（もしくはゲート長）Lは、画素が有するトランジスタ（トランジスタ801、トランジスタ1301、トランジスタ1311など）のチャネル長（もしくはゲート長）Lよりも大きくすることが出来る。

【0085】

（実施の形態5）

本実施の形態においては、トランジスタ201a乃至トランジスタ201L、トランジスタ801、トランジスタ1301、トランジスタ1311などとして、チャネル形成領域が酸化物半導体によって構成されるトランジスタを適用する。

【0086】

酸化物半導体としては、四元系金属酸化物であるIn-Sn-Ga-Zn-O系酸化物半導体、三元系金属酸化物であるIn-Ga-Zn-O系酸化物半導体、In-Sn-Zn-O系酸化物半導体、In-Al-Zn-O系酸化物半導体、Sn-Ga-Zn-O系酸化物半導体、Al-Ga-Zn-O系酸化物半導体、若しくはSn-Al-Zn-O系酸化物半導体、又は二元系金属酸化物であるIn-Zn-O系酸化物半導体、Sn-Zn-O系酸化物半導体、Al-Zn-O系酸化物半導体、Zn-Mg-O系酸化物半導体、Sn-Mg-O系酸化物半導体、In-Mg-O系酸化物半導体、In-O系酸化物半導体、Sn-O系酸化物半導体、若しくはZn-O系酸化物半導体などの酸化物半導体を用いることができる。また、上記酸化物半導体にSiO₂を添加した酸化物半導体でもよい。

【0087】

また、酸化物半導体は、InMO₃（ZnO）_m（m>0）で表記される物質を用いることができる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えばMとして、Ga、Ga及びAl、Ga及びMn、またはGa及び

Coなどがある。 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される構造の酸化物半導体のうち、MとしてGaを含む構造の酸化物半導体を、上記したIn-Ga-Zn-O酸化物半導体とよび、その薄膜をIn-Ga-Zn-O系膜ともよぶこととする。

【0088】

チャネル形成領域が酸化物半導体によって構成されるトランジスタの作製方法の一形態を、図12を参照して説明する。

【0089】

図12(A)乃至(D)は、トランジスタの断面構造の一例を示す図である。図12(A)乃至(D)に示すトランジスタ410は、チャネルエッチ型と呼ばれるボトムゲート構造の一つである。

10

【0090】

また、図12(A)乃至(D)には、シングルゲート構造のトランジスタを示すが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造のトランジスタとすることができる。

【0091】

以下、図12(A)乃至(D)を用い、基板400上にトランジスタ410を作製する工程を説明する。

【0092】

まず、絶縁表面を有する基板400上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層411を形成する。

20

【0093】

絶縁表面を有する基板400に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。また、後の加熱処理の温度が高い場合には、歪み点が730以上のガラス基板を用いると良い。

【0094】

下地膜となる絶縁膜を基板400とゲート電極層411の間に設けてもよい。下地膜は、基板400からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

30

【0095】

また、ゲート電極層411の材料は、モリブデン、チタン、クロム、タンタル、タンゲステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0096】

次いで、ゲート電極層411上にゲート絶縁層402を形成する。

【0097】

ゲート絶縁層402は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、若しくは酸化アルミニウム層を単層で又は積層して形成することができる。また、ゲート絶縁層として酸化ハフニウム(HfO_x)、酸化タンタル(TaO_x)等のHigh-k材料を用いることもできる。ゲート絶縁層402の膜厚は、100nm以上500nm以下とし、積層の場合は、例えば、膜厚50nm以上200nm以下の第1のゲート絶縁層と、第1のゲート絶縁層上に膜厚5nm以上300nm以下の第2のゲート絶縁層の積層とする。

40

【0098】

本実施の形態では、ゲート絶縁層402としてプラズマCVD法により膜厚100nm以下の酸化窒化シリコン層を形成する。

【0099】

また、ゲート絶縁層402として、高密度プラズマ装置を用い、酸化窒化珪素膜の形成

50

を行ってもよい。ここで高密度プラズマ装置は、 $1 \times 10^{11} / \text{cm}^3$ 以上のプラズマ密度を達成できる装置を指している。例えば、 $3 \text{ kW} \sim 6 \text{ kW}$ のマイクロ波電力を印加してプラズマを発生させて、絶縁膜の成膜を行う。高密度プラズマ装置により得られた絶縁膜は、一定した厚さの膜形成ができるため段差被覆性に優れている。また、高密度プラズマ装置により得られる絶縁膜は、薄い膜の厚みを精密に制御することができる。

【0100】

高密度プラズマ装置により得られる絶縁膜は、従来の平行平板型のPCVD装置で得られる絶縁膜とは大きく異なり、同じエッチャントを用いてエッチング速度を比較した場合において、平行平板型のPCVD装置で得られる絶縁膜の10%以上または20%以上遅く、高密度プラズマ装置で得られる絶縁膜は緻密な膜と言える。

10

【0101】

なお、後の工程でi型化又は実質的にi型化される酸化物半導体（高純度化された酸化物半導体）は界面準位、界面電荷に対して極めて敏感であるため、ゲート絶縁層との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁層（GI）は、高品質化が要求される。従って μ 波（ 2.45 GHz ）を用いた高密度プラズマCVDは、緻密で絶縁耐圧の高い高品質な絶縁膜を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁層が密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。ゲート絶縁層としての膜質が良好であることは勿論のこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成できることが重要である。

20

【0102】

次いで、ゲート絶縁層402上に、膜厚 2 nm 以上 200 nm 以下の酸化物半導体膜430を形成する。酸化物半導体膜430は、 In-Ga-Zn-O 系や In-Zn-O 系などの酸化物半導体膜を用いる。本実施の形態では、酸化物半導体膜430として、 In-Ga-Zn-O 系酸化物半導体ターゲットを用いてスパッタ法により成膜する。この段階での断面図が図12（A）に相当する。また、酸化物半導体膜430は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素の混合雰囲気下においてスパッタ法により形成することができる。

【0103】

ここでは、 In 、 Ga 、及び Zn を含む金属酸化物ターゲット（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol数比]）を用いて、基板とターゲットの間との距離を 100 mm 、圧力 0.2 Pa 、直流（DC）電源 0.5 kW 、アルゴン及び酸素（アルゴン：酸素 = $30 \text{ sccm} : 20 \text{ sccm}$ 、酸素流量比率40%）雰囲気下で成膜する。なお、パルス直流（DC）電源を用いると、成膜時に発生する粉状物質が軽減でき、膜厚分布も均一となるために好ましい。 In-Ga-Zn-O 系膜の膜厚は、 5 nm 以上 200 nm 以下とする。本実施の形態では、酸化物半導体膜として、 In-Ga-Zn-O 系金属酸化物ターゲットを用いてスパッタ法により膜厚 20 nm の In-Ga-Zn-O 系膜を成膜する。次いで、酸化物半導体膜430を第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。

30

【0104】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、 400 以上 750 以下、好ましくは 400 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下 450 において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層431を得る（図12（B）参照）。

40

【0105】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置、

50

d Thermal Anneal) 装置等の R T A (R a p i d T h e r m a l A n n e a l) 装置を用いることができる。L R T A 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。G R T A 装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

【0106】

例えば、第1の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出す G R T A を行ってもよい。G R T A を用いると短時間での高温加熱処理が可能となる。

10

【0107】

なお、第1の加熱処理の雰囲気においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガス、乾燥空気に、水、水素などが含まれないことが好ましい。例えば、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6 N (99.9999%) 以上、好ましくは 7 N (99.99999%) 以上、(即ち不純物濃度を 1 p p m 以下、好ましくは 0.1 p p m 以下)とすることが好ましい。

【0108】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜 430 に対して行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、第2のフォトリソグラフィ工程を行う。

20

【0109】

また、ゲート絶縁層 402 に開口部を形成する場合、その工程は酸化物半導体膜 430 に脱水化または脱水素化処理を行う前でも行った後に行ってもよい。

【0110】

なお、ここでの酸化物半導体膜 430 のエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

【0111】

ドライエッチングに用いる酸化物半導体膜 430 のエッチングガスとしては、塩素を含むガス(例えば塩素(Cl_2)、塩化硼素(BCl_3)など)が好ましい。

30

【0112】

ウェットエッチングに用いる酸化物半導体膜 430 のエッチング液としては、磷酸と酢酸と硝酸を混ぜた溶液や、I T O 07 N (関東化学社製) などを用いることができる。

【0113】

次いで、ゲート絶縁層 402、及び酸化物半導体層 431 上に、金属導電膜を形成する。金属導電膜をスパッタ法や真空蒸着法で形成すればよい。金属導電膜の材料としては、アルミニウム(Al)、クロム(Cr)、銅(Cu)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、ネオジム(Nd)、スカンジウム(Sc)から選ばれた元素、上述した元素を成分とする合金、又は上述した元素を組み合わせた合金等が挙げられる。また、上述した元素の窒化膜を用いてもよい。また、マンガン(Mn)、マグネシウム(Mg)、ジルコニウム(Zr)、ベリリウム(Be)、イットリウム(Y)のいずれか一または複数から選択された材料を用いてもよい。また、金属導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、チタン膜上にアルミニウム膜を積層し、さらにアルミニウム膜上にチタン膜を積層する3層構造などが挙げられる。

40

【0114】

金属導電膜後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を金属導電膜に持たせることが好ましい。

50

【0115】

第3のフォトリソグラフィ工程により金属導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層415a、ドレイン電極層415bを形成した後、レジストマスクを除去する(図12(C)参照)。

【0116】

本実施の形態では、金属導電膜としてチタン膜を用いて、酸化物半導体層431にはIn-Ga-Zn-O系酸化物を用いて、チタン膜のエッチャントとしてアンモニア過水(31重量%過酸化水素水:28重量%アンモニア水:水=5:2:2)を用いる。

【0117】

なお、第3のフォトリソグラフィ工程では、酸化物半導体層431は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。

10

【0118】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、アッシングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減ことができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

20

【0119】

次いで、亜酸化窒素(N_2O)、窒素(N_2)、またはアルゴン(Ar)などのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0120】

プラズマ処理を行った後、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる酸化物絶縁層416を形成する。

【0121】

酸化物絶縁層416は、少なくとも1nm以上の膜厚とし、スパッタ法など、酸化物絶縁層416に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化物絶縁層416に水素が含まれると、その水素の酸化物半導体層への侵入が生じ酸化物半導体層431のバックチャネルが低抵抗化(N型化)してしまい、寄生チャネルが形成される。よって、酸化物絶縁層416はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

30

【0122】

本実施の形態では、酸化物絶縁層416として膜厚200nmの酸化シリコン膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化珪素膜のスパッタ法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガス(代表的にはアルゴン)及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化シリコンターゲットまたはシリコンターゲットを用いることができる。例えば、シリコンターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化シリコン膜を形成することができる。

40

【0123】

次いで、不活性ガス雰囲気下、乾燥空気雰囲気下、または酸素ガス雰囲気下で第2の加熱処理(好ましくは200以上400以下、例えば250以上350以下)を行う。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部(チャネル形成領域)が酸化物絶縁層416と接した状態で加熱される。これにより、酸化物半導体層の一部(チャネル形成領域)に酸素が供給される。また、ソース電極層415a又はドレイン電極層415bと酸化物半導体層の界

50

面近傍においては、酸素がソース電極層 4 1 5 a 又はドレイン電極層 4 1 5 b へと拡散する。これにより、ソース領域 4 1 4 a 及びドレイン領域 4 1 4 b が形成される。

【0124】

以上の工程を経ることによって、酸化物半導体層に対して脱水化または脱水素化のための加熱処理を行った後、酸化物半導体層の一部（チャネル形成領域）を選択的に酸素過剰な状態とする。なお、酸素過剰な状態の酸化物半導体層の一部を図中の領域 4 1 3 として示す。以上の工程でトランジスタ 4 1 0 が形成される。

【0125】

さらに大気中、100 以上 200 以下、1 時間以上 30 時間以下での加熱処理を行ってもよい。本実施の形態では 150 で 10 時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。

10

【0126】

酸化物絶縁層 4 1 6 上にさらに保護絶縁層を形成してもよい。例えば、RF スパッタ法を用いて窒化珪素膜を形成する。RF スパッタ法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化珪素膜、窒化アルミニウム膜、窒化酸化珪素膜、酸化窒化アルミニウムなどを用いる。本実施の形態では、保護絶縁層として保護絶縁層 4 0 3 を、窒化珪素膜を用いて形成する（図 12（D）参照）。

20

【0127】

本実施の形態においてトランジスタ 4 1 0 の酸化物半導体層は、n 型不純物である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより真性（i 型）とし、又は実質的に真性型としたものである。すなわち、不純物を添加して i 型化するのでなく、水素や水等の不純物を極力除去したことにより、高純度化された i 型（真性半導体）又はそれに近づけることを特徴としている。そうすることにより、フェルミ準位（E_f）を真性フェルミ準位（E_i）と同じレベルにまですることができ。

【0128】

酸化物半導体のバンドギャップ（E_g）が 3.15 eV であり、電子親和力（ χ ）は 4.3 eV であると言われている。ソース電極層及びドレイン電極層を構成するチタン（Ti）の仕事関数は、酸化物半導体の電子親和力（ χ ）とほぼ等しい。この場合、金属 - 酸化物半導体界面において、電子に対してショットキー型の障壁は形成されない。

30

【0129】

例えば、トランジスタのチャネル幅 W が $1 \times 10^4 \mu\text{m}$ でチャネル長 L が $3 \mu\text{m}$ の素子であっても、室温において、オフ電流が 10^{-13}A 以下であり、S 値が 0.1 V / decade（ゲート絶縁層膜厚 100 nm）であることが可能である。

【0130】

このように、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより、トランジスタ 4 1 0 の動作を良好なものとすることができ。

40

【0131】

上述した酸化物半導体は、電気的特性変動を抑止するため、変動要因となる水素、水分、水酸基又は水素化物（水素化合物ともいう）などの不純物を意図的に排除し、かつ不純物の排除工程によって同時に減少してしまう酸化物半導体を構成する主成分材料である酸素を供給することから高純度化及び電氣的に I 型（真性）化された酸化物半導体である。

【0132】

よって酸化物半導体中の水素は少なければ少ないほどよい。また、高純度化された酸化物半導体中にはキャリアが極めて少なく（ゼロに近い）、キャリア密度は $1 \times 10^{12} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。即ち、酸化物半導体層のキャリア密度は、限りなくゼロに近くする。酸化物半導体層中にキャリアが極めて少ないため

50

、トランジスタのオフ電流を少なくすることができる。オフ電流は少なければ少ないほど好ましい。トランジスタは、チャネル幅（ w ） $1\text{ }\mu\text{m}$ あたりの電流値が $100\text{ aA}/\mu\text{m}$ 以下、好ましくは 10 zA （zeptoアンペア）/ μm 以下、更に好ましくは $1\text{ zA}/\mu\text{m}$ 以下である。さらに、 pn 接合がなく、ホットキャリア劣化がないため、これらにトランジスタの電気的特性が影響を受けない。

【0133】

このように酸化物半導体層に含まれる水素を徹底的に除去することにより高純度化された酸化物半導体をチャネル形成領域に用いたトランジスタは、オフ電流を極めて小さくすることができる。つまり、トランジスタの非導通状態において、酸化物半導体層は絶縁体とみなせて回路設計を行うことができる。一方で、酸化物半導体層は、トランジスタの導通状態においては、非晶質シリコンで形成される半導体層よりも高い電流供給能力を見込むことができる。

10

【0134】

また、低温ポリシリコンを具備する薄膜トランジスタでは、酸化物半導体を用いて作製されたトランジスタと比べて、オフ電流が 10000 倍程度大きい値であると見積もって設計を行っている。そのため、酸化物半導体を有するトランジスタでは、低温ポリシリコンを具備する薄膜トランジスタに比べて、保持容量が同等（ 0.1 pF 程度）である際、電圧の保持期間を 10000 倍程度に引き延ばすことができる。一例として、動画表示を毎秒 60 フレームで行う場合、 1 回の信号書き込みによる保持期間を 10000 倍の 160 秒程度とすることができる。そして、少ない画像信号の書き込み回数でも、表示部での静止画の表示を行うことができる。

20

【0135】

（実施の形態6）

本実施の形態では、画素の一例及びその画素の駆動方法について説明する。特に、メモリ性を有する表示素子を含む画素の一例及びその画素の駆動方法の一例について説明する。

【0136】

図13（A）は、画素の回路図の一例を示す。画素5450は、トランジスタ5451、容量素子5452及び表示素子5453を有する。トランジスタ5451の第1の端子は、配線5461と接続される。トランジスタ5451の第2の端子は、容量素子5452の一方の電極及び表示素子5453の一方の電極（画素電極ともいう）と接続される。トランジスタ5451のゲートは、配線5462と接続される。容量素子5452の他方の電極は、配線5463と接続される。表示素子5453の他方の電極は、電極5454（コモン電極（共通電極）、対向電極、カソード電極など）と接続される。

30

【0137】

なお、表示素子5453の一方の電極を、電極5455と示す。

【0138】

ここで、図13（A）と図10（A）とを対応させると、トランジスタ5451はトランジスタ801に対応し、表示素子5453は表示素子802に対応し、容量素子5452は容量素子804に対応し、配線5462は配線104aに対応し、配線5461は配線103aに対応する。

40

【0139】

なお、表示素子5453は、メモリ性を有することが好ましい。表示素子5453又は表示素子5453の駆動方式としては、マイクロカプセル型電気泳動方式、マイクロカップ型電気泳動方式、水平移動型電気泳動方式、垂直移動型電気泳動方式、ツイストボール方式、粉体移動方式、電子粉流体（登録商標）方式、コレステリック液晶素子、カイラルネマチック液晶、反強誘電性液晶、高分子分散型液晶などがある。

【0140】

このような表示素子5453に加える電圧は、非常に高い。そのため、表示素子5453を駆動するトランジスタには、高い耐圧が必要とされる。さらに、そのような高い電圧が加わったときにでも、オフ電流が低いことが必要となる。そこで、そのような場合のトラ

50

ンジスタとして、酸化物半導体を有するトランジスタを用いることにより、耐圧が高く、オフ電流の小さいトランジスタを実現することが出来る。

【0141】

図13(B)は、マイクロカプセル型の電気泳動方式を用いた画素の断面図を示す。電極5454と電極5455との間に、複数のマイクロカプセル5480が配置される。複数のマイクロカプセル5480は、樹脂5481により固定される。樹脂5481は、バインダとしての機能を有する。樹脂5481は、透光性を有するとよい。ただし、電極5454と電極5455とマイクロカプセル5480とによって形成される空間には、空気又は不活性ガスなどの気体が充填されることが可能である。このような場合、電極5454と電極5455との一方又は両方に、粘着剤又は接着剤等を含む層を形成して、マイクロカプセル5480を固定するとよい。

10

【0142】

マイクロカプセル5480は、膜5482と、液体5483と、粒子5484と、粒子5485とを有する。液体5483と、粒子5484と、粒子5485とは、膜5482の中に封入されている。膜5482は、透光性を有する。液体5483は、分散液としての機能を有する。液体5483により、粒子5484及び粒子5485を膜5482内に分散させることができる。なお、液体5483は、透光性を有し、無着色であるとよい。粒子5484と粒子5485とは、互いに異なる色とする。例えば、粒子5484と粒子5485との一方は、黒色であり、粒子5484と粒子5485との他方は、白色であるとよい。なお、粒子5484と粒子5485とは、互いの電荷密度や極性が異なるように、帯電されているとする。例えば、粒子5484と粒子5485との一方は、正に帯電され、粒子5484と粒子5485との他方は、負に帯電されるとよい。これにより、電極5454と電極5455との間に電位差が生じると、粒子5484と粒子5485とは、電界方向に応じて移動する。こうして、表示素子5453の反射率が変化することにより、階調を制御することができる。ただし、マイクロカプセル5480の構造は、前述したものに限定されない。例えば、液体5483は、着色されることが可能である。別の例として、膜5482の中に封入される粒子は、1種類であることが可能である。または、3種類以上であることが可能である。別の例として、粒子5484及び粒子5485は、白色及び黒色だけでなく、赤色、緑色、青色、シアン、マゼンダ、イエロー、エメラルドグリーン、朱色などの中から選択することが可能である。

20

30

【0143】

膜5482としては、透光性を有する材料(例えばアクリル樹脂(例えばポリメタクリル酸メチル、ポリメタクリル酸エチルなど)、ユリア樹脂又はアラビアゴムなどの高分子樹脂)などがある。なお、膜5482は、ゼラチン状であるとよい。これにより、柔軟性、曲げ強度及び機械的強度などの向上を図ることができるため、フレキシビリティの向上を図ることができる。または、マイクロカプセル5480を隙間なく且つ均一に、フィルムなどの基板に配置することができる。

【0144】

液体5483としては、透光性を有する油性の液体を用いるとよい。具体的には、液体5483としては、アルコール系溶媒(例えばメタノール、エタノールなど)、エステル(例えば酢酸エチル又は酢酸ブチルなど)、脂肪族炭化水素(例えばアセトン、メチルエチルケトン、メチルイソブチルケトン等のケトン類、ペンタン、ヘキサン又はオクタンなど)、脂環式炭化水素(例えばシクロヘキサン又はメチルシクロヘキサンなど)、長鎖アルキル基を有するベンゼン類等の芳香族炭化水素(例えばベンゼン、トルエン、キシレン、など)、ハロゲン化炭化水素(例えば塩化メチレン、クロロホルムなど)、カルボン酸塩、水、若しくはその他の油類などがある。または、これらの材料の中の少なくとも2つ以上の混合物がある。または、これらの材料又はこれらの材料の中の少なくとも2つ以上の混合物に、界面活性剤などを配合したものなどがある。

40

【0145】

粒子5484及び粒子5485は、各々、顔料により構成される。粒子5484及び粒子

50

5 4 8 5 を構成する顔料は、お互いに異なる色であることが好ましい。例えば、粒子 5 4 8 4 は、黒色の顔料により構成され、粒子 5 4 8 5 は、白色の顔料により構成されるとよい。黒色の顔料としては、アニリンブラック又はカーボンブラックなどがある。白色の顔料としては、二酸化チタン、亜鉛華（酸化亜鉛）又は三酸化アンチモンなどがある。なお、これらの顔料には、荷電制御剤（例えば電解質、界面活性剤、金属石鹸、樹脂、ゴム、油、ワニス又はコンパウンドなど）、分散剤（例えばチタン系カップリング剤、アルミニウム系カップリング剤又はシラン系カップリング剤など）、潤滑剤又は安定化剤などを添加することが可能である。

【0146】

図 1 4 (A) は、表示素子 5 4 5 3 の方式として、ツイストボール方式を用いる場合の画素の断面図を示す。ツイストボール方式は、表示素子の回転により、反射率を変化させ、階調を制御するものである。図 1 3 (B) との違いは、電極 5 4 5 4 と電極 5 4 5 5 との間に、マイクロカップセル 5 4 8 0 の代わりに、ツイストボール 5 4 8 6 が配置されているところである。ツイストボール 5 4 8 6 は、粒子 5 4 8 7 と、粒子 5 4 8 7 の周りに形成されるキャピティ 5 4 8 8 とにより構成される。粒子 5 4 8 7 は、半球面をそれぞれある色と該ある色とは異なる色とに塗り分けた球状粒子である。ここでは、粒子 5 4 8 7 は、半球面をそれぞれ白色と黒色とに塗り分けられているとする。なお、2 つの半球面には電荷密度や極性差が設けられている。そのため、電極 5 4 5 4 と電極 5 4 5 5 との間に電位差を生じさせることにより、粒子 5 4 8 7 を電界方向に応じて回転させることができる。キャピティ 5 4 8 8 は、液体で満たされている。該液体は、液体 5 4 8 3 と同様なものを用いることができる。ただし、ツイストボール 5 4 8 6 は、図 1 4 (A) に示す構造に限定されない。例えば、ツイストボール 5 4 8 6 の構造は、円柱又は楕円などとするのが可能である。

10

20

【0147】

図 1 4 (B) は、表示素子 5 4 5 3 の方式として、マイクロカップ型の電気泳動方式を用いる場合の画素の断面図を示す。マイクロカップアレイは、UV 硬化樹脂等からなり複数の凹部を有するマイクロカップ 5 4 9 1 に、誘電性溶媒 5 4 9 2 に分散させた帯電色素粒子 5 4 9 3 を充填し、封止層 5 4 9 4 で封止することにより作製できる。封止層 5 4 9 4 と電極 5 4 5 5 との間には、粘着層 5 4 9 5 を形成するとよい。誘電性溶媒 5 4 9 2 としては、無着色溶媒を用いることが可能であるし、赤や青などの着色溶媒を用いることも可能である。ここでは、帯電色素粒子を 1 種類有する場合を図示したが、帯電色素粒子を 2 種類以上有していてもよい。マイクロカップはセルを区切る壁構造を有するため、衝撃や圧力にも十分な耐久性がある。または、マイクロカップの内容物は密閉されているため、環境変化の影響を低減することができる。

30

【0148】

図 1 4 (C) は、表示素子 5 4 5 3 の方式として、電子粉流体（登録商標）方式を用いる場合の画素の断面図を示す。電子粉流体（登録商標）は流動性を示し、流体と粒子の特性を兼ね備えた物質である。この方式では、隔壁 5 5 0 4 でセルを区切り、セル内に電子粉流体（登録商標）5 5 0 2 及び電子粉流体（登録商標）5 5 0 3 を配置する。電子粉流体（登録商標）5 5 0 2 及び電子粉流体（登録商標）5 5 0 3 として、白色粒子と黒色粒子とを用いるとよい。ただし、電子粉流体（登録商標）5 5 0 2 及び電子粉流体（登録商標）5 5 0 3 の種類は、これに限定されない。例えば、電子粉流体（登録商標）5 5 0 2 及び電子粉流体（登録商標）5 5 0 3 としては、白及び黒以外の 2 色の有色粒子を用いることが可能である。別の例として、電子粉流体（登録商標）5 5 0 2 と電子粉流体（登録商標）5 5 0 3 との一方を省略することが可能である。

40

【0149】

図 1 3 (A) に示すように、配線 5 4 6 1 には、信号が入力されるものとする。特に、配線 5 4 6 1 には、表示素子 5 4 5 3 の階調を制御するための信号（例えばビデオ信号）が入力されるものとする。このように、配線 5 4 6 1 は、信号線又はソース信号線（ビデオ信号線又はソース線ともいう）としての機能を有するものとする。配線 5 4 6 2 には、信

50

号が入力されるものとする。特に、配線 5 4 6 2 には、トランジスタ 5 4 5 1 の導通状態を制御するための信号（例えばゲート信号、走査信号、選択信号など）が入力されるものとする。このように、配線 5 4 6 2 は、信号線又はゲート信号線（走査信号線又はゲート線ともいう）としての機能を有するものとする。配線 5 4 6 3 には、所定の電圧が供給されるものとする。配線 5 4 6 3 は、容量素子 5 4 5 2 と接続されている。そのため、配線 5 4 6 3 は、電源線又は容量線としての機能を有するものとする。電極 5 4 5 4 には、所定の電圧が供給されているものとする。電極 5 4 5 4 は、複数の画素又は全ての画素間において、共通である場合が多い。そのため、電極 5 4 5 4 は、コモン電極（共通電極、対向電極又はカソード電極など）としての機能を有するものとする。

【0150】

なお、配線 5 4 6 1、配線 5 4 6 2、配線 5 4 6 3 及び電極 5 4 5 4 に入力される信号又は電圧は、上述したものに限定されず、他にも様々な信号又は様々な電圧などを入力することが可能である。例えば、配線 5 4 6 3 に、信号を入力することが可能である。これにより、電極 5 4 5 5 の電位を制御することができるので、配線 5 4 6 1 に入力される信号の振幅電圧を小さくすることができる。そのため、配線 5 4 6 3 は、信号線としての機能を有することが可能である。別の例として、電極 5 4 5 4 に供給する電圧を変化させることにより、表示素子 5 4 5 3 に印加される電圧を調整することができる。これにより、配線 5 4 6 1 に入力される信号の振幅電圧を小さくすることができる。

【0151】

トランジスタ 5 4 5 1 は、配線 5 4 6 1 と電極 5 4 5 5 との間の導通状態を制御する機能を有する。または、トランジスタ 5 4 5 1 は、配線 5 4 6 1 の電位を、電極 5 4 5 5 に供給するタイミングを制御する機能を有する。または、トランジスタ 5 4 5 1 は、画素 5 4 5 0 を選択するタイミングを制御する機能を有する。このように、トランジスタ 5 4 5 1 は、スイッチ又は選択用トランジスタとしての機能を有するものとする。なお、トランジスタ 5 4 5 1 は、Nチャネル型とする。そのため、トランジスタ 5 4 5 1 は、配線 5 4 6 2 に H 信号が入力されるとオンになり、配線 5 4 6 2 に L 信号が入力されるとオフになるものとする。ただし、トランジスタ 5 4 5 1 の極性は、Nチャネル型に限定されず、トランジスタ 5 4 5 1 は、Pチャネル型であることが可能である。この場合、トランジスタ 5 4 5 1 は、配線 5 4 6 2 に L 信号が入力されるとオンになり、配線 5 4 6 2 に H 信号が入力されるとオフになるものとする。容量素子 5 4 5 2 は、電極 5 4 5 5 と、配線 5 4 6 3 との間の電位差を保持する機能を有する。または、容量素子 5 4 5 2 は、電極 5 4 5 5 の電位を所定の値に維持する機能を有する。これにより、トランジスタ 5 4 5 1 がオフになっても、表示素子 5 4 5 3 に電圧が印加し続けることができる。このように、容量素子 5 4 5 2 は、保持容量としての機能を有するものとする。ただし、トランジスタ 5 4 5 1 及び容量素子 5 4 5 2 が有する機能は、前述したものに限定されず、他にも様々な機能を有することが可能である。

【0152】

次に、本実施の形態の画素の動作の概略について説明する。表示素子 5 4 5 3 の階調の制御は、表示素子 5 4 5 3 に電圧を印加し、表示素子 5 4 5 3 に電界を発生させることにより行われる。表示素子 5 4 5 3 に印加される電圧の制御は、電極 5 4 5 4 の電位及び電極 5 4 5 5 の電位を制御することにより行われる。具体的には、電極 5 4 5 4 の電位の制御は、電極 5 4 5 4 に供給する電圧を制御することにより行われる。電極 5 4 5 5 の電位の制御は、配線 5 4 6 1 に入力される信号を制御することにより行われる。なお、配線 5 4 6 1 に入力される信号は、トランジスタ 5 4 5 1 がオンになることにより、電極 5 4 5 5 に供給される。

【0153】

なお、表示素子 5 4 5 3 にかかる電界の強度、表示素子 5 4 5 3 にかかる電界の向き、及び表示素子 5 4 5 3 に電界をかける時間などの中の 1 つ以上を制御することにより、表示素子 5 4 5 3 の階調を制御することができる。なお、電極 5 4 5 4 と電極 5 4 5 5 との間に、電位差を生じさせないことにより、表示素子 5 4 5 3 の階調を保持することができる。

10

20

30

40

50

【0154】

次に、本実施の形態の画素の動作の一例について説明する。図15(A)に示すタイミングチャートは、選択期間と非選択期間とを有する期間Tについて示す。期間Tは、選択期間の開始時刻から、次の選択期間の開始時刻までの間の期間のことをいう。

【0155】

選択期間では、配線5462にH信号が入力されるので、配線5462の電位(電位V5462と示す)は、Hレベルとなる。そのため、トランジスタ5451はオンになるので、配線5461と電極5455とは導通状態になる。これにより、配線5461に入力される信号は、トランジスタ5451を介して、電極5455に供給される。そして、電極5455の電位(電位V5455と示す)は、配線5461に入力される信号と等しい値となる。このとき、容量素子5452は、電極5455と、配線5463との間の電位差を保持する。非選択期間では、配線5462にL信号が入力されるため、配線5462の電位は、Lレベルになる。そのため、トランジスタ5451はオフになるので、配線5461と電極5455とは非導通状態になる。すると、電極5455は浮遊状態になる。このとき、容量素子5452は、選択期間における、電極5455と配線5463との間の電位差を保持している。そのため、電極5455の電位は、選択期間における配線5461に入力される信号と等しい値のままとなる。こうして、非選択期間において、トランジスタ5451がオフになっても、表示素子5453に電圧を印加し続けることができる。以上のように、選択期間における配線5461に入力される信号を制御することにより、表示素子5453に印加される電圧を制御することができる。つまり、表示素子5453の階調の制御は、選択期間における配線5461に入力される信号を制御することにより行うことができる。

10

20

【0156】

なお、非選択期間における電極5455の電位は、トランジスタ5451のオフ電流、トランジスタ5451のフィードスルー及びトランジスタ5451のチャージインジェクションなどの中の1つ以上の影響により、選択期間における配線5461に入力される信号と異なることがある。

【0157】

なお、図15(B)に示すように、選択期間の一部において、電極5455の電位を、電極5454と等しい値とすることが可能である。これにより、画素5450が選択される毎に、同じ信号が画素5450に入力され続けても、選択期間の一部において電極5455の電位を変化させることにより、表示素子5453の電界強度を変化させることができる。そのため、残像を低減することができる。または、応答速度を早くすることができる。または、画素間の応答速度のばらつきを小さくすることができる。このような駆動方法を実現するためには、選択期間を、期間T1と期間T2とに分割するとよい。そして、期間T1において、配線5461に入力される信号を、電極5454と等しい値とするとよい。なお、期間T2においては、配線5461に入力される信号は、表示素子5453の階調を制御するために様々な値とするよい。なお、期間T1の時間が長すぎると、表示素子5453の階調を制御するための信号を、画素5450に書き込む時間が短くなってしまう。したがって、期間T1は、期間T2よりも短いことが好ましい。特に、期間T1は、選択期間の1%以上20%以下であることが好ましい。より好ましくは、3%以上15%以下である。さらに好ましくは5%以上10%以下である。

30

40

【0158】

次に、表示素子5453に電圧を印加する時間により、表示素子5453の階調を制御する、本実施の形態の画素の動作の一例について説明する。図15(C)に示すタイミングチャートは、期間Taと期間Tbとを有する。そして、期間Taは、N(Nは自然数)個の期間Tを有する。N個の期間Tは、各々、図15(A)~(B)に示す期間Tと同様である。期間Taは、表示素子5453の階調を変化させるための期間(例えば、アドレス期間、書込期間、画像書き換え期間など)である。期間Tbは、期間Taにおける表示素

50

子 5 4 5 3 の階調を保持する期間（保持期間）である。

【 0 1 5 9 】

電極 5 4 5 4 には、電圧 V_0 が供給されるものとする。そのため、電極 5 4 5 4 は、電位 V_0 である。配線 5 4 6 1 には、少なくとも 3 つの値を有する信号が入力されるものとする。該信号の 3 つの値の電位は、各々、電位 V_H ($V_H > V_0$) と、電位 V_0 と、電位 V_L ($V_L < V_0$) とする。そのため、電極 5 4 5 5 には、電位 V_H と電位 V_0 と電位 V_L とが与えられるものとする。

【 0 1 6 0 】

期間 T_a が有する N 個の期間 T において、各々、電極 5 4 5 5 に与える電位を制御することにより、表示素子 5 4 5 3 に印加される電圧を制御することができる。例えば、電極 5 4 5 5 に電位 V_H が与えられることにより、電極 5 4 5 4 と電極 5 4 5 5 との電位差は、 $V_H - V_L$ となる。これにより、表示素子 5 4 5 3 に、正の電圧を印加することができる。電極 5 4 5 5 に電位 V_0 が与えられることにより、電極 5 4 5 4 と電極 5 4 5 5 との電位差は、ゼロとなる。これにより、表示素子 5 4 5 3 に、電圧ゼロを印加することができる。電極 5 4 5 5 に電位 V_L が与えられることにより、電極 5 4 5 4 と電極 5 4 5 5 との電位差は、 $V_L - V_H$ となる。これにより、表示素子 5 4 5 3 に、負の電圧を印加することができる。以上のように、期間 T_a では、表示素子 5 4 5 3 に、正の電圧 ($V_H - V_L$) と負の電圧 ($V_L - V_H$) とゼロとを様々な順番で印加することができる。これにより、表示素子 5 4 5 3 の階調を細かく制御することができる。または、残像を低減することができる。または、応答速度を速くすることができる。

10

20

【 0 1 6 1 】

なお、本実施の形態では、表示素子 5 4 5 3 に正の電圧が印加されると、表示素子 5 4 5 3 の階調は、黒（第 1 の階調ともいう）に近づくものとする。表示素子 5 4 5 3 に負の電圧が印加されると、表示素子 5 4 5 3 の階調は、白（第 2 の階調ともいう）に近づくものとする。表示素子 5 4 5 3 に電圧ゼロが印加されると、表示素子 5 4 5 3 の階調は、保持されるものとする。

【 0 1 6 2 】

期間 T_b では、配線 5 4 6 1 に入力される信号は、画素 5 4 5 0 に書き込まれないものとする。そのため、期間 T_b では、期間 T_a の N 番目の期間 T において電極 5 4 5 5 に与えられる電位が、電極 5 4 5 5 に与えられ続ける。特に、期間 T_b では、表示素子 5 4 5 3 に電界を生じさせないことにより、表示素子 5 4 5 3 の階調を保持することが好ましい。そのために、期間 T_a の N 番目の期間 T において、電極 5 4 5 5 に電位 V_0 が与えられることが好ましい。これにより、期間 T_b においても、電極 5 4 5 5 には電位 V_0 が与えられるので、表示素子 5 4 5 3 には電圧ゼロが印加される。そのため、表示素子 5 4 5 3 の階調を保持することができる。

30

【 0 1 6 3 】

なお、表示素子 5 4 5 3 が次に表示する階調が、第 1 の階調に近いほど、期間 T_a のうち、電位 V_H が電極 5 4 5 5 に与えられる時間を長くするとよい。または、 N 個の期間 T のうち、電位 V_H が電極 5 4 5 5 に与えられる回数を多くするとよい。または、期間 T_a のうち、電位 V_H が電極 5 4 5 5 に与えられる時間から電位 V_L が電極 5 4 5 5 に与えられる時間を引いた時間を長くするとよい。または、 N 個の期間 T のうち、電位 V_H が電極 5 4 5 5 に与えられる回数から電位 V_L が電極 5 4 5 5 に与えられる回数を引いた回数を、多くするとよい。

40

【 0 1 6 4 】

なお、表示素子 5 4 5 3 が次に表示する階調が、第 2 の階調に近いほど、期間 T_a のうち、電位 V_L が電極 5 4 5 5 に与えられる時間を長くするとよい。または、 N 個の期間 T のうち、電位 V_L が電極 5 4 5 5 に与えられる回数を多くするとよい。または、期間 T_a のうち、電位 V_L が電極 5 4 5 5 に与えられる時間から電位 V_H が電極 5 4 5 5 に与えられる時間を引いた時間を長くするとよい。または、 N 個の期間 T のうち、電位 V_L が電極 5 4 5 5 に与えられる回数から電位 V_H が電極 5 4 5 5 に与えられる回数を引いた回数を、

50

多くするとよい。

【0165】

なお、期間 T_a において、電極 5455 に与えられる電位（電位 V_H 、電位 V_0 、電位 V_L ）の組み合わせは、表示素子 5453 が次に表示する階調に依存するだけでなく、表示素子 5453 が既に表示している階調に依存することが可能である。そのため、次に表示素子 5453 が表示する階調が同じ場合でも、既に表示素子 5453 が表示している階調が異なると、電極 5455 に与えられる電位の組み合わせが異なることがある。

【0166】

例えば、表示素子 5453 が既に表示している階調を、表示するための期間 T_a において、電位 V_H が電極 5455 に与えられる時間が長いほど、電位 V_H が電極 5455 に与えられる時間から電位 V_L が電極 5455 に与えられる時間を引いた時間が長いほど、 N 個の期間 T のうち、電位 V_H が電極 5455 に与えられる回数が多いほど、又は N 個の期間 T のうち、電位 V_H が電極 5455 に与えられる回数から電位 V_L が電極 5455 に与えられる回数を引いた値が多いほど、期間 T_a のうち、電位 V_L が電極 5455 に与えられる時間を長くするとよい。または、 N 個の期間 T のうち、電位 V_L が電極 5455 に与えられる回数を多くするとよい。または、期間 T_a のうち、電位 V_L が電極 5455 に与えられる時間から電位 V_H が電極 5455 に与えられる時間を引いた時間を長くするとよい。または、 N 個の期間 T のうち、電位 V_L が電極 5455 に与えられる回数から電位 V_H が電極 5455 に与えられる回数を引いた回数を、多くするとよい。これにより、残像を低減することができる。

10

20

【0167】

別の例として、表示素子 5453 が既に表示している階調を、表示するための期間 T_a において、電位 V_L が電極 5455 に与えられる時間が長いほど、電位 V_L が電極 5455 に与えられる時間から電位 V_H が電極 5455 に与えられる時間を引いた時間が長いほど、 N 個の期間 T のうち、電位 V_L が電極 5455 に与えられる回数が多いほど、又は N 個の期間 T のうち、電位 V_L が電極 5455 に与えられる回数から電位 V_H が電極 5455 に与えられる回数を引いた値が多いほど、期間 T_a のうち、電位 V_H が電極 5455 に与えられる時間を長くするとよい。または、 N 個の期間 T のうち、電位 V_H が電極 5455 に与えられる回数を多くするとよい。または、期間 T_a のうち、電位 V_H が電極 5455 に与えられる時間から電位 V_L が電極 5455 に与えられる時間を引いた時間を長くするとよい。または、 N 個の期間 T のうち、電位 V_H が電極 5455 に与えられる回数から電位 V_L が電極 5455 に与えられる回数を引いた回数を、多くするとよい。これにより、残像を低減することができる。

30

【0168】

なお、 N 個の期間 T は、各々、等しい長さであるものとする。ただし、 N 個の期間 T の長さは、これに限定されない。例えば、 N 個の期間 T のうちの少なくとも 2 つは、互いに異なる長さであることが可能である。特に、 N 個の期間 T の長さを重み付けするとよい。例えば、 $N = 4$ である場合、1 番目の期間 T の長さを時間 h とすると、2 番目の期間 T の長さを時間 $h \times 2$ とするとよい。3 番目の期間 T の長さを時間 $h \times 4$ とするとよい。4 番目の期間 T の長さを時間 $h \times 8$ とするとよい。このように、 N 個の期間 T の長さに重み付けを行うことにより、画素 5450 を選択する回数を減らすことができ、且つ表示素子 5453 に電圧を印加する時間を細かく制御することができる。よって、消費電力の削減を図ることができる。

40

【0169】

なお、電極 5454 には、電位 V_H と電位 V_L と選択的に与えることが可能である。この場合、電極 5455 にも、電位 V_H と電位 V_L とを選択的に与えることが好ましい。例えば、電極 5454 に電位 V_H が与えられる場合、電極 5455 に電位 V_H が与えられると、表示素子 5453 には電圧ゼロが印加される。電極 5455 に電位 V_L が与えられると、表示素子 5453 には負の電圧が印加される。一方で、電極 5454 に電位 V_L が与えられる場合、電極 5455 に電位 V_H が与えられると、表示素子 5453 には正の電圧が

50

印加される。電極 5 4 5 5 に電位 V_L が与えられると、表示素子 5 4 5 3 には電圧ゼロが印加される。このようにして、配線 5 4 6 1 に入力される信号を 2 値（デジタル信号）とすることができる。そのため、配線 5 4 6 1 に信号を出力する回路を簡単にすることができる。

【0170】

なお、期間 T_b 又は期間 T_b の一部において、配線 5 4 6 1 及び配線 5 4 6 2 には、信号を入力しないことが可能である。つまり、配線 5 4 6 1 及び配線 5 4 6 2 を浮遊状態にすることが可能である。なお、期間 T_b 又は期間 T_b の一部において、配線 5 4 6 3 には、信号を入力しないことが可能である。つまり、配線 5 4 6 3 を浮遊状態にすることが可能である。なお、期間 T_b 又は期間 T_b の一部において、電極 5 4 5 4 には、電圧を供給しないことが可能である。つまり、電極 5 4 5 4 を浮遊状態にすることが可能である。

10

【0171】

（実施の形態 7）

本実施の形態においては、電子機器の例について説明する。

【0172】

図 1 6 (A) 乃至図 1 6 (H)、図 1 7 (A) 乃至図 1 7 (D) は、電子機器を示す図である。これらの電子機器は、筐体 5 0 0 0、表示部 5 0 0 1、スピーカ 5 0 0 3、LED ランプ 5 0 0 4、操作キー 5 0 0 5（電源スイッチ、又は操作スイッチを含む）、接続端子 5 0 0 6、センサ 5 0 0 7（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に於いて又は赤外線を測定する機能を含むもの）、マイクロフォン 5 0 0 8、等を有することができる。

20

【0173】

図 1 6 (A) はモバイルコンピュータであり、上述したものの他に、スイッチ 5 0 0 9、赤外線ポート 5 0 1 0、等を有することができる。図 1 6 (B) は記録媒体を備えた携帯型の画像再生装置（たとえば、DVD 再生装置）であり、上述したものの他に、第 2 表示部 5 0 0 2、記録媒体読込部 5 0 1 1、等を有することができる。図 1 6 (C) はゴーグル型ディスプレイであり、上述したものの他に、第 2 表示部 5 0 0 2、支持部 5 0 1 2、イヤホン 5 0 1 3、等を有することができる。図 1 6 (D) は携帯型遊技機であり、上述したものの他に、記録媒体読込部 5 0 1 1、等を有することができる。図 1 6 (E) はプロジェクタであり、上述したものの他に、光源 5 0 3 3、投射レンズ 5 0 3 4、等を有することができる。図 1 6 (F) は携帯型遊技機であり、上述したものの他に、第 2 表示部 5 0 0 2、記録媒体読込部 5 0 1 1、等を有することができる。図 1 6 (G) はテレビ受像器であり、上述したものの他に、チューナ、画像処理部、等を有することができる。図 1 6 (H) は持ち運び型テレビ受像器であり、上述したものの他に、信号の送受信が可能な充電器 5 0 1 7、等を有することができる。図 1 7 (A) はディスプレイであり、上述したものの他に、支持台 5 0 1 8、等を有することができる。図 1 7 (B) はカメラであり、上述したものの他に、外部接続ポート 5 0 1 9、シャッターボタン 5 0 1 5、受像部 5 0 1 6、等を有することができる。図 1 7 (C) はコンピュータであり、上述したものの他に、ポインティングデバイス 5 0 2 0、外部接続ポート 5 0 1 9、リーダ/ライタ 5 0 2 1、等を有することができる。図 1 7 (D) は携帯電話機であり、上述したものの他に、アンテナ 5 0 1 4、携帯電話・移動端末向けの 1 セグメント部分受信サービス用チューナ、等を有することができる。

30

40

【0174】

図 1 6 (A) 乃至図 1 6 (H)、図 1 7 (A) 乃至図 1 7 (D) に示す電子機器は、様々な機能を有することができる。

【0175】

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。

【0176】

50

次に、半導体装置の応用例を説明する。

【 0 1 7 7 】

図 1 7 (E) に、半導体装置を、建造物と一体にして設けた例について示す。図 1 7 (E) は、筐体 5 0 2 2、表示部 5 0 2 3、操作部であるリモコン装置 5 0 2 4、スピーカ 5 0 2 5 等を含む。半導体装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

【 0 1 7 8 】

図 1 7 (F) に、建造物内に半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル 5 0 2 6 は、ユニットバス 5 0 2 7 と一体に取り付けられており、入浴者は表示パネル 5 0 2 6 の視聴が可能になる。

10

【 0 1 7 9 】

なお、本実施の形態において、建造物として壁、ユニットバスを例としたが、本実施の形態はこれに限定されず、様々な建造物に半導体装置を設置することができる。

【 0 1 8 0 】

次に、半導体装置を、移動体と一体にして設けた例について示す。

【 0 1 8 1 】

図 1 7 (G) は、半導体装置を、自動車に設けた例について示した図である。表示パネル 5 0 2 8 は、自動車の車体 5 0 2 9 に取り付けられており、車体の動作又は車体内外から入力される情報をオンデマンドに表示することができる。なお、ナビゲーション機能を有していてもよい。

20

【 0 1 8 2 】

図 1 7 (H) は、半導体装置を、旅客用飛行機と一体にして設けた例について示した図である。図 1 7 (H) は、旅客用飛行機の座席上部の天井 5 0 3 0 に表示パネル 5 0 3 1 を設けたときの、使用時の形状について示した図である。表示パネル 5 0 3 1 は、天井 5 0 3 0 とヒンジ部 5 0 3 2 を介して一体に取り付けられており、ヒンジ部 5 0 3 2 の伸縮により乗客は表示パネル 5 0 3 1 の視聴が可能になる。表示パネル 5 0 3 1 は乗客が操作することで情報を表示する機能を有する。

【 0 1 8 3 】

なお、本実施の形態において、移動体としては自動車車体、飛行機機体について例示したがこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等、様々なものに設置することができる。

30

【 0 1 8 4 】

このような電子機器において、オフ電流の低い酸化物半導体を有するトランジスタを用いて、回路を構成することにより、不要な電流が漏れて入ってしまうことを防ぐことができる。よって、回路が正常に動作しやすくなる。そのため、正確な表示を行うことができる。

【符号の説明】

【 0 1 8 5 】

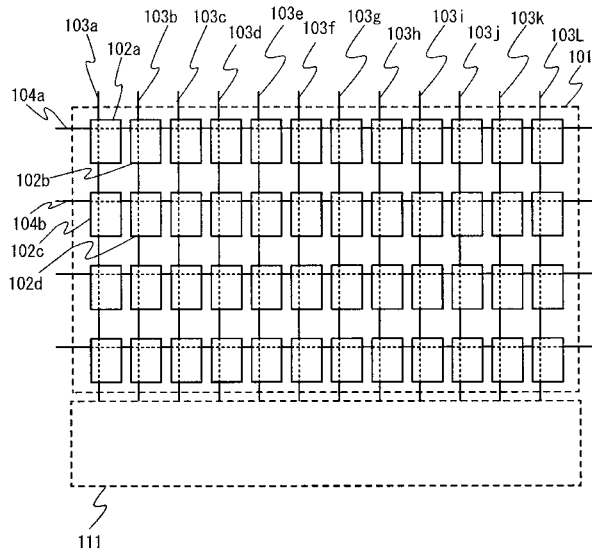
- 1 0 1 画素部
- 1 0 2 a 画素
- 1 0 2 b 画素
- 1 0 2 c 画素
- 1 0 2 d 画素
- 1 0 3 a、1 0 3 b、1 0 3 c、1 0 3 d、1 0 3 e、1 0 3 f、1 0 3 g、1 0 3 h、1 0 3 i、1 0 3 j、1 0 3 k、1 0 3 L 配線
- 1 0 4 a 配線
- 1 0 4 b 配線
- 1 1 1 回路
- 2 0 1 a、2 0 1 b、2 0 1 c、2 0 1 d、2 0 1 e、2 0 1 f、2 0 1 g、2 0 1 h、2 0 1 i、2 0 1 j、2 0 1 k、2 0 1 L トランジスタ

40

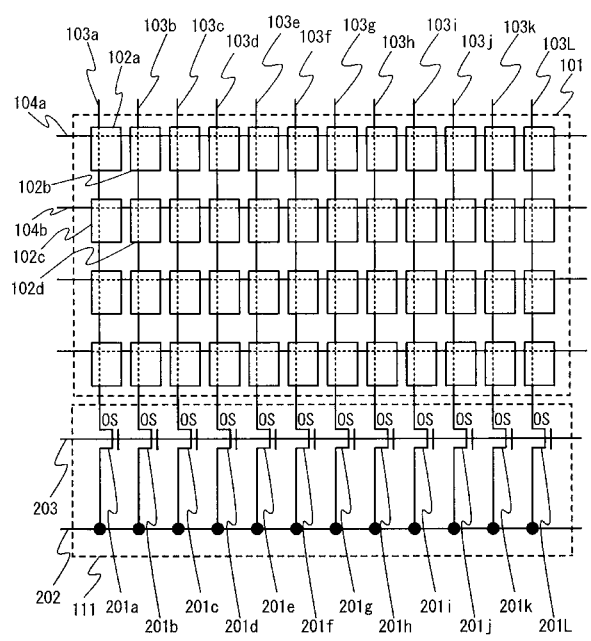
50

2 0 2 a	配線	
2 0 2 b	配線	
2 0 2 c	配線	
2 0 3 a	配線	
2 0 3 b	配線	
2 0 3 c	配線	
4 0 0	基板	
4 0 2	ゲート絶縁層	
4 0 3	保護絶縁層	
4 1 0	トランジスタ	10
4 1 1	ゲート電極層	
4 1 4 a	ソース領域	
4 1 4 b	ドレイン領域	
4 1 5 a	ソース電極層	
4 1 5 b	ドレイン電極層	
4 1 6	酸化物絶縁層	
4 3 0	酸化物半導体膜	
4 3 1	酸化物半導体層	
5 0 1	回路	
5 0 2	回路	20
5 0 3	回路	
5 0 4	回路	
5 1 1	基板	
8 0 1	トランジスタ	
8 0 2	表示素子	
8 0 2 a	発光素子	
8 0 3	配線	
8 0 4	容量素子	
8 0 5	配線	
9 0 1	信号	30
9 0 2	周期	
9 0 3	期間	
9 0 4	期間	
9 0 5	期間	
9 0 6	電位	
9 0 7	信号	
9 0 7 a	信号	
9 0 7 b	信号	
9 0 7 c	信号	
9 0 8	信号	40
1 3 0 1	トランジスタ	
1 3 0 3	配線	
1 3 0 4	容量素子	
1 3 0 5	配線	
1 3 1 1	トランジスタ	

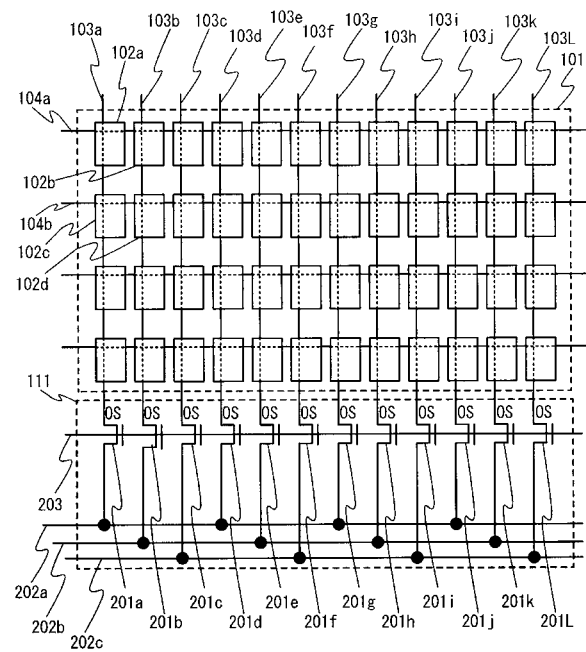
【図 1】



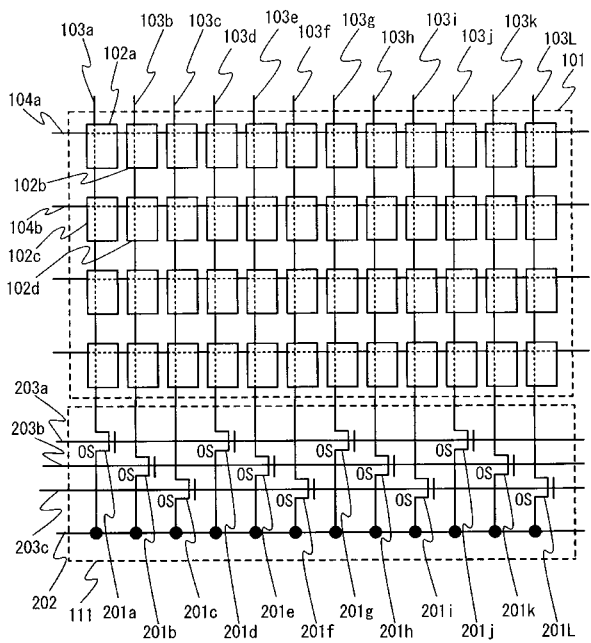
【図 2】



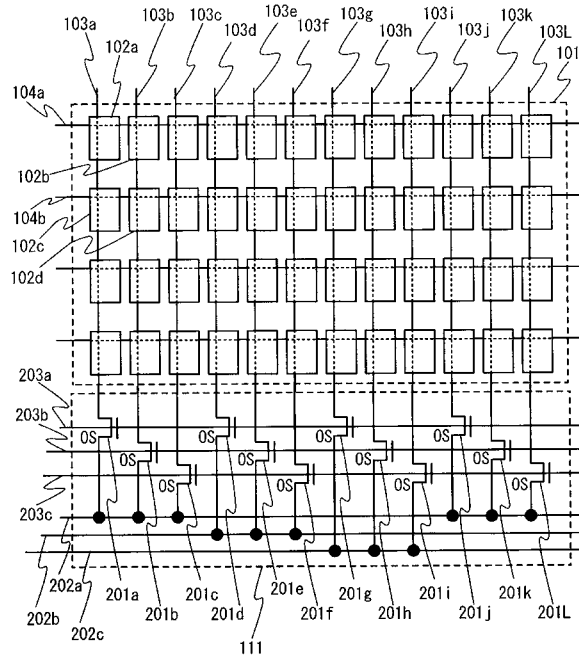
【図 3】



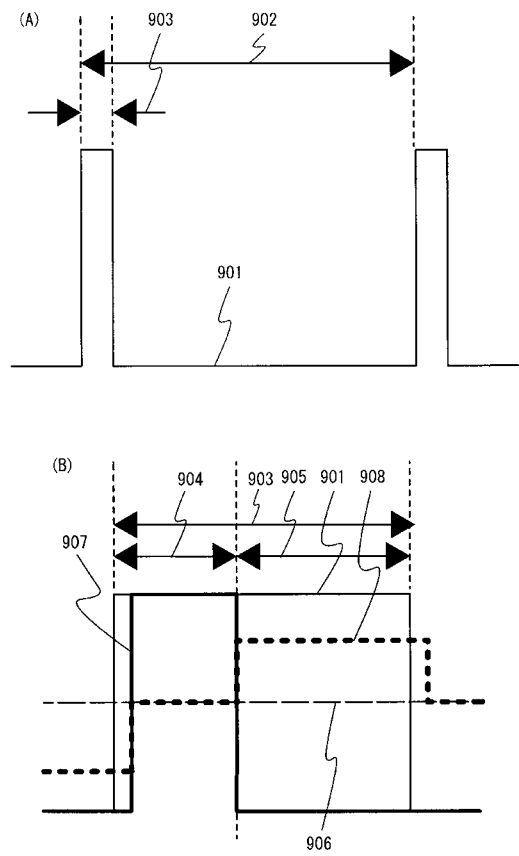
【図 4】



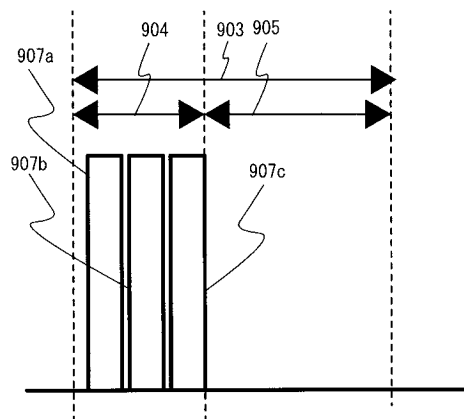
【図 5】



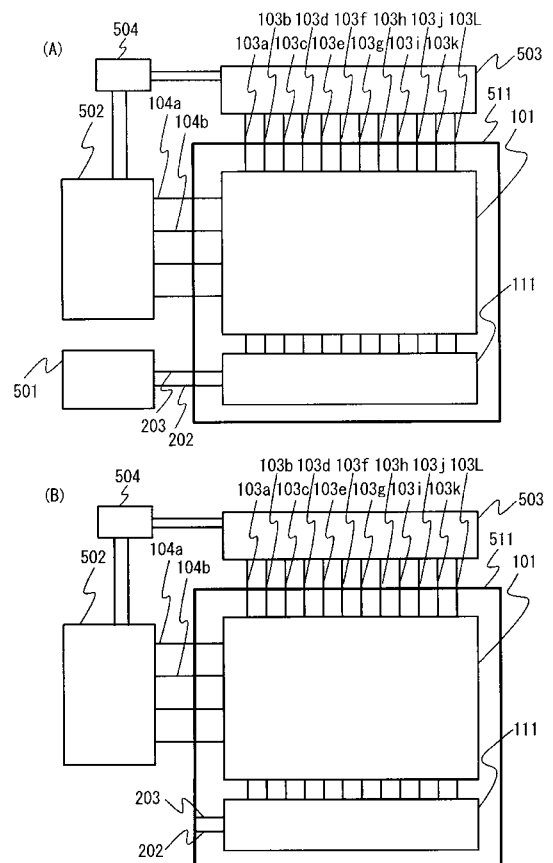
【図 6】



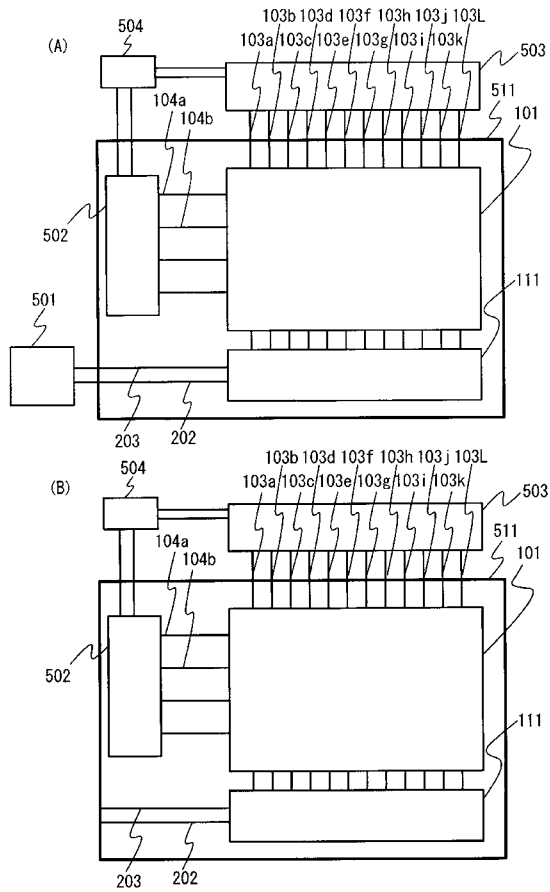
【図 7】



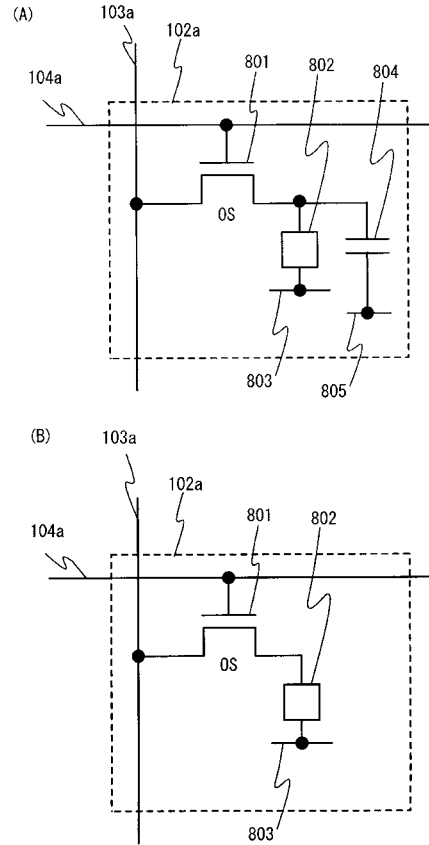
【図 8】



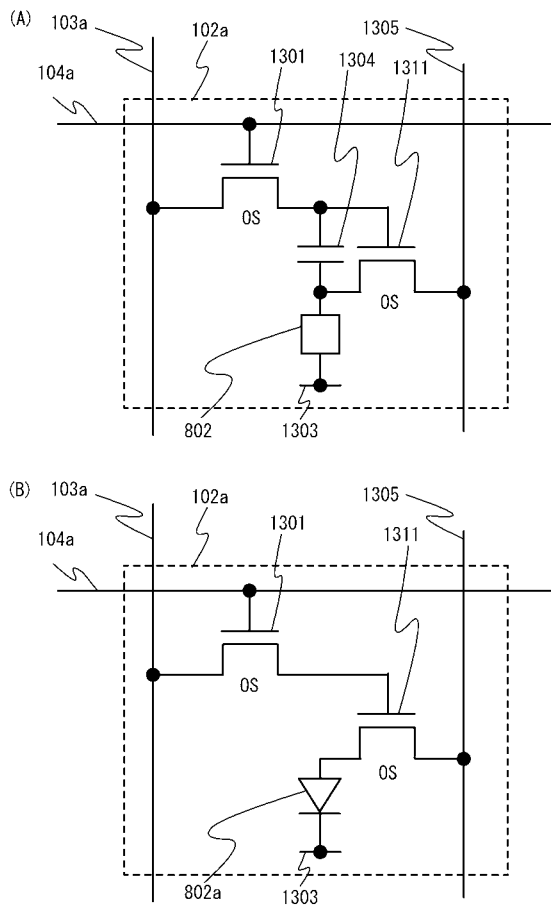
【図 9】



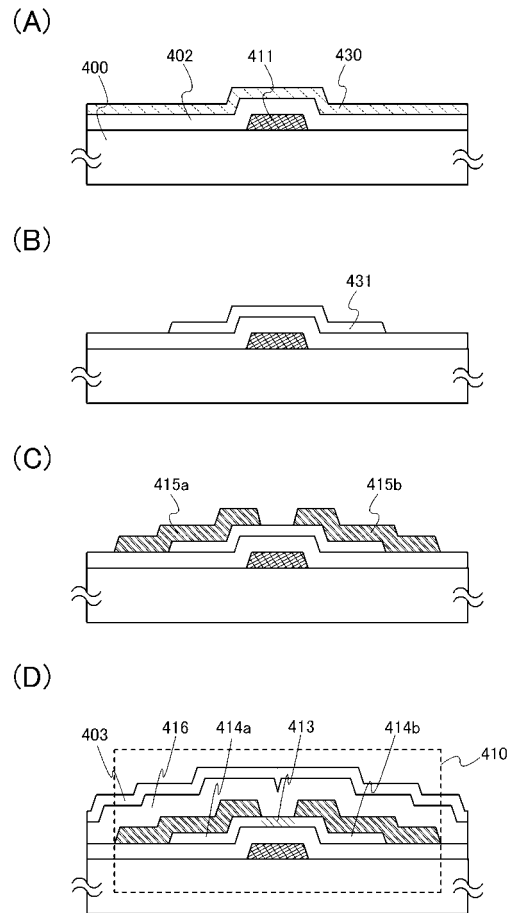
【図 10】



【図 11】

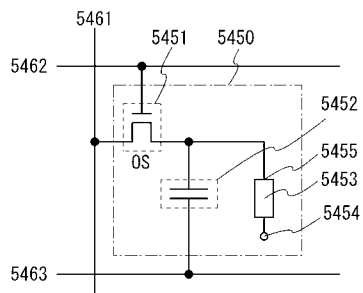


【図 12】

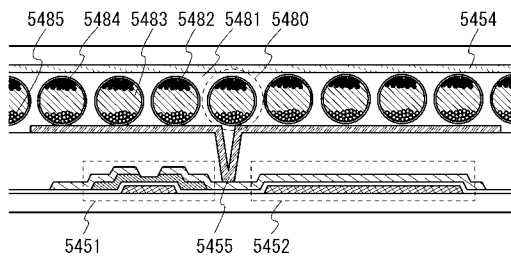


【図 13】

(A)

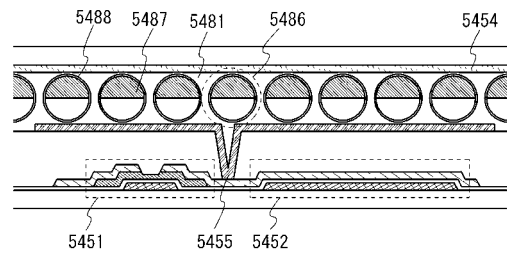


(B)

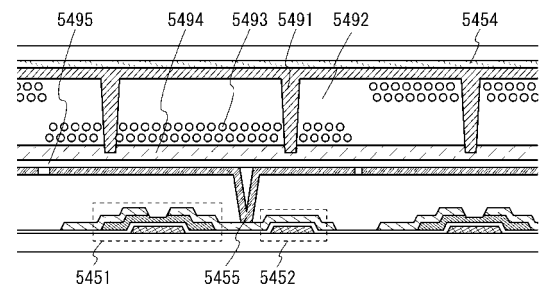


【図 14】

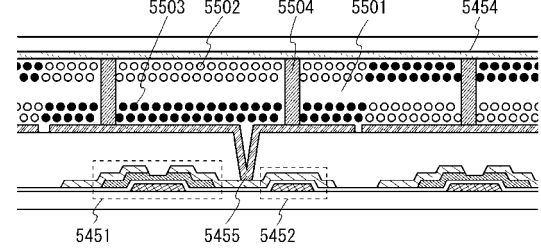
(A)



(B)

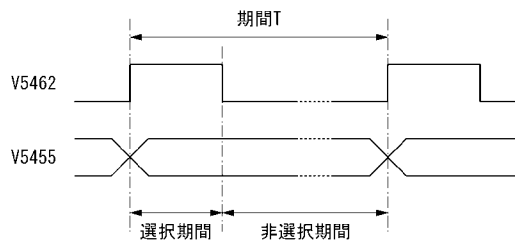


(C)

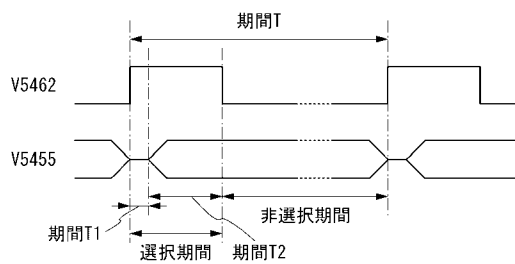


【図 15】

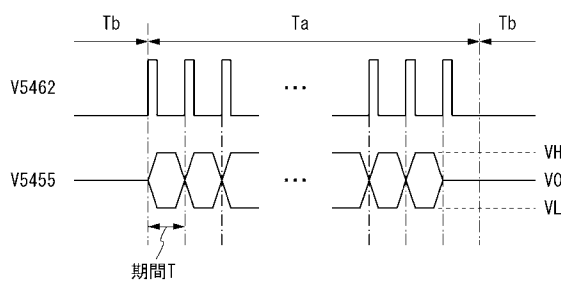
(A)



(B)

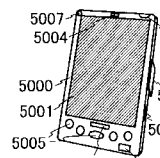


(C)

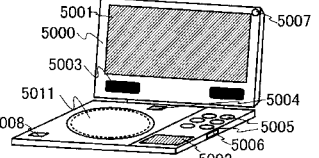


【図 16】

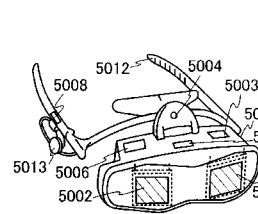
(A)



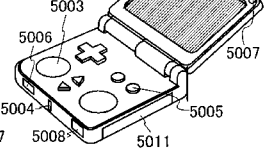
(B)



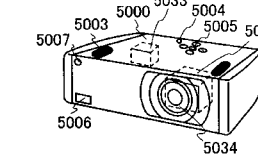
(C)



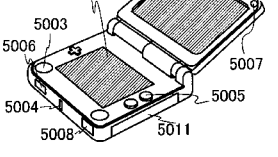
(D)



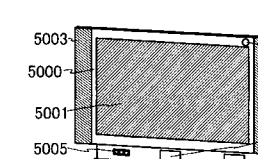
(E)



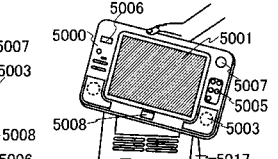
(F)



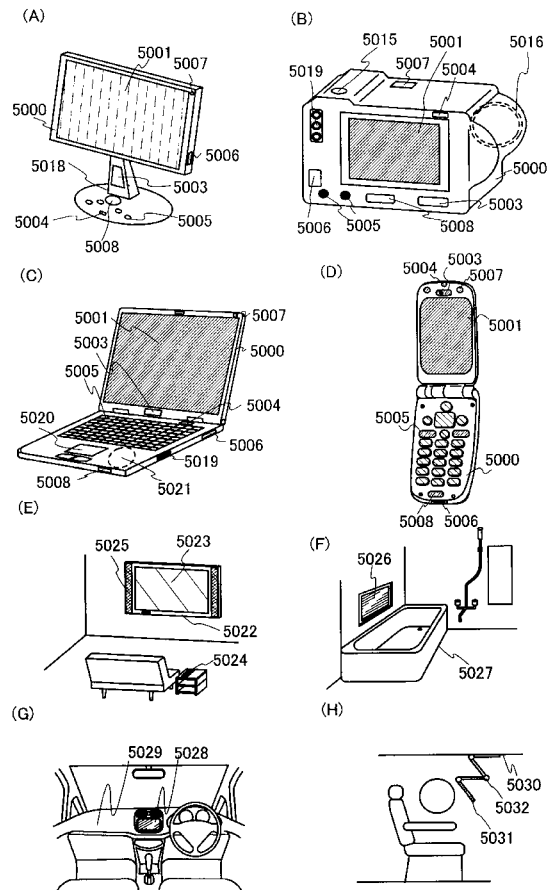
(G)



(H)



【図 17】



フロントページの続き

F ターム(参考) 2H193 ZE06 ZK02 ZK14 ZQ06 ZQ07 ZQ08 ZQ09 ZQ11 ZQ13 ZQ14
ZQ16 ZQ19 ZQ22 ZQ26
5F110 AA06 AA09 AA11 BB02 BB04 CC07 DD01 DD02 DD03 DD05
DD07 DD13 DD14 DD15 DD17 EE02 EE03 EE04 EE06 EE14
EE28 EE30 FF01 FF02 FF03 FF04 FF09 FF25 FF28 FF30
GG01 GG02 GG06 GG07 GG12 GG25 GG28 GG35 GG43 GG45
GG58 HK01 HK02 HK03 HK04 HK06 HK21 HK22 NN03 NN04
NN22 NN23 NN24 NN34 NN72 NN74 QQ02

专利名称(译)	液晶表示装置		
公开(公告)号	JP2011186450A	公开(公告)日	2011-09-22
申请号	JP2011025388	申请日	2011-02-08
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	木村肇 梅崎敦司		
发明人	木村 肇 梅崎 敦司		
IPC分类号	G02F1/1368 H01L29/786 G02F1/133		
CPC分类号	G02F1/1368 G02F1/133345 G02F1/1339 G02F1/134309 G02F1/13439 G02F1/13624 G02F1/136259 G02F1/136286 G02F1/167 G02F2001/133302 G02F2001/136254 G09G3/006 G09G3/3648 G09G2230/00 G09G2310/0251 H01L27/1225 H01L27/124 H01L27/1255 H01L29/42384 H01L29/7869		
FI分类号	G02F1/1368 H01L29/78.612.B H01L29/78.618.B G02F1/133.550		
F-TERM分类号	2H092/JA26 2H092/JA33 2H092/JA35 2H092/JB57 2H092/KA08 2H092/KA12 2H092/KA19 2H092/KB05 2H092/KB24 2H092/MA05 2H092/MA08 2H092/MA13 2H092/NA22 2H092/QA07 2H092/QA09 2H092/QA10 2H193/ZE06 2H193/ZK02 2H193/ZK14 2H193/ZQ06 2H193/ZQ07 2H193/ZQ08 2H193/ZQ09 2H193/ZQ11 2H193/ZQ13 2H193/ZQ14 2H193/ZQ16 2H193/ZQ19 2H193/ZQ22 2H193/ZQ26 5F110/AA06 5F110/AA09 5F110/AA11 5F110/BB02 5F110/BB04 5F110/CC07 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD05 5F110/DD07 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE28 5F110/EE30 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF25 5F110/FF28 5F110/FF30 5F110/GG01 5F110/GG02 5F110/GG06 5F110/GG07 5F110/GG12 5F110/GG25 5F110/GG28 5F110/GG35 5F110/GG43 5F110/GG45 5F110/GG58 5F110/HK01 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK21 5F110/HK22 5F110/NN03 5F110/NN04 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN34 5F110/NN72 5F110/NN74 5F110/QQ02 2H192/AA24 2H192/CB05 2H192/CB08 2H192/CB37 2H192/DA12 2H192/DA42 2H192/FB03 2H192/FB07 2H192/FB22 2H192/FB27 2H192/FB34 2H192/GD03 2H192/HB04 2H192/HB13 2H192/JA06 2H192/JA13 2H192/JA17 2H192/JA24 2H192/JA25 2H192/JA33 2H192/JA53		
优先权	2010028285 2010-02-11 JP		
其他公开文献	JP2011186450A5 JP5869767B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供执行准确显示的显示设备。解决方案：通过使用包括氧化物半导体并具有低截止电流的晶体管来形成电路。作为电路，除了像素电路之外，还形成预充电电路或检查电路。由于使用氧化物半导体，断态电流较低。因此，预充电电路或检查电路中的信号或电压不太可能泄漏而导致显示不良。结果，可以提供执行精确显示的显示设备。

