

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-133896

(P2011-133896A)

(43) 公開日 平成23年7月7日(2011.7.7)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G02F 1/133 (2006.01)	G02F 1/133 505	5C006
G09G 3/20 (2006.01)	G09G 3/20 623B	5C080
H03F 1/22 (2006.01)	G09G 3/20 611J	5J055
H03K 17/687 (2006.01)	G09G 3/20 612F	5J500
審査請求 有 請求項の数 8 O L (全 11 頁) 最終頁に続く		

(21) 出願番号 特願2010-288275 (P2010-288275)
 (22) 出願日 平成22年12月24日 (2010.12.24)
 (31) 優先権主張番号 10-2009-0130991
 (32) 優先日 平成21年12月24日 (2009.12.24)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 508038091
 シリコン・ワークス・カンパニー・リミテッド
 Silicon Works Co., LTD.
 大韓民国デジョンシ、ユソング、タムニブ
 ドン707番
 (74) 代理人 100101454
 弁理士 山田 卓二
 (74) 代理人 100081422
 弁理士 田中 光雄
 (74) 代理人 100125874
 弁理士 川端 純市

最終頁に続く

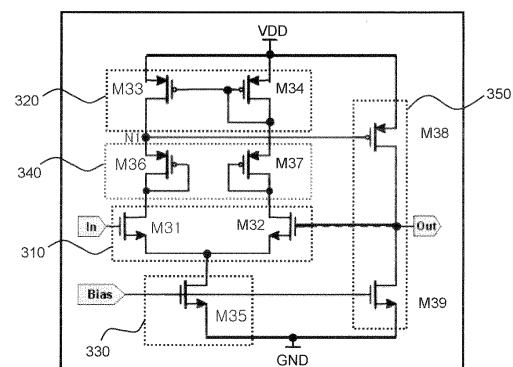
(54) 【発明の名称】 液晶表示装置のソースドライバー回路

(57) 【要約】

【課題】 本発明は、液晶表示装置のソースドライバー集積素子でパワードロップに対する復帰時間を縮める技術を提供する。

【解決手段】 本発明によってソースドライバーに適用されるガンマバッファ回路では、差動増幅部と電流ミラー部のモストランジスターらを直接連結しないでダイオード結合型モストランジスターを通じて連結した。これによって、出力端のモストランジスターのゲートの動作範囲がダイオード結合型モストランジスターのドレシーホールド電圧程度減るようになる。これによって電源端子電圧ドロップ後復帰時間及び接地端子電圧バウンシング後に復帰時間が減って、入力トランジスターのマッチング特性が改善されて、これによってランダムオフセットが低減される。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

二つのエンモストランジスターで構成されて入力信号を差動増幅する差動増幅部と；
二つのピーモストランジスターで構成されて電流ミラーで動作する電流ミラー部と；
一つのエンモストランジスターを具備してバイアス電圧によって前記差動増幅部をスタンバイモードからイネーブルモードに転換させるイネーブル部と；

前記電流ミラー部の二つのピーモストランジスターのドレインと前記差動増幅部の二つのエンモストランジスターのドレインを二つのダイオード結合型モストランジスターを通じてそれぞれ連結させて、パワードロップ後の復帰時間を短縮させるパワードロップ速度改善部と；

ピーモストランジスター及びエンモストランジスターで構成されて、前記バイアス電圧によってバイアスレベルが設定されて、前記電流ミラー部の一側の下位ノード電圧による出力電圧を発生する出力部で構成されたガンマバッファを含んで構成したことを特徴とする液晶表示装置のソースドライバ回路。

【請求項 2】

液晶表示装置は、チップオンガラス(COG)方式の液晶表示装置であることを特徴とする請求項 1 に記載の液晶表示装置のソースドライバ回路。

【請求項 3】

パワードロップ速度改善部の二つのモストランジスターは、ピーモストランジスター及びエンモストランジスターをすべて含むことを特徴とする請求項 1 に記載の液晶表示装置のソースドライバ回路。

【請求項 4】

パワードロップ速度改善部は、

ソースが前記電流ミラー部の第 1 ピーモストランジスターのドレインに連結されてゲート及びドレインが前記差動増幅部の第 1 エンモストランジスターのドレインに接続された第 1 ピーモストランジスターと；

ソースが前記電流ミラー部の第 2 ピーモストランジスターのドレインに連結されて、ゲート及びドレインが前記差動増幅部の第 2 エンモストランジスターのドレインに接続された第 2 ピーモストランジスターで構成されたことを特徴とする請求項 1 に記載の液晶表示装置のソースドライバ回路。

【請求項 5】

二つのピーモストランジスターで構成されて入力信号を差動増幅する差動増幅部と；
二つのエンモストランジスターで構成されて電流ミラーで動作する電流ミラー部と；
一つのピーモストランジスターを具備してバイアス電圧によって前記差動増幅部をスタンバイモードからイネーブルモードに転換させるイネーブル部と；

前記差動増幅部の二つのピーモストランジスターのドレインと前記電流ミラー部の二つのエンモストランジスターのドレインを二つのダイオード結合型モストランジスターを通じてそれぞれ連結させて、接地端子電圧バウンシング後の復帰時間を短縮させるパワードロップ速度改善部と；

エンモストランジスター及びピーモストランジスターで構成されて、前記バイアス電圧によってバイアスレベルが設定されて、前記電流ミラー部の一側の上位ノード電圧による出力電圧を発生する出力部で構成されたガンマバッファを含んで構成したことを特徴とする液晶表示装置のソースドライバ回路。

【請求項 6】

パワードロップ速度改善部の二つのモストランジスターは、ピーモストランジスター及びエンモストランジスターをすべて含むことを特徴とする請求項 5 に記載の液晶表示装置のソースドライバ回路。

【請求項 7】

パワードロップ速度改善部は、

ドレイン及びゲートが前記差動増幅部の第 1 ピーモストランジスターのドレインに連結

10

20

30

40

50

されて、ソースが前記電流ミラー部の第 1 エンモストランジスターのドレインに接続された第 1 エンモストランジスターと;

ドレイン及びゲートが前記差動増幅部の第 2 ビーモストランジスターのドレインに連結されて、ソースが前記電流ミラー部の第 2 エンモストランジスターのドレインに接続された第 2 エンモストランジスターで構成されたことを特徴とする請求項 5 に記載の液晶表示装置のソースドライバー回路。

【請求項 8】

液晶表示装置は、チップオンガラス(COG)方式の液晶表示装置であることを特徴とする請求項 5 に記載の液晶表示装置のソースドライバー回路。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、液晶表示装置でソースドライバー回路の出力電圧を安定するように供給する技術に関するものであり、特に、ソースドライバー回路のパワードロップが発生される時、ガンマバッファの出力電圧回復時間を縮めることができるようにした液晶表示装置のソースドライバー回路に関するものである。

【背景技術】

【0002】

図 1 は、従来技術による液晶表示装置の駆動回路に対するブロック図としてこれに示したところのように、印刷回路基板(PCB) 110 上でガンマ電圧供給部を含む軟性回路基板(FPC:Flexible Printed Circuit) 120 と;前記軟性回路基板 120 のガンマ電圧供給部からガンマ電圧の供給を受けて液晶ディスプレイパネル 140 のデータラインを駆動するソースドライバー集積素子 130 と;前記データラインを通じて供給される階調電圧によって、マトリクス形態に配列された液晶らが駆動されて画像を表示する液晶ディスプレイパネル 140 で構成される。

20

【0003】

前記ソースドライバー集積素子 130 は、上端領域のガンマ電圧($V_{P1} \sim V_{Pn}$)を、それぞれ入力を受けて該当ガンマ電圧を出力する複数のガンマバッファ($GMBP1 \sim GMBPn$)らで構成された上端ガンマ電圧バッファ部 131P 及び、下端領域のガンマ電圧($V_{N1} \sim V_{Nn}$)を、それぞれ入力を受けて該当ガンマ電圧を出力する複数のガンマバッファ($GMBN1 \sim GMBNn$)らで構成された下端ガンマ電圧バッファ部 131N と;前記上、下端ガンマ電圧バッファ部 131P、131N で出力されるデジタル信号をアナログ信号に変換するデジタル(D)/アナログ(A)変換器 132 と;前記 D/A 変換器 132 で出力されるチャンネルのアナログ電圧をバッファリングして、データラインに出力するチャンネルバッファ(CHB)を具備したチャンネルバッファ部 133 で構成される。

30

【0004】

前記液晶ディスプレイパネル 140 のデータライン(DL)は、等価回路的に見る時、複数の抵抗(R)とコンデンサ(C)ロード(Load)でなされるが、ソースドライバー集積素子 130 が液晶ディスプレイパネル 140 を駆動するためには、その R/C ロードを充電及び放電してする。

40

【0005】

データライン(DL)を以前レベルより高いレベルに駆動しなければならない場合、前記ソースドライバー集積素子 130 は、電源端子(VDD)を通じて前記軟性回路基板 120 のガンマ電圧供給部から電圧の供給を受けて前記 R/C ロードを充電(Charging)させる。データライン(DL)を以前レベルより低いレベルに駆動しなければならない場合、前記ソースドライバー集積素子 130 は、前記 R/C ロードに充電されていた電圧を接地端子(GND)側で放電(Dis-Charging)させる。図 1 で“CP”は、前記のような充電経路を示したものであり、“DCP”は放電経路を示したものである。

【0006】

50

このような充放電過程は反復的に遂行されて、この過程で電流が消耗する。この時、消耗する電流の量と、前記軟性回路基板 120 でソースドライバ集積素子 130 の電源端子(VDD)までの連結ライン上の抵抗(R_{VDD})値の大きさ、前記軟性回路基板 120 でソースドライバ集積素子 130 の接地端子(GND)までの連結ライン上の抵抗(R_{GND})値の大きさによって電源端子(VDD)の電圧はドロップ(drop)現象が発生されて、接地端子(GND)の電圧はバウンス(bouncing)現象が発生される。

【0007】

前記消耗する電流の量は、液晶ディスプレイパネル 140 上のデータライン(DL)のコンデンサ(C)の容量値に比例して、ソースドライバ集積素子 130 のチャンネルバッファ(CHB)の個数に比例する。

10

【0008】

COG(COG:Chip On Glass)方式の液晶表示装置で前記軟性回路基板 120 とソースドライバ集積素子 130 のすべての連結は、LOG(LOG:Line On Glass)方式を利用するので、すべてのLOGは数オーム(Ohm)以上の抵抗値を有するようになる。

【0009】

これによって、前記抵抗(R_{VDD})及び抵抗(R_{GND})が存在するようになる。そして、前記説明でのようにR/Cロードを充電させる時、前記抵抗(R_{VDD})を通じて電流が消費するので、電源端子(VDD)の電圧ドロップ現象が発生されて、R/Cロードを放電させる時には抵抗(R_{GND})を通じて電流が消費するので、接地端子(GND)電圧バウンス現象が発生される。

20

【0010】

このようなパワードロップ現象によって、前記ソースドライバ集積素子 130 内のガンマバッファ(GMBP1~GMBPn)、(GMBN1~GMBNn)が影響を受けるようになって、これらの出力端子がD/A変換器 132 を通じてチャンネルバッファ(CHB)の入力端子に連結されるので、これらの出力も影響を受けて変化する。

【0011】

図2は、前記説明でのようなパワードロップ現象による上、下端ガンマ電圧バッファ部 131P、131N内の任意のガンマバッファ(GMB)の出力電圧変化と、チャンネルバッファ部 133 内のチャンネルバッファ(CHB)の出力電圧の変化を示したものである。

30

【0012】

図2を説明すると、前記R/Cロードを充電させる時、電源端子(VDD)の電圧がドロップされれば、これに対応して前記ガンマバッファ(GMB)の出力電圧(GMB_OUT)がドロップされるが、ドロップ後元々のレベルで上昇する時、速かに上昇されることができずに比較的緩く上昇されることが分かる。これによって、前記チャンネルバッファ(CHB)の出力電圧(CHB_OUT)が前記ガンマバッファ(GMB)の出力電圧(GMB_OUT)と同じく緩いパターンに上昇されることが分かる。

【0013】

また、前記R/Cロードを放電させる時、接地端子(GND)の電圧がバウンスされると、これに対応して前記ガンマバッファ(GMB)の出力電圧(GMB_OUT)がバウンスされるが、バウンス後元々のレベルに降りる時、速かに下降されないで比較的緩く下降されることが分かる。これによって、前記チャンネルバッファ(CHB)の出力電圧(CHB_OUT)が前記ガンマバッファ(GMB)の出力電圧(GMB_OUT)のように緩いパターンで下降されることが分かる。

40

【0014】

このように従来液晶表示装置のソースドライバ集積素子においては、R/Cロードを充電させるか、または放電させる時ガンマバッファの出力電圧が元々のレベルで速かに復帰されないで比較的緩い速度に復帰されて、これによってチャンネルバッファの出力電圧もガンマバッファの出力電圧と類似に比較的緩い速度に復帰される問題点があった。

50

【発明の概要】

【発明が解決しようとする課題】

【0015】

したがって、本発明の目的は、液晶表示装置のソースドライバで電源端子電圧ドロップ及び接地端子電圧バウンシングが発生される時、ソースドライバ集積素子内部のガンマバッファの出力電圧回復時間を縮めるように設計することにある。

【0016】

本発明の目的らは、前で言及した目的に制限されない。本発明の他の目的及び長所らは、下の説明によってさらに明らかに理解されるであろう。

【課題を解決するための手段】

【0017】

前記のような目的を達成するための本発明は、

二つのエンモストランジスターで構成されて入力信号を差動増幅する差動増幅部と；

二つのピーモストランジスターで構成されて電流ミラーで動作する電流ミラー部と；

一つのエンモストランジスターを具備して、バイアス電圧によって前記差動増幅部をスタンバイモードからイネーブルモードに転換させるイネーブル部と；

前記電流ミラー部の二つのピーモストランジスターのドレインと前記差動増幅部の二つのエンモストランジスターのドレインを二つのダイオード結合型モストランジスターを通じてそれぞれ連結させてパワードロップ後の復帰時間を短縮させるパワードロップ速度改善部と；

ピーモストランジスター及びエンモストランジスターで構成されて前記バイアス電圧によってバイアスレベルが設定されて、前記電流ミラー部の一側の下位ノード電圧による出力電圧を発生する出力部で構成することの特徴とする。

【0018】

前記のような目的を達成するためのまた他の本発明は、

二つのピーモストランジスターで構成されて、入力信号を差動増幅する差動増幅部と；

二つのエンモストランジスターで構成されて電流ミラーで動作する電流ミラー部と；

一つのピーモストランジスターを具備してバイアス電圧によって前記差動増幅部をスタンバイモードからイネーブルモードに転換させるイネーブル部と；

前記差動増幅部の二つのピーモストランジスターのドレインと前記電流ミラー部の二つのエンモストランジスターのドレインを二つのダイオード結合型モストランジスターを通じてそれぞれ連結させて接地端子電圧バウンシング後の復帰時間を短縮させるパワードロップ速度改善部と；

エンモストランジスター及びピーモストランジスターで構成されて前記バイアス電圧によってバイアスレベルが設定されて、前記電流ミラー部の一側の上位ノード電圧による出力電圧を発生する出力部で構成することの特徴とする。

【発明の効果】

【0019】

本発明は、液晶表示装置のソースドライバに適用されるガンマバッファ回路で差動増幅部と電流ミラー部のモストランジスターらを、ダイオード結合型モストランジスターを通じて連結させることで、電源端子電圧ドロップ後復帰時間及び接地端子電圧バウンシング後復帰時間が減る。また、入力トランジスターのマッチング特性が改善して、これによってランダムオフセット(random offset)が低減される効果がある。

【図面の簡単な説明】

【0020】

【図1】従来技術による液晶表示装置の駆動回路に対するブロック図である。

【図2】従来液晶表示装置のソースドライバでパワードロップによるガンマバッファ及びチャンネルバッファの出力電圧の変化を示した波形図である。

【図3】本発明による液晶表示装置のソースドライバの第1実施例の回路図である。

【図4】本発明による液晶表示装置のソースドライバの第2実施例の回路図である。

10

20

30

40

50

【図 5】本発明による液晶表示装置のソースドライバでパワードロップによるガンマバッファ及びチャンネルバッファの出力電圧の変化を示した波形図である。

【図 6】(a)、(b)は、本発明によってパワードロップ及び接地電圧バウンシングに対する復帰時間が短縮されたことを示した波形図である。

【発明を実施するための形態】

【0021】

以下、添付した図面を参照して本発明の望ましい実施例を詳しく説明すれば次のようである。

【0022】

図 3 は、本発明による液晶表示装置のソースドライバ回路に適用されたポジティブガンマバッファ(Positive Gamma Buffer)の回路図として、これに示したところのように、差動増幅部 310 と;電流ミラー部 320 と;イネーブル部 330 と;パワードロップ速度改善部 340 と;出力部 350 を含んで構成する。

10

【0023】

差動増幅部 310 は、エンモストランジスタ M31、M32 を具備する。前記エンモストランジスタ M31 のゲートは、入力端子(IN)に連結されて、エンモストランジスタ M32 のゲートは出力端子(OUT)に連結される。

【0024】

電流ミラー部 320 は、ピーモストランジスタ M33、M34 を具備する。前記ピーモストランジスタ M33、M34 のソースが電源端子(VDD)に共通で連結される。前記ピーモストランジスタ M34 は、ゲートとドレインが連結されたダイオード結合型トランジスタである。

20

【0025】

イネーブル部 330 は、エンモストランジスタ M35 を具備して、前記差動増幅部 310 をスタンバイモードからイネーブルモードに転換させる役割を遂行する。すなわち、前記エンモストランジスタ M35 はバイアス電圧(Bias)が“ハイ”に供給される時ターンオンされて、前記差動増幅部 310 のエンモストランジスタ M31、M32 のソースを接地端子(GND)に連結するので、その差動増幅部 310 が活性化モードに転換される。これによって、前記差動増幅部 310 のエンモストランジスタ M31 が入力端子(IN)に入力される信号に相応されるように動作して、これによって下位ノード(N1)の電圧が決まる。

30

【0026】

パワードロップ速度改善部 340 は、ダイオード形態で連結されたピーモストランジスタ M36、M37 を具備する。前記ピーモストランジスタ M36、M37 のソースは前記電流ミラー部 320 のピーモストランジスタ M33、M34 のドレインに連結されて、ドレインは前記差動増幅部 310 のエンモストランジスタ M31、M32 のドレインに連結される。

【0027】

前記説明ではモストランジスタ M36、M37 を、ピーモストランジスタを例にして説明したが、エンモストランジスタで具現しても同一な効果を得ることができる。

40

【0028】

出力部 350 は、ピーモストランジスタ M38 とエンモストランジスタ M39 を具備する。前記ピーモストランジスタ M38 のソースは、電源端子(VDD)に連結されて、ゲートは前記下位ノード(N1)に連結される。そして、前記ピーモストランジスタ M38 のドレインが出力端子(OUT)、前記エンモストランジスタ M32 のゲート及び、ソースが前記接地端子(GND)に連結された前記エンモストランジスタ M39 のドレインに共通で連結される。

【0029】

前記バイアス電圧(Bias)によって前記エンモストランジスタ M39 のバイアスレベルが決まって、前記のように決まる下位ノード(N1)の電圧によって前記ピーモストランジ

50

スター M 3 8 が動作されて、それによる電圧が出力端子 (O U T) に出力される。結局、前記入力端子 (I N) に入力される信号に相応される出力電圧 (O U T) が出力される。

【 0 0 3 0 】

図 5 でのように、ガンマバッファでパワードロップ、すなわち、電源端子 (V D D) 電圧のドロップ (Drop) が発生されれば、ガンマバッファの出力電圧 (O U T) のドロップは、その電源端子 (V D D) 電圧のドロップより大きく現われる。この時、ガンマバッファの出力電圧 (O U T) が入力電圧 (I N) より低い状態になるので、その出力電圧 (O U T) のレベルを入力電圧 (I N) のレベルまで上昇させ始める。このために前記ピーモストランジスター M 3 8 のゲート電圧、すなわち、前記下位ノード (N 1) の電圧を下降させるようになる。

10

【 0 0 3 1 】

ところが、前記説明でのように電流ミラー部 3 2 0 のロード (Load) トランジスターであるピーモストランジスター M 3 3、M 3 4 のドレインを前記ダイオード形態で連結されたパワードロップ速度改善部 3 4 0 のピーモストランジスター M 3 6、M 3 7 を通じて前記差動増幅部 3 1 0 のエンモストランジスター M 3 1、M 3 2 のドレインに連結したので、そのトランジスター M 3 3、M 3 4、M 3 1、M 3 2) の間に前記ピーモストランジスター M 3 6、M 3 7 のドレイン-ソース間の電圧 (V D S) がしきい電圧以上にかかるようになる。

【 0 0 3 2 】

これによって、前記ピーモストランジスター M 3 8 のゲートの動作範囲がそれほど減るようになる。言い替えれば、前記下位ノード (N 1) の電圧が下降される時、最大に下降されることができるレベルが前記ピーモストランジスター M 3 6、M 3 7 のしきい電圧程度制限されるので、前記ピーモストランジスター M 3 8 のゲートの動作範囲がそれほど減るようになる。

20

【 0 0 3 3 】

結局、電源端子 (V D D) 電圧のドロップによってガンマバッファの出力電圧 (O U T) がドロップされるが、これを元々のレベルに復帰させるために下位ノード (N 1) の電圧を下降させるようになる。ところが、前記下位ノード (N 1) の電圧が前記ピーモストランジスター M 3 6、M 3 7 がある時、ない時に比べて前記しきい電圧程度不十分に下降される。このように前記下位ノード (N 1) の電圧が前記しきい電圧程度不十分に下降されるので、また元々のレベルに上昇させる時それほど復帰時間が短縮される。これによってガンマバッファの出力電圧 (O U T) の回復時間もそれほど早めになるようになる (図 5 参照)。

30

【 0 0 3 4 】

一方、図 4 は、本発明による液晶表示装置のソースドライバ回路に適用されたネガティブガンマバッファ (Negative Gamma Buffer) の回路図として、これに示したところのように、差動増幅部 4 1 0 と; 電流ミラー部 4 2 0 と; イネーブル部 4 3 0 と; パワードロップ速度改善部 4 4 0 と; 出力部 4 5 0 を含んで構成する。

【 0 0 3 5 】

前記図 3 と図 4 は、基本的な動作原理は同一であるが、図 3 が電源端子電圧のドロップに対応するためのポジティブ型ガンマバッファであることに比べて、図 4 は接地端子電圧のバウンシングに対応したネガティブ型ガンマバッファということに差がある。

40

【 0 0 3 6 】

差動増幅部 4 1 0 は、ピーモストランジスター M 4 1、M 4 2 を具備する。前記ピーモストランジスター M 4 1 のゲートは入力端子 (I N) に連結されて、ピーモストランジスター M 4 2 のゲートは出力端子 (O U T) に連結される。

【 0 0 3 7 】

電流ミラー部 4 2 0 は、エンモストランジスター M 4 3、M 4 4 を具備する。前記エンモストランジスター M 4 3、M 4 4 のソースが接地端子 (G N D) に共通で連結される。前記エンモストランジスター M 4 4 は、ゲートとドレインが連結されたダイオード結合型トランジスターである。

50

【 0 0 3 8 】

イネーブル部 4 3 0 は、ピーモストランジスター M 4 5 を具備して前記差動増幅部 4 1 0 をスタンバイモードからイネーブルモードに転換させる役割を遂行する。すなわち、前記ピーモストランジスター M 4 5 は、バイアス電圧(Bias)がロー'に供給される時ターンオンされて、前記差動増幅部 4 1 0 のピーモストランジスター M 4 1、M 4 2 のソースを電源端子(VDD)に連結するので、その差動増幅部 4 1 0 が活性化モードに転換される。これによって、前記差動増幅部 4 1 0 のピーモストランジスター M 4 1 が入力端子(IN)に入力される信号に相応されるように動作して、これによって上位ノード(N2)の電圧が決まる。

【 0 0 3 9 】

パワードロップ速度改善部 4 4 0 は、ダイオード形態で連結されたエンモストランジスター M 4 6、M 4 7 を具備する。前記エンモストランジスター M 4 6、M 4 7 のソースは、前記電流ミラー部 4 2 0 のエンモストランジスター M 4 3、M 4 4 のドレインに連結されて、ドレインは前記差動増幅部 4 1 0 のピーモストランジスター M 4 1、M 4 2 のドレインに連結される。

【 0 0 4 0 】

前記説明ではモストランジスター M 4 6、M 4 7 を、エンモストランジスターを例にして説明したが、ピーモストランジスターで具現しても同一な効果を得ることができる。

【 0 0 4 1 】

出力部 4 5 0 は、エンモストランジスター M 4 8 とピーモストランジスター M 4 9 を具備する。前記エンモストランジスター M 4 8 のソースは、接地端子(GND)に連結されてゲートは、前記上位ノード(N2)に連結される。そして、前記エンモストランジスター M 4 8 のドレインが出力端子(OUT)、前記ピーモストランジスター M 4 2 のゲート及びソースが電源端子(VDD)に連結された前記ピーモストランジスター M 4 9 のドレインに共通で連結される。

【 0 0 4 2 】

前記バイアス電圧(Bias)によって前記ピーモストランジスター M 4 9 のバイアスレベルが決まって、前記のように決まる上位ノード(N2)の電圧によって前記エンモストランジスター M 4 8 が動作されて、それによる電圧が出力端子(OUT)に出力される。結局、前記入力端子(IN)に入力される信号に相応される出力電圧(OUT)が出力される。

【 0 0 4 3 】

図 5 でのように、ガンマバッファで接地端子(GND)電圧のバウンシングが発生されれば、ガンマバッファの出力電圧(OUT)のバウンシングは、その接地端子(GND)電圧のバウンシングより大きく現われる。この時、ガンマバッファの出力電圧(OUT)が入力電圧(IN)より高い状態になるので、その出力電圧(OUT)のレベルを入力電圧(IN)のレベルまで下降させ始める。このために前記エンモストランジスター M 4 8 のゲート電圧、すなわち、前記上位ノード(N2)の電圧を上昇させるようになる。

【 0 0 4 4 】

ところが、前記説明でのように電流ミラー部 4 2 0 のロード(Load)トランジスターであるエンモストランジスター M 4 3、M 4 4 のドレインを前記ダイオード形態で連結されたパワードロップ速度改善部 4 4 0 のエンモストランジスター M 4 6、M 4 7 を通じて前記差動増幅部 4 1 0 のピーモストランジスター M 4 1、M 4 2 のドレインに連結したので、そのトランジスター M 4 3、M 4 4、M 4 1、M 4 2 との間に前記エンモストランジスター M 4 6、M 4 7 のドレイン-ソース間の電圧(VDS)がしきい電圧以上にかかるようになる。

【 0 0 4 5 】

これによって、前記エンモストランジスター M 4 8 のゲートの動作範囲がそれほど減るようになる。言い替えれば、前記上位ノード(N2)の電圧が上昇される時、最大に上昇されることができるレベルが前記エンモストランジスター M 4 6、M 4 7 のしきい電圧程度制限されるので、前記エンモストランジスター M 4 8 のゲートの動作範囲がそれほど減るよ

10

20

30

40

50

うになる。

【 0 0 4 6 】

結局、接地端子(GND)電圧のバウンシングによってガンマバッファの出力電圧(OUT)がバウンシングされるが、これを元々のレベルに復帰させるために、上位ノード(N2)の電圧を上昇させるようになる。ところが、前記上位ノード(N2)の電圧が前記エンモストランジスタM46、M47がある時、ない時に比べて前記しきい電圧程度不十分に上昇される。このように前記上位ノード(N2)の電圧が前記しきい電圧程度不十分に上昇されるので、また元々のレベルに下降させる時、それほど復帰時間が短縮される。これによってガンマバッファの出力電圧(OUT)の回復時間もそれほど早めになるようになる(図5参照)。

10

【 0 0 4 7 】

一方、図6の(a)、(b)は、本発明によってパワードロップに対する復帰時間が短縮されたことと接地端子電圧のバウンシングに対する復帰時間が短縮されたことを示したものである。すなわち、前記図3及び図4でのように動作するガンマバッファによって、チャンネルバッファの出力電圧のライジング(rising)タイム(T1)とポーリング(falling)タイム(T3)が改善されたことを分かる。また、前記図3及び図4でのように動作するガンマバッファによってチャンネルバッファのセッティングタイム(T2)、(T4)が改善されたことを分かる。

【 0 0 4 8 】

以上で本発明の望ましい実施例に対して詳しく説明したが、本発明の権利範囲がこれに限定されるものではなく、次の請求範囲で定義する本発明の基本概念を土台により多様な実施例に具現されることができし、このような実施例らも本発明の権利範囲に属するものである。

20

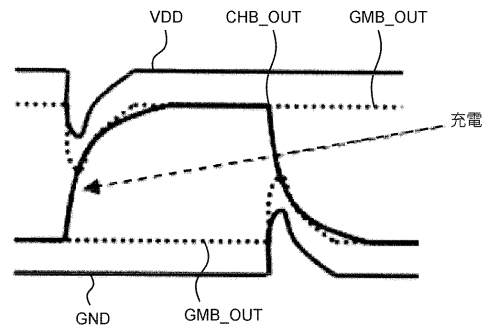
【 符号の説明 】

【 0 0 4 9 】

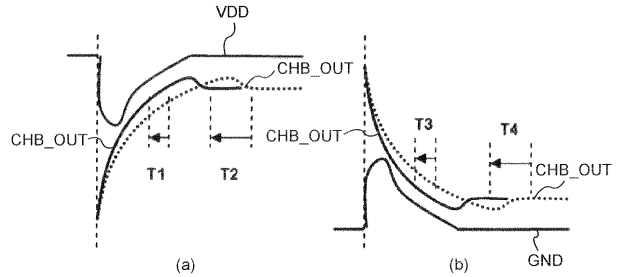
310、410 差動増幅部
320、420 電流ミラー部
330、430 イネーブル部
340、440 パワードロップ速度改善部
350、450 出力部

30

【 図 2 】



【 図 6 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 3 F 1/22
H 0 3 K 17/687 A

(72)発明者 宋 賢▲みん▼

大韓民国忠北清州市興徳區慕忠洞 サムホ・アパートメント102-304

(72)発明者 孫 英碩

大韓民国大田市儒城區官坪洞 テクノ・バレー・プルギオ・アパートメント210-410

(72)発明者 金 志勳

大韓民国大田市儒城區田民洞 459-6 チョウォン・ピラ401

(72)発明者 羅 俊▲ほ▼

大韓民国大田市西區屯山2洞 水晶アパートメント8-608

F ターム(参考) 2H193 ZA02 ZD23 ZD32 ZE21 ZF05 ZF13 ZF34 ZF35 ZF36 ZF43
ZH46 ZH52
5C006 AC21 AF50 AF83 BB16 BC12 BF25 BF43 FA14 FA26
5C080 AA10 BB05 DD05 DD08 EE29 FF01 FF11 JJ03 JJ04
5J055 AX02 BX16 CX12 CX30 DX12 EX07 EY21 EZ03 EZ04 EZ08
FX05 FX12 GX01 GX05
5J500 AA01 AA12 AC65 AF10 AH10 AK09 AS08 AT01 AT06

专利名称(译)	液晶显示装置的源极驱动电路		
公开(公告)号	JP2011133896A	公开(公告)日	2011-07-07
申请号	JP2010288275	申请日	2010-12-24
[标]申请(专利权)人(译)	硅工厂股份有限公司		
申请(专利权)人(译)	硅厂有限公司		
[标]发明人	宋賢みん 孫英碩 金志勳 羅俊ほ		
发明人	宋 賢▲みん▼ 孫 英碩 金 志勳 羅 俊▲ほ▼		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 H03F1/22 H03K17/687		
CPC分类号	G09G3/36 G09G3/3685 G09G3/3696 G09G2300/0408 G09G2320/0252		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.623.B G09G3/20.611.J G09G3/20.612.F H03F1/22 H03K17/687. A		
F-TERM分类号	2H193/ZA02 2H193/ZD23 2H193/ZD32 2H193/ZE21 2H193/ZF05 2H193/ZF13 2H193/ZF34 2H193/ZF35 2H193/ZF36 2H193/ZF43 2H193/ZH46 2H193/ZH52 5C006/AC21 5C006/AF50 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BF25 5C006/BF43 5C006/FA14 5C006/FA26 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD08 5C080/EE29 5C080/FF01 5C080/FF11 5C080/JJ03 5C080/JJ04 5J055/AX02 5J055/BX16 5J055/CX12 5J055/CX30 5J055/DX12 5J055/EX07 5J055/EY21 5J055/EZ03 5J055/EZ04 5J055/EZ08 5J055/FX05 5J055/FX12 5J055/GX01 5J055/GX05 5J500/AA01 5J500/AA12 5J500/AC65 5J500/AF10 5J500/AH10 5J500/AK09 5J500/AS08 5J500/AT01 5J500/AT06		
代理人(译)	山田卓司 田中，三夫		
优先权	1020090130991 2009-12-24 KR		
外部链接	Espacenet		

摘要(译)

要解决的问题提供一种技术，用于减少液晶显示装置的源极驱动器集成装置中的功率下降的恢复时间。在应用于根据本发明的源极驱动器的伽马缓冲器电路中，差分放大部分的MOS晶体管和电流镜部分的MOS晶体管不直接连接，而是通过二极管耦合的MOS晶体管连接。结果，输出端的MOS晶体管的栅极的操作范围被二极管耦合的MOS晶体管的修饰保持电压降低。结果，降低了电源端电压下降后的恢复时间和接地端电压反弹后的返回时间，提高了输入晶体管的匹配特性，从而减小了随机偏移。点域

