

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-164714

(P2010-164714A)

(43) 公開日 平成22年7月29日(2010.7.29)

(51) Int.Cl.			F I	テーマコード (参考)	
G09F	9/30	(2006.01)	G09F 9/30 330Z	2G036	
G02F	1/133	(2006.01)	G02F 1/133 550	2H088	
G01R	31/00	(2006.01)	G01R 31/00	2H092	
G02F	1/13	(2006.01)	G02F 1/13 101	2H093	
G09F	9/00	(2006.01)	G09F 9/00 352	5C006	
			審査請求 未請求 請求項の数 4 O L (全 17 頁) 最終頁に続く		

(21) 出願番号 特願2009-6077 (P2009-6077)
(22) 出願日 平成21年1月14日 (2009.1.14)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(74) 代理人 110000637
特許業務法人樹之下知的財産事務所
(72) 発明者 前田 晃利
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
Fターム(参考) 2G036 AA25 BA33 BB12 CA06
2H088 FA12 FA13 FA30 HA02 HA08
MA20
2H092 GA33 GA41 HA04 HA19 JB14
MA35 MA57 MA58 NA27 NA30
PA06 PA08

最終頁に続く

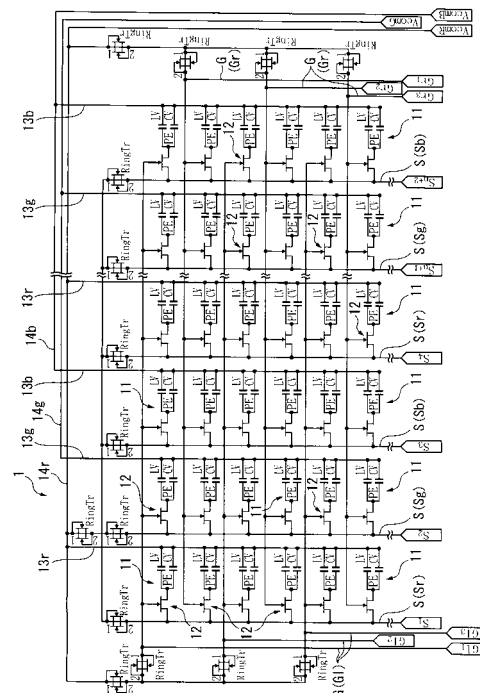
(54) 【発明の名称】 表示体、検査装置、および検査方法

(57) 【要約】

【課題】製造効率性が良好で、かつ簡単構成で精度よくリーク電流を検出可能な表示体、検査装置、および検査方法を提供する。

【解決手段】液晶パネル1は、互いに対向する駆動基板および対向基板と、これらの駆動基板および対向基板の間に封入される電気光学材料と、駆動基板に設けられて、互いに直交する複数のソース線Sおよび複数のゲート線Gと、ソース線Sおよびゲート線Gとの交差部に設けられ、ソース線からの入力される電荷を電気光学材料に印加する画素電極PEと、ゲート線Gから入力される駆動信号に応じて、ソース線Sから画素電極PEへの電荷の印加状態を切り替えるTFT12と、対向基板に設けられるとともに、画素電極PEに接続される複数の共通電極線と、複数の共通電極線を2相以上に分割し、これら各相の前記共通電極線をそれぞれ結線する複数の共通電極検査線と、を具備した。

【選択図】図1



【特許請求の範囲】

【請求項 1】

互いに対向する駆動基板および対向基板と、
これらの駆動基板および対向基板の間に封入される電気光学材料と、
前記駆動基板に設けられるとともに、互いに直交する複数のソース線および複数のゲート線と、
前記複数のソース線および前記複数のゲート線との交差部近傍に設けられ、前記ソース線に出力された電荷を前記電気光学材料に印加する複数の画素電極と、
前記ゲート線、前記ソース線、および前記画素電極に接続されるとともに、前記ゲート線から入力されるゲート信号に応じて、前記ソース線から前記画素電極への電荷の印加状態を切り替えるスイッチング素子と、
前記対向基板に設けられるとともに、前記画素電極に接続される複数の共通電極線と、
複数の前記共通電極線を 2 相以上に分割し、これら各相の前記共通電極線をそれぞれ結線する複数の共通電極検査線と、
を具備したことを特徴とする表示体。

10

【請求項 2】

請求項 1 に記載の表示体において、
前記ソース線は、赤色用ソース信号が入力される R ソース線、緑色用ソース信号が入力される G ソース線、および青色用ソース信号が入力される B ソース線を備え、
前記共通電極線は、各色ソース線に対応してそれぞれ設けられる、R 共通電極線、G 共通電極線、および B 共通電極線を備え、
前記共通電極検査線は、R 共通電極線同士、G 共通電極線同士、および B 共通電極線同士をそれぞれ結線することを特徴とする表示体。

20

【請求項 3】

互いに対向する駆動基板および対向基板と、これらの駆動基板および対向基板の間に封入される電気光学材料と、前記駆動基板に設けられるとともに、互いに直交する複数のソース線および複数のゲート線と、前記複数のソース線および前記複数のゲート線との交差部近傍に設けられ、前記ソース線に出力された電荷を前記電気光学材料に印加する複数の画素電極と、前記ゲート線、前記ソース線、および前記画素電極に接続されるとともに、
前記ゲート線から入力されるゲート信号に応じて、前記ソース線から前記画素電極への電荷の印加状態を切り替えるスイッチング素子と、前記対向基板に設けられるとともに、前記画素電極に接続される複数の共通電極線と、複数の前記共通電極線を 2 相以上に分割し、これら各相の前記共通電極線をそれぞれ結線する複数の共通電極検査線と、を具備した表示体におけるリーク欠陥を検査する検査装置であって、
複数の前記ゲート線に接触して、これらの接触した複数のゲート線を一括短絡させるとともに、ゲート検査端子に接続されるゲートプローブと、
複数の前記ソース線に接触して、これらの接触した複数のソース線を一括短絡させるとともに、ソース検査端子に接続されるソースプローブと、
各共通電極検査線に接続されるとともに、共通電極検査端子に接続される複数の共通電極プローブと、
前記ソースプローブと前記ソース線との接続状態を、切断および接続のうち少なくともいずれか一方に切り替えるソース接続切替手段と、
前記共通電極検査端子のうち、検査対象以外の共通電極検査端子に交流電圧を印加する交流電圧印加手段と、
検査対象となる前記共通電極検査端子に流れるリーク電流を検出する電流検出手段と、
を備えたことを特徴とする検査装置。

30

40

【請求項 4】

互いに対向する駆動基板および対向基板と、これらの駆動基板および対向基板の間に封入される電気光学材料と、前記駆動基板に設けられるとともに、互いに直交する複数のソ

50

ース線および複数のゲート線と、前記複数のソース線および前記複数のゲート線との交差部近傍に設けられ、前記ソース線に出力された電荷を前記電気光学材料に印加する複数の画素電極と、前記ゲート線、前記ソース線、および前記画素電極に接続されるとともに、前記ゲート線から入力されるゲート信号に応じて、前記ソース線から前記画素電極への電荷の印加状態を切り替えるスイッチング素子と、前記対向基板に設けられるとともに、前記画素電極に接続される複数の共通電極線と、複数の前記共通電極線を2相以上に分割し、これら各相の前記共通電極線をそれぞれ結線する複数の共通電極検査線と、を具備した表示体におけるリーク欠陥を検査する検査方法であって、

ゲート検査端子に接続されるゲートプローブを複数の前記ゲート線に接触させて、これらの接触した複数のゲート線を一括短絡させ、

ソース検査端子に接続されるソースプローブを、複数の前記ソース線から離隔させて各ソース線をオープン状態とし、

共通電極検査端子に接続される共通電極プローブを各共通電極検査線に接続し、

前記共通電極検査端子のうち、検査対象以外の共通電極検査端子に交流電圧を印加し、検査対象となる前記共通電極検査端子に流れるリーク電流を検出する

ことを特徴とする検査方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像を表示する表示体、この表示体における線間リーク欠陥を検査する検査装置、およびその検査方法に関する。

【背景技術】

【0002】

従来、液晶パネルなどの表示体において、表示体の表示異常を検査する検査装置や検査方法が知られている。（例えば、特許文献1～特許文献3参照）。

【0003】

特許文献1では、液晶パネルは、複数の信号電極および複数の走査電極を備えている。そして、液晶パネルの検査時において、信号電極を信号電極用導電性部材に、また走査電極を走査電極用導電性部材に接触させて、各信号電極、各走査電極をそれぞれ短絡させる。この状態で、全信号線に所定の駆動電圧を印加し、例えば白一色または黒一色の画像を表示させ、その画像を目視または、カメラでの撮像により観測することで表示領域内の欠陥を検出する。

【0004】

特許文献2では、液晶パネルは、複数のゲートバスライン、複数のソースバスラインを備え、検査装置により検査を実施する際には、各ゲートバスラインおよび各ソースバスラインを、それぞれ検査装置に設けられる検査用の端子に接触させて接続する。この検査装置では、ゲートバスラインを接続する端子は、奇数番目と偶数番目とに分離され、共通配線により結線され、それぞれ対応した検査端子に接続され、ソースバスラインに接続される端子は、共通配線により結線され、所定の検査端子に接続される。そして、これら共通配線に接続される検査端子に順次所定の電圧の印加し、リーク欠陥を検出する。

【0005】

特許文献3では、液晶表示パネル上に、複数の映像信号配線（ソース線）を、それぞれの色（RGB）に応じた共通バス配線により結線する構成が採られており、検査装置により検査する際に検査装置の端子と、この共通バス配線の端部とを接触させることでリーク欠陥検出を実施する。また、この液晶表示パネルでは、欠陥検出の終了後に、レーザーカットにより表示領域のみをカットして製品化する。

【0006】

【特許文献1】特開平9-329799号公報

【特許文献2】特開平7-294374号公報

【特許文献3】特開平9-185072号公報

10

20

30

40

50

【発明の開示】

【発明が解決しようとする課題】

【0007】

ところで、上記特許文献1に記載のような検査装置および検査方法では、全信号電極、および2相以上に分割された走査電極を、導電性部材により一括短絡させることで、欠陥検査を実施している。このような検査方法では、隣接画素間や、配線間にリークがあった場合、検出が困難となる問題がある。

一方、特許文献2に記載の検査装置および検査方法では、画素間や配線間のリークを検出できるが、ゲートバスラインやソースバスラインの各端子に対して、それぞれ検査用の端子を接触させて接続する必要があるため、検査装置の構成が複雑化し、高価な装置が必要となり、正確に端子同士を接触させるための要求アライメント精度も高くなる。

また、特許文献3に記載の方法では、検査後にレーザーカットによる切断工程が必要となるため、製造工程が増えるという問題がある。

【0008】

本発明は、上述のような問題に鑑みて、製造効率性が良好で、かつ簡単構成で精度よくリーク電流を検出可能な表示体、検査装置、および検査方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の表示体は、互いに対向する駆動基板および対向基板と、これらの駆動基板および対向基板の間に封入される電気光学材料と、前記駆動基板に設けられるとともに、互いに直交する複数のソース線および複数のゲート線と、前記複数のソース線および前記複数のゲート線との交差部近傍に設けられ、前記ソース線に出力された電荷を前記電気光学材料に印加する複数の画素電極と、前記ゲート線、前記ソース線、および前記画素電極に接続されるとともに、前記ゲート線から入力されるゲート信号に応じて、前記ソース線から前記画素電極への電荷の印加状態を切り替えるスイッチング素子と、前記対向基板に設けられるとともに、前記画素電極に接続される複数の共通電極線と、複数の前記共通電極線を2相以上に分割し、これら各相の前記共通電極線をそれぞれ結線する複数の共通電極検査線と、を具備したことを特徴とする。

【0010】

この発明によれば、表示体は、共通電極線がそれぞれ複数相に分割されている。このような表示体では、リーク電流の検査時において、各ソース線、各ゲート線をそれぞれ一括短絡させるプローブパンプを用い、これらのプローブパンプに所定のテスト電圧を印加させてテスト画像を表示させることで、容易に表示領域中の画素欠陥を検査することができる。また、各ゲート線のみをプローブパンプで一括短絡させ、ソース線をオープン状態にし、検査対象となるソース線に、画素電極を介して接続された共通電極線に対応した共通電極検査線に例えば電流計などリーク電流を検出する検出手段を接続する。そして、他の共通電極検査線に交流電圧を印加し、検出手段に流れる電流を検査する。このような検査方法を実施することで、ソース線間に発生するリーク電流をも容易に検査することができる。この場合でも、各ゲート線は、プローブパンプなどにより一括短絡させるだけの簡単な配線でよいから、検査装置において、各ゲート線を接続する接続端子が不要となり、検査装置の構成を簡単にでき、容易な検査方法によりリーク電流の検査を実施できる。

また、各ソース線やゲート線が複数相に分割されて結線されるなどの構成ではなく、それぞれ単独で駆動基板上に設けられているため、欠陥検査終了後にレーザーカットなどによる切断工程が不要となり、製造工程も簡単にできる。

【0011】

本発明の表示体では、前記ソース線は、赤色用ソース信号が入力されるRソース線、緑色用ソース信号が入力されるGソース線、および青色用ソース信号が入力されるBソース線を備え、前記共通電極線は、各色ソース線に対応してそれぞれ設けられる、R共通電極線、G共通電極線、およびB共通電極線を備え、前記共通電極検査線は、R共通電極線同

10

20

30

40

50

士、G 共通電極線同士、および B 共通電極線同士をそれぞれ結線することが好ましい。

【0012】

この発明によれば、各色ソース線に対応する各共通電極線をそれぞれ共通電極検査線にて結線している。このため、表示体の検査時において、各色毎に線間リーク電流の検査を実施することができ、検査効率を向上させることができる。

【0013】

本発明の検査装置は、互いに対向する駆動基板および対向基板と、これらの駆動基板および対向基板の間に封入される電気光学材料と、前記駆動基板に設けられるとともに、互いに直交する複数のソース線および複数のゲート線と、前記複数のソース線および前記複数のゲート線との交差部近傍に設けられ、前記ソース線に出力された電荷を前記電気光学材料に印加する複数の画素電極と、前記ゲート線、前記ソース線、および前記画素電極に接続されるとともに、前記ゲート線から入力されるゲート信号に応じて、前記ソース線から前記画素電極への電荷の印加状態を切り替えるスイッチング素子と、前記対向基板に設けられるとともに、前記画素電極に接続される複数の共通電極線と、複数の前記共通電極線を 2 相以上に分割し、これら各相の前記共通電極線をそれぞれ結線する複数の共通電極検査線と、を具備した表示体におけるリーク欠陥を検査する検査装置であって、複数の前記ゲート線に接触して、これらの接触した複数のゲート線を一括短絡させるとともに、ゲート検査端子に接続されるゲートプローブと、複数の前記ソース線に接触して、これらの接触した複数のソース線を一括短絡させるとともに、ソース検査端子に接続されるソースプローブと、各共通電極検査線に接続されるとともに、共通電極検査端子に接続される複数の共通電極プローブと、前記ソースプローブと前記ソース線との接続状態を、切断および接続のうち少なくともいずれか一方に切り替えるソース接続切替手段と、前記共通電極検査端子のうち、検査対象以外の共通電極検査端子に交流電圧を印加する交流電圧印加手段と、検査対象となる前記共通電極検査端子に流れるリーク電流を検出する電流検出手段と、を備えたことを特徴とする。

10

20

【0014】

また、本発明の検査方法は、互いに対向する駆動基板および対向基板と、これらの駆動基板および対向基板の間に封入される電気光学材料と、前記駆動基板に設けられるとともに、互いに直交する複数のソース線および複数のゲート線と、前記複数のソース線および前記複数のゲート線との交差部近傍に設けられ、前記ソース線に出力された電荷を前記電気光学材料に印加する複数の画素電極と、前記ゲート線、前記ソース線、および前記画素電極に接続されるとともに、前記ゲート線から入力されるゲート信号に応じて、前記ソース線から前記画素電極への電荷の印加状態を切り替えるスイッチング素子と、前記対向基板に設けられるとともに、前記画素電極に接続される複数の共通電極線と、複数の前記共通電極線を 2 相以上に分割し、これら各相の前記共通電極線をそれぞれ結線する複数の共通電極検査線と、を具備した表示体におけるリーク欠陥を検査する検査方法であって、ゲート検査端子に接続されるゲートプローブを複数の前記ゲート線に接触させて、これらの接触した複数のゲート線を一括短絡させ、ソース検査端子に接続されるソースプローブを、複数の前記ソース線から離隔させて各ソース線をオープン状態とし、共通電極検査端子に接続される共通電極プローブを各共通電極検査線に接続し、前記共通電極検査端子のうち、検査対象以外の共通電極検査端子に交流電圧を印加し、検査対象となる前記共通電極検査端子に流れるリーク電流を検出することを特徴とする。

30

40

【0015】

これらの発明によれば、上記発明と同様に、表示体の検査時において、ソース検査端子とソース線との接続が切断された状態で、複数の共通電極検査線のうちの検査対象以外の共通電極検査端子に交流電圧を印加し、検査対象となる共通電極検査端子に流れるリーク電流を電流検出手段で検査することで、検査装置に複雑な接続端子を設ける必要がなく、簡単な構成で容易に精度よくリーク電流欠陥の有無を検査することができる。

【発明を実施するための最良の形態】

【0016】

50

以下、本発明の一実施の形態に係る表示体である液晶パネル、およびこの液晶パネルのリーク欠陥を検査する検査装置について、図面に基づいて説明する。

【 0 0 1 7 】

〔液晶パネルの構成〕

図 1 は、本発明の一実施の形態に係る液晶パネルの概略構成を示す図である。

図 1 において、1 は、本発明の表示体を構成する液晶 T F T (Thin Film Transistor) パネル 1 (以降、液晶パネル 1 と称す) であり、この液晶パネル 1 は、入力される信号に基づいて、基本色として例えば赤色 (R)、緑色 (G)、青色 (B) を混色してカラー画像を表示させる装置である。なお、本実施の形態では、電気光学材料である液晶としてアモルファスシリコンが用いられるアモルファス T F T パネルを例示するが、例えば、L T P S - T F T パネル (Low-Temperature Poly-Silicon TFT: 低温ポリシリコン T F T 液晶パネル)、H T P S - T F T パネル (High Temperature Poly-Silicon TFT: 高温ポリシリコン T F T 液晶パネル) など、液晶としてポリシリコンが用いられる T F T であってもよい。また、表示体として液晶パネル 1 を例示したが、これに限定されず、例えば電気光学材料としてジアミンやアントラセンなどの有機物が採用された O L E D パネル (Organic Light Emitting Diode: 有機 E L) などの表示パネルにも利用できる。

10

【 0 0 1 8 】

この液晶パネル 1 は、詳細な図面は省略するが、筐体内に対向配置された一对の透明基板 (駆動基板および対向基板) と、これらの透明基板間を複数の領域に分割するスペーサと、を備え、これらの一对の透明基板およびスペーサにて囲われる領域に画素 1 1 が形成されている。ここで、液晶パネル 1 では、列方向に沿って単一の基本色 (R、G、B) を発色する画素 1 1 が配列され、行方向に沿ってこれらの画素 1 1 が R、G、B の配列順で繰り返し配列されている。具体的には、液晶パネル 1 に対向して、各画素 1 1 の基本色に対応した波長の光束のみを透過させる図示しない偏向フィルタが設けられている。これにより、各画素 1 1 では、偏向フィルタを透過した基本色の光束のみが透過されることとなる。

20

【 0 0 1 9 】

駆動基板には、互いに直交する複数のゲート線 G およびソース線 S (S 1 , S 2 , S 3 , ... S n) が配設されている。ゲート線 G は、液晶パネル 1 の例えば水平方向の左右 (図 1 における左右) に分割される。具体的には、ゲート線 G は、信号入力端が左側に設けられる L ゲート線 G l (G l 1 , G l 2 , G l 3 ...) と、信号入力端が右側に設けられる R ゲート線 G r (G r 1 , G r 2 , G r 3 ...) と、を備えている。これら L ゲート線 G l および R ゲート線 G r は、図 1 に示すように水平方向に沿って配線され、かつ水平方向に直交する垂直方向に沿って、L ゲート線 G l 1 , R ゲート線 G r 1 , L ゲート線 G l 2 ... といった状態に、交互に配列されている。ソース線 S は、垂直方向に沿って配線されている。また、ここでソース線 S は、R G B の各色画素に対応して、赤色画像信号が入力される R ソース線 (S 1 , S 4 , S 7 ... S n)、緑色画像信号が入力される G ソース線 (S 2 , S 5 , S 8 ... S n + 1)、および青色画像信号が入力される B ソース線 (S 3 , S 6 , S 9 ... S n + 2) を備え、R ソース線、G ソース線、B ソース線の順に交互に配設されている。なお、以降の説明において、R ソース線を R ソース線 S r , G ソース線を G ソース線 S g、B ソース線を B ソース線 S b と称す。

30

40

また、各ソース線 S および各ゲート線 G の終端部には、それぞれリングトランジスタ (R i n g T r) が接続され、このリングトランジスタを介して例えば R 共通電極検査線 1 4 r (G 共通電極検査線 1 4 g や B 共通電極検査線 1 4 b であってもよい) に接続される。ここで、このリングトランジスタは、回路に発生する静電気を除去して静電保護処理をするとともに、ゲート線 G やソース線 S を流れる電流量を一定に維持する。これにより、ゲート線 G やソース線 S への過度の電流通過が抑えられ、消費電力の低減が可能となる。また、リングトランジスタは、このリングトランジスタを挟む接続部の電位差が大きいほど電流を通過させ、電位差が小さい場合には、電流をほぼ通過させない特性があり、電流の逆流などの不都合をも防止する。

50

【 0 0 2 0 】

そして、ゲート線 G およびソース線 S の各交差部近傍には、画素を構成する液晶セル L V に電圧を印加する画素電極 P E が形成されている。これらの画素電極 P E は、例えば I T O (Idium Tin Oxide) 膜などにより形成されている。

また、駆動基板には、それぞれのソース線 S と、それぞれの画素電極 P E とを接続し、ゲート線に出力された電圧に応じて画素電極 P E への電圧の印加状態を切り替えるスイッチング素子としての T F T (Thin Film Transistor) 1 2 が設けられている。これら T F T 1 2 は、ゲート線 G に接続されるゲートと、ソース線 S に接続されるソースと、画素電極 P E に接続されるドレインとを備えている。

【 0 0 2 1 】

そして、T F T 1 2 は、ゲートにゲート線 G を介して、液晶パネル 1 を駆動する図示しないドライバや、後述する検査装置からオン電圧 (例えば + 1 5 V) が印加されると、オン状態 (ソース - ドレイン間がローインピーダンスの状態) となり、ソース - ドレイン間の電流の導通が許容される。この状態で、ソース線 S を介して、ドライバや検査装置 2 から映像信号がソースに印加されると、この映像信号に係る電荷がソース - ドレイン間を導通し、ドレインに接続される画素電極 P E に印加される。

一方、ゲートにゲート線 G を介してドライバや検査装置 2 からオフ電圧 (例えば - 1 0 V) が印加されると、T F T 1 2 はオフ状態 (ソース - ドレイン間がハイインピーダンスの状態) となり、ソース - ドレイン間の電流の導通が規制される。したがって、ソースに接続されたソース線 S に映像信号に係る電荷が印加されたとしても、電流がソース - ドレイン間を導通せず、画素電極 P E への電荷の印加が規制される。

【 0 0 2 2 】

画素電極 P E は、液晶セル L V に接続されるとともに、保持キャパシタ C V に接続されている。この保持キャパシタ C V は、液晶パネル 1 の駆動に必要な電圧の振幅を低く抑え、液晶パネル 1 の省電力化およびフリッカ防止を図るためのものである。これら液晶セル L V および保持キャパシタ C V は、画素電極 P E だけでなく、対向基板の対向電極に接続されている。そして、これらの液晶セル L V および保持キャパシタ C V には、ソース線 S から T F T 1 2 を介して画素電極 P E に印加された電圧と、対向電極に印加された電圧との電位差に相当する電荷が書き込まれ、保持される。

【 0 0 2 3 】

そして、前記した各画素 1 1 は、T F T 1 2、画素電極 P E、液晶セル L V および保持キャパシタ C V により構成され、これら全ての画素 1 1 により液晶パネル 1 の表示領域が構成されている。

【 0 0 2 4 】

また、画素電極 P E に接続される液晶セル L V および保持キャパシタ C V は、対向電極に形成される共通電極線に接続される。この共通電極線は、各ソース線 S に対応して、すなわち、1 本のソース線に 1 本の共通電極線が設けられている。ここで、R ソース線 S r に対して R 共通電極線 (R 共通電極線 1 3 r)、G ソース線 S g に対して G 色共通電極線 (G 共通電極線 1 3 g)、B ソース線 S b に対して B 共通電極線 (B 共通電極線 1 3 b) がそれぞれ設けられている。また、各 R 共通電極線 1 3 r は、例えばパネル終端縁において、R 共通電極検査線 1 4 r に接続され、この R 共通電極検査線 1 4 r は、R 共通電極端子 V c o m R に接続される。同様に、各 G 共通電極線 1 3 g は、例えばパネル終端縁において、G 共通電極検査線 1 4 g に接続され、この G 共通電極検査線 1 4 g は、G 共通電極端子 V c o m G に接続される。また、各 B 共通電極線 1 3 b は、例えばパネル終端縁において、B 共通電極検査線 1 4 b に接続され、この B 共通電極検査線 1 4 b は、B 共通電極端子 V c o m B に接続される。

【 0 0 2 5 】

〔 検査装置の構成 〕

次に、図 2 および図 3 に基づいて、上記液晶パネル 1 を検査する検査装置 2 の構成を説明する。

10

20

30

40

50

図 2 は、本発明に係る一実施の形態の検査装置の概略構成を示すブロック図である。

図 3 は、検査装置の接続部の概略構成を示す図である。

検査装置 2 は、液晶パネル 1 のソース線 S、ゲート線 G、および共通電極線に所定の電圧を印加して液晶パネル 1 を駆動させ、液晶パネル 1 の一部に発生する例えば線間リーク欠陥などの欠陥を検出する装置である。

この検査装置 2 は、図 2 に示すように、接続部 2 1 と、駆動部 2 2 と、測定部 2 3 と、制御部 2 4 と、を備えている。

【0026】

接続部 2 1 は、図 3 に示すように、接続基板 2 1 1 を備え、この接続基板 2 1 1 上には、L ゲート接続部 2 1 2 A、R ゲート接続部 2 1 2 B、ソース接続部 2 1 2 C、R 共通電極接続部 2 1 2 D、G 共通電極接続部 2 1 2 E、および B 共通電極接続部 2 1 2 F が設けられている。

L ゲート接続部 2 1 2 A には、L ゲート線 G l の先端に形成されるゲート端子が、例えば図 3 の示すように、千鳥状に交互に配置される。そして、L ゲート接続部 2 1 2 A は、配置された L ゲート線 G l の各ゲート端子に接触し、一括短絡させる L ゲートプローブ 2 1 3 A を備えている。この L ゲートプローブ 2 1 3 A は、L ゲート検査端子 G L c に接続される。

R ゲート接続部 2 1 2 B も、L ゲート接続部 2 1 2 A と同様であり、図 3 に示すように、R ゲート線 G r のゲート端子が千鳥状に配置される。そして、R ゲート接続部 2 1 2 B は、R ゲート検査端子 G R c に接続される R ゲートプローブ 2 1 3 B を備え、この R ゲートプローブ 2 1 3 B により、R ゲート線 G r のゲート端子が一括短絡される。

【0027】

また、ソース接続部 2 1 2 C も、L ゲート接続部 2 1 2 A および R ゲート接続部 2 1 2 B と略同様に構成されている。すなわち、ソース接続部 2 1 2 C には、ソース線 S が千鳥状に交互に配置され、これらソース線 S に接触して、一括短絡可能で、ソース検査端子 S c に接続されるソースプローブ 2 1 3 C が設けられている。このソースプローブ 2 1 3 C は、ソース接続部 2 1 2 C に配置されるソース線 S の各ソース端子に対して接離移動可能に設けられている。このソースプローブ 2 1 3 C の移動機構としては、特に限定されず、例えば、モータなどの駆動発生手段により発生した駆動力により、ソースプローブ 2 1 3 C を接続基板 2 1 1 から離れる方向、近接する方向に駆動させる構成などが例示できる。

そして、ソース接続部 2 1 2 C は、ソースプローブ 2 1 3 C を制御するプローブ制御手段 2 1 4 を備えている。このプローブ制御手段 2 1 4 は、制御部 2 4 から出力される制御信号に基づいて、駆動発生手段を制御し、ソースプローブ 2 1 3 C を駆動させる。これにより、プローブ制御手段 2 1 4 は、ソースプローブ 2 1 3 C とソース端子とが接触する接続状態、およびソースプローブ 2 1 3 C とソース端子とが離れる切断状態を切り替える。

【0028】

R 共通電極接続部 2 1 2 D には、R 共通電極検査線 1 4 r の先端に形成される R 共通電極端子 V c o m R が配置される。また、R 共通電極接続部 2 1 2 D は、R 共通電極端子 V c o m R に接触するとともに、R 共通電極検査端子 V c o m R c に接続される R 共通電極プローブ 2 1 3 D を備えている。

G 共通電極接続部 2 1 2 E、および B 共通電極接続部 2 1 2 F についても同様であり、G 共通電極接続部 2 1 2 E および B 共通電極接続部 2 1 2 F には、それぞれ G 共通電極端子 V c o m G、B 共通電極端子 V c o m B が配置される。そして、G 共通電極接続部 2 1 2 E には、G 共通電極端子 V c o m G に接触し、G 共通電極検査端子 V c o m G c に接続される G 共通電極プローブ 2 1 3 E を備えている。また、B 共通電極接続部 2 1 2 F には、B 共通電極端子 V c o m B に接触し、B 共通電極検査端子 V c o m B c に接続される B 共通電極プローブ 2 1 3 F を備えている。

【0029】

また、上述した L ゲート検査端子 G L c、R ゲート検査端子 G R c、ソース検査端子 S c、R 共通電極検査端子 V c o m R c、G 共通電極検査端子 V c o m G c、および B 共通

電極検査端子 V_{comBc} は、図 2 に示すように、それぞれスイッチを介して駆動部 22 および測定部 23 に接続されている。

【0030】

駆動部 22 は、接続部 21 の各検査端子に対して所定の電圧を印加し、液晶パネル 1 を駆動させる。また、駆動部 22 は、制御部 24 の駆動電圧制御手段 242 とともに本発明の交流電圧印加手段を構成し、交流電圧を所定の共通電極検査端子に印加する。

測定部 23 は、例えば各検査端子に接続される複数の電流計を備え、接続部 21 の各検査端子から入力される電流を検出する。この測定部 23 は、本発明の電流測定手段を構成する。

【0031】

制御部 24 は、駆動切替手段 241 と、駆動電圧制御手段 242 と、欠陥検出手段 243 と、結果出力手段 244 とを備えている。

駆動切替手段 241 は、液晶パネル 1 の検査モードを切り替える。具体的には、駆動切替手段 241 は、例えば操作者の設定入力により、検査モードを、パターン表示モードおよび線間リーク検査モードのいずれかに切り替える。ここで、パターン表示モードは、ソース線 S およびゲート線 G に所定の駆動電圧を印加して、液晶パネル 1 に所定のパターン画像を表示させるモードである。また、線間リーク検査モードは、例えば隣接するソース線 S 同士において発生する線間リーク欠陥を、測定部 23 により測定される電流に基づいて検出するモードである。また、駆動切替手段 241 は、線間リーク検査モードにおいて、プローブ制御手段 214 に制御信号を出力して、ソース検査端子 S_c からソースプローブ 213C を離隔させ、切断状態にする。

【0032】

駆動電圧制御手段 242 は、駆動部 22 から各検査端子に印加する電圧を制御し、液晶パネル 1 を駆動させる。

具体的には、駆動電圧制御手段 242 は、駆動切替手段 241 により、パターン表示モードに切り替えられた場合、図 4 に示すようなパターンの電圧を印加する。図 4 は、パターン表示モードにおける電圧の印加パターンおよびタイミングを示す図である。なお、本実施の形態における液晶パネル 1 は、ノーマリーホワイトであり、駆動電圧が印加されず、液晶セル LV に電荷が蓄積されていない状態では、例えばバックライトなどの光源からの光をそのまま透過させて白色光を発色させるものとする。

【0033】

すなわち、駆動電圧制御手段 242 は、液晶パネル 1 において、グレイ画像を表示させる場合、ソース検査端子 S_c に、所定周期で 0V および 5V の電圧が交互に入れ替わる交流電圧（パターン C）を印加し、各共通電極検査端子 V_{comRc} 、 V_{comGc} 、 V_{comBc} には、パターン A と逆位相となる交流電圧（パターン D）を印加する。

また、駆動電圧制御手段 242 は、L ゲート検査端子 GL_c に、ソース検査端子 S_c に 5V の信号電圧が印加されるタイミング（図 2 におけるタイミング T1）で、オン電圧である 15V を印加する。この時、R ゲート検査端子 GR_c には、オフ電圧である -10V が印加される。なお、オン電圧が印加される期間は図 4 に示すように、交流電圧の周期に対して十分小さい僅かな期間であり、オン電圧を印加した後、ソース検査端子 S_c への電圧が 0V に切り替わる前に、オフ電圧に切り替える。また、駆動電圧制御手段 242 は、ソース検査端子 S_c の信号電圧が 0V に切り替わった後、タイミング T2 で、R ゲート検査端子 GR_c にオン電圧を印加する。このとき、L ゲート検査端子 GL_c は、オフ信号である -10V の電圧が保持される。なお、この R ゲート検査端子 GR_c に印加するオン電圧の入力期間も、交流電圧の周期に対して十分小さい僅かな期間に設定される。すなわち、駆動電圧制御手段 242 は、タイミング T1 において、L ゲート線 GL により制御される画素 11 の液晶セル LV に駆動信号（5V）に基づいた電荷を保持させ、タイミング T2 において、R ゲート線 GR により制御される画素 11 の液晶セル LV に蓄電されている電荷を放電させる。これにより、液晶パネル 1 の L ゲート線に対応する画素 11 のみでグレイ画像が表示される。

10

20

30

40

50

【 0 0 3 4 】

そして、駆動電圧制御手段 2 4 2 は、L ゲート線 G 1 に対応する画素 1 1 のみでのグレイ画像表示の後、所定期間 T m を開けて、R ゲート線 G r に対応する画素 1 1 のみでグレイ画像を表示させる制御をする。これには、上記タイミング T 1 , T 2 と逆の操作をタイミング T 3 , T 4 において実施する。

すなわち、駆動電圧制御手段 2 4 2 は、ソース検査端子 S c に 0 V が印加され、各共通電極検査端子 V c o m R c , V c o m G c , V c o m B c に任意電圧 (0 ~ 5 v) が印加されるタイミング T 3 で、L ゲート検査端子 G L c にオン電圧を印加する。この間、R ゲート検査端子 G R c はオフ電圧に保持される。また、駆動電圧制御手段 2 4 2 は、ソース検査端子 S c への印加電圧が 5 V に切り替わった後、R ゲート検査端子 G R c にオン電圧を印加させる。この間、L ゲート検査端子 G L c は、オフ電圧に保持される。

以上により、液晶パネル 1 において、L ゲート線 G 1 に接続される画素 1 1 と、R ゲート線 G r に接続される画素 1 1 とで交互にグレイ画像を表示させることが可能となる。

【 0 0 3 5 】

また、液晶パネル 1 に基本色画像を表示させる場合では、駆動電圧制御手段 2 4 2 は、表示させる基本色に対応する共通電極検査端子に、ソース検査端子 S c と同一のパターン C の交流電圧を印加し、その他の共通電極検査端子にパターン C の交流電圧と逆位相となるパターン D の交流電圧を印加する。例えば、液晶パネル 1 により赤色画像を表示させる場合、上記グレイ画像の表示時と同様に、駆動電圧制御手段 2 4 2 は、ソース検査端子 S c にパターン C の交流電圧、G 共通電極検査端子 V c o m G c および B 共通電極検査端子 V c o m B c にパターン D の交流電圧、L ゲート検査端子 G L c にパターン A の駆動電圧、R ゲート検査端子 G R c にパターン B の駆動電圧を印加する。一方、駆動電圧制御手段 2 4 2 は、R 共通電極検査端子 V c o m R c には、ソース検査端子 S c と同様のパターン C の交流電圧を印加する。以上により、液晶パネル 1 において、L ゲート線 G 1 に接続される画素 1 1 と、R ゲート線 G r に接続される画素 1 1 とで交互に赤色画像を表示させることが可能となる。

【 0 0 3 6 】

また、駆動電圧制御手段 2 4 2 は、線間リーク検査モードでは、図 5 に示すようなタイミングにより、液晶パネル 1 を駆動させる。図 5 は、線間リーク検査モードにおける電圧印加パターンおよび検出される電流を示す図である。

この線間リーク検査モードでは、駆動切替手段 2 4 1 により線間リーク検査モードに設定された場合、ソース検査端子 S c とソースプローブとが切断されるため、ソース検査端子 S c はオープン状態となり、常に 0 V となる。そして、線間リーク検査モードでは、図 5 に示すように、駆動電圧制御手段 2 4 2 は、L ゲート検査端子 G L c および R ゲート検査端子 G R c に対して、1 5 V のオン電圧を印加し続ける。また、駆動電圧制御手段 2 4 2 は、検査対象となるソース線 S に接続される共通電極線に対応する共通電極検査端子以外の共通電極検査端子に、交流電圧を印加する。

例えば、G ソース線 S g に隣接する他のソース線 S から、この G ソース線 S g にリークする線間リークを検査する場合、駆動電圧制御手段 2 4 2 は、R 共通電極検査端子 V c o m R c および B 共通電極検査端子 V c o m B c に交流電圧を印加する。この場合、R ソース線 S r や B ソース線 S b に接続される液晶セル L v または保持キャパシタ C V において、電荷の充電および放電が繰り返される。したがって、線間リークが発生している場合は、液晶セル L v または保持キャパシタ C V における電荷の放電時に、G ソース線 S g に電流が流れ込み、G 共通電極検査端子 V c o m G c に、図 5 の「不良」にて示すような電流が検出される。一方、線間リークがない場合では、G 共通電極検査端子 V c o m G c において、図 5 の「良品」にて示すように、電流が検出されない。

【 0 0 3 7 】

欠陥検出手段 2 4 3 は、駆動切替手段 2 4 1 により、線間リーク検査モードが選択されている際に、測定部 2 3 にて測定される電流値を読み込み、検査対象となる共通電極検査線にリークする線間リーク欠陥があるか否かを判断する。

10

20

30

40

50

具体的には、欠陥検出手段 2 4 3 は、図 5 の「不良」にて示されるように、周期的な電流値が検出された場合、線間リークがあると判断し、図 5 の「良品」にて示されるように電流値が検出されなかった場合は、線間リーク欠陥がないと判断する。

【 0 0 3 8 】

結果出力手段 2 4 4 は、欠陥検出手段 2 4 3 にて判断されたリーク欠陥の有無を出力する。具体的には、結果出力手段 2 4 4 は、検査装置 2 に設けられた図示しない表示手段に、リーク欠陥の有無を表示させる。なお、結果出力手段 2 4 4 は、上記リーク欠陥の有無を他の態様で出力してもよく、例えば、記憶媒体にデータなどとして出力したり、印刷により出力したり、音声によりリーク欠陥の有無を報知したりしてもよい。

【 0 0 3 9 】

〔 検査装置の動作 〕

次に、上述した検査装置 2 の動作について、図面に基づいて説明する。

検査装置 2 を用いた検査方法では、検査装置 2 は、現在の検査モードを認識し、検査モードに応じた駆動信号を液晶パネル 1 に出力し、欠陥検査処理を実施する。

【 0 0 4 0 】

〔 パターン表示モード 〕

図 6 は、検査装置の動作におけるパターン表示モードのフローチャートである。

検査装置 2 は、例えば操作者の設定入力などにより、検査モードとしてパターン表示モードを設定する旨の要求がなされた場合、駆動切替手段 2 4 1 は、検査モードをパターン表示モードに切り替える（ステップ S 1 0 1 ）。

このパターン表示モードでは、駆動切替手段 2 4 1 は、プローブ制御手段 2 1 4 を制御してソースプローブ 2 1 3 C をソース線 S に接触させ、接続状態とする（ステップ S 1 0 2 ）。

【 0 0 4 1 】

この後、駆動電圧制御手段 2 4 2 は、駆動部 2 2 を制御して、図 4 に示すようなパターン電圧を各検査端子に印加する（ステップ S 1 0 3 ）。

すなわち、駆動電圧制御手段 2 4 2 は、グレイ画像を表示させる場合では、ソース検査端子 S c にパターン C の交流電圧を印加し、各共通電極検査端子 V c o m R c , V c o m G c , V c o m B c にパターン C と逆位相となるパターン D の交流電圧を印加する。そして、L ゲート検査端子 G L c にパターン A の駆動電圧、R ゲート検査端子 G R c にパターン B の駆動電圧を印加する。

また、赤色、緑色、青色画像を表示させる場合では、駆動電圧制御手段 2 4 2 は、表示対象基本色に対応する共通電極検査端子にパターン C の交流電圧を印加させる。例えば、赤色画像を表示させる場合では、駆動電圧制御手段 2 4 2 は、ソース検査端子 S c にパターン C の交流電圧を印加し、G 共通電極検査端子 V c o m G c および B 共通電極検査端子 V c o m B c にパターン C と逆位相となるパターン D の交流電圧を印加し、R 共通電極検査端子 V c o m R c にパターン C の交流電圧を印加する。そして、L ゲート検査端子 G L c にパターン A の駆動電圧、R ゲート検査端子 G R c にパターン B の駆動電圧を印加する。

これにより、液晶パネル 1 の L ゲート線 G l により制御される画素 1 1 と、R ゲート線 G r により制御される画素 1 1 とが交互に駆動され、液晶パネル 1 にパターン画像が表示される（ステップ S 1 0 4 ）。

このようなパターン表示画像では、例えば垂直方向に隣接する画素 1 1 間でリーク欠陥がある場合、隣接画素も駆動されて例えば輝点などにより表示される。したがって、液晶パネル 1 を例えば目視による確認や、カメラなどの撮像手段による撮像により、画素間リーク欠陥を容易に判別することが可能となる。

【 0 0 4 2 】

〔 線間リーク検査モード 〕

次に、検査装置 2 の動作における線間リーク検査モードについて説明する。図 7 は、本実施の形態の検査装置の動作における線間リーク検査モードのフローチャートである。

【 0 0 4 3 】

検査装置 2 は、例えば操作者の設定入力などにより、検査モードとして線間リーク検査モードを設定する旨の要求がなされた場合、駆動切替手段 2 4 1 は、検査モードを線間リーク検査モードに切り替える（ステップ S 2 0 1）。

この線間リーク検査モードでは、駆動切替手段 2 4 1 は、プローブ制御手段 2 1 4 を制御してソースプローブ 2 1 3 C をソース線 S から離隔する方向に移動させ、切断状態とする（ステップ S 2 0 2）。

【 0 0 4 4 】

この後、駆動電圧制御手段 2 4 2 は、駆動部 2 2 を制御して、図 5 に示すようなパターン電圧を各検査端子に印加する（ステップ S 2 0 3）。この時、検査対象となるソース線 S に対応する共通電極検査端子を、スイッチング処理により測定部 2 3 に接続する。

例えば、図 5 に示すように、G ソース線 S_g に流れ込むリーク電流を測定する場合、G 共通電極検査端子 V_{comGc} を測定部 2 3 に接続する。そして、駆動電圧制御手段 2 4 2 は、L ゲート検査端子 G_{Lc} および R ゲート検査端子 G_{Rc} に、オン電圧を印加し、R 共通電極検査端子 V_{comRc} および B 共通電極検査端子 V_{comBc} に、交流電圧を印加する。

【 0 0 4 5 】

また、欠陥検出手段 2 4 3 は、ステップ S 2 0 3 の処理により測定部 2 3 に流れるリーク電流が検出されたか否かを判断する（ステップ S 2 0 4）。このステップ S 2 0 4 において、共通電極検査端子に印加された交流電圧に応じた波形の電流が検出された場合、線間リーク欠陥があると判断する（ステップ S 2 0 5）。一方、ステップ S 2 0 4 において、電流値が検出されない場合、線間リーク欠陥がないと判断する（ステップ S 2 0 6）。

そして、結果出力手段 2 4 4 は、このステップ S 2 0 5 およびステップ S 2 0 6 の線間リーク欠陥の検査結果を例えば表示手段に表示させる（ステップ S 2 0 7）。

【 0 0 4 6 】

〔本実施の形態の作用効果〕

上述したように、液晶パネル 1 は、各ソース線 S に対応して設けられる共通電極線を、基本色毎に分割し、共通電極検査線で結線している。

一般に、解像度の大きい液晶パネルでは、ゲート線 G やソース線 S の数も多く、例えば画像サイズが小さい Q V G A（Quarter Video Graphics Array）であっても、3 2 0 本のゲート線、7 2 0 本（2 4 0 × 3）のソース線が必要となるが、これらのゲート線 G やソース線 S のそれぞれに対してプローブを接続させる構成では、構成の複雑化やコストの高騰を引き起こす。これに対して、上記液晶パネル 1 では、検査時に、全ゲート線 G を、L ゲート線、R ゲート線の 2 種に分割し、L ゲート線 G_l を一括短絡させる L ゲートプローブ 2 1 3 A、R ゲート線 G_r を一括短絡させる R ゲートプローブ 2 1 3 B を用い、全ソース線 S を一括短絡させるソースプローブ 2 1 3 C を用いるため、プローブ構成を簡単に行うことができ、検査装置 2 にかかるコストも低減させることができる。

また、このように各ゲート線 G、各ソース線 S を一括短絡させる構成であっても、複数相に分割された共通電極検査線に接続される共通電極検査端子に印加する電圧を図 4 や図 5 に示すように制御することで、画素間リークなどの画素欠陥の検査、および線間リーク欠陥の検査を実施することができる。

また、液晶パネル 1 内において、各ゲート線 G および各ソース線 S がそれぞれ独立して配線されているため、液晶パネル 1 の欠陥検査終了後に、液晶パネル 1 の表示領域部分のみをレーザーカットなどにより切断する必要がなく、そのままモジュールに組み込むことができる。

以上により、液晶パネル 1 の切断工程などが不要であるため、製造効率が低下することなく、簡単で安価なプローブ構成で精度よく液晶パネル 1 内に画素間リーク欠陥や線間リーク欠陥を検出することができる。

【 0 0 4 7 】

また、液晶パネル 1 は、各基本色に対応して、R 共通電極検査線 1 4 r、G 共通電極検査

10

20

30

40

50

査線 1 4 g、および B 共通電極検査線 1 4 b に分割されている。このため、液晶パネル 1 の検査モードがパターン表示モードに設定された際に、図 4 に示すように、各共通電極検査端子のうち、表示させたい基本色に対応した共通電極端子にソース検査端子 S c を同じパターン C の交流電圧を印加することで、容易に基本色に対応したパターン画像を表示させることができ、各基本色毎に、画素間リーク欠陥を検査することができる。また、線間リーク検査モードにおいても同様であり、各基本色に対応したソース線 S 毎に、線間リーク欠陥を検査することができる。したがって、リーク欠陥があった場合に、欠陥がある画素位置や線間を容易に検出することができ、検出精度も向上させることができる。

【0048】

また、検査装置 2 は、各ソース線 S から接離移動可能に設けられるソースプローブ 2 1 3 C を備えている。そして、駆動切替手段 2 4 1 により検査モードが切り替えられると、プローブ制御手段 2 1 4 を制御して、ソースプローブ 2 1 3 C を移動させる。すなわち、駆動切替手段 2 4 1 は、パターン表示モードでは、ソースプローブ 2 1 3 C と各ソース線 S とを接続状態に、線間リーク検査モードでは、ソースプローブ 2 1 3 C と各ソース線 S とを切断状態に切り替える。

このため、パターン表示モードでは、ソース線 S から各画素 1 1 に駆動電圧を印加させることで、液晶パネル 1 を駆動させて所定のパターン画像を表示させることができる。また、線間リーク検査モードでは、ソースプローブ 2 1 3 C と各ソース線とを切断状態にして、共通電極検査端子に交流電圧を印加し、各画素 1 1 の液晶セル L V や保持キャパシタ C V において、電荷の充電および放電を実施することにより、検査対象となるソース線 S に流れる線間リークを容易に検査することができる。

【0049】

また、ゲート線 G は、L ゲート線 G l および R ゲート線 G r を備え、L ゲート線 G l は L ゲートプローブ 2 1 3 A に接触して L ゲート検査端子 G L c に接続され、R ゲート線 G r は、R ゲートプローブに接触して R ゲート検査端子 G R c に接続されている。このため、パターン表示モードにおいて、L ゲート検査端子 G L c および R ゲート検査端子 G R c に印加する駆動電圧を交互に切り替えることで、液晶パネル 1 の L ゲート線 G l により制御される画素 1 1 と、R ゲート線 G r により制御される画素 1 1 とを交互に駆動させることができる。したがって、駆動していない画素 1 1 に輝点などの不都合が現れるか否かを観察することにより、容易に画素間リークなどの画素欠陥を検査することができ、検査精度を向上させることができる。

【0050】

〔他の実施の形態〕

なお、本発明は前述の実施形態に限定されるものではなく、本発明の目的を達成できる範囲での変形、改良等は本発明に含まれるものである。

【0051】

例えば、上記において、ゲート線 G は、L ゲート線 G l および R ゲート線 G r を備え、それぞれプローブにより L ゲート検査端子 G L c および R ゲート検査端子 G R c に接続する構成としたが、例えばゲート線 G に対して、3 つ以上のプローブでそれぞれ異なるゲート検査端子 G L に接続される構成としてもよい。また、ソース線 S に対しても同様であり、全ソース線 S に対して一括短絡させるソースプローブ 2 1 3 C を例示したが、ソース線 S を 2 つ以上のグループに分割し、一方のグループには第一のソースプローブ、他方のグループには第二のソースプローブが接触可能な構成としてもよい。

【0052】

また、上記実施の形態において、各基本色に対応して、共通電極線を 3 相に分割する構成としたが、2 相に分割する構成や、4 層以上に分割する構成などとしてもよい。

【0053】

その他、本発明の実施の際の具体的な構造および手順は、本発明の目的を達成できる範囲で他の構造などに適宜変更できる。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 5 4 】

【 図 1 】 本発明の一実施の形態に係る液晶パネルの概略構成を示す図である。

【 図 2 】 本発明に係る一実施の形態の検査装置の概略構成を示すブロック図である。

【 図 3 】 検査装置の接続部の概略構成を示す図である。

【 図 4 】 パターン表示モードにおける電圧の印加パターンおよびタイミングを示す図である。

【 図 5 】 線間リーク検査モードにおける電圧印加パターンおよび検出される電流を示す図である。

【 図 6 】 本実施の形態の検査装置の動作におけるパターン表示モードのフローチャートである。

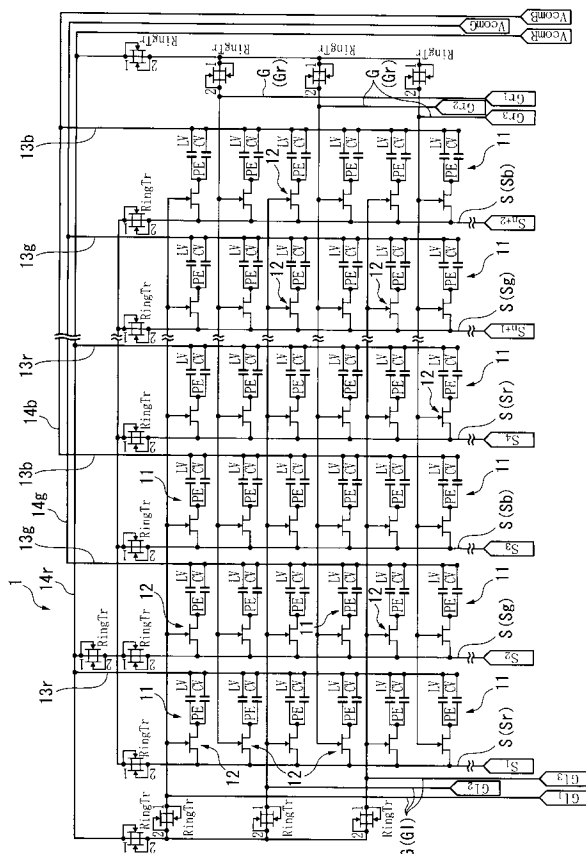
【 図 7 】 本実施の形態の検査装置の動作における線間リーク検査モードのフローチャートである。

【 符号の説明 】

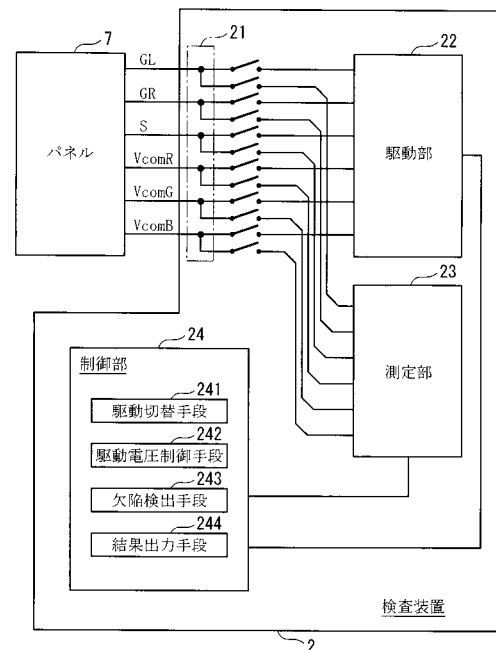
【 0 0 5 5 】

1 ... 表示体としての液晶パネル、 2 ... 検査装置、 1 2 ... スイッチング素子としての T F T、 1 3 r ... R 共通電極線、 1 3 g ... G 共通電極線、 1 3 b ... B 共通電極線、 1 4 r ... R 共通電極検査線、 1 4 g ... G 共通電極検査線、 1 4 b ... B 共通電極検査線、 2 2 ... 交流電圧印加手段を構成する駆動部、 2 3 ... 電流検出手段としての測定部、 2 1 3 A ... L ゲートプローブ、 2 1 3 B ... R ゲートプローブ、 2 1 3 C ... ソースプローブ、 2 1 3 D ... R 共通電極プローブ、 2 1 3 E ... G 共通電極プローブ、 2 1 3 F ... B 共通電極プローブ、 2 1 4 ... ソース接続切替手段としてのプローブ制御手段、 2 4 2 ... 交流電圧印加手段を構成する駆動電圧制御手段、 S ... ソース線、 S r ... R ソース線、 S g ... G ソース線、 S b ... B ソース線、 G ... ゲート線、 P E ... 画素電極。

【 図 1 】



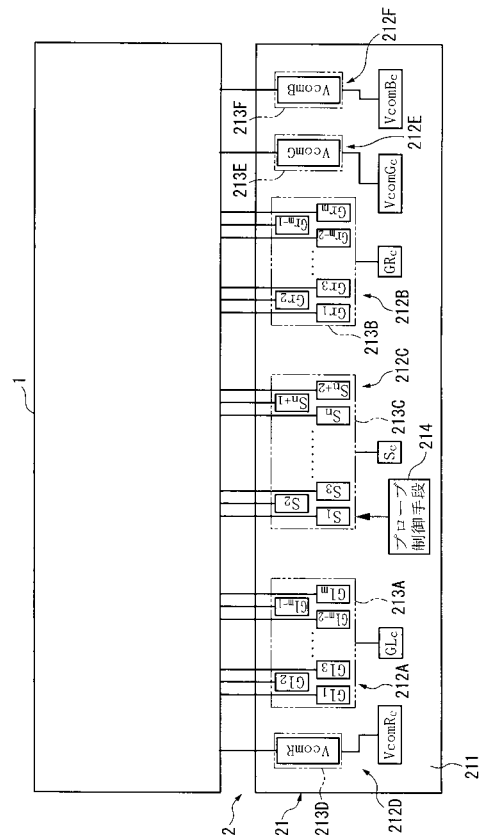
【 図 2 】



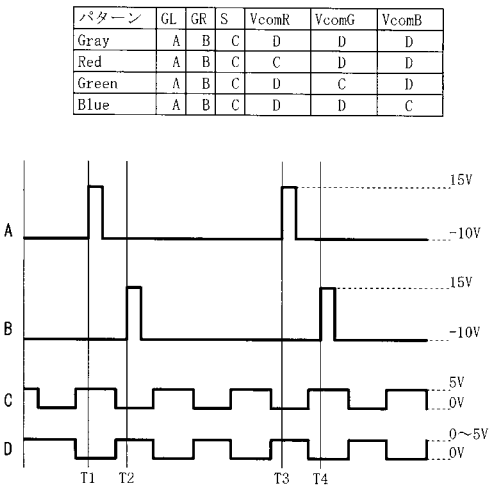
10

20

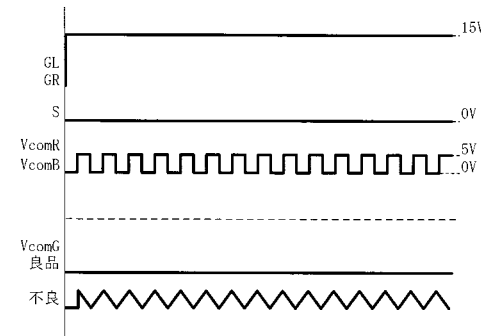
【 図 3 】



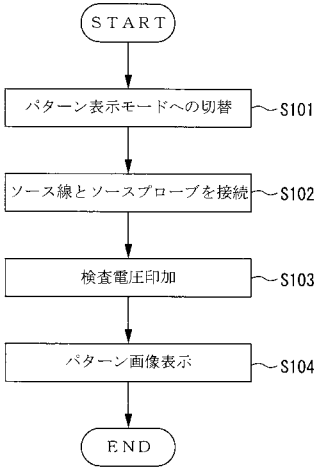
【 図 4 】



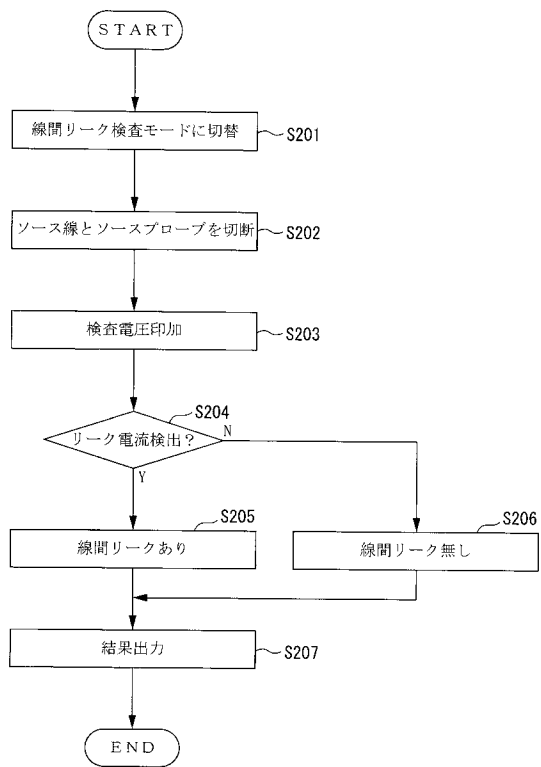
【 図 5 】



【 図 6 】



【 図 7 】



 フロントページの続き

(51) Int. Cl.	F I		テーマコード (参考)	
G 0 9 G 3/36 (2006.01)	G 0 9 G	3/36	5 C 0 8 0	
G 0 9 G 3/20 (2006.01)	G 0 9 G	3/20 6 7 0 Q	5 C 0 9 4	
G 0 2 F 1/1345 (2006.01)	G 0 2 F	1/1345	5 G 4 3 5	

F ターム(参考)	2H093	NA16	NC34	NC35	NC58	NC59	NC71	ND56	NE03	NH12
	5C006	AA22	BB16	EB01						
	5C080	AA06	AA10	BB05	CC03	DD15	DD28	JJ02	JJ04	JJ07
	5C094	AA43	AA45	BA03	BA43	CA19	EA03	EA07		
	5G435	AA17	AA19	BB12	CC09	HH12	KK10			

专利名称(译)	显示体，检查装置和检查方法		
公开(公告)号	JP2010164714A	公开(公告)日	2010-07-29
申请号	JP2009006077	申请日	2009-01-14
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	前田晃利		
发明人	前田 晃利		
IPC分类号	G09F9/30 G02F1/133 G01R31/00 G02F1/13 G09F9/00 G09G3/36 G09G3/20 G02F1/1345		
FI分类号	G09F9/30.330.Z G02F1/133.550 G01R31/00 G02F1/13.101 G09F9/00.352 G09G3/36 G09G3/20.670. Q G02F1/1345 G09F9/30.330		
F-TERM分类号	2G036/AA25 2G036/BA33 2G036/BB12 2G036/CA06 2H088/FA12 2H088/FA13 2H088/FA30 2H088/HA02 2H088/HA08 2H088/MA20 2H092/GA33 2H092/GA41 2H092/HA04 2H092/HA19 2H092/JB14 2H092/MA35 2H092/MA57 2H092/MA58 2H092/NA27 2H092/NA30 2H092/PA06 2H092/PA08 2H093/NA16 2H093/NC34 2H093/NC35 2H093/NC58 2H093/NC59 2H093/NC71 2H093/ND56 2H093/NE03 2H093/NH12 5C006/AA22 5C006/BB16 5C006/EB01 5C080/AA06 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD15 5C080/DD28 5C080/JJ02 5C080/JJ04 5C080/JJ07 5C094/AA43 5C094/AA45 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA03 5C094/EA07 5G435/AA17 5G435/AA19 5G435/BB12 5G435/CC09 5G435/HH12 5G435/KK10 2H193/ZA04 2H193/ZA05 2H193/ZD01 2H193/ZD11 2H193/ZF24 2H193/ZG02 2H193/ZK02 2H193/ZK08 2H193/ZK14 2H193/ZK17		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示器，检查装置和检查方法，其具有制造效率优异且能够以高精度检测漏电流的简单配置。Z SOLUTION：液晶面板1包括：驱动基板和相对的基板；封闭在驱动基板和对置基板之间的电光学材料；多条源极线S和多条栅极线G设置在驱动基板上并且彼此交叉；像素电极PE设置在源极线S和栅极线G交叉的点处，并且将从源极线输入的电荷施加到电光学材料；TFT12，根据从栅极线G输入的驱动信号，将电荷施加的状态从源极线S切换到像素电极PE；多个公共电极线，设置在对向基板上并连接到像素电极PE；多个公共电极检查线将多个公共电极线分成两相或更多相并连接每相的公共电极线。Z

