

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-108000

(P2010-108000A)

(43) 公開日 平成22年5月13日(2010.5.13)

(51) Int.Cl.

G02F 1/1368 (2006.01)
H01L 21/336 (2006.01)
H01L 29/786 (2006.01)
G09F 9/30 (2006.01)

F 1

G02F 1/1368
H01L 29/78 **612D**

G09F 9/30 **338**

テーマコード(参考)

2H092
5C094
5F110

審査請求 有 請求項の数 1 O L (全 15 頁)

(21) 出願番号 特願2010-8965 (P2010-8965)
 (22) 出願日 平成22年1月19日 (2010.1.19)
 (62) 分割の表示 特願平9-348776の分割
 原出願日 平成9年12月18日 (1997.12.18)
 (31) 優先権主張番号 1996-77958
 (32) 優先日 平成8年12月30日 (1996.12.30)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 501426046
 エルジー ディスプレイカンパニー リ
 ミテッド
 大韓民国 ソウル, ヨンドゥンパーク, ヨ
 イドードン 20
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100104352
 弁理士 朝日 伸光

最終頁に続く

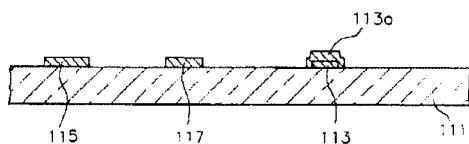
(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【課題】マスク工程を減らし、歩留まりや生産性を高める。

【解決手段】透明ガラス基板111上にアルミニウム又はアルミニウム合金を蒸着してゲートバス配線113を形成した後、クローム、モリブデン、タンタル、又はアンチモンのような金属を基板全面に蒸着し、第2マスクを用いてパターニングしてゲート電極117及びゲートバス配線の端部に連結されるゲートパット115を形成し、アルミニウム上のヒロックを除去するためにゲートバス配線を完全に覆うクローム、モリブデン、タンタル又はアンチモンのような金属で第2ゲートバス配線113aを形成する。ゲート電極及びゲートバス配線を陽極酸化する必要がないため、短絡配線を形成する必要はない。液晶表示装置の製造方法は、陽極酸化工程を省略して6回のマスク段階まで減らすことができ、短絡配線の形成及び短絡配線を断線する工程が必要なくなる。

【選択図】図12



【特許請求の範囲】**【請求項 1】**

第1マスクを用いて基板上に第1ゲートバス配線、前記第1ゲートバス配線と平行に画素を横切るように前記第1ゲートバス配線と同じ物質で第1保持容量配線を形成する段階と、

第2マスクを用いて前記基板上にゲート電極と前記第1ゲートバス配線の端部に連結されるゲートパッドを形成して、前記第1ゲートバス配線を覆うように第2ゲートバス配線と前記第1保持容量配線を覆う第2保持容量配線を形成する段階と、

前記基板の全面にゲート絶縁層を形成する段階と、

第3マスクを用いて前記ゲート絶縁層上に半導体層及び不純物半導体層を形成する段階と、

第4マスクを用いてソース電極、ドレイン電極、ソース配線及びソースパッドを形成して、前記第1保持容量配線及び前記第2保持容量配線に重畳するように保持容量電極を形成する段階と、

前記ソース電極及び前記ドレイン電極をマスクとして前記ソース電極と前記ドレイン電極との間の前記不純物半導体層の露出された部分を除去し、第5マスクを用いて前記保護層及びゲート絶縁層を選択的に除いて前記ドレイン電極とソースパッド上にドレインコンタクトホールとソースパッドコンタクトホールを形成して、前記第2ゲートパッド上にゲートパッドコンタクトホールを形成して、前記保持容量電極上に保持容量コンタクトホールを形成する段階と、

第6マスクを用いて前記ドレインコンタクトホールと保持容量コンタクトホールを通して前記ドレイン電極と保持容量電極に連結される画素電極を形成し、同時に、前記ソースパッドコンタクトホールを通して前記ソースパッドに連結されるソースパット連結端子、前記ゲートパッドコンタクトホールを通して前記第2ゲートパッドに連結されるゲートパッド連結端子を形成する段階から構成されることを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、マトリクス状に配列された薄膜トランジスタ及び画素電極を含むアクティブマトリクス液晶表示装置(AMLCD)に関する。特に、本発明は、アクティブマトリクス液晶表示装置においてのアクティブパネルの製造方法を単純化させることに関する。

【背景技術】**【0002】**

画像情報を画面に示す画面表示装置の中で今まで広く用いられているブラウン管表示装置(又は、Cathode Ray Tube; CRT)は、薄型及び軽量という長点で如何なる場所でも容易に使用が出来る薄膜型の平板表示装置で代替されて行く。特に、液晶表示装置は、他の平板装置より表示解像度が優れ、動画像を具現する際の品質はブラウン管に比べができる程に反応速度が早いため、最も活発な開発研究が行われている。

【0003】

液晶表示装置の駆動原理は、液晶の光学的異方性と分極性質を利用したことである。方向性と分極性を有している細長い液晶分子に人為的に電磁気場を印加して分子配列の方向を調節することが出来る。従って、配向方向を任意に調節すると、液晶の光学的異方性による液晶分子の配列方向に沿って光を透過、又は遮断させることが出来て、画面表示装置に応用することができる。薄膜トランジスタ及びそれに連結されている画素電極が行列方式で配列されたアクティブ(能動)マトリクス液晶表示装置は、優れた画質と自然色を提供するので、最も注目されている製品である。一般的な液晶表示装置の構造は、次の如くである。

【0004】

液晶表示装置は、いろいろな素子が設けられた二つのパネルが対向し、その間に液晶層が介されている形状である。液晶表示装置の一方のパネルには、色を現す複数個の素子が

10

20

30

40

50

構成されており、これを一般的にカラーフィルターパネルと称する。カラーフィルターパネルには、透明基板上に行列方式で設けられた画素の位置に沿って赤(R)、緑(G)、青(B)のカラーフィルターが順次に配列されている。前記カラーフィルターの間には、細い網模様のブラックマトリクスが形成されている。それは、各々の色の間で混合色が現れることを防止するためである。又、カラーフィルター全面に共通電極が形成されている。共通電極は、液晶に印加する電気場を形成する一方の電極としての役割をする。

【0005】

液晶表示装置の他方のパネルには、液晶を駆動するために電気場を発生させるスイッチ素子及び複数個の配線が形成されており、これを一般的にアクティブパネルと称する。アクティブパネルには、透明基板上に行列方式で設けられた画素の位置に合わせて画素電極が形成されている。前記画素電極は、カラーフィルターパネルに形成されている共通電極と対向して液晶に印加される電気場を形成する他方の電極としての役割をする。複数個の前記画素電極の水平配列方向に沿って信号配線が形成されており、垂直配列方向に沿っては、データ配線が形成されている。そして、前記画素電極の一部には、前記画素電極に電気場信号を印加する薄膜トランジスタが形成されている。前記薄膜トランジスタのゲート電極は、信号配線(ゲートバス配線)に連結されており、ソース電極はデータ配線(ソース配線)に連結されている。そして、前記薄膜トランジスタのドレイン電極は、前記画素電極に連結されている。又、前記ゲートバス配線と前記ソース配線の端部には、外部から印加される信号を受け取る終端端子(Terminal)であるパットが形成されている。

10

【0006】

ゲートパットに電気的信号を印加すると、ゲートバス配線に沿ってゲート電極に印加され、前記ゲート電極に印加された信号に沿ってソース電極に印加されたデータ信号がドレイン電極を通して画素電極に表示するか、しないかが決められる。従って、前記ゲート電極の信号を調節することによって、前記データ信号印加を調節することが出来る。従って、前記ドレイン電極に連結されている前記画素電極にデータ信号を人為的に伝達することが出来るようになる。即ち、前記薄膜トランジスタは、画素電極を駆動するスイッチとしての役割をする。

20

【0007】

このように作られた二つのパネルが一定間隔(“セルギャップ(Cell Gap)”と称する)を隔てて対向して貼り合わせられ、その間に液晶物質が注入される。又、貼り合わせられた前記パネルの両方面に偏光板を付着させ、液晶表示装置の液晶パネルが完成される。

30

【0008】

液晶表示装置を構成する液晶パネルの製造工程、特に薄膜トランジスタの製造工程は、非常に複雑である。製品は、このように複雑な製造工程で性能が決定されるが、可能な限り工程が簡単であれば、不良が発生する確率が低くなる。前記アクティブパネルには、液晶表示装置の性能を決定する重要な素子が多く形成されているため、製造工程を単純化することによって良い製品を生産することができる。アクティブパネルの平面図を示す図1と、図1のII-II線に沿った断面図である図2~図9を参照し、従来のアクティブパネルの製造方法について説明する。

40

【0009】

透明基板11上にアルミニウム又は、アルミニウム合金等を蒸着し、第1マスクを用いてゲートバス配線13、ゲートパット15、ゲート電極17、ソースパット25及び短絡配線21を形成する。前記ゲートバス配線13は、行方向で配列されたゲート電極17に連結されている。前記ゲートパット15は、前記ゲートバス配線13の端部に形成されている。前記短絡配線21は、前記ゲートパット15と前記ソースパット25に連結され、前記基板11の端部を囲んでいる。前記ソースパット25は、後に形成されるソース配線23の端部に形成される。前記ゲートバス配線13は、保持容量電極の形成に活用される。

【0010】

図3に示すように、短絡配線21を電極として用いて、前述した金属から成る複数の素

50

子を陽極酸化して陽極酸化膜 13a を形成する。これは、前記アルミニウム表面のヒロック (Hillock) を除去するためである。ゲート電極 17、ゲートパット 15、ゲートバス配線 13 及びソースパット 25 は、短絡配線 21 に連結されているため、短絡配線 21 に電極を連結することで素子の陽極酸化が容易に出来る。この際、第 2 マスクを用いて前記ゲートパット 15 及び前記ソースパット 25 の表面上に陽極酸化膜 13a が形成されないようにする。

【0011】

図 4 に示すように、前記配線及び前記パッドを含む基板 11 上に酸化シリコン、又は窒化シリコンを蒸着してゲート絶縁膜 29 を形成する。そして、その上に真性半導体物質及び不純物半導体物質を連続蒸着し、第 3 マスクを用いてパターンして半導体層 31、不純物半導体層 33 を形成する。10

【0012】

図 5 に示すように、第 4 マスクを用いて前記ゲートパット 15 上に第 1 ゲートコンタクトホール 51 を、前記ソースパット 25 上に第 1 ソースコンタクトホール 61 を形成する。この時、前記コンタクトホール 51 及び 61 は、前記ゲートパット部及び前記ソースパット部の陽極酸化されない部分が露出されるように形成する。

【0013】

図 6 に示すように、不純物半導体層 33 上にクローム、又はクローム合金を蒸着し第 5 マスクを用いてパターンしてソース電極 27、ドレイン電極 37 及びソースバス配線 23 を形成する。前記第 1 ソースコンタクトホール 61 を通ってソース配線 23 とソースパット 25 を連結させる。この際、前記ソースパット上の前記クローム層は、下のアルミニウムを保護するためであり、後に形成されるソースパット連結端子 65 に接触するソースパット中間電極 67 として使用される。又、前記クローム金属層は、第 1 ゲートコンタクトホール 51 を通って後に形成されるゲートパット連結端子 55 に連結されるゲートパット中間電極 57 として使用される。ソース電極 27 及びドレイン電極 37 を形成した後、それをマスクとして前記ソース電極 27 及び前記ドレイン電極 37 の間の不純物半導体層 33 の露出された部分を除去する。20

【0014】

保持容量電極の形成が必要な場合は、n 番目の保持容量電極 19 を n - 1 番目の前記ゲートバス配線 13 に重畠するように保持容量電極を形成する。30

【0015】

次に、図 7 に示すように、酸化シリコン、又は窒化シリコンのような絶縁物質をソース電極 27 及びドレイン電極 37 を含む基板上に蒸着して保護層 35 を形成する。第 6 マスクを用いて前記保護層 35 をパターンしてゲートパット 15 上に第 2 ゲートコンタクトホール 53 と、ソースパット 25 上に第 2 ソースコンタクトホール 63 と、そして前記ドレイン電極 37 上にドレインコンタクトホール 71 とを形成する。前記ゲートパット 15 は前記第 2 ゲートコンタクトホール 53 を通して外部の端子に連結され、前記ソースパット 25 は前記第 2 ソースコンタクトホール 63 を通して外部の端子に連結され、そして前記ドレイン電極 37 は前記ドレインコンタクトホール 71 を通して後に形成する画素電極 39 に連結される。40

【0016】

保持容量電極 19 を形成する場合は、保持容量電極 19 が画素電極 39 に連結されるように前記保護層 35 を除去して保持容量コンタクトホール 75 を形成する。

【0017】

図 8 に示すように、ゲートバス配線 13、ゲート電極 17、ゲートパット 15 及びソースパット 25 に連結され、アルミニウムから成る短絡配線 21 の一部分を第 7 マスクを用いて除去する。

【0018】

図 9 に示すように、保護層 35 を含む基板の全面に ITO (Indium Tin Oxide) を蒸着し、第 8 マスクを用いてパターンして画素電極 39、ゲートパット連結端子 55 及びソース

10

20

30

40

50

パット連結端子65を形成して、アクティブパネルの最終構造を完成される。

【発明の概要】

【発明が解決しようとする課題】

【0019】

以上の如く従来の液晶表示装置のアクティブパネルの製造工程には、8回のマスク工程が使用された。マスク工程の回数を多くすれば、前記液晶表示装置の品質が低下する。又、マスク工程を含む前記パターニング工程は、一般に長い時間が要求される。従って、一つのマスク工程を減らすことで、製造費用の節減、歩留まりが向上される。

【0020】

本発明は、ゲート電極及びゲートバス配線の陽極酸化を省略することによって、マスク工程を減らす液晶表示装置の製造方法を提供することを目的とする。 10

【0021】

本発明は、液晶表示装置において、マスク整列時に発生する不良を減らすことを他の目的とする。

【0022】

又、本発明は、歩留まり及び画質が向上した液晶表示装置を提供することを他の目的とする。

【0023】

又、本発明は、製造時間及び費用を減少させる液晶表示装置を提供することを他の目的とする。 20

【課題を解決するための手段】

【0024】

本発明による液晶表示装置の製造方法は、基板上に第1金属でゲートバス配線を形成する段階と；前記ゲートバス配線を含む前記基板上に第2金属を使用してゲート電極、第2ゲートバス配線及びゲートパッドを形成する段階と；前記ゲートバス配線、前記ゲート電極、前記ゲートパッド及び前記第2ゲートバス配線を含む前記基板上に第1絶縁物質を使用してゲート絶縁層を形成する段階と；前記ゲート絶縁層上に半導体層及び不純物半導体層を形成する段階と；前記不純物半導体層を含む前記基板上に第3金属を使用してソース電極、ドレイン電極、ソースバス配線及びソースパッドを形成する段階と；前記ソース及び前記ドレイン電極をマスクとして前記ソース及び前記ドレイン電極間に露出された前記不純物半導体層をエッチングし除去する段階と；前記ソース及び前記ドレイン電極を含む前記基板上に第2絶縁物質を使用して保護層を形成する段階と；前記ドレイン電極上にドレインコンタクトホールを、前記ソースパッド上にソースコンタクトホールを、そして前記ゲートパッド上にゲートパッドコンタクトホールを形成する段階と；前記保護層を含む前記基板上に導電物質を使用して画素電極を形成する段階とを含む。 30

【0025】

本発明による液晶表示装置の製造方法は、陽極酸化工程を省略して6回のマスク段階まで減らすことができる。従って短絡配線の形成及び前記短絡配線を断線(Cut)する工程が必要なくなる。又、ソースパットは、ゲートパットの形成段階で形成せず、ソース配線の形成段階で形成する。そうすることで、前記ソースパッドと前記ソースバス配線に連結されるソースコンタクトホールは、従来の二回のパターニング工程で形成するのでなく、保護層を一回だけパターニングして形成することが出来る。又、外部端子とゲートパットを連結するゲートコンタクトホールは、ゲート絶縁膜と保護層を同時にパターニングして形成することが出来る。その結果、前記短絡配線及び前記ゲート、ソースパッドコンタクトホールの形成のようなパターニング工程の低減が可能である。 40

【0026】

そして、本発明では、アルミニウム金属を陽極酸化してヒロックを防止する代わりに、アルミニウム金属を覆う第2金属を利用してヒロックを防止する。即ち、前記ゲートバス配線は、表面の安定性は良くなくても抵抗が小さい金属層と、抵抗が多少大きくて安定性がよい保護性金属層とを含む。又、前記ゲートパット及び前記ソースパット部分の金属

10

20

30

40

50

は、前記パット連結端子による導電物質に接触されている。

【0027】

詳細に説明すれば、基板上に第1金属を蒸着し、第1マスクを利用してパターニングしてゲートバス配線を形成する。前記ゲートバス配線が形成された基板の全面に第2金属を蒸着し、第2マスクを利用してパターニングしてゲート電極及びゲートパットを形成する。この際、第2金属から成る第2ゲートパット配線は前記ゲートバス配線を覆うように形成される。前記ゲート電極、前記第2ゲートバス配線及び前記ゲートパットが形成された基板の全面に絶縁物質を蒸着してゲート絶縁膜を形成する。前記ゲート絶縁膜上に真性半導体物質及び不純物が添加された半導体物質を連続蒸着して、第3マスクを利用してパターニングして半導体層及び不純物半導体層を形成する。前記半導体層が形成された基板の全面に第3金属を蒸着して、第4マスクを利用してパターニングしてソース電極、ドレイン電極、ソースバス配線及びソースパッドを形成する。前記ソース電極を含む基板の全面に絶縁物質を蒸着して保護層を形成する。そして、第5マスクを用いて前記ドレイン電極と前記ソースパットを覆っている前記各々の保護層の一部を除去してコンタクトホールを形成し、同時に前記ゲートパットを覆っている前記保護層と前記ゲート絶縁膜の一部を除去してコンタクトホールを形成する。前記保護層を含む基板の全面に導電性物質を蒸着して、第6マスクを用いてパターニングして前記コンタクトホールを通して前記ドレイン電極と連結される画素電極と、前記ゲートパットに連結されるゲートパット連結端子、そして前記ソースパットに連結されるソースパット連結端子を形成する。このように、本発明は、6回のマスク工程でアクティブパネルを製造する方法を提供する。本発明の具体的な製造方法については、次の実施の形態で詳しく説明する。

10

20

20

【発明の効果】

【0028】

本発明はゲート電極とゲートバス配線を陽極酸化しないことで、全体能動マトリクス方式の液晶基板を製造する際にマスク工程数を減らすことが出来る。従って、マスク整列で発生する誤差の累積を減らすことが出来、液晶表示装置の歩留まりと品質が向上する。更に、製造時間が減って製造費用の節減効果も得ることが出来る。

【図面の簡単な説明】

【0029】

【図1】従来の液晶表示装置においてアクティブパネルの一部を示す拡大平面図。

30

【図2】従来の液晶表示装置においてアクティブパネルの製造工程を示す断面図。

【図3】従来の液晶表示装置においてアクティブパネルの製造工程を示す断面図(続き)。

【図4】従来の液晶表示装置においてアクティブパネルの製造工程を示す断面図(続き)。

【図5】従来の液晶表示装置においてアクティブパネルの製造工程を示す断面図(続き)。

【図6】従来の液晶表示装置においてアクティブパネルの製造工程を示す断面図(続き)。

【図7】従来の液晶表示装置においてアクティブパネルの製造工程を示す断面図(続き)。

40

【図8】従来の液晶表示装置においてアクティブパネルの製造工程を示す断面図(続き)。

【図9】従来の液晶表示装置においてアクティブパネルの製造工程を示す断面図(続き)。

【図10】本発明の実施の形態1による液晶表示装置のアクティブパネルの一部を示す拡大平面図。

【図11】本発明の実施の形態1による液晶表示装置のアクティブパネルの製造工程を示す断面図。

【図12】本発明の実施の形態1による液晶表示装置のアクティブパネルの製造工程を示す断面図。

50

す断面図（続き）。

【図13】本発明の実施の形態1による液晶表示装置のアクティブパネルの製造工程を示す断面図（続き）。

【図14】本発明の実施の形態1による液晶表示装置のアクティブパネルの製造工程を示す断面図（続き）。

【図15】本発明の実施の形態1による液晶表示装置のアクティブパネルの製造工程を示す断面図（続き）。

【図16】本発明の実施の形態1による液晶表示装置のアクティブパネルの製造工程を示す断面図（続き）。

【図17】本発明の実施の形態2による液晶表示装置のアクティブパネルの製造工程を示す断面図。 10

【図18】本発明の実施の形態2による液晶表示装置のアクティブパネルの製造工程を示す断面図（続き）。

【図19】本発明の実施の形態2による液晶表示装置のアクティブパネルの製造工程を示す断面図（続き）。

【図20】本発明の実施の形態2による液晶表示装置のアクティブパネルの製造工程を示す断面図（続き）。

【図21】本発明の実施の形態2による液晶表示装置のアクティブパネルの製造工程を示す断面図（続き）。 20

【図22】本発明の実施の形態2による液晶表示装置のアクティブパネルの製造工程を示す断面図（続き）。

【図23】本発明の実施の形態3による液晶表示装置のアクティブパネルの一部を示す拡大平面図。

【図24】本発明の実施の形態3による液晶表示装置のアクティブパネルの製造工程を示す断面図。

【図25】本発明の実施の形態3による液晶表示装置のアクティブパネルの製造工程を示す断面図（続き）。

【図26】本発明の実施の形態3による液晶表示装置のアクティブパネルの製造工程を示す断面図（続き）。 30

【図27】本発明の実施の形態3による液晶表示装置のアクティブパネルの製造工程を示す断面図（続き）。

【図28】本発明の実施の形態3による液晶表示装置のアクティブパネルの製造工程を示す断面図（続き）。

【図29】本発明の実施の形態3による液晶表示装置のアクティブパネルの製造工程を示す断面図（続き）。

【発明を実施するための形態】

【0030】

実施の形態1 本発明の実施の形態1によるアクティブパネルの製造方法は、図10と、図11 - 図16（図10のIV - IV線に沿った断面図）を参照して説明する。

【0031】

図11に示すように、透明ガラス基板111上にアルミニウム、又はアルミニウム合金を蒸着し、第1マスクを用いてパターニングしてゲートバス配線113を形成する。前記ゲートバス配線113は、保持容量を形成するために活用されることもある。 40

【0032】

図12に示すように、クローム、モリブデン、タンタル、又はアンチモンのような金属を前記ゲートバス配線113が形成された基板の全面に蒸着し、第2マスクを用いてパターニングしてゲート電極117及び前記ゲートバス配線113の端部に連結されるゲートパット115を形成する。同時に、前記アルミニウム上のヒロックを除去するために前記ゲートバス配線113を完全に覆うクローム、モリブデン、タンタル又はアンチモンのような金属で第2ゲートバス配線113aを形成する。従って、本発明では前記ゲート電極 50

117 及び前記ゲートバス配線 113 を陽極酸化する必要がないため、短絡配線を形成する必要はない。

【0033】

図13に示すように、酸化シリコン、又は窒化シリコンのような絶縁物質を前記第2ゲートバス配線113aを含む基板の全面に蒸着してゲート絶縁膜129を形成する。真性半導体物質及び不純物が添加された半導体物質を前記絶縁層129の表面上に連続的に蒸着し、第3マスクでパターニングして、半導体層131及び不純物半導体層133を形成する。

【0034】

図14に示すように、クローム、又はクローム合金を前記不純物半導体層133を含む前記絶縁層129上に蒸着し、第4マスクを用いてパターニングしてソース電極127、ドレイン電極137、ソース配線123、保持電極119及びソースパット125を形成する。同時に、前記ソース電極127及び前記ドレイン電極137をマスクとして前記ソース電極127とドレイン電極137との間の前記不純物半導体層133の露出された部分を完全に除去する。その結果、前記ソース電極127及びドレイン電極137は、前記ゲート電極117上に各々対向して形成されている。前記ソース配線123は、列方向で配列された前記ソース電極127に連結されている。 n 番目の画素のための保持容量電極119は、 $n-1$ 番目の前記ゲートバス配線113及び前記第2ゲートバス配線113aに重畠されるように形成されている。

【0035】

図15に示すように、窒化シリコン、又は酸化シリコンのような絶縁物質を前記ソース電極127及び前記ドレイン電極137を含む前記基板上に蒸着して保護層135を形成する。第5マスクを用いてパターニングし、前記ドレイン電極137上にドレインコンタクトホール171を形成し、前記ソースパット125上にソースコンタクトホール161を形成する。同時に、前記ゲートパットを覆う前記保護層135及び前記ゲート絶縁膜129の一部を除去してゲートコンタクトホール151を形成する。保持容量電極119が形成される部分の保護層135を除去して保持容量コンタクトホール175を形成する。

【0036】

図16に示すように、ITO(Indium Tin Oxide)を前記保護層135を含む前記基板上に全面蒸着し、第6マスクでパターニングして画素電極139を形成する。前記画素電極139は、前記ドレインコンタクトホール171を通って前記ドレイン電極137に連結され、前記保持容量コンタクトホール175を通って前記保持容量電極119に連結されている。同時に、ITO層をパターニングして形成されるソースパット連結端子165は、前記ソースコンタクトホール161を通って前記ソースパット125に連結されている。又、ITO層をパターニングして形成されるゲートパット連結端子155は、前記ゲートコンタクトホール151を通って前記ゲートパット115に連結されている。

【0037】

実施の形態2本発明の実施の形態2によるアクティブパネルの製造方法は、図10及び図17-図22(図10のIV-IV線に沿った断面図)を参照して説明する。

【0038】

図17に示すように、透明ガラス基板111上にアルミニウム、又はアルミニウム合金を蒸着し、第1マスクを用いてパターニングしてゲートバス配線113、ゲート電極117及びゲートパット115を形成する。

【0039】

図18に示すように、前記ゲートバス配線113、前記ゲート電極117及び前記ゲートパット115が形成されている基板の全面に、クローム、モリブデン、タンタル、又はアンチモン等のような金属を蒸着し、第2マスクを用いてパターニングして第2ゲートバス配線113a、第2ゲート電極117a及び第2ゲートパット115aを形成する。前記第2ゲートバス配線、第2ゲート電極、第2ゲートパットは、アルミニウム(AI)金属表面のヒロックを除去するために形成するものである。従って、本発明では前記ゲート電極

10

20

30

40

50

117、前記ゲートバス配線113及び前記ゲートパット115を陽極酸化する必要がないため、短絡配線を形成する必要はない。

【0040】

図19に示すように、酸化シリコン、又は窒化シリコンのような絶縁物質を前記第2ゲートバス配線113aを含む基板の全面に蒸着してゲート絶縁膜129を形成する。真性半導体物質及び不純物が添加された半導体物質を前記絶縁層129の表面上に連続に蒸着し、第3マスクでパターニングして、半導体層131及び不純物半導体層133を形成する。

【0041】

図20に示すように、クローム、又はクローム合金を前記不純物半導体層133を含む前記絶縁層129上に蒸着し、第4マスクを用いてパターニングしてソース電極127、ドレイン電極137、ソース配線123、保持容量電極119及びソースパット125を形成する。その後、前記ソース電極127及び前記ドレイン電極137をマスクとして前記ソース電極127と前記ドレイン電極137間の前記不純物半導体層133の露出された部分を除去する。その結果、前記ソース電極127及び前記ドレイン電極137は、前記ゲート電極113上に各々対向して形成されている。前記ソース配線123は列方向で配列された前記ソース電極127に連結されている。n番目の画素の保持容量電極119は、n-1番目のゲートバス配線113に重畠されるように形成されている。

【0042】

図21に示すように、窒化シリコン、又は酸化シリコンのような絶縁物質を前記ソース電極127及び前記ドレイン電極137を含む基板の全面に蒸着して保護層135を形成する。前記保護層135の一部を第5マスクでパターニングして前記ドレイン電極137上にドレインコンタクトホール171を形成し、前記ソースパット125上にソースコンタクトホール161を形成する。同時に、ゲートパット115を覆う前記保護層135及び前記ゲート絶縁膜129の一部を除去してゲートコンタクトホール151を形成する。前記保持容量電極119が形成された部分の保護層135を除去して保持容量コンタクトホール175を形成する。

【0043】

最後に、図22に示すように、ITO(Indium Tin Oxide)を前記保護層135を含む前記基板に蒸着し、第6マスクでパターニングして画素電極139を形成する。前記画素電極139は、前記ドレインコンタクトホール171を通って前記ドレイン電極137に連結され、又前記保持容量コンタクトホール175を通って前記保持容量電極119に連結されている。同時に、前記ITO物質から形成されるソースパット連結端子165は、前記ソースコンタクトホール161を通って前記ソースパット125に連結されている。同様に、前記ITO物質から形成されるゲートパット連結端子155は、前記ゲートコンタクトホール151を通って前記ゲートパット115に連結されている。

【0044】

実施の形態3本発明の実施の形態3によるアクティブパネルの製造方法は、図23及び図24-図29(図23のVII-VII線に沿った断面図)を参照して説明する。本実施の形態は、実施の形態1の保持容量のための配線を別に形成することを示す例である。勿論、実施の形態2に適用することもできる。

【0045】

図23、図24に示すように、透明ガラス基板111上にアルミニウム、又はアルミニウム合金を蒸着し、第1マスクを用いてパターニングしてゲートバス配線113を形成する。前記ゲートバス配線113を形成する際に同じ方法で前記ゲートバス配線113と平行に画素を横切るように前記ゲートバス配線113と同じ物質で保持容量配線141を形成する。

【0046】

図25に示すように、クローム、モリブデン、タンタル、又はアンチモンのような金属を前記ゲートバス配線113を含む前記基板の全面に蒸着し、第2マスクを用いてパター-

10

20

30

40

50

ニングしてゲート電極 117 及び前記ゲートバス配線 113 の端部にゲートパット 115 を形成する。同時に、第 2 ゲートバス配線（図示せず）を前記アルミニウムから成る前記ゲートバス配線 113 を覆うように形成する。クローム、モリブデン、タンタル又はアンチモンのような金属で形成されている前記第 2 ゲートバス配線は、前記アルミニウム表面のヒロックを除去する。この時、前記第 2 ゲートバス配線を形成する間に前記保持容量配線 141 を覆う第 2 保持容量配線 141a を形成する。従って、本発明では前記ゲート電極 117 及び前記ゲートバス配線 113 を陽極酸化しないため、短絡配線を形成する必要はない。

【0047】

図 26 に示すように、前記第 2 ゲートバス配線 113a、前記第 2 保持容量配線 141a を含む前記基板上に酸化シリコン、又は窒化シリコンのような絶縁物質を蒸着してゲート絶縁層 129 を形成する。前記絶縁層が形成されている前記基板上に真性半導体物質及び不純物が添加された半導体物質を連続蒸着し、第 3 マスクでパターニングして半導体層 131 及び不純物半導体層 133 を形成する。

【0048】

図 27 に示すように、前記不純物半導体層 133 を含む前記ゲート絶縁膜 129 上にクローム、又はクローム合金を蒸着し、第 4 マスクでパターニングしてソース電極 127、ドレイン電極 137、ソース配線 123 及びソースパット 125 を形成する。この際、前記保持容量配線 141 及び前記第 2 保持容量配線 141a に重畠するように保持容量電極 119 を形成する。続いて、前記ソース電極 127 及び前記ドレイン電極 137 をマスクとして前記ソース電極 127 と前記ドレイン電極 137 との間の前記不純物半導体層 133 の露出された部分を除去する。

【0049】

図 28 に示すように、前記ソース電極 127 を含む前記基板上に窒化シリコン、又は酸化シリコンのような絶縁物質を蒸着して保護層 135 を形成する。前記保護層 135 を蒸着した後、第 5 マスクで前記保護層 135 をパターニングして前記ドレイン電極 137 上にドレインコンタクトホール 171 を形成し、前記ソースパット 125 上にソースコンタクトホール 161 を形成する。同時に、前記ゲートパッド上の前記保護層 135 及び前記ゲート絶縁層 129 を除去してゲートコンタクトホール 151 を形成する。前記保持容量配線 119 が形成されている部分の前記保護層 135 を除去して保持容量コンタクトホール 175 を形成する。

【0050】

図 29 に示すように、前記保護層 135 を含む基板上に ITO を蒸着し、第 6 マスクでパターニングして画素電極 139 を形成する。前記画素電極 139 は、前記ドレインコンタクトホール 171 を通して前記ドレイン電極に連結され、又前記保持容量コンタクトホール 175 を通って前記保持容量電極 119 に連結されている。同時に、前記 ITO 物質で形成されるソースパット連結端子 165 は、前記ソースコンタクトホール 161 を通して前記ソースパット 125 に連結されている。同様に、前記 ITO 物質で形成されるゲートパッド連結端子 155 は、前記ゲートコンタクトホール 151 を通して前記ゲートパッド 115 に連結されている。

【符号の説明】

【0051】

11、111 基板

13a 陽極酸化層

13、113 ゲートバス配線

113a 第 2 ゲートバス配線

15、115 ゲートパット

115a 第 2 ゲートパット

17、117 ゲート電極

117a 第 2 ゲート電極

10

20

30

40

50

19、119 保持容量電極

21 短絡配線 (Shorting Bar)

23、123 ソース配線

25、125 ソースパット

27、127 ソース電極

29、129 ゲート絶縁膜

31、131 半導体層

33、133 不純物半導体層

35、135 保護層

37、137 ドレイン電極

39、139 画素電極

51 第1ゲートコンタクトホール

53 第2ゲートコンタクトホール

55、155 ゲートパット連結端子

57 ゲートパット中間電極

61 第1ソースコンタクトホール

63 第2ソースコンタクトホール

65、165 ソースパット連結端子

67 ソースパット中間電極

71、171 ドレインコンタクトホール

75、175 保持容量コンタクトホール

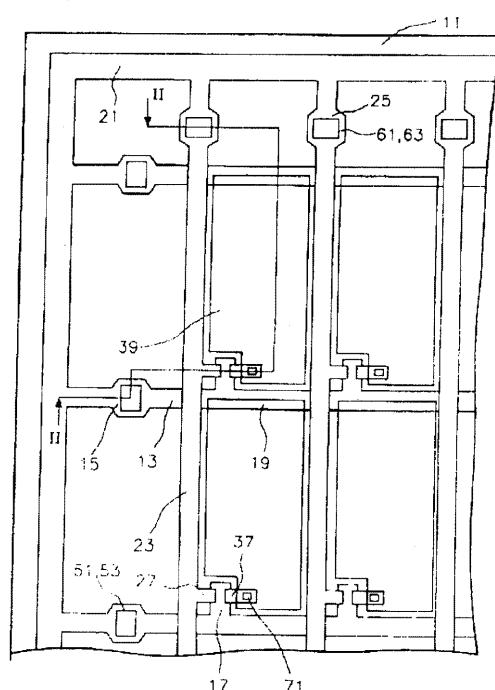
141 保持容量配線

141a 第2保持容量配線

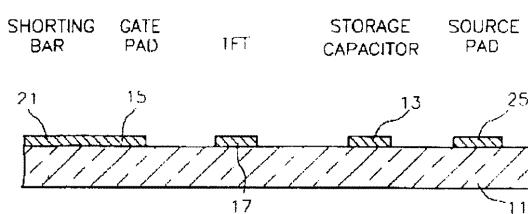
151 ゲートコンタクトホール

161 ソースコンタクトホール

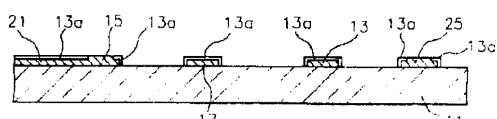
【図1】



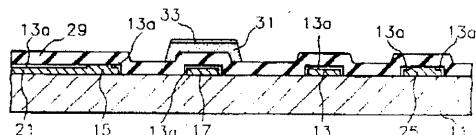
【図2】



【図3】



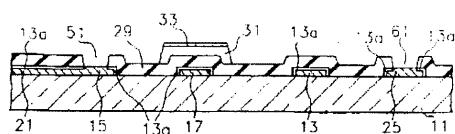
【図4】



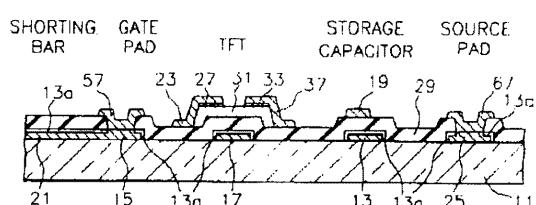
10

20

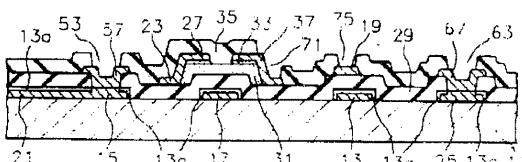
【図 5】



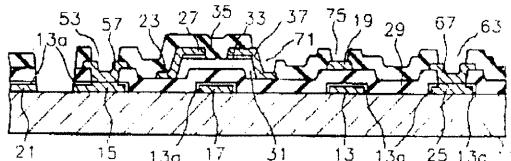
【図 6】



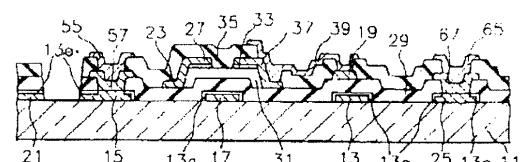
【図 7】



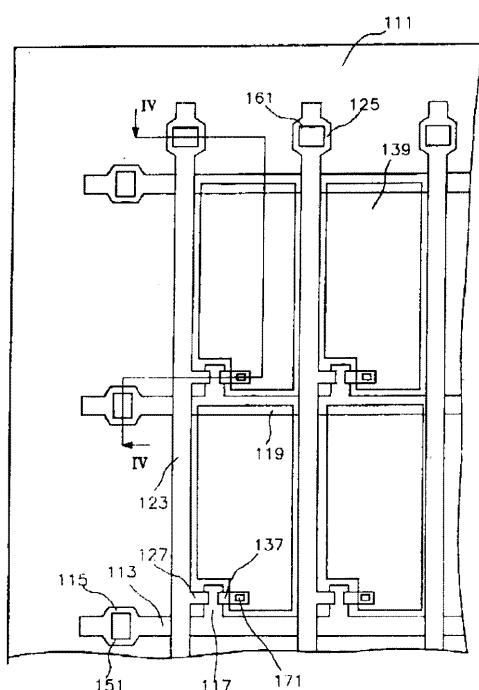
【図 8】



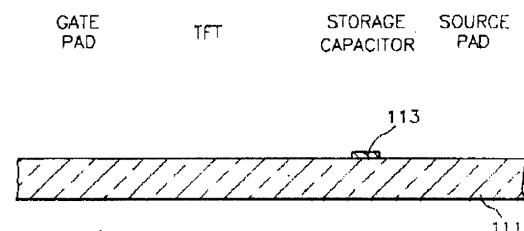
【図 9】



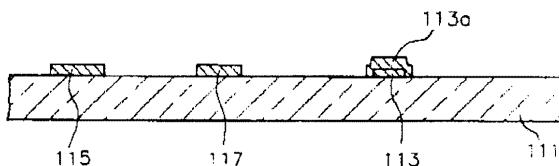
【図 10】



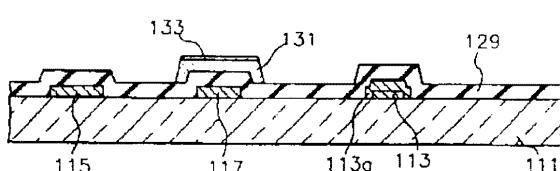
【図 11】



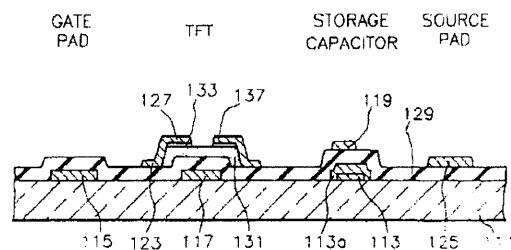
【図 12】



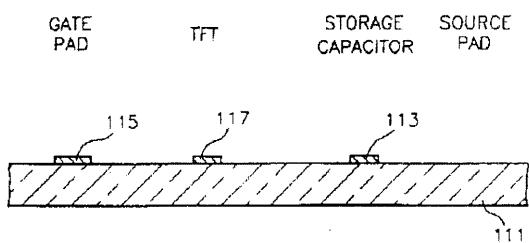
【図 13】



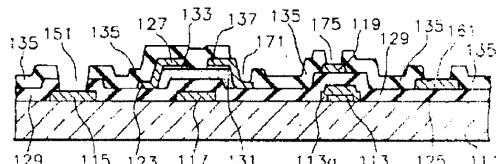
【図 14】



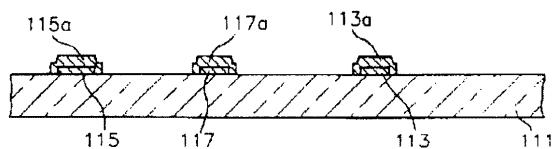
【図 17】



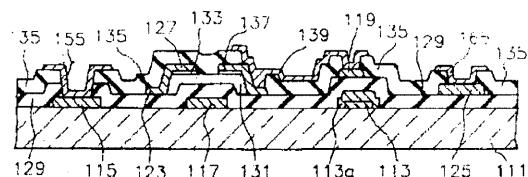
【図 15】



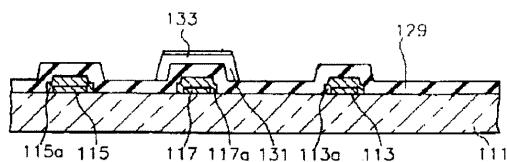
【図 18】



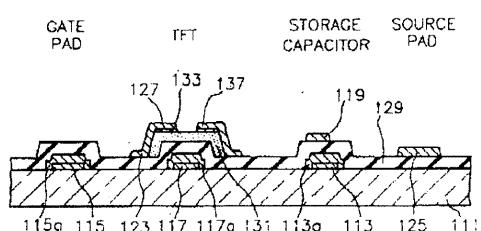
【図 16】



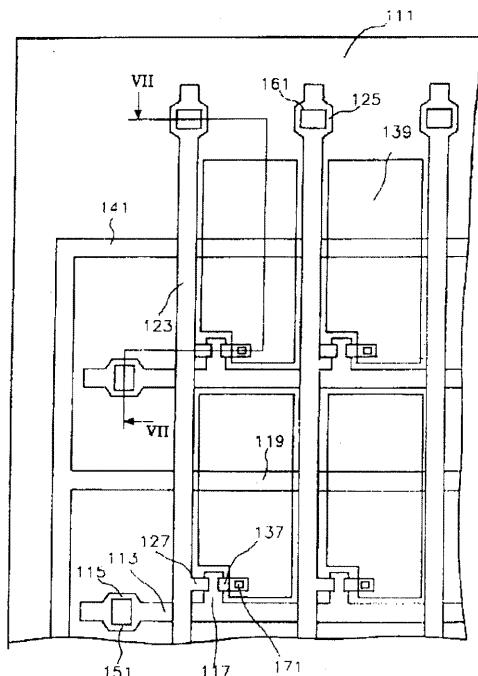
【図 19】



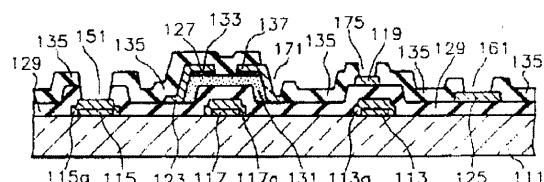
【図 20】



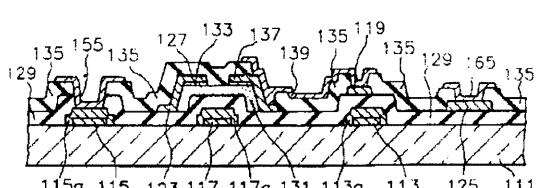
【図 23】



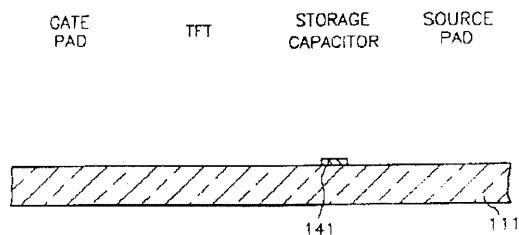
【図 21】



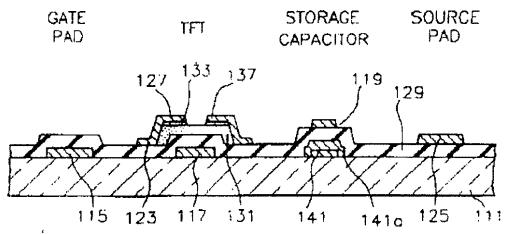
【図 22】



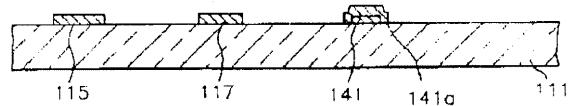
【図24】



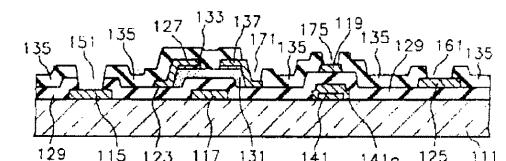
【図27】



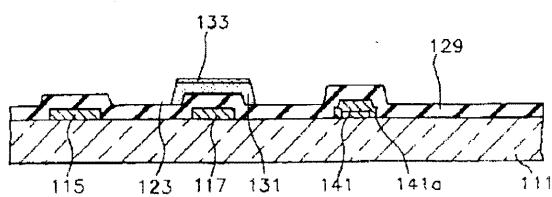
【図25】



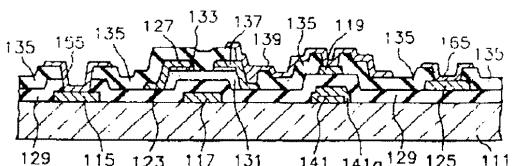
【図28】



【図26】



【図29】



フロントページの続き

(72)発明者 李 性秀

大韓民国 京機道安養市 東安区 虎溪洞 533番地 エルジー電子株式会社 第1研究団地L
C D研究所内

F ターム(参考) 2H092 GA29 GA42 HA04 HA12 HA18 JA26 JA40 JA46 JB64 JB68
KA12 KA22 MA04 MA14 MA17 MA37 NA27 NA29
5C094 AA42 AA44 BA03 BA43 CA19 DA13 FB12 FB15 GB10
5F110 AA16 BB01 CC07 DD02 EE02 EE03 EE04 EE06 EE14 EE43
FF02 FF03 FF27 GG02 GG35 HK04 HK06 HK09 HK21 HK32
HL07 HL22 NN02 NN23 NN24 NN33 NN73 QQ09

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2010108000A	公开(公告)日	2010-05-13
申请号	JP2010008965	申请日	2010-01-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	李性秀		
发明人	李 性秀		
IPC分类号	G02F1/1368 H01L21/336 H01L29/786 G09F9/30 G02F1/1343 G02F1/136 G02F1/1362 G09F9/35		
CPC分类号	G02F1/13458 G02F1/136213 G02F1/136227 G02F1/136286 G02F2001/13629		
FI分类号	G02F1/1368 H01L29/78.612.D G09F9/30.338		
F-TERM分类号	2H092/GA29 2H092/GA42 2H092/HA04 2H092/HA12 2H092/HA18 2H092/JA26 2H092/JA40 2H092/JA46 2H092/JB64 2H092/JB68 2H092/KA12 2H092/KA22 2H092/MA04 2H092/MA14 2H092/MA17 2H092/MA37 2H092/NA27 2H092/NA29 5C094/AA42 5C094/AA44 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/FB12 5C094/FB15 5C094/GB10 5F110/AA16 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE43 5F110/FF02 5F110/FF03 5F110/FF27 5F110/GG02 5F110/GG35 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK21 5F110/HK32 5F110/HL07 5F110/HL22 5F110/NN02 5F110/NN23 5F110/NN24 5F110/NN33 5F110/NN73 5F110/QQ09 2H192/AA24 2H192/CB05 2H192/CC32 2H192/DA02 2H192/DA23 2H192/FA65 2H192/HA47		
代理人(译)	朝日 伸光		
优先权	1019960077958 1996-12-30 KR		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少掩蔽步骤，以提高产量和生产率。 ŽSOLUTION：
在制造液晶显示装置的方法中，铝或铝合金气相沉积在透明玻璃基板111上以形成栅极总线113，然后诸如铬，钼，钽或锑的金属是蒸气 - 沉积在基板的整个表面上，通过使用第二掩模来形成图案化以形成栅电极117和连接到栅极总线的端部的栅极焊盘115，并且通过以下方式形成第二栅极总线113a：使用铬，钼，钽或锑等金属完全覆盖栅极总线，以去除铝上的小丘。由于不需要阳极氧化栅电极和栅极总线，因此不需要形成短路线。在该制造方法中，消除了阳极氧化步骤，并且可以减少六个掩蔽步骤，并且不需要用于形成短路线和断开短路线的步骤。 Ž

