

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6113261号
(P6113261)

(45) 発行日 平成29年4月12日 (2017.4.12)

(24) 登録日 平成29年3月24日 (2017.3.24)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 621A
G02F 1/133 (2006.01)	G09G 3/20 622B
	G09G 3/20 642A
	G02F 1/133 550

請求項の数 8 (全 20 頁)

(21) 出願番号	特願2015-244013 (P2015-244013)	(73) 特許権者	512187343
(22) 出願日	平成27年12月15日 (2015.12.15)		三星ディスプレイ株式会社
(62) 分割の表示	特願2014-130160 (P2014-130160) の分割		Samsung Display Co., Ltd.
原出願日	平成22年9月22日 (2010.9.22)		大韓民国京畿道龍仁市器興区三星路1
(65) 公開番号	特開2016-95517 (P2016-95517A)	(74) 代理人	100121382
(43) 公開日	平成28年5月26日 (2016.5.26)		弁理士 山下 託嗣
審査請求日	平成28年1月6日 (2016.1.6)	(72) 発明者	金 ▲ヒョク▼ 珍
(31) 優先権主張番号	10-2009-0133158		大韓民国忠清南道牙山市湯井面鳴岩里トラ
(32) 優先日	平成21年12月29日 (2009.12.29)		プレイス アパート102棟705号
(33) 優先権主張国	韓国 (KR)	(72) 発明者	朴 徑 浩
			大韓民国忠清南道天安市斗井洞1214番
			地503号

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

行列形態に配列されている複数の画素と、
 前記画素にゲート信号を伝達する複数のゲートラインと、
 前記画素にデータ信号を伝達する複数のデータラインと、
 前記ゲートラインに連結されており、互いに位相の異なる第1乃至第6クロック信号を
 含むクロック信号に基づいて前記ゲート信号を生成するゲート駆動部と、
 前記データラインに連結されて前記データ信号を生成するデータ駆動部と、
 前記ゲート駆動部及びデータ駆動部の動作を制御する制御部と、を含み、
 前記ゲート駆動部は、第1ステージ群及び第2ステージ群を含み、
 前記第1ステージ群の各ステージは、開始信号及び前記クロック信号を受信して第1ゲ
 ート信号を生成して該当ゲートラインに伝達するものであり、前記第2ステージ群の各ス
 テージは、前記第1ステージ群の対応するステージから出力された信号及び前記クロック
 信号を受信して第2ゲート信号を生成して該当ゲートラインに伝達するものであり、
 前記第1ステージ群及び前記第2ステージ群の各ステージは、プルアップトランジスタ
 及びバッファートランジスタを含み、
 前記各プルアップトランジスタは、前記クロック信号が供給されるソース電極と、該当
 ゲートラインに接続されるドレイン電極とを備え、
 前記各バッファートランジスタは、同一のステージにおける前記プルアップトランジスタ
 のゲート電極に接続されたドレイン電極を備え、

10

20

前記第 1 ステージ群は第 1 乃至第 3 ステージを含み、前記第 2 ステージ群は第 4 乃至第 6 ステージを含み、

前記第 1 乃至第 6 ステージは、前記バッファートランジスタとして、それぞれ第 1 乃至第 6 バッファートランジスタを含み、前記プルアップトランジスタとして、それぞれ第 1 乃至第 6 プルアップトランジスタを含み、

前記第 1 乃至第 3 バッファートランジスタにそれぞれ備えられるソース電極とゲート電極には、いずれも、前記開始信号が供給され、前記第 1 乃至第 3 プルアップトランジスタは、それぞれ前記第 1 乃至第 3 クロック信号に基づく前記第 1 ゲート信号を該当ゲートラインへと供給し、

前記第 4 乃至第 6 バッファートランジスタにそれぞれ備えられるゲート電極には、前記第 1 乃至第 3 ステージからの信号がそれぞれ供給され、前記第 1 乃至第 3 プルアップトランジスタは、それぞれ前記第 4 乃至第 6 クロック信号に基づく前記第 2 ゲート信号を該当ゲートラインへと供給し、

前記第 2 バッファートランジスタのチャンネル幅は、前記第 1 バッファートランジスタのチャンネル幅より小さいことを特徴とする表示装置。

【請求項 2】

前記第 2 バッファートランジスタのチャンネル幅は、前記第 1 バッファートランジスタのチャンネル幅より約 3 5 % 小さいことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記第 1 ステージ群及び前記第 2 ステージ群の各ステージは、
前記プルアップトランジスタを含む電圧出力部と、
前記バッファートランジスタを含み、これにより前記電圧出力部を駆動する出力駆動部と、

第 1 及び第 2 インバータトランジスタを含み、これらのドレイン電極が前記ゲートオフ電圧の電位を有する導体に接続され、前記第 1 インバータトランジスタのソース電極及び前記第 2 インバータトランジスタのゲート電極が、該当ゲートラインに接続され、また、第 1 インバータトランジスタのゲート電極と、第 2 インバータトランジスタのソース電極が接続され、これらに、共に、クロック信号が供給され、これにより、前記ゲートラインをゲートオフ電圧にホールディングするホールディング部と、

放電トランジスタを含み、この放電トランジスタは、ソース電極が前記ゲートラインの一端に接続され、ゲート電極が次段のゲートラインに接続され、ドレイン電極が、前記ゲートオフ電圧の電位を有する導体に接続され、これにより、前記電圧出力部から出力されたゲート電圧にตอบสนองして前記ゲートラインを前記ゲートオフ電圧に放電させる放電部と、を各々含むことを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記クロック信号は、
順次に 1 H 期間だけ遅延し、ハイ/ローを繰り返す第 1 乃至第 3 クロック信号と、
順次に 1 H 期間だけ遅延し、前記第 1 乃至第 3 クロック信号と、それぞれ 1 8 0 ° の位相差を有し、ハイ/ローを繰り返す第 4 乃至第 6 クロック信号と、を含み、

前記 1 H 期間は、前記ハイ/ローの各区間の 1 / 3 であることを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

ゲート信号とデータ信号とにตอบสนองして映像を表示する表示部と、
前記表示部にデータ信号を提供するデータ駆動部と、
従属的に連結された複数のステージを含み、互いに位相の異なる第 1 乃至第 6 クロック信号を含むクロック信号にตอบสนองして前記表示部に前記ゲート信号を出力するゲート駆動部と、

前記データ駆動部及びゲート駆動部の動作を制御する制御部と、を含み、

前記ゲート駆動部は、

従属的に連結され、対応するゲートラインに前記ゲート信号を提供する複数のステージ

10

20

30

40

50

を含み、

前記複数のステージにより、第1ステージ群及び第2ステージ群が形成され、

前記第1及び第2ステージ群の各ステージは、プルアップトランジスタ及びバッファートランジスタを含み、

前記各プルアップトランジスタは、前記クロック信号が供給されるソース電極と、該当ゲートラインに接続されるドレイン電極とを備え、

前記各バッファートランジスタは、同一のステージにおける前記プルアップトランジスタのゲート電極に接続されたドレイン電極を備え、

前記第1ステージ群は第1乃至第3ステージを含み、記第2ステージ群は第4乃至第6ステージを含み、

前記第1乃至第6ステージは、前記バッファートランジスタとして、それぞれ第1乃至第6バッファートランジスタを含み、前記プルアップトランジスタとして、それぞれ、第1乃至第6プルアップトランジスタを含み、

前記第1乃至第3バッファートランジスタにそれぞれ備えられるソース電極とゲート電極には、いずれも、前記開始信号が供給され、前記第1乃至第3プルアップトランジスタは、それぞれ前記第1乃至第3クロック信号に基づく前記第1ゲート信号を該当ゲートラインへと供給し、

前記第4乃至第6バッファートランジスタにそれぞれ備えられるゲート電極には、前記第1乃至第3ステージからの信号がそれぞれ供給され、前記第1乃至第3プルアップトランジスタは、それぞれ前記第4乃至第6クロック信号に基づく前記第1ゲート信号を該当ゲートラインへと供給し、

前記第2バッファートランジスタのチャンネル幅は、前記第4バッファートランジスタのチャンネル幅より狭いことを特徴とする表示装置

【請求項6】

前記第2バッファートランジスタのチャンネル幅は、前記第1バッファートランジスタのチャンネル幅より約35%小さいことを特徴とする請求項5に記載の表示装置。

【請求項7】

前記第3バッファートランジスタのチャンネル幅も、前記第4バッファートランジスタのチャンネル幅より狭いことを特徴とする請求項5に記載の表示装置。

【請求項8】

前記第1バッファートランジスタのチャンネル幅が前記第2及び第3バッファートランジスタのチャンネル幅より広いことを特徴とする請求項5に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ゲート駆動回路及びこれを含む表示装置に関し、より詳しくは、画質の不良を改善するゲート駆動回路及びこれを含む表示装置に関する。

【背景技術】

【0002】

一般に、表示装置の1つである液晶表示装置は、下部基板、下部基板に対向する上部基板、下部基板と上部基板との間に形成された液晶層を利用して映像を表示する液晶表示パネルを備える。液晶表示パネルは、多数のゲートライン、多数のデータライン、多数のゲートラインと多数のデータラインに接続された多数の画素を備える。

【0003】

液晶表示装置は、多数のゲートラインにゲートパルスを順に出力するためのゲート駆動回路及び多数のデータラインにピクセル電圧を出力するデータ駆動回路を備える。一般に、ゲート駆動回路及びデータ駆動回路はチップの形態からなり、フィルム又は液晶表示パネル上に実装される。

【0004】

最近の液晶表示装置では、チップの数を減らすために薄膜工程を通じて下部基板上にゲ

10

20

30

40

50

ート駆動回路を直接形成したアモルファスシリコンゲート (amorphous silicon gate) の構造を採択している。このとき、液晶表示装置において、ゲート駆動回路は従属的に接続された多数のステージからなる1つ以上のシフトレジスタを備える。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】大韓民国特許出願公開第10-2008-000746号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0006】

本発明で解決しようとする技術的な課題は、画質の不良が生じないゲート駆動回路を提供することである。

【0007】

本発明で解決しようとする他の技術的な課題は、画質の不良が生じないゲート駆動回路を含む表示装置を提供することである。

【課題を解決するための手段】

【0008】

本発明の目的を達成するための実施形態によるゲート駆動回路は、行列形態に配列されている複数の画素と、上記画素にゲート信号を伝達する複数のゲートラインと、上記画素にデータ信号を伝達する複数のデータラインと、上記ゲートラインに連結されており、1つ以上のクロック信号に基づいて上記ゲート信号を生成するゲート駆動部と、上記データラインに連結されて上記データ信号を生成するデータ駆動部と、上記ゲート駆動部及びデータ駆動部の動作を制御する制御部と、を含み、上記ゲート駆動部は、開始信号を受信して第1ゲート信号を生成して該当ゲートラインに伝達する第1ステージ群及び上記第1ステージ群から出力された上記第1ゲート信号を受信して第2ゲート信号を生成して該当ゲートラインに伝達する第2ステージ群を含み、上記第1ステージ群は、第1乃至第3ステージを含み、上記第1ステージは、上記開始信号を受信する第1バッファートランジスタを含み、上記第2ステージは、上記開始信号を受信する第2バッファートランジスタを含み、上記第2バッファートランジスタのチャンネル幅は、上記第1バッファートランジスタのチャンネル幅より小さいことを特徴とする。

20

30

【発明の効果】

【0009】

本発明によると、ゲート駆動回路の特定のトランジスタの大きさを調整、又は特定のトランジスタにゲートオフ電圧を印加、又はダミーステージを追加することによって画質の不良を除去することができる。

【図面の簡単な説明】

【0010】

【図1】図1は、本発明の第1実施形態による液晶表示装置の平面図である。

【図2A】図2Aは、図1に示す本発明の1つの実施形態によるゲート駆動回路のブロック図である。

40

【図2B】図2Bは、図1に示す本発明の1つの実施形態によるゲート駆動回路のブロック図である。

【図3】図3は、ゲート駆動回路の中で1つのステージをより詳しく説明するための回路図である。

【図4】図4は、ゲート駆動回路に印加されるクロック等及び各ステージのQ-ノード電圧を示すタイミング図である。

【図5A】図5Aは、ゲート駆動回路に印加される開始信号及びクロック信号等を示すタイミング図である。

【図5B】図5Bは、ゲート駆動回路の初期駆動の時、各ステージのQ-ノードの電圧を

50

示すタイミング図である。

【図6】図6は、本発明の実施形態によるバッファートランジスタの大きさを調節した結果を示す説明図である。

【図7A】図7Aは、従来の第1乃至第3クロックを示すタイミング図である。

【図7B】図7Bは、バッファートランジスタの大きさによって調節された第1乃至第3クロックを示すタイミング図である。

【図7C】図7Cは、第1乃至第3ステージのバッファートランジスタのカッティング比率及びフリーチャージ時間を示す表である。

【図8】図8は、本発明の第2実施形態によるバッファートランジスタの構造を示す図面である。

【図9】図9は、図8のバッファートランジスタの切断線A-A'による断面図である。

【図10A】図10Aは、トップゲートに印加される電圧によるバッファートランジスタの電流変化を示すグラフである。

【図10B】図10Bは、トップゲートに印加される電圧によるバッファートランジスタの電流変化を示すグラフである。

【図11】図11は、本発明の第3実施形態によるゲート駆動回路を示す説明図である。

【発明を実施するための形態】

【0011】

以下に、図面を参考にして本発明の実施形態等をより詳しく説明する。本発明は、様々に変更し、実施することができるので、特定の実施形態等を例示して詳しく説明する。ただし、実施例の記載は本発明を特定の形態に限定するものではなく、本発明の思想及び技術範囲に含まれる均等技術又は変形技術等を含む。各図面の説明において、類似な構成要素に対しては同じ符号を付与した。添付された図面において、構造物等の寸法は本発明の明確性のために実際より拡大して図示した。第1、第2等の用語は様々な構成要素等を説明するために用いているが、各構成要素等は用語等によって限定されるものではない。用語等は1つの構成要素を異なる構成要素から区別する目的で使われているだけである。例えば、本発明の権利範囲を外れない限り、第1構成要素は第2構成要素に、第2構成要素は第1構成要素に適用できる。また単数は文脈から明白に表現されていない限り、複数も含む。

【0012】

以下に、本発明の実施形態をより詳しく説明する。

【0013】

図1は本発明の第1実施形態による液晶表示装置の平面図である。

【0014】

図1に示すように、液晶表示装置400は、映像を表示する液晶表示パネル100、液晶表示パネル100にデータ電圧を出力する多数のデータ駆動部320及び液晶表示パネル100にゲート電圧を出力するゲート駆動部210を含む。

【0015】

液晶表示パネル100は、下部基板110、下部基板110にお互いに向い合う上部基板120及び下部基板110と上部基板120との間に介在する液晶層(図示せず)からなる。液晶表示パネル100は映像を表示する表示領域DA、表示領域DAに隣接する周辺領域PAからなる。

【0016】

表示領域DAには、多数のゲートラインGL1~GLnと絶縁されて交差する多数のデータラインDL1~DLmが形成される。表示領域DAには、多数のゲートラインGL1~GLn及び多数のデータラインDL1~DLmを通じて印加される駆動電圧によって画像を表示する多数の画素領域が形成される。この実施形態において、画素領域等は、実際に同じ構造及び機能を有するので、1つの画素領域(例えば、第1画素領域)を例にとって詳しく説明する。画素領域には薄膜トランジスタTr、液晶キャパシタClc及びストレージキャパシタCstからなる画素P1が設けられている。例えば、薄膜トランジスタ

10

20

30

40

50

Trのゲート電極は第1ゲートラインGL1に電氣的に接続され、ドレイン電極(図示せず)は第1データラインDL1に電氣的に接続され、ソース電極(図示せず)は液晶キャパシタClcの第1電極である画素電極(図示せず)に電氣的に接続される。ストレージキャパシタCstは液晶キャパシタClcに並列接続される。

【0017】

ゲート駆動回路210は、多数のゲートラインGL1~GLnの一端部に隣接する周辺領域PAに形成される。ゲート駆動回路210は多数のゲートラインGL1~GLnの一端部に電氣的に接続されてゲート電圧を多数のゲートラインGL1~GLnに順に印加する。ゲート駆動回路210は画素領域の薄膜トランジスタTrを製造する工程において同時に形成される。

10

【0018】

多数のデータラインDL1~DLmの一端部に隣接する周辺領域PAには、多数の駆動回路基板310が形成される。例えば、多数の駆動回路基板310はテープキャリアパッケージ(Tape Carrier Package:TCP)又はチップオンフィルム(Chip On Film:COF)が利用される。多数の駆動回路基板310上には、多数のデータ駆動チップ320が実装される。多数のデータ駆動チップ320は多数のデータラインDL1~DLmの一端部に電氣的に接続されて多数のデータラインDL1~DLmにデータ電圧を出力する。

【0019】

液晶表示装置400は、ゲート駆動回路210と多数のデータ駆動チップ320の駆動を制御するためにコントロール印刷回路基板330をさらに備える。コントロール印刷回路基板330は多数のデータ駆動チップ320の駆動を制御するデータ制御信号と映像データを出力し、ゲート駆動回路210の駆動を制御するゲート制御信号を出力する。

20

【0020】

コントロール印刷回路基板330は、外部から映像データが入力され、データ制御信号とゲート駆動制御信号を生成するタイミングコントローラ331及びゲート制御信号を生成するゲート制御回路332をさらに含む。本発明の他の実施形態として、コントロール印刷回路基板330はタイミングコントローラを含む他の印刷回路基板から制御信号を受信し、データ制御信号を生成して出力するデータ印刷回路基板を利用しても良い。

【0021】

タイミングコントローラ331は、多数のデータ駆動チップ320とゲート駆動回路210の駆動を制御する。ゲート制御回路332は、ゲート駆動回路210の駆動のためのクロック信号、ゲート信号の開始を知らせる開始信号STV等を生成する。

30

【0022】

コントロール印刷回路基板330は、データ制御信号と映像データを多数の駆動回路基板310を通じて多数のデータ駆動チップ320に印加する。また、コントロール印刷回路基板330はゲート制御信号をゲート駆動回路210に隣接する駆動回路基板310を通じてゲート駆動回路210に印加する。

【0023】

本発明の他の実施形態として、多数のデータ駆動チップ310及びゲート駆動回路210は、少なくとも1つの集積回路チップの形態で液晶表示パネル100上に直接装着することができ、また可撓性印刷回路膜(flexible printed circuit film)(図示せず)上に装着して液晶表示パネル100に付着することができ、さらには別の印刷回路基板(printed circuit board)(図示せず)上に装着することもできる。また、多数のデータ駆動チップ310及びゲート駆動回路210は、信号線GL1~GLn、DL1~DLm及び薄膜トランジスタTrと共に液晶表示パネル100に集積することもできる。また、多数のデータ駆動チップ310及びゲート駆動回路210、タイミングコントローラ331及びゲート制御回路332は、単一チップに集積することもできる。この場合、これらのうちの少なくとも1つ又はこれらを構成する少なくとも1つの回路素子を単一チップの外に位置することができる。

40

50

【0024】

続いて、図2A乃至図4を参考にしてゲート駆動回路210を詳しく説明する。

【0025】

図2A及び図2Bは図1に図示される本発明の1つの実施形態によるゲート駆動回路のブロック図である。

【0026】

図2A及び図2Bに示すように、ゲート駆動回路210はN個(Nは2以上の自然数)のステージASG-1~ASG-N及びダミー(dummy)ステージASG-Dを含むシフトレジスタ210aからなる。N個のステージASG-1~ASG-Nは、第1ステージ群(stage group)SG1及び第2ステージ群SG2に分割される。ゲート駆動回路210は、多数のゲートラインGL1~GLnの第2端部に設けられて、次のステージの中の何れか1つのステージから出力されたゲート電圧に応じて、現在のゲートラインをオフ電圧VSSに放電させる放電部210bをさらに含む。また、ゲート駆動回路210は、1番目のステージASG-1を駆動するためのダミーステージ(図示せず)をさらに含む。

10

【0027】

N個のステージASG-1~ASG-Nは第1入力端子IN1、第1及び第2クロック端子CK1、CK2、第2入力端子IN2、電圧入力端子Vin、リセット端子RE、出力端子OUT及びキャリ端子CRを含む。

【0028】

各ステージASG-1~ASG-Nの第1入力端子IN1は、以前ステージ等の中で何れか1つのステージのキャリ端子CRに電氣的に接続されて、キャリ電圧が入力される。本実施形態において、各ステージASG-1~ASG-Nは3段階前のステージからキャリ電圧を入力される。例えば、N番目のステージASG-NはN-3番目のステージからキャリ電圧を印加される。また、多数のステージASG-1~ASG-Nの中で1番目のステージASG-1、2番目のステージASG-2乃至3番目のステージASG-3の第1入力端子IN1には、以前ステージのキャリ電圧の代わりにゲート駆動回路210の駆動を開始する開始信号STVが提供される。開始信号STVが印加される1番目乃至3番目のステージASG-1~ASG-3が第1ステージ群SG1に含まれる。この場合、第2ステージ群SG2は残りのステージASG-4~ASG-N及びダミーステージASG-Dからなる。

20

30

【0029】

各ステージASG-1~ASG-Nの第2入力端子IN2は、次のステージ等の中で何れか1つのステージの出力端子OUTに電氣的に接続されてゲート電圧が入力される。

【0030】

但し、ダミーステージASG-Dの第2入力端子IN2には開始信号STVが提供される。ダミーステージASG-Dは、多数のステージASG-1~ASG-Nのゲート電圧をオフレベルにするためのステージである。

【0031】

ダミーステージを除いた多数のステージASG-1~ASG-Nは、第1乃至第3クロックCKV1~CKV3及び第1乃至第3クロックCKVB1~CKVB3と異なる位相を有する第4乃至第6クロックCKVB1~CKVB1が選択的に提供される。例えば、多数のステージASG-1~ASG-Nの中で6N-5番目のステージASG-1、ASG-7、...ASG-6N-2(Nは自然数)の第1クロック端子CK1には第1クロックCKV1が提供され、第2クロック端子CK2には第4クロックCKVB1が提供される。6N-4番目のステージASG-2、ASG-8、...ASG-6N-4の第1クロック端子CK1には第2クロックCKV2が提供され、第2クロック端子CK2には第5クロックCKVB2が提供される。6N-3番目のステージASG-3、ASG-9、...ASG-6N-3(Nは自然数)の第1クロック端子CK1には第3クロックCKV3が提供され、第2クロック端子CK2には第6クロックCKVB3が提供される。

40

50

【0032】

また、 $6N - 2$ 番目のステージ $ASG - 4$ 、 $ASG - 10$ 、... $ASG - 6N - 2$ (N は自然数)の第1クロック端子 $CK1$ には第4クロック $CKVB1$ が提供され、第2クロック端子 $CK2$ には第1クロック $CKV1$ が提供される。 $6N - 1$ 番目のステージ $ASG - 5$ 、 $ASG - 11$ 、... $ASG - 6N - 1$ (N は自然数)の第1クロック端子 $CK1$ には第5クロック $CKVB2$ が提供され、第2クロック端子 $CK2$ には第2クロック $CKV2$ が提供される。 $6N$ 番目のステージ $ASG - 6$ 、 $ASG - 12$ 、... $ASG - 6N$ (N は自然数)の第1クロック端子 $CK1$ には第6クロック $CKVB3$ が提供され、第2クロック端子 $CK2$ には第3クロック $CKV3$ が提供される。第1乃至第3クロック $CKV1 \sim CKV3$ 及び第4乃至第6クロック $CKVB1 \sim CKVB3$ の位相は後述する。

10

【0033】

多数のステージ $ASG - 1 \sim ASG - N$ 及びダミーステージ $ASG - D$ の電圧入力端子 Vin にはゲートラインをオフさせるオフ電圧 VSS が提供される。また、ダミーステージ $ASG - D$ の出力端子 OUT は多数のステージ $SRC1 \sim SRCn + 1$ のリセット端子 RE に電氣的に接続される。

【0034】

多数のステージ $ASG - 1 \sim ASG - N$ の出力端子 OUT には多数のゲートライン $GL1$ 、 $GL2$ 、 $GL3$ 、... GLn が電氣的に接続される。従って、多数のステージ $ASG - 1 \sim ASG - N$ は、出力端子等 OUT を通じてゲート電圧を順に出力して多数のゲートライン $GL1 \sim GLn$ に印加する。この実施形態では、図2に示すように、シフトレジスタ $210a$ は多数のゲートライン $GL1 \sim GLn$ の第1端部に設けられる。このシフトレジスタ $210a$ は、第1端部と対称になる第2端部に形成することも可能であり、又は2つのステージグループに分割してゲートライン $GL1 \sim GLn$ の両端部に形成することも可能である。

20

【0035】

放電部 $210b$ は、第1放電トランジスタ $NT15$ をさらに含んでいる。この第1放電トランジスタ $NT15$ は、多数のゲートライン $GL1$ 、 $GL2$ 、 $GL3$ 、... GLn のうち現在のゲートラインからオフ電圧 VSS に放電させる機能を備える。第1放電トランジスタ $NT15$ は、次のゲートラインに接続された制御電極、現在のステージのゲート電圧が入力される入力電極及びオフ電圧 VSS が入力される出力電極からなる。

30

【0036】

図3は、ゲート駆動回路の中で1つのステージをより詳しく説明するための回路図であり、図4は、図2に図示されるクロック信号等及び各ステージのノード電圧を示すタイミング図である。但し、ゲート駆動回路の各ステージはダミーステージ $ASG - D$ を除いて同じ内部構造を有するので、図3では1つのステージを例示して説明する。

【0037】

図3に示すように、各ステージは該当ゲートラインにゲート電圧を供給する電圧出力部 211 、電圧出力部 211 を駆動する出力駆動部 212 、該当ゲートラインを第1レベルの電圧にホールディングする第1ホールディング部 213 及び第2ホールディング部 214 を含む。

40

【0038】

電圧出力部 211 は、プルアップトランジスタ $T01$ 及びプルダウントランジスタ $T02$ を含む。プルアップトランジスタ $T01$ は、出力駆動部 212 の出力端 (Q -ノード) QN に接続された制御電極、第1クロック端子 $CK1$ に接続された入力電極及び出力端子 OUT に接続された出力電極からなる。

【0039】

図4に示すように、各ステージには、第1乃至第3クロック $CKV1 \sim CKV3$ 及び第1乃至第3クロック $CKV1 \sim CKV3$ と異なる位相を有する第4乃至第6クロック $CKVB1 \sim CKVB3$ が選択的に提供される。第1乃至第6クロック $CKV1 \sim CKVB3$ は、ゲートオン/オフ電圧に対応するパルス幅を有する。例えば、第1乃至第6クロック

50

CKV1～CKVB3は、約30V～8Vの範囲であり、ゲートを駆動する電圧の条件によって変更が可能である。第1乃至第3クロックCKV1～CKV3と第4乃至第6クロックCKVB1～CKVB3は対を成す。例えば、6N-5番目及び6N-2番目のステージには、第1クロックCKV1と第4クロックCKVB1が提供され、6N-4及び6N-1番目のステージには、第2クロックCKV2と第5クロックCKVB2が提供され、6N-3及び6N番目のステージには第3クロックCKV3と第6クロックCKVB3が提供される。

【0040】

第1乃至第3クロックCKV1～CKV3と第4乃至第6クロックCKVB1～CKVB3は互いに異なる位相を有する。例えば、第1クロックCKV1と第4クロックCKVB1は180°の位相差を有し、第2クロックCKV2と第5クロックCKVB2は180°の位相差を有し、第3クロックCKV3と第6クロックCKVB3は180°の位相差を有する。これら位相差は180°以下に設定することも可能である。

10

【0041】

また、第2クロックCKV2は、第1クロックCKV1より1Hだけ遅延され、第3クロックCKV3は、第2クロックCKV2より1Hだけ遅延される。

【0042】

第1乃至第6クロックCKV1～CKVB3は、ゲート駆動回路210の出力電圧によるキックバック(kick-back)を補償するために、一定の区間において駆動電圧が低くなるキックバック補償区間CK-Sをさらに含む。

20

【0043】

以下に、第1クロックCKV1及び第4クロックCKVB1を受信して動作する1つのステージASG-iに関して説明する。

【0044】

図3、図4に示すように、プルアップトランジスタT01は、出力駆動部212から出力された制御電圧に応じて出力端子OUTに出力される現在のステージのゲート電圧を、第1クロック端子CK1を通じて提供される第1クロックCKV1だけプルアップさせる。プルアップトランジスタT01は、1フレームのうち第1クロックCKV1がハイ区間である3Hの時間内にターンオンして、図4のように現在のステージのゲート電圧をハイ状態に維持する。

30

【0045】

プルダウントランジスタT02は、第2入力端子IN2に接続された制御電極、電圧入力端子Vinに接続された出力電極及び出力端子OUTに接続された入力電極からなる。従って、プルダウントランジスタT02は、次のステージのゲート電圧に応じて第1クロックCKV1だけプルアップされた現在のステージのゲート電圧を、電圧入力端子Vinから供給されたオフ電圧VSS(図2に図示)だけプルダウンさせる。即ち、プルダウントランジスタT02は、3Hの時間後にターンオンして、現在のステージのゲート電圧をロー状態にダウンさせる。

【0046】

出力駆動部212は、バッファートランジスタT04、第1キャパシタC1、第2キャパシタC2、放電トランジスタT09及びリセットトランジスタT06を含む。

40

【0047】

バッファートランジスタT04は、第1入力端子IN1に共通に接続された入力電極と制御電極、及びQ-ノードQNに接続された出力電極からなる。第1キャパシタC1は、Q-ノードQNと出力端子OUTの間に接続され、第2キャパシタC2は、キャリトランジスタT15の制御電極とキャリ端子CRとの間に接続される。一方、放電トランジスタT09はバッファートランジスタT04の出力電極に接続された入力電極、第2入力端子IN2に接続された制御電極及び電圧入力端子Vinに接続された出力電極からなる。

【0048】

リセットトランジスタT06は、リセット端子REに接続された制御電極、プルアップ

50

トランジスタT01の制御電極に接続された入力電極及び電圧入力端子Vinに接続された出力電極からなる。リセットトランジスタT06は、リセット端子REを通じて入力された最終ステージASG-Dから出力された最終キャリ電圧に応じて、第1入力端子IN1を通じて入力されたリップル電圧をオフ電圧VSSに放電する。従って、プルアップトランジスタT01及びキャリトランジスタT15は、ダミーステージASG-Dのダミーキャリ電圧に応じてターンオフする。結果的に、ダミーキャリ電圧は、以前ステージとして配置されたN個のステージのリセット端子REに供給されて、N個のステージのプルアップトランジスタT01及びキャリトランジスタT15をターンオフさせて、N個のステージをリセットする。

【0049】

バッファートランジスタT04が、以前ステージのキャリ電圧に応じてターンオンすると、第1及び第2キャパシタC1、C2は、図4のQ-ノードQN電圧に対応して充電される。第1キャパシタC1にプルアップトランジスタT01のスレッシュホールド電圧Vth以上の電荷が充電されると、Q-ノードQNの電位がスレッシュホールド電圧以上に上昇して、プルアップトランジスタT01及びキャリトランジスタT15がターンオンする。このときは、第1クロックCKV1がロー状態なので、現在のステージのゲート電圧とキャリ電圧は、ロー区間(1H)の間にロー状態を維持する。続いて、第1クロックCKV1がハイ状態になると、第1クロックCKV1が出力端子OUT及びキャリ端子CRに出力されて、現在のステージのゲート電圧とキャリ電圧がハイ状態に転換する。即ち、現在のステージのゲート電圧とキャリ電圧は、第1クロックCKV1のハイ区間(1H)の間ハイ状態を維持する。

【0050】

続いて、放電トランジスタT09が次のステージのゲート電圧に応じてターンオンされると、第1キャパシタC1に充電された電荷は、放電トランジスタT09を通じてオフ電圧VSSに放電される。従って、Q-ノードQNの電位はオフ電圧VSSにダウンされる。その結果、プルアップトランジスタT01及びキャリトランジスタT15はターンオフする。即ち、放電トランジスタT09は、3Hの時間後にターンオンしてプルアップトランジスタT01及びキャリトランジスタT15がターンオフすることによって、出力端子OUT及びキャリ端子CRにハイ状態の現在のステージのゲート電圧及びキャリ電圧が出力されないよう遮断する役割をする。

【0051】

第1ホールディング部213は、第1乃至第5インバータトランジスタT13、T07、T12、T08、T03、第3及び第4キャパシタC3、C4からなる。

【0052】

第1インバータトランジスタT13は、第1クロック端子CK1に共通で接続された入力電極と制御電極、第4キャパシタC4を通じて第2インバータトランジスタT07の出力電極に接続された出力電極からなる。第2インバータトランジスタT07は、第1クロック端子CK1に接続された入力電極、第3キャパシタC3を通じて入力電極と接続された制御電極及び第5インバータトランジスタT03の制御電極に接続された出力電極からなる。第3インバータトランジスタT12は、第1インバータトランジスタT13の出力電極に接続された入力電極、出力端子OUTに接続された制御電極及び電圧入力端子Vinに接続された出力電極からなる。第4インバータトランジスタT08は、第5インバータトランジスタT03の制御電極に接続された入力電極、出力端子OUTに接続された制御電極及び電圧入力端子Vinに接続された出力電極からなる。第5インバータトランジスタT03は、第2インバータトランジスタの出力電極に接続された制御電極、電圧入力端子Vinに接続された入力電極及び出力端子OUTに接続された出力電極からなる。

【0053】

第3及び第4インバータトランジスタT12、T08は、出力端子OUTに出力されるハイ状態の現在のステージのゲート電圧に応じてターンオンし、第1及び第2インバータトランジスタT13、T07から出力された第1クロックCKV1はオフ電圧VSSに放

10

20

30

40

50

電される。

【 0 0 5 4 】

従って、第 5 インバータトランジスタ T 0 3 は、現在のステージのゲート電圧がハイ状態を維持する 3 H の時間の間、ターンオフ状態を維持する。続いて、現在のステージのゲート電圧がロー状態に転換すると、第 3 及び第 4 インバータトランジスタ T 1 2、T 0 8 は、ターンオフする。従って、第 1 及び第 2 インバータトランジスタ T 1 3、T 0 7 から出力された第 1 クロック C K V 1 に応じて、第 5 インバータトランジスタ T 0 3 がターンオンする。結果的に、現在のステージのゲート電圧は、1 フレーム内の 3 H の時間を除いた残りの時間において、第 1 クロック C K V 1 のハイ区間が第 5 インバータトランジスタ T 0 3 によってオフ電圧 V S S にホールディングされる。

10

【 0 0 5 5 】

第 2 ホールディング部 2 1 4 は、第 1 乃至第 3 リップル防止トランジスタ T 1 0、T 1 1、T 0 5 からなり、第 1 クロック C K V 1 又は第 4 クロック C K V B 2 によって、N - 3 H の時間内に現在のステージのゲート電圧及びキャリ電圧がリップルすることを防止する。

【 0 0 5 6 】

第 1 リップル防止トランジスタ T 1 0 は、第 1 クロック端子 C K 1 に接続された制御電極、出力端子 O U T に接続された入力電極及び Q - ノード Q N に接続された出力電極を含む。第 2 リップル防止トランジスタ T 1 1 は、第 2 クロック端子 C K 2 に接続された制御電極、第 1 入力端子 I N 1 に接続された入力電極及び Q - ノード Q N に接続された出力電極からなる。第 3 リップル防止トランジスタ T 0 5 は、第 2 クロック端子 C K 2 に接続された制御電極、出力端子 O U T に接続された入力電極及び電圧入力端子 V i n に接続された出力電極からなる。

20

【 0 0 5 7 】

第 1 リップル防止トランジスタ T 1 0 は、第 1 クロック C K V 1 に応じて出力端子 O U T から出力された現在のステージのゲート電圧（オフ電圧と同じ電圧レベルを有する）を Q - ノード Q N に提供する。従って、N - 3 H の時間中に第 1 クロック C K V のハイ区間で、Q - ノード Q N の電位はオフ電圧 V S S に維持される。これによって、第 1 リップル防止トランジスタ T 1 0 は、N - 3 H の時間中に第 1 クロック C K V 1 のハイ区間はプルアップトランジスタ T 0 1 及びキャリトランジスタ T 1 5 がターンオンされることを防止する。

30

【 0 0 5 8 】

第 2 リップル防止トランジスタ T 1 1 は、第 2 クロック端子 C K 2 を通じて提供された図 4 の第 4 クロック C K V B 1 に応じて、第 1 入力端子 I N 1 を通じて入力される前ステージの出力電圧（オフ電圧と同じ電圧レベルを有する）を Q - ノード Q N に提供する。従って、N - 3 H の時間中に第 4 クロック C K V B 1 のハイ区間において、Q - ノード Q N の電位はオフ電圧 V S S に維持される。これによって、第 2 リップル防止トランジスタ T 1 1 は、N - 3 H の時間中に第 4 クロック C K V B 1 のハイ区間はプルアップ及びキャリトランジスタ T 0 1、T 1 5 がターンオンしない。

【 0 0 5 9 】

第 3 リップル防止トランジスタ T 0 5 は、第 4 クロック C K V B 1 に応じて現在のステージのゲート電圧をオフ電圧 V S S に放電させる。従って、第 3 リップル防止トランジスタ T 0 5 は、N - 3 H の時間中に第 4 クロック C K V B 1 のハイ区間は現在のステージのゲート電圧をオフ電圧 V S S に維持させる。

40

【 0 0 6 0 】

各ステージは、現在のステージの出力電圧を次のステージに伝達するキャリ部 2 1 5 をさらに含む。キャリ部 2 1 5 は Q - ノード Q N に接続された制御電極、第 1 クロック端子 C K 1 に接続された入力電極及び出力端子 O U T に接続された出力電極からなるキャリトランジスタ T 1 5 を含む。従って、キャリトランジスタ T 1 5 は、出力駆動部 2 1 2 から出力された制御電圧に応じてキャリ端子 C R に出力される現在のステージのキャリ電圧を

50

第1クロックCKV1だけプルアップさせる。キャリトランジスタT15は、1フレームの間に3Hの時間だけターンオンし、3Hの時間の間に現在のステージのキャリ電圧をハイ状態に維持する。

【0061】

図5Aは、ゲート駆動回路に印加される開始信号及びクロック信号等を示すタイミング図であり、図5Bは、ゲート駆動回路の初期駆動のとき各ステージのQ-ノードを示すタイミング図である。

【0062】

図5A及び図5Bに示すように、ゲート駆動回路210の初期駆動のとき、図1のゲート制御回路332は、ゲート信号の開始を知らせる開始信号STVと共に、第1乃至第3クロックCKV1～CKV3及び第4乃至第6クロックCKVB1～CKVB3を生成して、各ステージの第1クロック端子CK1及び第2クロック端子CK2に供給する。斯かるゲート駆動回路210は、長時間にわたって高温駆動するとき、2番目のゲートラインGL2及び3番目のゲートラインGL3が、他のゲートラインに比べて相対的に暗く見えるという視認性の問題が発生する。

【0063】

高温駆動によって発生するこのような問題点は、出力駆動部212のバッファートランジスタT04に接続された配線、例えば、開始信号STVを印加する配線を通じて、Q-ノードQNに貯蔵された電荷が放電され、漏れ電流が発生することである。この原因は、ゲート駆動回路210の初期駆動のときに、1番目のステージASG-1乃至3番目のステージASG-3に供給されるクロックのタイミングが異なることに起因する。従って、バッファートランジスタT04を通じて漏れる電流量がそれぞれ異なり、これによってゲートラインの出力電圧が異なるようになる。結果的に、4番目のステージASG-4以後のステージに接続された異なるゲートラインに比べて、1番目のステージASG-1乃至3番目のステージASG-3に接続されたゲートラインが暗く見える不良が発生する。特に、バッファートランジスタT04からの漏れ電流量の増加は、Q-ノードQNの電圧を低くする。これによって、各ステージのプルアップトランジスタT01に印加される第1クロックCKV1において、オフ電圧が印加される初期区間で下降時間に遅延が生じる。この下降時間の遅延によって、キックバック補償区間CK-Sに当たるゲート電圧が低くなってキックバック電圧が増加する。一般に、キックバック電圧は下記の数式1による

【0064】

【数1】

$$V_{kb} = \left(\frac{C_{gs}}{C_{lc}} + C_{st} + C_{gs} \right) \times (V_{on} - V_{off})$$

(Vkb:キックバック電圧、Cgs:ゲート-ソースのキャパシタンス、Clc:液晶によるキャパシタンス、Cst:ストレージ配線によるキャパシタンス、Von:ゲートオン電圧、Voff:ゲートオフ電圧)

数式1のように、Von-Voff値が増加すると、キックバック電圧も増加して、Q-ノードQNの偏差も大きくなる。また、ゲートオン電圧Vonが高いほどキックバック電圧が増加して、キックバック電圧の偏差も増加する。このような偏差はゲート電圧の偏差を招き、これによって輝度の低下が生じて、4番目のステージASG-4以後のステージに接続されたゲートラインに比べて、1番目のステージASG-1乃至3番目のステージASG-3に接続されたゲートラインが暗く見える可能性がある。

【0065】

このような不良を解消するために、本発明の実施形態では、Q-ノードQNに十分な電荷充電の時間が提供されるように、バッファートランジスタT04の大きさを減らす。

【0066】

図6は、本発明の実施形態によるバッファートランジスタの大きさを調節した結果を示すレイアウト図である。図7Aは、従来の第1乃至第3クロックを示すタイミング図であり、図7Bは、バッファートランジスタの大きさによって調節された第1乃至第3クロックを示すタイミング図であり、図7Cは、第1乃至第3ステージのバッファートランジスタのカッティング比率及びフリーチャージ時間を示す表である。

【0067】

図6のように、本発明の実施形態では、バッファートランジスタT04の切開領域CUT-Aを除去して、バッファートランジスタT04の大きさを減らした。好ましくは、本発明の実施形態によるバッファートランジスタT04の大きさは従来のバッファートランジスタT04の大きさに比べて約35%程度を除去する。

10

【0068】

図6は、バッファートランジスタT04の切開領域をより効果的に表現するため、下部基板110の後面を示す。切開領域はマスクリペア(mask repair)方法を通じて形成できる。マスクリペア方法は、製造工程を通じて形成されたトランジスタの一部配線を、レーザーでカッティングしてトランジスタをフローティング(floating)させることによって、チャンネル幅を減らす方法である。即ち、トランジスタのソースとドレーン配線の一部をカッティングして大きさを減らす。本発明の実施形態では、バッファートランジスタT04の一部配線をレーザーでカッティングして除去する。本発明の実施形態で適用されるマスクリペア方法は、下部基板110の製造コストの面で有利であるのでバッファートランジスタT04の大きさを減らす方法として利用されているが、配線設計のときにマスクの大きさを減らして、バッファートランジスタT04を小さくすることもできる。バッファートランジスタT04の大きさの減少比率は、駆動タイミングのセッティング状況によって異なるので、2番目のゲートラインGL2及び3番目のゲートラインGL3のQ-ノードQN電圧がオフ電圧に落ちる時点が、4番目以後のゲートラインと同一になるようバッファートランジスタT04の大きさを減らす。

20

【0069】

2番目のステージASG-2のバッファートランジスタT04の大きさを減らすと、Q-ノードQNの充電時間が減るので、図7A乃至図7Bのように、第2クロックCKV2のタイミングを所定の時間t1だけ遅延して、開始信号STVにより2番目のステージASG-2のQ-ノードQNに予め電荷を充電するフリーチャージ時間を1H以上に増加させる。図7Cのように、2番目のステージASG-2及び3番目のステージASG-3のバッファートランジスタT04の大きさを、約35%を減少し、第2クロックCKV2のフリーチャージ時間をP1(6.3μs)からP2(7.45μs)に変更することによって、2番目のステージASG-2のQ-ノードQNのフリーチャージの能力を補償できる。

30

【0070】

図8は、本発明の第2実施形態によるバッファートランジスタの構造を示す図面であり、図9は、図8のバッファートランジスタの切断線A-A'による断面図である。

【0071】

以下に、本発明の第1実施形態と同じ構成要素には同じ符号を付与し、同一の説明は省略する。

40

【0072】

図8及び図9のように、下部基板110は透明基板111上に金属層を全面に蒸着した後、金属層をパターニングしてゲート電極ライン112を形成する。図面上には、単一金属層をゲート電極ラインとすることを示しているが、多重の金属層でゲート電極ラインを構成しても良い。例えば、ゲート電極ライン112は、アルミニウム(Al)、アルミニウム合金、銅、銅合金、銀、銀合金、金、金合金等からなる導電膜を含む。このような導電膜に加えて、異なる物質、特に、ITO(indium tin oxide)又はIZO(indium zinc oxide)との物理的、化学的、電気的な接触特性が良いクロム(Cr)、チタニウム(Ti)、タンタル(Ta)、モリブデン(Mo)及び

50

これらの合金、例えば、モリブデン - タングステン (MoW) 合金からなる導電膜を含む多層膜で構成しても良い。例えば、ゲート電極ライン 112 は、下部膜と上部膜を 2 重膜で構成しても良く、下部膜と上部膜の組み合わせの例としては、アルミニウム / モリブデン、又はアルミニウム合金 / モリブデン、アルミニウム / チタニウム、チタニウム / 銅、モリブデン / 銅等がある。

【0073】

続いて、ゲート電極ライン 112 が形成された透明基板 111 上に、酸化シリコン、又は窒化シリコンのような絶縁物質を全面に蒸着し、順に真性半導体物質と不純物が含まれた半導体物質を連続で蒸着する。

【0074】

続いて、絶縁物質、真性半導体物質 114 及び不純物が添加された半導体物質 115 をエッチングしてゲート絶縁膜 113、半導体層 114 及び不純物が添加された半導体層 115 を形成する。その結果、ゲート絶縁膜 113 はゲート電極ライン 111 の全体を覆って、半導体層 114 と不純物半導体層 115 はゲート絶縁膜 113 と同じ形態でゲート絶縁膜 215 上に形成される。

【0075】

続いて、半導体層 114 と不純物半導体層 115 が形成された基板上に金属層を全面に蒸着する。金属層をパターニングしてゲート電極ライン上からドレーン電極ライン 116 - 1 とソース電極ライン 116 - 2 を形成する。例えば、ドレーン電極ライン 116 - 1 とソース電極ライン 116 - 2 は、アルミニウム、アルミニウム合金、銅、銅合金、銀、銀合金、金、金合金等からなる導電膜を含む。このような導電膜に加えて、異なる物質、特に、ITO 又は IZO との物理的、化学的、電気的な接触特性が良いクロム、チタニウム、タンタル、モリブデン及びこれらの合金、例えば、モリブデン - タングステン合金からなる導電膜を含む多層膜で構成しても良い。例えば、ドレーン電極ライン 116 - 1 及びソース電極ライン 116 - 2 は、下部膜と上部膜を 2 重膜で構成しても良く、下部膜と上部膜の組み合わせの例としては、アルミニウム / モリブデン又はアルミニウム合金 / モリブデン、アルミニウム / チタニウム、チタニウム / 銅、モリブデン / 銅等がある。

【0076】

続いて、ドレーン電極ライン 116 - 1 とソース電極ライン 116 - 2 等が形成された基板の全面に窒化シリコン又は酸化シリコンのような絶縁物質を蒸着して保護膜 117 を形成する。

【0077】

続いて、保護膜 117 上に画素電極になる酸化インジウム亜鉛 (indium zinc oxide、IZO) 又は酸化インジウム錫 (indium tin oxide、ITO) 等の透明導電膜 118 を全面に蒸着した後、画素電極を形成する際に同時にエッチングして、2 番目のステージ ASG - 2 及び 3 番目のステージ ASG - 3 のバッファートランジスタ T04 上に形成する。例えば、本発明の実施形態では、酸化インジウム亜鉛を透明導電膜に利用できる。このとき、透明導電膜 118 は、ドレーン電極ライン 116 - 1 とソース電極ライン 116 - 2 の間に形成されて、半導体層 114 と不純物半導体層 115 に所定の電圧、例えば、7.5 V のオフ電圧 VSS が印加できるように形成する。本実施形態において、透明導電膜は 450 ~ 600 の厚さに形成される。このように、2 番目のステージ ASG - 2 及び 3 番目のステージ ASG - 3 のバッファートランジスタ T04 に、トップゲート (top gate) として透明導電膜 118 を形成して、所定の電圧 Vtg を印加すると、バッファートランジスタ T04 を通じて漏れる電流の量を減らすことができるので、視認性の不良が改善される。

【0078】

図 10A 及び図 10B は、トップゲートに印加される電圧によるバッファートランジスタの電流変化を示すグラフである。但し、図 10A において、第 1 グラフ G1 は、バッファートランジスタ T04 のトップゲートに、-6 V のトップゲート電圧 Vtg が印加された場合の漏れ電流 Ids を示し、第 2 グラフ G2 はバッファートランジスタ T04 のトッ

10

20

30

40

50

プゲートに、 -2V のトップゲート電圧 V_{tg} が印加された場合の漏れ電流 I_{ds} を示し、第3グラフG3は、バッファートランジスタT04のトップゲートに 2V のトップゲート電圧 V_{tg} が印加された場合の漏れ電流 I_{ds} を示し、第4グラフG4は、バッファートランジスタT04のトップゲートに 6V のトップゲート電圧 V_{tg} が印加された場合の漏れ電流 I_{ds} を示す。また、第5グラフG5は、 60 でトップゲートをフローティング状態に放置した場合の漏れ電流 I_{ds} を示し、第6グラフG6は 40 でトップゲートをフローティング状態に放置した場合の漏れ電流 I_{ds} を示し、第7グラフG7は 0 でトップゲートをフローティング状態に放置した場合の漏れ電流 I_{ds} を示す。また、図10Bから第8グラフG8は、バッファートランジスタT04のトップゲートに印加されるトップゲート電圧 V_{tg} の大きさによる漏れ電流 I_{ds} を示し、第9グラフG9は、トッ

10

【0079】

図10A及び図10Bに示すように、バッファートランジスタT04のソース/ドレイン電圧 V_{ds} が 35V であり、 60 の環境でバッファートランジスタT04の漏れ電流 I_{ds} は、トップゲート118に印加されるトップゲート電圧 V_{tg} が、陽電圧より負電圧である場合にさらに減少した。また、バッファートランジスタT04のソース/ドレイン電圧 V_{ds} が 35V に設定され、ゲート-ソース間の電圧 V_{gs} が 0V に設定され、同じ温度環境(例えば、 60)で、トップゲート118に負のトップゲート電圧 V_{tg} が印加される場合、透明導電膜118をフローティング状態にして置いたときと比べて漏れ電流が減少した。

20

【0080】

図11は本発明の第3実施形態によるゲート駆動回路を示す図面である。

【0081】

続いて、本発明の第1乃至第2実施形態と同じ構成要素は、同じ符号を付与し、同一の説明は省略する。

【0082】

図11のように、本発明の第3実施形態によるゲート駆動回路は第1乃至第3ダミーステージDASG-1~DASG-3を含むダミーステージ群DSG及び多数のステージASG-1~ASG-N、ASG-Dを含むステージ群ASGを含む。

30

【0083】

第1乃至第3ダミーステージDASG-1~DASG-3は、多数のステージの中で第1乃至第3ステージASG-1~ASG-3の前端に形成される。第1乃至第3ダミーステージDASG-1~DASG-3は、各ステージのキャリトランジスタT15から出力されたキャリ電圧を、第1乃至第3ステージASG-1~ASG-3の第1クロック端子CK1に印加する。第1クロック端子CK1に印加されたキャリ電圧は、バッファートランジスタT04を通じて各ステージのQ-ノードQNに印加される。各ステージの動作は既に詳述したので説明を省略する。

【0084】

開始信号STVが第1乃至第3ダミーステージDASG-1~DASG-3に印加され、第1乃至第3ダミーステージDASG-1~DASG-3が該当ゲートラインに 3H の間にゲート電圧を印加する。このことにより、各々の第1乃至第3ステージASG-1~ASG-3は、第1乃至第3ダミーステージDASG-1~DASG-3の出力電圧が供給されて動作する。

40

【0085】

このように、第1乃至第3ダミーステージDASG-1~DASG-3を第1乃至第3ステージASG-1~ASG-3の前端に形成することによって、従来の開始信号STVを直接供給されて動作するとき、第1乃至第3ステージASG-1~ASG-3のQ-ノードQNの漏れ電流により発生する不具合が、第1乃至第3ダミーステージDASG-1~DASG-3では視認され、第1乃至第3ステージASG-1~ASG-3では視認さ

50

れないので、表示領域 D A では視認されない。ダミーステージの数は駆動条件によって可変とすることができる。

【 0 0 8 6 】

本発明によると、第 1 ステージ群の所定のステージに形成されたバッファートランジスタの大きさを調整して不具合を改善することができる。また、バッファートランジスタ上に透明導電膜を形成して電圧を印加することによって不具合を改善する。また、第 1 ステージ群に出力電圧を印加するダミーステージグループを形成することによって不具合及び信頼性を改善する。

【 0 0 8 7 】

以上の実施形態等を参考にして本発明を説明したが、該技術分野の当業者らは本発明の特許請求範囲に記載されている技術思想及び領域から外れない範囲内で本発明を様々に修正、又は変形できる。

10

【符号の説明】

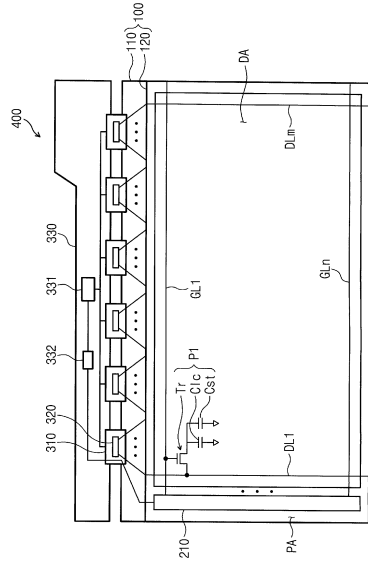
【 0 0 8 8 】

- 1 0 0 液晶表示パネル
- 1 1 0 下部基板
- 1 1 1 透明基板
- 1 1 2 ゲート電極ライン
- 1 1 3 ゲート絶縁膜
- 1 1 4 真性半導体物質
- 1 1 5 不純物が添加された半導体物質
- 1 1 6 - 1 ドレイン電極ライン
- 1 1 6 - 2 ソース電極ライン
- 1 1 7 保護膜
- 1 2 0 上部基板
- 2 1 0 ゲート駆動部
- 3 1 0 駆動回路基板
- 3 2 0 データ駆動部
- 3 3 0 コントロール印刷回路基板
- 3 3 1 タイミングコントローラ
- 3 3 2 ゲート制御回路
- 4 0 0 液晶表示装置

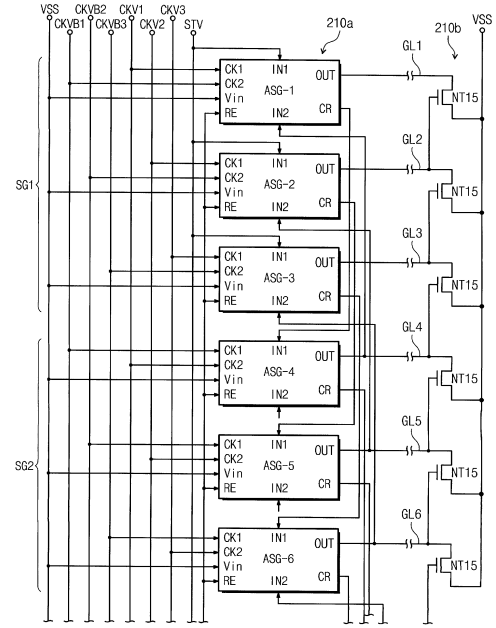
20

30

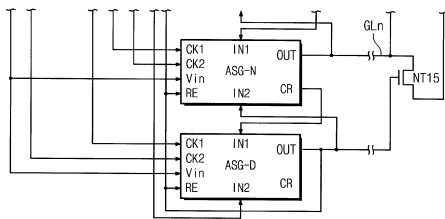
【図 1】



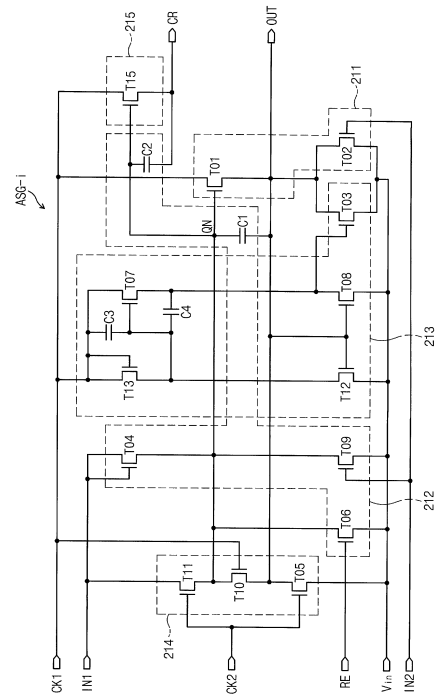
【図 2 A】



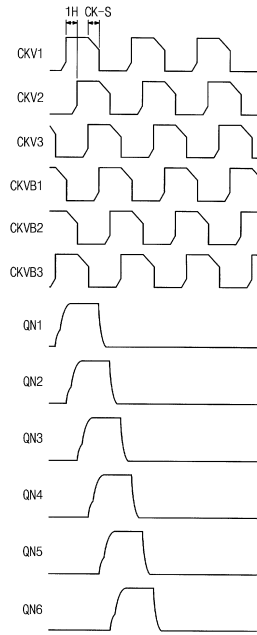
【図 2 B】



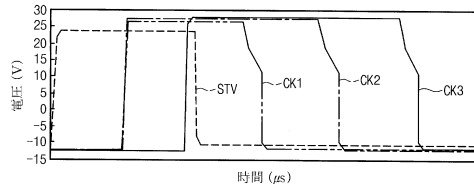
【図 3】



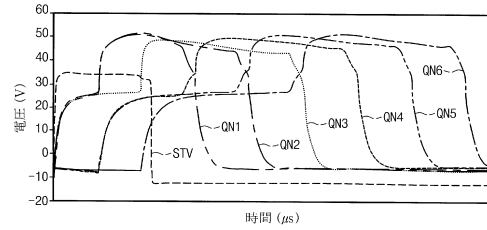
【図4】



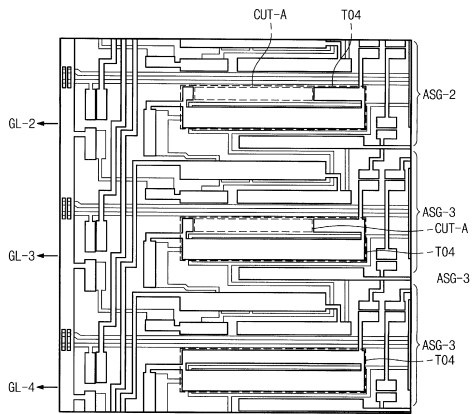
【図5A】



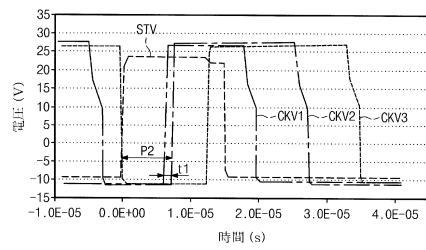
【図5B】



【図6】



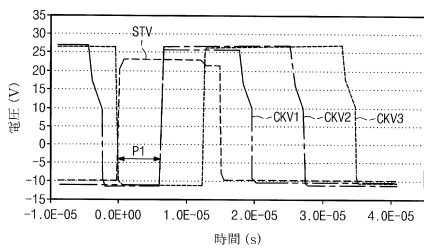
【図7B】



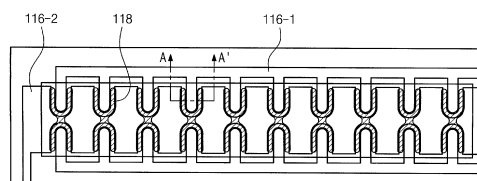
【図7C】

ステージ	プリチャージ (μs)		T04 減少比率
	前	後	
ASG-1	6.3	6.3	0%
ASG-2	6.3	7.45	35%
ASG-3	12.5	12.5	35%

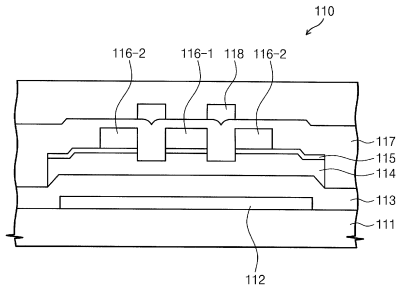
【図7A】



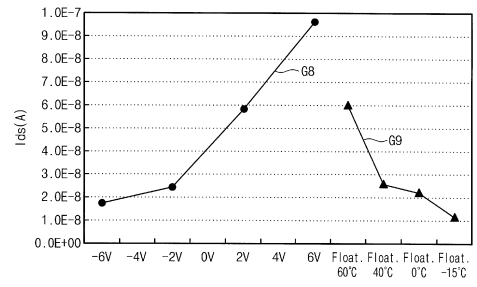
【図8】



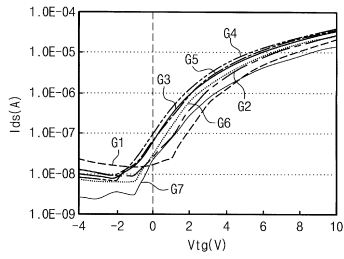
【図9】



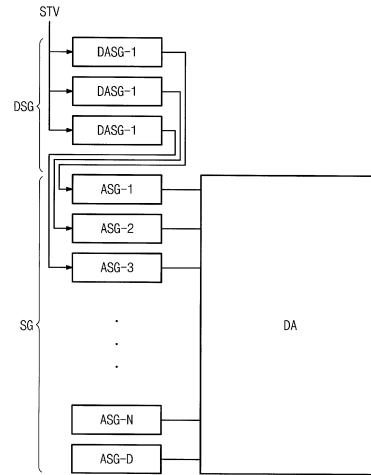
【図10B】



【図10A】



【図11】



フロントページの続き

- (72)発明者 盧 相 龍
大韓民国忠清南道牙山市排芳面葛梅里排芳 ザイ 1 - チャ アパート 106棟804号
- (72)発明者 趙 榮 濟
大韓民国忠清南道牙山市湯井面鳴岩里湯井三星 トラプレイス アパート 103棟2304号
- (72)発明者 崔 國 ヒュン
大韓民国ソウル特別市衿川区始興洞京南アパート 101棟505号
- (72)発明者 金 容 照
大韓民国忠清南道牙山市排芳面北水里排芳 ザイ 2 - チャ アパート 104棟602号
- (72)発明者 金 性 ホン
大韓民国ソウル特別市冠岳区成賢洞冠岳ドリームタウン アパート 102棟1103号
- (72)発明者 金 孝 燮
大韓民国忠清南道天安市多可洞389 - 28

審査官 西島 篤宏

- (56)参考文献 特開2008 - 225476 (JP, A)
特開2008 - 003602 (JP, A)
特開2007 - 004176 (JP, A)
特開2006 - 331633 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38
G02F 1/133

专利名称(译)	表示装置		
公开(公告)号	JP6113261B2	公开(公告)日	2017-04-12
申请号	JP2015244013	申请日	2015-12-15
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器的股票会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	金ヒヨク珍 朴徑浩 盧相龍 趙榮濟 崔國ヒユン 金容照 金性ホン 金孝燮		
发明人	金 ▲ヒヨク▼ 珍 朴 徑 浩 盧 相 龍 趙 榮 濟 崔 國 ▲ヒユン▼ 金 容 照 金 性 ▲ホン▼ 金 孝 燮		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G2300/0417 G09G2310/0286 G11C19/28		
FI分类号	G09G3/36 G09G3/20.621.A G09G3/20.622.B G09G3/20.642.A G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZC25 2H193/ZF22 2H193/ZF23 5C006/AC11 5C006/AC22 5C006/BB16 5C006/BC03 5C006/BF27 5C006/BF34 5C006/FA22 5C080/AA10 5C080/BB05 5C080/DD01 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
代理人(译)	山下大沽嗣		
优先权	1020090133158 2009-12-29 KR		
其他公开文献	JP2016095517A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种具有改进的可见度和透射率的液晶显示装置。第一电场形成电极和第一电场形成电极，包括在像素区域中彼此平行地彼此隔开预定距离的多个服务电极，以及电连接各个子电极的连接电极第一基板包括沿第一方向摩擦的第一取向膜以及包括像素区域的第二基板并且，第二基板包括沿第二方向摩擦并覆盖第二电场形成电极和第二电场形成电极的第二取向膜，第二电场形成电极包括在该区域中的相互平行的区域中形成的多个开口液晶显示装置。

(45) 発行日 平成29年4月12日(2017.4.12)

(24) 登録日 平成29年3月24日(2017.3.24)

(5) Int. Cl.	F I
G O 9 G 3/36 (2006.01)	G O 9 G 3/36
G O 9 G 3/20 (2006.01)	G O 9 G 3/20 6 2 1 A
G O 2 F 1/133 (2006.01)	G O 9 G 3/20 6 2 2 B
	G O 9 G 3/20 6 4 2 A
	G O 2 F 1/133 5 5 0

請求項の数 8 (全 20 頁)

(21) 出願番号	特願2015-244013 (P2015-244013)	(73) 特許権者	512187343
(22) 出願日	平成27年12月15日(2015.12.15)		三星ディスプレイ株式会社
(62) 分割の表示	特願2014-130160 (P2014-130160) の分割		S a m s u n g D i s p l a y C o . , L t d .
原出願日	平成22年9月22日(2010.9.22)		大韓民国京畿道龍仁市器興区三星路1
(65) 公開番号	特開2016-95517 (P2016-95517A)	(74) 代理人	100121382
(43) 公開日	平成28年5月26日(2016.5.26)		弁理士 山下 託嗣
審査請求日	平成28年1月6日(2016.1.6)	(72) 発明者	金 ▲ヒョク▼ 珍
(31) 優先権主張番号	10-2009-0133158		大韓民国忠清南道牙山市湯井面鳴岩里トラ
(32) 優先日	平成21年12月29日(2009.12.29)		ブレイス アパート102棟705号
(33) 優先権主張国	韓国 (KR)	(72) 発明者	朴 徑 浩
			大韓民国忠清南道天安市斗井洞1214番
			地503号

最終頁に続く

(54) 【発明の名称】 表示装置