

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5906138号
(P5906138)

(45) 発行日 平成28年4月20日 (2016. 4. 20)

(24) 登録日 平成28年3月25日 (2016. 3. 25)

(51) Int. Cl.

F I

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1368

G O 2 F 1/1343 (2006. 01)

G O 2 F 1/1343

G O 2 F 1/133 (2006. 01)

G O 2 F 1/133 5 5 0

G O 9 F 9/30 (2006. 01)

G O 9 F 9/30 3 3 8

請求項の数 6 (全 27 頁)

(21) 出願番号 特願2012-122316 (P2012-122316)
 (22) 出願日 平成24年5月29日 (2012. 5. 29)
 (65) 公開番号 特開2013-246408 (P2013-246408A)
 (43) 公開日 平成25年12月9日 (2013. 12. 9)
 審査請求日 平成27年1月14日 (2015. 1. 14)

(73) 特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110001737
 特許業務法人スズエ国際特許事務所
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100159651
 弁理士 高倉 成男
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100075672
 弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1方向に間隔をおいて配置され映像信号の書込開始側の第1領域から書込終了側の第2領域に亘り第1方向に直交する第2方向に沿ってそれぞれ延出した第1ソース配線及び第2ソース配線と、前記第1領域において前記第1ソース配線と電氣的に接続され前記第1ソース配線と前記第2ソース配線との間に位置し第2方向に沿って延出した帯状の第1主画素電極と、前記第2領域において前記第1ソース配線と電氣的に接続され前記第1ソース配線と前記第2ソース配線との間に位置し第2方向に沿って延出した帯状の第2主画素電極と、前記第1ソース配線に対向する第1主共通電極と、前記第1主共通電極と同電位であり前記第2ソース配線に対向する第2主共通電極と、を備え、前記第1主画素電極と前記第1ソース配線との第1間隔が前記第1主画素電極と前記第2ソース配線との第2間隔より小さく、前記第2主画素電極と前記第1ソース配線との第3間隔が前記第2主画素電極と前記第2ソース配線との第4間隔より大きい第1基板と、

前記第1基板に対向配置された第2基板と、

前記第1基板と前記第2基板との間に保持された液晶層と、

を備えたことを特徴とする液晶表示装置。

【請求項 2】

前記第1基板は、さらに、前記第1領域と前記第2領域との間の第3領域において前記第1ソース配線と電氣的に接続され前記第1ソース配線と前記第2ソース配線との間に位置し第2方向に沿って延出した帯状の第3主画素電極を備え、前記第3主画素電極と前記

10

20

第 1 ソース配線との第 5 間隔が前記第 3 主画素電極と前記第 2 ソース配線との第 6 間隔と略同等であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 主画素電極及び前記第 2 主画素電極は、それぞれ 1 本であることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 ソース配線には第 1 フレームで正極性の映像信号が供給され続く第 2 フレームで負極性の映像信号が供給され、前記第 2 ソース配線には第 1 フレームで負極性の映像信号が供給され続く第 2 フレームで正極性の映像信号が供給されることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の液晶表示装置。

10

【請求項 5】

前記第 2 基板は、さらに、前記第 1 主共通電極と同電位であり前記第 1 主共通電極と対向する第 3 主共通電極と、前記第 2 主共通電極と同電位であり前記第 2 主共通電極と対向する第 4 主共通電極と、を備えたことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の液晶表示装置。

【請求項 6】

前記第 1 基板は、さらに、前記第 1 主共通電極及び前記第 2 主共通電極と繋がり第 1 方向に沿って延出した複数の第 1 副共通電極を備え、

前記第 2 基板は、さらに、前記第 1 副共通電極と同電位であり前記第 1 副共通電極と対向する第 2 副共通電極を備えたことを特徴とする請求項 5 に記載の液晶表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In - Plane Switching) モードや FFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

30

【0003】

このような横電界モードに対して、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0004】

40

【特許文献 1】特開 2009 - 192822 号公報

【特許文献 2】特開 2011 - 209454 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

本実施形態によれば、

50

第1方向に間隔をおいて配置され映像信号の書込開始側の第1領域から書込終了側の第2領域に亘り第1方向に直交する第2方向に沿ってそれぞれ延出した第1ソース配線及び第2ソース配線と、前記第1領域において前記第1ソース配線と電氣的に接続され前記第1ソース配線と前記第2ソース配線との間に位置し第2方向に沿って延出した帯状の第1主画素電極と、前記第2領域において前記第1ソース配線と電氣的に接続され前記第1ソース配線と前記第2ソース配線との間に位置し第2方向に沿って延出した帯状の第2主画素電極と、前記第1ソース配線に対向する第1主共通電極と、前記第1主共通電極と同電位であり前記第2ソース配線に対向する第2主共通電極と、を備え、前記第1主画素電極と前記第1ソース配線との第1間隔が前記第1主画素電極と前記第2ソース配線との第2間隔より小さく、前記第2主画素電極と前記第1ソース配線との第3間隔が前記第2主画素電極と前記第2ソース配線との第4間隔より大きい第1基板と、前記第1基板に対向配置された第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

10

【0007】

本実施形態によれば、

第1方向に間隔をおいて配置され映像信号の書込開始側の第1領域から書込終了側の第2領域に亘り第1方向に直交する第2方向に沿ってそれぞれ延出した第1ソース配線及び第2ソース配線と、前記第1領域において前記第1ソース配線と電氣的に接続され前記第1ソース配線と前記第2ソース配線との間に位置し第2方向に沿って延出した帯状の第1主画素電極と、前記第2領域において前記第1ソース配線と電氣的に接続され前記第1ソース配線と前記第2ソース配線との間に位置し第2方向に沿って延出した帯状の第2主画素電極と、前記第1ソース配線に対向する第1主共通電極と、前記第1主共通電極と同電位であり前記第2ソース配線に対向する第2主共通電極と、を備え、前記第1主共通電極について前記第1ソース配線から前記第1主画素電極に向かって延出した第1幅が前記第2主共通電極について前記第2ソース配線から前記第1主画素電極に向かって延出した第2幅より小さく、また、前記第1主共通電極について前記第1ソース配線から前記第2主画素電極に向かって延出した第3幅が前記第2主共通電極について前記第2ソース配線から前記第2主画素電極に向かって延出した第4幅より大きい第1基板と、前記第1基板に対向配置された第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

20

30

【0008】

本実施形態によれば、

映像信号の書込開始側の第1領域に位置し第1方向に沿って延出した第1補助容量線と、映像信号の書込終了側の第2領域に位置し第1方向に沿って延出した第2補助容量線と、第1方向に間隔をおいて配置され前記第1領域から前記第2領域に亘り第1方向に直交する第2方向に沿ってそれぞれ延出した第1ソース配線及び第2ソース配線と、前記第1領域において前記第1ソース配線と電氣的に接続され前記第1ソース配線と前記第2ソース配線との間に位置し第2方向に沿って延出した帯状の第1主画素電極と、前記第2領域において前記第1ソース配線と電氣的に接続され前記第1ソース配線と前記第2ソース配線との間に位置し第2方向に沿って延出した帯状の第2主画素電極と、前記第1ソース配線に対向する第1主共通電極と、前記第1主共通電極と同電位であり前記第2ソース配線に対向する第2主共通電極と、を備え、前記第1補助容量線が前記第1ソース配線から前記第1主画素電極に向かって第1幅で延出した第1電極部を有し、前記第2補助容量線が前記第2ソース配線から前記第1主画素電極に向かって第1幅より大きな第2幅で延出した第2電極部を有し、また、前記第1補助容量線が前記第1ソース配線から前記第2主画素電極に向かって第3幅で延出した第3電極部を有し、前記第2補助容量線が前記第2ソース配線から前記第2主画素電極に向かって第3幅より小さな第4幅で延出した第4電極部を有する第1基板と、前記第1基板に対向配置された第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

40

50

【 0 0 0 9 】

本実施形態によれば、

第 1 方向に間隔をおいて配置され映像信号の書込開始側の第 1 領域から書込終了側の第 2 領域に亘り第 1 方向に直交する第 2 方向に沿ってそれぞれ延出した第 1 ソース配線及び第 2 ソース配線と、前記第 1 領域において前記第 1 ソース配線と電氣的に接続され前記第 1 ソース配線と前記第 2 ソース配線との間に位置し第 2 方向に沿って延出した帯状の第 1 主画素電極と、前記第 2 領域において前記第 1 ソース配線と電氣的に接続され前記第 1 ソース配線と前記第 2 ソース配線との間に位置し第 2 方向に沿って延出した帯状の第 2 主画素電極と、前記第 1 ソース配線に対向する第 1 主共通電極と、前記第 1 主共通電極と同電位であり前記第 2 ソース配線に対向する第 2 主共通電極と、を備え、前記第 1 ソース配線が前記第 1 主画素電極に向かって第 1 幅で延出した第 1 コンタクト部を有し、前記第 2 ソース配線が前記第 1 主画素電極に向かって第 1 幅より小さな第 2 幅で延出した第 2 コンタクト部を有し、また、前記第 1 ソース配線が前記第 2 主画素電極に向かって第 3 幅で延出した第 3 コンタクト部を有し、前記第 2 ソース配線から前記第 2 主画素電極に向かって第 3 幅より大きな第 4 幅で延出した第 4 コンタクト部を有する第 1 基板と、前記第 1 基板に対向配置された第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

10

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】図 1 は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

20

【図 2】図 2 は、図 1 に示したアレイ基板を対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

【図 3】図 3 は、図 1 に示した対向基板における一画素の構造例を概略的に示す平面図である。

【図 4】図 4 は、図 3 の A - B 線で切断した液晶表示パネルの断面構造を概略的に示す断面図である。

【図 5】図 5 は、図 3 の C - D 線で切断した液晶表示パネルの断面構造を概略的に示す断面図である。

【図 6】図 6 は、本実施形態の第 1 構成例を説明するための模式図である。

30

【図 7】図 7 は、第 1 構成例の他の例を説明するための模式図である。

【図 8】図 8 は、本実施形態の第 2 構成例を説明するための模式図である。

【図 9】図 9 は、第 2 構成例の他の例を説明するための模式図である。

【図 10】図 10 は、本実施形態の第 3 構成例を説明するための模式図である。

【図 11】図 11 は、本実施形態の第 4 構成例を説明するための模式図である。

【図 12】図 12 は、本実施形態において導入したクロストーク率の定義を説明するための図である。

【発明を実施するための形態】

【 0 0 1 1 】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

40

【 0 0 1 2 】

図 1 は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【 0 0 1 3 】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネル L P N を備えている。液晶表示パネル L P N は、第 1 基板であるアレイ基板 A R と、アレイ基板 A R に対向して配置された第 2 基板である対向基板 C T と、これらのアレイ基板 A R と対向基板 C T との間に保持された液晶層 L Q と、を備えている。このような液晶表示パネル L P

50

Nは、画像を表示するアクティブエリアACTを備えている。このアクティブエリアACTは、 $m \times n$ 個のマトリクス状に配置された複数の画素PXによって構成されている（但し、 m 及び n は正の整数である）。

【0014】

液晶表示パネルLPNは、アクティブエリアACTにおいて、ゲート配線G（ $G_1 \sim G_n$ ）、補助容量線C（ $C_1 \sim C_n$ ）、ソース配線S（ $S_1 \sim S_m$ ）などを備えている。ゲート配線Gは、例えば、第1方向Xに沿って略直線的に延出した信号配線に相当する。ソース配線Sは、ゲート配線Gと交差している。ソース配線Sは、第1方向Xに交差する第2方向Yに沿って略直線的に延出した信号配線に相当する。ここでは、第1方向Xと第2方向Yとは互いに略直交している。

10

【0015】

各ゲート配線Gは、アクティブエリアACTの外側に引き出され、ゲートドライバGDに接続されている。各ソース配線Sは、アクティブエリアACTの外側に引き出され、ソースドライバSDに接続されている。これらのゲートドライバGD及びソースドライバSDの少なくとも一部は、例えば、アレイ基板ARに形成され、コントローラを内蔵した駆動ICチップ2と接続されている。

【0016】

各画素PXは、スイッチング素子SW、画素電極PE、共通電極CEなどを備えている。保持容量Csは、例えば補助容量線Cと画素電極PEとの間に形成される。補助容量線Cは、補助容量電圧が印加される電圧印加部VCSと電氣的に接続されている。

20

【0017】

なお、本実施形態においては、液晶表示パネルLPNは、画素電極PEがアレイ基板ARに形成される一方で共通電極CEの少なくとも一部が対向基板CTに形成された構成であり、これらの画素電極PEと共通電極CEとの間に形成される電界を主に利用して液晶層LQの液晶分子をスイッチングする。画素電極PEと共通電極CEとの間に形成される電界は、第1方向Xと第2方向Yとで規定されるX-Y平面あるいは基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

【0018】

スイッチング素子SWは、例えば、 n チャネル薄膜トランジスタ（TFT）によって構成されている。このスイッチング素子SWは、ゲート配線G及びソース配線Sと電氣的に接続されている。このようなスイッチング素子SWは、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子SWの半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

30

【0019】

画素電極PEは、各画素PXに配置され、スイッチング素子SWに電氣的に接続されている。共通電極CEは、例えばコモン電位であり、液晶層LQを介して複数の画素PXの画素電極PEに対して共通に配置されている。画素電極PE及び共通電極CEは、例えば、インジウム・ティン・オキシド（ITO）やインジウム・ジンク・オキシド（IZO）などの透明な導電材料によって形成されているが、不透明な配線材料などの他の導電材料によって形成されていても良い。

40

【0020】

アレイ基板ARは、共通電極CEに電圧を印加するための給電部VSを備えている。この給電部VSは、例えば、アクティブエリアACTの外側に形成されている。対向基板CTの共通電極CEは、アクティブエリアACTの外側に引き出され、図示しない導電部材を介して、給電部VSと電氣的に接続されている。

【0021】

次に、アクティブエリアに配置される一画素の基本構造について説明する。

【0022】

図2は、図1に示したアレイ基板ARを対向基板側から見たときの一画素PXの構造例

50

を概略的に示す平面図である。ここでは、 $X - Y$ 平面における平面図を示している。

【0023】

アレイ基板 AR は、ゲート配線 GN 、ゲート配線 $G(N+1)$ 、補助容量線 CN 、ソース配線 $S1$ 、ソース配線 $S2$ 、スイッチング素子 SW 、画素電極 PE 、第1配向膜 $AL1$ などを備えている（但し、 N は正の整数である）。図示した第1構成例では、アレイ基板 AR は、さらに、共通電極 CE の一部である第1共通電極 $CE1$ を備えている。

【0024】

図示した例では、画素 PX は、破線で示したように、第1方向 X に沿った長さが第2方向 Y に沿った長さよりも短い長方形形状である。ゲート配線 GN 及びゲート配線 $G(N+1)$ は、第2方向 Y に沿って間隔をおいて配置され、それぞれ第1方向 X に沿って延出している。補助容量線 CN は、ゲート配線 GN とゲート配線 $G(N+1)$ との間に位置し、第1方向 X に沿って延出している。図示した例では、補助容量線 CN は、ゲート配線 GN とゲート配線 $G(N+1)$ との略中間に位置している。ソース配線 $S1$ 及びソース配線 $S2$ は、第1方向 X に沿って間隔をおいて配置され、それぞれ第2方向 Y に沿って延出している。画素 PX の第1方向 X に沿った長さはソース配線 $S1$ とソース配線 $S2$ との第1方向 X に沿ったピッチに相当し、画素 PX の第2方向 Y に沿った長さはゲート配線 GN とゲート配線 $G(N+1)$ との第2方向 Y に沿ったピッチに相当する。画素電極 PE は、隣接するソース配線 $S1$ とソース配線 $S2$ との間に配置されている。また、この画素電極 PE は、ゲート配線 GN とゲート配線 $G(N+1)$ との間に位置している。

【0025】

図示した画素 PX において、ソース配線 $S1$ は左側端部に配置され、ソース配線 $S2$ は右側端部に配置され、ゲート配線 GN は上側端部に配置され、ゲート配線 $G(N+1)$ は下側端部に配置されている。厳密には、ソース配線 $S1$ は当該画素 PX とその左側に隣接する画素との境界に跨って配置され、ソース配線 $S2$ は当該画素 PX とその右側に隣接する画素との境界に跨って配置され、ゲート配線 GN は当該画素 PX とその上側に隣接する画素との境界に跨って配置され、ゲート配線 $G(N+1)$ は当該画素 PX とその下側に隣接する画素との境界に跨って配置されている。

【0026】

スイッチング素子 SW は、図示した例では、ゲート配線 GN 及びソース配線 $S1$ に電氣的に接続されている。このスイッチング素子 SW は、ゲート配線 GN とソース配線 $S1$ の交点に設けられている。スイッチング素子 SW のゲート電極はゲート配線 GN と電氣的に接続され、ソース電極はソース配線 $S1$ と電氣的に接続され（あるいは、ソース電極はソース配線 $S1$ と一体的に形成され）、ソース配線 $S1$ 及び補助容量線 $C1$ に沿って延長されたドレイン配線に接続されたドレイン電極は画素電極 PE と電氣的に接続されている。

【0027】

画素電極 PE は、主画素電極 PA 及び副画素電極 PB を備えている。これらの主画素電極 PA 及び副画素電極 PB は、一体的あるいは連続的に形成され、互いに電氣的に接続されている。

【0028】

主画素電極 PA は、ソース配線 $S1$ とソース配線 $S2$ との間に位置し、画素 PX の上側端部付近及び下側端部付近まで第2方向 Y に沿って直線的に延出している。図示した例では、主画素電極 PA は、ソース配線 $S1$ とソース配線 $S2$ との略中間に位置している。つまり、ソース配線 $S1$ と主画素電極 PA との第1方向 X に沿った間隔 $L1$ は、ソース配線 $S2$ と主画素電極 PA との第1方向 X に沿った間隔 $L2$ と略同等である。このような主画素電極 PA は、第1方向 X に沿って略同一の幅を有する帯状に形成されている。

【0029】

副画素電極 PB は、画素 PX の略中央部に位置し、第1方向 X に沿って直線的に延出している。図示した例では、副画素電極 PB は、補助容量線 CN と重なる位置に配置され、主画素電極 PA の第2方向 Y に沿った略中央部で交差している。換言すると、副画素電極 PB は、主画素電極 PA からソース配線 $S1$ 及びソース配線 $S2$ の双方に向かってそれぞ

10

20

30

40

50

れ延出している。このような副画素電極 P B は、補助容量線 C N と重なる位置でスイッチング素子 S W と電氣的に接続されている。なお、副画素電極 P B は、第 2 方向 Y に沿って略同一の幅を有する帯状に形成されているが、その形状は図示した例に限らない。なお、副画素電極 P B は、後述するが、一画素内により多くのドメインを形成するために設けたが、本実施形態では省略しても良い。

【 0 0 3 0 】

第 1 共通電極 C E 1 は、第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 を備えている。これらの第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 は、一体的あるいは連続的に形成され、互いに電氣的に接続されている。

【 0 0 3 1 】

第 1 主共通電極 C A 1 は、X - Y 平面内において、主画素電極 P A を挟んだ両側に位置し、第 2 方向 Y に沿って直線的に延出している。この第 1 主共通電極 C A 1 は、ソース配線 S と対向する位置に形成されている。このような第 1 主共通電極 C A 1 は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

【 0 0 3 2 】

図示した例では、第 1 主共通電極 C A 1 は、第 1 方向 X に間隔をおいて 2 本平行に並んでおり、画素 P X の左側端部に配置された第 1 主共通電極 C A L 1 と、画素 P X の右側端部に配置された第 1 主共通電極 C A R 1 と、を備えている。厳密には、第 1 主共通電極 C A L 1 は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、第 1 主共通電極 C A R 1 は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。第 1 主共通電極 C A L 1 はソース配線 S 1 と対向し、第 1 主共通電極 C A R 1 はソース配線 S 2 と対向している。なお、この第 1 主共通電極 C A 1 は、ソース配線 S からの不所望な電界をシールドするなどのために設けたが、本実施形態では省略しても良い。

【 0 0 3 3 】

第 1 副共通電極 C B 1 は、X - Y 平面内において、第 1 方向 X に沿って直線的に延出している。この第 1 副共通電極 C B 1 は、ゲート配線 G と対向する位置に形成されている。このような第 1 副共通電極 C B 1 は、帯状に形成されている。なお、第 1 副共通電極 C B 1 の第 2 方向 Y に沿った幅については、必ずしも一定でなくても良い。

【 0 0 3 4 】

図示した例では、第 1 副共通電極 C B 1 は、第 2 方向 Y に間隔をおいて 2 本平行に並んでおり、画素 P X の上側端部に配置された第 1 副共通電極 C B U 1 と、画素 P X の下側端部に配置された第 1 副共通電極 C B B 1 と、を備えている。厳密には、第 1 副共通電極 C B U 1 は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、第 1 副共通電極 C B B 1 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。つまり、ここに示した例では、第 1 共通電極 C E 1 は、第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 により、画素 P X を区画する格子状に形成されている。第 1 副共通電極 C B U 1 は、ゲート配線 G N と対向している。第 1 副共通電極 C B B 1 は、ゲート配線 G (N + 1) と対向している。

【 0 0 3 5 】

画素電極 P E と第 1 共通電極 C E 1 との位置関係に着目すると、X - Y 平面内において、主画素電極 P A と第 1 主共通電極 C A 1 とは、互いに略平行であり、第 1 方向 X に沿って交互に配置されている。すなわち、第 1 方向 X に沿って間隔をおいて隣接する第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 の間（あるいは、隣接するソース配線間）には、1 本の主画素電極 P A が位置している。

【 0 0 3 6 】

このようなアレイ基板 A R においては、画素電極 P E 及び第 1 共通電極 C E 1 は、第 1 配向膜 A L 1 によって覆われている。この第 1 配向膜 A L 1 には、液晶層 L Q の液晶分子を初期配向させるために、第 1 配向処理方向 P D 1 に沿って配向処理（例えば、ラビング処理や光配向処理）がなされている。第 1 配向膜 A L 1 が液晶分子を初期配向させる第 1 配向処理方向 P D 1 は、第 2 方向 Y と略平行である。

10

20

30

40

50

【 0 0 3 7 】

図 3 は、図 1 に示した対向基板 C T における一画素 P X の構造例を概略的に示す平面図である。ここでは、X - Y 平面における平面図を示している。なお、ここでは、説明に必要な構成のみを図示し、また、アレ基板の主要部である画素電極 P E 及び第 1 共通電極 C E 1 を破線で示している。

【 0 0 3 8 】

対向基板 C T は、共通電極 C E の一部である第 2 共通電極 C E 2 を備えている。この第 2 共通電極 C E 2 は、第 2 主共通電極 C A 2 及び第 2 副共通電極 C B 2 を備えている。これらの第 2 主共通電極 C A 2 及び第 2 副共通電極 C B 2 は、一体的あるいは連続的に形成され、互いに電氣的に接続されている。また、これらの第 2 主共通電極 C A 2 及び第 2 副共通電極 C B 2 は、例えば、アクティブエリアの外側などにおいて、アレ基板に備えられた第 1 共通電極 C E 1 と電氣的に接続されており、第 1 共通電極 C E 1 と同電位である。

10

【 0 0 3 9 】

第 2 主共通電極 C A 2 は、X - Y 平面内において、主画素電極 P A を挟んだ両側に位置し、第 2 方向 Y に沿って直線的に延出している。この第 2 主共通電極 C A 2 は、第 1 主共通電極 C A 1 と対向する位置に形成されている。このような第 2 主共通電極 C A 2 は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

【 0 0 4 0 】

図示した例では、第 2 主共通電極 C A 2 は、第 1 方向 X に間隔をおいて 2 本平行に並んでおり、画素 P X の左側端部に配置された第 2 主共通電極 C A L 2 と、画素 P X の右側端部に配置された第 2 主共通電極 C A R 2 と、を備えている。厳密には、第 2 主共通電極 C A L 2 は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、第 2 主共通電極 C A R 2 は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。第 2 主共通電極 C A L 2 は、第 1 主共通電極 C A L 1 と対向する。第 2 主共通電極 C A R 2 は、第 1 主共通電極 C A R 1 と対向する。

20

【 0 0 4 1 】

第 2 副共通電極 C B 2 は、X - Y 平面内において、第 1 方向 X に沿って直線的に延出している。この第 2 副共通電極 C B 2 は、第 1 副共通電極 C B 1 と対向する位置に形成されている。このような第 2 副共通電極 C B 2 は、第 2 方向 Y に沿って略同一の幅を有する帯状に形成されている。

30

【 0 0 4 2 】

図示した例では、第 2 副共通電極 C B 2 は、第 2 方向 Y に間隔をおいて 2 本平行に並んでおり、画素 P X の上側端部に配置された第 2 副共通電極 C B U 2 と、画素 P X の下側端部に配置された第 2 副共通電極 C B B 2 と、を備えている。厳密には、第 2 副共通電極 C B U 2 は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、第 2 副共通電極 C B B 2 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。つまり、対向基板 C T においては、第 2 共通電極 C E 2 は、第 2 主共通電極 C A 2 及び第 2 副共通電極 C B 2 により、画素 P X を区画する格子状に形成されている。第 2 副共通電極 C B U 2 は、第 1 副共通電極 C B U 1 と対向する。第 2 副共通電極 C B B 2 は、第 1 副共通電極 C B B 1 と対向する。

40

【 0 0 4 3 】

このような対向基板 C T においては、第 2 共通電極 C E 2 は、第 2 配向膜 A L 2 によって覆われている。この第 2 配向膜 A L 2 には、液晶層 L Q の液晶分子を初期配向させるために、第 2 配向処理方向 P D 2 に沿って配向処理（例えば、ラビング処理や光配向処理）がなされている。第 2 配向膜 A L 2 が液晶分子を初期配向させる第 2 配向処理方向 P D 2 は、第 1 配向処理方向 P D 1 と平行である。図示した例では、第 2 配向処理方向 P D 2 は、第 1 配向処理方向 P D 1 と同一方向である。なお、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、互いに逆向きの方向であっても良いし、ともに同一方向でありながら図示した例とは逆向きつまりゲート配線 G (N + 1) からゲート配線 G N に向かう側で

50

あっても良い。

【0044】

図4は、図3のA-B線で切断した液晶表示パネルLPNをゲート配線G(N+1)側から見た断面構造を概略的に示す断面図である。図5は、図3のC-D線で切断した液晶表示パネルLPNをソース配線S1側から見た断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。

【0045】

液晶表示パネルLPNを構成するアレイ基板ARの背面側には、バックライト4が配置されている。バックライト4としては、種々の形態が適用可能であり、また、光源として発光ダイオード(LED)を利用したものや冷陰極管(CCL)を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

10

【0046】

アレイ基板ARは、光透過性を有する第1絶縁基板10を用いて形成されている。このアレイ基板ARは、第1絶縁基板10の内側、つまり、対向基板CTと対向する側においてゲート配線GN、ゲート配線G(N+1)、補助容量線CN、ソース配線S1、ソース配線S2、画素電極PE、第1共通電極CE1、第1絶縁膜11、第2絶縁膜12、第3絶縁膜13、第1配向膜AL1などを備えている。

【0047】

詳述しないスイッチング素子のポリシリコンからなる半導体層SCは、第1絶縁基板10と第1絶縁膜11との間に形成されている。補助容量線CN、ゲート配線GN及びゲート配線G(N+1)は、第1絶縁膜11の上に形成され、第2絶縁膜12によって覆われている。ソース配線S1及びソース配線S2は、第2絶縁膜12の上に形成され、第3絶縁膜13によって覆われている。第3絶縁膜13は、透明な樹脂材料によって形成されている。この第3絶縁膜13は、ソース配線Sや画素電極PEと第2絶縁膜12との段差を緩和し、その表面が略平坦化されている。このような第3絶縁膜13の膜厚は、例えば、1μm以下である。

20

【0048】

画素電極PEの主画素電極PA及び副画素電極PBや、第1共通電極CE1の第1主共通電極CAL1、第1主共通電極CAR1、第1副共通電極CBU1、及び、第1副共通電極CBB1は、第3絶縁膜13の上に形成されている。つまり、画素電極PE及び第1共通電極CE1は、同一層に形成され、同一材料、例えば、ITOによって形成されている。第1主共通電極CAL1は、ソース配線S1の上方に位置している。第1主共通電極CAR1は、ソース配線S2の上方に位置している。第1副共通電極CBU1は、ゲート配線GNの上方に位置している。第1副共通電極CBB1は、ゲート配線G(N+1)の上方に位置している。主画素電極PAは、隣接する第1主共通電極CAL1及び第1主共通電極CAR1の間に位置している。副画素電極PBは、隣接する第1副共通電極CBU1及び第1副共通電極CBB1の間に位置している。

30

【0049】

なお、図示した例では、当該画素の駆動に必要な容量は、第1絶縁膜11を介して対向する半導体層SCと補助容量線CNとの間、及び、第2絶縁膜12及び第3絶縁膜13を介して対向する補助容量線CNと副画素電極PBとの間で形成される。

40

【0050】

第1配向膜AL1は、アレイ基板ARの対向基板CTと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。この第1配向膜AL1は、画素電極PE及び第1共通電極CE1を覆っており、第3絶縁膜13の上にも配置されている。このような第1配向膜AL1は、水平配向性を示す材料によって形成されている。

【0051】

対向基板CTは、光透過性を有する第2絶縁基板20を用いて形成されている。この対向基板CTは、第2絶縁基板20の内側、つまり、アレイ基板ARと対向する側においてブラックマトリクスBM、カラーフィルタCF、オーバーコート層OC、第2共通電極C

50

E 2、第2配向膜A L 2などを備えている。

【0052】

ブラックマトリクスB Mは、各画素P Xを区画し、開口部A Pを形成する。すなわち、ブラックマトリクスB Mは、ソース配線S、ゲート配線G、スイッチング素子S Wなどの配線部に対向するように配置されている。ここに示した例では、ブラックマトリクスB Mは、ソース配線S 1及びソース配線S 2の上方に位置し第2方向Yに沿って延出した部分と、ゲート配線G N及びゲート配線G (N + 1)の上方に位置し第1方向Xに沿って延出した部分を備えており、格子状に形成されている。このブラックマトリクスB Mは、第2絶縁基板20のアレイ基板A Rに対向する内面20Aに配置されている。

【0053】

カラーフィルタC Fは、各画素P Xに対応して配置されている。すなわち、カラーフィルタC Fは、第2絶縁基板20の内面20AにおいてブラックマトリクスB Mによって区画された内側に配置されるとともに、その一部がブラックマトリクスB Mに乗り上げている。第1方向Xに隣接する画素P Xにそれぞれ配置されたカラーフィルタC Fは、互いに色が異なる。例えば、カラーフィルタC Fは、赤色、青色、緑色といった3原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタは、緑色画素に対応して配置されている。これらのカラーフィルタC F同士の境界は、ブラックマトリクスB Mと重なる位置にある。

【0054】

オーバーコート層O Cは、カラーフィルタC Fを覆っている。このオーバーコート層O Cは、カラーフィルタC Fの表面の凹凸の影響を緩和する。このようなオーバーコート層O Cは、例えば、透明な樹脂材料によって形成されている。

【0055】

第2共通電極C E 2の第2主共通電極C A L 2、第2主共通電極C A R 2、第2副共通電極C B U 2及び第2副共通電極C B B 2は、オーバーコート層O Cのアレイ基板A Rと対向する側に形成され、いずれもブラックマトリクスB Mの下方に位置している。第2主共通電極C A L 2の下方には、第1主共通電極C A L 1が位置している。第2主共通電極C A R 2の下方は、第1主共通電極C A R 1が位置している。第2副共通電極C B U 2の下方には、第1副共通電極C B U 1が位置している。第2副共通電極C B B 2の下方には、第1副共通電極C B B 1が位置している。上記の開口部A Pにおいて、画素電極P Eと第1共通電極C E 1及び第2共通電極C E 2との間の領域は、いずれもバックライト光が透過可能な透過領域に相当する。

【0056】

第2配向膜A L 2は、対向基板C Tのアレイ基板A Rと対向する面に配置され、アクティブエリアA C Tの略全体に亘って延在している。この第2配向膜A L 2は、第2共通電極C E 2やオーバーコート層O Cを覆っている。このような第2配向膜A L 2は、水平配向性を示す材料によって形成されている。

【0057】

上述したようなアレイ基板A Rと対向基板C Tとは、それぞれの第1配向膜A L 1及び第2配向膜A L 2が対向するように配置されている。このとき、アレイ基板A Rの第1配向膜A L 1と対向基板C Tの第2配向膜A L 2との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサにより、所定のセルギャップ、例えば2～7 μmのセルギャップが形成される。アレイ基板A Rと対向基板C Tとは、所定のセルギャップが形成された状態で、アクティブエリアA C Tの外側のシール材によって貼り合わされている。

【0058】

液晶層L Qは、アレイ基板A Rと対向基板C Tとの間に形成されたセルギャップに保持され、第1配向膜A L 1と第2配向膜A L 2との間に配置されている。このような液晶層

10

20

30

40

50

LQは、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【0059】

アレイ基板ARの外表面、つまり、アレイ基板ARを構成する第1絶縁基板10の外表面10Bには、第1光学素子OD1が接着剤などにより貼付されている。この第1光学素子OD1は、液晶表示パネルLPNのバックライト4と対向する側に位置しており、バックライト4から液晶表示パネルLPNに入射する入射光の偏光状態を制御する。この第1光学素子OD1は、第1偏光軸AX1を有する第1偏光板PL1を含んでいる。なお、第1偏光板PL1と第1絶縁基板10との間に位相差板などの他の光学素子が配置されても良い。

【0060】

10

対向基板CTの外表面、つまり、対向基板CTを構成する第2絶縁基板20の外表面20Bには、第2光学素子OD2が接着剤などにより貼付されている。この第2光学素子OD2は、液晶表示パネルLPNの表示面側に位置しており、液晶表示パネルLPNから出射した出射光の偏光状態を制御する。この第2光学素子OD2は、第2偏光軸AX2を有する第2偏光板PL2を含んでいる。なお、第2偏光板PL2と第2絶縁基板20との間に位相差板などの他の光学素子が配置されていても良い。

【0061】

第1偏光板PL1の第1偏光軸AX1と、第2偏光板PL2の第2偏光軸AX2とは、略直交する位置関係（クロスニコル）にある。このとき、一方の偏光板は、例えば、その偏光軸が主画素電極PAの延出方向あるいは液晶分子の初期配向方向と略平行または略直交するように配置されている。つまり、主画素電極PAの延出方向あるいは液晶分子の初期配向方向が第2方向Yである場合、一方の偏光板の吸収軸は、第2方向Yと略平行である、あるいは、第2方向Yと略直交する。

20

【0062】

図3において、(a)で示した例では、第1偏光板PL1は、その第1偏光軸AX1が第1方向Xと平行となるように配置され、また、第2偏光板PL2は、その第2偏光軸AX2が第2方向Yと平行となるように配置されている。また、図3において、(b)で示した例では、第2偏光板PL2は、その第2偏光軸AX2が第1方向Xと平行となるように配置され、また、第1偏光板PL1は、その第1偏光軸AX1が第2方向Yと平行となるように配置されている。

30

【0063】

次に、上記構成の液晶表示パネルLPNの動作について説明する。

【0064】

すなわち、液晶層LQに電圧が印加されていない状態、つまり、画素電極PEと共通電極CEとの間に電界が形成されていない状態（OFF時）には、液晶層LQの液晶分子LMは、その長軸が第1配向膜AL1の第1配向処理方向PD1及び第2配向膜AL2の第2配向処理方向PD2を向くように配向している。このようなOFF時が初期配向状態に相当し、OFF時の液晶分子LMの配向方向が初期配向方向に相当する。

【0065】

なお、厳密には、液晶分子LMは、X-Y平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子LMの初期配向方向とは、OFF時の液晶分子LMの長軸をX-Y平面に正射影した方向である。ここでは、第1配向処理方向PD1及び第2配向処理方向PD2は、ともに第2方向Yと略平行且つ同じ向きの方

40

向である。OFF時においては、図3に破線で示したように、液晶分子LMは、X-Y平面内において、その長軸が第2方向Yと略平行な方向に初期配向する。つまり、液晶分子LMの初期配向方向は、第2方向Yと平行である。

【0066】

液晶層LQの断面において、液晶分子LMは、液晶層LQの中間部付近で略水平（プレチルト角が略ゼロ）に配向し、ここを境界としてアレイ基板ARの近傍（つまり、第1配向膜AL1の近傍）及び対向基板CTの近傍（つまり、第2配向膜AL2の近傍）におい

50

て対称となるようなプレチルト角を持って配向する（スプレイ配向）。なお、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行且つ逆向きである場合、液晶層LQの断面において、液晶分子LMは、第1配向膜AL1の近傍、第2配向膜AL2の近傍、及び、液晶層LQの中間部において略均一なプレチルト角を持って配向する（ホモジニアス配向）。

【0067】

このようなOFF時において、バックライト4からのバックライト光の一部は、第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶表示パネルLPNに入射した光は、第1偏光板PL1の第1偏光軸AX1と直交する直線偏光である。このような直線偏光の偏光状態は、OFF時の液晶層LQを通過した際にほとんど変化しない。このため、液晶表示パネルLPNを透過した直線偏光は、第1偏光板PL1に対してクロスニコルの位置関係にある第2偏光板PL2によって吸収される（黒表示）。

10

【0068】

一方、液晶層LQに電圧が印加された状態、つまり、画素電極PEと共通電極CE（第1共通電極CE1及び第2共通電極CE2）との間に電界が形成された状態（ON時）では、画素電極PEと共通電極CEとの間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子LMは、画素電極PEと共通電極CEとの間の電界の影響を受け、その配向状態が変化する。

【0069】

図3に示した例では、画素電極PEと第2主共通電極CAL2との間の領域のうち、下側半分の領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し図中の左下を向くように配向し、また、上側半分の領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し図中の左上を向くように配向する。画素電極PEと第2主共通電極CAR2との間の領域のうち、下側半分の領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し図中の右下を向くように配向し、上側半分の領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し図中の右上を向くように配向する。

20

【0070】

このように、各画素PXにおいて、画素電極PEと共通電極CEとの間に電界が形成された状態では、液晶分子LMの配向方向は、画素電極PEと重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素PXには、複数のドメインが形成される。

30

【0071】

このようなON時に、液晶表示パネルLPNに入射した直線偏光は、その偏光状態が液晶層LQを通過する際に液晶分子LMの配向状態に応じて変化する。このため、ON時には、液晶層LQを通過した少なくとも一部の光は、第2偏光板PL2を透過する（白表示）。但し、画素電極あるいは共通電極と重なる位置では、液晶分子が初期配向状態を維持しているため、OFF時と同様に黒表示となる。

【0072】

次に、本実施形態の第1構成例について説明する。

【0073】

図6は、第1構成例を説明するための模式図である。なお、この図6では、説明に必要な構成のみを図示しており、画素電極については主画素電極PAのみを図示し副画素電極の図示を省略している。ここに示した例では、ソース配線S1とソース配線S2との間に位置する一列分の画素列に着目し、ソース配線S1とソース配線S2との間に位置するそれぞれの画素電極（図中では主画素電極PA1乃至PA5）はスイッチング素子SWを介していずれもソース配線S1と電気的に接続されているものとする。また、アクティブエリアは例えば480ラインで構成され、ここでは、アクティブエリアACTに1フレームの映像信号を書き込む際に、アクティブエリアACTの480ラインのうちの1ライン（つまりゲート配線G1に接続された画素のライン）から映像信号の書込を開始し、480ライン（つまりゲート配線G480に接続された画素のライン）で映像信号の書込を終了

40

50

するものとする。つまり、映像信号の書込開始側の領域とはアクティブエリア A C T のゲート配線 G 1 を含む領域であり、映像信号の書込終了側の領域とはアクティブエリア A C T のゲート配線 G 4 8 0 を含む領域である。なお、4 8 0 ラインから映像信号の書込を開始し、1 ラインで映像信号の書込を終了する場合もあり、このときには、映像信号の書込開始側の領域とはアクティブエリア A C T のゲート配線 G 4 8 0 を含む領域であり、映像信号の書込終了側の領域とはアクティブエリア A C T のゲート配線 G 1 を含む領域となる。ソース配線 S 1 及びソース配線 S 2 は、いずれも書込開始側から書込終了側に亘って延出している。

【 0 0 7 4 】

アクティブエリア A C T は、例えば、5 つの領域からなる。すなわち、アクティブエリア A C T は、書込開始側に位置する第 1 領域 A 1、第 1 領域 A 1 に続いて映像信号が書き込まれる第 2 領域 A 2、第 2 領域 A 2 に続いて映像信号が書き込まれる第 3 領域 A 3、第 3 領域 A 3 に続いて映像信号が書き込まれる第 4 領域 A 4、及び、第 4 領域 A 4 に続いて映像信号が書き込まれる第 5 領域 A 5 を有している。ここでの第 5 領域 A 5 は、書込終了側に位置する領域に相当する。ここでは、アクティブエリア A C T が 5 つの領域からなる場合について説明するが、アクティブエリアの分割数は 5 つに限らない。

【 0 0 7 5 】

今、5 つの領域にそれぞれ等しいライン数を割り当てた場合について検討する。つまり、第 1 領域 A 1 は、1 ライン目に相当するゲート配線 G 1 から 9 6 ライン目に相当するゲート配線 G 9 6 までの領域に相当する。第 2 領域 A 2 は、9 7 ライン目に相当するゲート配線 G 9 7 から 1 9 2 ライン目に相当するゲート配線 G 1 9 2 までの領域に相当する。第 3 領域 A 3 は、1 9 3 ライン目に相当するゲート配線 G 1 9 3 から 2 8 8 ライン目に相当するゲート配線 G 2 8 8 までの領域に相当する。第 4 領域 A 4 は、2 8 9 ライン目に相当するゲート配線 G 2 8 9 から 3 8 4 ライン目に相当するゲート配線 G 3 8 4 までの領域に相当する。第 5 領域 A 5 は、3 8 5 ライン目に相当するゲート配線 G 3 8 5 から 4 8 0 ライン目に相当するゲート配線 G 4 8 0 までの領域に相当する。なお、5 つの領域にそれぞれ異なるライン数を割り当てても良い。

【 0 0 7 6 】

書込開始側の第 1 領域 A 1 においては、主画素電極 P A 1 とソース配線 S 1 との間隔 L 1 1 は、主画素電極 P A 1 とソース配線 S 2 との間隔 L 1 2 よりも小さい。つまり、主画素電極 P A 1 は、図中に破線で示したソース配線 S 1 及びソース配線 S 2 から等距離に位置する中間線 O よりもソース配線 S 1 側に位置している。一例として、間隔 L 1 1 は 8 μ m であり、間隔 L 1 2 は 1 2 μ m である。なお、この第 1 構成例で説明する間隔とは、いずれも第 1 方向 X に沿った長さである。

【 0 0 7 7 】

一方で、書込終了側の第 5 領域 A 5 においては、主画素電極 P A 5 とソース配線 S 1 との間隔 L 5 1 は、主画素電極 P A 5 とソース配線 S 2 との間隔 L 5 2 よりも大きい。つまり、主画素電極 P A 5 は、中間線 O よりもソース配線 S 2 側に位置している。一例として、間隔 L 5 1 は 1 2 μ m であり、間隔 L 5 2 は 8 μ m である。

【 0 0 7 8 】

第 1 領域 A 1 と第 5 領域 A 5 との間の中間に位置する第 3 領域 A 3 においては、主画素電極 P A 3 とソース配線 S 1 との間隔 L 3 1 は、主画素電極 P A 3 とソース配線 S 2 との間隔 L 3 2 と略同等である。つまり、主画素電極 P A 3 は、中間線 O の上に位置している。一例として、間隔 L 3 1 は 1 0 μ m であり、間隔 L 3 2 は 1 0 μ m である。

【 0 0 7 9 】

また、第 2 領域 A 2 においては、主画素電極 P A 2 とソース配線 S 1 との間隔 L 2 1 は、主画素電極 P A 2 とソース配線 S 2 との間隔 L 2 2 よりも小さい。但し、この第 2 領域 A 2 における間隔 L 2 1 と間隔 L 2 2 との差は、第 1 領域 A 1 における間隔 L 1 1 と間隔 L 1 2 との差よりも小さい。つまり、主画素電極 P A 2 は、中間線 O よりもソース配線 S 1 側に位置しているが、主画素電極 P A 1 よりも中間線 O 側に位置している。一例として

、間隔 L_{21} は $9\ \mu\text{m}$ であり、間隔 L_{22} は $11\ \mu\text{m}$ である。

【0080】

また、第4領域 A_4 においては、主画素電極 PA_4 とソース配線 S_1 との間隔 L_{41} は、主画素電極 PA_4 とソース配線 S_2 との間隔 L_{42} よりも大きい。但し、この第4領域 A_2 における間隔 L_{41} と間隔 L_{42} との差は、第5領域 A_5 における間隔 L_{51} と間隔 L_{52} との差よりも小さい。つまり、主画素電極 PA_4 は、中間線 O よりもソース配線 S_2 側に位置しているが、主画素電極 PA_5 よりも中間線 O 側に位置している。一例として、間隔 L_{41} は $11\ \mu\text{m}$ であり、間隔 L_{42} は $9\ \mu\text{m}$ である。

【0081】

このように、ソース配線 S_1 とソース配線 S_2 との間の画素列における主画素電極 PA の位置に着目したとき、書込開始側では主画素電極 PA は自身と電氣的に接続されたソース配線 S_1 の側に片寄り、書込開始側から書込終了側に向かうにしたがって、主画素電極 PA はソース配線 S_1 から離れ、書込終了側では主画素電極 PA はソース配線 S_1 に隣接するソース配線 S_2 (つまり、主画素電極自身と電氣的に接続されていない側のソース配線) の側に片寄っている。なお、第1領域 A_1 乃至第5領域 A_5 の各々の領域では、主画素電極 PA とソース配線 S_1 及びソース配線 S_2 との間隔が必ずしも一定でなくてもよい。

【0082】

このような第1構成例によれば、画素電極 PE に隣接するソース配線 S からの漏れ電界の影響を緩和することができ、クロストークによる表示品位の劣化を抑制することが可能となる。この点について、以下に説明する。

【0083】

すなわち、ソース配線 S_1 とソース配線 S_2 との間の画素列における主画素電極 PA がすべて中間線 O の上に位置している比較例について検討する。ソース配線 S_1 から書き込まれる映像信号の極性と、ソース配線 S_2 から書き込まれる映像信号の極性が異なる場合、主画素電極 PA とソース配線 S_2 との間に大きな電位差が形成され、ソース配線 S_2 からの漏れ電界による画素透過率の影響が無視できなくなるおそれがある。例えば、共通電極 CE のコモン電位 (0V) に対して、1フレーム期間のあるタイミングでソース配線 S_1 に $+5\text{V}$ の映像信号が供給され、ソース配線 S_2 に -5V の映像信号が供給された場合、主画素電極 PA とソース配線 S_1 とが同電位である (いずれも $+5\text{V}$ である)、あるいは、同極性の電位である (主画素電極 PA が正極性の電位に保持されているフレーム期間は、ソース配線 S_1 に供給される映像信号は正極性である) ため、主画素電極 PA とソース配線 S_1 との間には大きな電位差は形成されにくい。一方で、主画素電極 PA とソース配線 S_2 とでは電位の極性が異なる (主画素電極 PA の電位が $+5\text{V}$ に保持されている一方でソース配線 S_2 が -5V である) ため、主画素電極 PA とソース配線 S_2 との間に大きな電位差が形成されてしまう。このため、主画素電極 PA とソース配線 S_1 との間の領域には正規の電界が形成され、液晶分子が所望の方向に配向されるため、必要な透過率が得られる一方で、主画素電極 PA とソース配線 S_2 との間の領域には過大な電界が形成され、液晶分子が所望の方向に配向されず、必要な透過率が得られなくなることがある。各画素で中間調 (グレー) を表示する場合、主画素電極 PA とソース配線 S_1 との間の領域ではグレー表示に対応した透過率が得られる一方で、主画素電極 PA とソース配線 S_2 との間の領域では白表示に近い高い透過率が得られるため、画素単位で所望の透過率が得られない。

【0084】

また、比較例の構成において、フレーム毎に各ソース配線 S に供給される映像信号の極性が反転するような駆動方法が適用された場合、さらにソース配線 S からの漏れ電界の影響を受けやすくなる。例えば、ソース配線 S_1 には第1フレームで正極性の映像信号が供給され、この第1フレームに続く第2フレームで負極性の映像信号が供給される一方で、ソース配線 S_2 には第1フレームで負極性の映像信号が供給され、第2フレームで正極性の映像信号が供給される場合、書込終了側に位置する主画素電極 PA とソース配線 S_1 と

の間に大きな電位差が形成され、ソース配線 S 1 からの漏れ電界による画素透過率の影響が無視できなくなるおそれがある。例えば、書込終了側に位置する主画素電極 P A に対して、第 1 フレームではソース配線 S 1 から + 5 V の映像信号が書き込まれた場合、映像信号書込の直後は、主画素電極 P A の電位が + 5 V に保持されているため、ソース配線 S 1 との間に大きな電位差は形成されないが、第 2 フレームでソース配線 S 1 に負極性の映像信号が供給されると、主画素電極 P A とソース配線 S 1 との間に大きな電位差が形成される。このとき、第 2 フレームでは、当該主画素電極 P A の電位とソース配線 S 2 の電位とが同極性であるため、これらの間では大きな電位差は形成されない。つまり、上記の駆動方法を適用した場合には、書込終了側に位置する主画素電極 P A とソース配線 S 2 との間の領域にはほとんどのフレーム期間で正規の電界が形成され、液晶分子が所望の方向に配向されるため、必要な透過率が得られる一方で、主画素電極 P A とソース配線 S 1 との間の領域には過大な電界が形成され、液晶分子が所望の方向に配向されず、必要な透過率が得られなくなることがある。このため、各画素で中間調（グレー）を表示する場合、主画素電極 P A とソース配線 S 2 との間の領域ではグレー表示に対応した透過率が得られる一方で、主画素電極 P A とソース配線 S 1 との間の領域では白表示に近い高い透過率が得られるため、画素単位で所望の透過率が得られない。

10

【 0 0 8 5 】

なお、このような駆動方法を適用した場合、書込開始側に位置する主画素電極 P A とソース配線 S 2 との間には、上記の通り、大きな電位差が形成され、ソース配線 S 2 からの漏れ電界の影響を受ける。

20

【 0 0 8 6 】

このように、比較例の構成では、映像信号の書込開始側に位置する主画素電極と自身と接続されていない側のソース配線との間で不所望な電界が形成されやすく、また、映像信号の書込終了側に位置する主画素電極と自身と接続されたソース配線との間で不所望な電界が形成されやすい。なお、書込開始側と、書込終了側との中間の領域では、主画素電極と一方のソース配線との間、及び、主画素電極と他方のソース配線との間にフレーム毎に交互に不所望な電界が形成されるが、2 フレーム単位で時間的に平均化されるため、表示不良が目立ちにくい。

【 0 0 8 7 】

本実施形態の第 1 構成例によれば、映像信号の書込開始側に位置する主画素電極、例えば第 1 領域 A 1 に位置する主画素電極 P A 1 とこの主画素電極 P A 1 と接続されていないソース配線 S 2 との間隔 L 1 2 は、主画素電極 P A 1 とこの主画素電極 P A 1 と接続されたソース配線 S 1 との間隔 L 1 1 よりも大きい。このため、主画素電極 P A 1 とソース配線 S 2 との間に大きな電位差が形成される条件であったとしても、ソース配線 S 2 からの漏れ電界の影響を緩和することが可能となる。つまり、主画素電極 P A 1 とソース配線 S 1 との間の領域に本来形成すべき正規の電界が形成される一方で、主画素電極 P A 1 とソース配線 S 2 との間の領域においても不所望な漏れ電界の影響が緩和され、正規の電界と同等の電界を形成することが可能となる。したがって、映像信号の書込開始側での表示品位の劣化を抑制することが可能となる。

30

【 0 0 8 8 】

また、映像信号の書込終了側に位置する主画素電極、例えば第 5 領域 A 5 に位置する主画素電極 P A 5 とこの主画素電極 P A 5 と接続されたソース配線 S 1 との間隔 L 5 1 は、主画素電極 P A 5 とこの主画素電極 P A 5 と接続されていないソース配線 S 2 との間隔 L 5 2 よりも大きい。このため、主画素電極 P A 5 とソース配線 S 1 との間に大きな電位差が形成される条件であったとしても、ソース配線 S 1 からの漏れ電界の影響を緩和することが可能となる。つまり、主画素電極 P A 5 とソース配線 S 2 との間の領域に本来形成すべき正規の電界が形成される一方で、主画素電極 P A 5 とソース配線 S 1 との間の領域においても不所望な漏れ電界の影響が緩和され、正規の電界と同等の電界を形成することが可能となる。したがって、映像信号の書込終了側での表示品位の劣化を抑制することが可能となる。

40

50

【 0 0 8 9 】

なお、書込開始側と書込終了側との間に位置する主画素電極、例えば第3領域A3に位置する主画素電極PA3とソース配線S1との間隔L31は、主画素電極PA3とソース配線S2との間隔L32と同等であるが、上記の通り、主画素電極PA3とソース配線S1との間の領域と、主画素電極PA3とソース配線S2との間の領域とでフレーム毎に交互に不所望な電界が形成されるため、表示不良が目立ちにくい。

【 0 0 9 0 】

したがって、映像信号の書込終了側での表示品位の劣化を抑制することが可能となる。

【 0 0 9 1 】

なお、この第1構成例は、図6に示した例に限らない。

10

【 0 0 9 2 】

図7は、第1構成例の他の例を説明するための模式図である。なお、この図7では、説明に必要な構成のみを図示しており、画素電極については主画素電極PAのみを図示し副画素電極の図示を省略している。ここに示した例は、図6に示した例と比較して、ソース配線S1とソース配線S2との間に位置するそれぞれの画素電極（図中では主画素電極PA1乃至PA5）はスイッチング素子SWを介してソース配線S1及びソース配線S2と交互に電氣的に接続されている点で相違している。

【 0 0 9 3 】

図示した例では、アクティブエリアACTの奇数ライン、つまり、ゲート配線G1、G3、G5...に接続された画素のラインでは、主画素電極PAは、スイッチング素子SWを介してソース配線S1と電氣的に接続されている。また、アクティブエリアACTの偶数ライン、つまり、ゲート配線G2、G4、G6...に接続された画素のラインでは、主画素電極PAは、スイッチング素子SWを介してソース配線S2と電氣的に接続されている。

20

【 0 0 9 4 】

このような例においても、映像信号の書込開始側に位置する主画素電極と、この主画素電極と接続されていないソース配線との間隔は、主画素電極とこの主画素電極と接続されたソース配線との間隔よりも大きい。例えば、ゲート配線G1に接続された画素の主画素電極PA11とソース配線S2との間隔は、主画素電極PA11とソース配線S1との間隔よりも大きい。また、ゲート配線G2に接続された画素の主画素電極PA12とソース配線S1との間隔は、主画素電極PA12とソース配線S2との間隔よりも大きい。このため、図6に示した例と同様に、映像信号の書込開始側での表示品位の劣化を抑制することが可能となる。

30

【 0 0 9 5 】

また、映像信号の書込終了側に位置する主画素電極と、この主画素電極と接続されたソース配線との間隔は、主画素電極とこの主画素電極と接続されていないソース配線との間隔よりも大きい。例えば、ゲート配線G385に接続された画素の主画素電極PA51とソース配線S1との間隔は、主画素電極PA51とソース配線S2との間隔よりも大きい。また、ゲート配線G386に接続された画素の主画素電極PA52とソース配線S2との間隔は、主画素電極PA52とソース配線S1との間隔よりも大きい。このため、図6に示した例と同様に、映像信号の書込終了側での表示品位の劣化を抑制することが可能となる。

40

【 0 0 9 6 】

次に、本実施形態の第2構成例について説明する。

【 0 0 9 7 】

図8は、第2構成例を説明するための模式図である。なお、この図8では、説明に必要な構成のみを図示しており、画素電極については主画素電極PAのみを図示し副画素電極の図示を省略している。この第2構成例は、第1構成例と比較して、アクティブエリアACTの第1領域A1から第5領域A5に亘り主画素電極PAが中間線Oの上に位置している一方で、ソース配線S1に対向する第1主共通電極CAL1及びソース配線S2に対向する第1主共通電極CAR1の主画素電極PAに向かって延出した幅が第1領域A1から

50

第5領域A5で異なる点で相違している。なお、以下に説明する幅とは、第1方向Xに沿った長さである。

【0098】

より具体的に説明すると、書込開始側の第1領域A1においては、第1主共通電極CAL1についてソース配線S1のエッジから主画素電極PA1に向かって延出した幅W11は、第1主共通電極CAR1についてソース配線S2のエッジから主画素電極PA1に向かって延出した幅W12よりも小さい。主画素電極PA1が中間線Oの上に位置している場合、第1主共通電極CAL1と主画素電極PA1との間隔は、第1主共通電極CAR1と主画素電極PA1との間隔より大きい。

【0099】

一方で、書込終了側の第5領域A5においては、第1主共通電極CAL1についてソース配線S1のエッジから主画素電極PA5に向かって延出した幅W51は、第1主共通電極CAR1についてソース配線S2のエッジから主画素電極PA5に向かって延出した幅W52よりも大きい。主画素電極PA5が中間線Oの上に位置している場合、第1主共通電極CAL1と主画素電極PA5との間隔は、第1主共通電極CAR1と主画素電極PA5との間隔より小さい。

【0100】

第1領域A1と第5領域A5との間の中間に位置する第3領域A3においては、第1主共通電極CAL1についてソース配線S1のエッジから主画素電極PA3に向かって延出した幅W31は、第1主共通電極CAR1についてソース配線S2のエッジから主画素電極PA3に向かって延出した幅W32と略同等である。主画素電極PA3が中間線Oの上に位置している場合、第1主共通電極CAL1と主画素電極PA3との間隔は、第1主共通電極CAR1と主画素電極PA3との間隔と略同等である。

【0101】

また、第2領域A2においては、第1主共通電極CAL1についてソース配線S1のエッジから主画素電極PA2に向かって延出した幅W21は、第1主共通電極CAR1についてソース配線S2のエッジから主画素電極PA2に向かって延出した幅W22よりも小さい。主画素電極PA2が中間線Oの上に位置している場合、第1主共通電極CAL1と主画素電極PA2との間隔は、第1主共通電極CAR1と主画素電極PA2との間隔より大きい。但し、この第2領域A2における幅W21と幅W22との差は、第1領域A1における幅W11と幅W12との差よりも小さい。つまり、幅W21は、幅W11より大きく、幅W31より小さい。また、幅W22は、幅W12より小さく、幅W32より大きい。

【0102】

また、第4領域A4においては、第1主共通電極CAL1についてソース配線S1のエッジから主画素電極PA4に向かって延出した幅W41は、第1主共通電極CAR1についてソース配線S2のエッジから主画素電極PA4に向かって延出した幅W42よりも大きい。主画素電極PA4が中間線Oの上に位置している場合、第1主共通電極CAL1と主画素電極PA4との間隔は、第1主共通電極CAR1と主画素電極PA4との間隔より小さい。但し、この第4領域A4における幅W41と幅W42との差は、第5領域A5における幅W51と幅W52との差よりも小さい。つまり、幅W41は、幅W31より大きく、幅W51より小さい。また、幅W42は、幅W32より小さく、幅W52より大きい。

【0103】

このように、ソース配線S1と対向する第1主共通電極CAL1及びソース配線S2と対向する第1主共通電極CAR1の位置に着目したとき、書込開始側では主画素電極PAと電氣的に接続されたソース配線S1と対向する第1主共通電極CAL1よりも、主画素電極PAと電氣的に接続されていないソース配線S2と対向する第1主共通電極CAR1の方が主画素電極PAに向かって幅広く延出している。書込開始側から書込終了側に向かうにしたがって、第1主共通電極CAR1の主画素電極PA側への延出幅が順次小さくな

10

20

30

40

50

るとともに第1主共通電極CAL1の主画素電極PA側への延出幅が順次大きくなり、書込終了側では第1主共通電極CAR1よりも第1主共通電極CAL1の方が主画素電極PAに向かって幅広く延出している。なお、第1領域A1乃至第5領域A5の各々の領域では、第1主共通電極CAL1及び第1主共通電極CAR1のそれぞれの主画素電極PA側への延出幅が必ずしも一定でなくてもよい。

【0104】

このような第2構成例によれば、書込開始側では、主画素電極PAと接続されていない側のソース配線S2からの漏れ電界を第1主共通電極CAR1でシールドすることができるとともに、第1主共通電極CAR1を主画素電極PAに接近させ、これらの間の電界を強化することができる。また、書込終了側では、主画素電極PAと接続されている側のソ

10

【0105】

なお、この第2構成例は、図8に示したように、第1主共通電極CAL1及び第1主共通電極CAR1が書込開始側から書込終了側に亘って階段状に形成された例に限らない。

【0106】

図9は、第2構成例の他の例を説明するための模式図である。ここに示した例は、図8に示した例と比較して、第1主共通電極CAL1がソース配線S1の延出方向に対して斜めの方向に延出しつつソース配線S1と対向し、主共通電極CAR1がソース配線S2の

20

【0107】

このような例であっても、図8に示した例と同様に、映像信号の書込開始側及び書込終了側での表示品位の劣化を抑制することが可能となる。

【0108】

次に、本実施形態の第3構成例について説明する。

【0109】

図10は、第3構成例を説明するための模式図である。なお、この図10では、説明に必要な構成のみを図示している。この第3構成例は、第1構成例と比較して、アクティブエリアACTの第1領域A1から第5領域A5に亘り主画素電極PAが中間線Oの上に位置している一方で、補助容量線CSがソース配線S1に対向する第1電極部EL1及びソ

30

ース配線S2に対向する第2電極部EL2を有し、これらの第1電極部EL1及び第2電極部EL2のそれぞれの主画素電極PAに向かって延出した幅が第1領域A1から第5領域A5で異なる点で相違している。なお、詳述しないが、各ソース配線は、補助容量線のいずれかの電極部と第1主共通電極との間に位置している。

【0110】

より具体的に説明すると、書込開始側の第1領域A1において、例えば、ゲート配線G1とゲート配線G2との間に位置する補助容量線CS1は、ゲート配線G1とゲート配線G2との間で第2方向Yに沿って延出した第1電極部EL11及び第2電極部EL12を

40

有している。第1電極部EL11は、ゲート配線G1及びゲート配線G2から離間し、ソース配線S1の下層に位置している。第2電極部EL12は、ゲート配線G1及びゲート配線G2から離間し、ソース配線S2の下層に位置している。第1電極部EL11についてソース配線S1のエッジから主画素電極PA1に向かって延出した幅W11は、第2電極部EL12についてソース配線S2のエッジから主画素電極PA1に向かって延出した幅W12よりも小さい。主画素電極PA1が中間線Oの上に位置している場合、第1電極部EL11と主画素電極PA1との間隔は、第2電極部EL12と主画素電極PA1との間隔より大きい。

【0111】

一方で、書込終了側の第5領域A5において、例えば、ゲート配線G385とゲート配

50

線 G 3 8 6 との間に位置する補助容量線 C S 3 8 5 は、ゲート配線 G 3 8 5 とゲート配線 G 3 8 6 との間で第 2 方向 Y に沿って延出した第 1 電極部 E L 5 1 及び第 2 電極部 E L 5 2 を有している。第 1 電極部 E L 5 1 はソース配線 S 1 の下層に位置し、第 2 電極部 E L 5 2 はソース配線 S 2 の下層に位置している。第 1 電極部 E L 5 1 についてソース配線 S 1 のエッジから主画素電極 P A 5 に向かって延出した幅 W 5 1 は、第 2 電極部 E L 5 2 についてソース配線 S 2 のエッジから主画素電極 P A 5 に向かって延出した幅 W 5 2 よりも大きい。主画素電極 P A 5 が中間線 O の上に位置している場合、第 1 電極部 E L 5 1 と主画素電極 P A 5 との間隔は、第 2 電極部 E L 5 2 と主画素電極 P A 5 との間隔より小さい。

【 0 1 1 2 】

10

第 1 領域 A 1 と第 5 領域 A 5 との間の中に位置する第 3 領域 A 3 において、例えば、ゲート配線 G 1 9 3 とゲート配線 G 1 9 4 との間に位置する補助容量線 C S 1 9 3 は、ゲート配線 G 1 9 3 とゲート配線 G 1 9 4 との間で第 2 方向 Y に沿って延出した第 1 電極部 E L 3 1 及び第 2 電極部 E L 3 2 を有している。第 1 電極部 E L 3 1 はソース配線 S 1 の下層に位置し、第 2 電極部 E L 3 2 はソース配線 S 2 の下層に位置している。第 1 電極部 E L 3 1 についてソース配線 S 1 のエッジから主画素電極 P A 3 に向かって延出した幅 W 3 1 は、第 2 電極部 E L 3 2 についてソース配線 S 2 のエッジから主画素電極 P A 3 に向かって延出した幅 W 3 2 と略同等である。主画素電極 P A 3 が中間線 O の上に位置している場合、第 1 電極部 E L 3 1 と主画素電極 P A 3 との間隔は、第 2 電極部 E L 3 2 と主画素電極 P A 3 との間隔と略同等である。

20

【 0 1 1 3 】

また、第 2 領域 A 2 において、例えば、ゲート配線 G 9 7 とゲート配線 G 9 8 との間に位置する補助容量線 C S 9 7 は、ゲート配線 G 9 7 とゲート配線 G 9 8 との間で第 2 方向 Y に沿って延出した第 1 電極部 E L 2 1 及び第 2 電極部 E L 2 2 を有している。第 1 電極部 E L 2 1 はソース配線 S 1 の下層に位置し、第 2 電極部 E L 2 2 はソース配線 S 2 の下層に位置している。第 1 電極部 E L 2 1 についてソース配線 S 1 のエッジから主画素電極 P A 2 に向かって延出した幅 W 2 1 は、第 2 電極部 E L 2 2 についてソース配線 S 2 のエッジから主画素電極 P A 2 に向かって延出した幅 W 2 2 よりも小さい。主画素電極 P A 2 が中間線 O の上に位置している場合、第 1 電極部 E L 2 1 と主画素電極 P A 2 との間隔は、第 2 電極部 E L 2 2 と主画素電極 P A 2 との間隔より大きい。但し、この第 2 領域 A 2 における幅 W 2 1 と幅 W 2 2 との差は、第 1 領域 A 1 における幅 W 1 1 と幅 W 1 2 との差よりも小さい。つまり、幅 W 2 1 は、幅 W 1 1 より大きく、幅 W 3 1 より小さい。また、幅 W 2 2 は、幅 W 1 2 より小さく、幅 W 3 2 より大きい。

30

【 0 1 1 4 】

また、第 4 領域 A 4 において、例えば、ゲート配線 G 2 8 9 とゲート配線 G 2 9 0 との間に位置する補助容量線 C S 2 8 9 は、ゲート配線 G 2 8 9 とゲート配線 G 2 9 0 との間で第 2 方向 Y に沿って延出した第 1 電極部 E L 4 1 及び第 2 電極部 E L 4 2 を有している。第 1 電極部 E L 4 1 はソース配線 S 1 の下層に位置し、第 2 電極部 E L 4 2 はソース配線 S 2 の下層に位置している。第 1 電極部 E L 4 1 についてソース配線 S 1 のエッジから主画素電極 P A 4 に向かって延出した幅 W 4 1 は、第 2 電極部 E L 4 2 についてソース配線 S 2 のエッジから主画素電極 P A 4 に向かって延出した幅 W 4 2 よりも大きい。主画素電極 P A 4 が中間線 O の上に位置している場合、第 1 電極部 E L 4 1 と主画素電極 P A 4 との間隔は、第 2 電極部 E L 4 2 と主画素電極 P A 4 との間隔より小さい。但し、この第 4 領域 A 4 における幅 W 4 1 と幅 W 4 2 との差は、第 5 領域 A 5 における幅 W 5 1 と幅 W 5 2 との差よりも小さい。つまり、幅 W 4 1 は、幅 W 3 1 より大きく、幅 W 5 1 より小さい。また、幅 W 4 2 は、幅 W 3 2 より小さく、幅 W 5 2 より大きい。

40

【 0 1 1 5 】

このように、ソース配線 S 1 と対向する第 1 電極部 E L 1 及びソース配線 S 2 と対向する第 2 電極部 E L 2 の位置に着目したとき、書込開始側では主画素電極 P A と電氣的に接続されたソース配線 S 1 と対向する第 1 電極部 E L 1 よりも、主画素電極 P A と電氣的に

50

接続されていないソース配線 S 2 と対向する第 2 電極部 E L 2 の方が主画素電極 P A に向かって幅広く延出している。書込開始側から書込終了側に向かうにしたがって、第 2 電極部 E L 2 の主画素電極 P A 側への延出幅が順次小さくなるとともに第 1 電極部 E L 1 の主画素電極 P A 側への延出幅が順次大きくなり、書込終了側では第 2 電極部 E L 2 よりも第 1 電極部 E L 1 の方が主画素電極 P A に向かって幅広く延出している。なお、第 1 領域 A 1 乃至第 5 領域 A 5 の各々の領域では、第 1 電極部 E L 1 及び第 2 電極部 E L 2 のそれぞれの主画素電極 P A 側への延出幅が必ずしも一定でなくてもよい。

【 0 1 1 6 】

このような第 3 構成例によれば、書込開始側では、主画素電極 P A と接続されていない側のソース配線 S 2 からの漏れ電界は、ソース配線 S 2 の上層に位置する第 1 主共通電極 C A R 1 によってシールドされるとともに、ソース配線 S 2 の下層に位置する第 2 電極部 E L 2 でもシールドすることができる。また、書込終了側では、主画素電極 P A と接続されている側のソース配線 S 1 からの漏れ電界は、ソース配線 S 1 の上層に位置する第 1 主共通電極 C A L 1 によってシールドされるとともに、ソース配線 S 1 の下層に位置する第 1 電極部 E L 1 でもシールドすることができる。したがって、表示品位の劣化を抑制することが可能となる。

10

【 0 1 1 7 】

次に、本実施形態の第 4 構成例について説明する。

【 0 1 1 8 】

図 1 1 は、第 4 構成例を説明するための模式図である。なお、この図 1 1 では、説明に必要な構成のみを図示している。この第 4 構成例は、第 1 構成例と比較して、アクティブエリア A C T の第 1 領域 A 1 から第 5 領域 A 5 に亘り主画素電極 P A が中間線 O の上に位置している一方で、ソース配線 S 1 が第 1 コンタクト部 C T 1 を有し、ソース配線 S 2 が第 2 コンタクト部 C T 2 を有し、これらの第 1 コンタクト部 C T 1 及び第 2 コンタクト部 C T 2 のそれぞれの主画素電極 P A に向かって延出した幅が第 1 領域 A 1 から第 5 領域 A 5 で異なる点で相違している。

20

【 0 1 1 9 】

より具体的に説明すると、書込開始側の第 1 領域 A 1 において、ソース配線 S 1 は、主画素電極 P A 1 と電氣的に接続された半導体層 S C 1 1 にコンタクトする第 1 コンタクト部 C T 1 1 を有している。ソース配線 S 2 は、隣接する画素の半導体層 S C 1 2 にコンタクトする第 2 コンタクト部 C T 1 2 を有している。第 1 コンタクト部 C T 1 1 についてソース配線 S 1 のエッジから主画素電極 P A 1 に向かって延出した幅 W 1 1 は、第 2 コンタクト部 C T 1 2 についてソース配線 S 2 のエッジから主画素電極 P A 1 に向かって延出した幅 W 1 2 よりも大きい。主画素電極 P A 1 が中間線 O の上に位置している場合、第 1 コンタクト部 C T 1 1 と主画素電極 P A 1 との間隔は、第 2 コンタクト部 C T 1 2 と主画素電極 P A 1 との間隔より小さい。

30

【 0 1 2 0 】

一方で、書込終了側の第 5 領域 A 5 において、ソース配線 S 1 は、主画素電極 P A 5 と電氣的に接続された半導体層 S C 5 1 にコンタクトする第 1 コンタクト部 C T 5 1 を有している。ソース配線 S 2 は、隣接する画素の半導体層 S C 5 2 にコンタクトする第 2 コンタクト部 C T 5 2 を有している。第 1 コンタクト部 C T 5 1 についてソース配線 S 1 のエッジから主画素電極 P A 5 に向かって延出した幅 W 5 1 は、第 2 コンタクト部 C T 5 2 についてソース配線 S 2 のエッジから主画素電極 P A 5 に向かって延出した幅 W 5 2 よりも小さい。主画素電極 P A 5 が中間線 O の上に位置している場合、第 1 コンタクト部 C T 5 1 と主画素電極 P A 5 との間隔は、第 2 コンタクト部 C T 5 2 と主画素電極 P A 5 との間隔より大きい。

40

【 0 1 2 1 】

第 1 領域 A 1 と第 5 領域 A 5 との間の中に位置する第 3 領域 A 3 において、ソース配線 S 1 は、主画素電極 P A 3 と電氣的に接続された半導体層 S C 3 1 にコンタクトする第 1 コンタクト部 C T 3 1 を有している。ソース配線 S 2 は、隣接する画素の半導体層 S C

50

3 2 にコンタクトする第 2 コンタクト部 C T 3 2 を有している。第 1 コンタクト部 C T 3 1 についてソース配線 S 1 のエッジから主画素電極 P A 3 に向かって延出した幅 W 3 1 は、第 2 コンタクト部 C T 3 2 についてソース配線 S 2 のエッジから主画素電極 P A 3 に向かって延出した幅 W 3 2 と略同等である。主画素電極 P A 3 が中間線 O の上に位置している場合、第 1 コンタクト部 C T 3 1 と主画素電極 P A 3 との間隔は、第 2 コンタクト部 C T 3 2 と主画素電極 P A 3 との間隔と略同等である。

【 0 1 2 2 】

また、第 2 領域 A 2 において、ソース配線 S 1 は、主画素電極 P A 2 と電氣的に接続された半導体層 S C 2 1 にコンタクトする第 1 コンタクト部 C T 2 1 を有している。ソース配線 S 2 は、隣接する画素の半導体層 S C 2 2 にコンタクトする第 2 コンタクト部 C T 2 2 を有している。第 1 コンタクト部 C T 2 1 についてソース配線 S 1 のエッジから主画素電極 P A 2 に向かって延出した幅 W 2 1 は、第 2 コンタクト部 C T 2 2 についてソース配線 S 2 のエッジから主画素電極 P A 2 に向かって延出した幅 W 2 2 よりも大きい。主画素電極 P A 2 が中間線 O の上に位置している場合、第 1 コンタクト部 C T 2 1 と主画素電極 P A 2 との間隔は、第 2 コンタクト部 C T 2 2 と主画素電極 P A 2 との間隔より小さい。但し、この第 2 領域 A 2 における幅 W 2 1 と幅 W 2 2 との差は、第 1 領域 A 1 における幅 W 1 1 と幅 W 1 2 との差よりも小さい。つまり、幅 W 2 1 は、幅 W 3 1 より大きく、幅 W 1 1 より小さい。また、幅 W 2 2 は、幅 W 3 2 より小さく、幅 W 1 2 より大きい。

【 0 1 2 3 】

また、第 4 領域 A 4 において、ソース配線 S 1 は、主画素電極 P A 4 と電氣的に接続された半導体層 S C 4 1 にコンタクトする第 1 コンタクト部 C T 4 1 を有している。ソース配線 S 2 は、隣接する画素の半導体層 S C 4 2 にコンタクトする第 2 コンタクト部 C T 4 2 を有している。第 1 コンタクト部 C T 4 1 についてソース配線 S 1 のエッジから主画素電極 P A 4 に向かって延出した幅 W 4 1 は、第 2 コンタクト部 C T 4 2 についてソース配線 S 2 のエッジから主画素電極 P A 4 に向かって延出した幅 W 4 2 よりも小さい。主画素電極 P A 4 が中間線 O の上に位置している場合、第 1 コンタクト部 C T 4 1 と主画素電極 P A 4 との間隔は、第 2 コンタクト部 C T 4 2 と主画素電極 P A 4 との間隔より大きい。但し、この第 4 領域 A 4 における幅 W 4 1 と幅 W 4 2 との差は、第 5 領域 A 5 における幅 W 5 1 と幅 W 5 2 との差よりも小さい。つまり、幅 W 4 1 は、幅 W 5 1 より大きく、幅 W 3 1 より小さい。また、幅 W 4 2 は、幅 W 5 2 より小さく、幅 W 3 2 より大きい。

【 0 1 2 4 】

このように、ソース配線 S 1 の第 1 コンタクト部 C T 1 及びソース配線 S 2 の第 2 コンタクト部 C T 2 の位置に着目したとき、書込開始側では主画素電極 P A と電氣的に接続されたソース配線 S 1 の第 1 コンタクト部 C T 1 は、主画素電極 P A と電氣的に接続されていないソース配線 S 2 の第 2 コンタクト部 C T 2 よりも主画素電極 P A に向かって幅広く延出している。書込開始側から書込終了側に向かうにしたがって、第 1 コンタクト部 C T 1 の主画素電極 P A 側への延出幅が順次小さくなるとともに第 2 コンタクト部 C T 2 の主画素電極 P A 側への延出幅が順次大きくなり、書込終了側では第 1 コンタクト部 C T 1 よりも第 2 コンタクト部 C T 2 の方が主画素電極 P A に向かって幅広く延出している。なお、第 1 領域 A 1 乃至第 5 領域 A 5 の各々の領域では、第 1 コンタクト部 C T 1 及び第 2 コンタクト部 C T 2 のそれぞれの主画素電極 P A 側への延出幅が必ずしも一定でなくてもよい。

【 0 1 2 5 】

このような第 4 構成例によれば、書込開始側では、主画素電極 P A と接続されていない側のソース配線 S 2 の第 2 コンタクト部 C T 2 は、主画素電極 P A から遠ざかるため、第 2 コンタクト部 C T 2 からの漏れ電界の影響を緩和することができる。また、書込終了側では、主画素電極 P A と接続されている側のソース配線 S 1 の第 1 コンタクト部 C T 1 は、主画素電極 P A から遠ざかるため、第 1 コンタクト部 C T 1 からの漏れ電界の影響を緩和することができる。したがって、表示品位の劣化を抑制することが可能となる。

【 0 1 2 6 】

ここまで第1乃至第4構成例について説明したが、これらのうちの複数の構成例を組み合わせても良い。

【0127】

次に、本実施形態の効果について検証した。

【0128】

図12は、本実施形態において導入したクロストーク率の定義を説明するための図である。

【0129】

すなわち、アクティブエリアACTの略中央に矩形状のウインドーWDWを表示した場合であって、ウインドーWDWが黒表示または白表示である一方で、その周辺部分が中間色を表示した場合に、ウインドーWDWを囲む四方の輝度を測定した。図示した4箇所のそれぞれの輝度をW1、W2、W3、W4とした。また、同一のアクティブエリアACTの全面で同一の中間色を表示した場合に、上記と同一箇所の4箇所の輝度を測定した。図示した4箇所のそれぞれの輝度をG1、G2、G3、G4とした。このとき、クロストーク率は以下の式で定義する。

【0130】

クロストーク率 = $|W(n) - G(n)| / G(n) \times 100$ (但し、 $n=1 \sim 4$ である)

まず、上記の比較例について、クロストーク率を測定した。次に、本実施形態の第1構成例である図6に示した例について、クロストーク率を測定した。比較例のクロストーク率を1として規格化したところ、第1構成例のクロストーク率は0.69であった。このように、本実施形態によれば、クロストークを低減することが可能であることが確認された。

【0131】

また、本実施形態によれば、上記した効果に加えて、画素電極PEと共通電極CEとの間の電極間隙において高い透過率を得ることが可能となる。また、一画素あたりの透過率を十分に高くするためには、主画素電極PAと主共通電極CAとの間の電極間距離を拡大することで対応することが可能となる。また、画素ピッチが異なる製品仕様に対しては、電極間距離を変更する(例えば、主画素電極PAに対して主共通電極CAの配置位置を変更する)ことで、透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。

【0132】

また、本実施形態によれば、ブラックマトリクスBMと重なる領域では、透過率が十分に低下している。これは、ソース配線Sの直上に位置する共通電極CEの位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクスBMを挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクスBMと重なる領域の液晶分子LMがOFF時(あるいは黒表示時)と同様に初期配向状態を保っているためである。また、例えばアレイ基板ARと対向基板CTとの間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することができる。したがって、隣接する画素間でカラーフィルタCFの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【0133】

また、本実施形態によれば、第1主共通電極CA1及び第2主共通電極CA2は、それぞれソース配線Sと対向している。このため、主共通電極がソース配線よりも画素電極側に配置された場合と比較して、透過領域の面積を拡大することができ、画素PXの透過率を向上することが可能となる。また、画素電極PEと、第1主共通電極CA1及び第2主共通電極CA2との間の電極間距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成であるIPSモード等の利点である広視野角化も維持することが可能となる。

【 0 1 3 4 】

また、本実施形態によれば、第 1 副共通電極 C B 1 は、ゲート配線 G と対向するため、ゲート配線 G からの不所望な電界を遮蔽することが可能となる。つまり、第 1 副共通電極 C B 1 は、ゲートシールド電極として機能する。このため、ゲート配線 G から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、焼きツキなどの表示不良の発生、さらには、液晶分子の配向不良に起因した光漏れの発生を抑制することが可能となる。

【 0 1 3 5 】

また、本実施形態によれば、第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 は、互いに電氣的に接続され、格子状に形成されている。また、対向基板 C T に備えられた第 2 主共通電極 C A 2 及び第 2 副共通電極 C B 2 は、互いに電氣的に接続され、格子状に形成されている。したがって、アレイ基板 A R に備えられた第 1 共通電極 C E 1 の一部で断線が発生したり、対向基板 C T に備えられた第 2 共通電極 C E 2 の一部に断線が発生したりしたとしても、各画素 P X に安定してコモン電位を供給することが可能となり、表示不良の発生を抑制することが可能となる。

10

【 0 1 3 6 】

なお、本実施形態においては、画素電極 P E がアレイ基板 A R に形成される一方で共通電極 C E の少なくとも一部が対向基板 C T に形成された構成の液晶表示パネル L P N について説明したが、画素電極 P E 及び第 1 共通電極 C E 1 が形成されたアレイ基板と共通電極が形成されていない対向基板 C T とを組み合わせた構成の液晶表示パネルについても、

20

上記した構成例を適用可能である。

【 0 1 3 7 】

以上説明したように、本実施形態によれば、表示品位の劣化を抑制することが可能な液晶表示装置を提供することが可能となる。

【 0 1 3 8 】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

30

【 符号の説明 】

【 0 1 3 9 】

L P N ... 液晶表示パネル

A R ... アレイ基板 C T ... 対向基板 L Q ... 液晶層

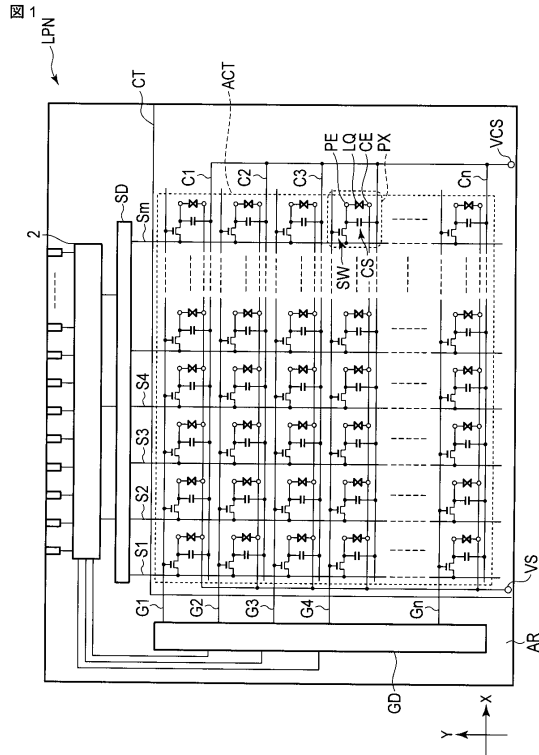
P E ... 画素電極 P A ... 主画素電極 P B ... 副画素電極

C E ... 共通電極 C E 1 ... 第 1 共通電極 C E 2 ... 第 2 共通電極

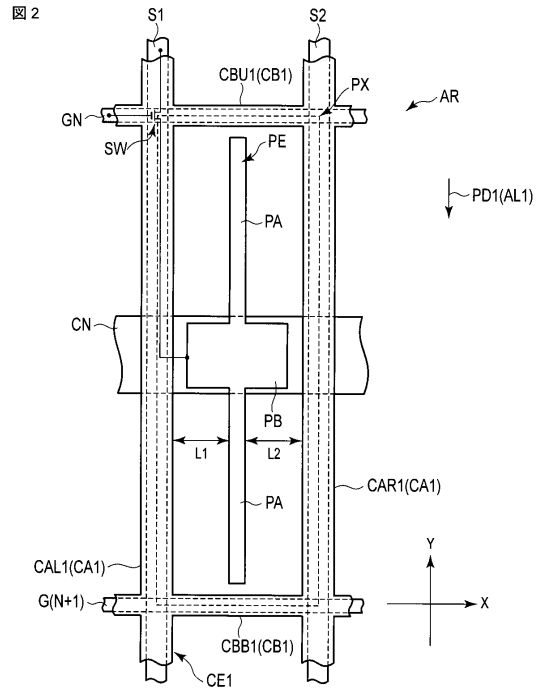
C A 1 ... 第 1 主共通電極 C B 1 ... 第 1 副共通電極

C A 2 ... 第 2 主共通電極 C B 2 ... 第 2 副共通電極

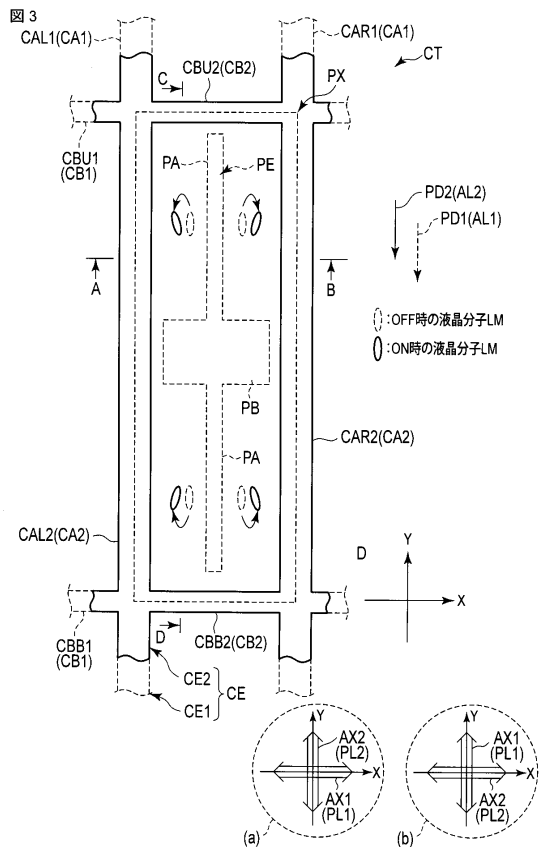
【図 1】



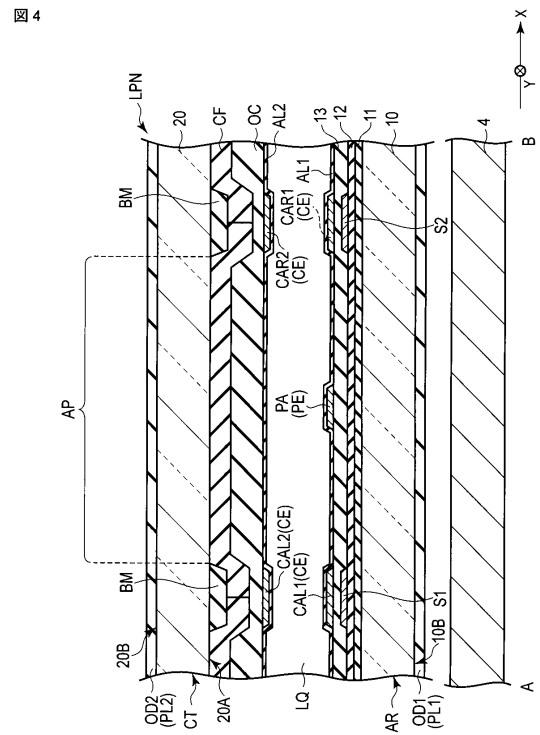
【図 2】



【図 3】

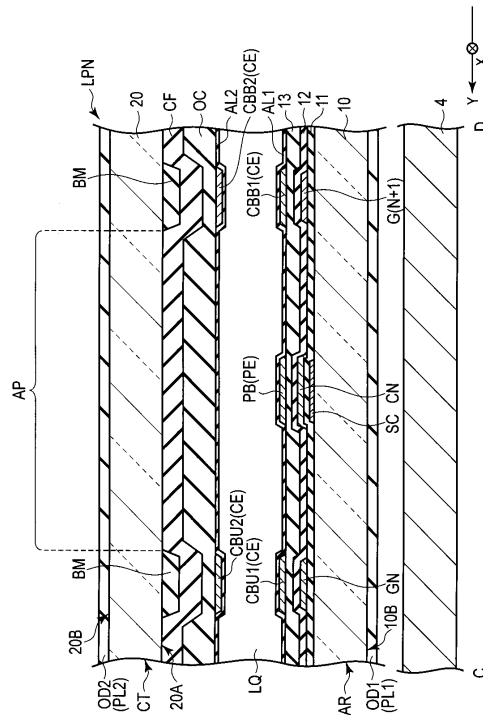


【図 4】



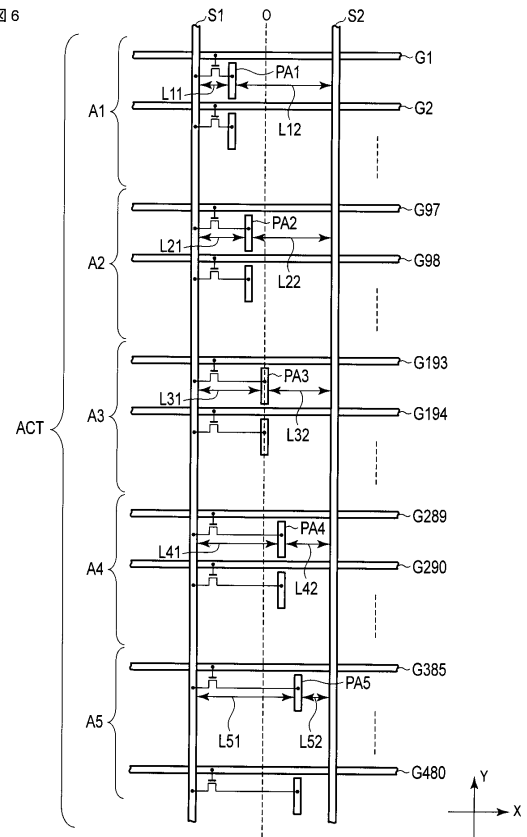
【図 5】

図 5



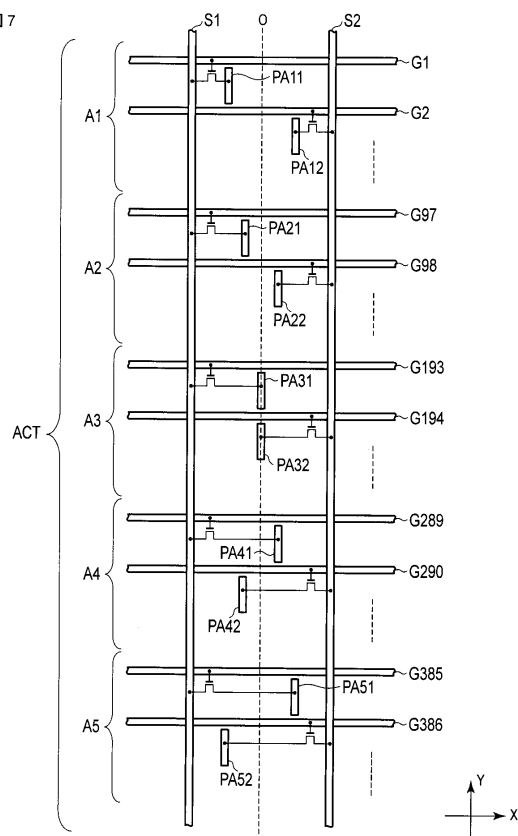
【図 6】

図 6



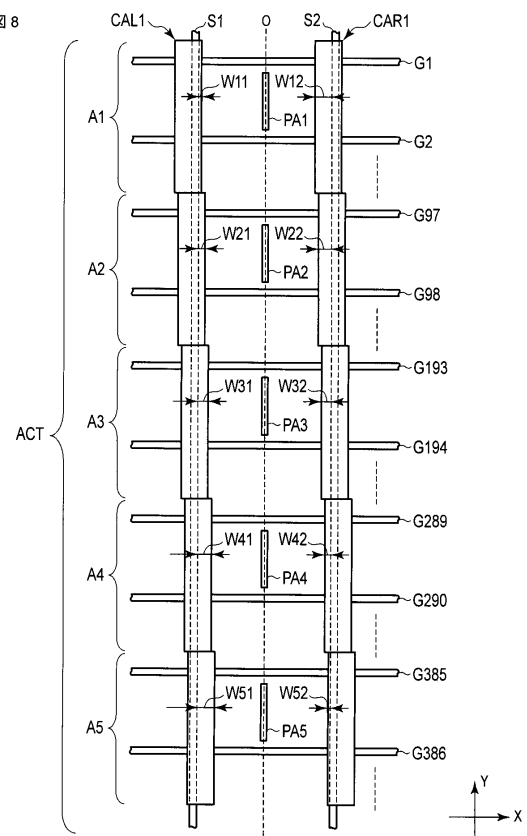
【図 7】

図 7

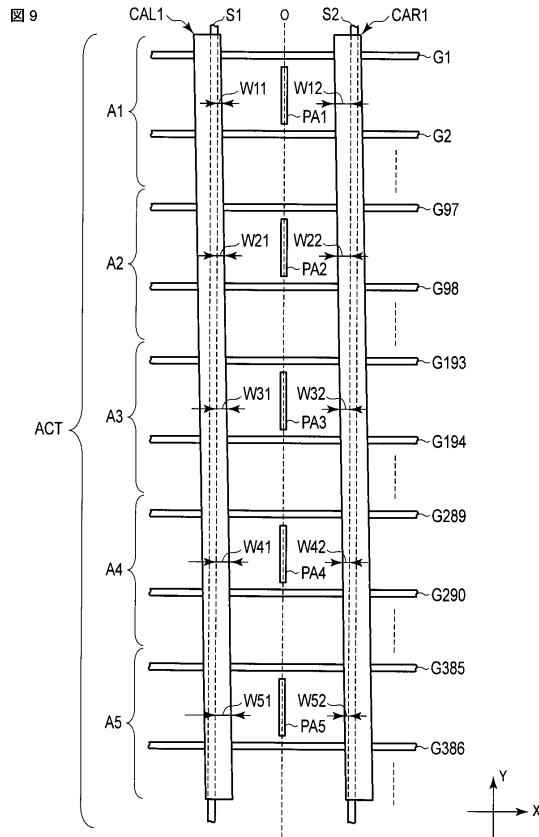


【図 8】

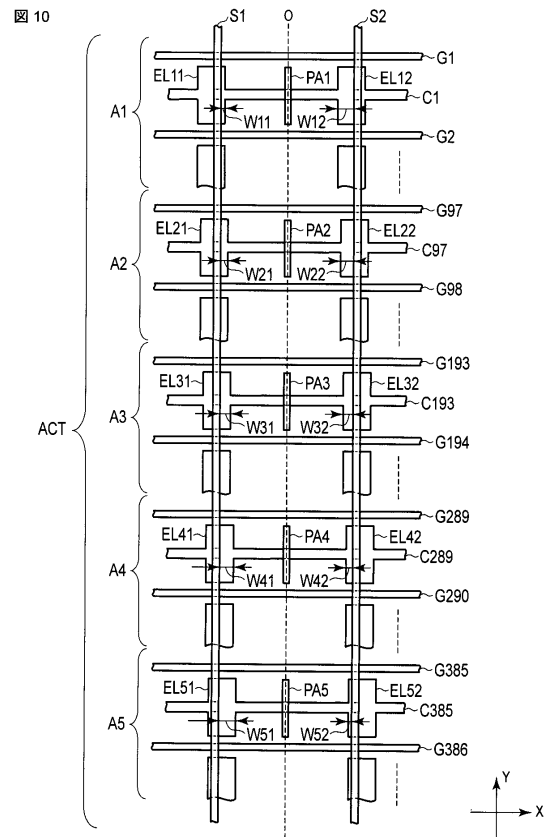
図 8



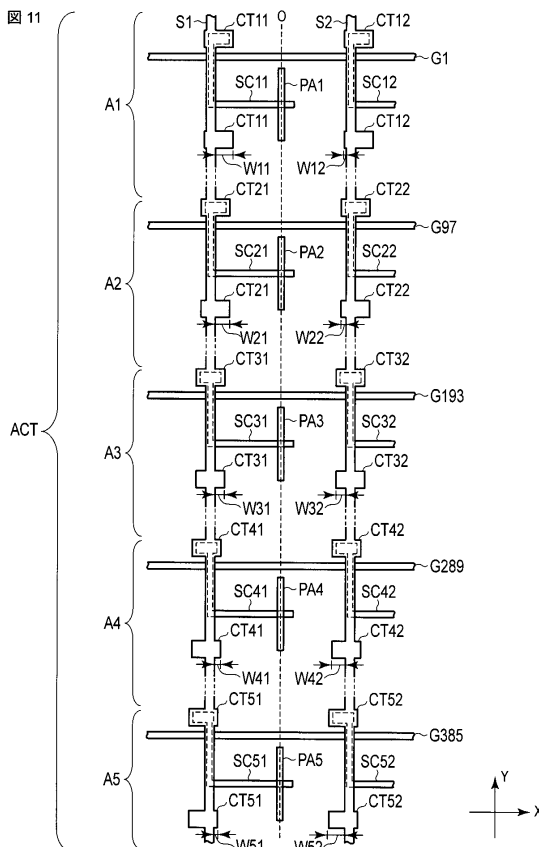
【図 9】



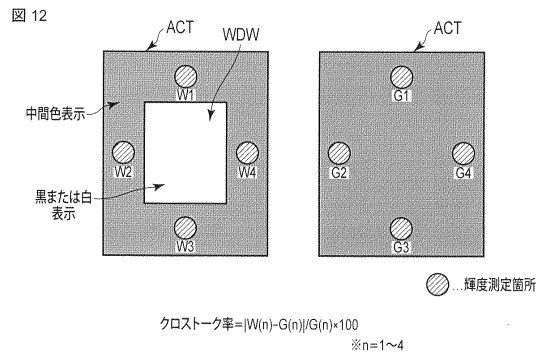
【図 10】



【図 11】



【図 12】



フロントページの続き

- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100172580
弁理士 赤穂 隆雄
- (74)代理人 100179062
弁理士 井上 正
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (72)発明者 廣澤 仁
埼玉県深谷市幡羅町一丁目9番地2 株式会社ジャパンディスプレイセントラル内

審査官 佐藤 洋允

- (56)参考文献 特開平09-230380(JP,A)
特開2001-184012(JP,A)
特開2009-109657(JP,A)
特開2002-250937(JP,A)
特開2004-093821(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G02F1/135-1/1368
G02F1/1343-1/1345

专利名称(译)	液晶表示装置		
公开(公告)号	JP5906138B2	公开(公告)日	2016-04-20
申请号	JP2012122316	申请日	2012-05-29
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	廣澤仁		
发明人	廣澤 仁		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/133 G09F9/30		
CPC分类号	G02F1/134363 G02F1/13439 G02F1/136213 G02F2001/133738 G02F2001/134318 G02F2001/134345 G02F2001/13706		
FI分类号	G02F1/1368 G02F1/1343 G02F1/133.550 G09F9/30.338 G02F1/133.505 G02F1/1345		
F-TERM分类号	2H092/GA13 2H092/GA17 2H092/JA24 2H092/JA37 2H092/JA41 2H092/JB05 2H092/JB22 2H092/JB31 2H092/JB69 2H092/KA04 2H092/NA01 2H092/PA02 2H092/PA08 2H092/PA09 2H092/QA06 2H193/ZA04 2H193/ZA07 2H193/ZC06 2H193/ZP03 2H193/ZQ16 5C094/AA37 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DB01 5C094/FA10		
代理人(译)	中村誠 河野直樹 井上 正 岡田隆		
其他公开文献	JP2013246408A		
外部链接	Espacenet		

摘要(译)

根据一个实施例，一种液晶显示装置包括：第一基板，包括第一源极线 and 第二源极线;条形的第一主像素电极;条形的第二主像素电极。第一基板被配置为使得第一主像素电极和第一源极线之间的第一距离小于第一主像素电极和第二源极线之间的第二距离，以及第二主像素电极和第二主像素电极之间的第三距离。第一源极线大于第二主像素电极和第二源极线之间的第四距离。

(21) 出願番号	特願2012-122316 (P2012-122316)	(73) 特許権者	502356528
(22) 出願日	平成24年5月29日 (2012. 5. 29)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2013-246408 (P2013-246408A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成25年12月9日 (2013. 12. 9)	(74) 代理人	110001737
審査請求日	平成27年1月14日 (2015. 1. 14)		特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 榎原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く