

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5870707号  
(P5870707)

(45) 発行日 平成28年3月1日 (2016.3.1)

(24) 登録日 平成28年1月22日 (2016.1.22)

(51) Int.Cl.

F I

**G09G 3/36 (2006.01)**

G09G 3/36

**G09G 3/20 (2006.01)**

G09G 3/20 624B

**G02F 1/133 (2006.01)**

G09G 3/20 621B

G09G 3/20 622D

G09G 3/20 622K

請求項の数 4 (全 24 頁) 最終頁に続く

(21) 出願番号 特願2012-11512 (P2012-11512)  
 (22) 出願日 平成24年1月23日 (2012.1.23)  
 (65) 公開番号 特開2013-148847 (P2013-148847A)  
 (43) 公開日 平成25年8月1日 (2013.8.1)  
 審査請求日 平成26年7月31日 (2014.7.31)

(73) 特許権者 308036402  
 株式会社 JVCケンウッド  
 神奈川県横浜市神奈川区守屋町3丁目12番地  
 (74) 代理人 100089118  
 弁理士 酒井 宏明  
 (72) 発明者 井澤 俊輔  
 神奈川県横浜市神奈川区守屋町3丁目12番地

審査官 小野 健二

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

画素駆動電極に供給される駆動電圧で駆動される液晶表示体を備える画素回路がマトリクス状に配列される画素部を有する液晶表示装置であって、

前記画素回路は、

電流源から供給される電流によって駆動される、第1の信号保持手段に保持される正極性の映像信号電圧が入力される第1のバッファ手段と、該電流源から供給される電流によって駆動される、第2の信号保持手段に保持される負極性の映像信号電圧が入力される第2のバッファ手段と、前記第1のバッファ手段から出力される前記正極性の映像信号電圧と、前記第2のバッファ手段から出力される前記負極性の映像信号電圧とを切り替えて前記駆動電圧として前記画素駆動電極に供給するスイッチング手段とを備え、

前記画素部が、前記マトリクスの連続する複数行によるグループに分割され、

前記画素部と隣接しない位置に配置され、前記電流源からの電流を消費する第1の電流消費手段と、

前記画素部と隣接しない位置に配置され、前記電流源からの電流を消費する第2の電流消費手段と、

前記グループに含まれる前記画素回路の前記第1のバッファ手段および前記第2のバッファ手段に対する前記電流源からの電流を、該グループ単位で、垂直走査方向に沿った順序に予め定められた時間差を持たせて順次供給し、

10

20

前記第 1 の電流消費手段に対して、前記画素部における映像信号の有効表示領域を含む、垂直走査方向の先頭の前記グループに対する前記電流源からの電流の供給の開始前に、該電流源から電流を供給し、

前記第 2 の電流消費手段に対して、前記有効表示領域を含む、垂直走査方向の後端の前記グループに対する前記電流源からの電流の供給の開始後に、該電流源から電流を供給する電流供給制御手段と

を有する

ことを特徴とする液晶表示装置。

#### 【請求項 2】

前記第 1 の電流消費手段および前記第 2 の電流消費手段は、それぞれソースフォロワ・バッファ回路である

ことを特徴とする請求項 1 に記載の液晶表示装置。

#### 【請求項 3】

前記画素部において前記有効表示領域を含む、垂直走査方向の先頭および後端の前記グループは、該有効表示領域に対して垂直走査方向での外側に、前記画素回路において前記スイッチング手段と前記画素駆動電極とを接続しない構成としたダミー画素回路が設けられる

ことを特徴とする請求項 1 または請求項 2 に記載の液晶表示装置。

#### 【請求項 4】

前記電流供給制御手段は、

前記第 1 の電流消費手段から、前記ダミー画素回路を含む、前記画素部における前記垂直走査方向の先頭のグループの順に、前記電流源からの電源を供給し、

前記ダミー画素回路を含む、前記画素部における前記垂直走査方向の後端のグループから、前記第 2 の電流消費手段の順に、前記電流源からの電源を供給する

ことを特徴とする請求項 3 に記載の液晶表示装置。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、アクティブマトリクス型の液晶表示装置に関する。

#### 【背景技術】

#### 【0002】

近年、プロジェクタ装置やプロジェクションテレビジョンには、画像を投影するための中心部品として L C O S (Liquid Crystal on Silicon) 型の液晶表示装置が多く用いられている。この L C O S 型の液晶表示装置は、透明電極と、液晶層と、マトリクス状に配置された反射電極と、及びシリコン基板上に液晶駆動回路が形成された液晶駆動素子などが重なった構造を有している。

#### 【0003】

図 16 は、従来の、L C O S 型の液晶表示装置に適用可能なアクティブマトリクス型による液晶表示パネル部 100 の基本構成の例を示す。液晶表示パネル部 100 は、データ線駆動回路 110 と、垂直シフトレジスタ回路 111 と、画素部 112 とを有する。画素部 112 は、映像信号による映像が表示される画面を構成する部分であって、複数の画素部データ線  $D_1$ 、 $D_2$ 、...、 $D_m$  および行走査線  $G_1$ 、 $G_2$ 、...、 $G_n$  が互いに直交する方向に形成され、各交差部に対し、画素回路 130<sub>1,1</sub>、130<sub>2,1</sub>、...、130<sub>m,1</sub>、...、130<sub>m,n</sub> が形成されている。

#### 【0004】

図 17 は、画素回路 130 の一例の構成を示す。画素選択トランジスタ  $T_r$  において、ゲートが行走査線  $G$  に接続され、ドレインが画素部データ線  $D$  に接続される。画素選択トランジスタ  $T_r$  のソースは、信号保持容量  $C_s$  の一端に接続されると共に、画素表示部 131 の画素駆動電極  $P_E$  に接続される。画素表示部 131 は、画素駆動電極  $P_E$  と、固定電圧  $V_{com}$  に接続される共通電極  $C_E$  とで液晶表示体 L C M を挟んで構成される。画素

10

20

30

40

50

表示部 131 は、映像信号による 1 画素の表示を行う。

【0005】

画素部データ線 D に映像信号を供給し、行走査線 G をオンとすることで、映像信号が画素選択トランジスタ Tr を介して信号保持容量 Cs に蓄積され、信号保持容量 Cs から画素駆動電極 PE に対して、映像信号に従った電圧が転送される。画素駆動電極 PE と固定電圧 Vcom との電位差によって液晶表示体 LCM が駆動され、液晶表示体 LCM の光変調率が制御されて映像としての表示がなされる。

【0006】

図 16 の説明に戻り、データ線駆動回路 110 は、水平シフトレジスタ回路 120 と、画素部 112 に配される各画素回路 130<sub>1,1</sub>、130<sub>2,1</sub>、...、130<sub>m,1</sub>、...、130<sub>m,n</sub> に接続される各画素部データ線 D<sub>1</sub>、D<sub>2</sub>、...、D<sub>m</sub> 毎に設けられるスイッチ 121<sub>1</sub>、121<sub>2</sub>、...、121<sub>m</sub> とを有する。

10

【0007】

デジタル映像信号が映像信号処理回路 150 で所定の映像処理を施された後、フレームメモリ 151 に一旦格納される。デジタル映像信号は、フレームメモリ 151 からライン毎に読み出され、極性反転処理回路 152 において例えば 1 フレーム周期毎に極性が反転され、D/A 変換部 153 でアナログ映像信号に変換されてバッファアンプ 154 を介してデータ線駆動回路 110 に供給される。このアナログ信号は、データ線駆動回路 110 において、それぞれ水平シフトレジスタ回路 120 にオン/オフを制御されるスイッチ 121<sub>1</sub>、121<sub>2</sub>、...、121<sub>m</sub> に供給される。

20

【0008】

垂直シフトレジスタ回路 111 は、タイミング制御回路 140 から垂直クロック VCK および垂直走査開始信号 VST が供給され、垂直走査開始信号 VST をトリガとして、垂直クロック VCK に従い各行走査線 G<sub>1</sub>、G<sub>2</sub>、...、G<sub>n</sub> を順次選択する。水平シフトレジスタ回路 120 は、タイミング制御回路 140 から水平クロック HCK および水平走査開始信号 HST が供給され、水平走査開始信号 HST をトリガとして、水平クロック HCK に従い各スイッチ 121<sub>1</sub>、121<sub>2</sub>、...、121<sub>m</sub> を順次オンにする。

【0009】

垂直シフトレジスタ回路 111 で選択された行走査線 G<sub>y</sub> に接続される各画素回路 130<sub>1,y</sub>、130<sub>2,y</sub>、...、130<sub>m,y</sub> に対して順次アナログ映像信号が供給される。各画素回路 130<sub>1,y</sub>、130<sub>2,y</sub>、...、130<sub>m,y</sub> において、供給されたアナログ映像信号が信号保持容量 Cs に保持されて、画素表示部 131 が駆動され、1 ライン分の映像が表示される。

30

【0010】

ところで、このような従来のアクティブマトリクス型液晶表示パネルにおいて、静止画像を長時間表示することで表示画像にその履歴が残る、所謂「焼き付き現象」が発生することが知られている。この焼き付き現象は、液晶表示体 LCM や液晶表示体 LCM において液晶分子を所定の方向に揃えるための配向膜、ならびに、それらの界面吸着などに起因する残留電荷成分が支配的であり、液晶表示素子の交流駆動周波数が低い領域では、残留電荷が発生し易く、その影響による焼き付き現象が発生し易い。

40

【0011】

このような焼き付き防止などの、液晶表示素子の信頼性を高める方法の一つとして、より高い周波数で液晶表示素子を交流駆動する方法がある。しかしながら、画素への書き込み時間などの制約から、対向電極電圧に対して正極性側の電圧を持つ映像信号と、負極性側の電圧を持つ映像信号とを交互に高速に書き込むことが困難であった。そのため、従来は、交流駆動は、フレーム周波数あるいはフレーム周波数の 2 倍程度の周波数でしか行われていないのが一般的であった。

【0012】

液晶表示素子の信頼性を高めるため、特許文献 1 では、アナログ駆動型の液晶表示装置において、正と負の極性に相当する 2 種類の電圧を各画素内に持つことで、フレーム周波

50

数の数10倍のレートで極性反転させるようにした液晶表示装置、液晶表示装置の駆動回路及び液晶表示装置の駆動方法について提案されている。

【0013】

すなわち、特許文献1では、正極性側の電圧とされた映像信号を保持する正極性側の保持容量と、負極性側の電圧とされた映像信号を保持する負極性側の保持容量とを画素回路内に持ち、これら正極性側および負極性側の保持容量に保持された信号電圧を交互に読み出すことで、液晶表示素子のより高速な交流駆動が可能となる。また、液晶表示素子の高速な交流駆動が可能となることで、液晶表示素子のばらつきの許容度を高めると共に生産性を向上させることができる。

【0014】

ここで、一般的には、液晶表示装置に電源を供給する電源部には、電源供給能力に制限が存在する。そのため、正極性側および負極性側の保持容量に保持された信号電圧を画素駆動電極に転送する際に、画素部の全画素が同時にオン状態となってしまうと、各画素回路において画素電圧の振幅低減が発生したり、瞬時過大電流が発生する可能性がある。これらは、液晶表示装置における表示品質の劣化や、誤動作などを引き起こす要因となるおそれがある。

【0015】

そこで、特許文献1では、保持容量に保持された信号電圧の画素駆動電極に対する転送を、垂直走査方向について時間差を持たせて行っている。より具体的には、画素部を、画素の複数行すなわち複数ラインからなるグループに分割し、保持容量に保持された信号電圧の画素駆動電極に対する転送を、グループ毎に少しずつタイミングをずらしながら行う。これにより、画素電圧の振幅低減を抑制することができると共に、瞬時過大電流を低減することができる。

【先行技術文献】

【特許文献】

【0016】

【特許文献1】特開2009-223289号公報

【発明の概要】

【発明が解決しようとする課題】

【0017】

このように、垂直走査方向について時間差を持たせて保持電圧の転送を行うことで、1回の転送で流れる電流は微少電流になる。しかしながら、電源電圧の変動を完全には抑制することができず、保持電圧の転送の際に画素駆動電極の電圧が所定の電圧から変化してしまう。特に、画素電極がオン状態となって電流が流れ始める時点、例えば画素部において、垂直走査の最初の保持電圧の転送が開始される時点あるいは垂直走査の最後に保持電圧の転送が終了される時点と、電流が安定した時点との間における電源変動により、垂直走査方向で輝度ムラが発生する可能性がある。

【0018】

図18を用いて、この電源変動による垂直走査方向の輝度ムラについて説明する。ここで、画素回路は、例えばソースフォロワ回路を用いたバッファ回路を介して正極性側および負極性側それぞれの保持容量に保持された保持電圧の読み出しを行うものとする。また、図18は、左から右の方向に時間の経過を示し、図の左側が画素部（画面）の上端側に対応し、右側が画素部の下端側に対応する。画素部は、複数ラインからなるグループ単位に分割され、グループ毎に保持電圧の転送タイミングを少しずつずらされながら、各画素回路が駆動される。図中、電圧 $V_{dd}$ は、上述のバッファ回路の電源電圧であるものとする。

【0019】

最初の1グループがオン状態となり保持電圧の転送が開始されると、バッファ回路に電流が流れ、電圧 $V_{dd}$ が低下する。次のグループがオン状態となると、合計で2グループ分がオン状態となり、電圧 $V_{dd}$ がさらに低下する。このように各グループが順次オン状

10

20

30

40

50

態となるに連れ、電圧 $V_{dd}$ が低下し、その後アンダーシュート状態を経過して、所定の電圧値に落ち着くようになる。各グループが順次OFF状態となる場合は、図に示されるように、電圧 $V_{dd}$ が徐々に上昇し、ピーク状態を経過した後、元の電圧に戻る。

【0020】

このように電圧 $V_{dd}$ が変化した場合、正極性側および負極性側の映像信号による表示画像は、画像200aおよび200bにそれぞれ示されるように、電圧 $V_{dd}$ が変動している部分で輝度ムラになる。

【0021】

また、複数ラインを1グループとして画面を分割した場合、1グループに含まれるライン数によっては、例えば最終ライン付近において余りのラインが発生し、全画面を同一ライン数を単位としてオン状態にできない場合が起こり得る。例えば、1080ラインの画面を16ラインからなるグループ単位で分割した場合、最後の8ラインが余ることになる。この場合においても、この余りの部分と各グループとで電源変動に差が生じ、垂直走査方向の輝度ムラとなるおそれがある。

【0022】

本発明は、上記に鑑みてなされたものであって、液晶表示素子をより高速に交流駆動する際に、垂直走査方向の輝度ムラを抑制することを目的とする。

【課題を解決するための手段】

【0023】

上述した課題を解決し、目的を達成するために、本発明は、画素駆動電極に供給される駆動電圧で駆動される液晶表示体を備える画素回路がマトリクス状に配列される画素部を有する液晶表示装置であって、画素回路は、電流源から供給される電流によって駆動される、第1の信号保持手段に保持される正極性の映像信号電圧が入力される第1のバッファ手段と、電流源から供給される電流によって駆動される、第2の信号保持手段に保持される負極性の映像信号電圧が入力される第2のバッファ手段と、第1のバッファ手段から出力される正極性の映像信号電圧と、第2のバッファ手段から出力される負極性の映像信号電圧とを切り替えて駆動電圧として画素駆動電極に供給するスイッチング手段とを備え、画素部が、マトリクスの連続する複数行によるグループに分割され、画素部と隣接しない位置に配置され、電流源からの電流を消費する第1の電流消費手段と、画素部と隣接しない位置に配置され、電流源からの電流を消費する第2の電流消費手段と、グループに含まれる画素回路の第1のバッファ手段および第2のバッファ手段に対する電流源からの電流を、グループ単位で、垂直走査方向に沿った順序に予め定められた時間差を持たせて順次供給し、第1の電流消費手段に対して、画素部における映像信号の有効表示領域を含む、垂直走査方向の先頭のグループに対する電流源からの電流の供給の開始前に、電流源から電流を供給し、第2の電流消費手段に対して、有効表示領域を含む、垂直走査方向の後端のグループに対する電流源からの電流の供給の開始後に、電流源から電流を供給する電流供給制御手段とを有することを特徴とする。

【発明の効果】

【0024】

本発明によれば、液晶表示素子をより高速に交流駆動する際に、垂直方向の輝度ムラを抑制することができるという効果を奏する。

【図面の簡単な説明】

【0025】

【図1】図1は、本実施形態に適用可能な既存技術による画素回路の一例の構成を示す回路図である。

【図2】図2は、本実施形態に適用可能な画素回路の別の例の構成を示す回路図である。

【図3】図3は、既存技術による画素回路の一例の駆動方法を説明するためのタイムチャートである。

【図4】図4は、既存技術による液晶表示装置の一例の構成を概略的に示すブロック図である。

10

20

30

40

50

【図 5】図 5 は、既存技術による液晶表示装置の各部の動作の例を示すタイムチャートである。

【図 6】図 6 は、既存技術による液晶表示装置における各信号と、各行（ライン）の走査の基準となる水平同期信号 H D との関係の例を示す略線図である。

【図 7】図 7 は、本実施形態による液晶表示装置の一例の構成を概略的に示すブロック図である。

【図 8】図 8 は、電流消費グループの一例の構成を示す回路図である。

【図 9】図 9 は、ダミー画素グループに含まれるダミー画素回路の一例の構成を示す回路図である。

【図 10】図 10 は、本実施形態による液晶表示装置の各部の動作の例を示すタイムチャートである。

10

【図 11】図 11 は、本実施形態を実施した場合に画面の垂直走査方向の輝度ムラが抑制されることを説明するための略線図である。

【図 12】図 12 は、実施形態に係る液晶表示装置の一例の構成を、水平ドライバ回路を中心に示すブロック図である。

【図 13】図 13 は、実施形態に係る液晶表示装置における水平ドライバ回路の動作を説明するための一例のタイミングチャートである。

【図 14】図 14 は、実施形態の第 1 の変形例による液晶表示装置の一例の構成を概略的に示すブロック図である。

【図 15】図 15 は、実施形態の第 2 の変形例による液晶表示装置の一例の構成を概略的に示すブロック図である。

20

【図 16】図 16 は、従来の液晶表示パネル部の基本構成の例を示すブロック図である。

【図 17】図 17 は、従来技術による画素回路の一例の構成を示す回路図である。

【図 18】図 18 は、従来技術による垂直走査方向の輝度ムラについて説明するための略線図である。

【発明を実施するための形態】

【0026】

以下に添付図面を参照して、液晶表示装置の実施形態を詳細に説明する。先ず、理解を容易とするために、実施形態に適用可能な既存技術について説明する。図 1 は、本実施形態に適用可能な既存技術による画素回路 10 の一例の構成を示す。画素回路 10 は、画素表示部 30 と、保持容量 C s 1 および C s 2 と、スイッチング用のトランジスタ T r 1、T r 2、T r 5 および T r 6 と、正極性側のバッファ回路を構成するトランジスタ T r 3 および T r 7 と、負極性側のバッファ回路を構成するトランジスタ T r 4 および T r 8 とを有する。

30

【0027】

画素表示部 30 は、液晶表示体 L C M を画素駆動電極 P E および共通電極 C E によって挟んで構成される。共通電極 C E は、共通電源 V c o m に接続される。

【0028】

スイッチング用のトランジスタ T r 1 および T r 2 は、正極性側の画素信号電圧  $D_i +$  が供給されるデータ線 35 a と、負極性側の画素信号電圧  $D_i -$  が供給されるデータ線 35 b とがそれぞれドレインに接続されると共に、走査パルス  $G_j$  が供給される行走査線 31 がそれぞれゲートに接続される。また、トランジスタ T r 1 および T r 2 のソースには、それぞれ保持容量 C s 1 および C s 2 が接続される。トランジスタ T r 1 および T r 2 は、行走査線 31 から走査パルス  $G_j$  が供給されると同時にオン状態となり、データ線 35 a および 35 b を介して供給される正極性および負極性の画素信号電圧  $D_i +$  および  $D_i -$  が、それぞれ保持容量 C s 1 および C s 2 に蓄積される。

40

【0029】

トランジスタ T r 3 および T r 7 は、正極性側のソースフォロワ・バッファ 32 a を構成し、トランジスタ T r 4 および T r 8 は、負極性側のソースフォロワ・バッファ 32 b を構成する。それぞれ、トランジスタ T r 3 および T r 4 が信号入力トランジスタ、トラ

50

ンジスタ  $T_{r7}$  および  $T_{r8}$  がそれぞれ定電流源負荷として機能する。ソースフォロワ・バッファ 32 a および 32 b は、電源電圧  $V_{dd}$  にて駆動される。

【0030】

ソースフォロワ・バッファ 32 a および 32 b において、定電流源負荷のトランジスタ  $T_{r7}$  および  $T_{r8}$  のゲートが、それぞれ負荷特性制御信号  $B$  が供給される配線 33 に接続される。この配線 33 には、当該画素回路 10 と同一行に配列される他の画素回路におけるバッファ回路の定電流源負荷トランジスタのゲートにも、共通して接続され、これらの定電流源負荷のバイアス制御が可能とされている。

【0031】

ここで、トランジスタ  $T_{r7}$  および  $T_{r8}$  に MOS (Metal-Oxide Semiconductor) 型の電界効果トランジスタを用いた場合、ソースフォロワの入力抵抗が略無限大となる。そのため、保持容量  $C_{s1}$  および  $C_{s2}$  の蓄積電荷のリークが抑制され、保持容量  $C_{s1}$  および  $C_{s2}$  の蓄積電荷は、従来のアクティブマトリクス型液晶表示装置と同様に、1 垂直走査期間後に画素信号電圧が新たに書き込まれるまで保持される。

【0032】

トランジスタ  $T_{r5}$  および  $T_{r6}$  は、それぞれソースフォロワ・バッファ 32 a および 32 b の出力が入力ドレインに供給され、ソースが画素表示部 30 の画素駆動電極  $P_E$  に接続される。トランジスタ  $T_{r5}$  および  $T_{r6}$  のゲートが、それぞれ正極性側のゲート制御信号  $S+$  および負極性側のゲート制御信号  $S-$  が供給される配線 34 a および 34 b に接続される。これら配線 34 a および 34 b は、それぞれ当該画素回路 10 と同一行に配列される他の画素回路における、ソースが画素駆動電極  $P_E$  に接続されるトランジスタのゲートにも、共通して接続され、これらのトランジスタのオン/オフ制御が可能とされている。

【0033】

配線 34 a および 34 b に対して、交互にゲート制御信号  $S+$  および  $S-$  を送信することにより、トランジスタ  $T_{r5}$  および  $T_{r6}$  を交互にオン状態とする。これにより、保持容量  $C_{s1}$  および  $C_{s2}$  から正極性および負極性の画素信号電圧を交互に読み出して、正極性および負極性に反転する液晶駆動信号 (画素信号電圧) を画素駆動電極  $P_E$  に供給することができる。

【0034】

また、配線 33 に供給される負荷特性制御信号  $B$  をオン/オフ制御することで、保持容量  $C_{s1}$  および  $C_{s2}$  からの読み出しのオン/オフを制御することができる。

【0035】

このように構成された画素回路 10 がマトリクス状に配されて、映像信号による映像を表示するための画素部が構成される。画素部におけるマトリクスの行方向が映像の水平方向となり、各行が映像信号による各ラインとなる。また、当該マトリクスの列方向が映像の垂直方向となり、一定の垂直走査周期で各ラインを垂直方向に順に走査することで、1 フレームの映像が表示される。

【0036】

図 2 は、本実施形態に適用可能な画素回路 10' の別の例の構成を示す。なお、図 2 において、上述の図 1 と共通する部分には同一の符号を付して、詳細な説明を省略する。図 2 に示される画素回路 10' は、上述の画素回路 10 に対して、フォロワ回路 32 a および 32 b において定電流源負荷を構成するトランジスタ  $T_{r7}$  および  $T_{r8}$  を共通のトランジスタ  $T_{r7}'$  として、スイッチ回路  $T_{r5}$  および  $T_{r6}$  の後段すなわち画素駆動電極  $P_E$  に接続している。すなわち、トランジスタ  $T_{r7}'$  は、正極性および負極性のソースフォロワ回路 32 a および 32 b に共通する電流源負荷として機能する。

【0037】

この図 2 の構成によれば、図 1 に示した画素回路 10 の構成に対してトランジスタ素子数が 1 個少なく済むと共に、同一画素回路 10' 内での正極性および負極性のソースフォロワ・バッファ回路の負荷ばらつきを要因とした正負極間での特性差を抑制できる。な

10

20

30

40

50

お、以下では、特に記載のない限り、図 1 に示した画素回路 10 を用いるものとする。

【0038】

図 3 は、既存技術による、画素回路 10 の一例の駆動方法を説明するためのタイムチャートである。図 3 (a) は、映像信号の垂直走査の基準となる垂直同期信号 VD を示す。例えば垂直同期信号 VD が High 状態で、垂直ブランキング期間を含めた垂直走査の開始を示し、映像信号の 1 垂直走査周期で n ラインの走査（行走査）を行うものとする。

【0039】

図 3 (b) は、配線 33 から供給される負荷特性制御信号 B を示す。図 3 (c) および図 3 (d) は、それぞれ配線 34a および 34b から供給されるゲート制御信号 S+ および S- を示す。また、図 3 (e) は、画素表示部 30 の画素駆動電極 PE に供給される駆動電圧 VPE を示し、図 3 (f) は、画素表示部 30 の共通電極 CE に供給される共通電圧 Vcom を示す。さらに、図 3 (g) は、画素表示部 30 における画素駆動電極 PE および共通電極 CE 間の電位差である液晶駆動電圧 VLC を概略的に示す。

【0040】

図 3 において、ゲート制御信号 S+ が High 状態の期間に負荷特性制御信号 B を High 状態とすると、ソースフォロワ・バッファ 32a がアクティブとなり、保持容量 Cs1 に蓄積された正極性の画素信号電圧 Di+ がトランジスタ Tr5 を介して読み出され、画素駆動電極 PE に供給される。画素表示部 30 は、この正極性の画素信号電圧 Di+ により充電される。画素表示部 30 が完全に充電された状態となった時点で、負荷特性制御信号 B を Low 状態とし、さらにゲート制御信号 S+ を Low 状態とする。これにより、画素駆動電極 PE がフローティング状態となり、液晶表示体 LCM に正極性の駆動電圧（画素信号電圧）が保持される。

【0041】

一方、ゲート制御信号 S- が High 状態の期間に負荷特性制御信号 B を High 状態とすると、ソースフォロワ・バッファ 32b がアクティブとなり、保持容量 Cs2 に蓄積された負極性の画素信号電圧 Di- がトランジスタ Tr6 を介して読み出され、画素駆動電極 PE に供給される。画素表示部 30 は、この負極性の画素信号電圧 Di- により充電される。画素表示部 30 が完全に充電された状態となった時点で、負荷特性制御信号 B を Low 状態とし、さらにゲート制御信号 S- を Low 状態とする。これにより、画素駆動電極 PE がフローティング状態となり、液晶表示体 LCM に負極性の駆動電圧が保持される。

【0042】

なお、各保持容量 Cs1 および Cs2 に対する画素信号電圧 Di+ および Di- の蓄積は、例えばそれぞれゲート制御信号 S+ および S- が Low 状態の期間に行うことができる。また、画素信号電圧 Di+ および Di- は、k (<n) ラインを反転周期とする。

【0043】

以下、上述したゲート制御信号 S+ の場合の動作とゲート制御信号 S- の場合の動作とを交互に繰り返すことで、駆動画素電極 PE に対して、正極性および負極性の映像信号で交流化された駆動電圧 VPE が印加されることになる。ここで、画素駆動電極 PE に正極性または負極性の画素信号電圧が供給されるときに電源電圧 Vdd が変動すると、画素表示部 30 に充電される電圧レベルが本来の電圧レベルに対して変動する。

【0044】

図 3 (f) に示す共通電圧 Vcom は、駆動画素電極 PE における電位の反転基準 Vc と略等しい基準レベル VR に対して、ゲート制御信号 S+ および S- の High 状態の切り替えと同期して、ゲート制御信号 S+ および S- と逆相で反転させている。液晶表示体 LCM に対する実質的な交流駆動電圧は、画素駆動電極 PE の電位と共通電極 CE の電位との差電圧であることから、液晶表示体 LCM には、画素駆動電極 PE に供給される駆動電圧 VPE が共通電圧 Vcom で拡大された駆動交流電圧 VLC が印加される。この駆動交流電圧 VLC で、液晶表示体 LCM が駆動される。

【0045】

10

20

30

40

50

このように、画素表示部 30 において、共通電極 C E に印加する電圧を、画素駆動電極 P E に印加する駆動電圧 V P E に対して逆相で切り替えることによって、低い画素駆動電極 P E で大きな駆動交流電圧 V L C を得ることができる。これにより、駆動回路側において駆動トランジスタの耐圧や、消費電力を低減することができる。

【0046】

さらに、ソースフォロワ・バッファ 32 a および 32 b の定電流源負荷のトランジスタ T r 7 および T r 8 は、この画素回路 10 が用いられる液晶表示装置全体での消費電流を考慮して、常時アクティブにせず、極性切り替えスイッチ用のトランジスタ T r 5 および T r 6 の導通期間内における限られた期間でのみアクティブになるように制御を行う。1 画素回路 10 当たりのソースフォロワ・バッファ 32 a または 32 b の定常的な回路電流が例えば  $1\mu\text{A}$  の微小電流であったとしても、液晶表示装置の全画素が定常的に電流を消費する条件では、多大な消費電流となってしまう。一例として、フルハイビジョンの略 200 万画素 (1920 画素  $\times$  1080 ライン) の液晶表示装置では、消費電流が略 2 A にも達する見積もりとなる。

【0047】

そこで、定電流源負荷のトランジスタ T r 7 および T r 8 に対するゲートバイアスである負荷特性制御信号 B の H i g h 期間を、ゲート制御信号 S + および S - の H i g h 期間内に制限して画素電極電圧 V P E を画素駆動電極 P E に供給する。そして、画素表示部 30 が目標レベルまで充放電された時点で、負荷特性制御信号 B を L o w 状態として、ソースフォロワ・バッファ 32 a および 32 b の電流を停止させる。これにより、全画素にソースフォロワ・バッファ 32 a および 32 b を備えた構成でありながら、実質的な消費電流を小さく抑えることが可能である。

【0048】

次に、既存技術による、液晶表示装置全体において全画素が同時にオン状態とならないようにする制御について説明する。この例では、画素部を、連続する複数行からなるグループに分割する。そして、グループ毎に、垂直走査方向に時間差を持たせて画素回路 10 をオン状態とさせる。

【0049】

図 4 を用いてより具体的に説明する。図 4 は、既存技術による液晶表示装置の一例の構成を概略的に示す。この既存技術によれば、画素部全体を、それぞれ複数行からなるグループに分割する。図 4 の例では、画素部全体がそれぞれ所定数の行 (ライン) を含むグループ # 1、# 2、...、# h に分割されている。シフトレジスタ 20 a、20 b および 20 c は、それぞれ正極性のゲート制御信号 S +、負極性のゲート制御信号 S - および負荷特性制御信号 B が供給され、各信号を共通のシフトクロック S C K に同期してシフトさせる h 段のシフトレジスタである。

【0050】

例えば、シフトレジスタ 20 a は、各グループ # 1、# 2、...、# h に対して、正極性のゲート制御信号 S + をシフトクロック S C K に応じて順次シフトさせた各正極性のゲート制御信号 S + (1)、S + (2)、...、S + (h) をそれぞれ入力する。例えばグループ # 1 では、当該グループ # 1 に含まれる各行に配列される各画素回路 10 に接続される配線 34 a に対して、正極性のゲート制御信号 S + (1) が共通に供給される。他のグループ # 2、# 3、...、# h でも同様である。

【0051】

同様に、シフトレジスタ 20 b は、各グループ # 1、# 2、...、# h に対して、負極性のゲート制御信号 S - をシフトクロック S C K に応じて順次制御させた各負極性のゲート制御信号 S - (1)、S - (2)、...、S - (h) をそれぞれ入力する。また、シフトレジスタ 20 c は、各グループ # 1、# 2、...、# h に対して、負荷特性制御信号 B をシフトクロック S C K に応じて順次シフトさせた負荷特性制御信号 B (1)、B (2)、...、B (h) をそれぞれ入力する。

【0052】

10

20

30

40

50

図5は、図4に示した各部の動作の例を示すタイムチャートである。図5(a)は、各シフトレジスタ20a、20bおよび20cに供給されるシフトクロックSCKを示す。図5(b)は、シフトレジスタ20aに入力される、所定期間においてHigh状態とされた正極性のゲート制御信号S+と、各グループ#1~#hに対してそれぞれ出力される各正極性のゲート制御信号S+(1)~S+(h)を示す。同様に、図5(c)は、シフトレジスタ20bに入力される、所定期間においてHigh状態とされた負極性のゲート制御信号S-と、各グループ#1~#hに対してそれぞれ出力される各負極性のゲート制御信号S-(1)~S-(h)を示す。また、図5(d)は、各ゲート制御信号S+およびS-のHigh状態の期間内でHigh状態とされて入力される負荷特性制御信号Bと、グループ#1~#hに対してそれぞれ出力される負荷特性制御信号B(1)~B(h)を示す。

10

#### 【0053】

シフトレジスタ20aは、シフトクロックSCKに同期して、入力された所定期間においてHigh状態とされた正極性のゲート制御信号S+を、例えばシフトクロックSCKの1クロックずつシフトさせて、各正極性のゲート制御信号S+(1)、S+(2)、...、S+(h)を順次出力する。したがって、各グループ#1、#2、...、#hに対して、シフトクロックSCKの1クロック毎の時間差を持って順次High状態とされた各正極性のゲート制御信号S+(1)、S+(2)、...、S+(h)が入力される。

#### 【0054】

シフトレジスタ20bについても同様に、シフトクロックSCKに同期して、入力された所定期間の負極性のゲート制御信号S-を例えばシフトクロックSCKの1クロックずつシフトさせて、各負極性のゲート制御信号S-(1)、S-(2)、...、S-(h)を順次出力する。したがって、各グループ#1、#2、...、#hに対して、シフトクロックSCKの1クロック毎の時間差を持って順次High状態とされた各負極性のゲート制御信号S-(1)、S-(2)、...、S-(h)が入力される。

20

#### 【0055】

シフトレジスタ20cは、入力された負荷特性制御信号BをシフトクロックSCKに従いシフトさせて、シフトレジスタ20aおよび20bからそれぞれ出力される各正極性のゲート制御信号S+(1)、S+(2)、...、S+(h)、ならびに、各負極性のゲート制御信号S-(1)、S-(2)、...、S-(h)のHigh状態期間内にHigh状態となる負荷特性制御信号B(1)、B(2)、...、B(h)を出力する。図5の例では、シフトレジスタ20cに入力される負荷特性制御信号Bは、各ゲート制御信号S+およびS-のHigh状態期間に対して、シフトクロックSCKの1クロック後にHigh状態となり、2シフトクロックSCK分先にLow状態となる。

30

#### 【0056】

図6は、図5に示した各信号と、各行(ライン)の走査の基準となる水平同期信号HDとの関係の例を示す。図6(a)は、シフトクロックSCKを示す。図6(b)は、正極性のゲート制御信号S+および各正極性のゲート制御信号S+(1)~S+(h)を示す。図6(c)は、負荷特性制御信号Bおよび負荷特性制御信号B(1)~B(h)を示す。図6(d)は、ソースフォロワ・バッファ32aおよび32bに供給する電圧Vddを概略的に示す。図6(e)は、水平同期信号HDを示す。また、図6(f)は、水平同期期間において画素部の各行に配列される各画素回路10にサンプリングされる、正極性の画素信号電圧Di+の基準電圧となる基準ランプ電圧Ref\_\_Ramp(+)を示す。

40

#### 【0057】

なお、図6において、負極性のゲート制御信号S-および各ゲート制御信号S-(1)~S-(h)と基準ランプ電圧Ref\_\_Ramp(-)は、複雑さを避けるため省略してある。

#### 【0058】

各グループ#1~#hで時間差を持って各負荷特性制御信号B(1)~(h)がHigh状態となるため、ソースフォロワ・バッファ32aおよび32bがオン状態となる期間

50

が分散される。そのため、ソースフォロワ・バッファ32aおよび32bを駆動するための電圧V<sub>dd</sub>の変動も、分散化および平均化される。

【0059】

このように、各ゲート制御信号S<sub>+</sub>(1)~S<sub>+</sub>(h)、ならびに、各ゲート制御信号S<sub>-</sub>(1)~S<sub>-</sub>(h)と、負荷特性制御信号B(1)~(h)とを各グループ#1~#hに対して時間差を持って供給することで、画素部の垂直走査方向に分割した各グループ#1~#hについて、時間差を持たせた極性反転とバッファアクティブ制御が可能となり、消費電流が時間的に分散化および平均化する。そのため、瞬時過大電流による誤動作や故障などを回避することができる。なお、各グループ#1~#hの時間差を持たせた駆動による表示特性への影響を抑制するためには、シフトクロックSCKの周波数を、極性反転周波数に対して十分高くすればよい。

10

【0060】

ここで、上述のようにして画素部を垂直方向に分割した各グループ#1~#hを時間差を持って順次駆動した場合、上述の課題において図18を用いて説明したように、1垂直走査期間において画素回路10の駆動が開始および終了される画素部の垂直走査方向の上下端側において、ソースフォロワ・バッファ32aおよび32bに供給する電圧V<sub>dd</sub>が変動して、画素部の垂直方向で輝度ムラが発生する可能性がある。

【0061】

(実施形態)

次に、本発明の実施形態について説明する。本実施形態では、上述した既存技術による画素部の垂直走査方向の輝度ムラを解消するために、画素部の垂直走査方向の外側に対して、画素部を駆動するための電流源の電流を消費する電流消費手段を設ける。この電流消費手段によって、上述の既存技術において画素部の垂直走査方向の一端側および他端側で発生する、画素部に供給する電源電圧V<sub>dd</sub>の変動を、画素部外で発生させる。これにより、電源電圧V<sub>dd</sub>が安定した状態で画素部内の各グループ#1~#hを駆動することが可能となり、画素部の垂直走査方向における輝度ムラを抑制することができる。

20

【0062】

なお、本実施形態において、画素部を構成する画素回路は、図1および図2を用いて説明した画素回路10や画素回路10'を適用することができる。以下では、この画素回路として画素回路10を用いる。

30

【0063】

図7は、本実施形態による液晶表示装置の一例の構成を概略的に示す。なお、図7において、上述の図4と共通する部分には同一の符号を付して、詳細な説明を省略する。本実施形態においても、図4を用いて説明した既存技術による構成と同様に、画素部全体を、それぞれ複数行からなるグループに分割する。

【0064】

本実施形態では、この既存技術による構成に対して、図7に示されるように、画素部の垂直走査方向における外側に、電流消費手段によるグループ40(以下、電流消費グループ40と呼ぶ)を追加する。さらに、本実施形態においては、画素部の垂直走査方向における両端のグループを、ダミー画素回路を含むグループ41(以下、ダミー画素グループ41と呼ぶ)とする。

40

【0065】

電流消費グループ40について、より詳細に説明する。電流消費グループ40は、画素部の各グループ#1~#hと同等の電流を消費するためのグループであって、画素表示部30および画素表示部30を駆動する構成を持つ必要はない。図8は、電流消費グループ40の一例の構成を示す。この例では、電流消費グループ40は、定電流負荷となるトランジスタTr12をトランジスタTr10およびTr11で共有する2のソースフォロワ・バッファからなる電流消費回路12を含む。

【0066】

すなわち、電流消費回路12において、トランジスタTr10およびTr11それぞれ

50

のゲートに対して配線 3 4 a および 3 4 b が接続され、正極性のゲート制御信号  $S +$  および負極性のゲート制御信号  $S -$  が供給される。トランジスタ  $T r 1 0$  および  $T r 1 1$  のドレインには、それぞれ電源電圧  $V d d$  が供給される。また、トランジスタ  $T r 1 0$  および  $T r 1 1$  のソースがトランジスタ  $T r 1 2$  のドレインに共通して接続される。トランジスタ  $T r 1 2$  のゲートが配線 3 3 に接続されて負荷特性制御信号  $B$  が供給される。

#### 【 0 0 6 7 】

この図 8 の構成によれば、正極性のゲート制御信号  $S +$  および負極性のゲート制御信号  $S -$  の  $H i g h$  状態期間内において、負荷特性制御信号  $B$  を  $H i g h$  状態とすることで、トランジスタ  $T r 1 2$  に電流が流れ、電流が消費される。このときの電流消費量が画素部における 1 グループ分の電流消費量と略等しくなるように、各素子の特性などを選択する。

10

#### 【 0 0 6 8 】

なお、図 8 に示す構成は一例であって、電流消費グループ 4 0 の構成はこの例に限定されるものではない。すなわち、正極性のゲート制御信号  $S +$  および負極性のゲート制御信号  $S -$  の  $H i g h$  状態期間内において、負荷特性制御信号  $B$  を  $H i g h$  状態とすることで電流が消費されるような構成であれば、他の構成であってもよい。また、図 8 に示される電流消費回路 1 2 を行方向に複数配列してもよい。

#### 【 0 0 6 9 】

次に、ダミー画素グループ 4 1 について、より詳細に説明する。ダミー画素グループ 4 1 は、画素部を分割した複数のグループのうち、画素部の垂直走査方向の両端のグループにおいて、1 または複数行に配列される画素回路 1 0 の画素表示部 3 0 を無効としたグループである。映像信号による有効表示領域のライン数が、画素部を分割したグループに含まれる行数の整数倍ではない場合、当該有効表示領域の端部のラインを含むグループにおいて、表示に寄与しない余りの行が発生する。この余りの行に配列される画素回路 1 0 の画素表示部 3 0 を無効として、当該グループをダミー画素グループ 4 1 とする。

20

#### 【 0 0 7 0 】

図 9 は、ダミー画素グループ 4 1 に含まれる、画素表示部 3 0 を無効したダミー画素回路 1 1 の一例の構成を示す。なお、図 9 において、上述した図 1 と共通する部分には同一の符号を付して、詳細な説明を省略する。図 9 に例示されるように、保持容量  $C s 1$  および  $C s 2$  から正極性および負極性の画素信号電圧  $D_{i+}$  および  $D_{i-}$  を読み出すトランジスタ  $T r 5$  および  $T r 6$  の出力であるソースと、画素表示部 3 0 の画素駆動電極  $P E$  とを接続しない構成とする。これにより、画素駆動電極  $P E$  に対して正極性および負極性の画素信号電圧  $D_{i+}$  および  $D_{i-}$  が供給されず、画素表示部 3 0 が無効の状態とされる。

30

#### 【 0 0 7 1 】

この図 9 の構成によれば、画素回路 1 0 の配線の 1 箇所のみの変更で、ダミー画素回路 1 1 を構成できるので、画素部の製造が容易であると共に、ダミー画素回路 1 1 の消費電流量を画素回路 1 0 と同等にできる。なお、画素駆動電極  $P E$  は、例えば周辺額縁領域と短絡させるとよい。また、図 9 の構成において、データ線 3 5 a および 3 5 b を省略することも可能である。

#### 【 0 0 7 2 】

40

図 7 に例示される構成によれば、複数行毎のグループに分割された画素部において、垂直走査方向の両端のグループがそれぞれダミー画素グループ 4 1 とされ、画素部がこれら 2 のダミー画素グループ 4 1 を含む  $(2 + h)$  個のグループに分割される。画素部の垂直走査方向の一端のダミー画素グループ 4 1 の途中の行から、他端のダミー画素グループ 4 1 の途中の行までが、映像信号の有効表示領域に対応する有効表示画素部であって、通常の画素回路 1 0 が配列される。

#### 【 0 0 7 3 】

画素部の垂直走査方向の両端の外側に、それぞれ電流消費グループ 4 0 が設けられる。図 7 では、電流消費グループ 4 0 が画素部の垂直走査方向の両端側に 1 グループずつ設けられているように示されているが、実際には、画素部の垂直走査方向の両端側に、1 また

50

は複数の電流消費グループ40が設けられる。図7の例では、画素部の垂直走査方向の両端側に、それぞれ9段の電流消費グループ40が設けられている。

【0074】

なお、電流消費グループ40は、液晶表示装置の実際のデバイスにおいて、画素部に隣接して配置する必要はない。すなわち、電流消費グループ40は、正極性のゲート制御信号 $S+$ および負極性のゲート制御信号 $S-$ 、ならびに、負荷特性制御信号 $B$ が供給可能であれば、配置位置は限定されない。電流消費グループ40は、画素部に隣接して配置してもよいし、画素部から離れた位置に配置してもよい。さらには、電流消費グループ40を液晶表示装置外に配置してもよい。さらにまた、電流消費グループ40は、図8の構成に限らず、例えば全ての画素回路がダミー画素回路11からなるグループを設けて電流消費

10

【0075】

図10は、図7に示した各部の動作の例を示すタイムチャートである。図10(a)は、各シフトレジスタ20a、20bおよび20cに供給されるシフトクロック $SCK$ を示す。

【0076】

図10(b)~図10(f)は、正極性のゲート制御信号 $S+$ と、当該正極性のゲート制御信号 $S+$ がシフトクロック $SCK$ に従い順次シフトされた各正極性のゲート制御信号 $S+(1) \sim S+(h+10)$ を示す。

【0077】

20

図10(b)は、シフトレジスタ20aに入力される、所定期間において $High$ 状態とされた正極性のゲート制御信号 $S+$ と、画素部の垂直走査方向の上端側の電流消費グループ40に対して出力される各正極性のゲート制御信号 $S+(1) \sim S+(9)$ とを示す。図10(c)および図10(e)は、画素部の垂直走査方向の上端および下端の各ダミー画素グループ41に対してそれぞれ出力される各正極性のゲート制御信号 $S+(10)$ および $S+(h+1)$ を示す。図10(d)は、有効表示画素部内の各グループ#1~#hに対してそれぞれ出力される各正極性のゲート制御信号 $S+(11) \sim S+(h)$ を示す。また、図10(f)は、画素部の垂直走査方向の下端側の電流消費グループ40に対して出力される各正極性のゲート制御信号 $S+(h+2) \sim S+(h+10)$ を示す。

【0078】

30

図10(g)~図10(k)は、上述の図10(b)~図10(f)の各正極性のゲート制御信号 $S+$ に対応する、負極性のゲート制御信号 $S-$ と、当該正負性のゲート制御信号 $S-$ がシフトクロック $SCK$ に従い順次シフトされた各負極性のゲート制御信号 $S-(1) \sim S-(h+10)$ を示す。

【0079】

図10(l)~図10(p)は、負荷特性制御信号 $B$ と、当該負荷特性制御信号 $B$ がシフトクロック $SCK$ に従い順次シフトされた各負荷特性制御信号 $B(1) \sim B(h+10)$ を示す。図10(l)は、シフトレジスタ20cに入力される負荷特性制御信号 $B$ と、画素部の垂直走査方向の上端側の電流消費グループ40に対して出力される各負荷特性制御信号 $B(1) \sim B(9)$ とを示す。なお、負荷特性制御信号 $B$ は、正極性のゲート制御信号 $S+$ および負極性のゲート制御信号 $S-$ の $High$ 状態の期間内で $High$ 状態とされた信号である。

40

【0080】

図10(m)および図10(o)は、画素部の垂直走査方向の上端および下端の各ダミー画素グループ41に対してそれぞれ出力される各負荷特性制御信号 $B(10)$ および $B(h+1)$ を示す。図10(n)は、有効表示画素部内の各グループ#1~#hに対してそれぞれ出力される各負荷特性制御信号 $B(11) \sim B(h)$ を示す。また、図10(p)は、画素部の垂直走査方向の下端側の電流消費グループ40に対して出力される負荷特性制御信号 $B(h+2) \sim B(h+10)$ を示す。

【0081】

50

シフトレジスタ20aは、シフトクロックSCKに同期して、入力された所定期間においてHigh状態とされたゲート制御信号S+を、例えばシフトクロックSCKの1クロックずつシフトさせて、各ゲート制御信号S+(1)、S+(2)、...、S+(h+10)を順次出力とする。したがって、画素部の上端側の電流消費グループ40、画素部の上端のダミー画素グループ41、有効表示画素部内のグループ#1~#h、画素部の下端のダミー画素グループ41、ならびに、画素部の下端側の電流消費グループ40のそれぞれに、シフトクロックSCKの1クロック毎の時間差を持って順次High状態とされた各ゲート制御信号S+(1)、S+(2)、...、S+(h+10)が入力される。これは、シフトレジスタ20bにおいても同様である。

【0082】

10

また、シフトレジスタ20cは、入力された負荷特性制御信号BをシフトクロックSCKに従いシフトさせて、シフトレジスタ20aおよび20bからそれぞれ出力される各ゲート制御信号S+(1)、S+(2)、...、S+(h+10)、ならびに、各ゲート制御信号S-(1)、S-(2)、...、S-(h+10)のHigh状態期間内でHigh状態の各負荷特性制御信号B(1)、B(2)、...、B(h+10)を出力する。

【0083】

先ず、画素部の垂直走査方向における上端側の9段の電流消費グループ40のうち第1の電流消費グループ40に対して、例えばHigh状態の正極性のゲート制御信号S+(1)を入力する。それと共に、当該正極性のゲート制御信号S+(1)のHigh状態の期間内に、当該第1の電流消費グループ40に対してHigh状態の負荷特性制御信号B(1)を入力したものとす。この場合、トランジスタTr10およびTr13がオン状態となり、電流消費回路12において1グループ分の電流が流れて電源電圧Vddが変動する。次に、シフトクロックSCKが1クロック分進むと、同様にして次段である第2の電流消費グループ40に含まれる電流消費回路12が動作して1グループ分の電流が流れ、第1の電流消費グループ40において流れる電流と合わせて2グループ分の電流が流れ、この電流に応じて電源電圧Vddが変動(低下)する。

20

【0084】

なお、負極性のゲート制御信号S-(1)の動作については、上述の正極性のゲート制御信号S+(1)と同様であるので、ここでの説明を省略する。

【0085】

30

ここで、各ゲート制御信号S+(1)~S+(h+10)をシフトクロックSCKの1クロックずつシフトさせて各グループに入力する場合、例えば正極性のゲート制御信号S+のHigh状態期間のクロック数分だけ、各画素回路10が同時にオン状態となる。そのため、電流消費グループ40において電源電圧Vddの変動を吸収するためには、この正極性のゲート制御信号S+のHigh状態期間のクロック数分だけ電流消費グループ40を配置する必要がある。図7の例では、9段の電流消費グループ40が配置されている。

【0086】

正極性のゲート制御信号S+のHigh状態期間のクロック数分だけ電流消費グループ40が動作した時点で、電源電圧Vddが安定し、一定値となる。次に、1グループ分のダミー画素回路11に対して、High状態の正極性のゲート制御信号S+(10)または負極性のゲート制御信号S-(10)を入力すると共に、この信号のHigh状態の期間内に、High状態の負極特性制御信号B(10)を入力する。

40

【0087】

さらにその次に、有効表示画素部内の各グループ#1~#hに対して、各正極性のゲート制御信号S+(11)~S+(h)または各負極性のゲート制御信号S-(11)~S-(h)を入力すると共に、これらの信号のHigh状態の期間内に、High状態の各負極特性制御信号B(11)~B(h)を入力する。これにより、有効表示画素部内の各グループ#1~#hの画素回路10が駆動され、各グループ#1~#hに対して電流が供給される。

50

## 【 0 0 8 8 】

この、有効表示画素部内の各グループ # 1 ~ # h に電源電圧  $V_{dd}$  が供給されている時点では、電源電圧  $V_{dd}$  が既に安定状態となっている。そのため、電源電圧  $V_{dd}$  の差に起因する有効表示画素部における垂直走査方向の輝度ムラを抑制することができる。

## 【 0 0 8 9 】

画素部の最終行側においても、同様である。すなわち、有効表示画素部内において各グループ # 1 ~ # h に対して入力される各正極性のゲート制御信号  $S + (11) \sim S + (h)$  または各負極性のゲート制御信号  $S - (11) \sim S - (h)$  と、各負極特性制御信号  $B(11) \sim B(h)$  とが、1クロックずつシフトして順次  $Low$  状態とされる。これにより、各グループ # 1 ~ # h に対する電流の供給が順次停止される。

10

## 【 0 0 9 0 】

この時点において、画素部の垂直走査方向における下端側のダミー画素グループ 4 1 と電流消費グループ 4 0 とに入力される各正極性のゲート制御信号  $S + (h + 1) \sim S + (h + 10)$  または各負極性のゲート制御信号  $S - (h + 1) \sim S - (h + 10)$  と、各負極特性制御信号  $B(h + 1) \sim B(h + 10)$  とが1クロックずつシフトして順次  $High$  状態とされる。そのため、電源電圧  $V_{dd}$  は、安定状態を保っている。

## 【 0 0 9 1 】

そして、画素部の垂直走査方向における下端側のダミー画素グループ 4 1 および各電流消費グループ 4 0 に対して入力される各正極性のゲート制御信号  $S + (h + 1) \sim S + (h + 10)$  または各負極性のゲート制御信号  $S - (h + 1) \sim S - (h + 10)$  と、各負極特性制御信号  $B(h + 1) \sim B(h + 10)$  とが、1クロックずつシフトして順次  $Low$  状態とされる。これにより、電源電圧  $V_{dd}$  が変動(上昇)する。

20

## 【 0 0 9 2 】

このように、本実施形態によれば、画素部における有効表示画素部を含む、垂直走査方向の先頭のグループ # 1 に対する電流の供給の開始前に、電流消費グループ 4 0 に対して電流の供給を行う。また、垂直走査方向の後端のグループ # h に対する電流の供給の開始後に、電流消費グループ 4 0 に対する電流の供給を開始するようにしている。

## 【 0 0 9 3 】

図 1 1 は、本実施形態を実施した場合の画面の垂直走査方向の輝度ムラについて、既存技術による輝度ムラと比較して概略的に示す。図 1 1 ( a ) は、図 4 を用いて説明した、既存技術による電源電圧  $V_{dd}$  および輝度ムラの例を示す。既存技術では、最初に画素部内のグループ # 1 に対して入力される正極性のゲート制御信号  $S + (1)$  および負極性のゲート制御信号  $S - (1)$  と、負極特性制御信号  $B(1)$  とを  $High$  状態とし、以降、画素部内のグループ # 2、# 3、...、# h の順に、順次、各信号を  $High$  状態としている。そのため、画素部内において、垂直走査方向の上端側および下端側で電源電圧  $V_{dd}$  が変動し、画像 5 0 a および 5 0 b にそれぞれ示されるように、画面内の上端側および下端側で輝度ムラが発生している。

30

## 【 0 0 9 4 】

図 1 1 ( b ) は、本実施形態による電源電圧  $V_{dd}$  および輝度ムラの例を示す。既存技術に対して、本実施形態では、最初に、画素部外の電流消費グループ 4 0 に入力される各正極性のゲート制御信号  $S + (1) \sim S + (9)$  および各負極性のゲート制御信号  $S - (1) \sim S - (9)$ 、ならびに、各負荷特性制御信号  $B(1) \sim B(10)$  を順次  $High$  状態とする。そして、電源電圧  $V_{dd}$  の変動が収まり電源電圧  $V_{dd}$  が安定化した後に、有効表示画素部内の各グループ # 1 ~ # h に対して入力される各正極性のゲート制御信号  $S + (11) \sim S + (h)$  または各負極性のゲート制御信号  $S - (11) \sim S - (h)$  と、各負極特性制御信号  $B(11) \sim B(h)$  とを順次  $High$  状態としている。電源電圧  $V_{dd}$  の変動が画面外で発生するため、画像 5 1 に例示されるように、画面内の垂直走査方向における輝度ムラの発生が抑制される。

40

## 【 0 0 9 5 】

なお、上述では、電流消費グループ 4 0 およびダミー画素グループ 4 1 がそれぞれ画素

50

部の垂直走査方向に対する上下端側に配置されるように説明したが、これはこの例に限定されない。すなわち、電流消費グループ40およびダミー画素グループ41を、画素部の垂直走査方向に対する上下端側のうち何れか一方にのみ配置してもよい。また、電流消費グループ40を上下端側にそれぞれ配置して、ダミー画素グループ41を上下端側の何れか一方に配置してもよいし、ダミー画素グループ41を上下端側にそれぞれ配置し、電流消費グループ40を上下端側の何れか一方に配置してもよい。

#### 【0096】

(実施形態に適用可能な、水平方向の駆動動作)

次に、実施形態に適用可能な、水平方向の駆動動作について説明する。図12は、実施形態に係る液晶表示装置1の一例の構成を、水平ドライバ回路を中心に示す。

10

#### 【0097】

液晶表示装置1において、画素回路 $10_{1,1} \sim 10_{m,n}$ がマトリクス状に配置されて有効表示画素部が構成される。より詳細には、各画素回路 $10_{1,1} \sim 10_{m,n}$ は、正極性の画素信号電圧 $D_{1+} \sim D_{m+}$ および負極性の画素信号電圧 $D_{1-} \sim D_{m-}$ をそれぞれ供給する2系統毎のデータ線 $35a_1 \sim 35a_m$ および $35b_1 \sim 35b_m$ と、走査パルス $G_1 \sim G_n$ を供給する行走査線 $31_1 \sim 35_n$ との交差部にそれぞれ配置されている。

#### 【0098】

有効表示画素部に対して垂直走査方向の上下にダミー画素回路 $11_{1,1} \sim 11_{m,1}$ およびダミー画素回路 $11_{1,2} \sim 11_{m,2}$ が配置されて、有効表示画素部と共に画素部を構成する。また、電流消費回路 $12_1$ および $12_2$ が画素部外に配置される。

20

#### 【0099】

なお、以下では、特に個体を区別する必要のない場合、画素回路 $10_{1,1} \sim 10_{m,n}$ を画素回路10として、ダミー画素回路 $11_{1,1} \sim 11_{m,1}$ およびダミー画素回路 $11_{1,2} \sim 11_{m,2}$ をダミー画素回路11として、また、電流消費回路 $12_1$ および $12_2$ を電流消費回路12として代表させて、それぞれ記述する。

#### 【0100】

各画素回路10、ダミー画素回路11および電流消費回路12には、図示されない電源入力端子から供給された電源電圧 $V_{dd}$ および $V_{ss}$ が供給される。また、共通電圧入力端から共通電圧 $V_{com}$ が入力され、基準レベル $V_R$ に対して、ゲート制御信号 $S+$ および $S-$ のHigh状態の切り替えと同期して、ゲート制御信号 $S+$ および $S-$ と逆相で反転されて各画素回路10およびダミー画素回路11に供給される。

30

#### 【0101】

極性切り替え制御回路21bは、上述したシフトレジスタ20a、20bおよび20cに対応する。すなわち、基準クロック $2K-$ に基づきタイミング生成部22で生成されたシフトクロック $SCK$ と、基準電流信号 $B_{uf-Cur}$ に基づき電流バイアス部23で生成されるバイアス信号とが極性切り替え制御回路21bに供給される。極性切り替え制御回路21bは、これら供給された各信号に基づき、所定のタイミングおよび期間でHigh状態とされた正極性のゲート制御信号 $S+$ および負極性のゲート制御信号 $S-$ 、ならびに、負荷特性制御信号 $B$ を生成する。そして、生成したこれらの信号を、グループ毎に、シフトクロック $SCK$ に従いシフトさせ、垂直走査方向に時間差を持たせて出力する。

40

#### 【0102】

グループ毎に正極性のゲート制御信号 $S+$ および負極性のゲート制御信号 $S-$ 、ならびに、負荷特性制御信号 $B$ のタイミングをシフトされた各信号は、それぞれグループが対応する各画素回路10、各ダミー画素回路11および各電流消費回路12に対して、配線 $34a_1$ 、 $34a_2$ 、...、配線 $34b_1$ 、 $34b_2$ 、...、ならびに、配線 $33_1$ 、 $33_2$ 、...をそれぞれ介して供給される。

#### 【0103】

垂直シフトレジスタ/レベルシフタ21aに対して、垂直走査の開始を示す信号 $VST$ と、垂直走査のタイミングを制御する垂直クロック $VCK1$ および $VCK2$ と、制御信号 $UD\_CTL$ とが供給される。さらに、図示は省略するが、水平同期信号 $HD$ および水平

50

クロックHCKも、垂直シフトレジスタ/レベルシフタ21aに供給される。垂直シフトレジスタ/レベルシフタ21aは、供給された各信号に基づき、各走査パルス $G_1 \sim G_n$ を生成し、1垂直走査周期で順次出力して、行走査線 $31_1 \sim 31_n$ を介して各画素回路10に供給する。

#### 【0104】

一方、水平シフトレジスタ27、1ラインラッチ部26、コンパレータ25および階調カウンタ28は、水平ドライバ回路を構成する。水平ドライバ回路は、アナログスイッチ24と共にデータ線駆動回路を構成し、各画素毎の正極性の画素信号電圧 $D_i+$ と、負極性の画素信号電圧 $D_i-$ とをそれぞれ生成して、各画素回路10に供給する。なお、図12では、コンパレータ25が1の構成として示されているが、実際には、コンパレータ25は、画素回路10の各列毎に設けられる。

10

#### 【0105】

アナログスイッチ24は、正極性の画素信号電圧 $D_i+$ および負極性の画素信号電圧 $D_i-$ のための一対のスイッチ $24_i$ を $m$ 個、有する。各スイッチ $24_1 \sim 24_m$ の一方（正極性の画素信号電圧 $D_i+$ に対応）に対して、正極性側の基準ランプ電圧 $Ref\_Ramp(+)$ がそれぞれ供給される。また、各スイッチ $24_1 \sim 24_m$ の他方（負極性の画素信号電圧 $D_i-$ に対応）に対して、負極性側の基準ランプ電圧 $Ref\_Ramp(-)$ がそれぞれ供給される。

#### 【0106】

階調カウンタ28は、クロックCountCKをカウントして、複数の階調値が水平走査期間内で最小値から最大値まで段階的に変換する基準階調データCoutを水平走査期間毎に出力する。この基準階調データCoutは、コンパレータ25に供給される。階調カウンタ28は、信号CountResetにより、水平走査期間毎にカウント値をリセットされる。

20

#### 【0107】

水平シフトレジスタ27に対して、水平クロックHCKが供給されると共に、画素信号 $D_x$ が水平クロックHCKに同期的に、画素順次に供給される。1ラインラッチ部26は、水平シフトレジスタ27に供給された画素信号 $D_x$ を、1ライン分、ラッチする。ラッチされた1ライン分の画素信号 $D_1 \sim D_m$ は、信号HREGSETに従い1ラインラッチ部26から出力され、コンパレータ25に供給される。

30

#### 【0108】

コンパレータ25は、1ラインラッチ部26から供給された画素信号 $D_1 \sim D_m$ のそれぞれと、階調カウンタ28から供給された基準階調データCoutの値（階調値）とを比較し、両者が一致したタイミングでそれぞれ一致パルスを生成する。各一致パルスは、アナログスイッチ24の各スイッチ $24_1 \sim 24_m$ の制御信号として、アナログスイッチ24に対して出力される。

#### 【0109】

各スイッチ $24_1 \sim 24_m$ は、後述する信号SW-Startに従い水平走査期間の開始時点で一齐にオン状態とされ、コンパレータ25から一致パルスが供給された時点でオフとされる。これにより、正極性側の基準ランプ電圧 $Ref\_Ramp(+)$ および、負極性側の基準ランプ電圧 $Ref\_Ramp(-)$ がサンプリングされ、画素信号 $D_i+$ および $D_i-$ として各画素回路 $10_{1,1} \sim 10_{m,n}$ に供給される。

40

#### 【0110】

図13は、図12の水平ドライバ回路の動作を説明するための一例のタイミングチャートを示す。図13において、図13(a)は、水平同期信号HD、図13(b)は、画素DATA、図13(c)は、水平クロックHCKを示す。また、図13(d)は、図13(b)の画素データDATAの1ライン分が1ラインラッチ部26に保持された状態を示す。

#### 【0111】

図13(e)は、階調カウンタ28に供給するクロックCountCK、図13(f)

50

）は、階調カウンタ 28 から出力される基準階調データ  $C - out$  を示す。この例では、図 13 ( f ) の図中の数値が階調値を示している。基準階調データ  $C - out$  は、水平同期信号  $HD$  と同期した信号  $Count\_Reset$  ( 図示しない ) でリセットされ、次の水平周期で再び階調値「0」からカウントが行われる。

#### 【0112】

図 13 ( g ) は、水平同期信号  $HD$  に同期して  $High$  状態となる信号  $SW - Start$  を示す。上述したように、信号  $SW - Start$  が  $High$  状態となると、アナログスイッチ 24 の各スイッチ  $24_1 \sim 24_m$  が一斉にオン状態となる。

#### 【0113】

図 13 ( h ) に示される波形  $SP$  は、階調レベルに対応した画素列の各スイッチ  $24_1 \sim 24_m$  の開閉タイミングを示す。この例では、階調レベル「 $k$ 」の画素データ  $DATA$  に対応した開閉タイミングを、波形  $SP(k)$  として示している。この波形  $SP$  の立ち下がりに応じてアナログスイッチ 24 の各スイッチ  $24_1 \sim 24_m$  がオン状態となり、図 13 ( i ) および図 13 ( j ) にそれぞれ示されるように、時点  $P$  および時点  $Q$  でそれぞれ正極性の基準ランプ電圧  $Ref\_Ramp(+)$  および、負極性側の基準ランプ電圧  $Ref\_Ramp(-)$  がサンプリングされ、画素信号  $D_{i+}$  および  $D_{i-}$  として各画素回路  $10_{1,1} \sim 10_{m,n}$  に供給される。

#### 【0114】

( 実施形態の第 1 の変形例 )

次に、実施形態の第 1 の変形例について説明する。上述の実施形態では、画素部の垂直走査方向の上端側および下端側に、電流消費グループ 40 およびダミー画素グループ 41 をそれぞれ配していたが、これはこの例に限定されない。本第 1 の変形例では、図 14 に例示されるように、画素部の垂直走査方向の上端側および下端側に電流消費グループ 40 のみを配置する。

#### 【0115】

例えば、映像信号による有効表示領域のライン数が、画素部を分割したグループに含まれる行数の整数倍である場合、当該有効表示領域の端部のラインを含むグループにおいて、表示に寄与しない余りの行は、発生しない。このような場合には、本第 1 の変形例のように、ダミー画素グループ 41 を省略することができる。

#### 【0116】

( 実施形態の第 2 の変形例 )

次に、実施形態の第 2 の変形例について説明する。本第 2 の変形例では、図 15 に例示されるように、画素部の垂直走査方向の上端側および下端側に電流消費グループ 40 を配置せず、ダミー画素グループ 41 のみを配置する。例えば、画素部内のグループ # 1 ~ #  $h$  に対して入力される正極性のゲート制御信号  $S+(1) \sim S+(h)$  および負極性のゲート制御信号  $S-(1) \sim S-(h)$  と、負極特性制御信号  $B(1) \sim B(h)$  とを順次  $High$  状態とした場合の、画素部内における垂直走査方向の上端側および下端側での電源電圧  $Vdd$  の変動が比較的小さい場合には、本第 2 の変形例のような構成としてもよい。

#### 【符号の説明】

#### 【0117】

1 液晶表示装置

10, 10' 画素回路

11 ダミー画素回路

12 電流消費回路

20a, 20b, 20c シフトレジスタ

21a 垂直シフトレジスタ/レベルシフト

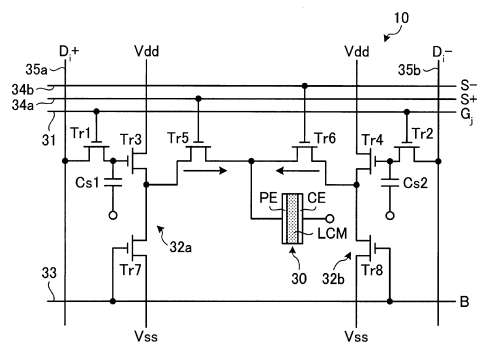
21b 極性切り替え制御回路

24 アナログスイッチ

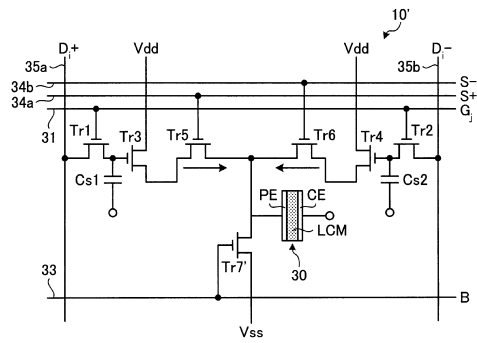
25 コンパレータ

- 2 6    1 ラインラッチ部
- 2 7    水平シフトレジスタ
- 2 8    階調カウンタ
- 3 0    画素表示部
- 4 0    電流消費グループ
- 4 1    ダミー画素グループ

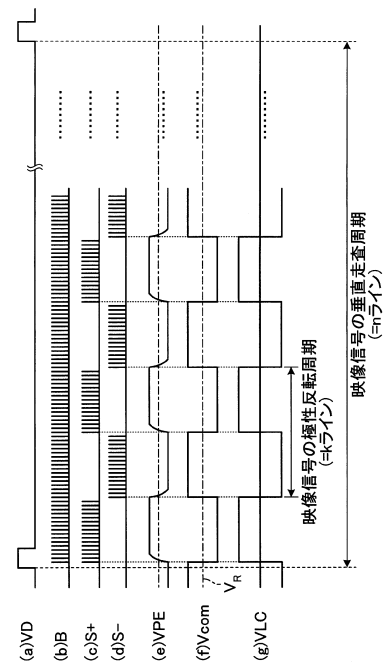
【図 1】



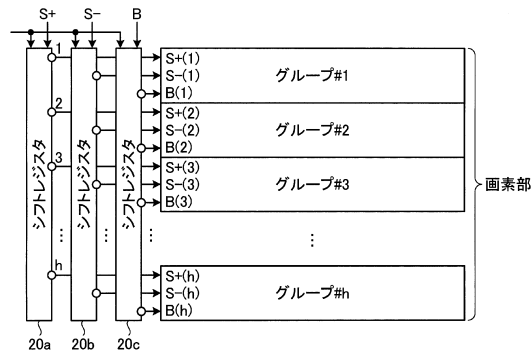
【図 2】



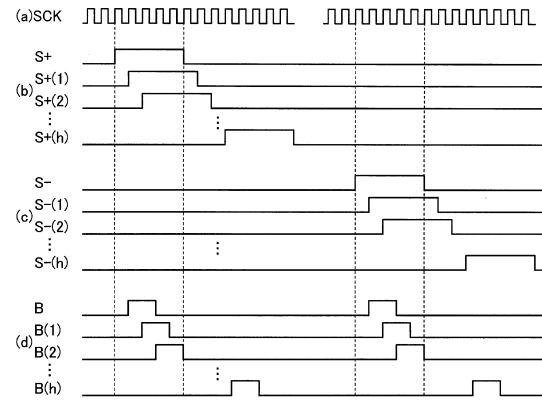
【図 3】



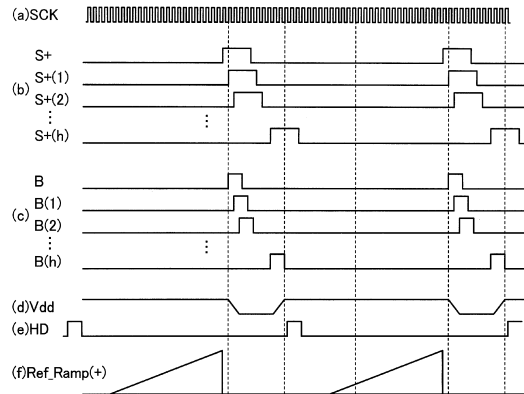
【図 4】



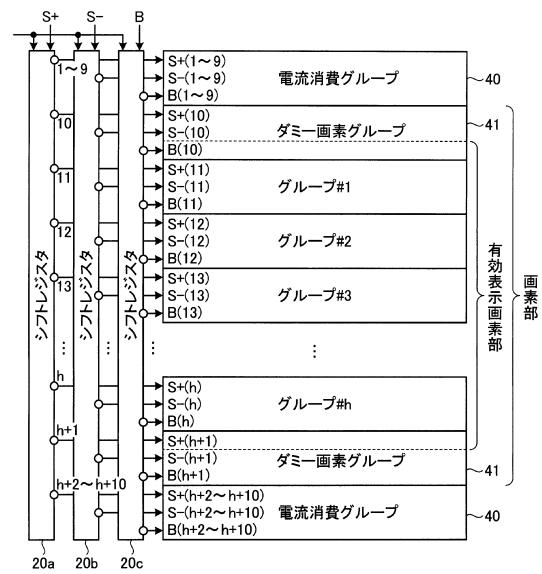
【図 5】



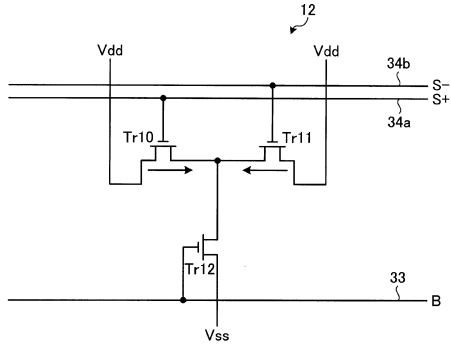
【図 6】



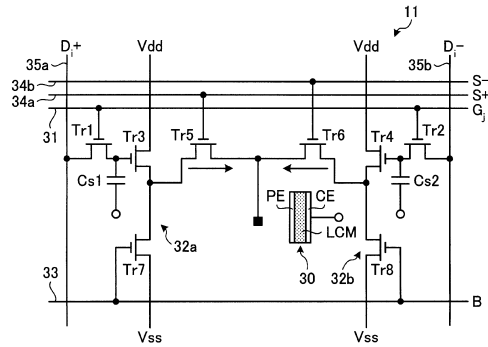
【図 7】



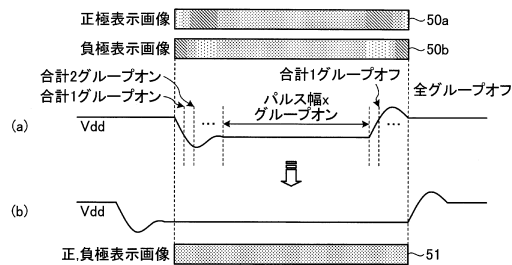
【圖 8】



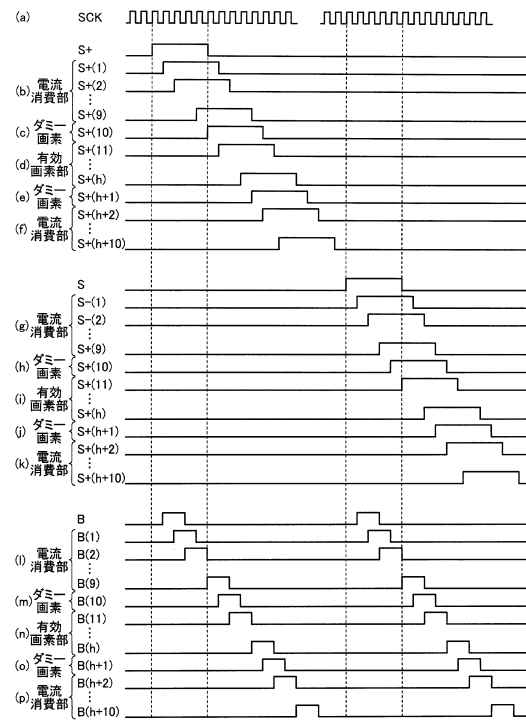
【 図 9 】



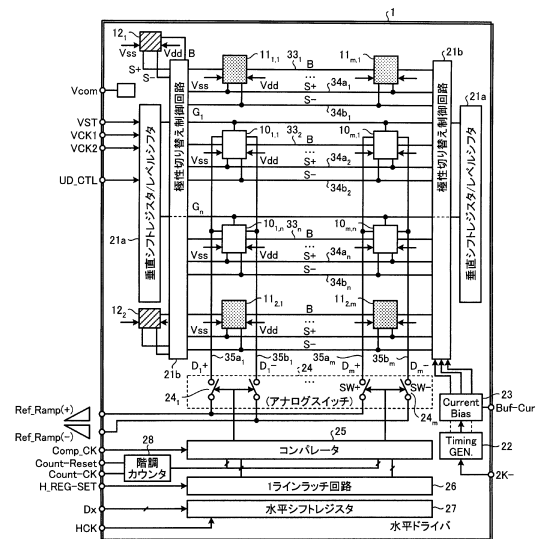
【 ㊦ 1 1 】



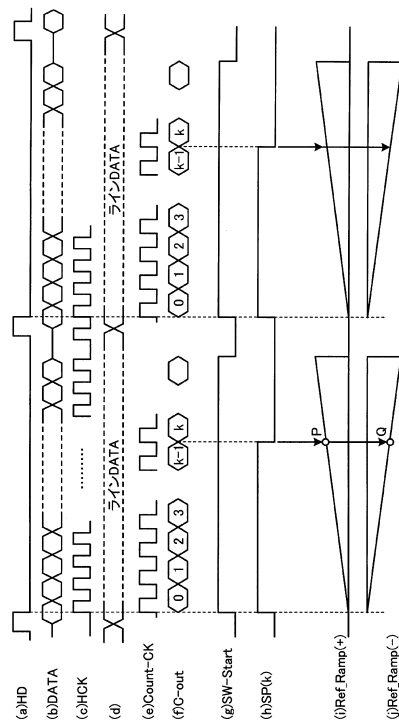
【 図 1 0 】



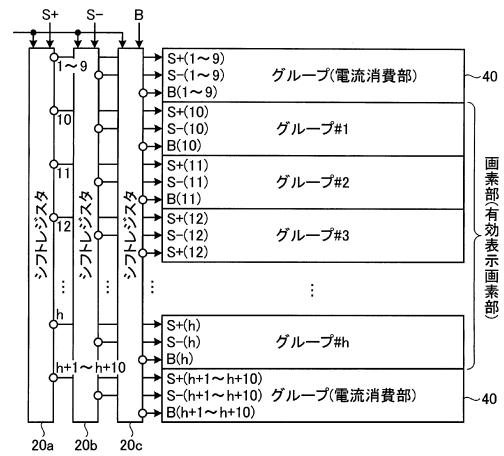
【 図 1 2 】



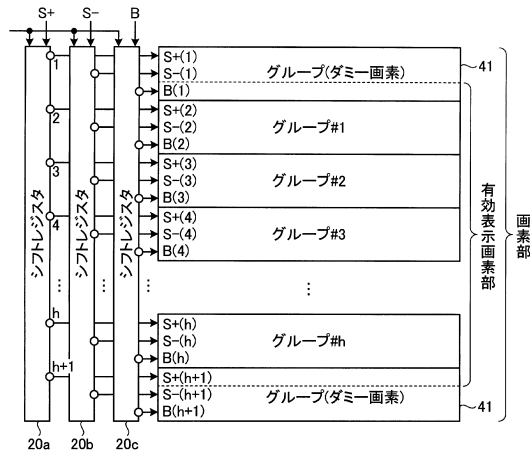
【図 13】



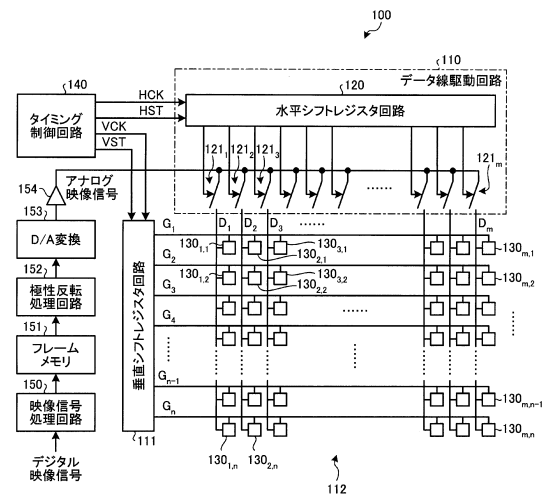
【図 14】



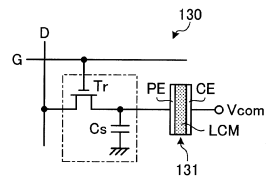
【図 15】



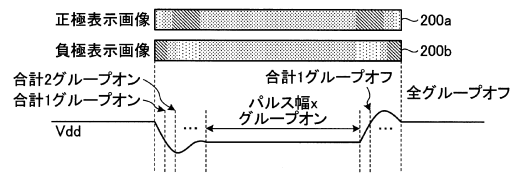
【図 16】



【図 17】



【図 18】



---

フロントページの続き

|              |         |       |         |
|--------------|---------|-------|---------|
| (51) Int.Cl. | F I     |       |         |
|              | G 0 9 G | 3/20  | 6 4 2 A |
|              | G 0 9 G | 3/20  | 6 2 1 F |
|              | G 0 2 F | 1/133 | 5 5 0   |

(56)参考文献 特開 2 0 0 3 - 1 5 7 0 4 9 ( J P , A )  
特開平 0 6 - 3 4 8 2 3 7 ( J P , A )  
特開 2 0 0 5 - 2 4 1 7 7 8 ( J P , A )  
特開 2 0 1 1 - 0 2 8 1 5 9 ( J P , A )  
国際公開第 0 3 / 0 2 3 7 5 2 ( W O , A 1 )

(58)調査した分野(Int.Cl. , D B 名)  
G 0 9 G 3 / 0 0 - 3 / 3 8  
G 0 2 F 1 / 1 3 3

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |         |            |
|----------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶表示装置                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |         |            |
| 公开(公告)号        | <a href="#">JP5870707B2</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                         | 公开(公告)日 | 2016-03-01 |
| 申请号            | JP2012011512                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 申请日     | 2012-01-23 |
| [标]申请(专利权)人(译) | JVC 建伍株式会社                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |         |            |
| 申请(专利权)人(译)    | JVC建伍公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |         |            |
| 当前申请(专利权)人(译)  | JVC建伍公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |         |            |
| [标]发明人         | 井澤俊輔                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |         |            |
| 发明人            | 井澤 俊輔                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |         |            |
| IPC分类号         | G09G3/36 G09G3/20 G02F1/133                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |         |            |
| FI分类号          | G09G3/36 G09G3/20.624.B G09G3/20.621.B G09G3/20.622.D G09G3/20.622.K G09G3/20.642.A G09G3/20.621.F G02F1/133.550 G09G3/20.611.A G09G3/20.612.E G09G3/20.624.D                                                                                                                                                                                                                                                                                                                                       |         |            |
| F-TERM分类号      | 2H193/ZA04 2H193/ZA07 2H193/ZA19 2H193/ZC17 2H193/ZC25 2H193/ZD23 2H193/ZF16 2H193/ZF21 2H193/ZF24 2H193/ZF31 2H193/ZF35 5C006/AC07 5C006/AC11 5C006/AC24 5C006/AC25 5C006/AF21 5C006/AF42 5C006/AF59 5C006/AF68 5C006/AF69 5C006/BB16 5C006/BB27 5C006/BC03 5C006/BC05 5C006/BC06 5C006/BC11 5C006/BC16 5C006/BF03 5C006/BF04 5C006/BF14 5C006/BF22 5C006/BF42 5C006/EC11 5C006/FA11 5C006/FA22 5C006/FA47 5C080/AA10 5C080/DD05 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 |         |            |
| 代理人(译)         | 酒井宏明                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |         |            |
| 审查员(译)         | 小野贤二                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |         |            |
| 其他公开文献         | JP2013148847A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |         |            |

# 摘要(译)

摘要：要解决的问题：当以更高的速度交流驱动液晶显示元件时，抑制垂直扫描方向上的亮度不均匀。解决方案：在像素部分的垂直扫描方向上外部提供用于消耗用于驱动像素部分的电源的电流的电流消耗组。首先，输入到像素部分外部的电流消耗组的正极性和负极性S + ( 1 ) 到S + ( 9 ) 和S - ( 1 ) 到S - ( 9 ) 的栅极控制信号和负载特性控制信号B ( 1 ) ) B至 ( 10 ) 依次进入高状态，并且在像面外产生电源电压Vdd的变化。在电源电压Vdd的变化被抑制和稳定之后，正极性和负极性的栅极控制信号S + ( 11 ) 至S + ( h ) 和S - ( 11 ) 至S - ( h ) 被输入到组 # 1至有效显示像素部分内的#h和负载特性控制信号B ( 11 ) 至B ( h ) 依次进入高状态。

|           |                               |           |                       |
|-----------|-------------------------------|-----------|-----------------------|
| (21) 出願番号 | 特願2012-11512 (P2012-11512)    | (73) 特許権者 | 308036402             |
| (22) 出願日  | 平成24年1月23日 (2012. 1. 23)      |           | 株式会社 JVCケンウッド         |
| (63) 公開番号 | 特開2013-148847 (P2013-148847A) |           | 神奈川県横浜市神奈川区守屋町3丁目12番地 |
| (43) 公開日  | 平成25年8月1日 (2013. 8. 1)        | (74) 代理人  | 100089118             |
| 審査請求日     | 平成26年7月31日 (2014. 7. 31)      |           | 弁理士 酒井 宏明             |
|           |                               | (72) 発明者  | 井澤 俊輔                 |
|           |                               |           | 神奈川県横浜市神奈川区守屋町3丁目12番地 |
|           |                               | 審査官       | 小野 健二                 |