

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5851818号
(P5851818)

(45) 発行日 平成28年2月3日 (2016. 2. 3)

(24) 登録日 平成27年12月11日 (2015. 12. 11)

(51) Int. Cl. F I

G O 9 G 3 / 3 6 (2 0 0 6 . 0 1)
G O 9 G 3 / 2 0 (2 0 0 6 . 0 1)
G O 9 G 3 / 3 0 (2 0 0 6 . 0 1)
G O 2 F 1 / 1 3 3 (2 0 0 6 . 0 1)

G O 9 G 3 / 3 6
G O 9 G 3 / 2 0 6 2 3 A
G O 9 G 3 / 2 0 6 2 3 V
G O 9 G 3 / 2 0 6 2 3 U
G O 9 G 3 / 2 0 6 4 2 A

請求項の数 4 (全 14 頁) 最終頁に続く

(21) 出願番号	特願2011-271137 (P2011-271137)	(73) 特許権者	506087819
(22) 出願日	平成23年12月12日 (2011. 12. 12)		パナソニック液晶ディスプレイ株式会社
(65) 公開番号	特開2013-122535 (P2013-122535A)		兵庫県姫路市飾磨区妻鹿日田町 1 - 6
(43) 公開日	平成25年6月20日 (2013. 6. 20)	(74) 代理人	110000154
審査請求日	平成26年9月25日 (2014. 9. 25)		特許業務法人はるか国際特許事務所
前置審査		(72) 発明者	喜田 和夫
			兵庫県姫路市飾磨区妻鹿日田町 1 - 6 パ
			ナソニック液晶ディスプレイ株式会社内
		(72) 発明者	河内 玄士朗
			兵庫県姫路市飾磨区妻鹿日田町 1 - 6 パ
			ナソニック液晶ディスプレイ株式会社内
		審査官	橋本 直明
			最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

画素を制御するためのデータ信号を生成するデータ信号生成部と、
前記データ信号生成部から出力される前記データ信号を、表示パネルの複数のデータ信号線に時分割で供給する、第1トランジスタ及び第2トランジスタを含む複数のトランジスタと、
前記複数のトランジスタの各々を制御するゲート信号線と、
前記第2トランジスタを制御する前記ゲート信号線に接続され、前記第1トランジスタがオン状態からオフ状態に変化する場合に発生する前記データ信号の電位変動を、前記接続されたゲート信号線のゲート信号に応じて抑制する変動抑制部と、を含み、
前記変動抑制部は、トランジスタにより構成されており、
前記変動抑制部を構成するトランジスタのソース又はドレインは、前記第1トランジスタのソース又はドレインに接続されており、当該トランジスタのゲート電極は、前記第2トランジスタを制御する前記ゲート信号線に接続されており、
複数の前記画素が、 n 色 (n は自然数) の表示に対応して配列されている場合において

前記複数のデータ信号線は、 n 本ずつ一組にまとめられ、
各組の n 本のデータ信号線のうち、 m 番目 (m は $1 \sim n - 1$ の自然数) に前記データ信号が供給されるデータ信号線に対応する前記トランジスタと、当該データ信号線との間に、
($n - m$) 個の前記変動抑制部が接続されている、

ことを特徴とする表示装置。

【請求項 2】

前記変動抑制部は、

前記第 1 トランジスタがオン状態からオフ状態に変化してから前記データ信号の書き込みタイミングまでの期間において、前記接続されたゲート信号線のゲート信号の変化に応じて、前記データ信号の電位変動を抑制する、

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記変動抑制部に接続された前記ゲート信号線が制御する前記第 2 トランジスタは、前記第 1 トランジスタがオン状態からオフ状態に変化した場合、オフ状態からオン状態に変化し、

10

前記変動抑制部は、

前記接続された前記ゲート信号線が制御する前記第 2 トランジスタをオフ状態からオン状態に制御する前記ゲート信号に応じて、前記データ信号の電位変動を抑制する、

ことを特徴とする請求項 1 又は 2 に記載の表示装置。

【請求項 4】

前記 ($n - m$) 個の前記変動抑制部のそれぞれは、($m + 1$) 番目から n 番目までに前記データ信号が供給される前記データ信号線に対応する前記トランジスタを制御する前記ゲート信号線に接続されている、

ことを特徴とする請求項 1 から 3 の何れか 1 項に記載の表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関する。

【背景技術】

【0002】

従来、表示パネル内の各画素に印加される電圧を変化させることによって表示制御を行う表示装置が知られている。例えば、液晶表示パネル内に封入された液晶組成物に印加する電圧を変化させる液晶表示装置や、有機 EL 表示装置がある。このような表示装置においては、互いに交差するデータ信号線（映像信号線）と走査信号線とによって囲まれた領域内に画素電極が配置され、各画素電極には、データ信号線を介して供給されるデータ信号により階調電圧が印加される。

30

【0003】

例えば、特許文献 1 及び特許文献 2 には、複数のデータ信号線を一組として、複数組のデータ信号線が表示パネルに配置され、データ信号を出力する出力端子と接続するデータ信号線を切り替えるセレクト回路を含んでなる表示装置が記載されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2001 - 109435 号公報

40

【特許文献 2】特許第 4027691 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献 1 及び特許文献 2 においては、セレクト回路に含まれるトランジスタがオン状態からオフ状態に変化する場合、このトランジスタの寄生容量（例えば、ゲート - ドレイン間の寄生容量）に起因するフィードスルー電圧（飛び込み電圧）が発生する。その結果、データ信号に電位変動が発生するため、画素電極に正しい階調電圧を印加することができない。

【0006】

50

この点、セレクト回路とデータ信号線との間にトランジスタを接続し、セレクト回路に
入力されるゲート信号とは逆相のゲート信号を用いて当該トランジスタを駆動させること
によって、フィードスルー電圧による電位変動を相殺させることも考えられる。しかし、
この場合、上記トランジスタを動作させるために新たなゲート信号線が必要であり、表示
装置が大型化し、消費電力が大きくなる問題がある。

【 0 0 0 7 】

本発明は、上記課題を鑑みてなされたものであって、その目的は、小型化及び省電力化
を図りつつ、フィードスルー電圧の影響を軽減することが可能な表示装置を提供すること
にある。

【課題を解決するための手段】

10

【 0 0 0 8 】

本発明に係る表示装置は、画素を制御するためのデータ信号を生成するデータ信号生成
部と、前記データ信号生成部から出力される前記データ信号を、表示パネルの複数のデー
タ信号線に時分割で供給する複数のトランジスタと、前記複数のトランジスタの各々を制
御するゲート信号線と、前記複数のトランジスタの何れかを制御する前記ゲート信号線に
接続され、他の前記トランジスタがオン状態からオフ状態に変化する場合に発生する前記
データ信号の電位変動を、前記接続されたゲート信号線のゲート信号に応じて抑制する変
動抑制部と、を含むことを特徴とする。本発明によれば、表示装置の小型化及び省電力化
を図りつつ、フィードスルー電圧の影響を軽減することができる。

【 0 0 0 9 】

20

また、本発明の一態様では、前記変動抑制部は、前記他のトランジスタがオン状態から
オフ状態に変化してから前記データ信号の書き込みタイミングまでの期間において、前記
接続されたゲート信号線のゲート信号の変化に応じて、前記データ信号の電位変動を抑制
する、ことを特徴とする。この態様によれば、データ信号の電位を書き込みタイミングま
で保持することができ、正確な階調電圧を画素電極に印加させることができる。

【 0 0 1 0 】

また、本発明の一態様では、前記変動抑制部に接続された前記ゲート信号線が制御する
前記トランジスタは、前記他のトランジスタがオン状態からオフ状態に変化した場合、オ
フ状態からオン状態に変化し、前記変動抑制部は、前記接続された前記ゲート信号線が制
御する前記トランジスタをオフ状態からオン状態に制御する前記ゲート信号に応じて、前
記データ信号の電位変動を抑制する、ことを特徴とする。この態様によれば、フィードス
ルー電圧による電位降下が発生するタイミングで、当該電位降下を相殺する電位上昇をデ
ータ信号に与えることができる。

30

【図面の簡単な説明】

【 0 0 1 1 】

【図 1】実施形態に係る液晶表示装置を示す図である。

【図 2】分配部と変動抑制部の詳細構成を示す図である。

【図 3】キャンセルがフィードスルー電圧による電位変動を抑制する様子を示すタイミン
グチャートである。

【図 4】有機 E L 表示装置の概略構成を示す図である。

40

【図 5】液晶表示装置の分配制御部及び有機 E L 表示装置の分配制御部のレイアウトを説
明するための平面図である。

【図 6】図 5 の V I - V I 線断面図である。

【発明を実施するための形態】

【 0 0 1 2 】

以下、図面を参照して本発明に係る表示装置の実施の形態を詳細に説明する。ここでは
、本発明に係る表示装置を液晶表示装置に適用した場合を例に挙げて説明する。

【 0 0 1 3 】

図 1 は、実施形態に係る液晶表示装置を示す図である。図 1 に示すように、液晶表示装
置 1 の液晶表示パネル 1 0 0 は、カラーフィルタ基板 1 1 0 及び T F T 基板 1 2 0 の 2 枚

50

の基板を有する。カラーフィルタ基板 110 及び TFT 基板 120 の間には、液晶組成物が封止されている。なお、液晶表示装置 1 は、不図示の電源回路を含み、当該電源回路により、液晶表示パネル 100 の各部に電源電圧が供給される。

【0014】

TFT 基板 120 には、走査信号駆動回路 130 により制御される走査信号線 G[N]、及びデータ信号駆動回路 140 により制御されるデータ信号線 D[M] が張り巡らされている。走査信号線 G[N] 及びデータ信号線 D[M] は、液晶表示装置 1 の画素部 150 を形成している。なお、データ信号線 D[M] の M 及び走査信号線 G[N] の N は、それぞれ画素部 150 のカラム数及びライン数に対応した自然数である。

【0015】

また、図 1 では簡略化して示しているが、液晶表示パネル 100 は、解像度に対応する数の画素部 150 を有する。また、本実施形態の液晶表示パネル 100 は、カラー表示を行うために、n 色 (n は自然数。本実施形態においては、n は 3 とする。) に対応する画素部 150 を有している。本実施形態においては、例えば、図 1 の左から (X 座標の小さな方から)、赤 (R)、緑 (G)、青 (B) に対応する画素部 150 が、繰り返し順番に並んでいる。

【0016】

走査信号線 G[N] には、走査信号駆動回路 130 から走査信号が供給される。当該走査信号により、画素部 150 の薄膜トランジスタがオン/オフする。一方、データ信号線 D[M] には、データ信号駆動回路 140 からデータ信号が供給される。画素部 150 の薄膜トランジスタがオンになった場合 (書き込みタイミングが訪れた場合)、データ信号線 D[M] からデータ信号が供給され、画素電極に階調電圧が印加されることによって、液晶組成物の液晶分子の配向方向が変化する。その結果、光の透過率が変化することになり、液晶表示装置 1 の表示制御が行われる。

【0017】

なお、液晶表示パネル 100 としては、TFT 基板 120 に 2 つの電極が設けられた IPS (In Plane Switching) 方式であってもよいし、カラーフィルタ基板 110 及び TFT 基板 120 の両方に電極が設けられた TN (Twisted Nematic) 方式又は VA (Vertical Alignment) 方式であってもよい。

【0018】

また、図 1 に示すように、データ信号駆動回路 140 は、ソース IC 部 160 と、分配制御部 170 と、を含んでなる。ソース IC 部 160 は、データバスライン 161 を介してコントローラ 180 と接続されている。一方、分配制御部 170 は、分配制御信号線 171 を介してコントローラ 180 と接続されている。

【0019】

コントローラ 180 は、外部装置 (例えば、不図示のフレキシブル基板等) から少なくとも表示情報と制御信号とを取得する。コントローラ 180 が出力する制御信号としては、ソース IC 部 160 が表示情報を取り込むためのクロック信号、分配制御部 170 からデータ信号線 D[M] への出力を切り替えるための時分割制御信号、走査信号駆動回路 130 を駆動するフレーム開始指示信号と順次走査信号を出力するためのゲートクロック信号などのタイミング信号がある。

【0020】

コントローラ 180 から出力される表示情報は、データバスライン 161 を介してソース IC 部 160 に入力される。データバスライン 161 上には、予め定められた順番に表示情報が出力される。ソース IC 部 160 は、順番に出力される表示情報の中から表示すべきデータを取り込む。ソース IC 部 160 が表示情報を取り込むタイミングは、コントローラ 180 が出力するクロック信号に従う。なお、ソース IC 部 160 がコントローラ 180 からクロック信号を取得するための信号線は、図 1 では省略している。また、外部装置から取得する信号は上記説明した制御信号に限られず、レベルシフタのような電位変換機能を有する場合には電源線が含まれていてもよい。

10

20

30

40

50

【 0 0 2 1 】

ソースＩＣ部 １ ６ ０ は、例えば、ＴＦＴ基板 １ ２ ０ の周辺に沿って、例えば、横方向（ X 軸方向）に配置される。本実施形態においては、ソースＩＣ部 １ ６ ０ は、画素部 １ ５ ０（即ち、液晶の配向）を制御するためのデータ信号を生成するデータ信号生成部として機能する。

【 0 0 2 2 】

例えば、ソースＩＣ部 １ ６ ０ は、データバスライン １ ６ １ を介してコントローラ １ ８ ０ から表示情報を取得することによって、データ信号を生成して出力する。例えば、ソースＩＣ部 １ ６ ０ は、コントローラ １ ８ ０ から入力された表示情報を、当該表示情報に対応する階調電圧を示すデータ信号に変換し、出力信号線 １ ６ ２ を介して分配制御部 １ ７ ０ に出力する。

10

【 0 0 2 3 】

なお、本実施形態においては、出力信号線 １ ６ ２ の数は、データ信号線 $D[M]$ の「 M 」の数に対応する。以降、データ信号線 $D[M]$ に対応する出力信号線 １ ６ ２ を、出力信号線 １ ６ ２ $[M]$ と記載する。

【 0 0 2 4 】

分配制御部 １ ７ ０ は、出力信号線 １ ６ ２ $[M]$ に接続される。また、分配制御部 １ ７ ０ の出力は、データ信号線 $D[M]$ に接続される。分配制御部 １ ７ ０ は、ソースＩＣ部 １ ６ ０ から出力されるデータ信号を、複数のデータ信号線 $D[M]$ に時分割で供給する。即ち、分配制御部 １ ７ ０ は、ソースＩＣ部 １ ６ ０ の出力信号線 １ ６ ２ と複数のデータ信号線 $D[M]$ との間の接続を切り替える。より具体的には、分配制御部 １ ７ ０ は、分配制御信号線 １ ７ １ によりコントローラ １ ８ ０ から供給される分配制御信号に従い、出力信号線 １ ６ ２ $[M]$ と複数のデータ信号線 $D[M]$ との間の接続を切り替え、データ信号をデータ信号線 $D[M]$ に決められた期間だけ出力する。

20

【 0 0 2 5 】

本実施形態においては、分配制御部 １ ７ ０ は、分配部 １ ７ ２ $[M]$ と、変動抑制部 １ ７ ３ $[M]$ と、を含んでなる。なお、分配部 １ ７ ２ $[M]$ 及び変動抑制部 １ ７ ３ $[M]$ の「 M 」は、データ信号線 $D[M]$ の「 M 」に対応する。

【 0 0 2 6 】

分配部 １ ７ ２ $[M]$ は、出力信号線 １ ６ ２ $[M]$ に接続されている。出力信号線 １ ６ ２ $[M]$ の接続先が、分配部 １ ７ ２ $[M]$ によって所定期間毎に切り替わることによって、ソースＩＣ部 １ ６ ０ の出力を、赤（ R ）、緑（ G ）、青（ B ）の画素に対応するデータ信号線 $D_R[M]$ 、 $D_G[M]$ 、 $D_B[M]$ の何れかに入力させることができる。

30

【 0 0 2 7 】

例えば、分配部 １ ７ ２ $[M]$ により、ソースＩＣ部 １ ６ ０ とデータ信号線 $D_R[M]$ が接続している期間には、ソースＩＣ部 １ ６ ０ からデータ信号線 $D_R[M]$ にデータ信号が出力される。同様に、ソースＩＣ部 １ ６ ０ とデータ信号線 $D_G[M]$ が接続している期間には、ソースＩＣ部 １ ６ ０ からデータ信号線 $D_G[M]$ にデータ信号が出力され、ソースＩＣ部 １ ６ ０ とデータ信号線 $D_B[M]$ が接続している期間には、ソースＩＣ部 １ ６ ０ からデータ信号線 $D_B[M]$ にデータ信号が出力される。

40

【 0 0 2 8 】

変動抑制部 １ ７ ３ $[M]$ は、分配部 １ ７ ２ $[M]$ とデータ信号線 $D[M]$ との間に配置され、フィードスルー電圧によるデータ信号の電位変動を抑制する。フィードスルー電圧は、分配部 １ ７ ２ $[M]$ が接続の切り替えを行う際に発生する。また、変動抑制部 １ ７ ３ $[M]$ は、分配制御信号線 １ ７ １ によりコントローラ １ ８ ０ から供給される分配制御信号により駆動する。

【 0 0 2 9 】

図 2 は、分配部 １ ７ ２ $[M]$ と変動抑制部 １ ７ ３ $[M]$ の詳細構成を示す図である。図 2 に示すように、分配部 １ ７ ２ $[M]$ は、スイッチング素子としてトランジスタ $T_R[M]$ 、 $T_G[M]$ 、 $T_B[M]$ （以降、これらをまとめて単にトランジスタ $T[M]$ ともし

50

う。)を有している。トランジスタ $T[M]$ は、例えば、画素部150に設けられる薄膜トランジスタ(図示せず)と同じ導電型の半導体で形成されているようにしてもよい。

【0030】

トランジスタ $T[M]$ は、ソースIC部160から出力信号線162 $[M]$ を介して入力されるデータ信号を、液晶表示パネル100の複数のデータ信号線 $D[M]$ に時分割で供給する。また、トランジスタ $T[M]$ のゲート端子に接続された分配制御信号線171は、複数のトランジスタ $T[M]$ の各々を制御するゲート信号線として機能する。即ち、分配制御信号線171の分配制御信号により、当該分配制御信号線171に接続されたトランジスタ $T[M]$ のオン/オフが制御され、出力信号線162 $[M]$ の接続先が切り替わる。

10

【0031】

本実施形態においては、トランジスタ $T_R[M]$ 、 $T_G[M]$ 、 $T_B[M]$ のゲート端子に接続される分配制御信号線171をそれぞれ、分配制御信号線171 $_R$ 、171 $_G$ 、171 $_B$ という。トランジスタ $T_R[M]$ 、 $T_G[M]$ 、 $T_B[M]$ が電氣的に導通することで、出力信号線162 $[M]$ とデータ信号線 $D[M]$ とが接続されることになる。

【0032】

トランジスタ $T_R[M]$ は、赤(R)のデータ信号が出力されている期間、赤(R)画素用のデータ信号線 $D_R[M]$ とソースIC部160の出力信号線162 $[M]$ とを接続する。同様に、トランジスタ $T_G[M]$ は、緑(G)のデータ信号が出力されている期間、緑(G)画素用のデータ信号線 $D_G[M]$ とソースIC部160の出力信号線162 $[M]$ とを接続し、トランジスタ $T_B[M]$ は、青(B)のデータ信号が出力されている期間、青(B)画素用のデータ信号線 $D_B[M]$ とソースIC部160の出力信号線162 $[M]$ とを接続する。

20

【0033】

なお、本実施形態においては、1水平走査期間を3つに時分割して、ソースIC部160からデータ信号が青(B)、緑(G)、赤(R)の順番に繰り返し出力される一例を説明する。即ち、出力信号線162 $[M]$ は、データ信号線 $D_B[M]$ 、 $D_G[M]$ 、 $D_R[M]$ の順番で繰り返し接続される例を説明する。

【0034】

また、図2に示すように、変動抑制部173 $[M]$ は、キャンセル $C_{B_1}[M]$ 、 $C_{B_2}[M]$ 、 $C_G[M]$ (以降、これらをまとめて単にキャンセル $C[M]$ ともいう。)を含んで構成される。キャンセル $C[M]$ は、複数のトランジスタ $T[M]$ の何れかを制御する分配制御信号線171(ゲート信号線)に接続され、他のトランジスタ $T[M]$ がオン状態からオフ状態に変化する場合に発生するデータ信号の電位変動を、当該接続された分配制御信号線171の分配制御信号(ゲート信号)に応じて抑制する。なお、「他のトランジスタ $T[M]$ 」とは、ソース又はドレインの一方がキャンセル $C[M]$ に接続されたトランジスタ $T[M]$ のことである。

30

【0035】

キャンセル $C[M]$ は、所与の静電容量を持つ容量素子によって構成され、本実施形態においては、キャンセル $C[M]$ が、ソースとドレインが電氣的に接続されたトランジスタにより構成され、ゲート電極が分配制御信号線171に接続されている一例を説明する。キャンセル $C[M]$ のソース又はドレインは、他のトランジスタ $T[M]$ のソース又はドレインに接続される。キャンセル $C[M]$ は、当該他のトランジスタ $T[M]$ に入力される分配制御信号の逆相の信号を出力することによって、フィードスルー電圧によるデータ信号の電位変動を抑制する。即ち、キャンセル $C[M]$ は、他のトランジスタ $T[M]$ において発生するフィードスルー電圧の電位降下分の電位上昇をデータ信号に与える素子ともいえる。

40

【0036】

なお、本実施形態におけるフィードスルー電圧とは、トランジスタ $T[M]$ がオン状態からオフ状態に変化する際に発生するデータ信号の電位降下のことであり、例えば、トラ

50

ンジスタ $T[M]$ のゲート電極とドレイン電極及びノ又はソース電極との間に形成される寄生容量に起因して発生する。即ち、データ信号がフィードスルー電圧の影響を受けると、データ信号線 $D_R[M]$ の電位は、当該フィードスルー電圧の分だけ低くなる。その結果、画素部150の画素電極に正確な階調電圧が印加されない可能性がある。

【0037】

そこで、本実施形態においては、キャンセル $C[M]$ によって、トランジスタ $T[M]$ のフィードスルー電圧によるデータ信号の電位変動を抑制している。ここでは、キャンセル $C_{B1}[M]$ 、 $C_{B2}[M]$ は、トランジスタ $T_B[M]$ のフィードスルー電圧による電位変動を抑制し、キャンセル $C_G[M]$ は、トランジスタ $T_G[M]$ のフィードスルー電圧による電位変動を抑制する。

10

【0038】

また、本実施形態においては、キャンセル $C[M]$ は、他のトランジスタ $T[M]$ がオン状態からオフ状態に変化してからデータ信号の書き込みタイミングまでの期間において、接続された分配制御信号線171の分配制御信号（ゲート信号）の変化に応じて、データ信号の電位変動を抑制する。

【0039】

データ信号の書き込みタイミングは、データ信号が示す階調電圧が画素電極に印加されるタイミングであり、走査信号線 $G[N]$ の走査信号によって制御される。例えば、データ信号の書き込みタイミングは、複数のデータ信号線 $D[M]$ のうち、最後に出力信号線162[M]と接続されるデータ信号線 $D[M]$ （例えば、データ信号線 $D_R[M]$ ）との接続が解除されるタイミングとなるように設定される。本実施形態においては、出力信号線162[M]とデータ信号線 $D_R[M]$ との接続が解除されるタイミング、即ち、トランジスタ $T_R[M]$ がオン状態からオフ状態になるタイミングが、データ信号の書き込みタイミングとなる。

20

【0040】

また、本実施形態においては、キャンセル $C[M]$ に接続された分配制御信号線171が制御するトランジスタ $T[M]$ は、他のトランジスタ $T[M]$ がオン状態からオフ状態に変化した場合、オフ状態からオン状態に変化する。キャンセル $C[M]$ は、上記接続された分配制御信号線171が制御するトランジスタ $T[M]$ をオフ状態からオン状態に制御する分配制御信号（ゲート信号）に応じて、データ信号の電位変動を抑制する。即ち、他のトランジスタ $T[M]$ がオン状態からオフ状態に変化する場合、キャンセル $C[M]$ には、当該他のトランジスタ $T[M]$ とは逆相の分配制御信号が入力され、その結果、キャンセル $C[M]$ は、他のトランジスタ $T[M]$ に発生する電位変動とは逆相の電位変動を出力する。

30

【0041】

図3は、キャンセル $C[M]$ がフィードスルー電圧による電位変動を抑制する様子を示すタイミングチャートである。図3に示す t 軸は、時間軸である。ここでは、まず、青（B）の画素に入力されるデータ信号について説明する。

【0042】

図3に示すように、時刻 t_1 において分配制御信号線171 $_B$ の電位がハイ（オン電圧）になると、トランジスタ $T_B[M]$ がオン状態（導通状態）になり、データ信号線 $D_B[M]$ と出力信号線162[M]とが接続され、当該データ信号線 $D_B[M]$ は電位 V_3 となる。

40

【0043】

次に、時刻 t_2 において分配制御信号線171 $_B$ の電位がロー（オフ電圧）になると、トランジスタ $T_B[M]$ がオフ状態（非導通状態）になるため、トランジスタ $T_B[M]$ の寄生容量に起因してフィードスルー電圧が発生する。即ち、本来であれば、トランジスタ $T_B[M]$ に接続されていたデータ信号線 $D_B[M]$ の電位は、電位 V_3 からフィードスルー電圧降下分を差し引いた電位となる。

【0044】

50

しかし、時刻 t_2 において分配制御信号線 171_G の電位が高くなるため、当該分配制御信号線 171_G に接続されたキャンセラ $C_{B1}[M]$ の寄生容量に起因する電圧上昇が発生し、当該電圧上昇によって、トランジスタ $T_B[M]$ に対応するフィードスルー電圧降下分が相殺される。即ち、データ信号線 $D_B[M]$ の電位は、電位 V_3 のまま保持される。

【0045】

次に、時刻 t_3 において分配制御信号線 171_G の電位がローになると、当該分配制御信号線 171_G に接続されたキャンセラ $C_{B1}[M]$ の寄生容量に起因するフィードスルー電圧が発生する。しかし、時刻 t_3 において分配制御信号線 171_R の電位が高くなるため、当該分配制御信号線 171_R に接続されたキャンセラ $C_{B2}[M]$ の寄生容量に起因する電圧上昇が発生し、当該電圧上昇によって、キャンセラ $C_{B1}[M]$ に発生するフィードスルー電圧降下分が相殺される。即ち、データ信号線 $D_B[M]$ の電位は、電位 V_3 のまま保持される。

10

【0046】

そして、時刻 t_4 において画素部 150 への書き込みタイミングが訪れると、青 (R) に対応する画素部 150 の画素電極に電圧 V_3 が印加される。

【0047】

次に、緑 (G) の画素に書き込みが行われる場合を説明する。

【0048】

図3に示すように、時刻 t_2 において分配制御信号線 171_G の電位が高になると、当該分配制御信号線 171_G に接続されたトランジスタ $T_G[M]$ がオン状態になり、データ信号線 $D_G[M]$ と出力信号線 $162[M]$ とが接続され、当該データ信号線 $D_G[M]$ は電位 V_1 となる。

20

【0049】

次に、時刻 t_3 において分配制御信号線 171_G の電位がローになると、当該分配制御信号線 171_G に接続されたトランジスタ $T_G[M]$ がオフ状態になるため、トランジスタ $T_G[M]$ の寄生容量に起因したフィードスルー電圧が発生する。即ち、本来であれば、トランジスタ $T_G[M]$ に接続されていたデータ信号線 $D_G[M]$ の電位は、電位 V_1 からフィードスルー電圧降下分を差し引いた電位となる。

【0050】

30

しかし、時刻 t_3 において分配制御信号線 171_R の電位が高くなるため、当該分配制御信号線 171_R に接続されたキャンセラ $C_G[M]$ の寄生容量に起因する電圧上昇が発生し、当該電圧上昇によって、トランジスタ $T_G[M]$ に対応するフィードスルー電圧降下分が相殺される。即ち、データ信号線 $D_G[M]$ の電位は、電位 V_1 のまま保持される。

【0051】

そして、時刻 t_4 において画素部 150 への書き込みタイミングが訪れると、緑 (G) に対応する画素部 150 に書き込みが行われて、画素電極に電圧 V_1 が印加される。

【0052】

なお、時刻 t_4 においては、分配制御信号線 171_R の電位がローになると、当該分配制御信号線 171_R に接続されたキャンセラ $C_G[M]$ の寄生容量に起因する電圧降下が発生し、データ信号線 $D_G[M]$ の電位が、電位 V_1 から当該電圧降下 (電位降下分を α とする。) を差し引いた電位となる (時刻 $t_4 \sim t_5$)。しかし、当該電圧降下が発生する前に、緑 (G) に対応する画素部 150 には、既に、電圧 V_1 に基づいて書き込みが行われているため、データ信号の電位変動が表示制御に影響しない。

40

【0053】

最後に、赤 (R) の画素に書き込みが行われる場合を説明する。

【0054】

図3に示すように、時刻 t_3 において分配制御信号線 171_R の電位が高になると、当該分配制御信号線 171_R に接続されたトランジスタ $T_R[M]$ がオン状態になり、デ

50

ータ信号線 $D_R [M]$ と出力信号線 162 [M] とが接続され、当該データ信号線 $D_R [M]$ は電位 V_2 となる。

【0055】

そして、時刻 t_4 において画素部 150 への書き込みタイミングが訪れると、赤 (R) に対応する画素部 150 に書き込みが行われて、画素電極に電圧 V_2 が印加される。

【0056】

なお、時刻 t_4 においては、分配制御信号線 171_R の電位がローになると、当該分配制御信号線 171_R に接続されたトランジスタ $T_R [M]$ の寄生容量に起因する電圧降下 (電位降下分を β とする。) が発生し、データ信号線 $D_R [M]$ の電位が、電位 V_2 から当該電圧降下を差し引いた電位となる (時刻 $t_4 \sim t_6$)。しかし、当該電圧降下が発生する前に、画素部 150 には、既に、電圧 V_2 に基づいて書き込みが行われているため、階調電圧の変動が表示制御に影響しない。

【0057】

上記においては、時刻 $t_1 \sim t_4$ においてデータ信号の電位変動が抑制される場合を説明したが、以降の時刻についても同様に、フィードスルー電圧による電位変動の抑制が行われる。

【0058】

以上のように、本実施形態に係る液晶表示装置 1 においては、分配制御信号線 171 の分配制御信号により駆動するキャンセラ $C [M]$ が、当該分配制御信号に応じて、トランジスタ $T [M]$ のフィードスルー電圧による電位変動を抑制する。フィードスルー電圧による電位変動を抑制するために、新たな信号線等を必要とすることがないので、液晶表示装置 1 の小型化及び省電力化を図りつつ、フィードスルー電圧の影響を軽減することが可能になる。

【0059】

また、画素部 150 への書き込みタイミングまでの期間において、キャンセラ $C [M]$ がデータ信号の電位変動を抑制するので、データ信号の電位を書き込みタイミングまで保持することができ、正確な階調電圧を画素電極に印加させることができる。

【0060】

また、フィードスルー電圧による電位降下が発生するタイミングで、当該電位降下を相殺する電位上昇をデータ信号に与えることができる。

【0061】

なお、本発明は、以上説明した実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で適宜変更可能である。

【0062】

例えば、実施形態においては、ある書き込みタイミングと次の書き込みタイミングとの間において、青 (B)、緑 (G)、赤 (R) の順番にデータ信号が入力される場合を説明したが、予め定められた順番にデータ信号が入力されるようにすればよい。他にも例えば、赤 (R)、緑 (G)、青 (B) の順番にデータ信号が入力されるようにしてもよい。この場合、トランジスタ $T_R [M]$ とデータ信号線 $D_R [M]$ との間に、二つのキャンセラ $C [M]$ が配置され、それぞれ、分配制御信号線 171_G 、 171_B により駆動することになる。更に、この場合には、キャンセラ $C_{B1} [M]$ 、 $C_{B2} [M]$ は不要になる。

【0063】

また例えば、本実施形態においては、3色のカラーフィルタが用いられる場合を説明したが、4色のカラーフィルタ (例えば、赤 (R)、緑 (G)、青 (B)、黄 (Y)) が用いられるようにしてもよい。カラーフィルタが示す色の数に応じてキャンセラ $C [M]$ を配置し、フィードスルー電圧の電位変動を抑制するようにすればよい。

【0064】

例えば、液晶表示装置 1 が n 色のカラーフィルタを有する場合を説明する。この場合、液晶表示装置 1 においては、 n 色に対応する n 本のデータ信号線 $D [M]$ が一組として、当該 n 本のデータ信号線 $D [M]$ と、出力信号線 162 [M] と、が時分割で順番に接続

10

20

30

40

50

される。また、分配部 172 [M] には、n 個のトランジスタ T [M] が配置され、これら n 個のトランジスタ T [M] は、n 本の分配制御信号線 171 により駆動する。

【0065】

これら n 本のデータ信号線 D [M] のうち、m 番目 (m は、1 ~ n - 1 の自然数) に出力信号線 162 [M] に接続するデータ信号線 D [M] に対応するトランジスタ T [M] のソース又はドレインと、当該データ信号線 D [M] と、の間に、n - m 個のキャンセル C [M] が接続されるようにすればよい。そして、当該 n - m 個のキャンセル C [M] のそれぞれは、m + 1 番目から n 番目までに出力信号線 162 [M] に接続するデータ信号線 D [M] に対応するトランジスタ T [M] を制御するための分配制御信号線 171 に接続されるようにすればよい。

10

【0066】

例えば、m 番目に出力信号線 162 [M] に接続するデータ信号線 D [M] に対応するトランジスタ T [M] を制御する分配制御信号線 171 がハイからローになった場合、m + 1 番目に出力信号線 162 [M] と接続するデータ信号線 D [M] に対応するトランジスタ T [M] を制御する分配制御信号線 171 がローからハイになるように、分配制御信号が供給されるようにすればよい。

【0067】

なお、n 番目に出力信号線 162 [M] と接続するデータ信号線 D [M] に対応するトランジスタ T [M] を制御する分配制御信号線 171 がハイからローになった場合、書き込みタイミングが訪れるように、走査信号線 G [N] の走査信号が制御されるようにすればよい。

20

【0068】

上記のように配置されるキャンセル C [M] に分配制御信号を供給することによって、カラーフィルタが示す色が何色であっても、トランジスタ T [M] に発生するフィードスルー電圧によるデータ信号の電位変動を、実施形態と同様に抑制することができる。

【0069】

また例えば、カラーフィルタの配列は、実施形態において説明したストライプ配列であってもよいし、他にも例えば、同一色を斜めに配置するモザイク配列や、異なる色を三角形に配列するデルタ配列等であってもよい。

【0070】

また、実施形態においては、本発明に係る表示装置を液晶表示装置に適用する場合を例に挙げて説明したが、本発明に係る表示装置は液晶表示装置に限られず、データ信号線からのデータ信号が時分割で各画素に供給される表示装置に適用することができる。他にも例えば、本発明に係る表示装置を有機 EL 表示装置に適用するようにしてもよい。

30

【0071】

図 4 は、有機 EL 表示装置の概略構成を示す図である。図 4 に示すように、有機 EL 表示装置 2 は、有機 EL 表示パネル 200 と、所定アスペクト比で画素部 250 が並ぶ基板 210 と、有機 EL 素子を制御するための TFT 基板 220 と、TFT を制御するための走査信号駆動回路 230 と、画素部 250 にデータ信号を供給するためのデータ信号駆動回路 240 と、を含む。データ信号が画素部 250 に供給され、画素部 250 の有機 EL 薄膜に所与の電圧が印加されることによって表示制御が行われる。

40

【0072】

コントローラ 280 から走査信号駆動回路 230 及びデータ信号駆動回路 240 を制御する各種信号が供給される点は、実施形態で説明した液晶表示装置 1 と同様である。また、データ信号駆動回路 240 は、ソース IC 部 260 及び分配制御部 270 を含み、それぞれにデータバスライン 261 と分配制御信号線 271 を介してコントローラ 280 から信号が供給される点も実施形態と同様である。

【0073】

有機 EL 表示装置 2 においても、ソース IC 部 260 から出力されるデータ信号が、出力信号線 262 [M] を介して分配制御部 270 の制御により時分割でデータ信号線 D [

50

M]に供給される。分配制御部270がデータ信号を分配する場合、当該分配を行うためのトランジスタがオン状態からオフ状態に切り替わる際にフィードスルー電圧の影響を受けるが、有機EL表示装置2は、変動抑制部273[M]を含んで構成されるため、当該フィードスルー電圧による電圧降下を抑制することができる。なお、有機EL表示装置2の分配制御部270は、液晶表示装置1の分配制御部170と同様のレイアウトを有する。

【0074】

図5は、液晶表示装置1の分配制御部170及び有機EL表示装置2の分配制御部270のレイアウトを説明するための平面図である。ここでは、有機EL表示装置2の分配制御部270のレイアウトを例に挙げて説明する。図5に示す平面図は、図4のX軸とY軸とに垂直な方向から有機EL表示装置を見た場合の分配制御部270のレイアウトを示す。図5に示すように、分配制御部270は、分配部272[M]及び変動抑制部273[M]を含んで構成される。

【0075】

図5に示すように、有機EL表示装置2においては、各分配制御信号線271_R, 271_G, 271_Bのそれぞれのゲート信号により駆動するトランジスタT_B[M], T_R[M], T_G[M](分配部272[M])の制御により、出力信号線262[M]から供給されるデータ信号がデータ信号線D_R[M], D_G[M], D_B[M]に時分割で供給される。従来の有機EL表示装置では、キャンセルC_{B1}[M], C_{B2}[M], C_G[M]が存在しないため、トランジスタT_B[M], T_R[M], T_G[M]のオンオフの切り替わる際に、実施形態で説明したようなフィードスルー電圧による電圧降下が発生するが、ここでは、ゲート層と半導体層が追加されることによりキャンセルC_{B1}[M], C_{B2}[M], C_G[M](変動抑制部273)が存在するため、当該電圧降下分を相殺することができる。

【0076】

図6は、図5のVI-VI線断面図である。図6に示すように、変動制御部273[M]は、窒化膜等からなる絶縁膜270aと、ガラス基板270gと、が互いに向き合っている。絶縁膜270aとガラス基板270gとは、トランジスタT_R[M]を構成するソース・ドレインメタル272aと、半導体層(TAOS)272bと、分配制御信号線(ゲートメタル)271_Rとを挟むように配置される。ソース・ドレインメタル272aと分配制御信号線271_Rとの間には、絶縁膜270e, 270fと、が配置される。なお、絶縁膜270eは、素子の劣化を防ぐために酸化膜とし、他の絶縁膜については、窒化膜により構成されるようにしてもよい。また、ソース・ドレインメタル272aと、絶縁膜270aとの間には、コモンメタル(CITmetal)270bと、コモンITO(CIT)270cと、絶縁膜270dとが配置される。

【0077】

図6に示すように、キャンセルC_G[M]は、ソース・ドレインメタル273aと、半導体層273cと、分配制御信号線271_Rと、を含んで構成される。キャンセルC_{B2}[M]は、ソース・ドレインメタル273bと、半導体層273dと、分配制御信号線271_Rと、を含んで構成される。これらキャンセルC_G[M], C_{B2}[M]は、共に分配制御信号線271_Rのゲート信号により駆動し、フィードスルー電圧によるデータ信号の電位変動の影響を抑制することになる。このように、本発明に係る表示装置を有機EL表示装置に適用し、フィードスルー電圧による影響を抑制するようにしてもよい。

【符号の説明】

【0078】

1 液晶表示装置、2 有機EL表示装置、100 液晶表示パネル、110 カラーフィルタ基板、120, 220 TFT基板、130, 230 走査信号駆動回路、140, 240 データ信号駆動回路、150, 250 画素部、160, 260 ソースIC部、161, 261 データバスライン、162, 262 出力信号線、170, 270 分配制御部、171, 171_R, 171_G, 171_B, 271, 271_R, 271_G

10

20

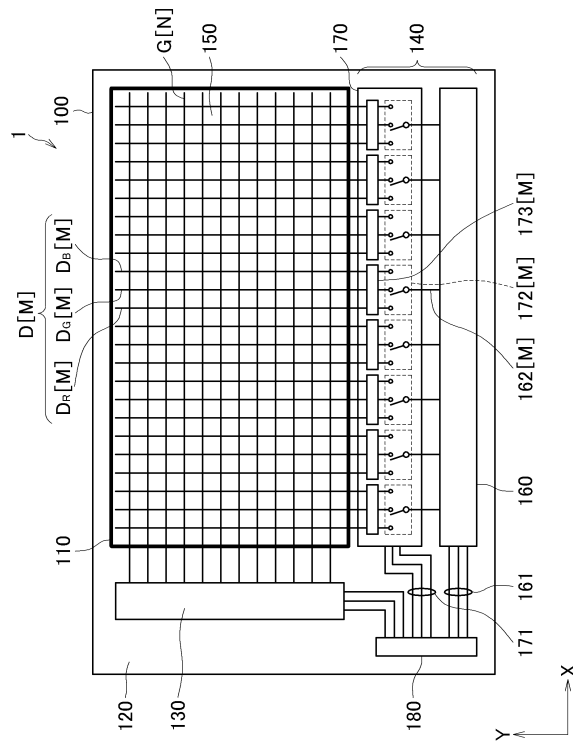
30

40

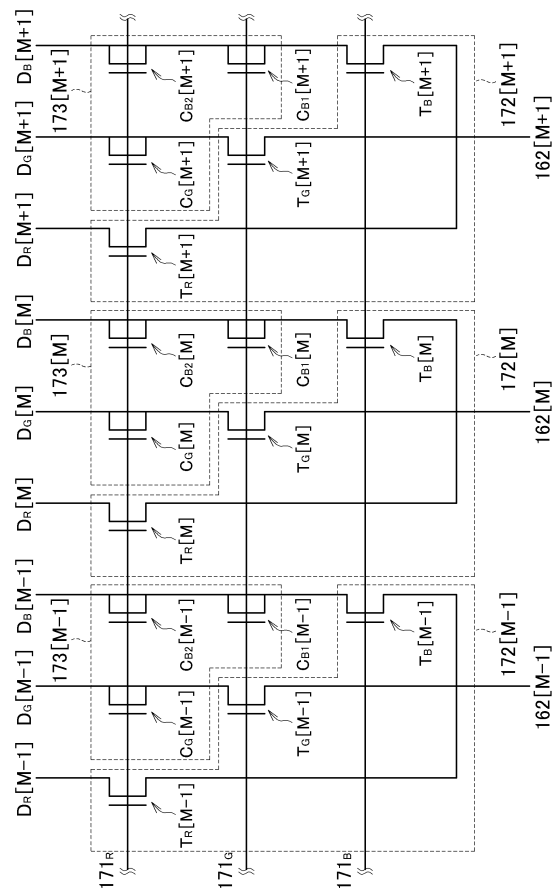
50

, 271_B 分配制御信号線、172, 272 分配部、173, 273 変動抑制部、
180, 280 コントローラ、200 有機EL表示パネル、210 基板、 $T_B[M]$, $T_R[M]$, $T_G[M]$ トランジスタ、 $C[M]$, $C_{B1}[M]$, $C_{B2}[M]$,
 $C_G[M]$ キャンセラ、 $G[N]$ 走査信号線、 $D[M]$ データ信号線。

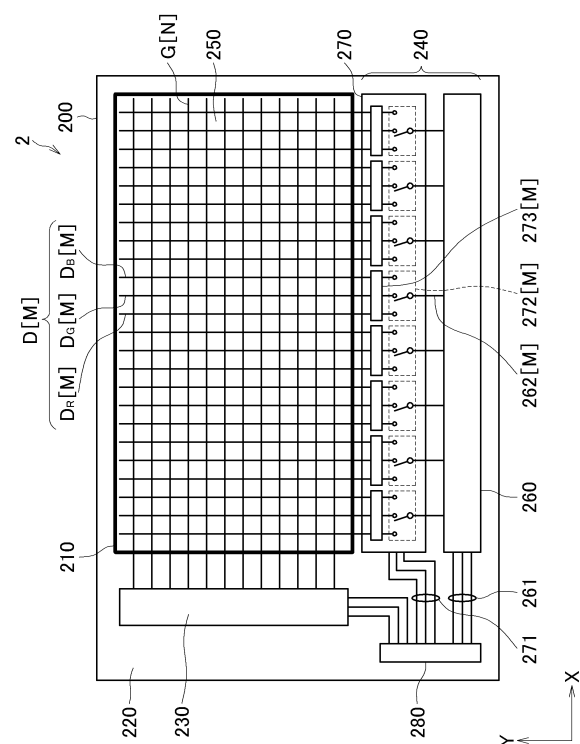
【図1】



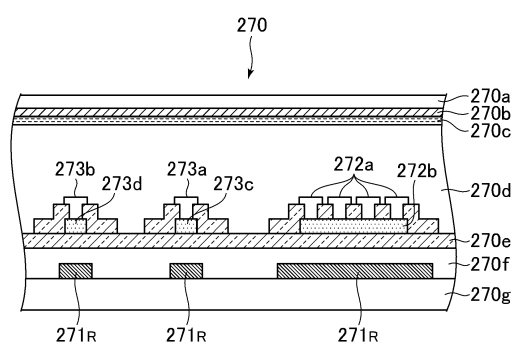
【図2】



【圖 4】



【圖 6】



 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/30	J
	G 0 9 G	3/20	6 1 1 A
	G 0 2 F	1/133	5 5 0

(56)参考文献 特開 2 0 1 1 - 1 8 0 6 2 2 (J P , A)
 特開 2 0 0 6 - 3 0 8 7 1 1 (J P , A)
 特開平 0 7 - 2 0 3 3 1 9 (J P , A)
 特開平 0 7 - 1 6 1 9 7 5 (J P , A)
 特開 2 0 0 6 - 0 3 9 5 0 5 (J P , A)
 特開 2 0 0 5 - 2 6 6 7 7 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 G 0 9 G 3 / 3 6
 G 0 2 F 1 / 1 3 3
 G 0 9 G 3 / 2 0
 G 0 9 G 3 / 3 0

专利名称(译)	表示装置		
公开(公告)号	JP5851818B2	公开(公告)日	2016-02-03
申请号	JP2011271137	申请日	2011-12-12
申请(专利权)人(译)	松下液晶显示器有限公司		
当前申请(专利权)人(译)	松下液晶显示器有限公司		
[标]发明人	喜田和夫 河内玄士朗		
发明人	喜田 和夫 河内 玄士朗		
IPC分类号	G09G3/36 G09G3/20 G09G3/30 G02F1/133		
CPC分类号	G09G5/001 G09G3/3275 G09G3/3688 G09G2300/0408 G09G2300/0426 G09G2310/0297 G09G2320/0209 G09G2320/0219		
FI分类号	G09G3/36 G09G3/20.623.A G09G3/20.623.V G09G3/20.623.U G09G3/20.642.A G09G3/30.J G09G3/20.611.A G02F1/133.550 G09G3/3225 G09G3/3266 G09G3/3275		
F-TERM分类号	2H193/ZA04 2H193/ZB03 2H193/ZD23 2H193/ZF36 2H193/ZQ06 2H193/ZQ11 5C006/AA11 5C006/AA22 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BC16 5C006/BC20 5C006/BF24 5C006/FA26 5C006/FA41 5C006/FA47 5C080/AA06 5C080/AA10 5C080/DD22 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF09 5C080/FF11 5C080/FF12 5C080/HH09 5C080/JJ02 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/BA01 5C380/BA11 5C380/BB02 5C380/CA08 5C380/CA10 5C380/CA57 5C380/CB01 5C380/CE05 5C380/CF52 5C380/DA05		
审查员(译)	Naoaki桥本		
其他公开文献	JP2013122535A		
外部链接	Espacenet		

摘要(译)

要解决的问题：减小馈通电压的影响，同时减小尺寸和节省电力。液晶显示装置（1）的数据信号发生单元（140）产生用于控制液晶取向的数据信号。多个晶体管（T[M]）将从源IC部分（160）输出的数据信号时分地提供给液晶显示板（100）的多条数据信号线（D[M]）。栅极信号线（171）控制多个晶体管（T[M]）中的每一个。波动抑制部分（173）连接到控制多个晶体管（T[M]）之一的栅极信号线（171），另一个晶体管（T[M]）从导通状态变为截止状态。根据所连接的栅极信号线（171）的栅极信号抑制所产生的数据信号的电位变化。点域1

(21) 出願番号	特願2011-271137 (P2011-271137)	(73) 特許権者	506087819
(22) 出願日	平成23年12月12日 (2011.12.12)		パナソニック液晶ディスプレイ株式会社
(65) 公開番号	特開2013-122535 (P2013-122535A)		兵庫県姫路市飾磨区委鹿日田町1-6
(43) 公開日	平成25年6月20日 (2013.6.20)	(74) 代理人	110000154
審査請求日	平成26年9月25日 (2014.9.25)		特許業務法人はるか国際特許事務所
前置審査		(72) 発明者	喜田 和夫
			兵庫県姫路市飾磨区委鹿日田町1-6 パナソニック液晶ディスプレイ株式会社内
		(72) 発明者	河内 玄士朗
			兵庫県姫路市飾磨区委鹿日田町1-6 パナソニック液晶ディスプレイ株式会社内
		審査官	橋本 直明

最終頁に続く