

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5849538号
(P5849538)

(45) 発行日 平成28年1月27日(2016. 1. 27)

(24) 登録日 平成27年12月11日(2015. 12. 11)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 641E

G09G 3/20 611D

G09G 3/20 642A

G09G 3/20 623C

請求項の数 4 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2011-189928 (P2011-189928)
 (22) 出願日 平成23年8月31日(2011. 8. 31)
 (65) 公開番号 特開2013-50681 (P2013-50681A)
 (43) 公開日 平成25年3月14日(2013. 3. 14)
 審査請求日 平成26年8月12日(2014. 8. 12)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 110001357
 特許業務法人つばき国際特許事務所
 (72) 発明者 吉永 朋朗
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 審査官 中村 直行

最終頁に続く

(54) 【発明の名称】 駆動回路、表示装置、および表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

液晶セルを含むメモリ内蔵の画素が行列状に配置された表示装置における各画素を駆動する駆動回路であって、

階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで1フレーム期間を分割するとともに、期間の相対的に長い1または複数のサブフィールドを、期間の相対的に短いサブフィールドの期間と等しい期間に分割することにより複数の分割サブフィールドを生成する分割部と、

互いに隣接する2つの画素に対応する階調データのビット配列が異なっている場合には、階調を維持した上で、一方の画素に対応する階調データのビット配列に対して、他方の画素に対応する階調データのビット配列に近づける補正を行う補正部と、

各サブフィールドおよび各分割サブフィールドに対応するビットに従って画素の液晶セルをオンまたはオフすることで、1フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御部と

を含み、

前記補正部は、階調を維持した上で、一方の画素に対応する階調データのビット配列を、他方の画素に対応する階調データのビット配列に近づけた後、依然として双方のビット配列が異なっている部分がある場合には、階調の高い方の階調データを、階調がより高くなるように補正する

駆動回路。

【請求項 2】

前記補正部は、フレームごとに、全画素に対応する階調データに対して、全画素共通の補正値を加算するとともに、補正値を周期的に変更する

請求項 1 に記載の駆動回路。

【請求項 3】

液晶セルを含むメモリ内蔵の画素が行列状に配置された表示領域と、

各画素を駆動する駆動回路と

を備え、

前記駆動回路は、

階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで 1 フレーム期間を分割するとともに、期間の相対的に長い 1 または複数のサブフィールドを、期間の相対的に短いサブフィールドの期間と等しい期間に分割することにより複数の分割サブフィールドを生成する分割部と、

互いに隣接する 2 つの画素に対応する階調データのビット配列が異なっている場合には、階調を維持した上で、一方の画素に対応する階調データのビット配列に対して、他方の画素に対応する階調データのビット配列に近づける補正を行う補正部と、

各サブフィールドおよび各分割サブフィールドに対応するビットに従って画素の液晶セルをオンまたはオフすることで、1 フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御部と

を有し、

前記補正部は、階調を維持した上で、一方の画素に対応する階調データのビット配列を、他方の画素に対応する階調データのビット配列に近づけた後、依然として双方のビット配列が異なっている部分がある場合には、階調の高い方の階調データを、階調がより高くなるように補正する

表示装置。

【請求項 4】

液晶セルを含むメモリ内蔵の画素が行列状に配置された表示装置の駆動方法であって、

階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで 1 フレーム期間を分割するとともに、期間の相対的に長い 1 または複数のサブフィールドを、期間の相対的に短いサブフィールドの期間と等しい期間に分割することにより複数の分割サブフィールドを生成する分割ステップと、

互いに隣接する 2 つの画素に対応する階調データのビット配列が異なっている場合には、階調を維持した上で、一方の画素に対応する階調データのビット配列に対して、他方の画素に対応する階調データのビット配列に近づける補正を行う補正ステップと、

各サブフィールドおよび各分割サブフィールドに対応するビットに従って画素の液晶セルをオンまたはオフすることで、1 フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御ステップと

を含み、

前記補正ステップにおいて、階調を維持した上で、一方の画素に対応する階調データのビット配列を、他方の画素に対応する階調データのビット配列に近づけた後、依然として双方のビット配列が異なっている部分がある場合には、階調の高い方の階調データを、階調がより高くなるように補正する

表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、パルス幅変調 (PWM) で階調表示を行う駆動回路およびそれを備えた表示装置に関する。また、本技術は、上記の表示装置の駆動方法に関する。

【背景技術】

【0002】

PWMで階調表示を行うデジタル駆動の表示装置では、5ビット(32階調)の場合を例にとると、例えば、図22に示したような階調表示法が用いられる。具体的には、図22に示したように、例えば数ms幅の1ビットのデータを単位として、期間の比が1:2:4:8:16の5つのデータを用意し、これら5つのデータの組み合わせにより32階調が表現される。

【0003】

図23は、従来の一般的なデジタル駆動における順次走査の信号データと、走査線に印加される選択パルスとの関係を表したものである。ここでは、説明の都合上、走査線が3本の場合を示している。図23からわかるように、従来の一般的なデジタル駆動の表示装置では、階調データの各ビット(本例では、1bit~5bit)に対応し、かつ対応ビットの重みに応じた期間となるサブフィールドSF1~SF5で1フレーム期間(1F)が分割されている。そして、各サブフィールドSF1~SF5に対応するビットに従って画素の電気光学素子がオンまたはオフされることで、1F中のオン期間またはオフ期間の割合が段階的に制御される。さらに、走査線を介した画素へのデータ書込みは、サブフィールドSF1~SF5ごとに線順次走査で行われる。なお、上記のデジタル駆動に関する情報は、例えば、以下の特許文献1などに記載されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2006-343609号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、図22に示したように、階調のわずかな違いで白黒の位相が反転するような階調表示法が用いられている場合には、隣接する画素間に、横電界による液晶乱れが生じることがある。例えば、図24(A)、(B)に示したように、垂直方向にグラデーションとなっている映像(以下、単に「グラデーション映像」と称する。)が表示されている場合、白黒の位相が反転する画素間に、液晶乱れが生じる。この液晶乱れは、例えば、図24(B)に示したような黒い筋L1となって観察者に視認される。このような黒い筋L1は、映像品質を著しく損なう。

【0006】

本技術はかかる問題点に鑑みてなされたものであり、その第1の目的は、液晶乱れの生じにくい駆動回路およびそれを備えた表示装置を提供することにある。また、第2の目的は、液晶乱れの生じにくい表示装置の駆動方法を提供することにある。

【課題を解決するための手段】

【0007】

本技術による駆動回路は、液晶セルを含むメモリ内蔵の画素が行列状に配置された表示装置における各画素を駆動する回路である。駆動回路は、分割部と、補正部と、オンオフ期間制御部とを含んでいる。分割部は、階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで1フレーム期間を分割するようになっている。分割部は、また、期間の相対的に長い1または複数のサブフィールドを、期間の相対的に短いサブフィールドの期間と等しい期間に分割することにより複数の分割サブフィールドを生成するようになっている。補正部は、互いに隣接する2つの画素に対応する階調データのビット配列が異なっている場合には、階調を維持した上で、一方の画素に対応する階調データのビット配列に対して、他方の画素に対応する階調データのビット配列に近づける補正を行うようになっている。オンオフ期間制御部は、各サブフィールドおよび各分割サブフィールドに対応するビットに従って画素の液晶セルをオンまたはオフすることで、1フレーム期間中のオン期間またはオフ期間の割合を制御するようになっている。補正部は、さらに、階調を維持した上で、一方の画素に対応する階調データのビット配列を、他方の画素に対応する階調データのビット配列に近づけた後、依然として双方のビ

10

20

30

40

50

ット配列が異なっている部分がある場合には、階調の高い方の階調データを、階調がより高くなるように補正するようになっている。

【 0 0 0 8 】

本技術による表示装置は、液晶セルを含むメモリ内蔵の画素が行列状に配置された表示領域と、各画素を駆動する駆動回路とを備えている。この表示装置において、駆動回路は、上記の分割部と同一の構成要素の分割部と、上記の補正部と同一の構成要素の補正部と、上記のオンオフ期間制御部と同一の構成要素のオンオフ期間制御部とを備えている。

【 0 0 0 9 】

本技術による表示装置の駆動方法は、液晶セルを含むメモリ内蔵の画素が行列状に配置された表示装置の駆動方法である。この駆動方法は、以下の3つのステップを含んでいる。

(A) 階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで1フレーム期間を分割するとともに、期間の相対的に長い1または複数のサブフィールドを、期間の相対的に短いサブフィールドの期間と等しい期間に分割することにより複数の分割サブフィールドを生成する分割ステップ

(B) 互いに隣接する2つの画素に対応する階調データのビット配列が異なっている場合には、階調を維持した上で、一方の画素に対応する階調データのビット配列に対して、他方の画素に対応する階調データのビット配列に近づく補正を行う補正ステップ

(C) 各サブフィールドおよび各分割サブフィールドに対応するビットに従って画素の液晶セルをオンまたはオフすることで、1フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御ステップ

上記補正ステップにおいて、階調を維持した上で、一方の画素に対応する階調データのビット配列を、他方の画素に対応する階調データのビット配列に近づけた後、依然として双方のビット配列が異なっている部分がある場合には、階調の高い方の階調データを、階調がより高くなるように補正する。

【 0 0 1 0 】

本技術による駆動回路、表示装置、および表示装置の駆動方法では、期間の相対的に長い1または複数のサブフィールドが、期間の相対的に短いサブフィールドの期間と等しい期間に分割される。さらに、互いに隣接する2つの画素に対応する階調データのビット配列が異なっている場合には、階調を維持した上で、一方の画素に対応する階調データのビット配列に対して、他方の画素に対応する階調データのビット配列に近づく補正が行われる。これにより、互いに隣接する2つの画素に対応する階調データのビット配列が互いに異なる箇所の割合を少なくすることが可能である。

【発明の効果】

【 0 0 1 1 】

本技術による駆動回路、表示装置、および表示装置の駆動方法によれば、互いに隣接する2つの画素に対応する階調データのビット配列が互いに異なる箇所の割合を少なくするようにしたので、液晶乱れを生じにくくすることができる。その結果、高い映像品質を得ることができる。

【図面の簡単な説明】

【 0 0 1 2 】

【図1】本技術による一実施の形態に係る表示装置の概略図である。

【図2】サブフィールドで規定された信号データの一例を表す模式図である。

【図3】階調データの一例を表す模式図である。

【図4】図3の階調表示法を用いたときの階調データの補正の一例を表す模式図である。

【図5】サブフィールドで規定された信号データの他の例を表す模式図である。

【図6】階調データの他の例を表す模式図である。

【図7】図6の階調表示法を用いたときの階調データの補正の一例を表す模式図である。

【図8】図4または図7の補正を簡易に実行する手順の一例を表す流れ図である。

【図9】図8の補正の手順の一例をビットで表したものである。

10

20

30

40

50

【図 1 0】図 9 のビットを白黒で表したものである。

【図 1 1】図 8 の補正の手順の他の例をビットで表したものである。

【図 1 2】図 1 1 のビットを白黒で表したものである。

【図 1 3】図 8 ~ 図 1 0 の補正を行ったときの階調データの変化の一例を表す模式図である。

【図 1 4】図 8、図 1 1、図 1 2 の補正を行ったときの階調データの変化の一例を表す模式図である。

【図 1 5】図 1 の変換回路の概略図である。

【図 1 6】1 フレーム期間における信号データの一例および選択パルスの一例を表す模式図である。

10

【図 1 7】1 フレーム期間における信号データの他の例および選択パルスの他の例を表す模式図である。

【図 1 8】上記の補正を行った後の階調データの一例と、上記の補正を行った後の階調データに対する補正の一例を表す模式図である。

【図 1 9】図 1 8 (C) の補正の手順の一例を表す流れ図である。

【図 2 0】図 1 9 の補正の手順の一例をビットで表したものである。

【図 2 1】上記実施の形態またはその変形例における他の補正について説明するための模式図である。

【図 2 2】比較例に係る階調データの一例を表す模式図である。

【図 2 3】1 フレーム期間における信号データの従来例および選択パルスの従来例を表す模式図である。

20

【図 2 4】グラデーション映像に生じる筋の一例を表す模式図である。

【発明を実施するための形態】

【 0 0 1 3 】

以下、発明を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1 . 実施の形態 (表示装置)

2 . 変形例 (表示装置)

【 0 0 1 4 】

30

< 1 . 実施の形態 >

[構成]

図 1 は、本技術による一実施の形態に係る表示装置 1 の概略構成を表したものである。この表示装置 1 は、表示パネル 1 0 と、表示パネル 1 0 を駆動する周辺回路 2 0 とを備えている。

【 0 0 1 5 】

(表示パネル 1 0)

表示パネル 1 0 は、行方向に延在する複数の走査線 W S L と、列方向に延在する複数のデータ線 D T L とを有しており、走査線 W S L とデータ線 D T L とが互いに交差する箇所に対応して画素 1 1 を有している。表示パネル 1 0 内の複数の画素 1 1 は、表示パネル 1 0 の画素領域 1 0 A 全面に渡って行方向および列方向に 2 次元配置されている。画素 1 1 は、表示パネル 1 0 上の画面を構成する最小単位の点に対応するものである。表示パネル 1 0 がカラー表示パネルである場合には、画素 1 1 は、例えば赤、緑または青などの単色の光を発する副画素に相当し、表示パネル 1 0 がモノクロ表示パネルである場合には、画素 1 1 は、単色光 (例えば白色光) を発する画素に相当する。

40

【 0 0 1 6 】

画素 1 1 は、図示しないが、電気光学素子を含むメモリ内蔵の画素である。電気光学素子の種類としては、液晶セルが挙げられる。メモリの種類としては、例えば、S R A M (Static Random Access Memory) や D R A M (Dynamic Random Access Memory) などが挙げられる。画素 1 1 は、対応する 1 本の走査線 W S L が選択されたとき、対応するデータ

50

線 D T L に供給された信号データ (ビット) の書込みに応じて発光状態または消光状態となり、その後、当該走査線 W S L が非選択となっても、書込みによる発光状態または消光状態が継続するようになっている。そのため、周辺回路 20 は、画素 11 が発光状態となっている期間 (点灯期間)、または画素 11 が消光状態となっている期間 (消灯期間) の、1 フレーム期間における割合を制御することにより、階調表示を実現している。

【0017】

画素 11 の点灯期間または消灯期間の単位として「サブフィールド」という概念がある。「サブフィールド」とは、画素 11 の階調を規定する階調データの各ビットに対応し、かつ当該対応ビットの重みに応じた期間の単位を指している。一般に、例えば、5 ビットからなる階調データによって 32 階調を表現する場合、例えば、図 22 に示したように、例えば数 ms 幅の 1 ビットのデータを単位として、期間の比が 1 : 2 : 4 : 8 : 16 の 5 つのデータが用意され、これら 5 つのデータの組み合わせにより 32 階調が表現される。上記の階調表示法では、図 2 (A) に示したように、階調データの各ビット (1 b i t ~ 5 b i t) に対応し、かつ対応ビットの重みに応じた期間となるサブフィールド S F 1 ~ S F 5 で、信号データが規定される。

【0018】

本実施の形態では、さらに、画素 11 の点灯期間または消灯期間の単位として、期間の相対的に長い (つまり高階調側の) サブフィールドに対して「分割サブフィールド」が適用されている。「分割サブフィールド」とは、期間の相対的に長いサブフィールドを、期間の相対的に短いサブフィールドの期間と等しい期間に分割することにより生成される断片化されたサブフィールドを指している。例えば、図 2 (B) に示したように、階調データの 4 ビット目および 5 ビット目に対応するサブフィールド S F 4 , S F 5 が、サブフィールド S F 4 よりも期間の相対的に短いサブフィールド S F 3 の期間と等しい期間に分割されている。これにより、サブフィールド S F 4 から、2 つの分割サブフィールド S F 4 - 1 , S F 4 - 2 が生成され、サブフィールド S F 5 から、4 つの分割サブフィールド S F 5 - 1 , S F 5 - 2 , S F 5 - 3 , S F 5 - 4 が生成されている。分割サブフィールド S F 4 - 1 , S F 4 - 2 , S F 5 - 1 , S F 5 - 2 , S F 5 - 3 , S F 5 - 4 の期間は、低階調側のサブフィールド S F 1 , S F 2 の期間よりも長くなっており、信号データにおいて最も長い期間となっている。

【0019】

ここで、分割サブフィールドに対応するビットは、分割サブフィールドの分割元のサブフィールドに対応するビットと等しくなっている。例えば、分割サブフィールド S F 4 - 1 , S F 4 - 2 に対応するビットは、サブフィールド S F 4 に対応するビットと等しくなっている。同様に、分割サブフィールド S F 5 - 1 , S F 5 - 2 , S F 5 - 3 , S F 5 - 4 に対応するビットは、サブフィールド S F 5 に対応するビットと等しくなっている。本実施の形態では、例えば、5 ビットによって 32 階調が表現された階調データ (図 22 参照) が入力された場合、例えば、図 3 に示したように、例えば数 ms 幅の 1 ビットのデータを単位として、期間の比が 4 : 4 : 4 : 4 : 1 : 2 : 4 : 4 : 4 の 9 つのデータが用意され、これら 9 つのデータの組み合わせにより 32 階調が表現される。このとき、先頭から 2 番目の期間および 8 番目の期間が、分割サブフィールド S F 4 - 1 , S F 4 - 2 に対応する期間である。また、先頭から 1 番目の期間、3 番目の期間、7 番目の期間および 9 番目の期間が、分割サブフィールド S F 5 - 1 , S F 5 - 2 , S F 5 - 3 , S F 5 - 4 に対応する期間である。この階調表示法では、図 22 に示した階調表示法と比べて、互いに隣接する 2 つの画素における階調のわずかな違いで、白黒の境界が長い時間に渡って固定される度合いが少なくなっている。

【0020】

上記の階調表示法では、少なくとも一部の分割サブフィールドが、1 フレーム期間内において分割前とは異なる区間に配置されている。さらに、各分割サブフィールドは、互いに隣接する分割サブフィールドの分割元のサブフィールドが互いに異なるように配置されている。例えば、図 2 (B) に示したように、サブフィールド S F 4 から生成された分割

10

20

30

40

50

サブフィールドSF4-1は、サブフィールドSF5から生成された分割サブフィールドSF5-1, SF5-2に隣接して配置されている。また、サブフィールドSF4から生成された分割サブフィールドSF4-2は、サブフィールドSF5から生成された分割サブフィールドSF5-3, SF5-4に隣接して配置されている。同様に、サブフィールドSF5から生成された分割サブフィールドSF5-1は、信号データの先頭に配置されており、かつサブフィールドSF4から生成された分割サブフィールドSF4-1に隣接して配置されている。また、サブフィールドSF5から生成された分割サブフィールドSF5-2は、サブフィールドSF4から生成された分割サブフィールドSF4-1と、分割されていないサブフィールドSF3とに隣接して配置されている。また、サブフィールドSF5から生成された分割サブフィールドSF5-3は、サブフィールドSF4から生成された分割サブフィールドSF4-2と、分割されていないサブフィールドSF2とに隣接して配置されている。また、サブフィールドSF5から生成された分割サブフィールドSF5-4は、信号データの最後尾に配置されており、かつサブフィールドSF4から生成された分割サブフィールドSF4-2に隣接して配置されている。

10

【0021】

一部の分割サブフィールドは1フレーム期間の期初寄りに配置されていることが好ましい。例えば、図2(B)に示したように、サブフィールドSF5から生成された分割サブフィールドSF5-1が1フレーム期間(信号データ)の先頭に配置されている。さらに、例えば、図2(B)に示したように、サブフィールドSF4から生成された分割サブフィールドSF4-1が1フレーム期間(信号データ)の先頭から2番目に配置されている。

20

【0022】

1F中のサブフィールドおよび分割サブフィールドの並びは、所定のルールに従って入れ替えられている。具体的には、互いに隣接する2つの画素11に対応する階調データのビット配列が互いに異なっている場合には、階調を維持した上で、一方の画素11に対応する階調データのビット配列に対して、他方の画素11に対応する階調データのビット配列に近づける補正がなされる。

【0023】

例えば、図4(A)に示したように、信号データが、先頭から順に、SF5-1、SF4-1、SF5-2、SF3、SF1、SF2、SF5-3、SF4-2、およびSF5-4の順番で規定されているとする。さらに、画素Aに対応する階調が15となっており、画素Aに隣接する画素Bに対応する階調が16となっているときに、画素Aおよび画素Bに対応する階調データが、図3の階調表示法に従って規定されているとする。このとき、サブフィールドSF4-1, SF3において、画素Aおよび画素Bのビットの位相(白黒の位相)が互いに異なっている。具体的には、サブフィールドSF4-1において、画素Aのビットが0(黒)となっており、画素Bのビットが1(白)となっている。さらに、サブフィールドSF3において、画素Aのビットが1(白)となっており、画素Bのビットが0(黒)となっている。

30

【0024】

このように、互いに隣接する2つの画素11に対応する階調データの各ビットの位相が互いに異なっている場合には、画素Aに対応する階調データのビット配列に対して、画素Bに対応する階調データのビット配列に近づける補正がなされる。例えば、図4(B)に示したように、画素Aに対応する階調データのビット配列において、サブフィールドSF4-1に対応するビットと、サブフィールドSF4-1と同じ期間を有するサブフィールドSF3に対応するビットとが互いに入れ替えられる。これにより、サブフィールドSF4-1, SF3において、画素Aおよび画素Bのビットの位相(白黒の位相)が互いに等しくなる。その結果、画素Aの階調を維持した上で、画素Aに対応する階調データのビット配列を、画素Bに対応する階調データのビット配列に近づけることができる。

40

【0025】

なお、各分割サブフィールドは、互いに隣接する分割サブフィールドの分割元のサブフ

50

フィールドが互いに等しくなるように配置されていてもよい。例えば、図 5 (A) , (B) に示したように、サブフィールド S F 4 から生成された分割サブフィールド S F 4 - 1 , S F 4 - 2 が、サブフィールド S F 4 の位置に配置されている。さらに、例えば、図 5 (A) , (B) に示したように、サブフィールド S F 5 から生成された分割サブフィールド S F 5 - 1 , S F 5 - 2 , S F 5 - 3 , S F 5 - 4 が、サブフィールド S F 5 の位置に配置されている。

【 0 0 2 6 】

この場合に、例えば、5 ビットによって 3 2 階調が表現された階調データ (図 2 2 参照) が入力された場合、例えば、図 6 に示したように、例えば数 m s 幅の 1 ビットのデータを単位として、期間の比が 1 : 2 : 4 : 4 : 4 : 4 : 4 : 4 : 4 の 9 つのデータが用意され、これら 9 つのデータの組み合わせにより 3 2 階調が表現される。このとき、先頭から 4 番目の期間および 5 番目の期間が、分割サブフィールド S F 4 - 1 , S F 4 - 2 に対応する期間である。また、先頭から 6 番目の期間、7 番目の期間、8 番目の期間および 9 番目の期間が、分割サブフィールド S F 5 - 1 , S F 5 - 2 , S F 5 - 3 , S F 5 - 4 に対応する期間である。この階調表示法では、白黒の境界が長い時間に渡って固定される度合いが図 2 2 に示した階調表示法における度合いと等しくなっている。しかし、図 6 の階調表示法では、高階調側において分割サブフィールドが適用されているので、後述する入れ替えを行うことにより、白黒の境界が長い時間に渡って固定される度合いを、図 2 2 に示した階調表示法における度合いよりも低くすることができる。

【 0 0 2 7 】

1 F 中のサブフィールドおよび分割サブフィールドの並びは、所定のルールに従って入れ替えられている。具体的には、互いに隣接する 2 つの画素 1 1 に対応する階調データの各ビットの位相が互いに異なっている場合には、階調を維持した上で、一方の画素 1 1 に対応する階調データのビット配列に対して、他方の画素 1 1 に対応する階調データのビット配列に近づける補正がなされる。

【 0 0 2 8 】

例えば、図 7 (A) に示したように、信号データが、先頭から順に、S F 1、S F 2、S F 3、S F 4 - 1、S F 4 - 2、S F 5 - 1、S F 5 - 2、S F 5 - 3、および S F 5 - 4 の順番で規定されているとする。さらに、画素 A に対応する階調が 1 5 となっており、画素 A に隣接する画素 B に対応する階調が 1 6 となっているときに、画素 A および画素 B に対応する階調データが、図 6 の階調表示法に従って規定されているとする。このとき、サブフィールド S F 3、S F 4 - 1、S F 4 - 2、S F 5 - 1、S F 5 - 2、S F 5 - 3 において、画素 A および画素 B のビットの位相 (白黒の位相) が互いに異なっている。具体的には、サブフィールド S F 3、S F 4 - 1、S F 4 - 2 において、画素 A のビットが 1 (白) となっており、画素 B のビットが 0 (黒) となっている。さらに、サブフィールド S F 5 - 1、S F 5 - 2、S F 5 - 3 において、画素 A のビットが 0 (黒) となっており、画素 B のビットが 1 (白) となっている。

【 0 0 2 9 】

このように、互いに隣接する 2 つの画素 1 1 に対応する階調データの各ビットの位相が互いに異なっている場合には、画素 A に対応する階調データのビット配列に対して、画素 B に対応する階調データのビット配列に近づける補正がなされる。例えば、図 7 (B) に示したように、画素 A に対応する階調データのビット配列において、サブフィールド S F 3、S F 4 - 1、S F 4 - 2 に対応するビットと、サブフィールド S F 3、S F 4 - 1、S F 4 - 2 と同じ期間を有するサブフィールド S F 5 - 1、S F 5 - 2、S F 5 - 3 に対応するビットとが互いに入れ替えられる。これにより、サブフィールド S F 3、S F 4 - 1、S F 4 - 2、S F 5 - 1、S F 5 - 2、S F 5 - 3 において、画素 A および画素 B のビットの位相 (白黒の位相) が互いに等しくなる。その結果、画素 A の階調を維持した上で、画素 A に対応する階調データのビット配列を、画素 B に対応する階調データのビット配列に近づけることができるので、液晶乱れが低減される。

【 0 0 3 0 】

10

20

30

40

50

次に、外部から入力された階調データのビット配列を、図4(B)や図7(B)に例示したようなビット配列に補正する簡易な方法について説明する。図8は、外部から入力された階調データのビット配列を所望のビット配列に補正する手順の流れを表したものである。図9は、垂直方向にグラデーションが生じている階調データが入力されたときの上記補正の一例を表したものである。図10は、図9における階調データを模式的に表したものである。

【0031】

まず、階調データが外部から入力されたときに、その階調データが所定のメモリに格納される(S101)。例えば、図9(A)、図10(A)に示したように、5ビットによって32階調が表現された階調データが外部から入力されたとき、その階調データが所定のメモリに格納される。次に、メモリから階調データが読出され、階調データの高ビット側のサブフィールドが、階調データの低ビット側のサブフィールドの期間と同じ期間の分割サブフィールドに分割される(S102)。例えば、図9(B)、図10(B)に示したように、階調データの4ビット目のサブフィールドが、階調データの3ビット目のサブフィールドの期間と同じ期間で2つの分割サブフィールドに分割される。さらに、階調データの5ビット目のサブフィールドが、階調データの3ビット目のサブフィールドの期間と同じ期間で4つの分割サブフィールドに分割される。

【0032】

次に、最も期間の長いサブフィールドおよび分割サブフィールドに対応するビットの並びが、1(白)は1(白)同士が、0(黒)は0(黒)同士が互いに隣接するように並び替えられる(S103)。例えば、図9(B)、(C)、図10(B)、(C)に示したように、分割後の階調データのうち、最も期間の長いサブフィールドおよび分割サブフィールドであるSF3~SF5-4に対応するビットの並びが、1(白)が低ビット側でままとするとともに0(黒)が高ビット側でままとするように、並び替えられる。なお、図11(B)、(C)、図12(B)、(C)に示したように、分割後の階調データのうち、最も期間の長いサブフィールドおよび分割サブフィールドであるSF3~SF5-4に対応するビットの並びが、1(白)が高ビット側でままとするとともに0(黒)が低ビット側でままとするように、並び替えられてもよい。

【0033】

その結果、図13(A)、(B)に示したように、例えば、ライン17に属する画素Aに対応する階調データのビット配列が、ライン16に属するとともに画素Aに隣接する画素Bに対応する階調データのビット配列に近づく。また、図14(A)、(B)に示したように、例えば、ライン16に属する画素Aに対応する階調データのビット配列が、ライン17に属するとともに画素Aに隣接する画素Bに対応する階調データのビット配列に近づく。

【0034】

(周辺回路20)

次に、周辺回路20の構成についての説明を行う。周辺回路20は、例えば、図1に示したように、変換回路30、コントローラ40、垂直駆動回路50および水平駆動回路60を有している。

【0035】

コントローラ40は、図示しない上位装置から供給される同期信号20Bから、変換回路30、垂直駆動回路50、および水平駆動回路60の動作タイミングを制御する制御信号40A、40B、40Cを生成するものである。同期信号20Bとしては、例えば、垂直同期信号、水平同期信号、ドットクロック信号などが挙げられる。制御信号40A、40B、40Cとしては、例えば、クロック信号、ラッチ信号、フレーム開始信号、サブフィールド開始信号などが挙げられる。

【0036】

変換回路30は、例えば、図15に示したように、フレームメモリ31、書込回路32、読出回路33およびデコーダ34を含んでいる。フレームメモリ31は、少なくとも表

10

20

30

40

50

示領域 10A の解像度よりも多い記憶容量を有する映像表示用メモリであり、例えば、行アドレスと、列アドレスと、行アドレスおよび列アドレスと関連付けられた各画素 11 の階調データとを記憶することができるようになっている。書込回路 32 は、同期信号 20B 利用して、映像信号 20A の書込アドレス Wad を生成するとともに、同期信号 20B に同期してフレームメモリ 31 に出力するようになっている。書込みアドレス Wad は、例えば、行アドレスおよび列アドレスを含んでいる。読出回路 33 は、制御信号 40A に基づいて、読出アドレス Rad を生成し、フレームメモリ 31 に出力するようになっている。デコーダ 34 は、フレームメモリ 31 から出力された階調データを信号データ 30A として出力するようになっている。

【0037】

垂直駆動回路 50 は、水平駆動回路 60 から入力される制御信号 60A（後述）と、制御信号 40C から特定されるアドレスデータとに基づいて、各画素 11 を行単位で選択するための走査パルス走査線 WSL に出力するようになっている。垂直駆動回路 50 は、例えば、図 16（A）～（D）に示したように、SF5-1，SF4-1，SF5-2，SF3，SF1，SF2，SF5-3，SF4-2，SF5-4 の並び順および期間に対応して、各走査線 WSL に選択パルスを順次出力するようになっている。なお、垂直駆動回路 50 は、例えば、図 17（A）～（D）に示したように、SF1，SF2，SF3，SF4-1，SF4-2，SF5-1，SF5-2，SF5-3，SF5-4 の並び順および期間に対応して、各走査線 WSL に選択パルスを順次出力するようになっている。

【0038】

水平駆動回路 60 は、制御信号 40B と、信号データ 30A とに基づいて、画素 11 の電気光学素子をオンまたはオフすることで、1F 中のオン期間またはオフ期間の割合を段階的に制御するようになっている。

【0039】

水平駆動回路 60 は、信号データ 30A の高ビット側のサブフィールドを、信号データ 30A の低ビット側のサブフィールドの期間と同じ期間の分割サブフィールドに分割するようになっている（図 8 の S102）。水平駆動回路 60 は、信号データ 30A として、5 ビットによって 32 階調が表現された階調データ（図 22（A）参照）が入力された場合、例えば、図 22（B）に示したように、階調データの 4 ビット目および 5 ビット目に対応するサブフィールド SF4，SF5 を、サブフィールド SF4 よりも期間の相対的に短いサブフィールド SF3 の期間と等しい期間に分割するようになっている。これにより、サブフィールド SF4 から、2 つの分割サブフィールド SF4-1，SF4-2 が生成され、サブフィールド SF5 から、4 つの分割サブフィールド SF5-1，SF5-2，SF5-3，SF5-4 が生成される。

【0040】

次に、水平駆動回路 60 は、少なくとも一部の分割サブフィールドを、1 フレーム期間内において分割前とは異なる区間に配置するようになっている。さらに、水平駆動回路 60 は、各分割サブフィールドを、互いに隣接する分割サブフィールドの分割元のサブフィールドが互いに異なるように配置するようになっている。このとき、水平駆動回路 60 は、例えば、図 2（B）に示したように、サブフィールド SF1，SF2，SF3 および分割サブフィールド SF4-1，SF4-2，SF5-1，SF5-2，SF5-3，SF5-4 を、SF5-1，SF4-1，SF5-2，SF3，SF1，SF2，SF5-3，SF4-2，SF5-4 の順に配置するようになっている。

【0041】

このとき、水平駆動回路 60 が、一部の分割サブフィールドを 1 フレーム期間の期初寄りに配置するようになっていることが好ましい。水平駆動回路 60 は、例えば、図 2（B）に示したように、分割サブフィールド SF5-1 を 1 フレーム期間（信号データ）の先頭に配置するようになっている。水平駆動回路 60 は、さらに、例えば、図 2（B）に示したように、分割サブフィールド SF4-1 を 1 フレーム期間（信号データ）の先頭から

10

20

30

40

50

2 番目に配置するようになっている。

【 0 0 4 2 】

水平駆動回路 6 0 は、1 F 中のサブフィールドおよび分割サブフィールドの並びを所定のルールに従って入れ替えるようになっている（図 8 の S 1 0 3）。具体的には、水平駆動回路 6 0 は、互いに隣接する 2 つの画素 1 1 に対応する階調データのビット配列が互いに異なっている場合には、階調を維持した上で、一方の画素 1 1 に対応する階調データのビット配列に対して、他方の画素 1 1 に対応する階調データのビット配列に近づける補正を行うようになっている。

【 0 0 4 3 】

水平駆動回路 6 0 は、例えば、図 4（A），（B）に示したように、画素 A に対応する階調データのビット配列に対して、画素 B に対応する階調データのビット配列に近づける補正を行うようになっている。水平駆動回路 6 0 は、例えば、図 4（A），（B）に示したように、画素 A に対応する階調データのビット配列において、サブフィールド S F 4 - 1 に対応するビットと、サブフィールド S F 4 - 1 と同じ期間を有するサブフィールド S F 3 に対応するビットとを互いに入れ替えるようになっている。これにより、サブフィールド S F 4 - 1，S F 3 において、画素 A および画素 B のビットの位相（白黒の位相）が互いに等しくなる。その結果、画素 A の階調を維持した上で、画素 A に対応する階調データのビット配列を、画素 B に対応する階調データのビット配列に近づけることができる。

【 0 0 4 4 】

水平駆動回路 6 0 は、例えば、図 7（A），（B）に示したように、画素 A に対応する階調データのビット配列に対して、画素 B に対応する階調データのビット配列に近づける補正を行うようになっている。水平駆動回路 6 0 は、例えば、図 7（A），（B）に示したように、画素 A に対応する階調データのビット配列において、サブフィールド S F 3、S F 4 - 1、S F 4 - 2 に対応するビットと、サブフィールド S F 3、S F 4 - 1、S F 4 - 2 と同じ期間を有するサブフィールド S F 5 - 1、S F 5 - 2、S F 5 - 3 に対応するビットとを互いに入れ替えるようになっている。これにより、サブフィールド S F 3、S F 4 - 1、S F 4 - 2、S F 5 - 1、S F 5 - 2、S F 5 - 3 において、画素 A および画素 B のビットの位相（白黒の位相）が互いに等しくなる。その結果、画素 A の階調を維持した上で、画素 A に対応する階調データのビット配列が、画素 B に対応する階調データのビット配列に近づく。

【 0 0 4 5 】

なお、水平駆動回路 6 0 は、以下に説明する方法で信号データ 3 0 A のビット配列を、図 4（B）や図 7（B）に例示したようなビット配列に補正するようになっている。具体的には、水平駆動回路 6 0 は、信号データ 3 0 A が外部から入力されたときに、その信号データ 3 0 A を所定のメモリに格納するようになっている（図 8 の S 1 0 1）。水平駆動回路 6 0 は、例えば、図 9（A），図 1 0（A）に示したように、5 ビットによって 3 2 階調が表現された階調データが信号データ 3 0 A として外部から入力されたとき、その信号データ 3 0 A を所定のメモリに格納するようになっている。次に、水平駆動回路 6 0 は、所定のタイミングで、メモリから信号データ 3 0 A を読出し、信号データ 3 0 A の高ビット側のサブフィールドを、信号データ 3 0 A の低ビット側のサブフィールドの期間と同じ期間の分割サブフィールドに分割するようになっている（図 8 の S 1 0 2）。水平駆動回路 6 0 は、例えば、図 9（B），図 1 0（B）に示したように信号データ 3 0 A の 4 ビット目のサブフィールドを、信号データ 3 0 A の 3 ビット目のサブフィールドの期間と同じ期間で 2 つの分割サブフィールドに分割するようになっている。さらに、水平駆動回路 6 0 は、信号データ 3 0 A の 5 ビット目のサブフィールドを、信号データ 3 0 A の 3 ビット目のサブフィールドの期間と同じ期間で 4 つの分割サブフィールドに分割するようになっている。

【 0 0 4 6 】

次に、水平駆動回路 6 0 は、最も期間の長いサブフィールドおよび分割サブフィールドに対応するビットの並びを、1（白）は 1（白）同士が、0（黒）は 0（黒）同士が互い

10

20

30

40

50

に隣接するように並び替えるようになっている（図 8 の S 1 0 3）。水平駆動回路 6 0 は、例えば、図 9（B），（C），図 1 0（B），（C）に示したように、分割後の信号データ 3 0 A のうち、最も期間の長いサブフィールドおよび分割サブフィールドである S F 3 ~ S F 5 - 4 に対応するビットの並びを、1（白）が低ビット側でまとまるとともに 0（黒）が高ビット側でまとまるように、並び替えるようになっている。なお、水平駆動回路 6 0 は、図 1 1（B），（C），図 1 2（B），（C）に示したように、分割後の信号データ 3 0 A のうち、最も期間の長いサブフィールドおよび分割サブフィールドである S F 3 ~ S F 5 - 4 に対応するビットの並びを、1（白）が高ビット側でまとまるとともに 0（黒）が低ビット側でまとまるように、並び替えるようになっているてもよい。

【 0 0 4 7 】

10

これにより、図 1 3（A），（B）に示したように、例えば、ライン 1 7 に属する画素 A に対応する信号データ 3 0 A のビット配列が、ライン 1 6 に属するとともに画素 A に隣接する画素 B に対応する信号データ 3 0 A のビット配列に近づく。また、図 1 4（A），（B）に示したように、例えば、ライン 1 6 に属する画素 A に対応する信号データ 3 0 A のビット配列が、ライン 1 7 に属するとともに画素 A に隣接する画素 B に対応する信号データ 3 0 A のビット配列に近づく。

【 0 0 4 8 】

水平駆動回路 6 0 は、補正後の信号データ 3 0 A を、補正後の信号データ 3 0 A のサブフィールドおよび分割サブフィールドの並び順および期間に対応して、各データ線 D T L に出力するようになっている。水平駆動回路 6 0 は、例えば、図 1 6（A）に示したように、補正後の信号データ 3 0 A を、S F 5 - 1，S F 4 - 1，S F 5 - 2，S F 3，S F 1，S F 2，S F 5 - 3，S F 4 - 2，S F 5 - 4 の並び順および期間に対応して、各データ線 D T L に出力するようになっている。なお、水平駆動回路 6 0 は、例えば、図 1 7（A）に示したように、補正後の信号データ 3 0 A を、S F 1，S F 2，S F 3，S F 4 - 1，S F 4 - 2，S F 5 - 1，S F 5 - 2，S F 5 - 3，S F 5 - 4 の並び順および期間に対応して、各データ線 D T L に出力するようになっているてもよい。

20

【 0 0 4 9 】

また、水平駆動回路 6 0 は、補正後の信号データ 3 0 A のサブフィールドおよび分割サブフィールドの並び順および期間に対応した制御信号 6 0 A を垂直駆動回路 5 0 に出力するようになっている。

30

【 0 0 5 0 】

[効果]

次に、従来の一般的なデジタル駆動と対比しつつ、本実施の形態の表示装置 1 の効果について説明する。

【 0 0 5 1 】

従来の一般的な P W M のデジタル駆動では、5 ビット（3 2 階調）の場合を例にとると、例えば、図 2 2 に示したような階調表示法が用いられる。具体的には、図 2 2 に示したように、例えば数 m s 幅の 1 ビットのデータを単位として、期間の比が 1 : 2 : 4 : 8 : 1 6 の 5 つのデータを用意し、これら 5 つのデータの組み合わせにより 3 2 階調が表現される。

40

【 0 0 5 2 】

図 2 3 は、従来の一般的なデジタル駆動における順次走査の信号データと、走査線に印加される選択パルスとの関係を表したものである。ここでは、説明の都合上、走査線が 3 本の場合を示している。図 2 3 からわかるように、従来の一般的なデジタル駆動の表示装置では、階調データの各ビット（本例では、1 b i t ~ 5 b i t）に対応し、かつ対応ビットの重みに応じた期間となるサブフィールド S F 1 ~ S F 5 で 1 フレーム期間（1 F）が分割されている。そして、各サブフィールド S F 1 ~ S F 5 に対応するビットに従って画素の電気光学素子がオンまたはオフされることで、1 F 中のオン期間またはオフ期間の割合が段階的に制御される。さらに、走査線を介した画素へのデータ書込みは、サブフィールド S F 1 ~ S F 5 ごとに線順次走査で行われる。

50

【 0 0 5 3 】

ところで、図 2 2 に示したように、階調のわずかな違いで白黒の位相が反転するような階調表示法が用いられている場合には、隣接する画素間に、横電界による液晶乱れが生じることがある。例えば、図 2 4 (A) , (B) に示したように、垂直方向にグラデーションとなっている映像（以下、単に「グラデーション映像」と称する。）が表示されている場合、白黒の位相が反転する画素間に、液晶乱れが生じる。この液晶乱れは、例えば、図 2 4 (B) に示したような黒い筋 L 1 となって観察者に視認される。このような黒い筋 L 1 は、映像品質を著しく損なう。

【 0 0 5 4 】

一方、本実施の形態では、画素 1 1 の点灯期間または消灯期間の単位として、期間の相対的に長い（つまり高階調側の）サブフィールドに対して「分割サブフィールド」が適用される。つまり、期間の相対的に長い 1 または複数のサブフィールドが、期間の相対的に短いサブフィールドの期間と等しい期間に分割される。さらに、互いに隣接する 2 つの画素 1 1 に対応する階調データのビット配列が異なっている場合には、階調を維持した上で、一方の画素 1 1 に対応する階調データのビット配列に対して、他方の画素 1 1 に対応する階調データのビット配列に近づける補正が行われる。これにより、互いに隣接する 2 つの画素 1 1 に対応する階調データのビット配列が互いに異なる箇所の割合を少なくすることができるので、液晶乱れを生じにくくすることができる。その結果、高い映像品質を得ることができる。

【 0 0 5 5 】

< 2 . 変形例 >

[変形例 1]

ところで、上述したように、階調を維持した上で、一方の画素 1 1 に対応する階調データのビット配列に対して、他方の画素 1 1 に対応する階調データのビット配列に近づける補正がなされた後、依然として位相が異なっている部分が残ることがある。図 1 8 (A) は、図 4 (B) を引き移したものであり、上述の補正後に依然として位相が異なっている部分を破線で囲んだものである。図 1 8 (B) は、図 7 (B) を引き移したものであり、上述の補正後に依然として位相が異なっている部分を破線で囲んだものである。図 1 8 (A) , (B) に示したように、位相が異なっている部分が残留している場合には、その残留量によっては、視認できる程度に液晶乱れが生じてしまうことがある。その場合には、必要に応じて、階調の高い方の階調データが、階調がより高くなるように補正される。例えば、図 1 8 (C) に示した例では、画素 B の方が画素 A よりも階調が高いので、画素 B に対応する階調データが、階調がより高くなるように補正される。これにより、液晶乱れが低減されるので、高い映像品質を得ることができる。

【 0 0 5 6 】

次に、上記の追加補正の具体例について説明する。図 1 9 は、上記実施の形態において既に補正がなされた後の信号データ 3 0 A（以下、単に「信号データ 3 0 A」と称する。）のビット配列を、さらに所望のビット配列に補正する手順の流れを表したものである。図 2 0 は、信号データ 3 0 A が垂直方向にグラデーションが生じている階調データとなっているときの上記の追加補正の一例を表したものである。

【 0 0 5 7 】

まず、水平駆動回路 6 0 は、信号データ 3 0 A において互いに隣り合う 2 つの画素に対応する階調データにおいて、互いに共通するサブフィールドおよび分割サブフィールドごとに、位相差の有無を検出する（S 2 0 1）。ここで、位相差とは、ビットの相違、または白黒の相違を指している。その結果、水平駆動回路 6 0 は、位相差が無いと検出した場合には、上記の追加補正を行わず、終了する。一方、水平駆動回路 6 0 は、例えば、図 2 0 (A) に示したように、位相差があると検出した場合には、階調の高い方の階調データに対する補正值を作成する（S 2 0 2）。水平駆動回路 6 0 は、例えば、図 2 0 (B) に示したように、補正值として、階調レベルが 1 の階調データを作成する。なお、補正值は、常に、階調レベルが 1 の階調データとは限らない。その後、水平駆動回路 6 0 は、階調

の高い方の階調データの階調を補正する（S203）。水平駆動回路60は、例えば、図20（C）に示したように、階調の高い方の階調データに対して、階調レベルが1の階調データを加算する。これにより、階調の高い方の階調データが、階調がより高くなるように補正される。これにより、液晶乱れが低減し、あるいは階調の高い方の画素の階調が高くなり、液晶乱れの輝度低下と相殺されて液晶乱れが目立たなくなるので、高い映像品質を得ることができる。

【0058】

[変形例2]

また、上記実施の形態または変形例1において、水平駆動回路60は、フレームごとに、全画素に対応する信号データ30Aに対して、全画素共通の補正値を加算するとともに、補正値を周期的に変更するようにしてもよい。例えば、図21（A）～（C）に示したように、水平駆動回路60は、フレームごとに、全画素に対応する信号データ30Aに対して、

+1000000000（階調レベルを+1上げる階調データ）
 +1000000000（階調レベルを+1上げる階調データ）
 -0100000000（階調レベルを-3下げる階調データ）
 +1000000000（階調レベルを+1上げる階調データ）

を、順番にかつ繰り返し加算するようにしてもよい。このようにした場合には、図21（C）に示したように、液晶乱れによって生じる筋L1が映像表示面内で経時的に所定の振幅で振動するので、観察者によって筋L1が視認されにくくなる。これにより、高い映像品質を得ることができる。

【0059】

以上、実施の形態および変形例を挙げて本技術を説明したが、本技術は上記実施の形態等に限定されるものではなく、種々変形が可能である。

【0060】

例えば、上記実施の形態等では、変換回路30、垂直駆動回路50および水平駆動回路60の駆動をコントローラ40が制御していたが、他の回路がこれらの駆動を制御するようにしてもよい。また、変換回路30、垂直駆動回路50および水平駆動回路60の制御は、ハードウェア（回路）で行われていてもよいし、ソフトウェア（プログラム）で行われていてもよい。

【0061】

また、例えば、本技術は以下のような構成を取ることができる。

（1）

液晶セルを含むメモリ内蔵の画素が行列状に配置された表示装置における各画素を駆動する駆動回路であって、

階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで1フレーム期間を分割するとともに、期間の相対的に長い1または複数のサブフィールドを、期間の相対的に短いサブフィールドの期間と等しい期間に分割することにより複数の分割サブフィールドを生成する分割部と、

互いに隣接する2つの画素に対応する階調データのビット配列が異なっている場合には、階調を維持した上で、一方の画素に対応する階調データのビット配列に対して、他方の画素に対応する階調データのビット配列に近づける補正を行う補正部と、

各サブフィールドおよび各分割サブフィールドに対応するビットに従って画素の液晶セルをオンまたはオフすることで、1フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御部と

を含む

駆動回路。

（2）

前記補正部は、階調を維持した上で、一方の画素に対応する階調データのビット配列を、他方の画素に対応する階調データのビット配列に近づけた後、依然として双方のビット

配列が異なっている部分がある場合には、階調の高い方の階調データを、階調がより高くなるように補正する

(1) に記載の駆動回路。

(3)

前記補正部は、フレームごとに、全画素に対応する階調データに対して、全画素共通の補正値を加算するとともに、補正値を周期的に変更する

(1) または (2) に記載の駆動回路。

(4)

液晶セルを含むメモリ内蔵の画素が行列状に配置された表示領域と、

各画素を駆動する駆動回路と

10

を備え、

前記駆動回路は、

階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで 1 フレーム期間を分割するとともに、期間の相対的に長い 1 または複数のサブフィールドを、期間の相対的に短いサブフィールドの期間と等しい期間に分割することにより複数の分割サブフィールドを生成する分割部と、

互いに隣接する 2 つの画素に対応する階調データのビット配列が異なっている場合には、階調を維持した上で、一方の画素に対応する階調データのビット配列に対して、他方の画素に対応する階調データのビット配列に近づける補正を行う補正部と、

各サブフィールドおよび各分割サブフィールドに対応するビットに従って画素の液晶セルをオンまたはオフすることで、1 フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御部と

20

を有する

表示装置。

(5)

液晶セルを含むメモリ内蔵の画素が行列状に配置された表示装置の駆動方法であって、

階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで 1 フレーム期間を分割するとともに、期間の相対的に長い 1 または複数のサブフィールドを、期間の相対的に短いサブフィールドの期間と等しい期間に分割することにより複数の分割サブフィールドを生成する分割ステップと、

30

互いに隣接する 2 つの画素に対応する階調データのビット配列が異なっている場合には、階調を維持した上で、一方の画素に対応する階調データのビット配列に対して、他方の画素に対応する階調データのビット配列に近づける補正を行う補正ステップと、

各サブフィールドおよび各分割サブフィールドに対応するビットに従って画素の液晶セルをオンまたはオフすることで、1 フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御ステップと

を含む

表示装置の駆動方法。

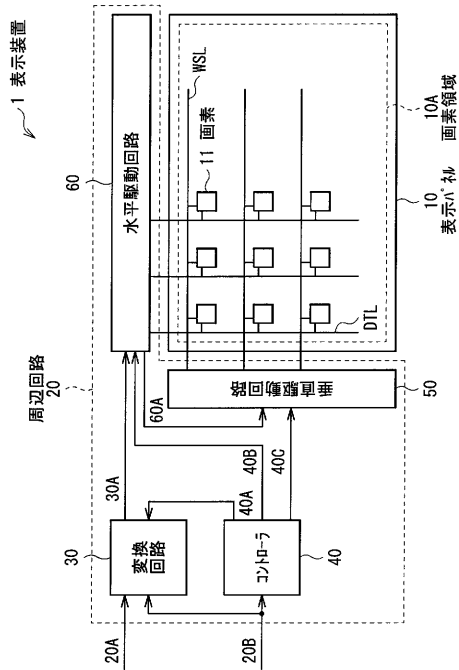
【符号の説明】

【 0 0 6 2 】

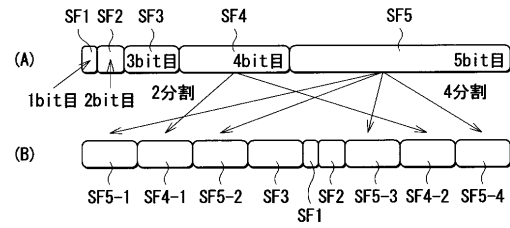
40

1 ... 表示装置、1 0 ... 表示パネル、1 0 A ... 画素領域、1 1 ... 画素、2 0 ... 周辺回路、2 0 A ... 映像信号、2 0 B ... 同期信号、3 0 ... 変換回路、3 0 A ... 信号データ、3 1 ... フレームメモリ、3 2 ... 書込回路、3 3 ... 読出回路、3 4 ... デコーダ、4 0 ... コントローラ、4 0 A , 4 0 B , 4 0 C ... 制御信号、5 0 ... 垂直駆動回路、6 0 ... 水平駆動回路、D T L ... データ線、W S L ... 走査線。

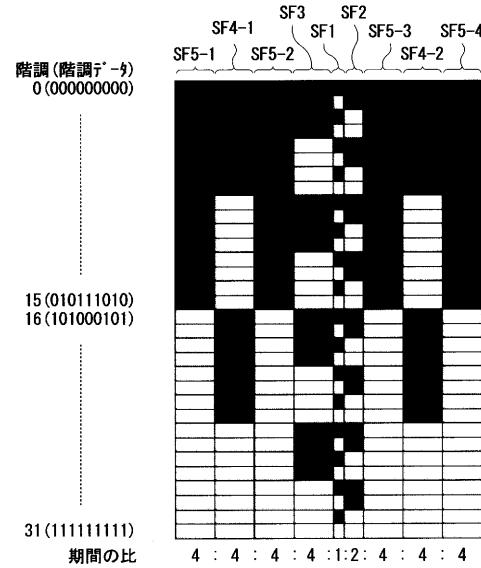
【図 1】



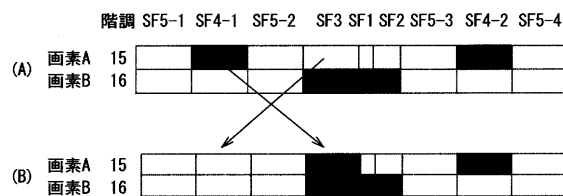
【図 2】



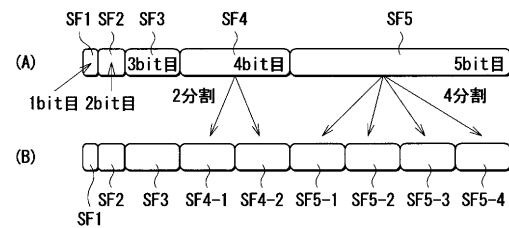
【図 3】



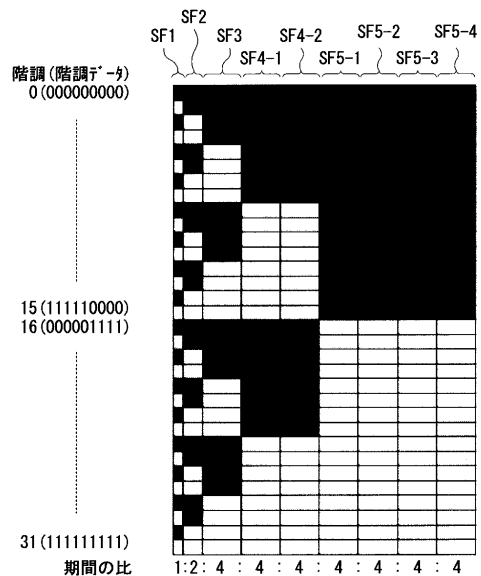
【図 4】



【図 5】



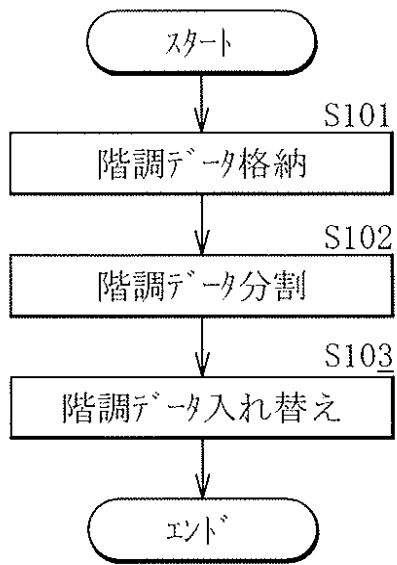
【図 6】



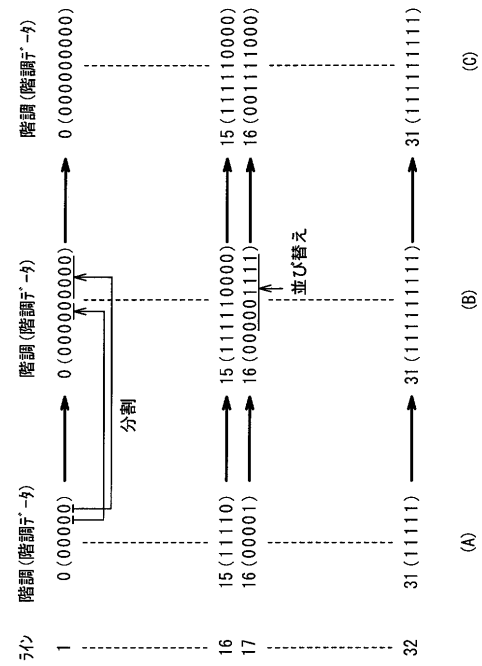
【図 7】



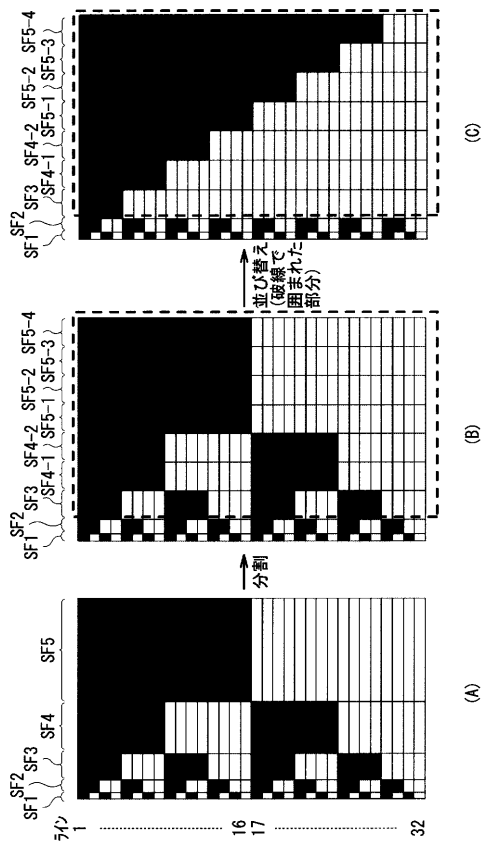
【図 8】



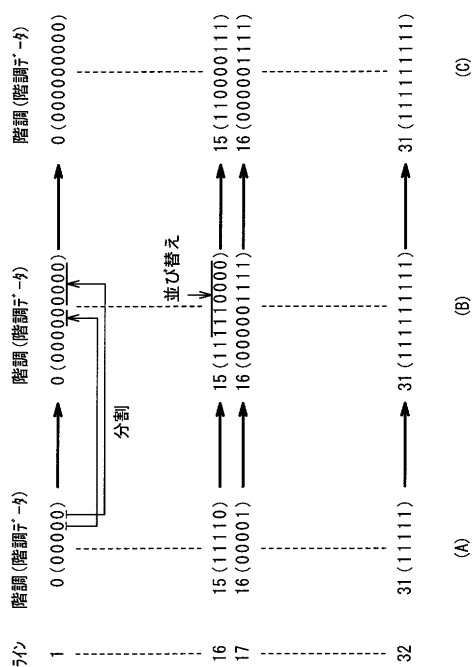
【図 9】



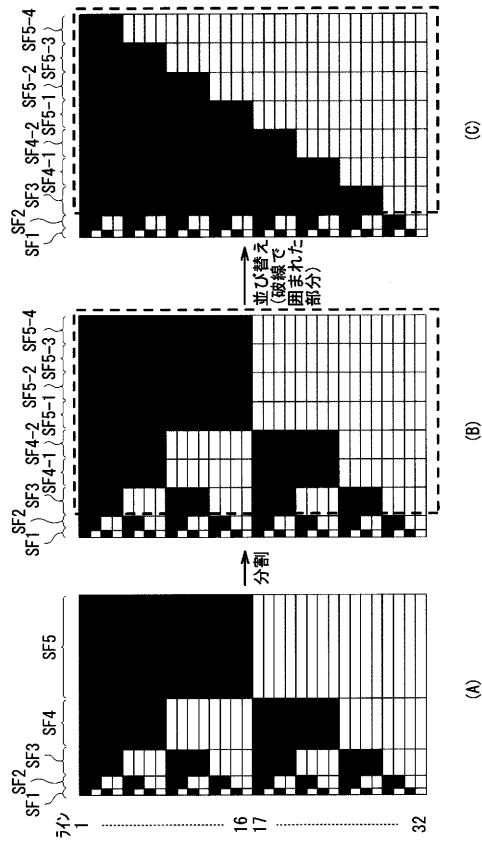
【図 10】



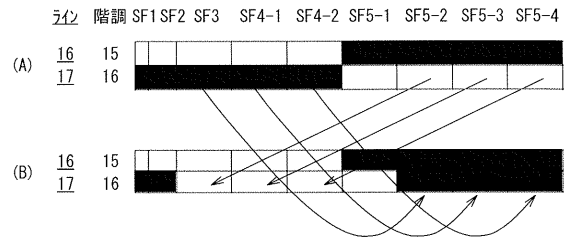
【図 11】



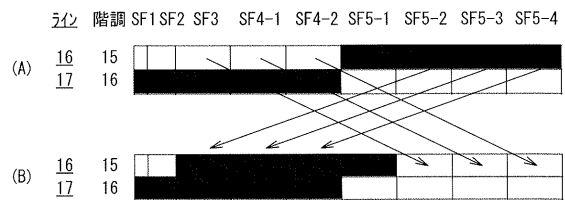
【図 12】



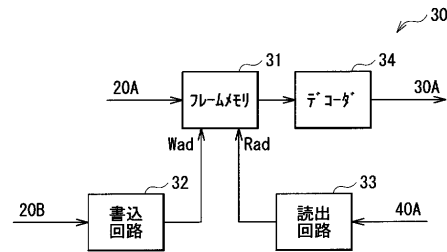
【図 13】



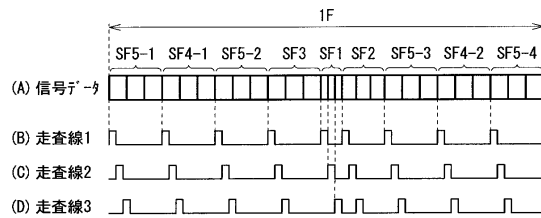
【図 14】



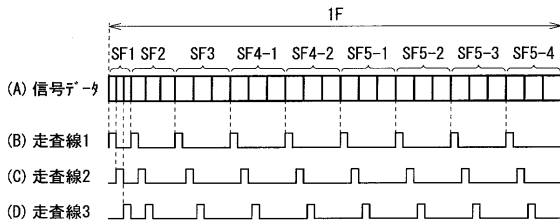
【図 15】



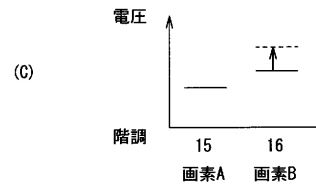
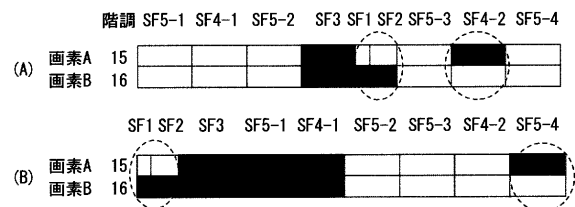
【図 16】



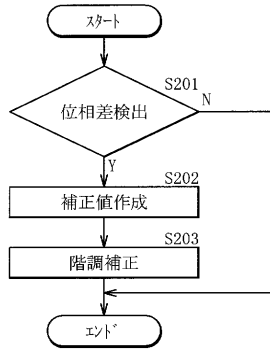
【図 17】



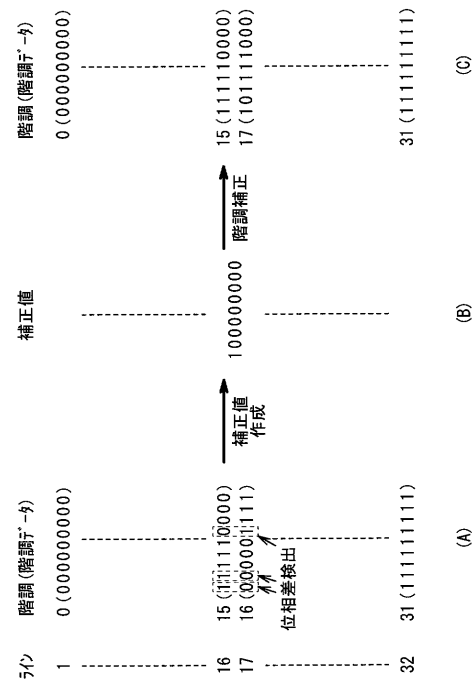
【図 18】



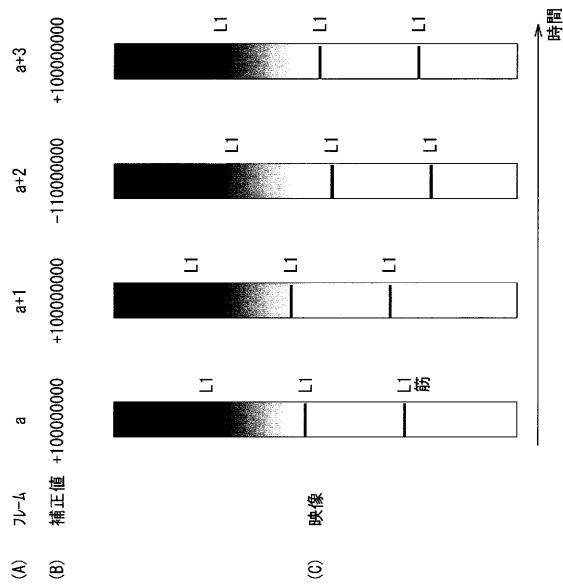
【図 19】



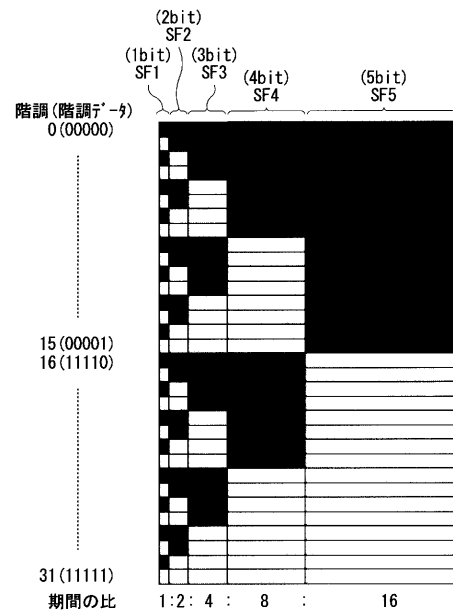
【図 20】



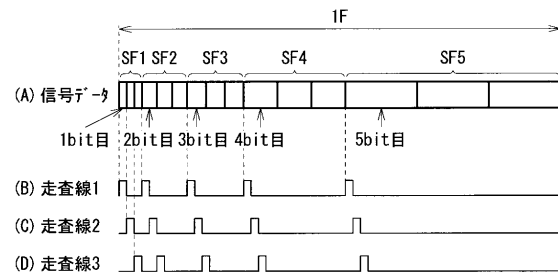
【図 21】



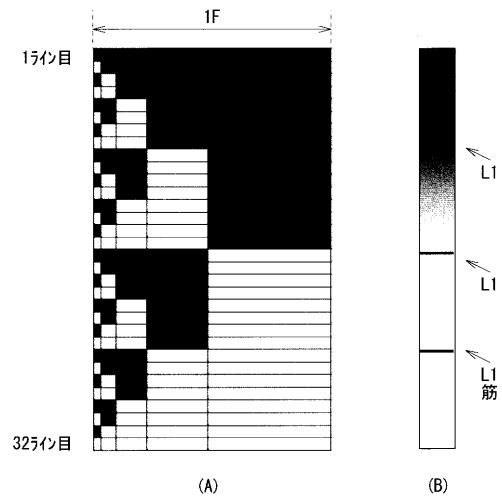
【図 22】



【図 2 3】



【図 2 4】



 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 4 1 P
	G 0 9 G	3/20	6 2 4 B
	G 0 2 F	1/133	5 5 0
	G 0 2 F	1/133	5 7 5

(56)参考文献 特開 2 0 0 8 - 0 3 3 2 7 6 (J P , A)
 特開 2 0 0 6 - 0 7 2 3 3 7 (J P , A)
 特開 2 0 0 3 - 0 6 6 8 9 2 (J P , A)
 特開平 1 1 - 2 4 9 6 2 3 (J P , A)
 特開 2 0 0 6 - 3 4 3 6 0 9 (J P , A)
 特開 2 0 1 0 - 2 0 4 5 1 5 (J P , A)
 特開 2 0 0 4 - 3 1 0 0 3 3 (J P , A)
 特開平 1 0 - 2 1 4 0 6 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 G 0 9 G 3 / 0 0 - 3 / 3 8
 G 0 2 F 1 / 1 3 3

专利名称(译)	驱动电路，显示装置和显示装置的驱动方法		
公开(公告)号	JP5849538B2	公开(公告)日	2016-01-27
申请号	JP2011189928	申请日	2011-08-31
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	吉永朋朗		
发明人	吉永 朋朗		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/36 G09G3/2033 G09G2310/027 G09G2320/0209 G09G2320/0266		
FI分类号	G09G3/36 G09G3/20.641.E G09G3/20.611.D G09G3/20.642.A G09G3/20.623.C G09G3/20.641.P G09G3/20.624.B G02F1/133.550 G02F1/133.575		
F-TERM分类号	2H193/ZA02 2H193/ZB02 2H193/ZB03 2H193/ZC25 2H193/ZD25 2H193/ZD26 2H193/ZD30 2H193/ZD32 2H193/ZF13 2H193/ZF16 2H193/ZH23 2H193/ZH52 5C006/AA14 5C006/AC21 5C006/AF44 5C006/AF46 5C006/BB15 5C006/BC16 5C006/BF02 5C006/BF28 5C006/FA25 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD10 5C080/EE29 5C080/FF11 5C080/GG11 5C080/GG12 5C080/JJ01 5C080/JJ02 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/JJ07		
审查员(译)	中村直之		
其他公开文献	JP2013050681A JP2013050681A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种其中不太可能发生液晶紊乱的驱动电路和包括驱动电路的显示器，并提供一种驱动显示器，其中不太可能发生液晶紊乱。解决方案：提供一种驱动电路，其驱动像素，该像素具有包括液晶单元的内置存储器。驱动电路将一个帧周期划分为多个子场，并且将具有周期长的子场中的一个或多个划分为各自等于短子场的周期的周期，以生成多个划分子场。当对应于彼此相邻的两个像素的灰度数据的各个位的相位彼此不同时，驱动电路校正灰度数据的位阵列对应于一个像素以使该位阵列更靠近该位对应于另一像素的灰度数据的阵列，同时保持灰度。

(21) 出願番号	特願2011-189928 (P2011-189928)	(73) 特許権者	000002185
(22) 出願日	平成23年8月31日 (2011. 8. 31)		ソニー株式会社
(65) 公開番号	特開2013-50681 (P2013-50681A)		東京都港区港南1丁目7番1号
(43) 公開日	平成25年3月14日 (2013. 3. 14)	(74) 代理人	110001357
審査請求日	平成26年8月12日 (2014. 8. 12)		特許業務法人つばき国際特許事務所
		(72) 発明者	吉永 朋朗
			東京都港区港南1丁目7番1号 ソニー株式会社内
		審査官	中村 直行

最終頁に続く