

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5830433号
(P5830433)

(45) 発行日 平成27年12月9日 (2015. 12. 9)

(24) 登録日 平成27年10月30日 (2015. 10. 30)

(51) Int. Cl.	F 1
GO 2 F 1/1343 (2006. 01)	GO 2 F 1/1343
GO 2 F 1/1368 (2006. 01)	GO 2 F 1/1368

請求項の数 5 (全 14 頁)

(21) 出願番号	特願2012-123477 (P2012-123477)	(73) 特許権者	502356528
(22) 出願日	平成24年5月30日 (2012. 5. 30)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2013-250331 (P2013-250331A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成25年12月12日 (2013. 12. 12)	(74) 代理人	110001737
審査請求日	平成26年12月10日 (2014. 12. 10)		特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

各画素に配置されたスイッチング素子と、複数の画素に亘って形成された共通電極と、前記共通電極の上に配置された絶縁膜と、前記スイッチング素子と電気的に接続され前記絶縁膜の上において各画素に形成された画素電極であって前記共通電極と向かい合う複数のスリットを有する画素電極と、前記画素電極を覆う第1配向膜と、を備えた第1基板と、

前記第1配向膜と対向する第2配向膜を備えた第2基板と、

前記第1基板の前記第1配向膜と前記第2基板の前記第2配向膜との間に保持されるとともに、負の誘電率異方性を有する液晶材料によって形成された液晶層と、を備え、

前記画素電極において、前記複数のスリットは、第1方向に並び且つそれぞれが第1方向に交差する第2方向に沿って延出し、前記画素電極の中央部に形成され第1方向に沿って第1幅を有する少なくとも1つの第1スリットと、前記画素電極の周辺部に形成され第1方向に沿って第1幅より小さい第2幅を有する第2スリットと、を備えたことを特徴とする液晶表示装置。

【請求項 2】

前記画素電極は、前記第1スリットを形成する複数の中央電極部と、前記中央電極部との間で前記第2スリットを形成する少なくとも1つの最外周電極部と、を備えたことを特徴とする請求項1に記載の液晶表示装置。

【請求項 3】

10

20

前記中央電極部及び前記最外周電極部は、第1方向に沿って略同一の電極幅を有することを特徴とする請求項2に記載の液晶表示装置。

【請求項4】

前記第2スリットの第2幅は、前記電極幅と同等以上であることを特徴とする請求項3に記載の液晶表示装置。

【請求項5】

第1方向に並んだ隣接画素のそれぞれの画素電位は逆極性の電位であることを特徴とする請求項1乃至4のいずれか1項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、軽量、薄型、低消費電力などの特徴を生かして、パーソナルコンピュータなどのOA機器やテレビなどの表示装置として各種分野で利用されている。近年では、液晶表示装置は、携帯電話などの携帯端末機器や、カーナビゲーション装置、ゲーム機などの表示装置としても利用されている。

【0003】

一般に、Fringe Field Switching (FFS) モードや In-Plane Switching (IPS) モードの液晶表示パネルは、画素電極及び共通電極を備えたアレイ基板と、対向基板との間に液晶層を保持した構成である。特に、FFSモードにおいては、液晶分子が画素電極と共通電極との間のフリンジ電界によって基板主面と平行な面内で回転することにより、液晶層のリタデーション ($\Delta n \cdot d$; Δn は液晶層の屈折率異方性であり、 d は液晶層を保持するセルギャップである) を変化させている。

20

【0004】

液晶層として、誘電率異方性が正の液晶材料（ポジ型液晶材料）を適用した場合、液晶分子は、その長軸がフリンジ電界に沿うように配向する。このため、画素電極から共通電極に向かうフリンジ電界が形成された際に、画素電極上あるいはスリット上では、縦方向（セル厚方向）の電界に沿って液晶分子が立ち上がってしまい、十分に高いリタデーションを得ることができない。これにより、一画素あたりの変調率が低く、高い透過率を得ることができない。

30

【0005】

一方で、液晶層として、誘電率異方性が負の液晶材料（ネガ型液晶材料）を適用した場合、液晶分子は、その長軸がフリンジ電界に直交するように配向する。このため、縦方向の電界に対しても液晶分子の立ち上がりが少なく、比較的高いリタデーションを維持することができるため、ポジ型液晶材料を適用した場合と比較して、画素電極上で高い透過率を得ることが可能である。しかしながら、画素電極の外周、特に、隣接する画素間を遮光するブラックマトリクス近傍において、急激に透過率が低下する傾向がある。これは、ネガ型液晶材料の誘電率異方性がポジ型液晶材料の誘電率異方性よりも小さく、画素電極の外周における微弱な電界ではネガ型液晶材料の液晶分子の配向状態が変化しないためである。

40

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2008-052161号公報

【特許文献2】特開2009-036795号公報

【発明の概要】

【発明が解決しようとする課題】

50

【0007】

本実施形態の目的は、表示品位を改善することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0008】

本実施形態によれば、

各画素に配置されたスイッチング素子と、複数の画素に亘って形成された共通電極と、前記共通電極の上に配置された絶縁膜と、前記スイッチング素子と電氣的に接続され前記絶縁膜の上において各画素に形成された画素電極であって前記共通電極と向かい合う複数のスリットを有する画素電極と、前記画素電極を覆う第1配向膜と、を備えた第1基板と、前記第1配向膜と対向する第2配向膜を備えた第2基板と、前記第1基板の前記第1配向膜と前記第2基板の前記第2配向膜との間に保持されるとともに、負の誘電率異方性を有する液晶材料によって形成された液晶層と、を備え、前記画素電極において、前記複数のスリットは、第1方向に並び且つそれぞれが第1方向に交差する第2方向に沿って延出し、前記画素電極の中央部に形成され第1方向に沿って第1幅を有する少なくとも1つの第1スリットと、前記画素電極の周辺部に形成され第1方向に沿って第1幅より小さい第2幅を有する第2スリットと、を備えたことを特徴とする液晶表示装置が提供される。

10

【図面の簡単な説明】

【0009】

【図1】図1は、本実施形態の液晶表示装置を構成する液晶表示パネルの構成及び等価回路を概略的に示す図である。

20

【図2】図2は、図1に示したアレイ基板における画素の構造を対向基板の側から見た概略平面図である。

【図3】図3は、図1に示した液晶表示パネルの一画素におけるスイッチング素子及び画素電極のスリットを含む断面構造を概略的に示す図である。

【図4】図4は、ポジ型液晶材料を適用した構成例1及びネガ型液晶材料を適用した構成例2のそれぞれにおける電圧－変調率特性のシミュレーション結果を示す図である。

【図5】図5は、構成例1及び構成例2のそれぞれにおける透過率の面内分布を示す図である。

【図6】図6は、比較例及び本実施形態のそれぞれの画素電極の構成例を模式的に示す断面図である。

30

【図7】図7は、比較例及び本実施形態のそれぞれにおける透過率の面内分布を示す図である。

【発明を実施するための形態】

【0010】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0011】

図1は、本実施形態の液晶表示装置を構成する液晶表示パネルLPNの構成及び等価回路を概略的に示す図である。

40

【0012】

すなわち、液晶表示装置は、アクティブマトリクスタイプの透過型の液晶表示パネルLPNを備えている。液晶表示パネルLPNは、第1基板であるアレイ基板ARと、アレイ基板ARに対向して配置された第2基板である対向基板CTと、これらのアレイ基板ARと対向基板CTとの間に保持された液晶層LQと、を備えている。このような液晶表示パネルLPNは、画像を表示するアクティブエリアACTを備えている。このアクティブエリアACTは、 $m \times n$ 個のマトリクス状に配置された複数の画素PXによって構成されている（但し、 m 及び n は正の整数である）。

【0013】

50

アレイ基板ARは、アクティブエリアACTにおいて、第1方向Xに沿ってそれぞれ延出した複数のゲート配線G (G1~Gn) 及び容量線C (C1~Cn)、第1方向Xに直交する第2方向Yに沿ってそれぞれ延出した複数のソース配線S (S1~Sm)、各画素PXにおいてゲート配線G及びソース配線Sと電氣的に接続されたスイッチング素子SW、各画素PXにおいてスイッチング素子SWに電氣的に接続された画素電極PE、画素電極PEと向かい合う共通電極CEなどを備えている。

【0014】

共通電極CEは、複数の画素PXに亘って共通に形成されている。画素電極PEは、各画素PXにおいて島状に形成されている。

【0015】

各ゲート配線Gは、アクティブエリアACTの外側に引き出され、ゲートドライバGDに接続されている。各ソース配線Sは、アクティブエリアACTの外側に引き出され、ソースドライバSDに接続されている。各容量線Cは、アクティブエリアACTの外側に引き出され、補助容量電圧が供給される電圧印加部VCSと電氣的に接続されている。共通電極CEは、コモン電圧が供給される給電部VSと電氣的に接続されている。ゲートドライバGD及びソースドライバSDは、例えばその少なくとも一部がアレイ基板ARに形成され、駆動ICチップ2と接続されている。図示した例では、液晶表示パネルLPNを駆動するのに必要な信号源としての駆動ICチップ2は、液晶表示パネルLPNのアクティブエリアACTの外側において、アレイ基板ARに実装されている。

【0016】

また、図示した例の液晶表示パネルLPNは、FFSモードあるいはIPSモードに適用可能な構成であり、アレイ基板ARに画素電極PE及び共通電極CEを備えている。このような構成の液晶表示パネルLPNでは、画素電極PE及び共通電極CEの間に形成される横電界（例えば、フリンジ電界のうちの基板の主面にほぼ平行な電界）を主に利用して液晶層LQを構成する液晶分子をスイッチングする。

【0017】

図2は、図1に示したアレイ基板ARにおける画素PXの構造を対向基板CTの側から見た概略平面図である。なお、ここでは、説明に必要な主要部のみを図示している。

【0018】

第1方向Xに沿ってそれぞれ延出したゲート配線G1及びゲート配線G2は、第2方向Yに沿って第1ピッチで配置されている。第2方向Yに沿ってそれぞれ延出したソース配線S1及びソース配線S2は、第1方向Xに沿って第1ピッチよりも小さい第2ピッチで配置されている。ゲート配線G1及びゲート配線G2とソース配線S1及びソース配線S2とで規定された画素PXは、例えば、第1方向Xに沿った長さが第2方向Yに沿った長さよりも短い縦長の長形状である。

【0019】

図中の左側の画素PXにおいて、スイッチング素子SWは、ゲート配線G2及びソース配線S1と電氣的に接続され、ソース配線S1とソース配線S2との間に位置する画素電極PEに接続されている。同様に、図中の右側の画素PXにおいて、スイッチング素子SWは、ゲート配線G2及びソース配線S2と電氣的に接続されている。

【0020】

共通電極CEは、第1方向Xに沿って延在している。すなわち、共通電極CEは、各画素PXに配置されるとともに各ソース配線Sの上方を跨いで、第1方向Xに隣接する複数の画素PXに亘って共通に形成されている。

【0021】

各画素PXの画素電極PEは、共通電極CEの上方に配置されている。各画素電極PEは、長形状の画素形状に対応した島状に形成されている。図示した例では、画素電極PEは、第1方向Xに沿った短辺と、第2方向Yに沿った長辺と、を有する概略長形状に形成されている。このような各画素電極PEには、共通電極CEと向かい合う複数のスリットSLが形成されている。図示した例では、画素電極PEは、第1方向Xに並び第2方

10

20

30

40

50

向Yに沿ってそれぞれ延出した5本の電極部PA1乃至PA5を有しており、また、第1方向Xに並び第2方向Yに沿ってそれぞれ延出した4本のスリットSL1乃至SL4を有している。つまり、スリットSL1乃至SL4のそれぞれは、第2方向Yと平行な長軸を有している。以下に、画素電極PEのより詳細な形状について説明する。

【0022】

まず、スリットSL1乃至SL4に着目する。スリットSL1乃至SL4は、第1方向Xに沿ってこの順に並んでいる。スリットSL2及びスリットSL3は、画素電極PEの中央部に形成されたスリットに相当する。これらのスリットSL2及びスリットSL3は、第1方向Xに沿って略同一の幅W1を有するように形成されている。スリットSL1及びスリットSL4は、画素電極PEの周辺部に形成されたスリットに相当する。これらのスリットSL1及びスリットSL4は、第1方向Xに沿って略同一の幅W2を有するように形成されている。この幅W2は、幅W1よりも小さい。つまり、画素電極PEの第1方向Xに沿った両端側に位置するスリットSL1及びスリットSL4の幅W2は、これらのスリットの間に位置するスリットSL2及びスリットSL3の幅W1よりも小さい。なお、画素電極PEの中央部に位置するスリットの数、図示した例では2本であるが、少なくとも1本である。

10

【0023】

続いて、電極部PA1乃至PA5に着目する。電極部PA1乃至PA5は、第1方向Xに沿ってこの順に並んでいる。電極部PA2乃至PA4は、画素電極PEの中央電極部に相当する。電極部PA2と電極部PA3との間には、スリットSL2が形成される。電極部PA3と電極部PA4との間には、スリットSL3が形成される。電極部PA1及び電極部PA5は、画素電極PEの最外周電極部に相当する。電極部PA1と電極部PA2との間には、スリットSL1が形成される。電極部PA4と電極部PA5との間には、スリットSL4が形成される。これらの電極部PA1乃至PA5は、いずれも第1方向Xに沿って略同一の電極幅W3を有している。

20

【0024】

FFSモードの場合、各電極部の中央部よりもエッジ（つまりスリットとの境界）付近で高い透過率が得られるため、高精細化及び透過率向上の観点から、各電極部の電極幅W3はできるだけ小さくすることが望ましい。このため、電極幅W3は、例えば、製造プロセス上の限界値（あるいは画素電極のパターニングに使用するマスクの解像度限界）に近い値に設定される。換言すると、画素電極PEに形成するスリットの幅は、製造プロセス上の限界値以上の値に設定される。つまり、スリットSL1及びスリットSL4の幅W2は、電極幅W3と同等以上となる。

30

【0025】

図3は、図1に示した液晶表示パネルLPNの一画素におけるスイッチング素子SW及び画素電極PEのスリットSL4を含む断面構造を概略的に示す図である。

【0026】

すなわち、アレイ基板ARは、ガラス基板などの光透過性を有する第1絶縁基板10を用いて形成されている。このアレイ基板ARは、第1絶縁基板10の対向基板CTに対向する側に、スイッチング素子SW、共通電極CE、画素電極PE、第1絶縁膜11、第2絶縁膜12、第3絶縁膜13、第4絶縁膜14、第1配向膜AL1などを備えている。

40

【0027】

ここに示したスイッチング素子SWは、例えばトップゲート型の薄膜トランジスタ（TFT）である。なお、スイッチング素子SWは、ボトムゲート型であっても良い。スイッチング素子SWは、例えばポリシリコンによって形成された半導体層SCを備えている。この半導体層SCは、第1絶縁基板10の上に配置されている。なお、第1絶縁基板10と半導体層SCとの間に絶縁膜であるアンダーコート層が介在していても良い。この半導体層SCは、第1絶縁膜11によって覆われている。また、この第1絶縁膜11は、第1絶縁基板10の上にも配置されている。

【0028】

50

スイッチング素子SWのゲート電極WGは、第1絶縁膜11の上に形成され、半導体層SCの直上に位置している。このゲート電極WGは、図示しないゲート配線に電氣的に接続され、第2絶縁膜12によって覆われている。また、この第2絶縁膜12は、第1絶縁膜11の上にも配置されている。

【0029】

スイッチング素子SWのソース電極WS及びドレイン電極WDは、第2絶縁膜12の上に形成されている。また、ソース配線S1及びソース配線S2も同様に第2絶縁膜12の上に形成されている。図示したソース電極WSは、ソース配線S1に電氣的に接続されている。これらのソース電極WS及びドレイン電極WDは、それぞれ第1絶縁膜11及び第2絶縁膜12を貫通するコンタクトホールを通して半導体層SCにコンタクトしている。このような構成のスイッチング素子SWは、ソース配線S1及びソース配線S2とともに第3絶縁膜13によって覆われている。この第3絶縁膜13は、第2絶縁膜12の上にも配置されている。この第3絶縁膜13には、ドレイン電極WDまで貫通した第1コンタクトホールCH1が形成されている。このような第3絶縁膜13は、例えば、透明な樹脂材料によって形成されている。

10

【0030】

共通電極CEは、第3絶縁膜13の上に形成されている。なお、この共通電極CEは、第3絶縁膜13に形成された第1コンタクトホールCH1には延出していない。このような共通電極CEは、透明な導電材料、例えば、インジウム・ティン・オキサイド（ITO）やインジウム・ジंक・オキサイド（IZO）などによって形成されている。この共通電極CEの上には、第4絶縁膜14が配置されている。また、この第4絶縁膜14は、図示していないが第3絶縁膜13の上にも配置されている。この第4絶縁膜14の第1コンタクトホールCH1を覆っている部分においては、ドレイン電極WDまで貫通した第2コンタクトホールCH2が形成されている。このような第4絶縁膜14は、共通電極CEと後述する画素電極PEとの間に位置する層間絶縁膜として機能し、第3絶縁膜13と比較して薄い膜厚に形成され、例えば、シリコン窒化物（SiNx）によって形成されている。

20

【0031】

画素電極PEは、第4絶縁膜14の上に形成され、共通電極CEと向かい合っている。より具体的には、画素電極PEは、第3絶縁膜13を貫通する第1コンタクトホールCH1及び第4絶縁膜14を貫通する第2コンタクトホールCH2を介してスイッチング素子SWのドレイン電極WDに電氣的に接続されている。このような画素電極PEは、透明な導電材料、例えば、ITOやIZOなどによって形成されている。

30

【0032】

このような画素電極PEは、第1配向膜AL1によって覆われている。すなわち、この第1配向膜AL1は、電極部PAを覆うとともに、スリットSLに延在し、第4絶縁膜14を覆っている。このような第1配向膜AL1は、水平配向性を示す材料によって形成されている。

【0033】

一方、対向基板CTは、ガラス基板などの光透過性を有する第2絶縁基板30を用いて形成されている。この対向基板CTは、第2絶縁基板30のアレイ基板ARに対向する側に、ブラックマトリクス31、カラーフィルタ32、オーバーコート層33、第2配向膜AL2などを備えている。

40

【0034】

ブラックマトリクス31は、各画素PXを区画し、開口部APを形成するものであって、アレイ基板ARに設けられたゲート配線Gやソース配線S、さらにはスイッチング素子SWなどの配線部に対向している。カラーフィルタ32は、開口部APに形成され、ブラックマトリクス31の上にも延在している。このカラーフィルタ32は、互いに異なる複数の色、例えば赤色、青色、緑色といった3原色にそれぞれ着色された樹脂材料によって形成されている。異なる色のカラーフィルタ32間の境界は、ソース配線S1及びソース

50

配線 S 2 のそれぞれの上方のブラックマトリクス 3 1 と重なる位置にある。

【0035】

オーバーコート層 3 3 は、カラーフィルタ 3 2 を覆っている。このオーバーコート層 3 3 は、ブラックマトリクス 3 1 やカラーフィルタ 3 2 の表面の凹凸を平坦化する。つまり、オーバーコート層 3 3 のアレイ基板 A R と対向する側の表面は略平坦である。このようなオーバーコート層 3 3 は、透明な樹脂材料によって形成されている。

【0036】

このオーバーコート層 3 3 の表面は、第 2 配向膜 A L 2 によって覆われている。この第 2 配向膜 A L 2 は、水平配向性を示す材料によって形成されている。

【0037】

上述したようなアレイ基板 A R と対向基板 C T とは、第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 が向かい合うように配置されている。このとき、アレイ基板 A R と対向基板 C T の間には、一方の基板に形成された柱状スペーサにより、所定のセルギャップが形成される。アレイ基板 A R と対向基板 C T とは、セルギャップが形成された状態でシール材によって貼り合わせられている。液晶層 L Q は、これらのアレイ基板 A R の第 1 配向膜 A L 1 と対向基板 C T の第 2 配向膜 A L 2 との間に形成されたセルギャップに封入された液晶分子 L M を含む液晶組成物によって構成されている。このような液晶層 L Q は、例えば、誘電率異方性が負（ネガ型）の液晶材料によって構成されている。

【0038】

このような構成の液晶表示パネル L P N に対して、その背面側には、バックライト B L が配置されている。バックライト B L としては、種々の形態が適用可能であり、また、光源として発光ダイオード（L E D）を利用したものや冷陰極管（C C F L）を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【0039】

アレイ基板 A R の外面すなわち第 1 絶縁基板 1 0 の外面 1 0 B には、第 1 偏光板 P L 1 を含む第 1 光学素子 O D 1 が配置されている。また、対向基板 C T の外面すなわち第 2 絶縁基板 3 0 の外面 3 0 B には、第 2 偏光板 P L 2 を含む第 2 光学素子 O D 2 が配置されている。第 1 偏光板 P L 1 の第 1 偏光軸と第 2 偏光板 P L 2 の第 2 偏光軸とは、例えば、クロスニコルの位置関係にある。

【0040】

第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 は、図 2 に示したように、基板主面（あるいは、X-Y 平面）と平行な面内において、互いに平行な方位に配向処理（例えば、ラビング処理や光配向処理）がなされている。第 1 配向膜 A L 1 は、スリット S L が並んだ第 1 方向 X に対して 45° 以下の鋭角に交差する方向に沿って配向処理されている。第 1 配向膜 A L 1 の配向処理方向 R 1 は、例えば、第 1 方向 X に対して 5°～15° の角度をもって交差する方向である。また、第 2 配向膜 A L 2 は、第 1 配向膜 A L 1 の配向処理方向 R 1 と平行な方向に沿って配向処理されている。第 1 配向膜 A L 1 の配向処理方向 R 1 と第 2 配向膜 A L 2 の配向処理方向 R 2 とは互いに逆向きである。

【0041】

なお、第 1 偏光板 P L 1 の第 1 偏光軸は、例えば、第 1 配向膜 A L 1 の配向処理方向 R 1 と平行な方位に設定され、第 2 偏光板 P L 2 の第 2 偏光軸は、第 1 配向膜 A L 1 の配向処理方向 R 1 と直交する方位に設定されている。

【0042】

以下に、上記構成の液晶表示装置における動作について説明する。

【0043】

画素電極 P E と共通電極 C E との間に電位差を形成するような電圧が印加されていない O F F 時においては、液晶層 L Q に電圧が印加されていない状態であり、画素電極 P E と共通電極 C E との間に電界が形成されていない。このため、液晶層 L Q に含まれる液晶分子 L M は、図 2 に実線で示したように、X-Y 平面内において、第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 の配向処理方向に初期配向する（液晶分子 L M が初期配向する方向を初期

10

20

30

40

50

配向方向と称する)。

【0044】

O F F時には、バックライトB Lからのバックライト光の一部は、第1偏光板P L 1を透過し、液晶表示パネルL P Nに入射する。液晶表示パネルL P Nに入射した光は、第1偏光板P L 1の第1偏光軸と直交する直線偏光である。このような直線偏光の偏光状態は、O F F時の液晶表示パネルL P Nを通過した際にほとんど変化しない。このため、液晶表示パネルL P Nを透過した直線偏光は、第1偏光板P L 1に対してクロスニコルの位置関係にある第2偏光板P L 2によって吸収される(黒表示)。

【0045】

一方、画素電極P Eと共通電極C Eとの間に電位差を形成するような電圧が印加されたO N時には、液晶層L Qに電圧が印加された状態であり、画素電極P Eと共通電極C Eとの間にフリンジ電界が形成される。このため、液晶分子L Mは、図2に破線で示したように、X-Y平面内において、初期配向方向とは異なる方位に配向する。ネガ型の液晶材料においては、液晶分子L Mは、その長軸が電界と略直交する方向に配向する。

【0046】

このようなO N時には、第1偏光板P L 1の第1偏光軸と直交する直線偏光は、液晶表示パネルL P Nに入射し、その偏光状態は、液晶層L Qを通過する際に液晶分子L Mの配向状態(あるいは、液晶層のリタデーション)に応じて変化する。このため、O N時には、液晶層L Qを通過した少なくとも一部の光は、第2偏光板P L 2を透過する(白表示)。

【0047】

このように、ネガ型の液晶材料を適用した本実施形態によれば、O N時に形成されるフリンジ電界のうち、X-Y平面内と平行な水平電界やX-Y平面と直交する垂直電界が形成された領域において、液晶分子L Mは、その長軸がこれらの電界に直交するようにX-Y平面内において略水平に回転し、所望のリタデーションを得ることができる。一方、ポジ型の液晶材料を適用した比較例では、フリンジ電界のうち、X-Y平面と交差するような縦電界が形成された領域では、液晶分子L Mはその長軸がX-Y平面に対して立ち上がるように配向するため、所望のリタデーションを得ることが困難となる。このため、本実施形態によれば、比較例よりも、変調率あるいは透過率を向上することが可能となる。

【0048】

ここで、ポジ型液晶材料を適用した構成例1と、ネガ型液晶材料を適用した構成例2との特性の差異について説明する。

【0049】

図4は、構成例1及び構成例2のそれぞれにおける電圧-変調率特性のシミュレーション結果を示す図である。

【0050】

図中の横軸は液晶層L Qに印加される印加電圧であり、図中の縦軸は透過率(あるいは変調率)である。

【0051】

このシミュレーション結果によれば、構成例1でのピーク透過率が約79.2%であるのに対して、構成例2でのピーク透過率は約90.5%であった。液晶材料として、ポジ型を適用した構成例1よりも、ネガ型を適用した構成例2の方が高い透過率あるいは変調率を得られることが確認された。

【0052】

図5は、構成例1及び構成例2のそれぞれにおける透過率の面内分布を示す図である。

【0053】

図中の横軸は1つの画素電極P E上における第1方向Xに沿った位置(μm)であり、図中の縦軸は透過率である。なお、ここに示した例は、図4に示したピーク透過率が得られる印加電圧を液晶層の印加した状態での透過率の面内分布を示している。

【0054】

構成例 1 では、画素電極 P E の電極部 P A の上及びスリット S L に対応する位置で透過率が著しく低下している。これは、上記した通り、フリンジ電界の垂直電界の影響を受けて液晶分子 L M が立ち上がっていることに起因している。

【0055】

構成例 2 では、電極部 P A の上及びスリット S L に対応する位置で、極端に透過率が低下する傾向はみられない。これは、上記した通り、フリンジ電界の垂直電界の影響を受けにくく、液晶分子 L M が立ち上がりにくいためである。このため、構成例 2 では、構成例 1 よりも一画素あたりの透過率を向上することができる。

【0056】

しかしながら、図示した透過率の面内分布に着目すると、構成例 2 においては、画素電極 P E の外周、特に、隣接する画素間を遮光するブラックマトリクス B M の近傍において、急激に透過率が低下する傾向が確認された。これは、ネガ型として適用した液晶材料の誘電率異方性がポジ型として適用した液晶材料の誘電率異方性よりも小さく、画素電極 P E の外周における微弱な電界ではネガ型の液晶材料の液晶分子の配向状態が変化しないためである。

【0057】

そこで、本実施形態では、画素電極 P E のブラックマトリクス B M に近い位置での透過率を向上することで、一画素あたりの透過率をさらに向上することが可能となる。より具体的には、画素電極 P E の第 1 方向 X に沿った幅を拡張し、ブラックマトリクス B M の近傍に電極部を配置している。つまり、単に、スリットの幅あるいは電極部の幅を拡張するだけでは、上記の面内分布から明らかなように、各スリットの中央部あるいは各電極部の中央部でフリンジ電界が効果的に作用せず透過率が低下してしまい、結果として、一画素あたりの透過率の低下を招いてしまう。これに対して、本実施形態では、画素電極を拡張し、フリンジ電界が作用するスリットあるいは電極部を追加することで、電極部上あるいはスリットに対応する位置での透過率の低下を招くことなく、画素電極 P E とブラックマトリクス B M との間の領域での透過率を向上させ、一画素あたりの透過率を向上させている。

【0058】

つまり、図 6 に示すように、本実施形態では、画素電極 P E は、中央電極部に相当する電極部 P A 2 乃至 P A 4 に加えて、最外周電極部に相当する電極部 P A 1 及び P A 5 を備えている。このような電極部 P A 1 と隣接する電極部 P A 2 との間には、電極部 P A 2 と電極部 P A 3 との間のスリット S L 2 の幅 W 1 より小さい幅 W 2 のスリット S L 1 が形成される。また、電極部 P A 5 と隣接する電極部 P A 4 との間には、電極部 P A 3 と電極部 P A 4 との間のスリット S L 3 の幅 W 1 より小さい幅 W 2 のスリット S L 4 が形成される。これらの電極部 P A 1 乃至 P A 5 の上及びスリット S L 1 乃至 S L 4 に対応した位置では、フリンジ電界によって液晶分子 L M の配向状態が変化し、所望のリタデーションを得ることができる。特に、スリット S L 2 及び S L 3 の幅 W 1、スリット S L 1 及び S L 4 の幅 W 1、及び、各電極部 P A 1 乃至 P A 5 の電極幅 W 3 は、それらの直上の領域で透過率分布の谷間（局所的に透過率が落ち込む領域）ができないように小さく設定されている。このため、画素電極 P E の直上の領域で、高い透過率を得ることが可能となる。

【0059】

また、第 1 方向 X に並んだ隣接画素のそれぞれの画素電位が逆極性の電位であるような駆動方法（カラム反転駆動法など）を適用した場合には、各画素に形成されるフリンジ電界に加えて、隣接する画素電極間に水平電界が形成される。図 6 に示した例では、図中の中央部の画素電極 P E の画素電位が正極性であるのに対して、図中の右側及び左側の画素電極 P E のそれぞれの画素電位が負極性である。本実施形態では、画素電極 P E の第 1 方向 X に沿った幅が拡張されているため、第 1 方向 X に隣接する画素電極 P E が近接している。つまり、隣接する画素電極のそれぞれの最外周電極部が対向し、これらの間に形成される間隔は、比較例の画素電極間の間隔よりも小さい。このため、本実施形態によれば、隣接する画素電極間に形成される水平電界を増強することができる。したがって、画素電

10

20

30

40

50

極 P E とブラックマトリクス B M との間の領域の液晶分子 L M には、フリンジ電界のみならず、画素電極間の水平電界も作用するため、液晶分子 L M の配向状態が容易に変化し、所望のリタデーションを得ることが可能となる。これにより、一画素あたりの透過率を向上することが可能となる。

【0060】

図7は、比較例及び本実施形態のそれぞれにおける透過率の面内分布を示す図である。

【0061】

図中の横軸は1つの画素電極 P E 上における第1方向 X に沿った位置 (μm) であり、図中の縦軸は透過率である。なお、ここに示した例は、ピーク透過率が得られる電圧を液晶層の印加した状態での透過率を示している。

10

【0062】

本実施形態は、上記の通り、2本の最外周電極部を含む5本の電極部 P A 1 乃至 P A 5 を有する画素電極 P E を適用した場合に相当する。比較例は、本実施形態の最外周電極部を含まず、3本の電極部を有する画素電極 P E を適用した場合に相当する。

【0063】

本実施形態における画素電極 P E の寸法の一例として、スリット S L 2 及び S L 3 の幅 W 1 は約 $4\mu\text{m}$ であり、スリット S L 1 及び S L 4 の幅 W 2 は約 $2\mu\text{m}$ であり、電極部 P A 1 乃至 P A 5 のそれぞれの電極幅 W 3 は約 $2\mu\text{m}$ であり、ブラックマトリクス B M の幅が $5.5\mu\text{m}$ であり、隣接する画素電極間の間隔が $9\sim 11\mu\text{m}$ である。

【0064】

20

このように、本実施形態によれば、比較例と比較して、画素電極 P E の中央部ではほとんど透過率の差が無いものの、画素電極 P E の周辺部で高い透過率が得られる。つまり、本実施形態によれば、比較例よりも幅広い範囲に亘って高い透過率を得ることができ、一画素あたりの透過率を向上することができている。

【0065】

なお、上記した例では、第1方向 X に並んだ隣接画素のそれぞれの画素電位が逆極性の電位であるような駆動方法について説明したが、これに限らない。例えば、第1方向 X に並んだ隣接画素のそれぞれの画素電位が同一極性の電位であるような駆動方法（ライン反転駆動法など）を適用した場合には、必ずしも隣接する画素電極間の水平電界を増強できるとは限らないが、各画素電極 P E の最外周電極部と共通電極 C E とのフリンジ電界を利用することにより、画素電極 P E とブラックマトリクス B M との間の領域において、液晶分子 L M の配向状態を変化させることができ、所望のリタデーションを得ることが可能となるため、透過率の向上が可能となる。

30

【0066】

以上説明したように、本実施形態によれば、表示品位を改善することが可能な液晶表示装置を提供することができる。

【0067】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

40

【0068】

例えば、上記の実施形態においては、画素電極 P E のスリット S L は第2方向 Y に平行な長軸を有するように形成したが、第1方向 X に平行な長軸を有するように形成しても良いし、第1方向 X 及び第2方向 Y に交差する方向に平行な長軸を有するように形成しても良いし、くの字形に屈曲した形状に形成しても良い。

【符号の説明】

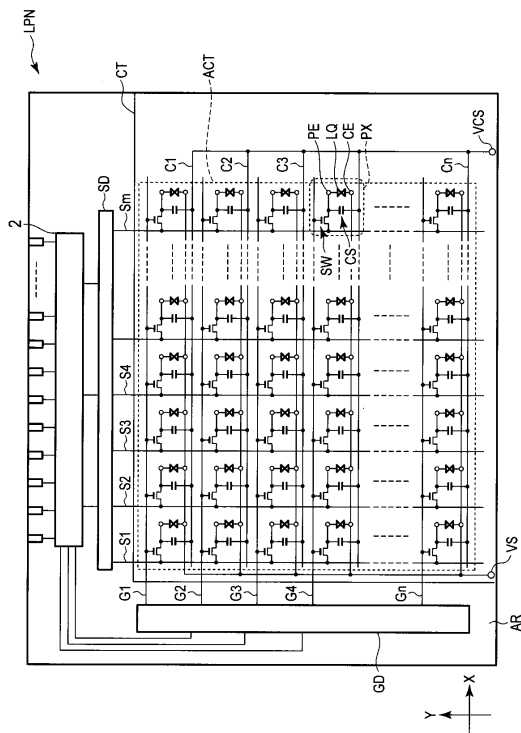
【0069】

50

LPN…液晶表示パネル AR…アレイ基板 CT…対向基板
 PE…画素電極 PA…電極部 PSL…スリット
 CE…共通電極
 LQ…液晶層 LM…液晶分子
 14…第4絶縁膜 T1…第1上面 T2…第2上面
 AL1…第1配向膜 AL2…第2配向膜

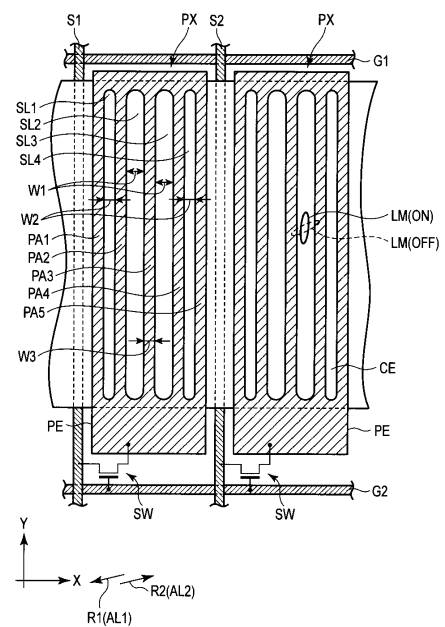
【図1】

図1

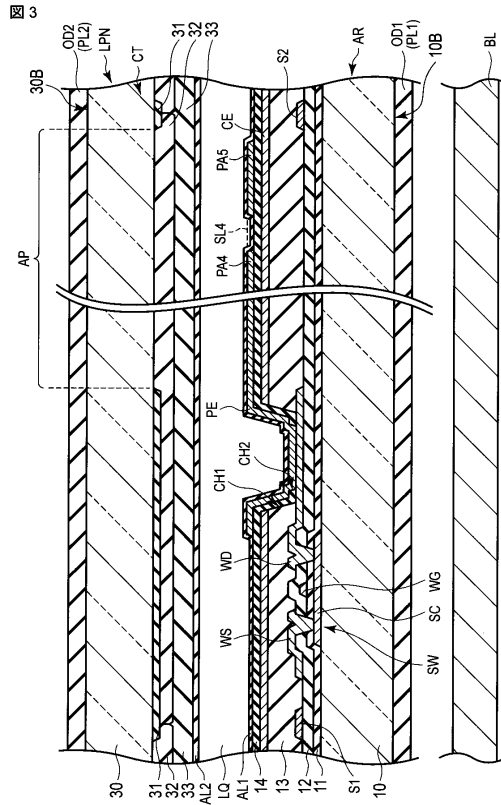


【図2】

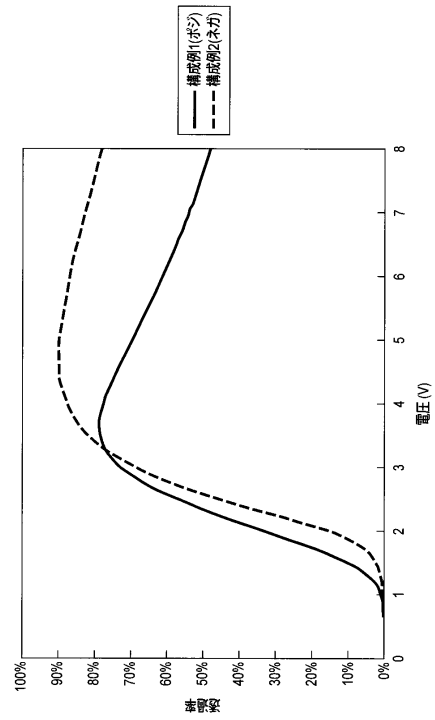
図2



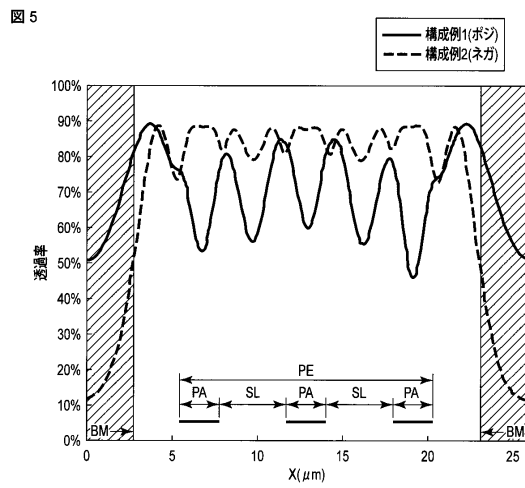
【図 3】



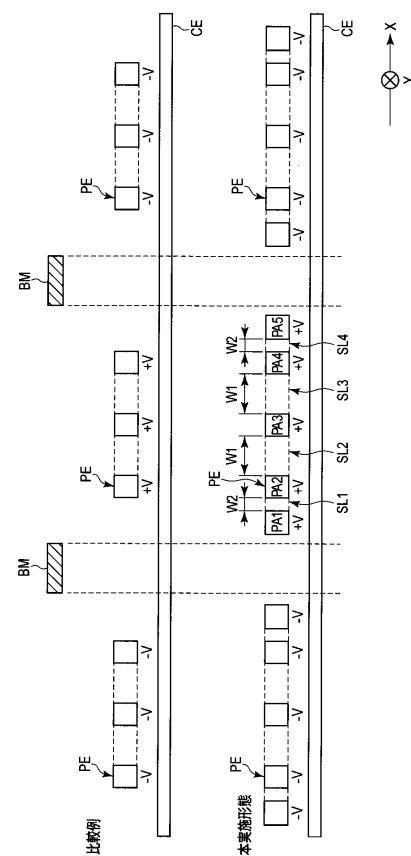
【図 4】



【図 5】

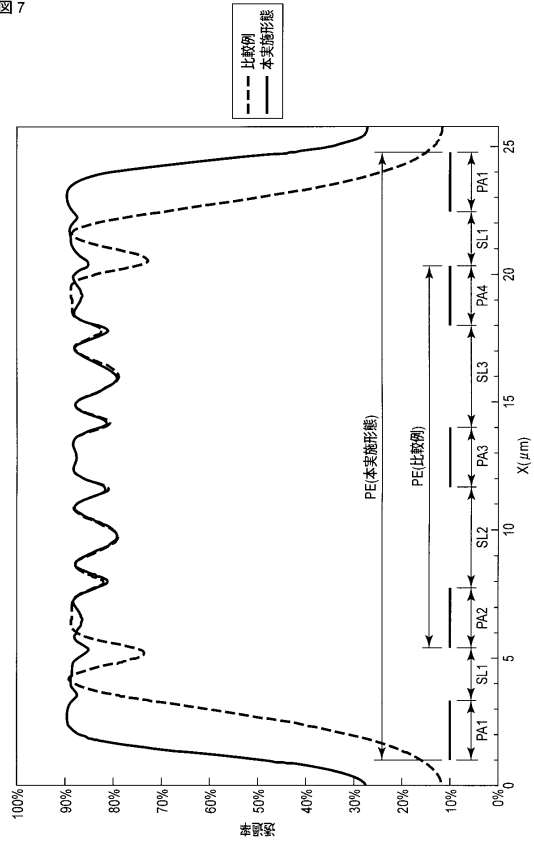


【図 6】



【図 7】

図 7



フロントページの続き

- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100172580
弁理士 赤穂 隆雄
- (74)代理人 100179062
弁理士 井上 正
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (72)発明者 浅川 陽一
埼玉県深谷市幡羅町一丁目9番地2 株式会社ジャパンディスプレイセントラル内
- (72)発明者 新木 盛右
埼玉県深谷市幡羅町一丁目9番地2 株式会社ジャパンディスプレイセントラル内

審査官 磯野 光司

(56)参考文献 特開2010-243624 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343

G02F 1/1368

专利名称(译)	液晶表示装置		
公开(公告)号	JP5830433B2	公开(公告)日	2015-12-09
申请号	JP2012123477	申请日	2012-05-30
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	浅川陽一 新木盛右		
发明人	浅川 陽一 新木 盛右		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/1337 G02F1/133707 G02F1/134363 G02F2001/133738 G02F2001/134372 G02F2001/13712		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/JA25 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB16 2H092/KA04 2H092/KA07 2H092/PA08 2H092/PA09 2H092/QA09		
代理人(译)	中村誠 河野直樹 井上 正 岡田隆		
其他公开文献	JP2013250331A		
外部链接	Espacenet		

摘要(译)

根据一个实施例，一种液晶显示装置包括：第一基板，包括公共电极；以及像素电极，包括中心狭缝和与公共电极相对的外围狭缝。中心狭缝和周边狭缝沿第一方向布置并沿与第一方向交叉的第二方向延伸，中心狭缝形成在像素电极的中心部分并且在第一方向上具有第一宽度，并且周边狭缝形成在像素电极的周边部分并且在第一方向上具有小于第一宽度的第二宽度。

(21) 出願番号	特願2012-123477 (P2012-123477)	(73) 特許権者	502356528
(22) 出願日	平成24年5月30日 (2012. 5. 30)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2013-250331 (P2013-250331A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成25年12月12日 (2013. 12. 12)	(74) 代理人	110001737
審査請求日	平成26年12月10日 (2014. 12. 10)		特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く