

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5728465号
(P5728465)

(45) 発行日 平成27年6月3日(2015.6.3)

(24) 登録日 平成27年4月10日(2015.4.10)

| | |
|-----------------------------|----------------|
| (51) Int.Cl. | F I |
| G09G 3/36 (2006.01) | G09G 3/36 |
| G09G 3/20 (2006.01) | G09G 3/20 611J |
| G02F 1/133 (2006.01) | G09G 3/20 612J |
| | G09G 3/20 622M |
| | G09G 3/20 622D |

請求項の数 14 (全 21 頁) 最終頁に続く

| | | | |
|--------------|------------------------------|-----------|---------------------|
| (21) 出願番号 | 特願2012-279392 (P2012-279392) | (73) 特許権者 | 501426046 |
| (22) 出願日 | 平成24年12月21日 (2012.12.21) | | エルジー ディスプレイ カンパニー リ |
| (65) 公開番号 | 特開2014-71451 (P2014-71451A) | | ミテッド |
| (43) 公開日 | 平成26年4月21日 (2014.4.21) | | 大韓民国 ソウル、ヨンドゥンポグ、ヨ |
| 審査請求日 | 平成24年12月21日 (2012.12.21) | | ウィーテロ 128 |
| (31) 優先権主張番号 | 10-2012-0109249 | (74) 代理人 | 100110423 |
| (32) 優先日 | 平成24年9月28日 (2012.9.28) | | 弁理士 曾我 道治 |
| (33) 優先権主張国 | 韓国 (KR) | (74) 代理人 | 100111648 |
| 前置審査 | | | 弁理士 梶並 順 |
| | | (74) 代理人 | 100147566 |
| | | | 弁理士 上田 俊一 |
| | | (74) 代理人 | 100161171 |
| | | | 弁理士 吉田 潤一郎 |
| | | (74) 代理人 | 100117776 |
| | | | 弁理士 武井 義一 |

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

n (n は自然数) 個のゲートラインが形成された液晶ディスプレイパネル、
外部システムからタイミング信号が印加されて第 1 乃至第 6 クロック信号を生成するタイミング制御部、

第 1、第 3 及び第 5 クロック信号に対応してゲートハイ電圧を $2k - 1$ (k は前記 n より小さい自然数) 番目のゲートラインの一侧に印加する第 1 ゲート駆動部、

第 2、第 4 及び第 6 クロック信号に対応して前記ゲートハイ電圧を $2k$ 番目のゲートラインの一侧に印加する第 2 ゲート駆動部、

$2k + 3$ 番目のゲートラインの電圧レベルに対応して前記 $2k$ 番目のゲートラインの他側にゲートロー電圧を印加する L - 放電回路、

$2k + 2$ 番目のゲートラインの電圧レベルに対応して第 $2k - 1$ 番目ゲートラインの他側にゲートロー電圧を印加する R - 放電回路を含み、

前記第 1 ゲート駆動部は、ゲートハイ電圧を出力するゲート出力端と前記 L - 放電回路を制御するキャリア信号出力端を含む複数個の L - ステージを含み、

前記第 2 ゲート駆動部は、ゲートハイ電圧を出力する出力端と前記 R - 放電回路を制御するキャリア信号出力端とを含み、

前記第 1 ゲート駆動部の L - ステージと前記第 2 ゲート駆動部の R - ステージの出力部は、ゲートハイ電圧を出力するゲート出力部と、L 又は R - 放電回路を制御するキャリア信号を出力するキャリア信号出力部をそれぞれ備え、

10

20

前記第 1 ゲート駆動部の L - ステージと連結されたゲートラインの終端と前記第 2 ゲート駆動部と連結された第 1 ゲートロー電圧供給ラインとの間にそれぞれ R - 放電回路が連結され、前記第 2 ゲート駆動部の R - ステージと連結されたゲートラインの終端と前記第 1 ゲート駆動部と連結された第 2 ゲートロー電圧供給ラインとの間にそれぞれ L - 放電回路が連結され、

前記 R - 放電回路は、前記第 2 ゲート駆動部の R - ステージのキャリア信号出力部から出力されるキャリア信号により動作する R - ステージを含む液晶表示装置。

【請求項 2】

前記第 1 乃至第 6 クロック信号は、

3 水平期間 3 H のハイ区間をそれぞれ有し、前後の信号の間 2 水平期間 2 H が重なることを特徴とする請求項 1 に記載の液晶表示装置。 10

【請求項 3】

前記第 1 ゲート駆動部は、前記 L - 放電回路と連結される少なくとも 1 つのダミー L - ステージをさらに含むことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記 L - 放電回路は、

前記 2 k 番目のゲートラインと連結される第 1 電極、

前記ゲートロー電圧が印加される第 2 電極、

前記 2k + 3 番目のゲートラインと連結された L - ステージのキャリア信号出力端と連結されるゲート電極をそれぞれ含むトランジスタであることを特徴とする請求項 1 に記載の液晶表示装置。 20

【請求項 5】

前記ゲート出力部は、互いに直列に連結された第 1 プルアップトランジスタと第 1 プルダウントランジスタを備え、

前記キャリア信号出力部は、互いに直列に連結された第 2 プルアップトランジスタと第 2 プルダウントランジスタを備え、

前記ゲート出力部の互いに直列に連結された第 1 プルアップトランジスタと第 1 プルダウントランジスタと、キャリア信号出力部の互いに直列に連結された第 2 プルアップトランジスタと第 2 プルダウントランジスタは、それぞれ両終端が互いに共通に連結された並列連結構造である 30

ことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

前記第 2 ゲート駆動部は、前記 R - 放電回路と連結される少なくとも 1 つのダミー R - ステージをさらに含む

ことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 7】

前記 R - 放電回路は、

前記 2 k - 1 番目のゲートラインと連結される第 1 電極、

前記ゲートロー電圧が印加される第 2 電極、 40

前記 2 k + 2 番目のゲートラインと連結される R - ステージのキャリア信号出力端と連結されるゲート電極を含む複数のトランジスタである

ことを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 8】

前記第 1 及び第 2 ゲート駆動部は、液晶パネルの非表示領域に内蔵されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 9】

複数のゲートラインが形成された液晶ディスプレイパネル、

異なる位相を有する少なくとも 4 つ以上のクロック信号を生成する制御部、

前記制御部からの少なくとも 2 つ以上のクロック信号に応じてゲートハイ電圧を 2 k - 50

1 (k は n より小さい自然数) 番目のゲートラインに印加する第 1 ゲート駆動部、
前記制御部からの少なくとも 2 つ以上のクロック信号に応じて前記ゲートハイ電圧を $2k$ 番目のゲートラインに印加する第 2 ゲート駆動部、

$2k + 2$ 番目のゲートラインの電圧レベルに対応して前記 $2k$ 番目のゲートラインの他側にゲートロー電圧を印加する L - 放電回路、

$2k + 1$ 番目のゲートラインの電圧レベルに対応して第 $2k - 1$ 番目のゲートラインの他側にゲートロー電圧を印加する R - 放電回路を含み、

前記第 1 ゲート駆動部は、対応する $2k - 1$ 番目のゲートラインに前記ゲートハイ電圧を出力するゲート出力部と $2k - 1$ 番目のゲートラインのうちいずれか 1 つに連結された放電回路に前記キャリア信号を出力するキャリア出力部を含む複数の 1 次ステージを含み、

前記第 2 ゲート駆動部は、対応する $2k$ 番目のゲートラインに前記ゲートハイ電圧を出力するゲート出力部と $2k$ 番目のゲートのうちいずれか 1 つに連結された放電回路に前記キャリア信号を出力するキャリア出力部を含む複数の 2 次ステージを含み、

前記第 1 ゲート駆動部の $2k + 1$ 番目のゲートラインに接続された 1 次ステージのキャリア出力部は、 $2k - 1$ 番目のゲートラインに接続された R - 放電回路にキャリア信号を供給し、

前記第 2 ゲート駆動部の $2k + 2$ 番目のゲートラインに接続された 2 次ステージのキャリア出力部は、 $2k$ 番目のゲートラインに接続された L - 放電回路にキャリア信号を供給し、

前記 R - 放電回路は、前記第 1 ゲート駆動部の 1 次ステージと連結されたゲートラインの終端と前記第 2 ゲート駆動部と連結された第 1 ゲートロー電圧供給ラインとの間にそれぞれ連結され、

前記 L - 放電回路は、前記第 2 ゲート駆動部の 2 次ステージと連結されたゲートラインの終端と前記第 1 ゲート駆動部と連結された第 2 ゲートロー電圧供給ラインとの間にそれぞれ連結される、液晶表示装置。

【請求項 10】

前記少なくとも 4 つ以上のクロック信号は第 1 乃至第 4 クロック信号を含み、それぞれ 2 水平期間 $2H$ のハイ区間を有し、前後の信号間で 1 水平期間 $1H$ が重なることを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 11】

前記第 1 ゲート駆動部は、第 1 及び第 3 クロック信号を制御部から入力し、第 2 ゲート駆動部は第 2 及び第 4 クロック信号を制御部から入力することを特徴とする請求項 10 に記載の液晶表示装置。

【請求項 12】

前記第 1 ゲート駆動部は、L - 放電回路のうち最後の段以後に 1 次ダミーステージをさらに含み、前記第 2 ゲート駆動部は、R - 放電回路のうち最後の段以後に 2 次ダミーステージを追加して含むことを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 13】

前記 L - 放電回路は、
前記 $2k$ 番目のゲートラインと連結される第 1 電極、
前記ゲートロー電圧が印加される第 2 電極、
前記 $2k + 2$ 番目のゲートラインと対応するキャリア出力部に連結されるゲート電極を含むトランジスタをそれぞれ含むことを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 14】

前記 R - 放電回路は、
前記 $2k - 1$ 番目のゲートラインと連結される第 1 電極、
前記ゲートロー電圧が印加される第 2 電極、

前記 2 k + 1 番目のゲートラインと連結された L - ステージのキャリア信号力端と連結されるゲート電極をそれぞれ含むトランジスタであることを特徴とする請求項 9 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、ゲートラインに供給されるゲート駆動電圧の特性を改善した液晶表示装置に関する。

【背景技術】

【0002】

最近、電子情報表示装置分野では平板表示装置 (Flat Display Device) が従来の陰極線管表示装置 (CRT) などを代替しており、このような平板表示装置には、LCD (Liquid Crystal Display)、PDP (Plasma Display Panel)、FED (Field Emission Display) 及びOLED (Organic Light Emitting Diodes) などがある。このような平板表示装置のうち、液晶表示装置は、量産化技術、駆動手段の容易性、高画質の具現及び大面積画面の実現という理由から現在、最も多く使われている。

【0003】

特に、スイッチング素子として薄膜トランジスタ (Thin Film Transistor) が用いられるアクティブマトリクス (active matrix) 方式の液晶表示装置は、動的な映像を表示することに適している。前述した薄膜トランジスタのターンオン/オフ動作を制御するために、通常の液晶表示装置には走査信号を生成及び提供するゲート駆動部が備えられ、画像の階調を表すためのデータ信号を提供するデータ駆動部が備えられる。

【0004】

図1は、従来の液晶表示装置の基本構成を示すブロック図である。

【0005】

図示のように、従来の液晶表示装置は、画像を表示する液晶ディスプレイパネル1と駆動部4、5からなる。

【0006】

液晶ディスプレイパネル1は、硝子を用いた基板上に複数のゲートラインGLと複数のデータラインDLとがマトリクス状に交差し、交差点に複数の画素を定義し、画素に印加されるデータ信号に応じて画像を表示する。このような液晶ディスプレイパネル1は、画素が形成され画像を具現する表示領域A/Aと、表示領域A/Aを囲む非表示領域N/Aと、に区分される。

【0007】

前記駆動部4、5は、ゲート駆動部4及びデータ駆動部5を含む。ゲート駆動部4は、タイミング制御部 (図示せず) から供給されるゲート制御信号GCSに応じて液晶ディスプレイパネル1上に配列された画素のスイッチング素子のターンオン/オフ (turn on/off) を制御する。このようなゲート駆動部4は、ゲートラインGLを介して液晶ディスプレイパネル1にゲート駆動電圧VGを出力してライン毎に順に画素のスイッチング素子をターンオンすることで、一水平周期毎にデータ駆動部5から供給されるデータ信号が画素に供給されるようにする。

【0008】

データ駆動部5は、タイミング制御部から供給されるデータ制御信号DCSに応じてデジタル波形の映像データをアナログ波形のデータ信号に変調する。次いで、1つのラインに相当するデータ信号は水平周期毎にデータ駆動部5から全てのデータラインDLを介して同時に液晶ディスプレイパネル1に供給され各画素が画像の階調を表示するようになる。

。

10

20

30

40

50

【0009】

このような構造の液晶表示装置において、ゲート駆動部4は、データ駆動部5に比べて相対的にその構造が単純であるという特徴があり、液晶表示装置の体積と重さ、そして、製造コストの低減のために、ゲート駆動部を別途のICに具現して液晶ディスプレイパネルにボンディング(bonding)する方式ではなく、液晶ディスプレイパネルの基板製造時に、薄膜トランジスタの形態で共に非表示領域N/A上に製造するゲート-イン-パネル(Gate-In-Panel、GIP)方式が提案されている。

【0010】

また、液晶表示装置は、液晶の応答速度の限界により画質が低下するモーションブラー(motion blur)特性がある。これを克服するために、液晶表示装置の駆動周波数を60Hzではなく120Hz以上にする方式が提案されている。しかし、120Hz以上で液晶表示装置を駆動すると、1つの1水平期間1Hがそれだけ短くなるため、各画素のスイッチング素子をターンオンする時間を確保することが難しくなる。

10

【0011】

そのため、最近の液晶表示装置には、図1に示すように、ゲート駆動部4を液晶ディスプレイパネル10の左右にGIP方式で内蔵し、各前後のゲート駆動電圧の間にオーバーラップ区間においてゲートラインに対するプレチャージ(pre-charge)を介してスイッチング素子を安定してターンオンさせる構造が適用されている。

【0012】

しかし、上記のようにゲート駆動電圧の間にオーバーラップ区間を置くか、または駆動周波数が高くなる場合、ゲートラインに印加されるゲート駆動電圧を速かに放電させることに限界がある。

20

【発明の開示】

【発明が解決しようとする課題】

【0013】

本発明の目的は、液晶表示装置に備えられたゲートラインそれぞれに対して放電回路を配置し、ゲートラインに供給されたゲート駆動電圧を迅速に放電して画質低下を改善した液晶表示装置を提供することにある。

【0014】

また、本発明の他の目的は、デュアルGIP方式の液晶表示装置のゲート駆動部に配置されたステージでゲート駆動電圧と前段ゲートラインに配置された放電回路を制御するためのキャリア信号をそれぞれ分離して出力することによって、ゲート駆動電圧の放電遅延を防止した液晶表示装置を提供することにある。

30

【0015】

また、本発明のさらに他の目的は、デュアルGIP方式の液晶表示装置でゲート駆動電圧を2つのゲート駆動部から同時ではなく、交互に出力する構造を介してステージの個数を減らすことで、ゲート駆動部が占める領域を最小化できる液晶表示装置を提供することにある。

【課題を解決するための手段】

【0016】

上記した従来技術の課題を解決するための本発明に係る液晶表示装置は、 n (n は自然数)個のゲートラインが形成された液晶ディスプレイパネル、外部システムからタイミング信号が印加されて第1乃至第6クロック信号を生成するタイミング制御部、第1、第3及び第5クロック信号に対応してゲートハイ電圧を $2k-1$ (k は前記 n より小さい自然数)番目のゲートラインの一侧に印加する第1ゲート駆動部、第2、第4及び第6クロック信号に対応して前記ゲートハイ電圧を $2k$ 番目のゲートラインの一侧に印加する第2ゲート駆動部、 $2k+3$ 番目のゲートラインの電圧レベルに対応して前記 $2k$ 番目のゲートラインの他側にゲートロー電圧を印加するL-放電回路、 $2k+2$ 番目のゲートラインの電圧レベルに対応して第 $2k-1$ 番目ゲートラインの他側にゲートロー電圧を印加するR-放電回路を含み、前記第1ゲート駆動部は、ゲートハイ電圧を出力するゲート出力端と

40

50

前記 L - 放電回路を制御するキャリア信号出力端を含む複数個の L - ステージを含み、前記第 2 ゲート駆動部は、ゲートハイ電圧を出力する出力端と前記 R - 放電回路を制御するキャリア信号出力端とを含み、前記第 1 ゲート駆動部の L - ステージと前記第 2 ゲート駆動部の R - ステージの出力部は、ゲートハイ電圧を出力するゲート出力部と、L 又は R - 放電回路を制御するキャリア信号を出力するキャリア信号出力部をそれぞれ備え、前記第 1 ゲート駆動部の L - ステージと連結されたゲートラインの終端と前記第 2 ゲート駆動部と連結された第 1 ゲートロー電圧供給ラインとの間にそれぞれ R - 放電回路が連結され、前記第 2 ゲート駆動部の R - ステージと連結されたゲートラインの終端と前記第 1 ゲート駆動部と連結された第 2 ゲートロー電圧供給ラインとの間にそれぞれ L - 放電回路が連結され、前記 R - 放電回路は、前記第 2 ゲート駆動部の R - ステージのキャリア信号出力部から出力されるキャリア信号により動作する R - ステージを含む。

10

【0017】

また、他の発明に係る液晶表示装置は、複数のゲートラインが形成された液晶ディスプレイパネル、異なる位相を有する少なくとも 4 つ以上のクロック信号を生成する制御部、前記制御部からの少なくとも 2 つ以上のクロック信号に応じてゲートハイ電圧を $2k - 1$ (k は n より小さい自然数) 番目のゲートラインに印加する第 1 ゲート駆動部、前記制御部からの少なくとも 2 つ以上のクロック信号に応じて前記ゲートハイ電圧を $2k$ 番目のゲートラインに印加する第 2 ゲート駆動部、 $2k + 2$ 番目のゲートラインの電圧レベルに対応して前記 $2k$ 番目のゲートラインの他側にゲートロー電圧を印加する L - 放電回路、 $2k + 1$ 番目のゲートラインの電圧レベルに対応して第 $2k - 1$ 番目のゲートラインの他側にゲートロー電圧を印加する R - 放電回路を含み、前記第 1 ゲート駆動部は、対応する $2k - 1$ 番目のゲートラインに前記ゲートハイ電圧を出力するゲート出力部と $2k - 1$ 番目のゲートラインのうちいずれか 1 つに連結された放電回路に前記キャリア信号を出力するキャリア出力部を含む複数の 1 次ステージを含み、前記第 2 ゲート駆動部は、対応する $2k$ 番目のゲートラインに前記ゲートハイ電圧を出力するゲート出力部と $2k$ 番目のゲートのうちいずれか 1 つに連結された放電回路にキャリア信号を出力するキャリア出力部を含む複数の 2 次ステージを含み、前記第 1 ゲート駆動部の $2k + 1$ 番目のゲートラインに接続された 1 次ステージのキャリア出力部は、 $2k - 1$ 番目のゲートラインに接続された R - 放電回路にキャリア信号を供給し、前記第 2 ゲート駆動部の $2k + 2$ 番目のゲートラインに接続された 2 次ステージのキャリア出力部は、 $2k$ 番目のゲートラインに接続された L - 放電回路にキャリア信号を供給し、前記 R - 放電回路は、前記第 1 ゲート駆動部の 1 次ステージと連結されたゲートラインの終端と前記第 2 ゲート駆動部と連結された第 1 ゲートロー電圧供給ラインとの間にそれぞれ連結され、前記 L - 放電回路は、前記第 2 ゲート駆動部の 2 次ステージと連結されたゲートラインの終端と前記第 1 ゲート駆動部と連結された第 2 ゲートロー電圧供給ラインとの間にそれぞれ連結される。

20

30

【発明の効果】

【0018】

本発明による液晶表示装置は、液晶表示装置に備えられたゲートラインそれぞれに対して放電回路を配置し、ゲートラインに供給されたゲート駆動電圧を迅速に放電して画質低下を改善する効果がある。

40

【0019】

また、本発明による液晶表示装置は、液晶表示装置のゲート駆動部に配置されたステージでゲート駆動電圧と前段ゲートラインに配置された放電回路を制御するためのキャリア信号をそれぞれ分離して出力することによって、ゲート駆動電圧の放電遅延を防止する効果がある。

【0020】

また、本発明による液晶表示装置は、デュアル G I P 方式の液晶表示装置でゲート駆動電圧を 2 つのゲート駆動部から同時ではなく、交互に出力する構造を介してステージの個数を減らすことによってゲート駆動部が占める領域を最小化できる効果がある。

【図面の簡単な説明】

50

【 0 0 2 1 】

【図 1】従来の液晶表示装置の基本構成を示すブロック図である。

【図 2】本発明の第 1 の実施の形態による液晶表示装置を示す図である。

【図 3】本発明の第 1 の実施の形態による液晶ディスプレイパネル上に形成され放電回路を含むゲート駆動部の構造を示す図である。

【図 4 A】本発明の第 1 の実施の形態による液晶表示装置のゲート駆動部に配置されたステージの構造を示す図である。

【図 4 B】図 4 A のステージ出力部の構成を示す詳細回路図である。

【図 5】本発明の第 1 の実施の形態によってゲート駆動部の n 番目のステージで出力されるゲート駆動電圧とキャリアー信号を比較した図である。

10

【図 6】本発明の第 1 の実施の形態による液晶表示装置のゲートラインに供給されたゲート駆動電圧の変化を示す図である。

【図 7】本発明の第 2 の実施の形態による液晶表示装置を示す図である。

【図 8】本発明の第 2 の実施の形態による液晶ディスプレイパネル上に形成され放電回路を含むゲート駆動部の構造を示す図である。

【図 9】本発明の第 2 の実施の形態による液晶表示装置のゲートラインに供給されたゲート駆動電圧の変化を示す図である。

【発明を実施するための形態】

【 0 0 2 2 】

以下、本発明の実施の形態は図面を参照して詳しく説明される。次に紹介される実施の形態は、当業者に本発明の思想が十分に伝えられるように例として提供されるものである。したがって、本発明は、以下で説明される実施の形態に限定されず他の形態に具体化されることもできる。そして、図面において、装置の大きさ及び厚さなどは便宜のために誇張されて表現されることもある。明細書全体にわたって同じ符号は同じ構成要素を示す。

20

【 0 0 2 3 】

図 2 は、本発明の第 1 の実施の形態による液晶表示装置を示す図である。

【 0 0 2 4 】

図示のように、本発明の第 1 の実施の形態は、120 Hz 動作時により安定した駆動のために 6 相のクロック信号 CLK 1 ~ CLK 6 を用いたものである。

【 0 0 2 5 】

本発明の第 1 実施の形態による液晶表示装置 100 は、液晶ディスプレイパネル 101、外部システムからタイミング信号を印加されて各種制御信号を生成するタイミング制御部 122、制御信号に対応して液晶ディスプレイパネル 101 を制御するゲート及びデータ駆動部 140、125 を含む。

30

【 0 0 2 6 】

液晶ディスプレイパネル 101 は、硝子を用いた基板上に複数のゲートライン GL と複数のデータライン DL がマトリクス状に交差し、交差点に複数の画素を定義する。各画素には、薄膜トランジスタ TFT と液晶キャパシタ Clc 及びストレージキャパシタ Cst が備えられ、全ての画素は 1 つの表示領域 A/A をなす。画素が定義されていない領域は非表示領域 N/A に区分される。

40

【 0 0 2 7 】

前記タイミング制御部 122 は、外部システムから転送される映像信号 RGB と、データクロック信号 DCLK、水平同期信号 Hsync、垂直同期信号 Vsync 及びデータイネーブル信号 DE などのタイミング信号を印加されてゲート駆動部 140 及びデータ駆動部 125 の制御信号を生成する。

【 0 0 2 8 】

ここで、水平同期信号 Hsync は、画面の 1 水平線を表示するためにかかる時間を示す信号で、垂直同期信号 Vsync は、1 フレームの画面を表示するためにかかる時間を示す信号である。また、データイネーブル信号 DE は、液晶ディスプレイパネル 101 に定義された画素にデータ電圧を供給する期間を示す信号である。

50

【0029】

前記タイミング制御部122は、入力されるタイミング信号に同期化してゲート駆動部140の制御信号GCS及びデータ駆動部125の制御信号DCSを生成する。また、タイミング制御部122は、ゲート駆動部140の各ステージの駆動タイミングを決定する複数のクロック信号CLK1~CLK6を生成する。ここで、第1乃至第6クロック信号CLK1~CLK6は、ハイ区間が3水平期間3Hの間進められ、互いの間で2水平期間2Hが重なる信号である。第1、3、5クロック信号CLK1、CLK3、CLK5は第1ゲート駆動部140aに提供され、第2、4、6クロック信号CLK2、CLK4、CLK6は第2ゲート駆動部140bに提供される。

【0030】

そして、タイミング制御部122は、入力された映像データRGB DATAをデータ駆動部125が処理可能な形態に整列及び変調して出力する。ここで、整列された映像データRGBvは、画質改善のための色座標補正アルゴリズムが適用された形態である場合がある。

【0031】

ゲート駆動部140は、液晶ディスプレイパネル101の両端の、非表示領域N/Aに2つが備えられる。各ゲート駆動部140a、140bはシフトレジスタを含む複数のステージからなる。このようなゲート駆動部140は、液晶ディスプレイパネル101の基板製造時に薄膜パターン形態に非表示領域上にゲート-イン-パネル(Gate-In-Panel、GIP)方式で内蔵される。

【0032】

前記ゲート駆動部140に含まれた第1及び第2ゲート駆動部140a、140bは、タイミング制御部122から入力されるゲート制御信号GCSに応じて1水平期間毎にゲート駆動電圧の出力動作を交互に行うことでゲート駆動電圧が液晶ディスプレイパネル101に形成された複数のゲートラインGL1~GLnに水平期間H毎に順に出力されるようにする。ここで、各ゲートラインに出力されたゲート駆動電圧は、ゲートハイ電圧VGHを3水平期間3Hの間維持し、各ゲートライン上のゲート駆動電圧のゲートハイ電圧区間は隣接した前後のゲートライン上のそれらと2水平期間2Hの間重なる。これはゲートラインGL1~GLnをプレチャージするため、データ電圧の印加時により安定した画素充電を進めることができる。

【0033】

このために、第1ゲート駆動部140aには、それぞれ3水平期間3Hに該当するパルス幅を有する第1、第3及び第5クロック信号CLK1、CLK3、CLK5が印加され、第2ゲート駆動部140bには、これと2水平期間2Hずつ重ねられ、3水平期間3Hに該当するパルス幅を有する第2、第4及び第6クロック信号CLK2、CLK4、CLK6が印加される。

【0034】

一例として、第1ゲート駆動部140aがk番目のゲートラインGLkにゲートハイ電圧VGHを出力すると、1水平期間1Hの後、第2ゲート駆動部140bは、k+1番目のゲートラインGLk+1にゲートハイ電圧VGHを出力し、1水平期間1Hの後、第1ゲート駆動部140aがk+2番目のゲートラインGLk+2にゲートハイ電圧VGHを出力する。

【0035】

次いで、1水平期間1Hの後、第2ゲート駆動部140bがk+3番目のゲートラインGLk+3にゲートハイ電圧VGHを出力するとともに、k番目のゲートラインGLkにゲートロー電圧VGLを出力して薄膜トランジスタTFTをターンオフすることで、液晶キャパシタClcに充電されたデータ電圧が1フレームの間維持されるようにする。ここで、「k」は「n」より小さい自然数である。

【0036】

特に、本発明は、ゲートラインGLnの電圧がゲートハイ電圧VGHからロー電圧VGL

10

20

30

40

50

Lに切り替えられる時点で遅延無くゲートロー電圧VGLが供給されることができるよう、それぞれのゲートラインG1, …, Gnに放電回路TL1~TLj、TR1~TRjを配置し、ゲート駆動電圧の放電遅延を防止した。

【0037】

これにより、n番目のゲートラインGLnの電圧がゲートハイ電圧VGHからロー電圧VGLに切り替えられる時点でゲートロー電圧VGLを印加する放電回路TLj、TRjが活性化されてゲートラインGLnを放電させることで放電遅延が最小化される。

【0038】

前述した放電回路は、各ゲートラインGL1~GLnに対応してその終端と連結され、奇数番目のゲートラインGL1, GL3, …, GLn-1と連結されるR放電回路TR1~TRj(jは自然数)は第2ゲート駆動部140bに隣接して備えられ、偶数番目のゲートラインGL2n, GL4, …, GLnと連結されるL放電回路TL1~TLjは第1ゲート駆動部140aに隣接して備えられる。

10

【0039】

ここで、各放電回路TL1~TLj、TR1~TRjは、n番目のゲートラインGLnを基準にn+3番目以降のゲートラインGLn+3にゲート駆動電圧を供給するステージのキャリア信号(Carry Signal)によって活性化される。本発明のゲート駆動部140に配置されているステージは、従来技術と異なり、ゲート駆動電圧と各放電回路TL1~TLj、TR1~TRjを活性化するためのキャリア信号を独立して出力する。

20

【0040】

したがって、各放電回路TL1~TLj、TR1~TRjが活性化されることによって、これと連結されているそれぞれのゲートラインにゲートロー電圧VGLが印加される構造である。また、本発明の放電回路TL1~TLj、TR1~TRjは、ゲート駆動部140を構成する各ステージの間に薄膜トランジスタに形成される。これにより、各ゲート駆動部140a、140bが液晶ディスプレイパネル101の非表示領域N/Aに占める面積が減るようになる。

【0041】

このようなゲート駆動部140のステージ及び放電回路のより詳細な構造を後述する。データ駆動部125は、タイミング制御部122から入力されるデータ制御信号DCSに対応して入力されるデジタル形態の変調映像データRGBvを基準電圧Vrefに応じて選択的にアナログ形態のデータ電圧VDATAに変換する。データ電圧VDATAは、1つの水平ラインずつラッチされ、1つの水平期間1Hの間全てのデータラインDL1~DLmを介して同時に液晶ディスプレイパネル101に入力される。

30

【0042】

上述の構造によって、本発明の実施の形態による統合型駆動回路を含む液晶表示装置は、両ゲート駆動部からゲート駆動電圧を同時ではなく、交互に出力してステージの個数を減らし、各ステージの間に別の放電手段を備えて、ゲートラインの放電を補助することによって放電期間の遅延を最小化する。

【0043】

以下、図面を参照して本発明の第1実施の形態によるゲート駆動部及び放電回路の構造をさらに詳しく説明する。

40

【0044】

図3は、本発明の第1の実施の形態による液晶ディスプレイパネル上に形成されたゲート駆動部及び放電回路の構造を示す図である。

【0045】

図示のように、本発明のゲート駆動部は、液晶ディスプレイパネルの一端に形成される第1ゲート駆動部140a及び他端に形成される第2ゲート駆動部140bを含む。一方、放電回路のそれぞれはシングル放電トランジスタに具現される場合がある。そのため、ゲート駆動部240は、第1ゲート駆動部140aの各ステージの間に形成される複数の

50

L - 放電トランジスタ $T L 1 \sim T L j$ 及び第 2 ゲート駆動部 140b の各ステージの間に形成される複数の R - 放電トランジスタ $T R 1 \sim T R j$ を含む。

【0046】

各ステージには、6相方式で第1乃至第6クロック信号 $C L K 1 \sim C L K 6$ 、ゲートハイ電圧 $V G H$ 、他のステージから供給されるキャリア信号 $C S$ 及びゲートロー電圧 $V G L$ が印加され、図示していないが、電源電圧 $V D D$ 及び接地電圧 $G N D$ が印加され得る。特に、第1乃至第6クロック信号 $C L K 1 \sim C L K 6$ は、ハイ区間が3水平期間 $3 H$ の間進められ、そのハイ区間が互いに2水平期間 $2 H$ ずつ重なる信号である。また、ゲートハイ電圧 $V G H$ は、表示領域 A / A の薄膜トランジスタをターンオンする電圧であり、前記キャリア信号 $C S$ は、ステージから直接出力されて放電回路を制御する信号である。また、ゲートロー電圧 $V G L$ は、表示領域 A / A の薄膜トランジスタをターンオフする電圧である。

10

【0047】

本発明のゲート駆動部 140 を構成するそれぞれのステージは、従来の技術と異なり、ゲート駆動電圧（ゲートハイ電圧）を出力するゲート出力端 $G a t e$ と隣接するゲートラインに連結されている放電回路を制御するキャリア信号を出力するキャリア信号出力端を含む。本発明の駆動部に使用されるステージの構造は、図 4 A 及び図 4 B で詳しく説明する。

【0048】

第1ゲート駆動部 140a は、第1、第3及び第5クロック信号 $C L K 1$ 、 $C L K 3$ 、 $C L K 5$ 、ゲートハイ電圧 $V G H$ 、キャリア信号 $C S$ 及びゲートロー電圧 $V G L$ を印加され、ゲートスタートパルス $G S P$ に対応する第1スタート電圧 $V s t 1$ に応じて2水平同期期間毎に順に複数の奇数ゲートライン $G L 1$ 、 $G L 3$ 、 \dots 、 $G L n - 1$ にゲート駆動電圧を出力する。ゲート駆動電圧は、薄膜トランジスタをターンオンするゲートハイ電圧 $V G H$ パルスを含む。このゲートハイ電圧パルスは、3水平同期期間 $3 H$ の幅を有する。各ゲートラインに出力されたゲートハイ電圧パルスは、該当ゲートラインと隣接した前後のゲートラインに供給されたゲートハイ電圧パルスと2水平同期期間 $2 H$ ずつ重なる。

20

【0049】

このような第1ゲート駆動部 140a は、前記第1スタート電圧 $V s t 1$ 端に対して互いに直列連結された第1乃至第 j (j は自然数) L - ステージ $S T L 1 \sim S T L j$ と、2つのダミー L - ステージ $D T L 1$ 、 $D T L 2$ からなる。

30

【0050】

第2ゲート駆動部 140b は、第2、第4及び第6クロック信号 $C L K 2$ 、 $C L K 4$ 、 $C L K 6$ 、ゲートハイ電圧 $V G H$ 、キャリア信号 $C S$ 及びゲートロー電圧 $V G L$ を印加され、ゲートスタートパルス $G S P$ に対応する第2スタート電圧 $V s t 2$ に応じて2水平同期期間毎に順に複数の偶数番目のゲートライン $G L 2 n$ 、 $G L 4$ 、 \dots 、 $G L n$ にゲート駆動電圧を出力する。偶数番目のゲートライン $G L 2 n$ 、 $G L 4$ 、 \dots 、 $G L n$ に供給されたゲート駆動電圧は奇数番目のゲートライン $G L 1$ 、 $G L 3$ 、 \dots 、 $G L n - 1$ 上のそれらと同じゲートハイ電圧パルスを含む。

40

【0051】

このような第2ゲート駆動部 140b は、第2スタート電圧 $V s t 2$ に対して互いに直列連結された第1乃至第 j (j は自然数) R - ステージ $S T R 1 \sim S T R j$ と、ダミー R - ステージ $D T R$ からなる。

【0052】

また、前記ゲート駆動部 140 は、ダミー L ステージ $D T L 1$ 、 $D T L 2$ を含む L - ステージ $S T L 1 \sim S T L j$ の間には配置された L - 放電トランジスタ $T L 1 \sim T L j$ が備えられる。

【0053】

ここで、前述したダミー L、R - ステージ $D T L$ 、 $D T R$ は、その後の L、R - ステ

50

ジSTL_j、STR_kが存在しないため、最終の放電トランジスタ（放電回路）を駆動するために備えられるものである。

【0054】

L-放電トランジスタTL₁～TL_jの第1電極は、R-ステージSTR₁～STR_kの出力端及びダミーR-ステージDTRの出力端と連結される偶数番目のゲートラインGL_{2n}、GL₄、・・・、GL_nと連結される。ゲート電極は、第1電極が接続されたRステージより後順のLステージまたはダミーLステージのうち1つのキャリア信号出力端と連結される。そして、L-放電トランジスタTL₁～TL_jの第2電極には、ゲートロー電圧VGL供給ラインが連結される。

【0055】

すなわち、第1L-放電トランジスタTL₁の第1電極は、第2ゲートラインGL₂と連結され、ゲート電極は、第5ゲートラインGL₄と連結された第3ステージSTL₃のキャリア信号出力端CSと連結され、第2電極には、ゲートロー電圧VGLが印加される構造である。

【0056】

また、前記ゲート駆動部140は、ダミーRステージDTRを含むR-ステージSTR₁～STR_jの間には配置されたR-放電トランジスタTR₁～TR_jを備える。

【0057】

R-放電トランジスタTR₁～TR_jの第1電極は、L-ステージSTL₁～STL_jの出力端と連結される奇数番目のゲートラインGL₁、GL₃、・・・、GL_{n-1}と連結される。ゲート電極は、第1電極が接続されたLステージより後順のRステージまたはダミーRステージのキャリア信号出力端と連結される。そして、R-放電トランジスタTR₁～TR_jの第2電極には、ゲートロー電圧VGL供給ラインが連結される。

【0058】

すなわち、第1R-放電トランジスタTR₁の第1電極は、第1ゲートラインGL₁と連結され、ゲート電極は、第3ゲートラインにゲートハイ電圧を供給する第2Rステージのキャリア信号出力端と連結され、第2電極には、ゲートロー電圧VGLが印加される構造である。

【0059】

以下、前述した構造の6相方式ゲート駆動部及び放電回路の駆動方法を説明すると次のとおりである。

【0060】

第1及び第2スタート電圧V_{st1}、V_{st2}がそれぞれ第1及び第2ゲート駆動部140a、140bに印加されると、先ず第1ゲート駆動部140aの第1L-ステージSTL₁が第1クロック信号CLK₁に対応して3水平期間3Hの間ゲートハイ電圧VGHを第1ゲートラインGL₁に出力する。

【0061】

次いで、第2ゲート駆動部140bの第1R-ステージSTR₁が第2クロック信号CLK₂に対応して3水平期間3Hの間ゲート出力端を介してゲートハイ電圧VGHを第2ゲートラインGL₂に出力する。

【0062】

ここで、第1クロック信号CLK₁と第2クロック信号CLK₂は、2水平期間2Hの間互いに重なるが、第2クロック信号CLK₂は、第1クロック信号CLK₁とはシングル水平同期期間の遅延位相を有する。したがって、第1ゲートラインGL₁に印加されるゲートハイ電圧VGHの後半部と第2ゲートラインGL₂に印加されるゲートハイ電圧VGHの前半部は2水平期間2Hが重なるようになる。

【0063】

次いで、第2L-ステージSTL₂が第3クロック信号CLK₃に対応してゲートハイ電圧VGHを第3ゲートラインGL₃に出力し、その後、第2R-ステージSTR₂が第4クロック信号CLK₄に対応して3水平期間3Hの間ゲートハイ電圧VGHを第4ゲ

10

20

30

40

50

トライン G L 4 に出力する。

【 0 0 6 4 】

以上で説明しているゲートハイ電圧パルスは、本発明のステージのゲート出力端を介して出力されるゲート駆動電圧である。本発明では、ステージにゲート出力端とキャリア信号出力端を分離配置し、ゲート出力端からゲートハイ電圧パルスを出し、キャリア信号出力端からキャリア信号 C S を出力する。k 番目のゲートライン G L k と連結されたステージのキャリア信号 C S は、同じ駆動部内の k - 3 番目のゲートライン C L k - 3 に連結された放電回路を制御する。

【 0 0 6 5 】

この時、第 1 L - ステージ S T L 1 は、第 1 クロック信号 C L K 1 に対応して第 1 ゲートライン G L 1 にゲートロー電圧 V G L を出力し、同時に第 1 ゲートライン G L 1 の終端と連結された第 1 R - 放電トランジスタ T R 1 のゲート端に第 2 R ステージ S T R 2 から出力するキャリア信号 C S が印加される。したがって、第 1 R - 放電トランジスタ T R 1 が第 2 R ステージ S T R 2 のキャリア信号 C S によってターンオンされる。また、第 1 ゲートライン G L 1 が第 1 放電トランジスタ T R 1 の第 1 及び第 2 電極を經由してゲートロー電圧 V G L ラインと連結され、したがって、第 1 ゲートライン G L 1 上の電圧がゲートハイ電圧 V G H からゲートロー電圧 V G L に迅速に遷移される。

10

【 0 0 6 6 】

すなわち、第 1 ゲートライン G L 1 の両側から同時にゲートロー電圧 V G L が印加されてライン抵抗による信号遅延が最小化され、第 1 ゲートライン G L 1 は、放電トランジスタ (放電回路) によって速かに放電されるようになる。

20

【 0 0 6 7 】

また、ゲートハイ電圧 V G H が「ハイ」状態から「ロー」状態に遷移される時の遅延を最小化するために、本発明では、ステージのキャリア信号 C S 出力端から直接出力されるキャリア信号 C S を放電トランジスタのゲート電極に供給した。

【 0 0 6 8 】

従来の技術では、一般にステージのゲートハイ電圧 V G H を制御信号に使用していたが、ゲートハイ電圧 V G H はゲートラインと連結されているため、多くの負荷を受けている。したがって、放電回路の放電トランジスタをターンオンするために供給されるゲートハイ電圧 V G H もゲートラインと連結された状態ではより大きい遅延値を持つため、負荷と連結されていないキャリア信号 C S によって放電回路を制御する場合、迅速な放電が行われることができる。

30

【 0 0 6 9 】

図 4 A 及び図 4 B は、本発明の第 1 の実施の形態による液晶表示装置のゲート駆動部に配置されたステージの構造とステージ出力部の回路構造を示す図で、図 5 は、本発明の第 1 の実施の形態によってゲート駆動部の n 番目のステージで出力されるゲート駆動電圧とキャリア信号を比較した図である。

【 0 0 7 0 】

図示のように、本発明のゲート駆動部にそれぞれ形成されているステージは、クロック C L K 信号、ゲートハイ電圧 V G H 及びゲートロー電圧 V G L などを入力信号として供給される入力部 1 7 1、入力部 1 7 1 の信号を用いて出力部 1 7 3 を制御するための制御信号を発生する制御部 1 7 2、及びクロック信号及び制御信号を用いてゲートハイ電圧 V G H 及びキャリア信号を出力する出力部 1 7 3 を含む。

40

【 0 0 7 1 】

本発明のステージの出力部 1 7 3 は、ゲート出力部 1 7 3 a とキャリア信号出力部 1 7 3 b とを含み、ゲート出力部 1 7 3 a は、第 1 プルアップトランジスタ T r p u 1 と第 1 プルダウントランジスタ T r p u d 1 を有することができ、キャリア信号出力部 1 7 3 b は、第 2 プルアップトランジスタ T r p u 2 と第 2 プルダウントランジスタ T r p u d 2 を有し得る。

【 0 0 7 2 】

50

前記ゲート出力部 173 は、クロック信号 CLK 及び制御部 172 からの制御信号を用いてゲート出力端からゲートハイ電圧 (VGH: ゲート駆動電圧、Gate signal) を出力し、ステージと連結されているゲートラインにゲートハイ電圧 (駆動電圧) VGH を出力する。すなわち、前記ゲートハイ電圧 VGH は、ステージ内の Q 及び / Q ノード上の制御信号に応じて選択的に発生され該当ステージと連結されたゲートラインにゲートハイ電圧が供給される。

【0073】

また、前記キャリアー信号出力部 173 b は、クロック信号 CLK 及び制御部 172 からの制御信号に応じてキャリアー信号出力端からキャリアー信号 CS を出力し、現在、N 番目のゲートラインのステージで N - 3 番目のゲートラインに連結されている放電回路 (放電トランジスタ) を活性化する。

10

【0074】

同じくキャリアー信号も Q 及び / Q ノードの制御信号に応じて制御され得る。したがって、キャリアー信号は、ゲートハイ電圧 VGH と同じ形態の波形を有することができる。キャリアー信号は、キャリアー信号出力部 173 b から出力されるが、いずれのゲートラインとも連結されておらず、他のゲートラインに連結されている放電回路を制御するため初期遅延なく放電回路を動作させることができる。

【0075】

これによって、それぞれのゲートラインに供給されたゲートハイ電圧がロー電圧に遅延無く速かに放電されることことができる。

20

【0076】

図 5 に示すように、kth ステージのゲート出力端から出力される信号を見てみると、「ロー」から「ハイ」に遷移される区間に遅延が発生するが、「ハイ」から「ロー」に遷移される場合には遅延が従来の技術 (点線 - -) に比べ改善されたことがわかる。

【0077】

これは、Nth ステージと対応する N 番目のゲートラインに連結された放電回路に N + 3 番目のゲートラインに連結されているステージのキャリアー信号 CS によって放電回路が動作されるため、N 番目のゲートラインに供給されたゲートハイ電圧 VGH が迅速に放電されるからである。

【0078】

30

すなわち、ステージ内でキャリアー信号とゲートハイ電圧 VGH を分離しない場合は、放電回路を、活性化する制御信号をゲートハイ電圧 VGH に使用する。この場合、Nth ゲート信号を見ると、ゲートハイ電圧 VGH は初期遅延値を有して「ハイ」状態になるため、放電回路のターンオン / ターンオフも初期遅延値だけ遅延動作するようになって点線のようにゲートハイ電圧 VGH が速かに放電されない。

【0079】

本発明では、ゲートラインに連結されている放電回路を制御するために、ステージにゲートラインが連結されていないキャリアー信号出力端を形成し、このキャリアー信号出力端を介してステージで生成されたキャリアー信号 CS を即座に放電回路に供給してそれぞれのゲートライン G1, …, Gn に供給されたゲートハイ電圧 VGH を迅速に放電させるようにした。

40

【0080】

図 6 は、本発明の第 1 の実施の形態による液晶表示装置のゲートラインに供給されたゲート駆動電圧の変化を示す図である。

【0081】

図 6 及び図 3 に示すように、本発明の第 1 実施の形態による放電回路を備えた液晶表示装置において、各ゲートライン GL1 ~ GLn は、3 水平期間 3H の間ゲートハイ電圧 VGH レベルに充電された後、またゲートロー電圧 VGL レベルに放電される。この時、隣接したゲートライン GL1 ~ GLn の間には 2 水平期間 2H ずつ重なり、同じゲート駆動部と連結されるラインの間には 1 水平期間 1H ずつ重なる。ここで、データ電圧 d は、ゲ

50

ートライン $GL_{n-1} \sim GL_n$ の間の重なる期間のうち、1 水平期間 1 H の間に各画素に印加される。特に、図示のようにゲートラインの放電時には、両側端にゲートロー電圧 V_{GL} が印加されて急激な傾斜をなし、ゲートロー電圧 V_{GL} レベルに遷移される（図 6 の c）。

【0082】

本発明では、図 3 に示すように、第 1 ゲートライン GL_1 に連結されている第 1 R - 放電トランジスタ TR_1 が第 4 ゲートライン GL_4 に連結された第 2 R ステージ STR_2 のキャリー信号 CS によってターンオンされるため、第 1 ゲートライン GL_1 のゲートハイ電圧 V_{GH} が「ロー」状態に遷移される時、遅延なく即座に放電される。点線（- -）は第 4 ゲートライン GL に供給されるゲートハイ電圧 V_{HG} で第 1 R - 放電トランジスタ TR_1 がターンオンされた場合、ゲートハイ電圧 V_{HG} が「ハイ」から「ロー」に遷移される時、遅延が生じる問題点を示したものである。

10

【0083】

図示のように、第 1 ゲート駆動部 140 a と第 2 ゲート駆動部 140 b に配置されている放電回路（L - 放電トランジスタと R - 放電トランジスタ）を制御するキャリー信号 CS の前段がゲートハイ電圧 V_{HG} の前段と異なって非常に理想的に「ロー」状態から「ハイ」状態に遷移されることがわかる。

【0084】

したがって、それぞれのゲートライン GL_1, \dots, GL_n に連結されている放電トランジスタは、各ステージで供給されるキャリー信号により速かにターンオン/ターンオフされ、ゲートハイ電圧 V_{GH} を遅延無く放電させる。

20

【0085】

図 7 は、本発明の第 2 の実施の形態による液晶表示装置及びその駆動部を示す図である。

【0086】

本発明の第 2 の実施の形態は、120 Hz 動作時により安定した駆動のために 4 相のクロック信号 $CLK_1 \sim CLK_4$ を用いたものである。したがって、第 1 の実施の形態で説明したゲート駆動部に配置されているそれぞれのステージの構造は第 2 の実施の形態に同様に適用される。以下、第 1 の実施の形態と区別される部分を中心に説明する。

【0087】

図示のように、本発明の液晶表示装置は、画像を表示する液晶ディスプレイパネル 201、外部システムからタイミング信号を印加されて各種制御信号を生成するタイミング制御部 220、制御信号に対応して液晶ディスプレイパネル 201 を制御するゲート及びデータ駆動部 240、250 を含む。

30

【0088】

その他、タイミング制御部 220 は、ゲート駆動部 240 の各ステージの駆動タイミングを決定する複数のクロック信号 $CLK_1 \sim CLK_4$ を生成し、ゲート駆動部 240 に提供する。ここで、第 1 乃至第 4 クロック信号 $CLK_1 \sim CLK_4$ は、ハイ区間が 2 水平期間 2 H の間進められ、互いに 1 水平期間 1 H が重なる信号である。

【0089】

ゲート駆動部 240 は、液晶ディスプレイパネル 201 の両端、非表示領域 N/A に 2 つが備えられる。各ゲート駆動部 240 a、240 b は、シフトレジスタを含む複数のステージからなる。

40

【0090】

このような第 1 及び第 2 ゲート駆動部 240 a、240 b は、タイミング制御部 220 から入力されるゲート制御信号 GCS に応じて水平期間毎にゲート駆動電圧の出力動作を交互に行うことによってゲート駆動電圧が液晶ディスプレイパネル 201 に形成された複数のゲートライン $GL_1 \sim GL_n$ に水平期間 1 H 毎に順に出力されるようにする。ここで、各ゲートラインに出力されたゲート駆動電圧は、ゲートハイ電圧 V_{GH} を 2 水平期間 2 H の間維持し、各ゲートライン上のゲート駆動電圧のゲートハイ電圧区間は隣接した前後

50

のゲートライン上のそれらと1水平期間1Hの間重なる。これは、ゲートラインGL1～GLnをプレチャージするため、データ電圧の印加時により安定した画素充電を進めることができる。

【0091】

このために、第1ゲート駆動部240aには、それぞれ2水平期間2Hに該当するパルス幅を有する第1及び第3クロック信号CLK1、CLK3が印加され、第2ゲート駆動部240bには、第1及び第3クロック信号CLK1、CLK3と1水平期間1Hが重なり、2水平期間2Hに該当するパルス幅を有する第2及び第4クロック信号CLK2、CLK4が印加される。

【0092】

一例として、第1ゲート駆動部240aがn番目のゲートラインGLnにゲートハイ電圧VGHを出力すると、1水平期間1Hの後、第2ゲート駆動部240bはn+1番目のゲートラインGLn+1にゲートハイ電圧VGHを出力する。

【0093】

次いで、1水平期間1Hの後、再度第1ゲート駆動部240aがn+2番目のゲートラインGLn+2にゲートハイ電圧VGHを出力すると、これと同時に、第1ゲート駆動部240aはn番目のゲートラインGLnにゲートロー電圧VGLを出力して薄膜トランジスタTFTをターンオフすることで、液晶キャパシタClcに充電されたデータ電圧が1フレームの間維持されるようにする。第2ゲート駆動部240bの場合も第1ゲート駆動部240aと同様に動作するが、ゲートラインが互いに交互に連結されている。これについての具体的な説明は第1の実施の形態を参照する。

【0094】

特に、本発明は、ゲートラインGLnの電圧がゲートハイ電圧VGHからロー電圧VGLに切り替えられる時点で放電回路TL1～TLj、TR1～TRjをさらに備えてゲートラインGLnの放電遅延を最小化することを特徴とする。前述した放電回路は、各ゲートラインGL1～GLnに対応してその終端と連結され、奇数番目のゲートラインGL1、GL3、・・・、GLn-1と連結されるR放電回路TR1～TRj(jは自然数)は、第2ゲート駆動部240bに隣接して備えられ、偶数番目のゲートラインGL2n、GL4、・・・、GLnと連結されるL放電回路TL1～TLjは、第1ゲート駆動部240aに隣接して備えられる。

【0095】

本発明では、ゲート駆動部240の各ステージも、図4A及び図4Bのように、ゲート出力端とキャリア信号CS出力端を形成し、放電回路TL1～TLj、TR1～TRjを初期遅延のないキャリア信号CSによって制御させた。

【0096】

図8は、本発明の第2の実施の形態による液晶ディスプレイパネル上に形成されたゲート駆動部及び放電回路の構造を示す図である。

【0097】

図示のように、本発明のゲート駆動部は、液晶ディスプレイパネルの一端に形成される第1ゲート駆動部240a及び他端に形成される第2ゲート駆動部240bを含む。一方、放電回路のそれぞれは、シングル放電トランジスタに具現されることができる。したがって、ゲートドライバ240は、第1ゲート駆動部240aの各ステージの間に形成される複数のL-放電トランジスタTL1～TLj及び第2ゲート駆動部240bの各ステージの間に形成される複数のR-放電トランジスタTR1～TRjを含む。

【0098】

各ステージには、4相方式で第1乃至第4クロック信号CLK1～CLK4、ゲートハイ電圧VGH、他のステージから供給されるキャリア信号CS及びゲートロー電圧VGLが印加され、図示していないが、電源電圧VDD及び接地電圧GNDが印加され得る。特に、第1乃至第4クロック信号CLK1～CLK4は、ハイ区間が2水平期間2Hの間進められ、そのハイ区間が互いに1水平期間1Hずつ重なる信号である。

10

20

30

40

50

【0099】

本発明のゲート駆動部240を構成するそれぞれのステージは、従来の技術と異なりゲート駆動電圧（ゲートハイ電圧）及び隣接したゲートラインに連結されている放電回路を制御するキャリア信号を出力する出力部を含む。各ステージの出力部はゲート駆動電圧を出力するゲート出力端及びキャリア信号を出力するキャリア出力端を含む（図4A及び図4B参照）。

【0100】

第1ゲート駆動部240aは、第1及び第3クロック信号CLK1、CLK3、ゲートハイ電圧VGH、キャリア信号CS及びゲートロー電圧VGLを印加され、ゲートスタートパルスGSPに対応する第1スタート電圧Vst1に応じて複数の奇数ゲートラインGL1, GL3, …, GLn-1にゲート駆動電圧を出力する。ゲート駆動電圧は、薄膜トランジスタをターンオンするゲートハイ電圧パルスを含む。このゲートハイ電圧パルスは2水平同期期間4Hの幅を有する。各ゲートラインに出力されたゲートハイ電圧パルスは、該当ゲートラインと隣接した前後のゲートラインに供給されたゲートハイ電圧パルスと互いに1水平同期期間1Hずつ重なる。

10

【0101】

このような第1ゲート駆動部240aは、前記第1スタート電圧Vst1に対して互いに直列連結された第1乃至第j（jは自然数）L-ステージSTL1～STLjと、1つのダミーL-ステージDTLからなる。

【0102】

第2ゲート駆動部240bは、第2及び第4クロック信号CLK2、CLK4、ゲートハイ電圧VGH、キャリア信号CS及びゲートロー電圧VGLを印加され、ゲートスタートパルスGSPに対応する第2スタート電圧Vst2に応じて2水平同期期間毎に順に複数の偶数番目のゲートラインGL2n, GL4, …, GLnにゲート駆動電圧を出力する。偶数番目のゲートラインGL2n, GL4, …, GLnに供給されたゲート駆動電圧は、奇数番目のゲートラインGL1, GL3, …, GLn-1上のそれらと同じゲートハイ電圧パルスを含む。

20

【0103】

このような第2ゲート駆動部240bは、第2スタート電圧Vst2に対して互いに直列連結された第1乃至第j（jは自然数）R-ステージSTR1～STRjと、1つのダミーR-ステージDTRからなる。

30

【0104】

また、前記ゲート駆動部240は、ダミーLステージDTLを含むL-ステージSTL1～STLjの間には配置されたL-放電トランジスタTL1～TLjを備える。

【0105】

L-放電トランジスタTL1～TLjの第1電極は、R-ステージSTR1～STRjの出力端及びダミーR-ステージDTRの出力端と連結される偶数番目のゲートラインGL2n, GL4, …, GLnと連結される。ゲート電極は、第1電極が接続されたRステージより後順のRステージまたはダミーRステージのキャリア信号出力端と連結される。そして、L-放電トランジスタTL1～TLjの第2電極には、ゲートロー電圧VGL供給ラインが連結される。

40

【0106】

すなわち、第1L-放電トランジスタTL1の第1電極は、第2ゲートラインGL2と連結され、ゲート電極は、第4ゲートラインGL4と連結された第2RステージSTL2のキャリア信号出力端CSと連結され、第2電極には、ゲートロー電圧VGLが印加される構造である。

【0107】

また、前記ゲート駆動部240は、ダミーRステージDTRを含むR-ステージSTR1～STRjの間には配置されたR-放電トランジスタTR1～TRjを備える。

【0108】

50

R - 放電トランジスタ $TR_1 \sim TR_j$ の第 1 電極は、L - ステージ $STL_1 \sim STL_k$ の出力端と連結される奇数番目のゲートライン $GL_1, GL_3, \dots, GL_{n-1}$ と連結される。ゲート電極は、第 1 電極が接続された L ステージより後順の L ステージまたはダミー L ステージのキャリア信号出力端と連結される。そして、R - 放電トランジスタ $TR_1 \sim TR_j$ の第 2 電極には、ゲートロー電圧 V_{GL} 供給ラインが連結される。

【0109】

すなわち、第 1 R - 放電トランジスタ TR_1 の第 1 電極は、第 1 ゲートライン GL_1 と連結され、ゲート電極は、第 3 ゲートラインにゲートハイ電圧を供給する第 2 L ステージのキャリア信号出力端と連結され、第 2 電極には、ゲートロー電圧 V_{GL} が印加される構造である。

10

【0110】

本発明の第 2 の実施の形態は第 1 の実施の形態の動作と同じ動作を行うが、4 相クロック信号 $CLK_1 \sim CLK_4$ によって第 1 ゲートライン GL_1 に連結されている第 1 R - 放電トランジスタ TR_1 のターンオン信号を反対側の第 2 L - ステージ STL_2 のキャリア信号 CS に使用する。

【0111】

また、第 2 ゲートライン GL_2 に連結されている第 1 L - 放電トランジスタ TL_1 のターンオン信号は、反対側の第 2 R - ステージ STR_2 のキャリア信号 CS を使用する。

【0112】

すなわち、それぞれのゲートライン GL_1, \dots, GL_n に連結されている放電回路 $TL_1 \sim TL_j, TR_1 \sim TR_j$ をゲートラインに供給されるゲートハイ電圧 V_{GH} を使用せず、それぞれのステージから独立して出力されるキャリア信号 CS を使用してゲートハイ電圧 V_{GH} の遅延を防止した。

20

【0113】

図 9 は、本発明の第 2 の実施の形態による液晶表示装置のゲートラインに供給されたゲート駆動電圧の変化を示す図である。

【0114】

図 8 及び図 9 に示すように、本発明の第 2 の実施の形態による放電回路を備えた液晶表示装置において、各ゲートライン $GL_1 \sim GL_n$ は、2 水平期間 $2H$ の間ゲートハイ電圧 V_{GH} レベルに充電された後、再度ゲートロー電圧 V_{GL} レベルに放電される。この時、隣接したゲートライン $GL_1 \sim GL_n$ の間には 1 水平期間 $1H$ ずつ重なり、同じゲート駆動部と連結されるライン上のゲートハイ電圧 V_{GH} は時間的に互いに重ならなくなる。ここで、データ電圧 d は、ゲートライン $GL_{n-1} \sim GL_n$ の間の重なる期間のうち、1 水平期間 $1H$ の間に各画素に印加される。

30

【0115】

特に、図示のように、ゲートラインの放電時には、両側端にゲートロー電圧 V_{GL} が印加されて急激な傾斜をなし、ゲートロー電圧 V_{GL} レベルに遷移されるようになる（図 9 の F）。

【0116】

本発明では、図 8 に示すように、第 1 ゲートライン GL_1 に連結されている第 1 R - 放電トランジスタ TR_1 が第 3 ゲートライン GL_3 に連結された第 2 L ステージ STL_2 のキャリア信号 CS によってターンオンされるため、第 1 ゲートライン GL_1 のゲートハイ電圧 V_{HG} が「ロー」状態に遷移される時、遅延なく即座に放電される。点線（図 9 の Y、- -）は第 3 ゲートライン GL に供給されるゲートハイ電圧 V_{HG} に第 1 R - 放電トランジスタ TR_1 がターンオンした場合、ゲートハイ電圧 V_{HG} が「ハイ」から「ロー」に遷移される時、遅延が生じる問題点を示したものである。

40

【0117】

図示のように、第 1 ゲート駆動部 240 a と第 2 ゲート駆動部 240 b に配置されている放電回路（L - 放電トランジスタと R - 放電トランジスタ）を制御するキャリア信号 CS の前段がゲートハイ電圧 V_{HG} の前段と異なり非常に理想的に「ロー」状態から「ハイ

50

」状態に遷移されることがわかる。

【0118】

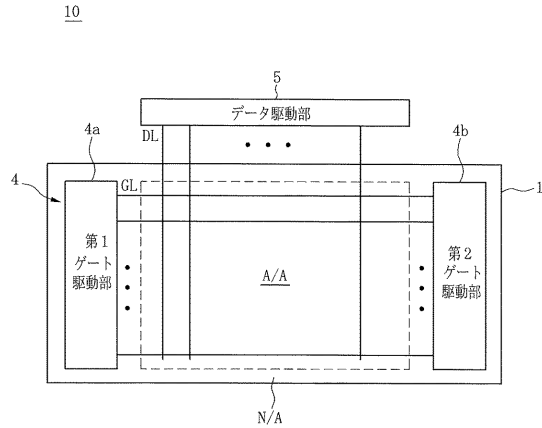
したがって、それぞれのゲートラインGL1,・・・GLnに連結されている放電トランジスタは、各ステージで供給されるキャリア信号によって速かにターンオン/ターンオフされ、ゲートハイ電圧VGHを放電させる。

【符号の説明】

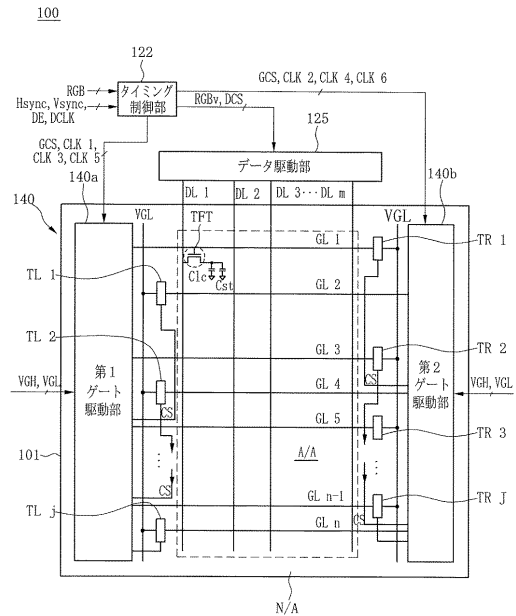
【0119】

- 101：液晶ディスプレイパネル
- 120：タイミング制御部
- 125：データ駆動部
- 140：ゲート駆動部
- A/A：表示領域
- N/A：非表示領域
- TL1～TLj：L-放電回路（放電トランジスタ）
- TR1～TRj：R-放電回路（放電トランジスタ）
- TFT：薄膜トランジスタ
- Clc：液晶キャパシタ
- Cst：ストレージキャパシタ

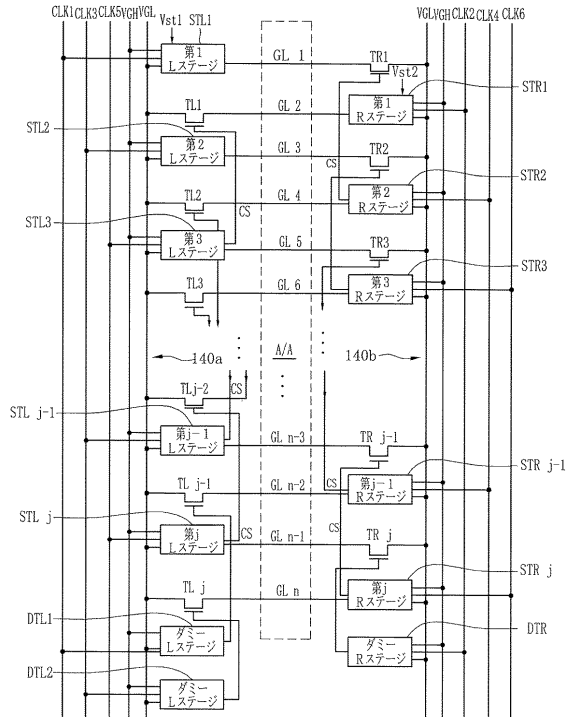
【図1】



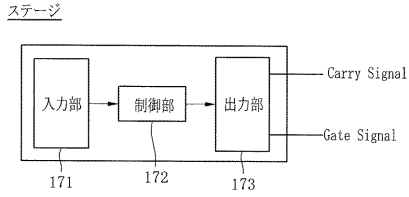
【図2】



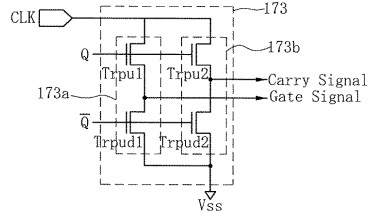
【図3】



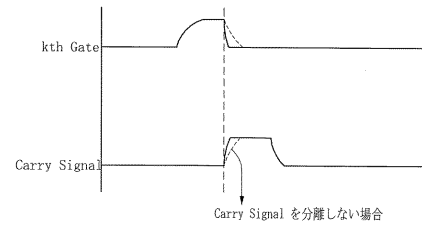
【図4A】



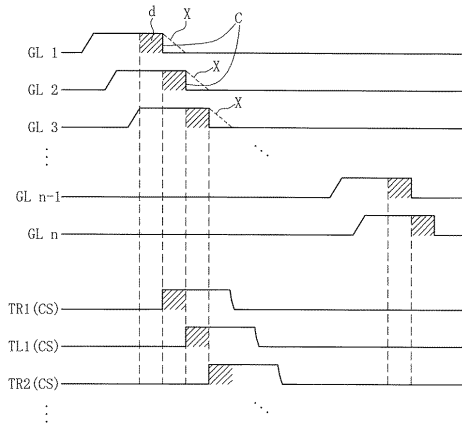
【図4B】



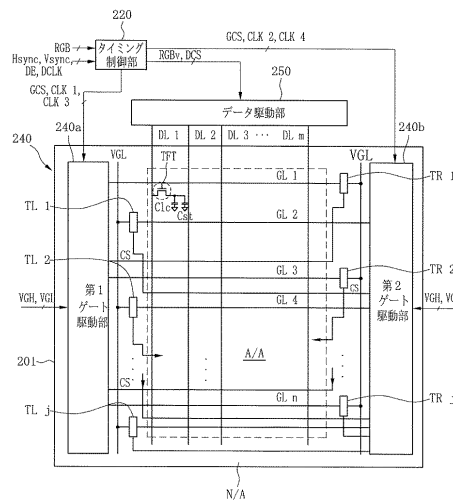
【図5】



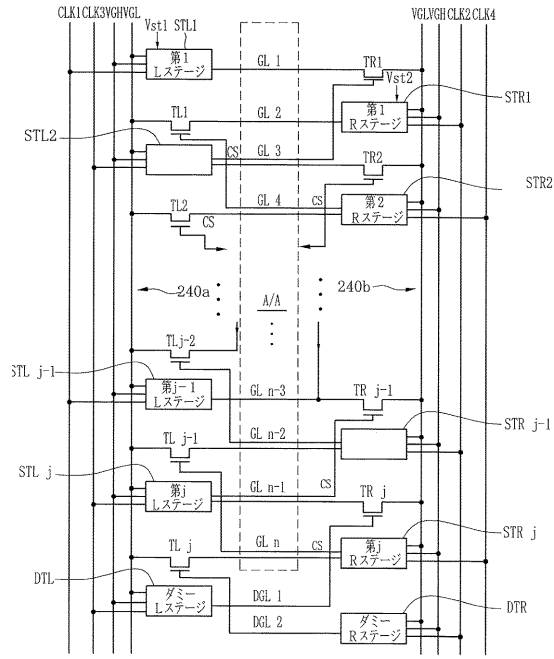
【図6】



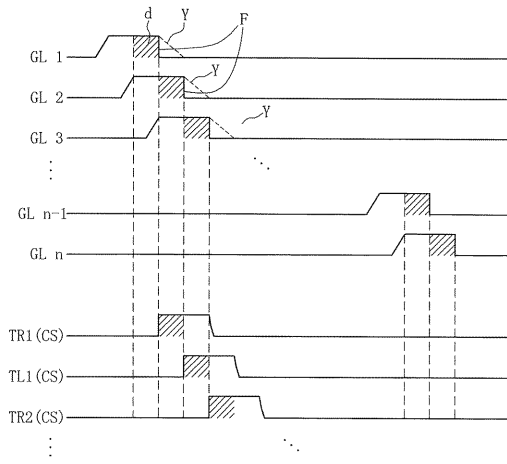
【図7】



【図8】



【図9】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 2 G
G 0 2 F 1/133 5 5 0

(74)代理人 100188329
弁理士 田村 義行

(74)代理人 100188514
弁理士 松岡 隆裕

(72)発明者 チョイ、ジョン・ミ
大韓民国、413-833 キョンギ-ド、パジュ-シ、ギョハ-ウプ、ドンペ-リ、シンドンア
アパートメント 1107-902

審査官 西島 篤宏

(56)参考文献 国際公開第2009/104322(WO, A1)
特開2011-065740(JP, A)
特開平10-253940(JP, A)
特開2011-138100(JP, A)
特開2004-334216(JP, A)
国際公開第2011/055569(WO, A1)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 液晶表示装置 | | |
| 公开(公告)号 | JP5728465B2 | 公开(公告)日 | 2015-06-03 |
| 申请号 | JP2012279392 | 申请日 | 2012-12-21 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | Eruji显示有限公司 | | |
| 当前申请(专利权)人(译) | Eruji显示有限公司 | | |
| [标]发明人 | チョイジョンミ | | |
| 发明人 | チョイ、ジョン・ミ | | |
| IPC分类号 | G09G3/36 G09G3/20 G02F1/133 | | |
| CPC分类号 | G09G3/3696 G09G3/3655 G09G3/3659 G09G3/3677 G09G3/3688 G09G2310/0251 G09G2310/0286 G09G2320/02 G11C19/287 | | |
| FI分类号 | G09G3/36 G09G3/20.611.J G09G3/20.612.J G09G3/20.622.M G09G3/20.622.D G09G3/20.622.G G02F1/133.550 | | |
| F-TERM分类号 | 2H193/ZA04 2H193/ZB02 2H193/ZC24 2H193/ZC34 2H193/ZF23 2H193/ZF24 2H193/ZF44 2H193/ZF51 5C006/AC22 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC22 5C080/AA10 5C080/BB05 5C080/DD08 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 | | |
| 代理人(译) | Kajinami秩序 上田俊一 吉田纯一郎 田村善之 | | |
| 优先权 | 1020120109249 2012-09-28 KR | | |
| 其他公开文献 | JP2014071451A | | |
| 外部链接 | Espacenet | | |

摘要(译)

提供一种具有改善的栅极驱动电压特性的液晶显示装置。具有液晶显示面板n条栅极线，用于基于所述定时信号，所述第一，第二3，2K-1个栅极高响应电压到第五时钟信号产生时钟信号的定时控制器用于施加到所述栅极线，所述第二，第四，用于响应施加栅极高电压到第六时钟信号提供给第2k栅极线第二栅极驱动器，2K + 1栅极线电平的第一栅极驱动器施加对应L-放电电路，用于在2K-1条栅极线，2k的栅极线的响应于2K + 2栅极线的电平的另一侧的另一侧施加栅极低电压的栅极低电压它包括R-放电电路，第一和第二栅极驱动器包括多个L和R-级包括一个进位信号输出端，用于控制其输出栅极高电压的栅极输出端L和R-放电电路。点域

