

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5679172号
(P5679172)

(45) 発行日 平成27年3月4日 (2015.3.4)

(24) 登録日 平成27年1月16日 (2015.1.16)

(51) Int.Cl.

F I

G O 9 G 3 / 3 6 (2 0 0 6 . 0 1)

G O 9 G 3 / 2 0 (2 0 0 6 . 0 1)

G O 2 F 1 / 1 3 3 (2 0 0 6 . 0 1)

G O 9 G 3 / 3 6

G O 9 G 3 / 2 0 6 4 1 C

G O 9 G 3 / 2 0 6 2 2 D

G O 9 G 3 / 2 0 6 2 3 D

G O 9 G 3 / 2 0 6 2 2 R

請求項の数 4 (全 24 頁) 最終頁に続く

(21) 出願番号	特願2010-244423 (P2010-244423)	(73) 特許権者	502356528
(22) 出願日	平成22年10月29日 (2010.10.29)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2012-98400 (P2012-98400A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成24年5月24日 (2012.5.24)	(73) 特許権者	506087819
審査請求日	平成25年10月28日 (2013.10.28)		パナソニック液晶ディスプレイ株式会社
前置審査			兵庫県姫路市飾磨区妻鹿日田町1-6
		(74) 代理人	110000154
			特許業務法人はるか国際特許事務所
		(72) 発明者	笹沼 啓太
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		(72) 発明者	青木 義典
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
			最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

データ信号線と、
前記データ信号線に接続されるとともに、順番に並ぶ複数の画素回路と、
隣接する画素回路の間をそれぞれ延伸し、前記順番に沿って並んでいる複数のゲート信号線であって、各ゲート信号線が前記隣接する画素回路のうち前記ゲート信号線の一方側に配置される画素回路と接続される複数のゲート信号線と、
前記順番に沿った正順方向とそれとは逆の方向である逆順方向のいずれか一方を選択し、オン電圧であるゲート信号を前記選択した方向の順番で前記複数のゲート信号線に出力するゲート信号線駆動回路と、
前記複数の画素回路のうち1の画素回路を選択し、その表示データに応じた表示制御電圧を、前記データ信号線に供給する、データ信号線駆動回路と、
前記複数の画素回路に基準電圧を供給する基準電圧線駆動回路と、を備えるIPS方式の液晶表示装置であって、
各ゲート信号線に出力されるゲート信号は、該ゲート信号線に接続される画素回路の表示データに応じた表示制御電圧が前記データ信号線に供給される1水平期間と、さらにその前の1水平期間とに連続してオン電圧となり、
各画素回路は、画素電極と、前記基準電圧が供給される基準電極と、前記データ信号線と前記画素電極との間に設けられるとともに前記ゲート信号により制御されるスイッチング素子と、を備え、各画素回路は、前記ゲート信号線に対して、前記基準電極が前記画素

電極より遠方に形成される構造を有し、

前記正順方向が選択されている場合、各画素電極の電圧は、前記表示制御電圧が画素電極に加えられた後に画素回路の第1の寄生容量に応じて決まる第1の低下量、前記表示制御電圧から低下し、前記逆順方向が選択されている場合には、各画素電極の電圧は、前記表示制御電圧が画素電極に加えられた後に、前記第1の低下量と画素回路の第2の寄生容量に応じて決まる第2の低下量の合計の低下量、前記表示制御電圧から低下し、

前記基準電圧線駆動回路は、正順用基準電圧及び逆順用基準電圧を電圧情報として記憶する記憶部と、前記電圧情報に基づいて前記基準電圧を生成する生成回路と、を備え、

前記基準電圧線駆動回路は、前記正順方向と前記逆順方向のうち選択された方向に応じた基準電圧を前記正順用基準電圧と前記逆順用基準電圧とから選択し、選択した基準電圧を前記生成回路で生成して前記基準電極に供給し、

前記選択される方向が前記正順方向と前記逆順方向との間で切り替わった場合、前記基準電圧の切り替えは、1フレームにおける前記表示制御電圧の供給が終了してから次のフレームの開始までの期間である帰線期間に行われる

ことを特徴とする、液晶表示装置。

【請求項2】

前記正順用基準電圧及び前記逆順用基準電圧は、ともに直流電圧であり、

前記電圧情報は、前記正順用基準電圧又は前記逆順用基準電圧のいずれかの値と、前記正順用基準電圧と前記逆順用基準電圧との差分値とである

ことを特徴とする、請求項1に記載の液晶表示装置。

【請求項3】

データ信号線と、

前記データ信号線に接続されるとともに、順番に並ぶ複数の画素回路と、

隣接する画素回路の間をそれぞれ延伸し、前記順番に沿って並んでいる複数のゲート信号線であって、各ゲート信号線が前記隣接する画素回路のうち前記ゲート信号線の一方側に配置される画素回路と接続される複数のゲート信号線と、

前記順番に沿った正順方向とそれとは逆の方向である逆順方向のいずれか一方を選択し、オン電圧であるゲート信号を前記選択した方向の順番で前記複数のゲート信号線に出力するゲート信号線駆動回路と、

前記複数の画素回路のうち1の画素回路を選択し、その表示データに応じた表示制御電圧を前記データ信号線に供給するデータ信号線駆動回路と、

前記複数の画素回路に基準電圧を供給する基準電圧線駆動回路と、を備えるI P S方式の液晶表示装置であって、

各ゲート信号線に出力されるゲート信号は、該ゲート信号線に接続される画素回路の表示データに応じた表示制御電圧が前記データ信号線に供給される1水平期間と、さらにその前の1水平期間とに連続してオン電圧となり、

各画素回路は、画素電極と、前記基準電圧が供給される基準電極と、前記データ信号線と前記画素電極との間に設けられるとともに前記ゲート信号により制御されるスイッチング素子と、を備え、各画素回路は、前記ゲート信号線に対して、前記基準電極が前記画素電極より遠方に形成される構造を有し、

前記正順方向が選択されている場合、各画素電極の電圧は、前記表示制御電圧が画素電極に加えられた後に画素回路の第1の寄生容量に応じて決まる第1の低下量、前記表示制御電圧から低下し、前記逆順方向が選択されている場合には、各画素電極の電圧は、前記表示制御電圧が画素電極に加えられた後に、前記第1の低下量と画素回路の第2の寄生容量に応じて決まる第2の低下量の合計の低下量、前記表示制御電圧から低下し、

前記基準電圧線駆動回路は、ともに直流電圧である正順用基準電圧及び逆順用基準電圧を電圧情報として記憶する記憶部と、前記電圧情報に基づいて前記基準電圧を生成する生成回路と、を備え、

前記電圧情報は、前記正順用基準電圧又は前記逆順用基準電圧のいずれかの値と、前記正順用基準電圧と前記逆順用基準電圧との差分値とであり、

10

20

30

40

50

前記基準電圧線駆動回路は、前記正順方向と前記逆順方向のうち選択された方向に応じた基準電圧を前記正順用基準電圧と前記逆順用基準電圧とから選択し、選択した基準電圧を前記生成回路で生成して前記基準電極に供給し、

前記選択される方向が前記正順方向と前記逆順方向との間で切り替わった場合、前記基準電圧の切り替えは、1フレームにおける前記表示制御電圧の供給が終了してから次のフレームの開始までの期間である帰線期間に行われる

ことを特徴とする、液晶表示装置。

【請求項4】

前記基準電圧線駆動回路と接続される、1又は複数の基準電圧線を、さらに備えるとともに、

各前記画素回路の基準電極は、前記1又は複数の基準電圧線のいずれかと接続され、

前記基準電圧線駆動回路は、前記1又は複数の基準電圧線それぞれに、対応する各画素回路に応じた基準電圧を供給する、

ことを特徴とする、請求項1乃至請求項3のいずれかに記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関する。特に、双方向走査駆動が可能である表示装置の表示品質の向上に関する。

【背景技術】

【0002】

表示装置において、表示部に設けられる複数の画素回路に対して、ゲート信号線駆動回路とデータ信号線駆動回路などが制御を行っている。各画素回路に、スイッチング素子が備えられているのが一般的であり、例えば、表示装置が液晶表示装置である場合など、各画素回路に、画素電極が備えられているのが一般的である。スイッチング素子は、データ信号線駆動回路より延伸するデータ信号線と、例えば画素電極の間に設けられ、スイッチング素子のスイッチに、ゲート信号線駆動回路より延伸するゲート信号線が接続され、ゲート信号線に印加される電圧によりスイッチング素子は制御される。

【0003】

ゲート信号線駆動回路は、順番に並ぶ複数のゲート信号線に対して、ゲート信号オン期間にオン電圧となりゲート信号オフ期間にオフ電圧となるゲート信号を、順に出力している。あるゲート信号線に出力されるゲート信号がオン電圧となると、該ゲート信号線に接続されるスイッチング素子はオン状態となる。データ信号線駆動回路は、オン状態のスイッチング素子を備える画素回路の表示データに応じた表示制御電圧を、データ信号線に供給する。それゆえ、該画素回路の画素電極に、オン状態となるスイッチング素子を介して、データ信号線に印加される表示制御電圧が印加される。画素電極と基準電圧との間に、容量が形成されており、画素電極と基準電圧との間に保持される保持電圧により、画素回路の表示が制御される。ここで、データ信号線駆動回路が、1個の画素回路に表示データの書込み駆動を行うデータ書込み期間を、すなわち、1個の画素回路の表示データに応じた表示制御電圧をデータ信号線に供給する期間を、1水平期間(H)とする。

【0004】

近年の高精細化の要請により、1水平期間(H)に十分な時間を確保することが困難となっており、それに対応するために、ゲート信号のゲート信号オン期間を、1水平期間(H)より長くとするゲートオーバーラップ駆動が用いられている。すなわち、ゲート信号のゲート信号オン期間は、対応する1水平期間(H)と、さらにその前の所定の期間とを含んでいる。

【0005】

また、様々な画像表示を可能とするために、順番に並ぶ複数のゲート信号線に出力されるゲート信号が、該順番と正順にオン電圧となる順方向走査駆動と、該順番と逆順にオン電圧となる逆方向走査駆動とを、ともに行うことが出来る、双方向走査駆動が可能なゲー

10

20

30

40

50

ト信号線駆動回路が望まれている。

【発明の概要】

【発明が解決しようとする課題】

【0006】

図9は、一般的な表示装置の画素回路の回路図である。図には、上側から下側へ順番に並ぶ複数の画素回路のうち、 n 番目の画素回路と $n+1$ 番目の画素回路が示されている。 n 番目の画素回路は、画素電極110_nとスイッチング素子と基準電極（図示せず）を備えている。ここで、スイッチング素子とは、例えば、薄膜トランジスタ（Thin Film Transistor：以下、TFTと記す）である。図には、スイッチング素子はTFT109_nとして示されている。

10

【0007】

前述の通り、TFT109_nは、接続されるデータ信号線107と画素電極110_nの間に設けられており、TFT109_nのゲートには、順番に並ぶ複数のゲート信号線105のうち、 n 番目のゲート信号線105_nが接続されている。基準電極は基準電圧線108に接続されており、画素電極110_nと基準電極によって、画素容量 C_{st} が形成される。

【0008】

n 番目の画素回路の画素電極110_nは、図中上側と下側に、それぞれ、 $n-1$ 番目のゲート信号線105_{n-1}と、 n 番目のゲート信号線105_nとに、隣接して配置されており、画素電極110_nと n 番目のゲート信号線105_nとの間に、寄生容量 C_{gp1} が、画素電極110_nと $n-1$ 番目のゲート信号線105_{n-1}との間に、寄生容量 C_{gp2} が生じている。

20

【0009】

ゲート信号線駆動回路は、複数のゲート線信号線に対して、ゲートオーバーラップ駆動を行い、かつ、順方向走査駆動又は逆方向走査駆動のいずれかを選択して行う。ここで、順方向31は、順番に並ぶゲート信号線105の順番と正順となる方向であり、逆方向32は、順番に並ぶゲート信号線105の順番と逆順となる方向である。

【0010】

画素電極110の両側それぞれに隣接するゲート信号線105に出力されるゲート信号が、オン電圧からオフ電圧に変化するのに伴い、画素電極110との間に生じる寄生容量とのカップリングにより、画素容量 C_{st} に保持される保持電圧が変動する。すなわち、基準電圧線108に供給される基準電圧が等しい場合、基準電極に対する画素電極110の電圧が変動する。ここで、寄生容量 C_{gp1} によって変化する電圧を電圧 V_1 と、寄生容量 C_{gp2} によって変化する電圧を電圧 V_2 とする。

30

【0011】

順方向31の方向に順方向走査駆動をする場合において、 n 番目のゲート信号のゲート信号オン期間の終わりにおいて、 n 番目の画素回路の画素電極110_nの電圧は、表示データに応じた表示制御電圧へ収束している。そして、ゲート信号オン期間からゲート信号オフ期間へ移るタイミングで、 n 番目のゲート信号がオン電圧からオフ電圧に変化し、寄生容量 C_{gp1} により、ゲート信号オフ期間の始まりにおいて、画素電極110_nの電圧は、所望の表示制御電圧より、電圧 V_1 変化して、その後維持される。なお、 n 番目のゲート信号のゲート信号オン期間の途中で、 $n-1$ 番目のゲート信号がオン電圧からオフ電圧に変化し、寄生容量 C_{gp2} により画素電極110_nの電圧は、電圧 V_2 変化するが、その後、画素電極110_nの電圧は、表示制御電圧に変化するので、電圧 V_2 の影響は抑制されている。

40

【0012】

一方、逆方向32の方向に逆方向走査駆動をする場合において、 n 番目のゲート信号のゲート信号オン期間の終わりにおいて、 n 番目の画素回路の画素電極110_nの電圧は、表示データに応じた表示制御電圧へ収束しており、その後、 n 番目のゲート信号がオン電圧からオフ電圧に変化し、順方向走査駆動をする場合と同様に、画素電極110_nの電圧

50

は、所望の表示制御電圧より、電圧 V_1 変化する。さらに、その後、 $n-1$ 番目のゲート信号がオン電圧からオフ電圧に変化し、寄生容量 C_{gp2} により画素電極 110_n の電圧は、さらに電圧 V_2 変化する。すなわち、その後、維持される画素電極 110_n の電圧は、所望の表示制御電圧と、電圧 V_1 と電圧 V_2 の合計となる電圧の差がある。

【0013】

以上説明した通り、基準電圧線108に供給される基準電圧が等しいとき、順方向走査駆動を行う場合と、逆方向走査駆動を行う場合とで、基準電極に対する画素電極 110 の電圧に差異が生じ、表示品質の低下を招くこととなる。

【0014】

本発明は、このような課題を鑑みてなされたものであり、順方向走査駆動する場合と、逆方向走査駆動をする場合とに生じる、画素回路の保持電圧の差異の影響を抑制し、表示品質が向上される表示装置の提供を、目的とする。

【課題を解決するための手段】

【0015】

(1) 上記課題を解決するために、本発明に係る表示装置は、データ信号線と、前記データ信号線に接続されるとともに順番に並ぶ複数の画素回路と、隣接する画素回路の間をそれぞれ延伸するとともに一方側に配置される前記画素回路と接続される、前記順番に並ぶ複数のゲート信号線と、時間経過とともに前記順番と正順又は逆順のいずれかを選択しその順にそれぞれオン電圧となる複数のゲート信号を前記順番に並ぶ前記複数のゲート信号線にそれぞれ出力する、ゲート信号線駆動回路と、前記複数の画素回路のうち1の画素回路を選択しその表示データに応じた表示制御電圧を前記データ信号線に供給する、データ信号線駆動回路と、各前記画素回路に応じる基準電圧を該画素回路それぞれに供給する、基準電圧線駆動回路と、を備える表示装置であって、各前記ゲート信号線に出力されるゲート信号は、前記データ信号線駆動回路が、該ゲート信号線に接続される画素回路の表示データに応じた表示制御電圧を前記データ信号線に供給する期間と、さらにその前の所定の期間とに、オン電圧となり、前記各画素回路は、画素電極と、該画素回路に応じる基準電圧が供給される基準電極と、前記データ信号線と該画素電極との間に設けられるとともに前記ゲート信号により制御されるスイッチング素子と、を備え、前記基準電圧線駆動回路は、前記ゲート信号線駆動回路が前記順番と正順又は逆順のいずれかの順に前記ゲート信号を出力するのに応じて、各画素回路の前記基準電極に、正順用基準電圧又は逆順用基準電圧を選択して、供給する、ことを特徴とする。

【0016】

(2) 上記(1)に記載の表示装置であって、前記基準電圧線駆動回路は、前記正順用基準電圧及び前記逆順用基準電圧を決定する電圧情報を記憶する記憶部と、前記電圧情報に基づいて各前記画素回路に応じる基準電圧を生成する生成回路と、を備えていてもよい。

【0017】

(3) 上記(2)に記載の表示装置であって、前記正順用基準電圧及び前記逆順用基準電圧は、ともに直流電圧であり、前記電圧情報は、前記正順用基準電圧及び前記逆順用基準電圧の値であってもよい。

【0018】

(4) 上記(2)に記載の表示装置であって、前記正順用基準電圧及び前記逆順用基準電圧は、ともに直流電圧であり、前記電圧情報は、前記正順用基準電圧又は前記逆順用基準電圧のいずれかの値と、前記正順用基準電圧と前記逆順用基準電圧との差分値と、であってもよい。

【0019】

(5) 上記(2)に記載の表示装置であって、前記正順用基準電圧及び前記逆順用基準電圧は、ともに直流電圧であり、前記電圧情報は、前記正順用基準電圧と前記逆順用基準電圧との平均値と、前記正順用基準電圧と前記逆順用基準電圧との差分値の半値と、であってもよい。

10

20

30

40

50

【 0 0 2 0 】

(6) 上記 (2) に記載の表示装置であって、前記正順用基準電圧及び前記逆順用基準電圧は、ともに所定の周期で、ロー電圧と該ロー電圧より所定の振幅値高いハイ電圧とを交互に繰り返す交流電圧であり、前記電圧情報は、前記正順用基準電圧の基準値と、前記逆順用基準電圧の基準値と、前記所定の振幅値と、であってもよい。

【 0 0 2 1 】

(7) 上記 (2) に記載の表示装置であって、前記正順用基準電圧及び前記逆順用基準電圧は、ともに所定の周期で、ロー電圧と該ロー電圧より所定の振幅値高いハイ電圧とを交互に繰り返す交流電圧であり、前記電圧情報は、前記正順用基準電圧の基準値又は前記逆順用基準電圧の基準値のいずれかと、前記正順用基準電圧の基準値と前記逆順用基準電圧の基準値との差分値と、前記所定の振幅値と、であってもよい。

10

【 0 0 2 2 】

(8) 上記 (6) 又は (7) に記載の表示装置であって、前記の基準値は、前記交流電圧のロー電圧又はハイ電圧のいずれかであってもよい。

【 0 0 2 3 】

(9) 上記 (2) に記載の表示装置であって、前記正順用基準電圧及び前記逆順用基準電圧は、ともに所定の周期で、ロー電圧と該ロー電圧より所定の振幅値高いハイ電圧とを交互に繰り返す交流電圧であり、前記交流電圧のロー電圧とハイ電圧の平均値が中心値であり、前記電圧情報は、前記正順用基準電圧の中心値と前記逆順用基準電圧の中心値との平均値と、前記正順用基準電圧の中心値と前記逆順用基準電圧の中心値との差分値の半値と、前記所定の振幅値の半値と、であってもよい。

20

【 0 0 2 4 】

(1 0) 上記 (2) に記載の表示装置であって、前記電圧情報は、前記正順用基準電圧又は前記逆順用基準電圧いずれか一方を決定する代表値情報と、該代表値情報を用いて他方を決定する差分情報とを、含んでいてもよい。

【 0 0 2 5 】

(1 1) 上記 (1) に記載の表示装置であって、前記基準電圧線駆動回路と接続される、1又は複数の基準電圧線を、さらに備えるとともに、各前記画素回路の基準電極は、前記1又は複数の基準電圧線のいずれかと接続され、前記基準電圧線駆動回路は、前記1又は複数の基準電圧線それぞれに、対応する各画素回路に応じた基準電圧を供給してもよい。

30

【 0 0 2 6 】

(1 2) 上記 (1) に記載の表示装置は、IPS方式の液晶表示装置であり、各前記画素回路は、ゲート信号線に対して、前記基準電極が前記画素電極より遠方に形成される構造を有してもよい。

【発明の効果】

【 0 0 2 7 】

本発明により、順方向走査駆動する場合と、逆方向走査駆動をする場合とに生じる、画素回路の保持電圧の差異の影響が抑制され、表示品質が向上される表示装置が提供される。

40

【図面の簡単な説明】

【 0 0 2 8 】

【図 1】本発明の実施形態に係る液晶表示装置の全体斜視図である。

【図 2】本発明の実施形態に係る液晶表示装置の構成を示すブロック構成図である。

【図 3】本発明の実施形態に係る TFT 基板の等価回路の概念図である。

【図 4 A】本発明の実施形態に係る n 番目の画素回路近傍の上面図である。

【図 4 B】図 4 A に示す 4 B - 4 B 断面を示す断面図である。

【図 5 A】順方向走査駆動を行う場合における、本発明の実施形態に係る n 番目の画素回路及び n + 1 番目の画素回路の駆動を示す図である。

【図 5 B】逆方向走査駆動を行う場合における、本発明の実施形態に係る n 番目の画素回

50

路及び $n + 1$ 番目の画素回路の駆動を示す図である。

【図6】本発明の実施形態に係る基準電圧線駆動回路のブロック概念図である。

【図7】本発明の第1の実施形態に係る液晶表示装置の画像表示駆動を表す図である。

【図8】本発明の実施形態に係る他の液晶表示装置に備えられるTFT基板の等価回路の概念図である。

【図9】一般的な表示装置の画素回路の回路図である。

【発明を実施するための形態】

【0029】

[第1の実施形態]

本発明の第1の実施形態に係る表示装置は、たとえば、IPS(In-Plane Switching)方式の液晶表示装置であって、図1に示す液晶表示装置の全体斜視図の通り、TFT(Thin Film Transistor)基板102と、当該TFT基板102に対向し、カラーフィルタが設けられたフィルタ基板101と、当該両基板に挟まれた領域に封入された液晶材料と、TFT基板102のフィルタ基板101側と反対側に接して位置するバックライト103と、を含んで構成されている。ここで、TFT基板102に、後述する通り、ゲート信号線105、データ信号線107、基準電圧線108、画素電極110、基準電極111、及び、TFT109などが配置される(図3参照)。

【0030】

図2は、当該実施形態に係る液晶表示装置の構成を示すブロック構成図である。TFT基板102に、表示部120、ドライバIC134、RGBスイッチ回路106、シフトレジスタ回路112が、備えられている。なお、ここで、RGBスイッチ回路106はなくてもよい。さらに、ドライバIC134に、ゲート信号線制御回路114と、データ信号線駆動回路115と、基準電圧線駆動回路10とが、備えられている。なお、ここでは、ゲート信号線制御回路114と、データ信号線駆動回路115と、基準電圧線駆動回路10とが、ドライバIC134に備えられているが、別々に設けられたり、一部が1つのドライバICに設けられたりしてもよい。

【0031】

ゲート信号線制御回路114は、表示部120の両側それぞれに配置されるシフトレジスタ回路112に対して、制御信号を出力し、シフトレジスタ回路112は、制御信号により、複数のゲート信号線105それぞれに、ゲート信号を出力する。ここで、ゲート信号線制御回路114と、シフトレジスタ回路112とを含んで、ゲート信号線駆動回路を構成している。データ信号線駆動回路115は、複数のデータ信号線107それぞれに、画素回路の表示データに応じた表示制御電圧を、RGBスイッチ回路106を介して供給する。さらに、基準電圧線駆動回路10は、複数の基準電圧線108を介して、各画素回路に基準電圧を供給する。

【0032】

図3は、当該実施形態に係るTFT基板102の等価回路の概念図である。図3に示すTFT基板102において、シフトレジスタ回路112に接続される複数のゲート信号線105が、互いに等間隔をおいて図中横方向に延伸している。ここで、複数のゲート信号線105を、図の上側から順に、それぞれ、1番目、2番目、3番目、・・・のゲート信号線とする。また、RGBスイッチ回路106に接続される複数のデータ信号線107が互いに等間隔をおいて図中縦方向に延伸している。そして、これらゲート信号線105及びデータ信号線107により碁盤状に並ぶ画素回路がそれぞれ区画されている。さらに、基準電圧線駆動回路10に接続される複数の基準電圧線108が、各ゲート信号線105と平行に、図中横方向に延びている。なお、ここで、図には各画素回路に基準電極111と、複数の基準電圧線108とが、別々に示されているが、後述する通り、複数の基準電極111は1個の基準電極膜として形成され、基準電圧線は1本であってもよい。

【0033】

複数のデータ信号線107のうち、1本のデータ信号線107には、順番に1列に並ぶ複数の画素回路が接続されている。ゲート信号線105それぞれは、順番に1列に並ぶ複

10

20

30

40

50

数の画素回路のうち、隣接する画素回路の間を延伸しており、ともに一方側に配置される画素回路と接続されている。ここでは、一方側とは、図中上側である。なお、順番に1列に並ぶ複数の画素回路を、図の上側から順に、それぞれ、1番目、2番目、3番目・・・の画素回路とする。

【0034】

各画素回路に、スイッチング素子であるTFT109、画素電極110、及び基準電極111が、備えられている。TFT109は、接続されるデータ信号線107と画素電極110の間に設けられ、TFT109のゲートに接続されるゲート信号線105に出力されるゲート信号により、TFT109は制御される。すなわち、ゲート信号がオン電圧となると、TFT109はオン状態となる。

10

【0035】

シフトレジスタ回路112に、複数のゲート信号線105それぞれに対応して、基本回路が複数備えられている。例えば、ゲート信号線105が800本存在しているとき、同じく、基本回路が800個、シフトレジスタ回路112に備えられる。ゲート信号線制御回路114が出力する制御信号により、シフトレジスタ回路112に設けられる各基本回路は、1フレーム期間のうち、対応するゲート走査期間（ゲート信号オン期間）にはオン電圧となり、それ以外の期間（ゲート信号オフ期間）にはオフ電圧となる、ゲート信号を、対応するゲート信号線105に出力している。ここでは、オン電圧をハイ電圧とし、オフ電圧をロー電圧としている。そして、データ信号線駆動回路115は、1列に順番に並ぶ複数の画素回路のうちオン状態のTFT109を備える画素回路を選択し、その表示データに応じた表示制御電圧を、データ信号線107に供給する。

20

【0036】

以上の回路構成において、基準電圧線駆動回路10は、複数の基準電圧線108を介して、各画素回路の基準電極111に、それぞれの基準電圧を供給する。ゲート信号線駆動回路は、順番に並ぶ複数のゲート信号線105それぞれにゲート信号を出力する。ゲート信号がオン電圧となっているゲート信号線105に接続されるTFT109がオン状態となり、オン状態となるTFT109に電流が流れ、オン状態となるTFT109が備えられる画素回路の表示データに応じた表示制御電圧が、データ信号線駆動回路115よりデータ信号線107に供給され、TFT109を介して、データ信号線107より該画素回路の画素電極110に印加される。これにより、画素電極110と基準電極111との間に電位差が生じ、液晶分子の配向などを制御し、それにより、バックライト103からの光を遮蔽の度合を制御し、画像を表示することとなる。

30

【0037】

当該実施形態に係るゲート信号線駆動回路は、前述のゲートオーバーラップ駆動を行っている。すなわち、ゲート信号オン期間は、1水平期間（H）より長くなっており、ここでは、2水平期間（2H）となっている。ゲート信号オン期間は、接続される画素回路に表示データの書き込みを行う1水平期間（H）と、さらにその前の1水平期間（H）とを含んでいる。

【0038】

また、当該実施形態に係るゲート信号線駆動回路は、双方向走査駆動を行うことが可能であり、ここでは、図2及び図3に示す表示部120の図中上側から下側に沿って、順番に並ぶゲート信号線105に出力されるゲート信号が、時間経過とともに、該順番と正順にオン電圧となる順方向走査駆動と、反対に、下側から上側に沿って、ゲート信号が、時間経過とともに、該順番と逆順にオン電圧となる逆方向走査駆動とのいずれかを選択して駆動することが出来る。

40

【0039】

当該実施形態に係る基準電圧線駆動回路10は、表示部120に延伸する複数の基準電圧線108に対して、ともに、同じ基準電圧を印加する、基準電圧固定駆動を行う。この場合、図3に示す複数の基準電圧線108は1本の基準電圧線であってもよい。さらに、後述する通り、基準電圧線駆動回路10が複数の基準電圧線108に対して印加する基準

50

電圧は、順方向走査をする場合と、逆方向走査をする場合とでは、異なっている。

【 0 0 4 0 】

当該実施形態に係るデータ信号線駆動回路 1 1 5 は、データ信号反転駆動を行っている。データ信号線駆動回路 1 1 5 は、1 本のデータ信号線 1 0 7 に接続され 1 列に並ぶ複数の画素回路に対して、順に、符号が異なる表示制御電圧を、該データ信号線 1 0 7 を介して供給している。ここで、符号とは、画素電極 1 1 0 の電位が基準電極 1 1 1 の電位より高くなる場合の表示制御電圧を正の符号と、画素電極 1 1 0 の電位が基準電極 1 1 1 の電位より低くなる場合の表示制御電圧を負の符号とを、それぞれ指している。

【 0 0 4 1 】

データ信号反転駆動の例として、表示部 1 2 0 に設けられる複数の画素回路に供給される表示制御電圧の符号が、チェスボード（又は、市松模様）のように、互いに隣り合う画素回路において異なるよう分布している場合は、ドット反転方式と呼ばれている。1 本のデータ信号線 1 0 7 に接続され 1 列に並ぶ複数の画素回路のうち、n 番目の画素回路に供給される表示制御電圧の符号と、該データ信号線 1 0 7 に隣接するデータ信号線 1 0 7 に接続され 1 列に並ぶ複数の画素回路のうち、n 番目の画素回路に供給される表示制御電圧の符号とは、異なっている。

10

【 0 0 4 2 】

データ信号反転方式の他の例として、複数の画素回路それぞれに供給される表示制御電圧の符号が、例えば図 3 に示す縦方向に対して、互いに隣り合う画素回路において異なり、横方向に対して同じである場合は、ライン反転方式と呼ばれている。また、複数の画素回路それぞれに供給される表示制御電圧の符号が、例えば図 3 に示す横方向に対して、互いに隣り合う画素回路において異なり、縦方向に対して同じである場合は、カラム反転方式と呼ばれている。また、複数の画素回路それぞれに供給される表示制御電圧の符号が、全て同じである場合は、フレーム反転方式と呼ばれている。ここでは、他の方式を含め、いずれのデータ信号反転駆動であってもよい。

20

【 0 0 4 3 】

データ信号線駆動回路 1 1 5 がデータ信号反転駆動を行うのは、以下の理由による。各画素回路において、各フレーム期間に、同じ符号の表示制御電圧が画素電極 1 1 0 に供給される場合、画素電極 1 1 0 と基準電極 1 1 1 に間に配置される液晶分子には、同方向の電場が印加されるために、液晶分子の劣化が早まることとなる。液晶分子の劣化を抑制するために、印加される電場の方向を周期的に反転させるのが望ましい。印加される電場の方向を周期的に反転させる駆動の一つとして、画素電極 1 1 0 に供給される表示制御電圧の符号を反転させる、データ信号反転駆動がある。

30

【 0 0 4 4 】

図 3 では、簡単な説明のために、シフトレジスタ回路 1 1 2 は、左片側にのみ図示されているが、前述の通り、実際には、シフトレジスタ回路 1 1 2 の基本回路は、前述の通り、表示部 1 2 0 の左右両側に配置され、例えば、ゲート信号線 1 0 5 が 8 0 0 本あるとすると、両側にそれぞれ複数配置されたシフトレジスタ回路 1 1 2 の基本回路によって、例えば、左側の基本回路は奇数番目のゲート信号線 1 0 5 に、右側の基本回路は偶数番目のゲート信号線 1 0 5 に、それぞれゲート信号を出力している。

40

【 0 0 4 5 】

図 4 A は、n 番目の画素回路近傍の上面図であり、当該実施形態に係る画素回路は、基準電極 1 1 1（コモン電極）が、画素電極 1 1 0 より上方に配置されるコモントップ構造を有している。図 4 B は、図 4 A に示す 4 B - 4 B 断面を示す断面図である。

【 0 0 4 6 】

ガラス基板などの透明基板（図示せず）上に、透明基板からの不純物の汚染を防止する汚染防止膜（図示せず）が形成され、さらに、図 4 A に示すゲート電極膜 2 0 5 が形成されている。図 3 には、T F T 1 0 9 のゲート（ゲート電極）とゲート信号線 1 0 5 は、別々に示されているが、実際には、T F T 1 0 9 のゲートと、ゲート信号線 1 0 5 とは、1 個のゲート電極膜 2 0 5 に形成されている。図 4 A には、図中下側に、n 番目の画素回路

50

の $TF T 109_n$ のゲートと、該 $TF T 109_n$ が接続される n 番目のゲート信号線 105_n とが、1 個のゲート電極膜 205 として示されており、また、図中上側に、 n 番目の画素回路の上側に配置される $n - 1$ 番目の画素回路の $TF T 109_{n-1}$ のゲートと、該 $TF T 109$ が接続される $n - 1$ 番目のゲート信号線 105_{n-1} とが、1 個のゲート電極膜 205 として示されている。すなわち、合計で 2 個のゲート電極膜 205 が、図 4 A に示されている。

【0047】

ゲート電極膜 205 を被覆するようにゲート絶縁膜 221 (図 4 B 参照) が形成されているとともに、さらにその上に、半導体膜 220 が形成されている。ここで、半導体膜 220 とは、例えば、非晶質 (アモルファス) シリコンからなっているが、多結晶シリコン

10

【0048】

図 4 A の縦方向に沿って、図の両側それぞれにデータ信号線膜 207 が、図の中央に画素電極膜 210 が、形成されている。ゲート電極膜 205 と同様に、図 3 には、 $TF T 109$ の入力側とデータ信号線 107 は、別々に示されているが、実際には、 $TF T 109$ の入力側と、データ信号線 107 とは、1 個のデータ信号線膜 207 に形成されている。図 4 A には、 n 番目の画素回路の $TF T 109_n$ の入力側と、縦方向に延伸する 1 本のデータ信号線 107 と、を含むデータ信号線膜 207 が左側に、さらに他の 1 本のデータ信号線 107 を含むデータ信号線膜 207 が右側に、示されている。また、同様に、 $TF T 109_n$ の出力側と、画素電極 110_n は、1 個の画素電極膜 210 に形成されている。

20

【0049】

データ信号線膜 207 及び画素電極膜 210 を被覆するように絶縁膜 222 (図 4 B 参照) が形成されているとともに、さらにその上に、基準電極膜 211 が形成されている。図 3 には、各画素回路に基準電極 111 と、複数の基準電圧線 108 とが、別々に示されているが、実際には、複数の基準電極 111 と複数の基準電圧線 108 とは、1 個の基準電極膜 211 に形成されている。基準電極膜 211 には、各画素回路の画素電極膜 210 の上方に、スリット (隙間) が設けられており、画素電極膜 210 と基準電極膜 211 の間に生じる電位差により、当該スリットの上方に印加される電場は、図 4 B の横方向に成分を有することとなる。なお、基準電極膜 211 の上に保護絶縁膜 223 が形成され、液晶分子は、保護絶縁膜の上方に液晶分子が封入される。図 4 A に示す基準電極膜 211 は、図中縦方向に延伸する 4 本のスリットを有しており、当該スリットの下方に、絶縁膜 222 を介して、画素電極膜 210 が配置されている。

30

【0050】

画素回路のコモントップ構造とは、ゲート信号線 105 (ゲート電極膜 205) に対して、基準電極 111 (基準電極膜 211) が、画素電極 110 (画素電極膜 210) より遠方 (上方) に形成 (積層) される構造である。IPS 方式の液晶表示装置の画素回路は、コモントップ構造の他に、画素電極が基準電極より上方に配置されるソーストップ構造がある。ソーストップ構造において、 $TF T$ の出力側 (ソース電極) がソース電極膜に形成され、それぞれ絶縁膜を介して、 $TF T$ 基板の下側から順に、ソース電極膜 (ソース電極) と、基準電極膜 (基準電極) と、画素電極膜 (画素電極) とが形成される。基準電極膜は所定の形状に形成されているので、基準電極膜が形成されない領域にスルーホールが形成され、スルーホールを介して、ソース電極膜と画素電極膜が電氣的に接続され、また、ソース電極膜及び画素電極膜は、基準電極膜と電氣的に遮断されている。なお、ソース電極と電氣的に接続される画素電極が、基準電極より上方に形成されるので、ソーストップ構造と呼ばれている。ソーストップ構造において、基準電極膜のうち、基準電極となる領域は平面形状をしており、反対に、画素電極膜のうち、画素電極となる領域が、櫛歯形状をしている。なお、画素電極膜の櫛歯形状の歯間となる領域の上方に印加される電場が、横方向成分を有することとなる。

40

【0051】

画素回路がコモントップ構造を有する場合、ソーストップ構造のようにスルーホールを

50

設ける必要がなく、開口率が向上するとともに、コモントップ構造においては、ソース電極と画素電極が同じ画素電極膜に形成されるため、製造工程が簡略化出来るという利点を有している。その反面、ソースストップ構造と異なり、画素電極 1 1 0 という広い領域を有する画素電極膜 2 1 0 が、ゲート電極膜 2 0 5 の近傍に、ゲート絶縁膜 2 2 1 を介して、形成されている。

【 0 0 5 2 】

図 4 B に示す通り、ゲート電極膜 2 0 5 の端と、画素電極膜 2 1 0 の端の間の距離が短いので、ゲート電極膜 2 0 5 と画素電極膜 2 1 0 との間に、寄生容量が発生している。すなわち、コモントップ構造の場合、ソースストップ構造と比較して、ゲート電極膜 2 0 5 と画素電極膜 2 1 0 との間に生じる寄生容量が、大きくなるのが特徴である。ここで、 n 番目の画素回路において、 $TFT109_n$ は、図 4 A の下側に配置されており、 n 番目の画素回路において、画素電極膜 2 1 0 (画素電極 1 1 0 _{n}) と、 $TFT109_n$ のゲート (ゲート電極) を含む図中下側のゲート電極膜 2 0 5 (n 番目のゲート信号線 1 0 5 _{n}) との間に生じる寄生容量を C_{gp1} とする。また、 n 番目の画素回路の画素電極膜 2 1 0 (画素電極 1 1 0 _{n}) と、図中上側のゲート電極膜 2 0 5 ($n - 1$ 番目のゲート信号線 1 0 5 _{$n - 1$}) との間に生じる寄生容量を C_{gp2} とする。

【 0 0 5 3 】

図 9 に示す通り、画素電極 1 1 0 と基準電極 1 1 1 との間には、画素容量 C_{st} が形成されており、データ信号線 1 0 7 に供給される表示制御電圧により、データ書き込みの際、画素容量 C_{st} は充電される。しかし、データ書き込みが終了する際に、ゲート信号線 1 0 5 の電圧がオン電圧からオフ電圧に変化し、ゲート信号線 1 0 5 と画素電極 1 1 0 の間に存在する寄生容量とのカップリングにより、その画素回路又は隣接する画素回路の画素電極 1 1 0 の電位は変化する。

【 0 0 5 4 】

当該実施形態に係る n 番目の画素回路においては、画素電極 1 1 0 _{n} と n 番目のゲート信号線 1 0 5 _{n} との間に寄生容量 C_{gp1} が、画素電極 1 1 0 _{n} と $n - 1$ 番目のゲート信号線 1 0 5 _{$n - 1$} との間に寄生容量 C_{gp2} が、存在している。ゲート信号のオン電圧とオフ電圧との電位差を電圧 V_0 とすると、 n 番目のゲート信号線 1 0 5 _{n} がオン電圧からオフ電圧に変化するのに伴い、変化する画素電極 1 1 0 _{n} の電圧 V_1 は、 $V_1 = (C_{gp1} / C_{st}) \cdot V_0$ で表すことが出来、この式を (数式 1) とする。同様に、 $n - 1$ 番目のゲート信号線 1 0 5 _{$n - 1$} がオン電圧からオフ電圧に変化するのに伴い、変化する画素電極 1 1 0 の電圧 V_2 は、 $V_2 = (C_{gp2} / C_{st}) \cdot V_0$ で表すことが出来、この式を (数式 2) とする。

【 0 0 5 5 】

図 5 A 及び図 5 B は、それぞれ、順方向走査駆動及び逆方向走査駆動を行う場合における、 n 番目の画素回路及び $n + 1$ 番目の画素回路の駆動を示す図である。図中上側が n 番目の画素回路の駆動を、図中下側が、 $n + 1$ 番目の画素回路の駆動を、それぞれ示している。図 5 A においては、図中上側から下側 (順方向 3 1) に順に走査しており、図 5 B においては、図中下側から上側 (逆方向 3 2) に順に走査している。

【 0 0 5 6 】

各画素回路の駆動において、ゲート信号線 1 0 5 供給される電圧と、データ信号線 1 0 7 に供給される電圧と、画素電極 1 1 0 に供給される電圧とが、それぞれ時間経過とともに示されている。ここで、ゲート信号のオン電圧がハイ電圧で、オフ電圧がロー電圧である。

【 0 0 5 7 】

前述の通り、ゲート信号線駆動回路は、ゲート信号オン期間がおおよそ 2 水平期間 (2 H) となるゲートオーバードライブ駆動を行っている。それゆえ、 n 番目のゲート信号線 1 0 5 _{n} の電圧は、隣接する $n - 1$ 番目の画素回路にデータ書き込みを行う水平期間 (H) と、 n 番目の画素回路自体にデータ書き込みを行う水平期間 (H) との期間に、ハイ電圧となっている。

【 0 0 5 8 】

まず、図 5 A の上側に示す通り、順方向走査駆動を行う場合の、 n 番目の画素回路における駆動について説明する。 $n - 1$ 番目の画素回路に供給される表示制御電圧の符号は負であり、 n 番目の画素回路に供給される表示制御電圧の符号は正である。それゆえ、データ信号線 1 0 7 の電圧は、 n 番目のゲート信号線 1 0 5 の電圧がハイ電圧となる 2 水平期間 (2 H) のうち、前半の水平期間 (H) は負と、後半の水平期間 (H) は正となっている。ここで、簡単のため、図 5 A 及び図 5 B には、1 列に並ぶ画素回路の表示データが同じ場合について、示している。すなわち、1 列に並ぶ複数の画素回路に供給される表示制御電圧は、正と負と符号は順に異なるものの、基準電極 1 1 1 に対する絶対値は一定となっている。

10

【 0 0 5 9 】

n 番目のゲート信号線 1 0 5 _{n} の電圧がハイ電圧となる 2 水平期間 (2 H) のうち、前半の水平期間 (H) が終了する時刻において、 $n - 1$ 番目の画素回路へのデータ書き込みが終了する。この時刻に、 $n - 1$ 番目のゲート信号線 1 0 5 _{$n - 1$} の電圧がハイ電圧からロー電圧に変化する。 n 番目の画素回路において、画素電極 1 1 0 _{n} と $n - 1$ 番目のゲート信号線 1 0 5 _{$n - 1$} との間に存在する寄生容量 C_{gp2} により、電圧 V_2 が低下する。そして、この時刻に、データ信号線 1 0 7 に供給される表示制御電圧が、 n 番目の画素回路に供給される表示制御電圧へ変化する。すなわち、データ信号線 1 0 7 の電圧の符号が負から正へ変化する。

【 0 0 6 0 】

20

2 水平期間 (2 H) のうち、後半の水平期間 (H) が始まる時刻において、上述の通り、寄生容量 C_{gp2} による電圧 V_2 の低下が生じるものの、後半の水平期間 (H) において、画素電極 1 1 0 _{n} の電圧は、 n 番目の画素回路の表示データに応じた表示制御電圧に近づくので、電圧 V_2 の低下による影響はほとんど受けていない。

【 0 0 6 1 】

そして、後半の水平期間 (H) が終了する時刻において、 n 番目の画素回路へのデータ書き込みが終了する。この時刻に、 n 番目のゲート信号線 1 0 5 _{n} の電圧がハイ電圧からロー電圧に変化する。 n 番目の画素回路において、画素電極 1 1 0 _{n} と n 番目のゲート信号線 1 0 5 _{n} との間に存在する寄生容量 C_{gp1} により、電圧 V_1 が低下し、 n 番目の画素電極 1 1 0 _{n} の電圧は、所望の表示制御電圧より、電圧 V_1 が低下された電圧に維持される。

30

【 0 0 6 2 】

次に、図 5 A の下側に示す通り、順方向走査駆動を行う場合の、 $n + 1$ 番目の画素回路における駆動について説明する。 n 番目の画素回路における駆動と、 $n + 1$ 番目の画素回路における駆動との主な違いは、ゲート信号線 1 0 5 の電圧がハイ電圧となる 2 水平期間 (2 H) において、データ信号線 1 0 7 に供給される表示制御電圧の符号である。 n 番目の画素回路に供給される表示制御電圧の符号は正であり、 $n + 1$ 番目の画素回路に供給される表示制御電圧の符号は負であるので、上述の場合と、データ信号線 1 0 7 の電圧の符号が逆である。

【 0 0 6 3 】

40

$n + 1$ 番目のゲート信号線 1 0 5 _{$n + 1$} の電圧がハイ電圧となる 2 水平期間 (2 H) のうち、前半の水平期間 (H) が終了する時刻において、 n 番目の画素回路へのデータ書き込みが終了する。この時刻に、 n 番目のゲート信号線 1 0 5 _{n} の電圧がハイ電圧からロー電圧に変化する。 $n + 1$ 番目の画素回路において、画素電極 1 1 0 _{$n + 1$} と n 番目のゲート信号線 1 0 5 _{n} との間に存在する寄生容量 C_{gp2} により、 n 番目の画素回路と同様に、電圧 V_2 が低下する。そして、この時刻に、データ信号線 1 0 7 の電圧が、 $n + 1$ 番目の画素回路に供給される表示制御電圧へ変化する。すなわち、データ信号線 1 0 7 の電圧の符号が正から負へ変化する。

【 0 0 6 4 】

2 水平期間 (2 H) のうち、後半の水平期間 (H) が始まる時刻において、上述の通り

50

、寄生容量 C_{gp2} による電圧 V_2 の低下が生じるものの、後半の水平期間 (H) において、画素電極 110_{n+1} の電圧は、 $n+1$ 番目の画素回路の表示データに対応する表示制御電圧に近づくので、電圧 V_2 の低下による影響はほとんど受けていない。

【0065】

そして、後半の水平期間 (H) が終了する時刻において、 $n+1$ 番目の画素回路へのデータ書込みが終了する。この時刻に、 $n+1$ 番目のゲート信号線 105_{n+1} の電圧がハイ電圧からロー電圧に変化する。 $n+1$ 番目の画素回路において、画素電極 110_{n+1} と $n+1$ 番目のゲート信号線 105_{n+1} との間に存在する寄生容量 C_{gp1} により、電圧 V_1 が低下し、 $n+1$ 番目の画素電極 110_n の電圧は、所望の表示制御電圧より、電圧 V_1 が低下された電圧に維持される。

10

【0066】

すなわち、データ信号線駆動回路 115 がデータ信号反転駆動を行っており、ゲート信号線駆動回路が順方向走査駆動を行っている場合、正の符号となる表示制御電圧が供給される画素回路の画素電極 110 も、負の符号となる表示制御電圧が供給される画素電極 110 も、画素電極 110 と隣接する2本のゲート信号線 105 との寄生容量が無視出来る場合と比較して、ともに、所望の表示制御電圧より電圧 V_1 低下された電圧に維持されることとなる。

【0067】

これに対して、逆方向走査駆動を行う場合の駆動について説明する。まず、図5Bの下側に示す通り、逆方向走査駆動を行う場合の、 $n+1$ 番目の画素回路における駆動について説明する。 $n+1$ 番目の画素回路において、 $n+1$ 番目のゲート信号線 105_{n+1} の電圧がハイ電圧となる2水平期間 (2H) のうち、前半の水平期間 (H) が終了する時刻において、 $n+2$ 番目の画素回路へのデータ書き込みが終了する。この時刻に、 $n+2$ 番目のゲート信号線 105_{n+2} の電圧がハイ電圧からロー電圧に変化する。しかし、 $n+1$ 番目の画素回路において、画素電極 110_{n+1} が、 $n+2$ 番目のゲート信号線 105_{n+2} との間に生じる寄生容量は、 $n+1$ 番目のゲート信号線 105_{n+1} との間に生じる寄生容量 C_{gp1} や、 n 番目のゲート信号線 105_n との間に生じる寄生容量 C_{gp2} と比較して、小さいので、この時刻における電圧の変動は小さい。又は、当該寄生容量が無視できないほど大きい場合であっても、前述の通り、後半の水平期間 (H) において、画素電極 110_{n+1} の電圧は、 $n+1$ 番目の画素回路の表示データに対応する表示制御電圧に近づくので、電圧の変動による影響はほとんど受けない。

20

30

【0068】

さらに、この時刻に、データ信号線 107 に供給される表示制御電圧が、 $n+1$ 番目の画素回路に供給される表示制御電圧へ変化する。すなわち、データ信号線 107 の電圧の符号が負から正へ変化する。そして、後半の水平期間 (H) が終了する時刻において、 $n+1$ 番目の画素回路へのデータ書込みが終了する。この時刻に、 $n+1$ 番目のゲート信号線 105_{n+1} の電圧がハイ電圧からロー電圧に変化する。 $n+1$ 番目の画素回路において、画素電極 110_{n+1} と $n+1$ 番目のゲート信号線 105_{n+1} との間に存在する寄生容量 C_{gp1} により、電圧 V_1 が低下する。この時刻より1水平期間 (H) より後に、 n 番目のゲート信号線 105_n の電圧がハイ電圧からロー電圧に変化するので、画素電極 110_{n+1} と n 番目のゲート信号線 105_n との間に存在する寄生容量 C_{gp2} により、電圧 V_2 がさらに低下する。よって、 $n+1$ 番目の画素回路の画素電極 110_{n+1} は、所望の表示制御電圧より、電圧 V_1 及び電圧 V_2 の合計となる電圧が低下された電圧に維持される。

40

【0069】

次に、図5Bの上側に示す通り、逆方向走査を行う場合の、 n 番目の画素回路における駆動について説明する。 n 番目の画素回路における駆動と、 $n+1$ 番目の画素回路における駆動との主な違いは、順方向走査を行う場合と同様に、ゲート信号線 105 に出力されるゲート信号がハイ電圧となる2水平期間 (2H) において、データ信号線 107 に供給される表示制御電圧の符号にある。 $n+1$ 番目の画素回路に供給される表示制御電圧の符

50

号は正であり、 n 番目の画素回路に供給される表示制御電圧の符号は負であるので、上述の場合と、データ信号線107に供給される表示制御電圧の符号が逆である。

【0070】

よって、 n 番目のゲート信号線105 _{n} のゲート信号がハイ電圧となる2水平期間(2H)のうち、前半の水平期間(H)が終了する時刻に、 $n+1$ 番目のゲート信号線105 _{$n+1$} のゲート信号がハイ電圧からロー電圧に変化するが、前述の通り、画素電極110 _{n} が、 $n+1$ 番目のゲート信号線105 _{$n+1$} との間に生じる寄生容量は小さいので、この時刻における電圧の変動は小さい。

【0071】

さらに、この時刻に、データ信号線107に供給される表示制御電圧が、 n 番目の画素回路に供給される表示制御電圧へ変化し、表示制御電圧の符号が正から負へ変化する。そして、後半の水平期間(H)が終了する時刻において、 n 番目の画素回路へのデータ書込みが終了し、 n 番目のゲート信号線105 _{n} のゲート信号がハイ電圧からロー電圧に変化する。 n 番目の画素回路において、画素電極110 _{n} と n 番目のゲート信号線105 _{n} との間に存在する寄生容量 C_{gp1} により、電圧 V_1 が低下する。この時刻より1水平期間(H)より後に、 $n-1$ 番目のゲート信号線105 _{$n-1$} のゲート信号がハイ電圧からロー電圧に変化するので、画素電極110 _{n} と $n-1$ 番目のゲート信号線105 _{$n-1$} との間に存在する寄生容量 C_{gp2} により、電圧 V_2 がさらに低下する。よって、 n 番目の画素回路の画素電極110 _{n} は、所望の表示制御電圧より、電圧 V_1 及び電圧 V_2 の合計となる電圧が低下された電圧に維持される。

【0072】

すなわち、データ信号線駆動回路115が、データ信号反転駆動を行っており、ゲート信号線駆動回路が、逆方向走査を行っている場合、正の符号となる表示制御電圧が供給される画素回路の画素電極110も、負の符号となる表示制御電圧が供給される画素電極110も、画素電極110と隣接する2本のゲート信号線105との寄生容量が無視出来る場合と比較して、ともに、電圧 V_1 及び電圧 V_2 の合計となる電圧が所望の表示制御電圧より低下された電圧に維持されることとなる。

【0073】

以上、まとめると、データ信号線駆動回路115がデータ信号反転駆動を行っている場合、正の符号となる表示制御電圧が供給される画素回路の画素電極110においても、負の符号となる表示制御電圧が供給される画素回路の画素電極110においても、画素電極110と隣接する2本のゲート信号線105との寄生容量による電圧の低下は、ともに、所望の表示制御電圧より等しいが、順方向走査駆動をする場合と、逆方向走査駆動をする場合とで、その電圧の低下は異なっている。

【0074】

図6は、当該実施形態に係る基準電圧線駆動回路10のブロック概念図である。基準電圧線駆動回路10は、論理回路11と、基準電圧生成回路16と、記憶部15とを、備えている。記憶部15は、例えば、不揮発性メモリが記憶される記憶部であってよい。論理回路11は、メモリ書き込み回路12と、制御レジスタ回路13と、インターフェース回路14とを、備えている。インターフェース回路14に、基準電圧線駆動回路10の外部に設けられる外部システム20より、制御信号が入力される。

【0075】

従来技術に係るドライバICに備えられる基準電圧線駆動回路では、1つの基準電圧を決定する電圧情報が記憶され、制御レジスタ回路は、1つの基準電圧を制御していたところ、当該実施形態に係る基準電圧線駆動回路10の特徴は、記憶部15に、順方向走査駆動用基準電圧 V_{comF} (正順用基準電圧)及び逆方向走査駆動用基準電圧 V_{comB} (逆順用基準電圧)を決定する電圧情報が記憶され、制御レジスタ回路13が順方向走査駆動用基準電圧 V_{comF} 及び逆方向走査駆動用基準電圧 V_{comB} を制御する点にある。

【0076】

当該実施形態に係る基準電圧線駆動回路10は、前述の通り、基準電圧固定駆動を行っ

10

20

30

40

50

ている。すなわち、順方向走査駆動用基準電圧 V_{comF} 及び逆方向走査駆動用基準電圧 V_{comB} は、ともに直流電圧である。

【0077】

制御レジスタ回路 13 からの制御により、メモリ書き込み回路 12 は、順方向走査駆動用基準電圧 V_{comF} 及び逆方向走査駆動用基準電圧 V_{comB} それぞれの値を、記憶部 15 に記憶させる。すなわち、記憶部 15 に記憶される電圧情報は、順方向走査駆動用基準電圧 V_{comF} 及び逆方向走査駆動用基準電圧 V_{comB} の 2 値とするのが望ましい。また、表示装置の駆動時には、ドライバ IC 134 に電源が入った後に、制御レジスタ回路 13 は、記憶部 15 に記憶されている順方向走査駆動用基準電圧 V_{comF} 及び逆方向走査駆動用基準電圧 V_{comB} それぞれの値を読み出し、制御レジスタ回路 13 はそれぞれの値を内部のレジスタに格納する。

10

【0078】

走査駆動の走査方向が変更する際に、外部システム 20 よりインターフェース回路 14 に制御信号が入力される。制御レジスタ回路 13 は、該制御信号に従って、さらに、記憶部 15 に記憶されていた電圧情報より、出力すべき基準電圧を算出し、基準電圧生成回路 16 を制御する。それにより、基準電圧生成回路 16 は、順方向走査駆動時には、順方向走査駆動用基準電圧 V_{comF} を、逆方向走査駆動時には、逆方向走査駆動用基準電圧 V_{comB} を、基準電圧として、基準電圧線 108 に供給する。基準電圧線 108 を介して、表示部 120 の各画素回路の基準電極 111 に、基準電圧が供給される。

【0079】

20

記憶部 15 に記憶される 2 値の電圧情報に基づいて、基準電圧線駆動回路 10 が、順方向走査駆動時には、順方向走査駆動用基準電圧 V_{comF} を、逆方向走査駆動時には、逆方向走査駆動用基準電圧 V_{comB} を、各画素回路の基準電極 111 に供給することにより、順方向走査駆動する場合と、逆方向走査駆動する場合とに生じる、表示制御電圧の差異を抑制することが出来、かつ、寄生容量による変動を抑制することが出来る。それにより、表示品質を向上することが出来る。

【0080】

なお、前述の通り、所望の表示制御電圧が等しいとすると、順方向走査駆動をする場合に画素電極 110 に維持される電圧は、逆方向走査駆動をする場合に画素電極 110 に維持される電圧より、電圧 V_2 高くなっている。それに応じて、順方向走査駆動用基準電圧 V_{comF} が、逆方向走査駆動用基準電圧 V_{comB} より、寄生容量 C_{gp2} に起因する電圧 V_2 高くなっているのが望ましい。さらに、順方向走査駆動する場合に画素電極 110 に維持される電圧は、画素電極 110 とゲート信号線 105 との間に生じる寄生容量が無視出来る場合と比較して、電圧 V_1 低くなっている。それに応じて、順方向走査駆動用基準電圧 V_{comF} が、寄生容量が無視出来る場合と比較して、電圧 V_1 低くなっているのが望ましい。

30

【0081】

また、ここでは、記憶部 15 に記憶される電圧情報は、順方向走査駆動用基準電圧 V_{comF} 及び逆方向走査駆動用基準電圧 V_{comB} それぞれの値としたが、記憶部 15 に記憶される情報に基づいて、順方向走査駆動用基準電圧 V_{comF} 及び逆方向走査駆動用基準電圧 V_{comB} を生成することが出来るのであれば、他の電圧情報であってもよい。例えば、順方向走査駆動用基準電圧 V_{comF} 及び逆方向走査駆動用基準電圧 V_{comB} それぞれの値から、所定の値を加減した値などであってもよい。

40

【0082】

図 7 は、当該実施形態に係る液晶表示装置の画像表示駆動を表す図である。順方向走査駆動から逆方向走査駆動に変更するタイミングについて示している。1 画面（フレーム）の表示データの書き込みを行う期間が、1 フレーム期間 T_F であり、垂直同期信号 V_{sync} は、1 フレーム期間を周期とする信号であり、垂直同期信号 V_{sync} により、1 画面の表示データの書き込みのタイミングを計ることができる。水平同期信号 H_{sync} は、前述の 1 水平期間（H）を周期とする信号であり、水平同期信号 H_{sync} により、1

50

つの画素回路の表示データの書き込みのタイミングを計ることができる。ここで、信号 P_{CLK} はクロック信号である。

【0083】

1 フレーム期間 T_F において、帰線期間 T_B に、データ書き込み期間 T_D が続き、データ書き込み期間 T_D において、複数の画素回路に表示データの書き込み駆動を行う。それに応じて、ゲート信号が順にハイ電圧となるが、図には、1 番目のゲート信号 V_{G1} から 800 番目のゲート信号 V_{G800} へ順にハイ電圧となる、順方向走査駆動が示されている。さらに、前述の通り、ゲート信号線駆動回路は、ゲートオーバーラップ駆動を行っており、隣り合うゲート信号のハイ電圧となるゲート信号オン期間は重なりがある。

【0084】

前述の通り、データ信号線 107 には、書き込み駆動を行う画素回路の表示データに応じた表示制御電圧が供給されており、図には、データ書き込み期間 T_D にそれぞれ供給される、1 番目の画素回路から 800 番目の画素回路の表示データに応じた表示制御電圧が示されている。基準電圧線 108 には、順方向走査駆動を行う際に供給される順方向走査駆動用基準電圧 V_{comF} が供給されている。

【0085】

該 1 フレーム期間 T_F においては、順方向走査駆動を行っているが、次のフレーム期間 T_F においては、逆方向走査駆動へ変更される。それに応じて、データ書き込み期間 T_D に続く、帰線期間 T_B に、基準電圧線 108 に供給される基準電圧が、順方向走査駆動用基準電圧 V_{comF} から、逆方向走査駆動用基準電圧 V_{comB} に変化している。しかし、基準電圧を変更するタイミングは、最後に表示データの書き込み駆動を行う画素回路に対する、ゲート信号がハイ電圧からロー電圧へ変化して直後が望ましい。なお、図に示すオフセット期間 V_{ofs} は、最終のゲート信号がロー電圧へ十分に変化するために設けるオフセット期間であり、最後の画素回路に表示データの書き込み駆動を行っている際に、基準電圧が変動するのを防止するために設けられている。

【0086】

なお、ここでは、データ信号線駆動回路 115 が 1 本のデータ信号線 107 に供給する表示制御電圧の符号が、水平期間 (H) 毎に交互に変化する場合について、説明したが、これに限定されることはない。1 フレーム期間においては、1 本のデータ信号線 107 に供給する表示制御電圧の符号がすべて同じであり、1 フレーム期間毎又は所定数のフレーム期間毎に該符号が交互に変化する駆動であってもよい。データ信号線駆動回路 115 に接続される複数のデータ信号線 107 に供給される表示制御電圧の符号が、1 フレーム期間において、すべて等しいフレーム反転方式であっても、隣り合うデータ信号線 107 で、表示制御電圧の符号が異なるカラム反転方式であってもよい。

【0087】

[第 2 の実施形態]

本発明の第 2 の実施形態に係る表示装置の基本的な構成は、第 1 の実施形態に係る表示装置と同じである。第 1 の実施形態に係る基準電圧線駆動回路 10 が基準電圧固定駆動を行っているのに対して、当該実施形態に係る基準電圧線駆動回路 10 は、基準電圧交流駆動を行っている点が、主に異なる。

【0088】

ここで、基準電圧交流駆動とは、以下のようなものをいう。前述の通り、データ信号線駆動回路 115 が、例えばライン反転、またはフレーム反転などのデータ信号反転駆動を行っており、画素回路の画素電極 110 に供給される表示制御電圧は、正又は負の符号を有している。画素回路の画素電極 110 に正の符号の表示制御電圧が供給されるときには、該画素回路の基準電極 111 には、負の符号の基準電圧 (ロー電圧) が供給され、画素回路の画素電極 110 に負の符号の表示制御電圧が供給されるときには、該画素回路の基準電極 111 には、正の符号の基準電圧 (ハイ電圧) が供給される。すなわち、基準電圧は、所定の周期で、ロー電圧とハイ電圧とを交互に繰り返す交流電圧となっている。ここで、正の符号の基準電圧 (ハイ電圧) と負の符号の基準電圧 (ロー電圧) との差を、振幅

10

20

30

40

50

値とする。

【0089】

画像表示は、基準電極111に対する画素電極110の電圧によって、画像表示が制御されており、係る基準電圧交流駆動を行うことにより、データ信号反転駆動を行う際に、正の符号の表示制御電圧と、負の符号の表示制御電圧との差を小さくすることが出来、消費電力の抑制をすることができる。

【0090】

前述の通り、データ信号線駆動回路115は、データ信号反転駆動を行っている。駆動がライン反転方式の場合は、図3に示す縦方向に並ぶ複数の基準電圧線108に、交互に、正の符号の基準電圧と、負の符号の基準電圧とが、1フレーム期間中、供給されている。すなわち、例えば、図の上側から数えて、奇数行目の基準電圧線108に正の符号の基準電圧が供給されている場合、偶数行目の基準電圧線108に負の符号の基準電圧が供給される。また、複数の基準電極111が、1個の基準電極膜として形成され、基準電圧線108が1本である場合には、正の符号と、負の符号の基準電圧とが、表示制御電圧の符号に同期した周期で、供給されている。

【0091】

基準電圧交流駆動を行う場合において、従来技術に係るドライバICに備えられる基準電圧線駆動回路では、1つの基準電圧を決定する電圧情報が記憶され、制御レジスタ回路は、1つの基準電圧を制御していたところ、当該実施形態に係る基準電圧線駆動回路10の特徴は、記憶部15に、順方向走査駆動用基準電圧 V_{comF} （正順用基準電圧）及び逆方向走査駆動用基準電圧 V_{comB} （逆順用基準電圧）を決定する電圧情報が記憶され、制御レジスタ回路13が順方向走査駆動用基準電圧 V_{comF} 及び逆方向走査駆動用基準電圧 V_{comB} を制御する点にある。ここで、従来技術における1つの基準電圧を決定する電圧情報とは、基準電圧の基準値と振幅値の2値である。基準電圧の基準値とは、例えば、正の符号の基準値（ハイ電圧）又は負の符号の基準値（ロー電圧）のいずれかである。

【0092】

順方向走査駆動を行う場合と、逆方向走査駆動を行う場合とに、基準値の振幅値は依らず同じであるので、当該実施形態に係る記憶部15に記憶される電圧情報は、順方向走査駆動用基準電圧 V_{comF} の基準値、逆方向走査駆動用基準電圧 V_{comB} の基準値、及び、両基準電圧の振幅値、の3値とするのが望ましい。

【0093】

記憶部15に記憶される係る3値の電圧情報に基づいて、基準電圧線駆動回路10が、順方向走査駆動時には、順方向走査駆動用基準電圧 V_{comF} を、逆方向走査駆動時には、逆方向走査駆動用基準電圧 V_{comB} を、各画素回路の基準電極111に供給することにより、基準電圧交流駆動を行う場合であっても、順方向走査駆動する場合と、逆方向走査駆動する場合とに生じる、表示制御電圧の差異を抑制することが出来、かつ、寄生容量による変動を抑制することが出来る。それにより、表示品質を向上することが出来る。

【0094】

なお、ここでは、記憶部15に記憶される電圧情報は、順方向走査駆動用基準電圧 V_{comF} の基準値、逆方向走査駆動用基準電圧 V_{comB} の基準値、及び、両基準電圧の振幅値、の3値としたが、記憶部15に記憶される電圧情報に基づいて、順方向走査駆動用基準電圧 V_{comF} 及び逆方向走査駆動用基準電圧 V_{comB} を生成することが出来るのであれば、他の電圧情報であってもよい。例えば、記憶部15に記憶される電圧情報は、順方向走査駆動用基準電圧 V_{comF} の中心値、逆方向走査駆動用基準電圧 V_{comB} の中心値、及び、振幅値の半値、の3値であってもよい。ここで、中心値とは、正の符号の基準電圧（ハイ電圧）と負の符号の基準電圧（ロー電圧）の平均値である。この場合、各基準電圧は、中心値に、振幅値の半値を加減することにより、正の符号の基準電圧（ハイ電圧）と負の符号の基準電圧（ロー電圧）とを生成することができる。また、順方向走査駆動用基準電圧 V_{comF} 及び逆方向走査駆動用基準電圧 V_{comB} の基準値とは、ハイ

電圧又はロー電圧のいずれかから、所定の値を加減した値などであってもよい。

【 0 0 9 5 】

[第 3 の実施形態]

本発明の第 3 の実施形態に係る表示装置の基本的な構成は、第 1 及び第 2 の実施形態に係る表示装置と同じである。当該実施形態に係る基準電圧線駆動回路 1 0 の記憶部 1 5 に記憶される電圧情報と、記憶部 1 5 に記憶される電圧情報に基づいて、基準電圧を生成する制御方法が、第 1 及び第 2 の実施形態と主に異なっている。

【 0 0 9 6 】

まず、第 1 の実施形態と同様に、基準電圧線駆動回路 1 0 が、基準電圧固定駆動を行う場合について説明する。第 1 の実施形態に係る記憶部 1 5 に記憶される電圧情報とは、例えば、順方向走査駆動用基準電圧 V_{comF} 及び逆方向走査駆動用基準電圧 V_{comB} の 2 値であるところ、当該実施形態に係る記憶部 1 5 に記憶される電圧情報は、例えば、順方向走査駆動用基準電圧 V_{comF} 又は逆方向走査駆動用基準電圧 V_{comB} のいずれかの値と、順方向走査駆動用基準電圧 V_{comF} 及び逆方向走査駆動用基準電圧 V_{comB} の差分値 $\Delta V (= V_{comF} - V_{comB})$ との 2 値である。

【 0 0 9 7 】

走査駆動の走査方向が変更する際に、制御レジスタ回路 1 3 は、出力すべき基準電圧を、変更前の基準電圧から、記憶部 1 5 に記憶されている差分値 ΔV をシフトさせて、変更後の基準電圧として、基準電圧生成回路 1 6 を制御する。それにより、基準電圧生成回路 1 6 は、順方向走査駆動時には、順方向走査駆動用基準電圧 V_{comF} を、逆方向走査駆動時には、逆方向走査駆動用基準電圧 V_{comB} を、基準電圧として、基準電圧線 1 0 8 に供給する。

【 0 0 9 8 】

第 1 の実施形態に係る基準電圧線駆動回路 1 0 は、記憶部 1 5 に、例えば、順方向走査駆動用基準電圧 V_{comF} 及び逆方向走査駆動用基準電圧 V_{comB} の 2 値の電圧情報を記憶させていたところ、当該実施形態に係る基準電圧線駆動回路 1 0 は、記憶部 1 5 に、順方向走査駆動用基準電圧 V_{comF} 又は逆方向走査駆動用基準電圧 V_{comB} のいずれかの値と、その差分値 ΔV と、の 2 値の電圧情報を記憶させている。差分値 ΔV の電圧設定範囲は、基準電圧そのものの電圧設定範囲より狭くすることが可能であるので、記憶部 1 5 に記憶させる電圧情報の情報量 (b i t 数) を軽減することが出来る。その結果、記憶部 1 5 に要する領域や、制御レジスタ回路 1 3 に設けられるレジスタ領域を軽減することが出来、ドライバ IC 1 3 4 の製造コストを軽減することが出来る。例えば、基準電圧の電圧設定範囲を 3 V、差分値 ΔV の電圧設定範囲を 3 0 0 m V とする場合、それぞれ 1 0 m V 毎の電圧設定を行うために必要な電圧情報の情報量は、基準電圧では 9 b i t、差分値 ΔV では 5 b i t である。

【 0 0 9 9 】

また、記憶部 1 5 に記憶される電圧情報は、順方向走査駆動用基準電圧 V_{comF} と逆方向走査駆動用基準電圧 V_{comB} との平均値と、順方向走査駆動用基準電圧 V_{comF} と逆方向走査駆動用基準電圧 V_{comB} の差分値 ΔV の半値であってもよい。この場合、該平均値に、差分値 ΔV を加減することにより、順方向走査駆動用基準電圧 V_{comF} 又は逆方向走査駆動用基準電圧 V_{comB} のいずれかを選択して生成することができる。

【 0 1 0 0 】

次に、第 2 の実施形態と同様に、基準電圧線駆動回路 1 0 が、基準電圧交流駆動を行う場合について説明する。第 2 の実施形態に係る記憶部 1 5 に記憶される電圧情報とは、例えば、順方向走査駆動用基準電圧 V_{comF} の基準値、逆方向走査駆動用基準電圧 V_{comB} の基準値、及び、両基準電圧の振幅値、の 3 値であるところ、当該実施形態に係る記憶部 1 5 に記憶される電圧情報は、例えば、順方向走査駆動用基準電圧 V_{comF} 又は逆方向走査駆動用基準電圧 V_{comB} のいずれかの基準値、振幅値、及び、順方向走査駆動用基準電圧 V_{comF} 及び逆方向走査駆動用基準電圧 V_{comB} の差分値 $\Delta V (= V_{comF} - V_{comB})$ 、の 3 値である。ここで、順方向走査駆動用基準電圧 V_{comF} 及び

逆方向走査駆動用基準電圧 V_{comB} はともに、所定の周期で繰り返しており、その差分値 ΔV は、直流成分のみの値である。第2の実施形態と比較して、基準電圧の基準値を、差分値 ΔV とすることにより、記憶部15に記憶される電圧情報の情報量を軽減することが出来る。

【0101】

また、当該実施形態に係る記憶部15に記憶される電圧情報は、順方向走査駆動用基準電圧 V_{comF} の中心値と逆方向走査駆動用基準電圧 V_{comB} の中心値との平均値、振幅値の半値、及び、順方向走査駆動用基準電圧 V_{comF} 及び逆方向走査駆動用基準電圧 V_{comB} の差分値 $\Delta V (= V_{comF} - V_{comB})$ の半値、の3値であってもよい。この場合、該平均値に、差分値 ΔV の半値を加減し、さらに、振幅値の半値を加減することにより、順方向走査駆動用基準電圧 V_{comF} 又は逆方向走査駆動用基準電圧 V_{comB} のいずれかを選択して、その正の符号の基準電圧（ハイ電圧）及び負の符号の基準電圧（ロー電圧）を生成することができる。

10

【0102】

当該実施形態に係る記憶部15に記憶される電圧情報は、順方向走査駆動用基準電圧 V_{comF} 又は逆方向走査駆動用基準電圧 V_{comB} の一方を決定することが出来る代表値情報と、該代表値情報を用いて他方を決定することが出来る差分情報とを、含んでいればよい。ここで、代表値情報とは、例えば、順方向走査駆動用基準電圧 V_{comF} 又は逆方向走査駆動用基準電圧 V_{comB} のいずれか一方の基準値、及び、振幅値であり、差分情報とは、順方向走査駆動用基準電圧 V_{comF} と逆方向走査駆動用基準電圧 V_{comB} との差分値 ΔV であってもよいし、他の電圧情報であってもよい。

20

【0103】

以上、本発明の実施形態に係る表示装置について、IPS方式の液晶表示装置であって、画素回路がコモントップ構造を有する場合について説明した。前述の通り、画素回路がコモントップ構造を有する場合は、画素回路の画素電極と、隣接するゲート信号線との間の寄生容量に起因する、画素電極の電圧変化の影響を、本発明により抑制することが出来、表示品質が向上される。しかし、IPS方式の液晶表示装置であって、画素回路が他の構造を有する場合であっても、画素回路の画素電極と、隣接するゲート信号線との間の寄生容量に起因して、画素電極に電圧変化が生じる場合に、本発明を適用することが出来る。

30

【0104】

IPS方式以外の駆動方式、例えば、VA (Vertically Aligned) 方式やTN (Twisted Nematic) 方式等の液晶表示装置や他の表示装置であっても、同様に、画素回路の画素電極と、隣接するゲート信号線との間の寄生容量に起因して、画素電極に電圧変化が生じる場合に、本発明を適用することが出来る。寄生容量に起因する場合に限定することなく、順方向走査駆動を行う場合と、逆方向走査駆動を行う場合とで、画素電極に系統的な電圧変化が生じる場合に、本発明を適用することが出来る。図8は、VA方式及びTN方式の液晶表示装置に備えられるTF基板102の等価回路の概念図である。VA方式及びTN方式の場合には、基準電極111がTF基板102と対向するフィルタ基板101に設けられている。

40

【符号の説明】

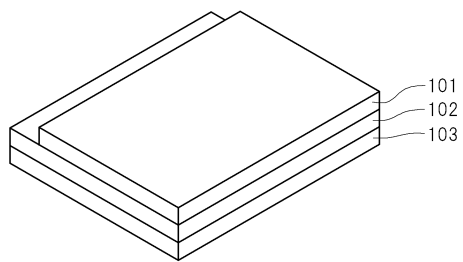
【0105】

10 基準電圧線駆動回路、11 論理回路、12 メモリ書き込み回路、13 制御レジスタ回路、14 インターフェース回路、15 記憶部、16 基準電圧生成回路、20 外部システム、31 順方向、32 逆方向、101 フィルタ基板、102 TFF基板、103 バックライト、105 ゲート信号線、106 RGBスイッチ回路、107 データ信号線、108 基準電圧線、109 TFF、110 画素電極、111 基準電極、112 シフトレジスタ回路、114 ゲート信号線制御回路、115 データ信号線駆動回路、120 表示部、134 ドライバIC、205 ゲート電極膜、207 データ信号線膜、210 画素電極膜、211 基準電極膜、220 半導

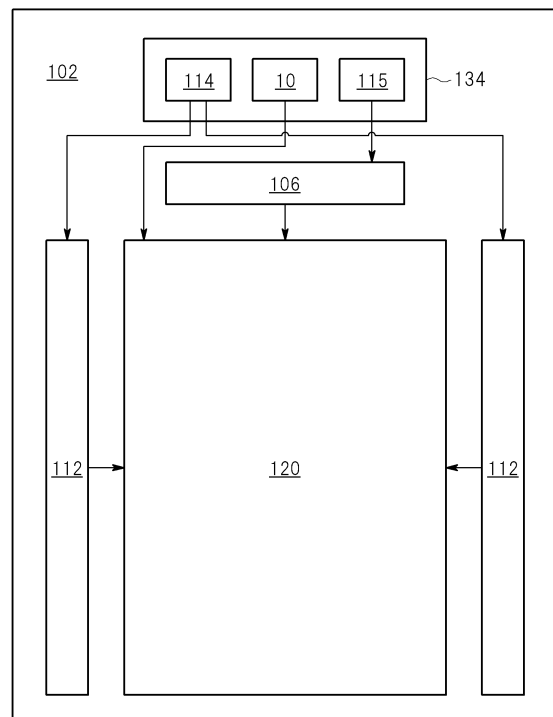
50

体膜、221 ゲート絶縁膜、222 絶縁膜、223 保護膜、 C_{gp1} 、 C_{gp2}
寄生容量、 C_{ST} 画素容量。

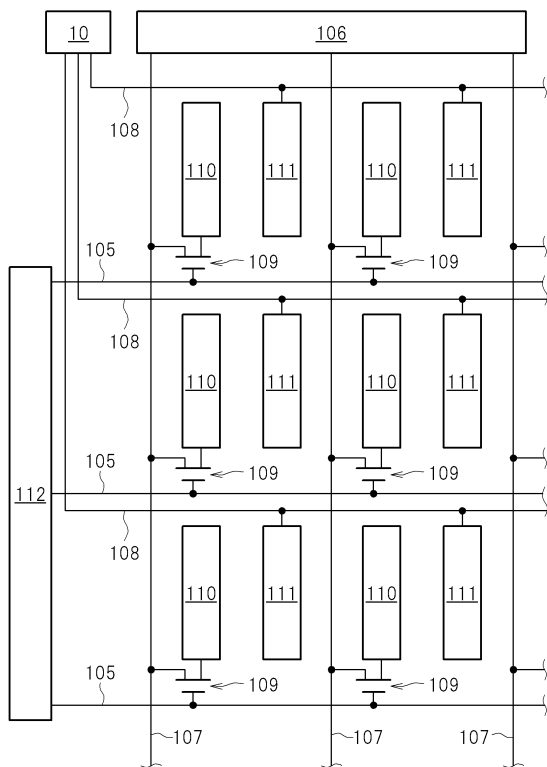
【図1】



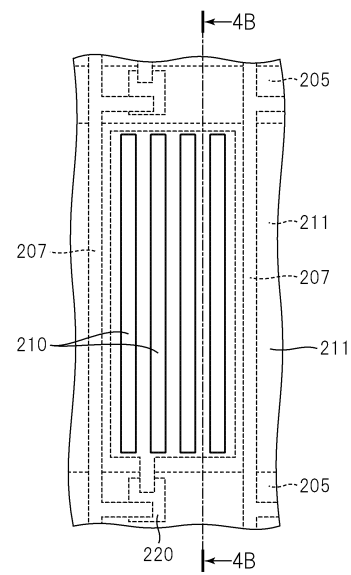
【図2】



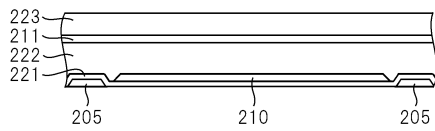
【図 3】



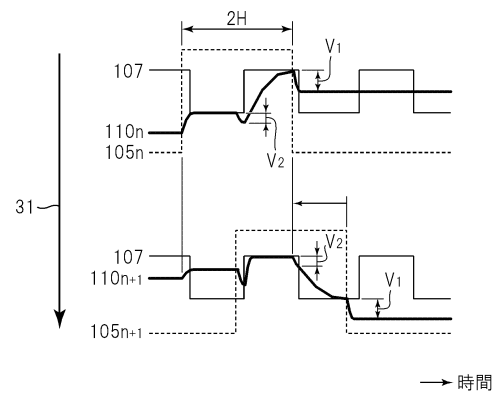
【図 4 A】



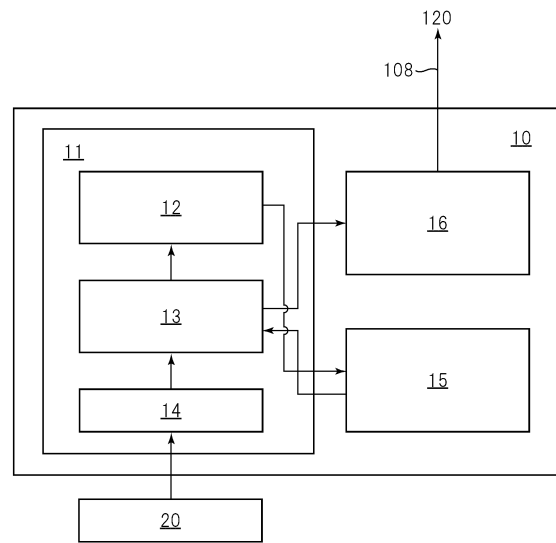
【図 4 B】



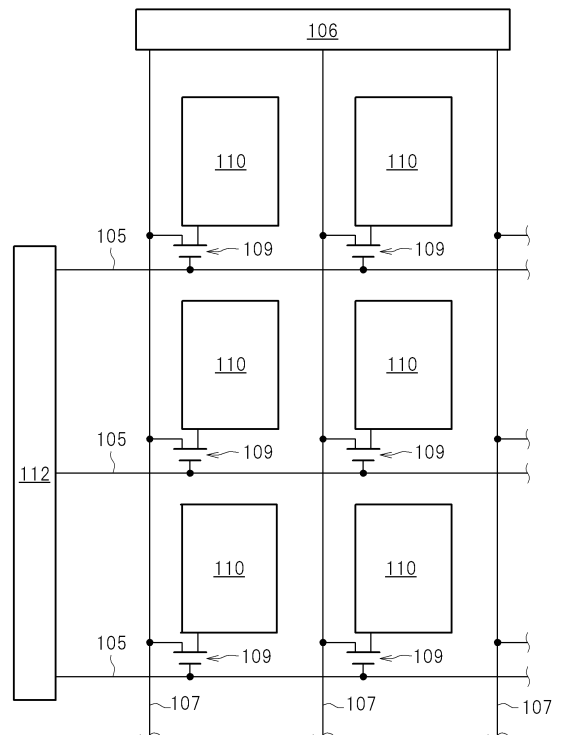
【図 5 A】



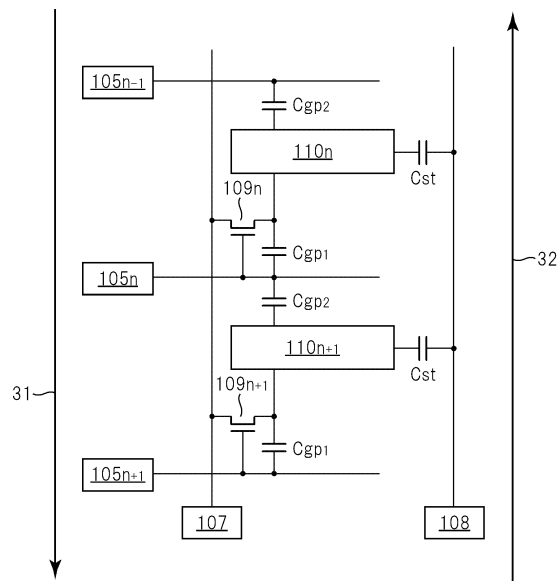
【 図 6 】



【 図 8 】



【図 9】



フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 6 0 F
	G 0 9 G	3/20	6 2 4 D
	G 0 9 G	3/20	6 3 1 U
	G 0 9 G	3/20	6 2 4 B
	G 0 9 G	3/20	6 8 0 G
	G 0 9 G	3/20	6 1 1 J
	G 0 9 G	3/20	6 1 2 E
	G 0 9 G	3/20	6 2 4 E
	G 0 2 F	1/133	5 5 0

審査官 西島 篤宏

(56)参考文献 国際公開第2010/150562(WO, A1)

特開2002-202761(JP, A)

特開2001-356738(JP, A)

特開2008-083399(JP, A)

特開平10-313418(JP, A)

特開2000-147459(JP, A)

特開2002-169522(JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3

专利名称(译)	液晶表示装置		
公开(公告)号	JP5679172B2	公开(公告)日	2015-03-04
申请号	JP2010244423	申请日	2010-10-29
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司 松下液晶显示器有限公司		
当前申请(专利权)人(译)	有限公司日本显示器 松下液晶显示器有限公司		
[标]发明人	笹沼啓太 青木義典		
发明人	笹沼 啓太 青木 義典		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G5/18 G02F1/134336 G02F1/134363 G09G3/3614 G09G3/3655 G09G3/3696 G09G2300/0408 G09G2300/0866 G09G2300/0876 G09G2310/0283 G09G2320/0285		
FI分类号	G09G3/36 G09G3/20.641.C G09G3/20.622.D G09G3/20.623.D G09G3/20.622.R G09G3/20.660.F G09G3/20.624.D G09G3/20.631.U G09G3/20.624.B G09G3/20.680.G G09G3/20.611.J G09G3/20.612. E G09G3/20.624.E G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZB07 2H193/ZB09 2H193/ZC16 2H193/ZC25 2H193/ZC30 2H193/ZC34 2H193/ /ZD32 2H193/ZQ16 5C006/AA16 5C006/AA22 5C006/AB01 5C006/AC11 5C006/AC22 5C006/AC24 5C006/AC25 5C006/AC27 5C006/AC28 5C006/AF13 5C006/AF22 5C006/AF42 5C006/AF51 5C006 /AF72 5C006/BA19 5C006/BB16 5C006/BC02 5C006/BC06 5C006/BF03 5C006/BF09 5C006/BF24 5C006/BF42 5C006/FA04 5C006/FA16 5C006/FA25 5C006/FA37 5C006/FA38 5C006/FA44 5C080 /AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD10 5C080/DD22 5C080/DD29 5C080/EE23 5C080/EE29 5C080/FF02 5C080/FF03 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080 /JJ04		
其他公开文献	JP2012098400A		
外部链接	Espacenet		

摘要(译)

提供一种能够抑制在执行正向扫描驱动的情况下产生的像素电路的保持电压的差异的影响和执行反向扫描驱动的情况的显示装置，从而提高显示质量。栅极信号线驱动电路，其驱动正向或反向扫描驱动并执行栅极重叠驱动，数据信号线，多个像素电路，多个栅极信号线，数据信号线驱动电路，其将与像素电路的显示数据对应的显示控制电压提供给数据信号线；以及参考电压线驱动电路，其将对应于每个像素电路的参考电压提供给每个像素电路其中，每个像素电路包括像素电极，参考电极和开关元件，其中，参考电压线驱动电路用于沿正向或反向驱动像素电路，并且分别选择正向参考电压或反向参考电压并将其提供给参考电极。点域6

