

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5465029号
(P5465029)

(45) 発行日 平成26年4月9日 (2014.4.9)

(24) 登録日 平成26年1月31日 (2014.1.31)

(51) Int.Cl.

F I

G09G 3/20 (2006.01)

G09G 3/20 622B

G09G 3/36 (2006.01)

G09G 3/20 624B

G02F 1/1368 (2006.01)

G09G 3/20 680G

G02F 1/133 (2006.01)

G09G 3/20 621F

G09G 3/36

請求項の数 8 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2010-26237 (P2010-26237)
 (22) 出願日 平成22年2月9日 (2010.2.9)
 (65) 公開番号 特開2011-164327 (P2011-164327A)
 (43) 公開日 平成23年8月25日 (2011.8.25)
 審査請求日 平成24年12月20日 (2012.12.20)

(73) 特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 100089118
 弁理士 酒井 宏明
 (74) 代理人 100118762
 弁理士 高村 順
 (74) 代理人 100092152
 弁理士 服部 毅巖
 (72) 発明者 平林 幸哉
 長野県安曇野市豊科田沢6925 エプソ
 ンイメージングデバイス株式会社内

審査官 中村 直行

最終頁に続く

(54) 【発明の名称】 表示装置および電子機器

(57) 【特許請求の範囲】

【請求項 1】

画素毎に形成されたスイッチング素子と、
 前記スイッチング素子に接続されたゲート線と、
 前記ゲート線に接続された走査線駆動回路とを備え、
 前記走査線駆動回路は、複数段の走査線駆動回路部を含み、
 前記走査線駆動回路部は、前記ゲート線にソースまたはドレインの一方が接続された第
 1 トランジスタと、前段に設けられた前記走査線駆動回路部の出力信号がソースまたはド
 レインの一方に入力されるとともに、ソースまたはドレインの他方が前記第 1 トランジス
 タのゲートに接続された第 2 トランジスタとを含み、
 前記第 2 トランジスタのチャネル幅をチャネル長で除したサイズ比の大きさは、前記第
 1 トランジスタのチャネル幅をチャネル長で除したサイズ比の大きさの 1 5 % より大きく
2 5 % 以下の大きさである、表示装置。

【請求項 2】

前記第 2 トランジスタのチャネル幅をチャネル長で除したサイズ比の大きさは、前記第
 1 トランジスタのチャネル幅をチャネル長で除したサイズ比の大きさの 2 0 % 以上 2 5 %
 以下の大きさである、請求項 1 に記載の表示装置。

【請求項 3】

前記第 1 トランジスタのゲートおよび前記第 2 トランジスタのソースまたはドレインの
 他方に接続される第 3 トランジスタをさらに備え、

10

20

前記第 3 トランジスタのチャネル幅をチャネル長で除したサイズ比の大きさは、前記第 2 トランジスタのチャネル幅をチャネル長で除したサイズ比よりも小さく、かつ、前記第 1 トランジスタのチャネル幅をチャネル長で除したサイズ比の大きさの 2 . 5 % 以上 6 % 以下の大きさである、請求項 1 または 2 に記載の表示装置。

【請求項 4】

前記第 1 トランジスタのゲートおよび前記第 2 トランジスタのソースまたはドレインの他方に接続される複数の第 3 トランジスタをさらに備え、

前記複数の第 3 トランジスタの各々のチャネル幅をチャネル長で除したサイズ比の大きさは、前記第 2 トランジスタのチャネル幅をチャネル長で除したサイズ比よりも小さく、かつ、前記第 1 トランジスタのチャネル幅をチャネル長で除したサイズ比の大きさの 2 . 5 % 以上 6 % 以下の大きさである、請求項 1 または 2 に記載の表示装置。

10

【請求項 5】

前記第 3 トランジスタのチャネル幅をチャネル長で除したサイズ比の大きさは、前記第 1 トランジスタのチャネル幅をチャネル長で除したサイズ比の大きさの 3 . 0 % 以上 5 . 0 % 以下の大きさである、請求項 3 または 4 に記載の表示装置。

【請求項 6】

前記第 2 トランジスタのソースまたはドレインの一方と、前記第 2 トランジスタのゲートとは、前段に設けられた前記走査線駆動回路部の出力信号が入力されるように構成されている、請求項 1 ~ 5 のいずれか 1 項に記載の表示装置。

【請求項 7】

20

前記第 1 トランジスタおよび前記第 2 トランジスタは、非晶質シリコンからなる能動層を有する、請求項 1 ~ 6 のいずれか 1 項に記載の表示装置。

【請求項 8】

請求項 1 ~ 7 のいずれか 1 項に記載の表示装置を備える、電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置および電子機器に関し、特に、複数のトランジスタを含む走査線駆動回路部を備える表示装置および電子機器に関する。

【背景技術】

30

【0002】

従来、複数のトランジスタを含む走査線駆動回路部を備える表示装置および電子機器が知られている（たとえば、特許文献 1 および 2 参照）。

【0003】

上記特許文献 1 および 2 には、前段のステージの出力信号がソースまたはドレインの一方とゲートとに入力される第 1 トランジスタと、第 1 トランジスタのソースまたはドレインの他方がゲートに接続され、ソースまたはドレインの一方からゲート線に信号を出力する第 2 トランジスタとを含むステージ（走査線駆動回路部）を備えた表示装置が開示されている。このステージでは、前段のステージから第 1 トランジスタのゲートに H レベルの信号が入力されることにより、第 1 トランジスタがオン状態となり、前段のステージの H レベルの信号が第 2 トランジスタのゲートに入力される。これにより、第 2 トランジスタは、オン状態になり、第 2 トランジスタのソースまたはドレインの他方に接続されるクロック信号（H レベルの信号）が出力端子に出力されるように構成されている。

40

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開平 7 - 182891 号公報

【特許文献 2】特開 2006 - 24350 号公報

【発明の概要】

【発明が解決しようとする課題】

50

【 0 0 0 5 】

しかしながら、上記特許文献 1 および 2 に記載の表示装置では、走査線駆動回路部の動作性能に関し、第 1 トランジスタおよび第 2 トランジスタのチャンネル幅 W をチャンネル長 L で除したサイズ比 (W/L) の大きさに関しては、何ら検討されていない。

【 0 0 0 6 】

この発明は、上記のような課題を解決するためになされたものであり、この発明の目的は、トランジスタのサイズ比を調整することにより、走査線駆動回路部の動作性能を向上させることが可能な表示装置および電子機器を提供することである。

【課題を解決するための手段および発明の効果】

【 0 0 0 7 】

上記目的を達成するために、この発明の第 1 の局面における表示装置は、画素毎に形成されたスイッチング素子と、スイッチング素子に接続されたゲート線と、ゲート線に接続された走査線駆動回路とを備え、走査線駆動回路は、複数段の走査線駆動回路部を含み、走査線駆動回路部は、ゲート線にソースまたはドレインの一方が接続された第 1 トランジスタと、前段に設けられた走査線駆動回路部の出力信号がソースまたはドレインの一方に入力されるとともに、ソースまたはドレインの他方が第 1 トランジスタのゲートに接続された第 2 トランジスタとを含み、第 2 トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさは、第 1 トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさの 15%より大きく25% 以下の大きさである。

【 0 0 0 8 】

この第 1 の局面による表示装置では、上記のように、第 2 トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさを、第 1 トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさの 15%より大きく25% 以下の大きさにすることによって、たとえば、第 2 トランジスタのサイズ比の大きさが、第 1 トランジスタのサイズ比の大きさの 15% よりも小さい場合と比べて、第 2 トランジスタのサイズ比の大きさが大きい分、第 2 トランジスタのソースまたはドレインの他方から出力される信号を大きくすることができるので、第 2 トランジスタのソースまたはドレインの他方と第 1 トランジスタのゲートとの間の寄生容量の充放電に必要な時間を短縮することができる。これにより、トランジスタのサイズ比を調整することにより、走査線駆動回路部の動作性能を向上させることができる。なお、トランジスタのサイズ比を調整することにより、走査線駆動回路部の動作性能を向上させることができる効果については、後述するシミュレーションの結果により検証済みである。

【 0 0 0 9 】

上記第 1 の局面による表示装置において、好ましくは、第 2 トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさは、第 1 トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさの 20% 以上 25% 以下の大きさである。このように構成すれば、走査線駆動回路部の動作性能をより向上させることができる。

【 0 0 1 0 】

上記第 1 の局面による表示装置において、好ましくは、第 1 トランジスタのゲートおよび第 2 トランジスタのソースまたはドレインの他方に接続される第 3 トランジスタをさらに備え、第 3 トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさは、第 2 トランジスタのチャンネル幅をチャンネル長で除したサイズ比よりも小さく、かつ、第 1 トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさの 2.5% 以上 6% 以下の大きさである。このように構成すれば、たとえば、第 3 トランジスタのサイズ比の大きさが、第 1 トランジスタのサイズ比の大きさの 6% よりも大きい場合と比べて、第 3 トランジスタのサイズ比の大きさが小さい分、第 3 トランジスタの寄生容量の充放電に必要な時間を短縮することができるので、走査線駆動回路部の動作性能を向上させることができる。

【 0 0 1 1 】

上記第 1 の局面による表示装置において、好ましくは、第 1 トランジスタのゲートおよ

10

20

30

40

50

び第2トランジスタのソースまたはドレインの他方に接続される複数の第3トランジスタをさらに備え、複数の第3トランジスタの各々のチャンネル幅をチャンネル長で除したサイズ比の大きさは、第2トランジスタのチャンネル幅をチャンネル長で除したサイズ比よりも小さく、かつ、第1トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさの2.5%以上6%以下の大きさである。このように構成すれば、第3トランジスタが複数設けられた場合にも、複数の第3トランジスタの各々の寄生容量の充放電に必要な時間を短縮することができるので、走査線駆動回路部の動作性能を向上させることができる。

【0012】

上記第3トランジスタを備える表示装置において、好ましくは、第3トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさは、第1トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさの3.0%以上5.0%以下の大きさである。このように構成すれば、走査線駆動回路部の動作性能をより向上させることができる。

【0013】

上記第1の局面による表示装置において、好ましくは、第2トランジスタのソースまたはドレインの一方と、第2トランジスタのゲートとは、前段に設けられた走査線駆動回路部の出力信号が入力されるように構成されている。このように構成すれば、第2トランジスタのゲートに前段に設けられた走査線駆動回路部の出力信号(Hレベルの信号)が入力されることより、第2トランジスタをオン状態にするとともに、第2トランジスタのソースまたはドレインの他方からHレベルの信号を出力することができる。

【0014】

上記第1の局面による表示装置において、好ましくは、第1トランジスタおよび第2トランジスタは、非晶質シリコンからなる能動層を有する。このように構成すれば、性能が劣化しやすい非晶質シリコンからなる能動層を有する第1トランジスタおよび第2トランジスタを含む走査線駆動回路部の動作性能を向上させることができる。

【0015】

この発明の第2の局面による電子機器は、上記のいずれかの構成を有する表示装置を備える。このように構成すれば、トランジスタのサイズ比を調整することにより、表示装置の動作性能を向上させることが可能な表示装置を備えた電子機器を得ることができる。

【図面の簡単な説明】

【0016】

【図1】本発明の第1実施形態による液晶表示装置の平面図である。

【図2】本発明の第1実施形態による走査線駆動回路のブロック図である。

【図3】本発明の第1実施形態による走査線駆動回路のVスキャナブロックの等価回路図である。

【図4】本発明の第1実施形態および比較例におけるVスキャナブロックのトランジスタTr7のサイズ比(W/L)を異ならせた場合の動作周波数の上限および寿命を示したグラフである。

【図5】本発明の第1実施形態および比較例におけるVスキャナブロックの各トランジスタのサイズ比(W/L)を示した表である。

【図6】本発明の第1実施形態による走査線駆動回路の動作を説明するためのタイミングチャートである。

【図7】本発明の第2実施形態による液晶表示装置のVスキャナブロックの等価回路図である。

【図8】本発明の第2実施形態の変形例および比較例におけるVスキャナブロックのトランジスタTr7のサイズ比(W/L)を異ならせた場合の動作周波数の上限および寿命を示した図である。

【図9】本発明の第2実施形態および比較例におけるVスキャナブロックの各トランジスタのサイズ比(W/L)を示した表である。

【図10】本発明の第1および第2実施形態による液晶表示装置を用いた電子機器の第1の例を説明するための図である。

10

20

30

40

50

【図 1 1】本発明の第 1 および第 2 実施形態による液晶表示装置を用いた電子機器の第 2 の例を説明するための図である。

【図 1 2】本発明の第 1 および第 2 実施形態による液晶表示装置を用いた電子機器の第 3 の例を説明するための図である。

【発明を実施するための形態】

【0017】

以下、本発明の実施形態を図面に基づいて説明する。

【0018】

(第 1 実施形態)

図 1 ~ 図 3 を参照して、本発明の第 1 実施形態による液晶表示装置 100 の構成について説明する。 10

【0019】

本発明の第 1 実施形態による液晶表示装置 100 は、図 1 に示すように、一対の TFT 基板 1 および対向基板 2 と、複数の画素 3 を含む表示部 4 と、液晶表示装置 100 を駆動させるための駆動 IC 5 と、TFT 基板 1 の表面上に設けられた走査線駆動回路 6 と、駆動 IC 5 に種々の信号を出力する FPC7 (Flexible Printed Circuits) とを備えている。なお、液晶表示装置 100 は、本発明の「表示装置」の一例である。

【0020】

また、表示部 4 は、Y 方向に沿って延びる複数のデータ線 8 と、データ線 8 に略直交するとともに、X 方向に沿って延びるように設けられた複数のゲート線 9 とを含んでいる。また、複数のゲート線 9 の各々は、それぞれ、走査線駆動回路 6 に接続されている。ゲート線 9 は、TFT 基板 1 の Y 方向に沿って複数設けられるとともに、Y1 方向側から Y2 方向側に沿って、1 ライン目、2 ライン目、・・・、N ライン目、および、(N+1) ライン目という順番に配置されている。 20

【0021】

また、画素 3 は、ゲート線 9 と、データ線 8 とが交差する領域に設けられている。また、画素 3 には、スイッチング用の薄膜トランジスタ 10 が設けられている。なお、薄膜トランジスタ 10 は、本発明の「スイッチング素子」の一例である。薄膜トランジスタ 10 のソース (S) は、データ線 8 に接続されるとともに、薄膜トランジスタ 10 のゲート (G) は、ゲート線 9 に接続されている。また、薄膜トランジスタ 10 のドレイン電極 (D) は、画素電極 11 に接続されている。また、画素電極 11 に対向するように液晶層 12 を挟んで対向電極 13 が設けられている。 30

【0022】

また、駆動 IC 5 は、L レベルの VBB 電位、STV 信号 (スタート信号)、パルス状の CLK1 (クロック 1) 信号、および、CLK1 信号の反転信号である CLK2 信号 (クロック 2) 信号を生成するとともに、走査線駆動回路 6 に出力するように構成されている。

【0023】

走査線駆動回路 6 は、図 2 に示すように、複数段の V スキャナブロック 14 を含んでいる。なお、V スキャナブロック 14 は、本発明の「走査線駆動回路部」の一例である。V スキャナブロック 14 は、OUT 端子から信号を出力するとともに、信号を次段の V スキャナブロック 14 に順次転送する機能を有している。また、複数の V スキャナブロック 14 は、それぞれ、ゲート線 9 の 1 ライン目、2 ライン目、・・・、N ライン目および (N+1) ライン目に接続されている。なお、1 ライン目のゲート線 9 に接続された V スキャナブロック 14 は、V スキャナブロック (1) と図示し、2 ライン目のゲート線 9 に接続された V スキャナブロック 14 は、V スキャナブロック (2) と図示し、N ライン目のゲート線 9 に接続された V スキャナブロック 14 は、V スキャナブロック (N) と図示し、(N+1) ライン目のゲート線 9 に接続された V スキャナブロック 14 は、V スキャナブロック (N+1) と図示している。 40 50

【 0 0 2 4 】

また、走査線駆動回路 6 の 1 ライン目のゲート線 9 に接続された V スキャナブロック 14 は、C L K 1 信号が入力される C L K 1 端子と、C L K 2 信号が入力される C L K 2 端子と、L レベルの V B B 電位が入力される V B B 端子と、S T V 信号が入力される S E T 端子と、ゲート線 9 に信号を出力するための O U T 端子と、次段の V スキャナブロック 14 の O U T 端子からの信号が入力される R E S E T 端子とを含んでいる。なお、2 ライン目以降のゲート線 9 に接続された V スキャナブロック 14 の S E T 端子には、前段の V スキャナブロック 14 の O U T 端子から出力される信号が入力されるように構成されている。また、2 ライン目以降のゲート線 9 に接続された V スキャナブロック 14 のその他の構成は、2 ライン目のゲート線 9 に接続された V スキャナブロック 14 と同様である。

10

【 0 0 2 5 】

V スキャナブロック 14 の詳細な構成としては、図 3 に示すように、非晶質シリコンからなる能動層を有する 7 つの n チャネル型のトランジスタ (トランジスタ T r 1、トランジスタ T r 2、トランジスタ T r 3、トランジスタ T r 4、トランジスタ T r 5、トランジスタ T r 6 およびトランジスタ T r 7)、および、2 つのコンデンサ (C 1 および C 2) から構成されている。なお、トランジスタ T r 1 は、本発明の「第 1 トランジスタ」の一例であり、トランジスタ T r 7 は、本発明の「第 2 トランジスタ」の一例である。また、トランジスタ T r 4、トランジスタ T r 5、トランジスタ T r 6 は、本発明の「第 3 トランジスタ」の一例である。

【 0 0 2 6 】

20

トランジスタ T r 1 のソース (S) は、C L K 1 端子に接続されるとともに、パルス状の C L K 1 信号 (クロック信号) が入力されるように構成されている。また、トランジスタ T r 1 のソース (S) は、コンデンサ C 1 の一方電極に接続されている。トランジスタ T r 1 のドレイン (D) は、O U T 端子を介して、ゲート線 9 (図 1 参照) に接続されている。

【 0 0 2 7 】

また、トランジスタ T r 1 のドレイン (D) は、トランジスタ T r 2 のソース (S)、トランジスタ T r 3 のソース (S) およびコンデンサ C 2 の一方電極に接続されている。また、トランジスタ T r 1 のゲート (G) は、トランジスタ T r 4 のゲート (G)、トランジスタ T r 5 のドレイン (D)、トランジスタ T r 6 のソース (S)、トランジスタ T r 7 のソース (S) およびコンデンサ C 2 の他方電極に接続されている。

30

【 0 0 2 8 】

また、トランジスタ T r 2 のドレイン (D) は、トランジスタ T r 3 のドレイン (D)、トランジスタ T r 4 のドレイン (D)、トランジスタ T r 5 のソース (S)、トランジスタ T r 6 のドレイン (D) および V B B 端子に接続されている。また、トランジスタ T r 2 のゲート (G) は、トランジスタ T r 4 のソース (S)、トランジスタ T r 6 のゲート (G) およびコンデンサ C 1 の他方電極に接続されている。また、トランジスタ T r 3 のゲート (G) は、C L K 2 端子に接続されるとともに、パルス状の C L K 2 信号 (クロック信号 (C L K 1 信号の反転信号)) が入力されるように構成されている。

【 0 0 2 9 】

40

また、トランジスタ T r 5 のゲート (G) は、R E S E T 端子に接続されるとともに、次段の V スキャナブロック 14 の O U T 端子からの出力信号が入力されるように構成されている。また、トランジスタ T r 7 のドレイン (D) およびトランジスタ T r 7 のゲート (G) は、S E T 端子に接続されており、1 ライン目のゲート線 9 に接続された V スキャナブロック 14 の S E T 端子には、S T V 信号 (スタート信号) が入力されるように構成されており、2 ライン目以降のゲート線 9 に接続された V スキャナブロック 14 の S E T 端子には、前段の V スキャナブロック 14 の O U T 端子からの出力信号が入力されるように構成されている。

【 0 0 3 0 】

次に、図 4 および図 5 を参照して、この第 1 実施形態による V スキャナブロックのトラ

50

ンジスタTr7のサイズ比(W/L)の大きさをトランジスタTr1に対して変化させた場合のVスキャナブロックの動作周波数の上限および寿命についてのシミュレーションについて説明する。比較例および第1実施形態によるVスキャナブロック14において、トランジスタTr1のチャンネル幅Wをチャンネル長Lで除したサイズ比(W/L)の大きさを100%(基準)とした。なお、比較例および第1実施形態によるVスキャナブロック14のトランジスタTr1のチャンネル幅Wは、約2mm(約2000 μ m)であり、チャンネル長Lは、約4 μ mである。そして、比較例によるVスキャナブロック14のトランジスタTr7のサイズ比をトランジスタTr1に対して約6%以上約15%以下の範囲とし、第1実施形態によるVスキャナブロック14のトランジスタTr7のサイズ比をトランジスタTr1に対して約15%以上約30%以下の範囲とした。また、図5に示すように、第1実施形態のトランジスタTr2~Tr6に関しては、比較例と同様に、トランジスタTr2のサイズ比を約22%以上約37%以下とし、トランジスタTr3のサイズ比を約20%以上約40%以下とし、トランジスタTr4、Tr5およびTr6のサイズ比を約6%以上約15%以下とした。

10

【0031】

図4では、横軸がトランジスタTr7のトランジスタTr1に対するサイズ比[%]を示しており、縦軸が動作周波数の上限[kHz]および寿命[年]を示している。なお、Vスキャナブロック14の寿命についてのシミュレーションは、液晶表示装置100を約70℃の温度下において使用した場合を示している。つまり、液晶表示装置100を約30℃の温度下において使用した場合には、図4に示された寿命よりも長い寿命が得られる。

20

【0032】

図4に示すように、Vスキャナブロック14のトランジスタTr7のサイズ比が約6%以上約15%以下の範囲(比較例の範囲)では、動作周波数の上限は、約23kHz以上約29kHz以下であることが判明した。また、比較例の範囲によるVスキャナブロック14の寿命は、約1年以上約5年以下であることが判明した。

【0033】

これに対して、Vスキャナブロック14のトランジスタTr7のサイズ比が約15%以上約30%以下の範囲(第1実施形態の範囲)では、動作周波数の上限は、約29kHz以上約30kHz以下であることが判明した。また、第1実施形態によるVスキャナブロック14の寿命は、約5年以上約7年以下であることが判明した。つまり、Vスキャナブロック14のトランジスタTr7のサイズ比を約15%以上約30%以下の範囲にすることにより、比較例によるVスキャナブロック14に比べて動作周波数を約1kHz向上させるとともに、寿命を約2年向上させることが可能であることが判明した。

30

【0034】

なお、第1実施形態によるVスキャナブロック14のトランジスタTr7のサイズ比が約20%以上約25%以下の範囲(最適範囲)では、動作周波数の上限は、約29.5kHz以上約30kHz以下であることが判明した。また、第1実施形態によるVスキャナブロック14の寿命は、約6.5年以上約7年以下であることが判明した。つまり、第1実施形態によるVスキャナブロック14のトランジスタTr7のサイズ比である約15%以上約30%以下の範囲のうち、サイズ比が約20%以上約25%以下の範囲では、比較例に対して動作周波数および寿命の優位性が大きいことが確認された。

40

【0035】

次に、トランジスタTr2~Tr7のうちトランジスタTr2のサイズ比の大きさを变化させた場合のシミュレーションについて説明する。なお、トランジスタTr3~Tr6のサイズ比の大きさは、図5に示す比較例と同じである。

【0036】

比較例では、Vスキャナブロック14のトランジスタTr2のサイズ比がトランジスタTr1に対して約22%以上約37%以下の範囲であるのに対して、第1実施形態によるVスキャナブロック14のトランジスタTr2では、サイズ比を比較例よりも大きな範囲

50

のトランジスタTr 1のサイズ比に対して約17%以上約37%以下の範囲とした。その結果、上記したトランジスタTr 7の場合のような比較例に対する動作周波数の上限および寿命の向上は、確認されなかった。また、トランジスタTr 3に関しては、サイズ比を比較例と比べて変化させた場合のシミュレーションは行っていない。

【0037】

次に、比較例では、Vスキャナブロック14のトランジスタTr 4 (Tr 5、Tr 6)のサイズ比がトランジスタTr 1に対して約6%以上約15%以下の範囲であるのに対して、第1実施形態によるVスキャナブロック14のトランジスタTr 4 (Tr 5、Tr 6)では、サイズ比をトランジスタTr 1に対して約2.5%以上約6%以下の範囲とした。その結果、動作周波数および寿命が比較例に対して向上することが判明した。つまり、第1実施形態によるVスキャナブロック14のトランジスタTr 4 (Tr 5、Tr 6)のサイズ比を比較例によるVスキャナブロック14のトランジスタTr 4 (Tr 5、Tr 6)のサイズ比よりも小さくすることによって、上記した第1実施形態によるVスキャナブロック14のトランジスタTr 7のサイズ比の大きさをトランジスタTr 1のサイズ比の大きさに対して変化させた場合と同様に、動作周波数および寿命が比較例に対して向上することが判明した。また、トランジスタTr 4 (Tr 5、Tr 6)のサイズ比が約3%以上約5%以下の範囲(最適範囲)では、比較例に対して最も動作周波数および寿命の優位性が大きいことが確認された。

【0038】

次に、図1～図3および図6を参照して、上記した走査線駆動回路6 (Vスキャナブロック14)の動作について説明する。

【0039】

まず、走査線駆動回路6の1ライン目のVスキャナブロック14 (図2参照)には、図6に示す時間A (CLK 1がLレベル、CLK 2がHレベル)において、図3に示すHレベルのSTV信号がトランジスタTr 7のゲート(G)に入力されることにより、トランジスタTr 7がオン状態になる。これにより、Hレベルの信号がノードN1を介してトランジスタTr 1のゲート(G)、トランジスタTr 4のゲート(G)、トランジスタTr 5のドレイン(D)、トランジスタTr 6のソース(S)およびコンデンサC2の他方電極に入力される。その結果、トランジスタTr 1およびトランジスタTr 4がオン状態になる。そして、ノードN2がLレベルの電位になる。また、コンデンサC1の他方電極は、Hレベルになるとともに、充電を開始する。また、トランジスタTr 3のゲート(G)には、HレベルのCLK 2信号が入力されるので、トランジスタTr 3はオン状態になる。そして、ゲート線9は、OUT端子およびトランジスタTr 3を介して、LレベルのVBB電位に接続される。

【0040】

次に、走査線駆動回路6の1ライン目のVスキャナブロック14 (図2参照)には、図6に示す時間B (CLK 1がHレベル、CLK 2がLレベル)において、図3に示すLレベルのSTV信号がトランジスタTr 7のゲート(G)に入力されることにより、トランジスタTr 7がオフ状態になる。このとき、上記した時間Aにおいて充電されたコンデンサC2からHレベルの電位が放電され、トランジスタTr 1のゲート(G)およびトランジスタTr 4のゲート(G)にHレベルの信号が入力されることにより、トランジスタTr 1およびトランジスタTr 4がオン状態になる。そして、HレベルのCLK 1信号が、トランジスタTr 1を介して、OUT端子からゲート線9に出力される。これにより、出力された信号が表示部4の画素3に設けられた薄膜トランジスタ10を駆動させる。また、OUT端子に出力された信号は、次段のVスキャナブロック14のSET端子に入力される。また、Lレベルの信号(VBB電位)が、トランジスタTr 4およびノードN2を介して、トランジスタTr 2のゲート(G)およびトランジスタTr 6のゲート(G)に入力されるので、トランジスタTr 2およびトランジスタTr 6がオフ状態になる。

【0041】

次に、走査線駆動回路6の1ライン目のVスキャナブロック14 (図2参照)には、図

10

20

30

40

50

6に示す時間C（CLK1がLレベル、CLK2がHレベル）において、図3に示すLレベルのSTV信号がトランジスタTr7のゲート（G）に入力されるので、トランジスタTr7がオフ状態になる。また、LレベルのCLK1信号は、トランジスタTr1のソース（S）に入力される。また、HレベルのCLK2信号は、トランジスタTr3のゲート（G）に入力されるので、トランジスタTr3がオン状態になる。そして、Lレベルの信号（VBB電位）は、トランジスタTr3を介して、OUT端子からゲート線9（図1参照）に出力される。

【0042】

また、トランジスタTr5のゲート（G）には、2ライン目（次段）のVスキャナブロック14から出力されたHレベルのRESET信号が入力されるので、トランジスタTr5がオン状態になる。そして、Lレベルの信号（VBB電位）が、トランジスタTr5を介して、トランジスタTr1のゲート（G）、トランジスタTr4のゲート（G）、トランジスタTr6のソース（S）、および、トランジスタTr7のソース（S）に入力される。これにより、トランジスタTr1およびトランジスタTr4は、オフ状態になる。また、トランジスタTr3のゲート（G）には、HレベルのCLK2信号が入力されるので、トランジスタTr3がオン状態になる。そして、Lレベルの信号（VBB電位）がトランジスタTr3を介して、OUT端子から出力される。なお、2ライン目以降の走査内容は、上記した1ライン目の走査内容と同様である。

【0043】

第1実施形態では、上記のように、トランジスタTr7のチャンネル幅Wをチャンネル幅Lで除したサイズ比（ W/L ）の大きさを、トランジスタTr1のチャンネル幅Wをチャンネル幅Lで除したサイズ比（ W/L ）の大きさの15%以上30%以下の大きさにすることによって、トランジスタTr7のサイズ比（ W/L ）の大きさが、トランジスタTr1のサイズ比（ W/L ）の大きさの15%よりも小さい場合（比較例）と比べて、トランジスタTr7のサイズ比（ W/L ）の大きさが大きい分、トランジスタTr7のソース（S）から出力される信号を大きくすることができるので、トランジスタTr7のソース（S）とトランジスタTr1のゲート（G）との間の寄生容量の充放電に必要な時間を短縮することができる。これにより、トランジスタのサイズ比（ W/L ）を調整することにより、Vスキャナブロック14の動作性能を向上させることができる。このように、トランジスタ素子に非晶質シリコンを利用した薄膜トランジスタを用いる場合には、回路動作の際に印加される電圧ストレスや使用温度環境によって素子特性が劣化する現象によって、この種の回路には比較的短い動作限界、すなわち寿命が存在することが知られている。この問題に対して、本発明実施例によるトランジスタのサイズ比の調整は、動作性能を向上させると同時に、同一の電圧ストレスおよび使用温度環境において動作限界に到達するまでの時間を延ばすことになる。また、非晶質シリコン素子に比べ電圧ストレスに比較的強いとされる多結晶・単結晶シリコン素子においても、第1実施形態による走査線駆動回路6のVスキャナブロック14のトランジスタTr7のサイズ比（ W/L ）を比較例による走査線駆動回路6のVスキャナブロック14のトランジスタTr7のサイズ比（ W/L ）よりも大きくすることにより、トランジスタTr7のサイズ（面積）が大きくなった分、トランジスタTr7のソースとドレインとの間の電界集中を抑制することができるので、トランジスタTr7の電界集中に起因する特性の劣化を抑制することができる。すなわち、これらの総合的な効果によってVスキャナブロック14の寿命を向上させることができる。

【0044】

また、第1実施形態では、上記のように、トランジスタTr7のチャンネル幅Wをチャンネル幅Lで除したサイズ比（ W/L ）の大きさを、トランジスタTr1のチャンネル幅Wをチャンネル幅Lで除したサイズ比（ W/L ）の大きさの20%以上25%以下の大きさにすることによって、Vスキャナブロック14の動作性能をより向上させることができる。

【0045】

また、第1実施形態では、上記のように、トランジスタTr4、Tr5およびTr6のチャンネル幅Wをチャンネル幅Lで除したサイズ比（ W/L ）の大きさを、トランジスタTr

10

20

30

40

50

7のチャネル幅Wをチャネル幅Lで除したサイズ比(W/L)よりも小さく、かつ、トランジスタTr1のチャネル幅Wをチャネル幅Lで除したサイズ比(W/L)の大ききの2.5%以上6%以下の大ききにすることによって、トランジスタTr4、Tr5およびTr6のサイズ比(W/L)の大ききが、トランジスタTr1のサイズ比(W/L)の大ききの6%よりも大きい場合(比較例)と比べて、トランジスタTr4、Tr5およびTr6のサイズ比(W/L)の大ききが小さい分、トランジスタTr4、Tr5およびTr6の寄生容量の充放電に必要な時間を短縮することができるので、Vスキャナブロック14の動作性能を向上させることができる。

【0046】

また、第1実施形態では、上記のように、複数のトランジスタTr4、Tr5およびTr6の各々のチャネル幅Wをチャネル幅Lで除したサイズ比(W/L)の大ききを、トランジスタTr7のチャネル幅Wをチャネル幅Lで除したサイズ比(W/L)よりも小さく、かつ、トランジスタTr1のチャネル幅Wをチャネル幅Lで除したサイズ比(W/L)の大ききの2.5%以上6%以下の大ききにすることによって、トランジスタが複数設けられた場合にも、複数のトランジスタTr4、Tr5およびTr6の各々の寄生容量の充放電に必要な時間を短縮することができるので、Vスキャナブロック14の動作性能を向上させることができる。

【0047】

また、第1実施形態では、上記のように、トランジスタTr4、Tr5およびTr6のチャネル幅Wをチャネル幅Lで除したサイズ比(W/L)の大ききを、トランジスタTr1のチャネル幅Wをチャネル幅Lで除したサイズ比(W/L)の大ききの3.0%以上5.0%以下の大ききにすることによって、Vスキャナブロック14の動作性能をより向上させることができる。

【0048】

また、第1実施形態では、上記のように、トランジスタTr7ドレイン(D)と、トランジスタTr7のゲート(G)とに、前段に設けられたVスキャナブロック14の出力信号を入力することによって、トランジスタTr7のゲート(G)に前段に設けられたVスキャナブロック14の出力信号(Hレベルの信号)が入力されることより、トランジスタTr7をオン状態にするとともに、トランジスタTr7のソース(S)からHレベルの信号を出力することができる。

【0049】

また、第1実施形態では、上記のように、トランジスタTr1およびトランジスタTr7が、非晶質シリコンからなる能動層を有することによって、性能が劣化しやすい非晶質シリコンからなる能動層を有するトランジスタTr1およびトランジスタTr7を含むVスキャナブロック14の動作性能を向上させることができる。

【0050】

(第2実施形態)

次に、図1、図7～図9を参照して、Vスキャナブロック14を7つのトランジスタおよび2つのコンデンサから構成した上記第1実施形態とは異なり、Vスキャナブロック14aを6つのトランジスタ(トランジスタTr11、Tr12、Tr13、Tr14、Tr15およびTr16)および1つのコンデンサ(C11)から構成する例を説明する。なお、トランジスタTr11は、本発明の「第1トランジスタ」の一例であり、トランジスタTr16は、本発明の「第2トランジスタ」の一例である。また、トランジスタTr15は、本発明の「第3トランジスタ」の一例である。

【0051】

この第2実施形態による液晶表示装置100aのVスキャナブロック14aは、図7に示すように、トランジスタTr11のソース(S)は、CKL1端子に接続されており、パルス状のクロック信号が入力されるように構成されている。トランジスタTr11のドレイン(D)は、ゲート線9(図1参照)に接続されており、画素3に設けられた薄膜トランジスタ10に信号を出力可能に構成されている。また、トランジスタTr11のドレ

10

20

30

40

50

イン(D)は、トランジスタTr12のソース(S)およびコンデンサC11の一方電極に接続されている。トランジスタTr11のゲート(G)は、ノードN3を介して、トランジスタTr15のソース(S)、トランジスタTr16のソース(S)およびコンデンサC11の他方電極に接続されている。

【0052】

また、トランジスタTr12のドレイン(D)は、トランジスタTr14のソース(S)、トランジスタTr15のドレイン(D)およびVBB端子に接続されている。トランジスタTr12のゲート(G)は、トランジスタTr13のソース(S)、トランジスタTr14のドレイン(D)およびトランジスタTr15のゲート(G)に接続されている。また、トランジスタTr13のドレイン(D)およびゲート(G)は、CLK2端子に接続されており、CLK1信号の反転信号のパルス状のCLK2信号(クロック信号)が入力されるように構成されている。

10

【0053】

また、トランジスタTr14のゲート(G)は、トランジスタTr16のゲート(G)、トランジスタTr16のドレイン(D)およびSET端子に接続されており、トランジスタTr14のゲート(G)、トランジスタTr16のゲート(G)およびトランジスタTr16のドレイン(D)には、SET信号が入力されるように構成されている。

【0054】

次に、図8および図9を参照して、この第2実施形態によるVスキャナブロックのトランジスタTr16のサイズ比(W/L)の大きさを比較例に対して変化させた場合のVスキャナブロックの動作周波数の上限についてのシミュレーションについて説明する。比較例および第2実施形態によるVスキャナブロック14aにおいて、トランジスタTr11のチャンネル幅Wをチャンネル長Lで除したサイズ比(W/L)の大きさを100%(基準)とした。なお、比較例および第2実施形態によるVスキャナブロック14aのトランジスタTr11のチャンネル幅Wは、約2mm(2000μm)であり、チャンネル長Lは、約4μmである。そして、比較例によるVスキャナブロック14aのトランジスタTr16のサイズ比がトランジスタTr11に対して約6%以上約15%以下の範囲とし、第2実施形態によるVスキャナブロック14aのトランジスタTr16のサイズ比がトランジスタTr11に対して約15%以上約30%以下の範囲とした。また、図9に示すように、第2実施形態のトランジスタTr12~Tr15に関しては、比較例と同様に、トランジスタTr12のサイズ比を約22%以上約37%以下とし、トランジスタTr13のサイズ比を約1%以上約10%以下とし、トランジスタTr14およびTr15のサイズ比を約6%以上約15%以下とした。

20

30

【0055】

図8では、横軸がトランジスタTr16のトランジスタTr11に対するサイズ比[%]を示している。図8に示すように、Vスキャナブロック14aのトランジスタTr16のサイズ比が約6%以上約15%以下の範囲(比較例の範囲)では、動作周波数の上限は、約31.7kHz以上約36kHz以下であることが判明した。

【0056】

これに対して、Vスキャナブロック14aのトランジスタTr16のサイズ比が約15%以上約30%以下の範囲(第2実施形態の範囲)では、動作周波数の上限は、約36kHz以上約36.3kHz以下であることが判明した。つまり、Vスキャナブロック14aのトランジスタTr16のサイズ比を約15%以上約30%以下の範囲にすることにより、比較例によるVスキャナブロック14aに比べて動作周波数の上限を向上可能であることが確認された。なお、第2実施形態によるVスキャナブロック14aのトランジスタTr16のサイズ比が約20%以上約25%以下の範囲(最適範囲)では、動作周波数の上限は、約36.2kHz以上約36.3kHz以下であることが判明した。つまり、第2実施形態によるVスキャナブロック14aのトランジスタTr16のサイズ比である約15%以上約30%以下の範囲のうち、サイズ比が約20%以上約25%以下の範囲では、比較例に対して動作周波数の優位性が大きいことが確認された。なお、トランジスタ

40

50

r 1 2 ~ T r 1 5 に関しては、サイズ比を比較例と比べて変化させた場合のシミュレーションは行っていない。

【 0 0 5 7 】

第 2 実施形態では、上記のように、トランジスタ T r 1 6 のチャンネル幅 W をチャンネル幅 L で除したサイズ比 (W / L) の大きさを、トランジスタ T r 1 1 のチャンネル幅 W をチャンネル幅 L で除したサイズ比 (W / L) の大きさの 1 5 % 以上 3 0 % 以下の大きさにすることによって、トランジスタのサイズ比 (W / L) を調整することにより、比較例に示したトランジスタ T r 1 6 のサイズ比 (W / L) の大きさが、トランジスタ T r 1 1 のサイズ比 (W / L) の大きさの 1 5 % よりも小さい場合と比べて、トランジスタ T r 1 6 のサイズ比 (W / L) の大きさが大きい分、トランジスタ T r 1 6 のソース (S) から出力される信号を大きくすることができるので、トランジスタ T r 1 6 のソース (S) とトランジスタ T r 1 1 のゲート (G) との間の寄生容量の充放電に必要な時間を短縮することができる。これにより、V スキャナブロック 1 4 a の動作性能を向上させることができる。

10

【 0 0 5 8 】

なお、第 2 実施形態のその他の効果は、上記第 1 実施形態と同様である。

【 0 0 5 9 】

(応用例)

図 1 0 ~ 図 1 2 は、それぞれ、上記した本発明の液晶表示装置 1 0 0 および 1 0 0 a を用いた電子機器の第 1 の例 ~ 第 3 の例を説明するための図である。図 1 0 ~ 図 1 2 を参照して、本発明の液晶表示装置 1 0 0 および 1 0 0 a を用いた電子機器について説明する。

20

【 0 0 6 0 】

本発明の液晶表示装置 1 0 0 および 1 0 0 a は、図 1 0 ~ 図 1 2 に示すように、第 1 の例としての P C (P e r s o n a l C o m p u t e r) 2 0 0 、第 2 の例としての携帯電話 3 0 0 、および、第 3 の例としての情報携帯端末 4 0 0 (P D A : P e r s o n a l D i g i t a l A s s i s t a n t s) などに用いることが可能である。

【 0 0 6 1 】

図 1 0 の第 1 の例による P C 2 0 0 においては、キーボードなどの入力部 2 1 0 および表示画面 2 2 0 などに本発明の液晶表示装置 1 0 0 および 1 0 0 a を用いることが可能である。図 1 1 の第 2 の例による携帯電話 3 0 0 においては、表示画面 3 1 0 に本発明の液晶表示装置 1 0 0 および 1 0 0 a が用いられる。図 1 2 の第 3 の例による情報携帯端末 4 0 0 においては、表示画面 4 1 0 に本発明の液晶表示装置 1 0 0 および 1 0 0 a が用いられる。

30

【 0 0 6 2 】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【 0 0 6 3 】

たとえば、上記第 1 および第 2 実施形態では、本発明の表示装置の一例として、液晶表示装置を用いる例を示したが、本発明はこれに限らない。たとえば、本発明の表示装置として、液晶表示装置以外の有機 E L 装置などを用いてもよい。

40

【 0 0 6 4 】

また、上記第 1 および第 2 実施形態では、本発明の走査線駆動回路の一例として、走査線駆動回路を 7 つのトランジスタ (トランジスタ T r 1 ~ T r 7) および 6 つのトランジスタ (トランジスタ T r 1 1 ~ T r 1 6) により構成する例を示したが、本発明はこれに限らない。本発明では、走査線駆動回路部を 5 つ以下のトランジスタおよび 8 つ以上のトランジスタにより構成してもよい。

【 0 0 6 5 】

また、上記第 1 および第 2 実施形態では、トランジスタ T r 1 および T r 1 1 の一例として、チャンネル幅 W を約 2 m m (2 0 0 0 μ m) にするとともに、チャンネル長 L を約 4 μ

50

mにする例を示したが、本発明はこれに限らない。本発明では、トランジスタT r 1およびT r 1 1のチャネル幅Wを約2 mm (2 0 0 0 μ m) 以外の幅にしてもよいし、トランジスタT r 1およびT r 1 1のチャネル長Lを約4 μ m以外の長さにしてもよい。

【 0 0 6 6 】

また、上記第 1 および第 2 実施形態では、本発明の走査線駆動回路の一例として、非晶質シリコンからなる能動層を有するトランジスタを適用する例を示したが、本発明はこれに限らない。たとえば、走査線駆動回路に低温ポリシリコン（LTPS）または高温ポリシリコン（HTPS）などの能動層を有するトランジスタを適用してもよい。

【符号の説明】

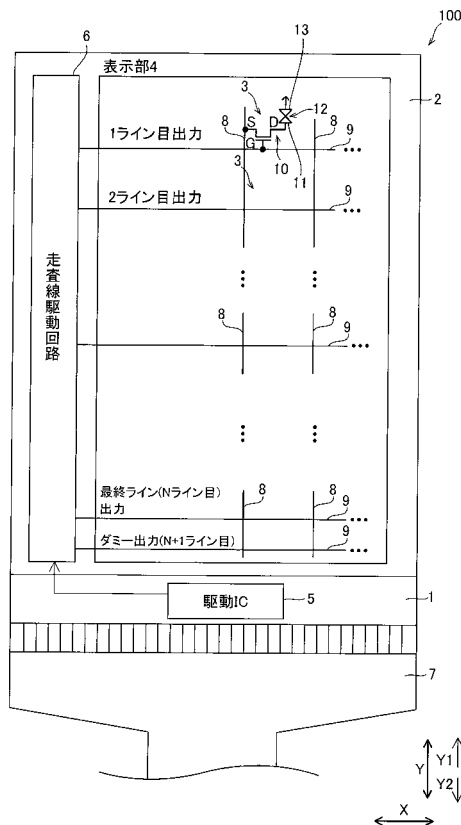
【 0 0 6 7 】

3	画素	6	走査線駆動回路	9	ゲート線	10	薄膜トランジスタ（
	スイッチング素子）		14、14a		Vスキャナブロック（走査線駆動回路部）		
	100、100a		液晶表示装置（表示装置）		200		PC（電子機器）
300	携帯電話（電子機器）		400	情報携帯端末（電子機器）			Tr1
	トランジスタTr1（第1トランジスタ）			Tr4			トランジスタTr4（第3トラ
	ンジスタTr）			Tr5			トランジスタTr5（第3トランジスタ）
	Tr6						トランジスタTr6（第3トランジスタ）
	Tr7						トランジスタTr7（第2トラ
	Tr11						トランジスタTr11（第1トランジスタ）
	Tr15						トランジスタTr15（第3トランジスタ）
	Tr16						トランジスタTr16（
	第2トランジスタ）						

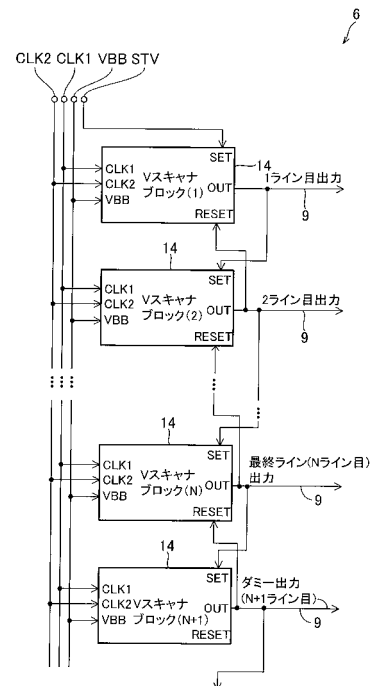
10

20

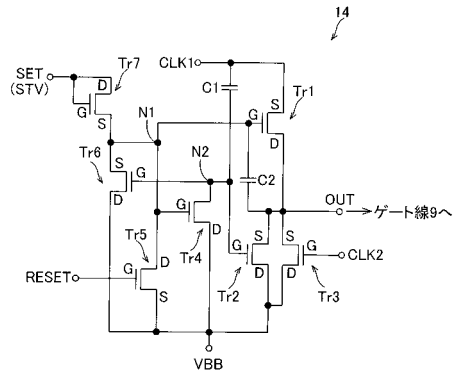
【圖 1】



【圖 2】



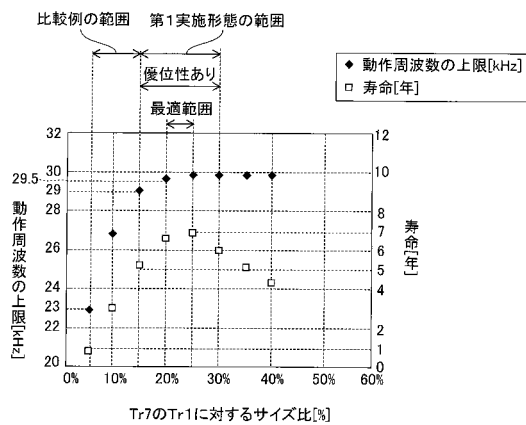
【図3】



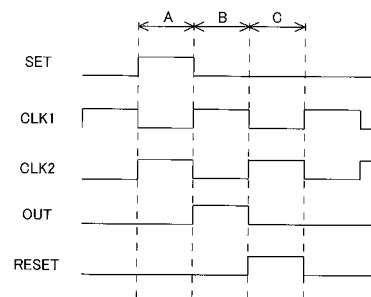
【図5】

	第1実施形態		比較例
		最適範囲	
Tr1	100%	100%	100%
Tr2	17%～37%	17%～20%	22%～37%
Tr3	20%～40%	——	20%～40%
Tr4	2.5%～6%	3～5%	6%～15%
Tr5	2.5%～6%	3～5%	6%～15%
Tr6	2.5%～6%	3～5%	6%～15%
Tr7	15%～30%	20～25%	6%～15%

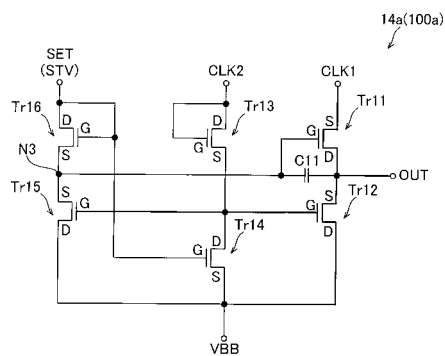
【図4】



【図6】



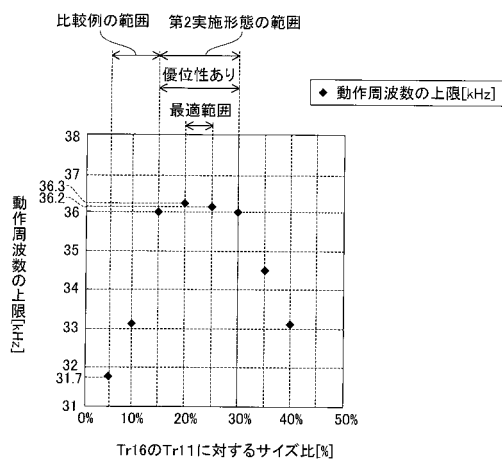
【図7】



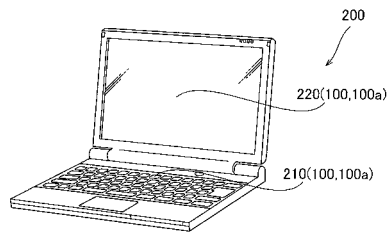
【図9】

	第2実施形態		比較例
		最適範圍	
Tr11	100%	100%	100%
Tr12	22%~37%	————	22%~37%
Tr13	1%~10%	————	1%~10%
Tr14	6%~15%	————	6%~15%
Tr15	6%~15%	————	6%~15%
Tr16	15%~30%	20%~25%	6%~15%

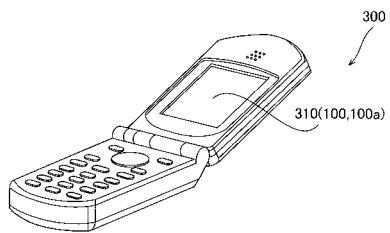
【図8】



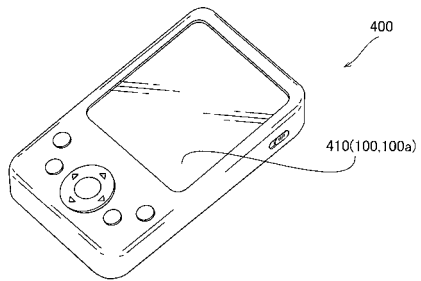
【図 10】



【図 11】



【図 12】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/1368
G 0 2 F 1/133 5 5 0

(56)参考文献 特開 2 0 0 8 - 0 0 3 6 0 2 (J P , A)
国際公開第 2 0 1 0 / 1 3 7 1 9 7 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3
G 0 2 F 1 / 1 3 6 8

专利名称(译)	显示设备和电子设备		
公开(公告)号	JP5465029B2	公开(公告)日	2014-04-09
申请号	JP2010026237	申请日	2010-02-09
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	平林幸哉		
发明人	平林 幸哉		
IPC分类号	G09G3/20 G09G3/36 G02F1/1368 G02F1/133		
CPC分类号	G02F1/1368 G09G3/3677 G09G2310/0286 G09G2320/043 H01L27/12		
FI分类号	G09G3/20.622.B G09G3/20.624.B G09G3/20.680.G G09G3/20.621.F G09G3/36 G02F1/1368 G02F1/133.550 G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H092/GA50 2H092/GA59 2H092/JA24 2H092/JA31 2H092/JA32 2H092/KA05 2H092/NA21 2H092/PA06 2H192/AA24 2H192/CB35 2H192/CB52 2H192/DA72 2H192/FB03 2H192/GD61 2H193/ZA04 2H193/ZF21 5B074/AA03 5B074/AA10 5B074/CA01 5B074/DB01 5C006/BB16 5C006/BC03 5C006/BC06 5C006/FA11 5C080/AA10 5C080/BB05 5C080/DD08 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK47		
代理人(译)	酒井宏明 高村秩序		
审查员(译)	中村直之		
其他公开文献	JP2011164327A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够通过调节晶体管的尺寸比来改善扫描线驱动电路单元的操作性能的显示装置。解决方案：在液晶显示装置（显示装置）100中，通过将晶体管Tr7的沟道宽度W除以沟道宽度L而计算出的尺寸比（ W/L ）的值为15%或更大，并且通过将晶体管Tr1的沟道宽度W除以沟道宽度L而计算出的尺寸比（ W/L ）的30%或更小。

