

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-35980

(P2019-35980A)

(43) 公開日 平成31年3月7日(2019.3.7)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/13357 (2006.01)	GO2F 1/13357	2H192
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H391
F21S 2/00 (2016.01)	F21S 2/00 482	3K244
H05B 37/02 (2006.01)	H05B 37/02 J	3K273
F21Y 115/10 (2016.01)	F21Y 115:10	
審査請求 有 請求項の数 2 O L (全 24 頁) 最終頁に続く		

(21) 出願番号	特願2018-217048 (P2018-217048)	(71) 出願人	000153878
(22) 出願日	平成30年11月20日 (2018.11.20)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2017-149563 (P2017-149563) の分割	(72) 発明者	木村 肇
原出願日	平成19年4月11日 (2007.4.11)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2006-112533 (P2006-112533)		半導体エネルギー研究所内
(32) 優先日	平成18年4月14日 (2006.4.14)	(72) 発明者	吉田 泰則
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	穴戸 英明
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	梅崎 敦司
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

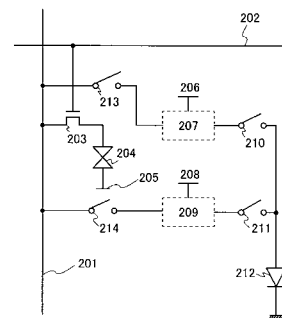
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】黒を表示しようとしても液晶素子から光が漏れてしまうという課題を低減もしくは克服し、コントラストを向上する表示装置を提供することを課題とする。また、バックライトの点灯状態を画素ごとに制御する機能を有する画素回路を提供することを課題とする。

【解決手段】黒の階調を表示するとき、発光素子を消灯することによって、上記課題を解決する。また、画素ごとに発光素子を設け、表示を行う階調に応じて個別に発光素子の点灯、非点灯を制御する機能も画素回路に設ける事によって上記課題を解決する。各画素に対応してバックライトを設けることにより、黒の階調を表現するときに、バックライトとなる発光素子を消灯することができ、液晶素子の光漏れによるコントラストの低下を防ぐことができる。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

第 1 のトランジスタと、第 2 のトランジスタと、発光ダイオードと、液晶層と、画素電極と、を有し、

前記第 1 のトランジスタは、前記画素電極と電氣的に接続され、

前記液晶層は、前記画素電極上に設けられ、

前記第 2 のトランジスタは、前記発光ダイオードと電氣的に接続され、

前記発光ダイオードは、前記第 1 のトランジスタ上及び前記第 2 のトランジスタ上に設けられ、

前記画素電極は、前記発光ダイオードと重なる領域を有する表示装置。

10

【請求項 2】

請求項 1 において、

前記第 2 のトランジスタは、第 1 の電極を介して前記発光ダイオードと電氣的に接続され、

前記発光ダイオードは、前記第 1 の電極上に設けられている表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶表示装置に係り、特に液晶を用いて構成される画素とバックライトの構造に関する。

20

【背景技術】**【0002】**

液晶表示装置は、一对の基板間に液晶を挟んだ液晶パネルと、該液晶パネルの背面にバックライトと呼ばれる照明器具を組み合わせで構成されている。液晶パネルは、単純マトリクス方式、薄膜トランジスタ（TFT）を用いたアクティブマトリクス方式の構成が知られている（例えば、特許文献 1 を参照）。いずれにしても液晶を挟む電極に印加する電圧を制御して、液晶パネル全面を照明するバックライトの透過光量を調節して画像を表示している。従って、例えば全黒表示の場合でも、バックライトは常時点灯をしており電力を消費し続けるものであった。

【0003】

30

それに対し、バックライトに発光ダイオード（LED）を用いるものが提供されている。LED は長寿命で、直流低電圧電源で直接駆動できるためインバータが不要であること、また消費電力が少ない等の利点がある。このバックライトは、LED の設置位置として直下型とサイドライト型が知られている。直下型は液晶パネルの直下に LED が配置されており、拡散板等で面が一様に発光するようにしている。また、サイドライト型では LED をパネルの側面から発光させ、導光板や拡散板を介して液晶パネルに光を供給しており、直下型と比較して薄型化できる利点がある。

【先行技術文献】**【特許文献】****【0004】**

40

【特許文献 1】特開平 9 - 90404 号公報

【発明の概要】**【発明が解決しようとする課題】****【0005】**

従来の液晶を用いた透過型の表示装置では、液晶背面がバックライトからの光で一様に発光している。そのため、黒を表示しようとしても液晶素子から光が漏れてしまい、完全な黒表現ができずコントラストの悪化につながっている。

【0006】

そこで本発明は、黒を表示しようとしても液晶素子から光が漏れてしまうという課題を克服し、コントラストを向上する表示装置を提供することを目的とする。

50

【課題を解決するための手段】

【0007】

本発明は黒の階調を表示するとき、発光素子を消灯することによって、上記課題を解決する。また本発明では、画素ごとに発光素子を設け、表示を行う階調に応じて個別に発光素子の点灯、非点灯を制御する機能も画素回路に設けることによって上記課題を解決する。

【0008】

本発明は、画素に液晶素子と重畳して発光素子が設けられ、発光素子の発光が液晶素子を通して表示装置である。この表示装置は、アナログ信号に基づく電位が印加されるデータ線に液晶素子が電氣的に接続され、データ線の電位と基準電位を比較するコンパレータを有し、発光素子はコンパレータと電氣的に接続している。

10

【0009】

本発明で提案する表示装置では、正の値及び負の値に変化するアナログ値のデータ信号によって液晶素子を駆動する場合について考える。従来、階調を表現する場合には、液晶素子の特性に合わせて設定したアナログの電位をデータ電位として書き込む駆動方法がある。液晶素子は、画素電極と対向電極間の電位差によって透過光を制御するので、電圧をかける方向は特に関係ない。このため液晶の寿命の問題などから、従来はデータ信号の電圧値を正負に反転させて入力する方法がとられてきた。このとき、同一の階調表示を行うデータ電位は正、負のそれぞれに存在することになる。

20

【0010】

また、本発明は、上記表示装置を表示部に含むことを特徴とする電子機器である。

【0011】

なお、本発明において、接続されているとは、電氣的に接続されていることと同義である。したがって、本発明が開示する構成において、所定の接続関係に加え、その間に電氣的な接続を可能とする他の素子（例えば、別の素子やスイッチなど）が配置されていてもよい。

【0012】

なお、画素に配置するのは、特定の発光素子に限定されない。画素に配置する発光素子の例としては、EL素子（エレクトロルミネッセンス（Electro Luminescence：EL））やフィールドエミッションディスプレイ（FED）で用いる素子、FEDの一種であるSED（Surface-conduction Electron-emitter Display）、プラズマディスプレイパネル（PDP）、圧電セラミックディスプレイなど、どのような発光素子でもよい。

30

【0013】

なお、トランジスタはその構造上、ソースとドレインの区別が困難である。さらに、回路の動作によっては、電位の高低が入れ替わる場合もある。したがって、本明細書中では、ソースとドレインは特に特定せず、第1端子、第2端子と記述する。例えば、第1端子がソースである場合には、第2端子とはドレインを指し、あるいは第1端子がドレインである場合には、第2端子とはソースを指すものとする。

【0014】

本発明において、適用可能なトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ（TFT）、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。また、トランジスタが配置されている基板の種類に限定はなく、単結晶基板、SOI（Silicon on insulator）基板、ガラス基板などに配置することが出来る。

40

【0015】

本発明において、コンパレータにはオペアンプまたはチョッパインバータ回路など、コンパレータとしての機能を実現できる回路であれば、用いることができる。

50

【発明の効果】

【0016】

本発明は、液晶を用いた表示装置で黒を表示する際に、バックライトを発光させないことで光漏れを無くし、コントラストを向上することができる。また本発明は、画素ごとにバックライトをそれぞれ配置し、画素回路内に発光素子の点灯状態を画素ごとに制御する機能を持たせることにより、黒表示をする画素のためにバックライトを消灯した場合、他の画素も全て黒表示になってしまうという不具合を回避することができる。さらに、点灯する必要がない部分のバックライトを個別に消灯することができるので、省電力化にも有効である。

【0017】

従来の液晶表示装置では複数の画素に対して、同一のバックライトを発光源として使用しているため、黒表示をするためにバックライトを消灯した場合、他の画素も全て黒表示になってしまうという不具合が発生してしまう。それに対し本発明は、各画素に対応してバックライトを設けることにより、黒の階調を表現するときに、バックライトとなる発光素子を消灯することができ、液晶素子の光漏れによるコントラストの低下を防ぐことができる。

【図面の簡単な説明】

【0018】

【図1】本発明において発光素子の点灯する範囲とデータ電位の関係を示す図。

【図2】本発明の表示装置の画素回路の概略を示した回路図。

【図3】本発明の表示装置の画素回路を示した回路図。

【図4】本発明の表示装置の画素回路にあるコンパレータの動作を示した回路図。

【図5】本発明の画素の設定動作のタイミングチャート示す図。

【図6】本発明の表示装置の画素回路の概略を示した回路図。

【図7】本発明の表示装置の画素回路を示した回路図。

【図8】本発明の画素の設定動作のタイミングチャート示す図。

【図9】本発明の表示装置が適用される電子機器の一例を示す図。

【図10】本発明の表示装置の画素回路の動作を示した図。

【図11】実施の形態3に係る表示装置の構成を示す断面図。

【図12】実施の形態3に係る表示装置の構成を示すブロック図。

【発明を実施するための形態】

【0019】

以下、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0020】

完全な黒の階調をとるデータ電圧の範囲の上限または下限を基準電位と定め、データ電位と基準電位の比較を行って発光素子の点灯、非点灯を選択する。図1(A)(B)に、基準電位の設定方法を図示する。図1(A)にはノーマリーホワイトの表示モードを持つ液晶(以下ノーマリーホワイト液晶と記す)における、基準電位の設定方法を示す。ノーマリーホワイトの表示モードとは、液晶素子に電圧をかけない状態で光を透過する偏光状態のことである。液晶素子の階調101の中で、負の電圧の領域で完全な黒表示をするデータ電圧の範囲104の上限を基準電位 V_{ref1} と定める。また、正の電圧の領域で完全な黒表示をするデータ電圧の範囲103の下限を基準電位 V_{ref2} と定める。

【0021】

反対にノーマリーブラックの表示モードとは、液晶素子に電圧をかけた状態で光を透過する偏光状態のことである。ノーマリーブラックの表示モードを持つ液晶(以下、ノーマリ

10

20

30

40

50

ーブラック液晶と記す)における基準電位の設定方法も同様に図1(B)に示す。ノーマリーブラック液晶では、図1(B)から分かるように完全な黒表示をするデータ電圧の範囲106が0V付近にのみ存在する。液晶素子の階調101の中で、完全な黒表示をするデータ電圧の範囲106の上限を基準電位 V_{ref1} と定める。また、完全な黒表示をするデータ電圧の範囲106の下限を基準電位 V_{ref2} と定める。

【0022】

図1(A)(B)において、発光素子が点灯するデータ電圧の範囲105内に、データ電位が入っているかを判断する回路を画素回路内に設ける必要がある。本発明では、基準電位とデータ電位とを比較する回路を用い、データ電位が V_{ref2} より低い場合、もしくはデータ電位が V_{ref1} より高い場合に発光素子を点灯させる。

10

【0023】

(実施の形態1)

図2に本発明の表示装置が有する画素の一実施形態の概略を示す。図2に示す回路には、データ線201及び走査線202が配置されている。また液晶素子204に書き込みを行うトランジスタ203があり、対向電極205が配置されている。また、バックライトとして用いられる発光素子212と、第1のコンパレータ207及び第2のコンパレータ209を有する。また第1のコンパレータ207にデータ信号を書き込むための第1のスイッチ213及び第2のコンパレータ209にデータ信号を書き込むための第2のスイッチ214を有する。また、第1のコンパレータ207には、データ電位と比較を行う第1の基準電位206が入力され、第2のコンパレータ209には、データ電位と比較を行う第2の基準電位208が入力される。第1のコンパレータ207及び第2のコンパレータ209のどちらのコンパレータから発光素子212に出力を行うかを選択する第3のスイッチ210及び第4のスイッチ211を有する。

20

【0024】

次に、図2に示す回路の接続関係を説明する。データ線201はトランジスタ203の第1端子に接続され、トランジスタ203の第2端子には液晶素子204の第1の電極が接続されている。トランジスタ203のゲート端子には走査線202が接続されている。液晶素子204の第2の電極は対向電極205に接続されている。第1のコンパレータ207の入力は第1のスイッチ213を介してデータ線201と接続されている。また、第1のコンパレータ207の出力は、第3のスイッチ210を介して発光素子212の第1の電極に接続されている。また第2のコンパレータ209の入力は第2のスイッチ214を介してデータ線201と接続されている。また第2のコンパレータ209の出力は、第4のスイッチ211を介して発光素子212の第1の電極に接続されている。なお、第1のコンパレータ207にはデータ電位との比較を行う第1の基準電位206が印加されている。同様に第2のコンパレータ209には第2の基準電位208が印加されている。

30

【0025】

次に回路の動作を簡単に説明する。データ線201から液晶素子204に書き込まれたデータ電位は第2のコンパレータ209及び第1のコンパレータ207に入力される。第1のコンパレータ207はデータ線から入力されたデータ電位と第1の基準電位206とを比較する比較器である。また、第2のコンパレータ209はデータ線から入力されたデータ電位と第2の基準電位208の電圧を比較する比較器である。

40

【0026】

第1のスイッチ213は第1のコンパレータ207にデータ線201から信号の書き込みを行うためのスイッチである。また、第2のスイッチ214は第2のコンパレータ209にデータ線201から信号の書き込みを行うためのスイッチである。

【0027】

第3のスイッチ210及び第4のスイッチ211は、第1のコンパレータ207の出力及び第2のコンパレータ209の出力のどちらか一方を選択して発光素子212に伝送するためのスイッチである。そのため、第3のスイッチ210と第4のスイッチ211が同時にオンにならないように動作タイミングを適切に設定する必要がある。

50

【 0 0 2 8 】

図 1 0 に図 2 で示した回路の動作を示す。図 1 0 (a) はデータ線 2 0 1 から負の電位をコンパレータに取り込む場合の動作を示している。第 1 のスイッチ 2 1 3 をオンにしてデータ電位を第 1 のコンパレータ 2 0 7 に書き込み、第 1 のコンパレータ 2 0 7 でデータ電位と第 1 の基準電位 2 0 6 とを比較し、第 3 のスイッチ 2 1 0 をオンにして第 1 のコンパレータ 2 0 7 の出力を発光素子 2 1 2 に出力する。この動作の間には、第 2 のコンパレータ 2 0 9 の入出力に接続されている第 2 のスイッチ 2 1 4 及び第 4 のスイッチ 2 1 1 はオフになっている。図 1 0 (b) は、データ線 2 0 1 から正の電位をコンパレータに取り込む場合の動作を示している。第 2 のスイッチ 2 1 4 をオンにしてデータ電位を第 2 のコンパレータ 2 0 9 に書き込み、第 2 のコンパレータ 2 0 9 でデータ電位と第 2 の基準電位 2 0 8 とを比較し、第 4 のスイッチ 2 1 1 をオンにして第 2 のコンパレータ 2 0 9 の出力を発光素子 2 1 2 に出力する。この動作の間には、第 1 のコンパレータ 2 0 7 の入出力に接続されている第 1 のスイッチ 2 1 3 及び第 3 のスイッチ 2 1 0 はオフになっている。

10

【 0 0 2 9 】

なお、発光素子 2 1 2 は L E D であってもよいし、有機 E L 等であってもよい。つまり電圧、電流等によって制御できる発光素子であればよい。

【 0 0 3 0 】

なお、スイッチは、電氣的スイッチまたは機械的なスイッチを用いることができ、電流の流れを制御できるものであればよい。トランジスタでもよいし、ダイオードでもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、L D D 領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（V S S、G N D、0 V など）に近い状態で動作する場合は N チャネル型を用いることが望ましく、反対にソース端子の電位が、高電位側電源（V D D など）に近い状態で動作する場合は P チャネル型を用いることが望ましい。なぜなら、ゲート・ソース間電圧の絶対値を大きくできるため、スイッチとしてより正確に動作させることができるからである。なお、N チャネル型と P チャネル型の両方を用いて、C M O S 型のスイッチにしてもよい。

20

30

【 0 0 3 1 】

V D D は、高電源電位であり、V S S は、低電源電位であるとする。ここで、高電源電位 V D D の電位は、低電源電位 V S S の電位より高いとする。

【 0 0 3 2 】

図 3 に図 2 で示した画素の詳細な回路の一例を示す。図 3 に示す回路では、コンパレータとして C M O S チョッパインバータ回路を 2 つ使用することを特徴としている。すなわち第 1 のコンパレータ 3 2 6 及び第 2 のコンパレータ 3 2 7 である。第 1 のコンパレータ 3 2 6 の内部には、第 1 の容量素子 3 1 8、第 1 のトランジスタ 3 1 7、第 2 のトランジスタ 3 1 9 と第 3 のトランジスタ 3 2 0 により構成された第 1 のインバータ、及び第 4 のトランジスタ 3 2 1 と第 5 のトランジスタ 3 2 2 により構成された第 2 のインバータを有する。第 2 のコンパレータ 3 2 7 の内部には、第 2 の容量素子 3 1 4 と第 6 のトランジスタ 3 1 3、及び第 7 のトランジスタ 3 1 5 と第 8 のトランジスタ 3 1 6 により構成された第 3 のインバータを有する。また配線として第 1 の基準電位線 3 0 1、第 2 の基準電位線 3 0 3 及びデータ線 3 0 2 を含む。さらに走査線 3 0 6、第 1 のコンパレータ初期化線 3 0 7 及び第 2 のコンパレータ初期化線 3 0 5、コンパレータ選択線 3 0 4、第 1 のデータ取り込み線 3 3 1 及び第 2 のデータ取り込み線 3 3 0 を含む。液晶素子 3 1 0 にデータ電圧の書き込みを行う第 9 のトランジスタ 3 0 8 があり、液晶素子の対向電極 3 1 1 を含む。また第 1 のコンパレータ 3 2 6 に書き込みを行う第 1 0 のトランジスタ 3 1 2 及び第 1 1 のトランジスタ 3 2 9 を含む。また第 2 のコンパレータ 3 2 7 に書き込みを行う第 1 2 のトランジスタ 3 0 9 と第 1 3 のトランジスタ 3 2 8 を有する。さらに第 1 のコンパレー

40

50

タ 3 2 6 の出力を発光素子 3 2 5 に伝送する第 1 4 のトランジスタ 3 2 4 と、第 2 のコンパレータ 3 2 7 の出力を発光素子 3 2 5 に伝送する第 1 5 のトランジスタ 3 2 3 を含む。なお、第 2 のトランジスタ 3 1 9 の極性は P チャンネル型であり、第 3 のトランジスタ 3 2 0 の極性は N チャンネル型であるとする。また、第 4 のトランジスタ 3 2 1 の極性は P チャンネル型であり、第 5 のトランジスタ 3 2 2 の極性は N チャンネル型であるとする。さらに第 7 のトランジスタ 3 1 5 の極性は P チャンネル型であり、第 8 のトランジスタ 3 1 6 の極性は N チャンネル型であるとする。

【 0 0 3 3 】

次に、図 3 の各部分の接続関係について説明する。データ線 3 0 2 には第 9 のトランジスタ 3 0 8 の第 1 端子、及び第 1 3 のトランジスタ 3 2 8 の第 1 端子、第 1 1 のトランジスタ 3 2 9 の第 1 端子が接続される。第 9 のトランジスタ 3 0 8 の第 2 端子は液晶素子 3 1 0 の第 1 の電極と接続され、ゲート端子には走査線 3 0 6 が接続される。液晶素子 3 1 0 の第 2 の電極には対向電極 3 1 1 が接続されている。第 2 の基準電位線 3 0 3 には第 1 2 のトランジスタ 3 0 9 の第 1 端子が接続される。第 1 3 のトランジスタ 3 2 8、第 1 2 のトランジスタ 3 0 9 の第 2 端子は第 2 のコンパレータ 3 2 7 内の第 2 の容量素子 3 1 4 の第 1 の電極と接続されている。第 1 3 のトランジスタ 3 2 8 のゲート端子は第 2 のデータ取り込み線 3 3 0 に、第 1 2 のトランジスタ 3 0 9 のゲート端子は第 2 のコンパレータ初期化線 3 0 5 に接続される。第 7 のトランジスタ 3 1 5 と第 8 のトランジスタ 3 1 6 はインバータを構成し、第 7 のトランジスタ 3 1 5 のゲート端子及び第 8 のトランジスタ 3 1 6 のゲート端子は第 2 の容量素子 3 1 4 の第 2 の電極と第 6 のトランジスタ 3 1 3 の第 1 端子と接続される。また、第 7 のトランジスタ 3 1 5 の第 2 端子と、第 8 のトランジスタ 3 1 6 の第 2 端子は、第 6 のトランジスタ 3 1 3 の第 2 端子と第 1 5 のトランジスタ 3 2 3 の第 1 端子と接続される。第 6 のトランジスタ 3 1 3 のゲート端子は第 2 のコンパレータ初期化線 3 0 5 と接続される。

【 0 0 3 4 】

第 1 の基準電位線 3 0 1 には第 1 0 のトランジスタ 3 1 2 の第 1 端子が接続される。第 1 0 のトランジスタ 3 1 2 のゲート端子は第 1 のコンパレータ初期化線 3 0 7 に接続されている。そして第 1 1 のトランジスタ 3 2 9 の第 2 端子及び、第 1 0 のトランジスタ 3 1 2 の第 2 端子は第 1 のコンパレータ 3 2 6 内の第 1 の容量素子 3 1 8 の第 1 の電極と接続されている。第 1 1 のトランジスタ 3 2 9 のゲート端子は第 1 のデータ取り込み線 3 3 1 に接続される。第 2 のトランジスタ 3 1 9 と第 3 のトランジスタ 3 2 0 はインバータを構成し、第 2 のトランジスタ 3 1 9 のゲート端子及び第 3 のトランジスタ 3 2 0 のゲート端子は第 1 の容量素子 3 1 8 の第 2 の電極と第 1 のトランジスタ 3 1 7 の第 1 端子と接続される。また、第 2 のトランジスタ 3 1 9 の第 2 端子と、第 3 のトランジスタ 3 2 0 の第 2 端子は第 1 のトランジスタ 3 1 7 の第 2 端子と、もう一つのインバータを構成する第 4 のトランジスタ 3 2 1 のゲート端子と、第 5 のトランジスタ 3 2 2 のゲート端子に接続される。第 4 のトランジスタ 3 2 1 の第 2 端子と、第 5 のトランジスタ 3 2 2 の第 2 端子は、第 1 4 のトランジスタ 3 2 4 の第 1 端子と接続される。第 1 のトランジスタ 3 1 7 のゲート端子は第 1 のコンパレータ初期化線 3 0 7 と接続される。

【 0 0 3 5 】

第 1 5 のトランジスタ 3 2 3 のゲート端子と、第 1 4 のトランジスタ 3 2 4 のゲート端子はコンパレータ選択線 3 0 4 に接続される。また、第 1 5 のトランジスタ 3 2 3 の第 2 端子と第 1 4 のトランジスタ 3 2 4 の第 2 端子は、発光素子 3 2 5 の第 1 の電極と接続される。

【 0 0 3 6 】

次に、この画素回路の動作について説明する。第 1 のコンパレータ 3 2 6 は、液晶素子 3 1 0 に負の電圧が印加されたときのデータ線 3 0 2 の電位と第 1 の基準電位線 3 0 1 の電位 V_{ref1} とを比較するものである。もし、データ線 3 0 2 の電位が V_{ref1} よりも高ければ、電源電圧 V_{DD} を出力し、その逆ならば、 $0V$ を出力する。第 2 のコンパレータ 3 2 7 は、液晶素子 3 1 0 に正の電圧が印加されたときのデータ線 3 0 2 の電位と第 2

10

20

30

40

50

の基準電位線 303 の電位 V_{ref2} を比較するものである。もし、データ線 302 の電位が V_{ref2} よりも低ければ、電源電圧 V_{DD} を出力し、その逆ならば、0V を出力する。コンパレータ内部での詳細な動作は別に説明する。なお、当実施形態では、コンパレータとして、CMOS チョッパインバータ回路を使用しているが、その機能を実現していればどのような回路でもよい。

【0037】

第15のトランジスタ323は第2のコンパレータ327の出力を発光素子325に出力するかを選択するためのスイッチである。また同様に、第14のトランジスタ324は第1のコンパレータ326の出力を発光素子325に出力するかを選択するためのスイッチである。例えばノーマリーホワイト液晶の場合、データ線302の電位が正のときは第15のトランジスタ323をオンにし、データ線302の電位が負のときは第14のトランジスタ324をオンにするような信号をコンパレータ選択線304に与えればよい。またノーマリーブラック液晶の場合には、データ線302の電位が負のときは第15のトランジスタ323をオンにし、データ線302の電位が正のときは第14のトランジスタ324をオンにするような信号をコンパレータ選択線304に与えればよい。コンパレータ選択線304からの信号によって第15のトランジスタ323と第14のトランジスタ324のどちらかのトランジスタをオンにしている期間は、走査線306がアクティブになり、データ電位が画素回路に取り込まれてから、第1のコンパレータ326と第2のコンパレータ327のどちらかのコンパレータが初期化されるまでの間とする。第15のトランジスタ323と第14のトランジスタ324が同時にオンになることがないように、それぞれのトランジスタの極性（導電型）は異なっている必要がある。各トランジスタの動作タイミングの詳細については後述する。

10

20

【0038】

第12のトランジスタ309は、第2のコンパレータ初期化線305に信号が入力されるとオンになり、 V_{ref2} を取り込んで初期化を行う。また第10のトランジスタ312は、第1のコンパレータ初期化線307に信号が入力されるとオンになり、第1のコンパレータ326に V_{ref1} を取り込んで初期化を行う。第12のトランジスタ309及び第10のトランジスタ312が同時にオンになることがないように、第1のコンパレータ初期化線307及び第2のコンパレータ初期化線305にそれぞれ入力する信号のタイミングは適切に設定しておく必要がある。

30

【0039】

第13のトランジスタ328及び第11のトランジスタ329は、初期化されたそれぞれのコンパレータに、液晶素子310に書き込まれるデータ電位を書き込む働きをする。第13のトランジスタ328はデータ電位が正のときに第2のコンパレータ327にデータ電位を書き込み、第11のトランジスタ329はデータ電位が負のときに第1のコンパレータ326にデータ電位を書き込む。第13のトランジスタ328及び第11のトランジスタ329のどちらか一方がオンになるタイミングは、走査線306がアクティブになり液晶素子に書き込みを行う第9のトランジスタ308がオンになるタイミングと同期する必要がある。タイミングの詳細については後述する。

40

【0040】

図4(A)及び(B)は図3に示した第1のコンパレータ326の動作を説明する図である。図4に示した各素子は図3に示した素子に互に対応している。第1のスイッチ401は第11のトランジスタ329に、第2のスイッチ403は第10のトランジスタ312に、第3のスイッチ405は第1のトランジスタ317の動作を表している。また、基準電位402は V_{ref1} に対応している。第1のインバータ406は第2のトランジスタ319及び第3のトランジスタ320からなるインバータに対応する。また、第2のインバータ407は、第4のトランジスタ321及び第5のトランジスタ322からなるインバータに対応する。また入力電圧 V_{in} はデータ線302からの入力電圧を表している。

【0041】

50

まず、図4(A)に示すように第2のスイッチ403及び第3のスイッチ405をオンに、第1のスイッチ401はオフのままにして、コンパレータの初期化を行う。このとき、点bには第1のインバータ406の論理閾値(以後 V_{th_inv} と表記する)の電位がかかる。また、基準電位402を V_{ref1} とすると、点aには V_{ref1} がかかる。よって容量404の両電極間には $V_{ref1} - V_{th_inv}$ の電圧が保持される。なお、インバータの論理閾値とは、インバータの入力電圧と出力電圧が等しくなる電圧と定義する。なお、コンパレータを初期化する必要があるのは、インバータを構成するトランジスタのサイズや閾値のばらつきによって、画素ごとにインバータの論理閾値がばらつく可能性があるためである。コンパレータの初期化を行うことによって、画素ごとにインバータの論理閾値がばらつくことによる悪影響を排除することができる。

10

【0042】

次に、図4(B)に示すように、第2のスイッチ403及び第3のスイッチ405をオフし、第1のスイッチ401はオンにする。このとき、点aの電位は入力電圧 V_{in} 分になる。点bの電位は点aの電位から容量404の両電極間に保持される電圧分だけ降下するので、 $V_{in} - (V_{ref1} - V_{th_inv})$ となり、整理すると式(1)になる。

$$V_{in} + V_{th_inv} - V_{ref1} \quad (1)$$

【0043】

第1のインバータ406の出力である点cの電位(V_c と表記する)は、式1で示した点bの電位(V_b と表記する)と V_{th_inv} の大小によって決まることが分かる。もし、 $V_b > V_{th_inv}$ であるとき、 V_c には0Vが出力される。このとき、第2のインバータ407によってさらに論理が反転するので出力電圧 V_{out} には電源電圧 V_{DD} が出力される。反対に、 $V_b < V_{th_inv}$ であるとき、 V_c には V_{DD} が出力され、第2のインバータ407によってさらに論理が反転するので V_{out} には0Vが出力される。以上より、 $V_{in} > V_{ref1}$ のときは V_{DD} が出力され、 $V_{in} < V_{ref1}$ のときは0Vが出力されることが分かる。

20

【0044】

図4(C)は、第2のコンパレータ327の動作を説明する図である。第1のコンパレータ326との違いは、インバータ407が無く、点cの電位が出力電圧 V_{out} 分の値になったところである。図4(C)に示した各素子は図3に示した素子に互に対応している。第1のスイッチ401は第13のトランジスタ328の動作、第2のスイッチ403は第12のトランジスタ309の動作、及び第3のスイッチ405は第6のトランジスタ313の動作を表している。また、基準電位402は V_{ref2} に対応している。インバータ406は第7のトランジスタ315及び第8のトランジスタ316からなるインバータに対応する。また入力電圧 V_{in} はデータ線302からの入力電圧を表している。

30

【0045】

コンパレータの初期化については、図4(A)に示したものと同じであるので説明を省略する。ただし、第2のコンパレータ327では、基準電位402が第1の基準電位線301より入力された電位 V_{ref1} であったのが第2の基準電位線303より入力された電位 V_{ref2} に置き換わる。コンパレータが初期化されている場合には、容量404の両電極間には $V_{ref2} - V_{th_inv}$ の電圧が保持されており、 $V_b = V_{th_inv}$ となっている。ここで、図4(C)のように第2のスイッチ403及び第3のスイッチ405をオフに、第1のスイッチ401はオンにする。このとき、点aの電位は入力電圧 V_{in} になり、 V_b は式(2)で示した値になる。以上より、 $V_{in} > V_{ref2}$ であるときは、 V_{out} に0Vが出力される。反対に、 $V_{in} < V_{ref2}$ であるときは、 V_{out} に V_{DD} が出力されることが分かる。

40

$$V_{in} + V_{th_inv} - V_{ref2} \quad (2)$$

【0046】

図5に図3で示した回路の各制御信号のタイミングを示す。すなわち、データ線302、走査線306、第2のコンパレータ初期化線305、第1のコンパレータ初期化線307、第2のデータ取り込み線330、第1のデータ取り込み線331、コンパレータ選択線

50

304の各信号線について説明する。データ線302の信号は交流になっており、一つの画素に対して書き込まれるデータ信号の電位は、毎回の書き込み動作において、正負の値が反転する。図5の期間b、eでは走査線306が高電位になっており、ここで液晶素子に書き込みが行われているが、このときのデータ線302の電位は、期間bと期間eでは逆になっている。

【0047】

まず、液晶素子に正の電位をもつデータ信号を書き込む場合について説明する。液晶素子に正の電位をもつデータ信号を書き込む動作は、図5の期間a、期間b、期間cで行われる。データ線302から正の電位が書き込まれる場合、第2のコンパレータ327の初期化を行うため、その前の期間aで第2のコンパレータ初期化線305を高電位にし、V_{ref2}を第2の容量素子314に印加して第2のコンパレータ327の初期化も行っておく。次に、期間bで第2のデータ取り込み線330を高電位にすると、第13のトランジスタ328がオンになり液晶素子310に書き込まれるデータ電位を第2のコンパレータ327に書き込む。さらに期間cでコンパレータ選択線304を高電位にすることで第15のトランジスタ323がオンになり、また第14のトランジスタ324がオフになり、第2のコンパレータ327の出力が発光素子325に伝達される。

10

【0048】

次に液晶素子に負の電位をもつデータ信号を書き込む場合について説明する。液晶素子に負の電位をもつデータ信号を書き込む動作は、図5の期間d、期間e、期間fで行われる。データ線302から負の電位が書き込まれる場合、第1のコンパレータ326の初期化を行うため、その前の期間dで第1のコンパレータ初期化線307を高電位にし、V_{ref1}を容量素子318に印加して第1のコンパレータ326の初期化も行っておく。次に、期間eで第1のデータ取り込み線331を高電位にすると、第11のトランジスタ329がオンになり液晶素子に書き込まれるデータ電位を第1のコンパレータ326に書き込む。さらに期間fでコンパレータ選択線304に低電位にすることで第14のトランジスタ324がオンに、また第15のトランジスタ323がオフになり、第1のコンパレータ326の出力が発光素子325に伝達される。

20

【0049】

本実施の形態により、液晶を用いた表示装置で黒を表示する際に、バックライトを発光させないことで光漏れを無くし、コントラストを向上することができる。また本実施の形態により、画素ごとにバックライトをそれぞれ配置し、画素回路内に発光素子の点灯状態を画素ごとに制御する機能を持たせることにより、黒表示をする画素のためにバックライトを消灯した場合、他の画素も全て黒表示になってしまうという不具合を回避することができる。さらに、点灯する必要がない部分のバックライトを個別に消灯することができるので、省電力化にも有効である。

30

【0050】

(実施の形態2)

本実施の形態では、上記実施の形態とは異なる画素回路の構成について説明する。図6に示す回路には、データ線601及び走査線602が配置されている。また液晶素子604に書き込みを行うトランジスタ603があり、対向電極605が配置されている。また、バックライトとして用いられる発光素子612を有する。コンパレータ608にデータ信号を書き込む第1のスイッチ613を有する。またデータ電位と比較を行う第1の基準電位606と第2の基準電位607を有する。また、コンパレータから発光素子に正負どちらの出力を行うか選択する第2のスイッチ609及び第3のスイッチ610を有する。

40

【0051】

次に、図6に示す回路の接続関係を説明する。データ線601と、トランジスタ603の第1端子が接続され、トランジスタ603の第2端子には液晶素子604の第1の電極が接続されている。トランジスタ603のゲート端子には走査線602が接続されている。データ線601には第1のスイッチ613の第1端子が接続されている。液晶素子604

50

の第2の電極は対向電極605に接続されている。第1のスイッチ613の第2端子にはコンパレータ608が接続されている。コンパレータ608の出力には第2のスイッチ609とインバータ611が接続される。第2のスイッチ609を介してコンパレータ608の出力が発光素子612に接続され、第3のスイッチ610はインバータ611の出力と発光素子612に接続されている。コンパレータ608はデータ電位との比較を行う第1の基準電位606、第2の基準電位607が接続されている。

【0052】

次に回路の動作を簡単に説明する。液晶素子604に書き込まれるデータ電位は第1のスイッチ613を介してコンパレータ608にも入力される。コンパレータ608はデータ線601から入力されたデータ電位と第1の基準電位606もしくは第2の基準電位607の電圧を比較する比較器である。ノーマリーホワイト液晶において液晶素子604に負の電圧が印加されたときには、データ線601から入力されたデータ電位の値と第1の基準電位606の値を比較する。そのとき、第3のスイッチ610をオンにし、インバータ611によって論理が反転したコンパレータ608の出力を発光素子612に伝送する。データ線601の電位が第1の基準電位606よりも高ければ、電源電圧VDDが発光素子612に出力され、データ線601の電位が第1の基準電位606よりも低ければ、0Vを出力する。またノーマリーホワイト液晶において液晶素子604に正の電圧が印加されたときのデータ線601の電位と第2の基準電位607を比較する。そのときは、第2のスイッチ609をオンにしてコンパレータの出力を発光素子612に伝送する。データ線601の電位が第2の基準電位607よりも低ければ、電源電圧VDDが発光素子612に出力され、その逆ならば、0Vを出力する。

【0053】

なお、発光素子612はLEDであってもよいし、有機EL等であってもよい。つまり電圧、電流等によって制御できる発光素子であればよい。

【0054】

次に図7で、図6に示した画素の詳細な回路の一例を示す。図7に示す回路には、データ線702及び走査線704が配置されている。また液晶素子711に書き込みを行う第1のトランジスタ709があり、対向電極712が配置されている。図7に示す回路では、コンパレータとしてCMOSチョッパインバータ回路を1つ使用することを特徴としている。すなわちコンパレータ722である。コンパレータ722の内部には容量素子726、第2のトランジスタ714、及び第3のトランジスタ715と第4のトランジスタ716により構成される第1のインバータを含む。また配線として第1の基準電位線701、第2の基準電位線703及びデータ線702を含む。さらに走査線704、コンパレータ初期化線705、第2の基準電位選択線706、第1の基準電位選択線707、第1の発光素子駆動信号選択線708、第2の発光素子駆動信号選択線725、及びデータ取り込み線724を含む。また、コンパレータ722に書き込みを行う第5のトランジスタ710と、第6のトランジスタ723及び第7のトランジスタ713を含み、さらにコンパレータの出力を発光素子に伝送する第8のトランジスタ719、第9のトランジスタ720、及び第10のトランジスタ717と第11のトランジスタ718により構成される第2のインバータを含む。また、バックライトとして使用する発光素子721を含む。なお、第10のトランジスタ717の極性はPチャネル型であり、第11のトランジスタ718の極性はNチャネル型であるとする。

【0055】

次に、図7に示す回路の各部分の接続関係について説明する。データ線702には第1のトランジスタ709の第1端子及び第6のトランジスタ723の第1端子が接続されている。第1のトランジスタ709は、第2端子が液晶素子711の第1の電極と接続され、ゲート端子が走査線704が接続される。液晶素子711の第2の電極は対向電極712に接続されている。第1の基準電位線701には第7のトランジスタ713の第1端子が接続される。また第2の基準電位線703には第5のトランジスタ710の第1端子が接続される。第7のトランジスタ713の第2端子、及び第6のトランジスタ723の第2

端子、及び第 5 のトランジスタ 710 の第 2 端子はコンパレータ 722 内の容量素子 726 の第 1 の電極と接続されている。第 6 のトランジスタ 723 のゲート端子はデータ取り込み線 724 に、第 1 のトランジスタ 709 のゲート端子は走査線 704 に接続される。また、第 5 のトランジスタ 710 のゲート端子は第 2 の基準電位選択線 706 に、第 7 のトランジスタ 713 のゲート端子は第 1 の基準電位選択線 707 に接続される。第 3 のトランジスタ 715 と第 4 のトランジスタ 716 により第 1 のインバータを構成し、これら 2 つのトランジスタのゲート端子は容量素子 726 の第 2 の電極、及び第 2 のトランジスタ 714 の第 1 端子と接続される。また、第 3 のトランジスタ 715 の第 2 端子、及び第 4 のトランジスタ 716 の第 2 端子は、第 2 のトランジスタ 714 の第 2 端子と第 8 のトランジスタ 719 の第 1 端子、及び第 2 のインバータを構成する第 10 のトランジスタ 717 のゲート端子、及び第 11 のトランジスタ 718 のゲート端子と接続される。第 10 のトランジスタ 717 の第 2 端子、及び第 11 のトランジスタ 718 の第 2 端子は、第 9 のトランジスタ 720 に第 1 端子と接続される。第 2 のトランジスタ 714 のゲート端子はコンパレータ初期化線 705 と接続される。第 8 のトランジスタ 719 のゲート端子は第 2 の発光素子駆動信号選択線 725 と接続され、第 9 のトランジスタ 720 のゲート端子は第 1 の発光素子駆動信号選択線 708 と接続される。また、第 8 のトランジスタ 719 の第 2 端子、及び第 9 のトランジスタ 720 の第 2 端子は発光素子 721 の第 1 の電極と接続される。

10

【0056】

次に図 7 に示す回路の動作を説明する。第 5 のトランジスタ 710 は、第 2 の基準電位選択線 706 が高電位のときにオンとなり第 2 の基準電位線 703 の電位 V_{ref2} をコンパレータ 722 に伝送する。また、第 7 のトランジスタ 713 は、第 1 の基準電位選択線 707 が高電位のときにオンとなり第 1 の基準電位線 701 電位 V_{ref1} をコンパレータ 722 に伝送する。コンパレータ初期化線 705 が高電位のときに第 2 のトランジスタ 714 がオンになりコンパレータ 722 を初期化する。コンパレータ 722 の内部での動作はコンパレータ 326 と同様である。

20

【0057】

第 6 のトランジスタ 723 は、データ取り込み線 724 が高電位のときに、液晶素子 711 に書き込まれるデータ電位を、初期化されたコンパレータ 722 にも書き込む。第 8 のトランジスタ 719 は、第 2 の発光素子駆動信号選択線 725 が高電位のときにオンになり、 V_{ref2} とデータ線 702 の電位を比較したときのコンパレータ 722 の出力を、発光素子 721 に伝送する。また第 9 のトランジスタ 720 は、第 1 の発光素子駆動信号選択線 708 が高電位のときにオンになり、 V_{ref1} とデータ線 702 の電位を比較したときのコンパレータ 722 の出力を、発光素子 721 に伝送する。なお、当実施形態では、コンパレータとして、CMOS チョッパインバータ型回路を使用しているが、その機能を実現していればどのような回路でもよい。

30

【0058】

図 8 に図 7 で示した回路の各制御信号のタイミングを示す。すなわち、データ線 702、走査線 704、コンパレータ初期化線 705、第 2 の基準電位選択線 706、第 1 の基準電位選択線 707、データ取り込み線 724、第 2 の発光素子駆動信号選択線 725、第 1 の発光素子駆動信号選択線 708 の各信号線について説明する。データ線 702 の信号は交流になっており、一つの画素に対して書き込まれるデータ信号の電位の正負の値が毎回の書き込み動作において反転する。図 8 の期間 b、e では走査線 704 が高電位になっており、ここで液晶素子に書き込みが行われているが、このときのデータ線 702 の電位は、期間 b と期間 e では逆になっている。

40

【0059】

まず、液晶素子に正の電位をもつデータ信号を書き込む場合について説明する。液晶素子に正の電位をもつデータ信号を書き込む動作は、図 8 の期間 a、期間 b、期間 c で行われる。データ線 702 から正の電位が書き込まれる場合、コンパレータ 722 の初期化を行うため、その前の期間 a でコンパレータ初期化線 705 を高電位にし、コンパレータ 72

50

2の初期化を行う。また同時に、第2の基準電位選択線706を高電位にして、Vref2を容量素子726に印加しておく。次に、期間bでデータ取り込み線724を高電位にすると、第6のトランジスタ723がオンになり液晶素子711に書き込まれるデータ電位をコンパレータ722にも書き込む。さらに期間cで第2の発光素子駆動信号選択線725を高電位にすることで第8のトランジスタ719がオンになり、コンパレータ722の出力が発光素子721に伝送される。

【0060】

次に、液晶素子に負の電位をもつデータ信号を書き込む場合について説明する。液晶素子に負の電位を持つデータ信号を書き込む動作は、図8の期間d、期間e、期間fで行われる。データ線702から負の電位が書き込まれる場合、コンパレータ722の初期化を行うため、その前の期間dでコンパレータ初期化線705を高電位にし、コンパレータの初期化を行っておく。また同時に、第1の基準電位選択線707を高電位にして、Vref1を容量素子726に印加しておく。次に、期間eでデータ取り込み線724を高電位にすると、第6のトランジスタ723がオンになり液晶素子711に書き込まれるデータ電位をコンパレータ722にも書き込む。さらに期間fで第1の発光素子駆動信号選択線708を高電位にすることで第9のトランジスタ720がオンになり、第2のインバータを形成する第10のトランジスタ717、及び第11のトランジスタ718を通してコンパレータ722の出力が発光素子721に伝送される。

【0061】

図8の期間a、b、d、eでは第1の発光素子駆動信号選択線708、及び第2の発光素子駆動信号選択線725の両方が低電位になっているが、これはコンパレータの初期化を行ってから出力が確定するまでに論理が不定の期間があるためである。この期間は発光素子が必ず消灯することになるので、目でそれと認識できないほどの短い時間に抑えることが望ましい。

【0062】

本実施の形態により、液晶を用いた表示装置で黒を表示する際に、バックライトを発光させないことで光漏れを無くし、コントラストを向上することができる。また本実施の形態により、画素ごとにバックライトをそれぞれ配置し、画素回路内に発光素子の点灯状態を画素ごとに制御する機能を持たせることにより、黒表示をする画素のためにバックライトを消灯した場合、他の画素も全て黒表示になってしまうという不具合を回避することができる。さらに、点灯する必要がない部分のバックライトを個別に消灯することができるので、省電力化にも有効である。また本実施の形態では、実施の形態1で示した回路よりもコンパレータが一つ少ないことにより、回路を構成するトランジスタ数を削減することができるため、画素の開口率を上げることができるといった利点もある。

【0063】

(実施の形態3)

図11(A)に本実施の形態の表示装置の一形態を示す。ガラス基板1101上に、下地膜1115が形成され、その上に液晶素子駆動トランジスタ1113及び発光素子駆動トランジスタ1114が形成されている。液晶素子駆動トランジスタ1113は第1の不純物領域1117aと第2の不純物領域1117bを含む。第1の不純物領域1117aと第2の不純物領域1117bの間には第1のチャネル領域1116aが形成される。第1及び、第2の不純物領域1117a、1117b、及び第1のチャネル領域1116aの上方に、ゲート絶縁膜1118が形成され、ゲート絶縁膜1118の上方に、第1のゲート電極1119aが形成される。発光素子駆動トランジスタ1114も同様に第3の不純物領域1117cと第4の不純物領域1117dを含む。第3の不純物領域1117cと第4の不純物領域1117dの間には第2のチャネル領域1116bが形成される。第3及び、第4の不純物領域1117c、1117d、及び第2のチャネル領域1116bの上方に、ゲート絶縁膜1118が形成され、ゲート絶縁膜1118の上方に、第2のゲート電極1119bが形成される。液晶素子駆動トランジスタ1113及び発光素子駆動トランジスタ1114の上には第1の層間膜1109が形成され、第1の電極1111a、

10

20

30

40

50

第2の電極1111b、第3の電極1111c、第4の電極1111d、及び第1の配線1120が形成される。第3の電極1111cと第1の配線1120の上に異方性導電粒子1112があり、その上に発光ダイオード1110が配置される。発光ダイオード1110は白色発光ダイオードであれば、カラーフィルタと組み合わせることによりカラー表示を行うことができる。また赤(R)、緑(G)、青(B)に発光する発光ダイオード1110を画素毎に設け、カラー表示を行っても良い。この場合もカラーフィルタと組み合わせさせて色純度を向上させても良い。

【0064】

さらに第1の層間膜1109の上に第2の層間膜1108が形成される。また、第2の層間膜1108の上に画素電極1107が形成され、その上に液晶層1306がある。液晶層1306の上には配向膜1121があり、その上に対向電極1105が形成され、その上には、遮光層1103及びカラーフィルタ1104がある。遮光層1103及びカラーフィルタ1104の上には、対向基板側のガラス基板1102がある。液晶層1306は高分子分散型液晶を用いることが好ましい。図11(B)に示すように、高分子分散型液晶は、液晶1322を高分子1321中に分散させたものである。図11(C)で示すように微小粒子化された液晶1322を高分子1321中に分散させることで電場を印加した場合、液晶の配向が高分子1321内で行われ、配向膜が不要となる。また偏光板も必要がないので光量の吸収が大幅に減少し、明るい画面が得られる。

【0065】

次に、図11の各部の接続関係を示す。液晶素子駆動トランジスタ1113の第1の不純物領域1117aは第1の電極1111aに接続され、第2の不純物領域1117bは第2の電極1111bに接続されている。また第2の電極1111bは画素電極1107に接続されている。発光素子駆動トランジスタ1114の第3の不純物領域1117cは第3の電極1111cに接続され、第4の不純物領域1117dは第4の電極1111dに接続されている。第3の電極1111cは異方性導電粒子1112を介して発光ダイオード1110の第1の電極1122に接続されている。発光ダイオード1110の第2の電極1123は異方性導電粒子1112を介して第1の配線1120に接続される。なお、異方性導電粒子1112は電氣的に接続を行うものであれば、半田など他の物質でもよく、異方性導電粒子だけに限定されない。

【0066】

図12に本実施の形態の表示装置のブロック図を示す。図12に示した表示装置は、基板1200上に発光素子を備えた画素を複数有する画素部1201と、各画素を選択する走査線駆動回路1202と、選択された画素へのデータ信号の入力を制御するデータ線駆動回路1203と、各画素内のコンパレータを制御するコンパレータ駆動回路1204とを有する。

【0067】

本実施の形態の表示装置によれば、液晶を用いた表示装置で黒を表示する際に、バックライトを発光させないことで光漏れを無くし、コントラストを向上することができる。また、画素ごとにバックライトをそれぞれ配置し、画素回路内に発光素子の点灯状態を画素ごとに制御する機能を持たせることにより、黒表示をする画素のためにバックライトを消灯した場合、他の画素も全て黒表示になってしまうという不具合を回避することができる。さらに、点灯する必要がない部分のバックライトを個別に消灯することができるので、省電力化にも有効である。

【0068】

(実施の形態4)

本発明の表示装置を用いた電子機器として、ビデオカメラ、デジタルカメラ等のカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンボ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機、電子書籍等)、記憶媒体を備えた画像再生装置(具体的にはDigital Versati

10

20

30

40

50

le Disc (DVD) 等の記憶媒体を再生し、その画像を表示しうるディスプレイを備えた装置) 等が挙げられる。それらの電子機器の具体例を図 9 に示す。

【0069】

図 9 (A) はテレビジョン装置であり、筐体 901、支持台 902、表示部 903、スピーカー部 904、ビデオ入力端子 905 等を含む。本発明は、表示部 903 を構成する表示装置に用いることができ、本発明によりコントラストが向上した画像を見ることができるようになる。このテレビジョン装置は、テレビジョン放送の視聴はもとより、ビデオゲーム機、コンピュータ等のモニタとして使用することもできる。

【0070】

図 9 (B) はデジタルスチルカメラであり、本体 906、表示部 907、受像部 908、操作キー 909、外部接続ポート 910、シャッターボタン 911 等を含む。本発明は、表示部 907 を構成する表示装置に用いることができ、本発明によりコントラストが向上した画像を見ることができるようになる。

【0071】

図 9 (C) はノート型パーソナルコンピュータであり、本体 912、筐体 913、表示部 914、キーボード 915、外部接続ポート 916、ポインティングデバイス 917 等を含む。本発明は、表示部 914 を構成する表示装置に用いることができ、本発明によりコントラストが向上した画像を見ることができるようになる。

【0072】

図 9 (D) はモバイルコンピュータであり、本体 918、表示部 919、スイッチ 920、操作キー 921、赤外線ポート 922 等を含む。本発明は、表示部 919 を構成する表示装置に用いることができ、本発明によりコントラストが向上した画像を見ることができるようになる。

【0073】

図 9 (E) は記憶媒体装置を備えた携帯型の画像再生装置 (具体的には DVD 再生装置) であり、本体 923、筐体 924、表示部 A 925、表示部 B 926、記憶媒体 (DVD 等) 読み込み部 927、操作キー 928、スピーカー部 929 等を含む。表示部 A 925 は主に画像情報を表示し、表示部 B 926 は主に文字情報を表示する。本発明は、表示部 A、B 925、926 を構成する表示装置に用いることができ、本発明によりコントラストが向上した画像を見ることができるようになる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0074】

図 9 (F) はゴーグル型ディスプレイ (ヘッドマウントディスプレイ) であり、本体 930、表示部 931、アーム部 932 等を含む。本発明は、表示部 931 を構成する表示装置に用いることができ、本発明によりコントラストが向上した画像を見ることができるようになる。

【0075】

図 9 (G) はビデオカメラであり、本体 933、表示部 934、筐体 935、外部接続ポート 936、リモコン受信部 937、受像部 938、バッテリー 939、音声入力部 940、操作キー 941 等を含む。本発明は、表示部 934 を構成する表示装置に用いることができ、本発明によりコントラストが向上した画像を見ることができるようになる。

【0076】

図 9 (H) は携帯電話であり、本体 942、筐体 943、表示部 944、音声入力部 945、音声出力部 946、操作キー 947、外部接続ポート 948、アンテナ 949 等を含む。本発明は、表示部 944 を構成する表示装置に用いることができる。なお、表示部 944 は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明によりコントラストが向上した画像を見ることができるようになる。

【0077】

なお、発光輝度が高い発光材料を用いれば、出力した画像情報を含む光をレンズ等で拡大投影するフロント型若しくはリア型のプロジェクターに用いることも可能となる。

10

20

30

40

50

【 0 0 7 8 】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【 0 0 7 9 】

本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施の形態の電子機器は、実施の形態 1 及び実施の形態 2 に示したいずれの構成の表示装置を用いてもよい。

【 0 0 8 0 】

(付 記) 以上説明したように、本発明は以下の態様を含む。

【 0 0 8 1 】

本発明の一は、発光素子と、発光素子に重畳して設けられた液晶素子と、を有する画素部と、液晶素子に接続され、アナログ信号に基づく電位が印加されるデータ線と、データ線及び発光素子に接続されたコンパレータと、を有することを特徴とする表示装置である。本発明により液晶を用いた表示装置において、黒を表示する際に、バックライトを発光させないことで光漏れを無くし、コントラストを向上することができる。

【 0 0 8 2 】

本発明の一は、発光素子及び発光素子に重畳して設けられた液晶素子と、を有する画素部と、液晶素子に接続され、アナログ信号に基づく電位が印加されるデータ線と、データ線及び発光素子に接続された第 1 のコンパレータと、データ線及び発光素子に接続された第 2 のコンパレータと、データ線及び第 1 のコンパレータに接続された第 1 のスイッチと、データ線及び第 2 のコンパレータに接続された第 2 のスイッチと、を有することを特徴とする表示装置である。本発明により液晶を用いた表示装置において、黒を表示する際に、バックライトを発光させないことで光漏れを無くし、コントラストを向上することができる。とともに、画素回路内に発光素子の点灯状態を画素ごとに制御する機能を持たせることにより、黒表示をする画素のためにバックライトを消灯した場合、他の画素も全て黒表示になってしまうという不具合を回避することができる。

【 0 0 8 3 】

本発明の一は、発光素子及び発光素子に重畳して設けられた液晶素子と、を有する画素部と、液晶素子に接続されアナログ信号に基づく電位が印加されるデータ線と、データ線及び発光素子と接続されたコンパレータと、を有する表示装置であって、コンパレータにおいてデータ線の電位と基準電位とを比較し、コンパレータによる比較結果に従って発光素子の発光を制御することを特徴とする表示装置の駆動方法である。本発明により液晶を用いた表示装置において、黒を表示する際に、バックライトを発光させないことで光漏れを無くし、コントラストを向上することができる。

【 0 0 8 4 】

本発明の一は、発光素子及び発光素子に重畳して設けられた液晶素子と、を有する画素部と、液晶素子に接続され、アナログ信号に基づく電位が印加されるデータ線と、データ線及び発光素子に接続された第 1 のコンパレータ及び第 2 のコンパレータと、データ線及び第 1 のコンパレータに接続された第 1 のスイッチと、データ線及び第 2 のコンパレータに接続された第 2 のスイッチと、を有する表示装置であって、データ線の電位が負の値のときに第 1 のスイッチをオンすることにより、第 1 のコンパレータにおいてデータ線の電位と第 1 の基準電位とを比較し、データ線の電位が正の値のときに第 2 のスイッチをオンすることにより、第 2 のコンパレータにおいてデータ線の電位と第 2 の基準電位とを比較し、第 1 のコンパレータによる比較結果、又は第 2 のコンパレータによる比較結果に従って発光素子の発光を制御することを特徴とする表示装置の駆動方法である。本発明により液晶を用いた表示装置において、黒を表示する際に、バックライトを発光させないことで光漏れを無くし、コントラストを向上できるとともに、画素回路内に発光素子の点灯状態を画素ごとに制御する機能を持たせることにより、黒表示をする画素のためにバ

10

20

30

40

50

ックライトを消灯した場合、他の画素も全て黒表示になってしまうという不具合を回避することができる。

【符号の説明】

【 0 0 8 5 】

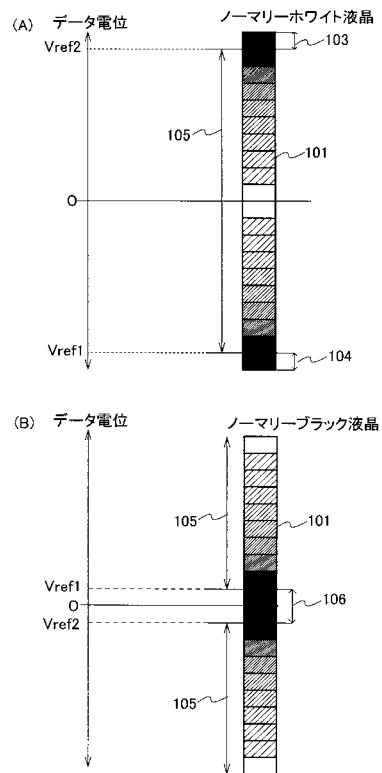
1 0 1	液晶素子の階調	
1 0 3	データ電圧の範囲	
1 0 4	データ電圧の範囲	
1 0 5	データ電圧の範囲	
1 0 6	データ電圧の範囲	
2 0 1	データ線	10
2 0 2	走査線	
2 0 3	トランジスタ	
2 0 4	液晶素子	
2 0 5	対向電極	
2 0 6	基準電位	
2 0 7	コンパレータ	
2 0 8	基準電位	
2 0 9	コンパレータ	
2 1 0	スイッチ	
2 1 1	スイッチ	20
2 1 2	発光素子	
2 1 3	スイッチ	
2 1 4	スイッチ	
3 0 1	第 1 の基準電位線	
3 0 2	データ線	
3 0 3	第 2 の基準電位線	
3 0 4	コンパレータ選択線	
3 0 5	コンパレータ初期化線	
3 0 6	走査線	
3 0 7	コンパレータ初期化線	30
3 0 8	トランジスタ	
3 0 9	トランジスタ	
3 1 0	液晶素子	
3 1 1	対向電極	
3 1 2	トランジスタ	
3 1 3	トランジスタ	
3 1 4	容量素子	
3 1 5	トランジスタ	
3 1 6	トランジスタ	
3 1 7	トランジスタ	40
3 1 8	容量素子	
3 1 9	トランジスタ	
3 2 0	トランジスタ	
3 2 1	トランジスタ	
3 2 2	トランジスタ	
3 2 3	トランジスタ	
3 2 4	トランジスタ	
3 2 5	発光素子	
3 2 6	コンパレータ	
3 2 7	コンパレータ	50

3 2 8	トランジスタ	
3 2 9	トランジスタ	
3 3 0	データ取り込み線	
3 3 1	データ取り込み線	
4 0 1	スイッチ	
4 0 2	基準電位	
4 0 3	スイッチ	
4 0 4	容量	
4 0 5	スイッチ	
4 0 6	インバータ	10
4 0 7	インバータ	
6 0 1	データ線	
6 0 2	走査線	
6 0 3	トランジスタ	
6 0 4	液晶素子	
6 0 5	対向電極	
6 0 6	基準電位	
6 0 7	基準電位	
6 0 8	コンパレータ	
6 0 9	スイッチ	20
6 1 0	スイッチ	
6 1 1	インバータ	
6 1 2	発光素子	
6 1 3	スイッチ	
7 0 1	第 1 の基準電位線	
7 0 2	データ線	
7 0 3	第 2 の基準電位線	
7 0 4	走査線	
7 0 5	コンパレータ初期化線	
7 0 6	第 2 の基準電位選択線	30
7 0 7	第 1 の基準電位選択線	
7 0 8	第 1 の発光素子駆動信号選択線	
7 0 9	トランジスタ	
7 1 0	トランジスタ	
7 1 1	液晶素子	
7 1 2	対向電極	
7 1 3	トランジスタ	
7 1 4	トランジスタ	
7 1 5	トランジスタ	
7 1 6	トランジスタ	40
7 1 7	トランジスタ	
7 1 8	トランジスタ	
7 1 9	トランジスタ	
7 2 0	トランジスタ	
7 2 1	発光素子	
7 2 2	コンパレータ	
7 2 3	トランジスタ	
7 2 4	データ取り込み線	
7 2 5	第 2 の発光素子駆動信号選択線	
7 2 6	容量素子	50

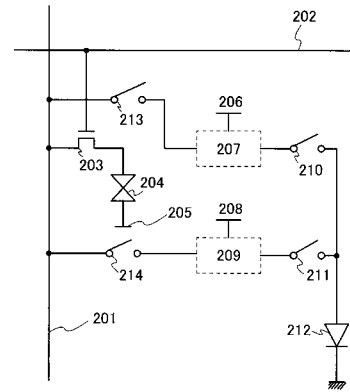
9 0 1	筐体	
9 0 2	支持台	
9 0 3	表示部	
9 0 4	スピーカ部	
9 0 5	ビデオ入力端子	
9 0 6	本体	
9 0 7	表示部	
9 0 8	受像部	
9 0 9	操作キー	
9 1 0	外部接続ポート	10
9 1 1	シャッターボタン	
9 1 2	本体	
9 1 3	筐体	
9 1 4	表示部	
9 1 5	キーボード	
9 1 6	外部接続ポート	
9 1 7	ポインティングデバイス	
9 1 8	本体	
9 1 9	表示部	
9 2 0	スイッチ	20
9 2 1	操作キー	
9 2 2	赤外線ポート	
9 2 3	本体	
9 2 4	筐体	
9 2 5	表示部 A	
9 2 6	表示部 B	
9 2 7	読み込み部	
9 2 8	操作キー	
9 2 9	スピーカ部	
9 3 0	本体	30
9 3 1	表示部	
9 3 2	アーム部	
9 3 3	本体	
9 3 4	表示部	
9 3 5	筐体	
9 3 6	外部接続ポート	
9 3 7	リモコン受信部	
9 3 8	受像部	
9 3 9	バッテリー	
9 4 0	音声入力部	40
9 4 1	操作キー	
9 4 2	本体	
9 4 3	筐体	
9 4 4	表示部	
9 4 5	音声入力部	
9 4 6	音声出力部	
9 4 7	操作キー	
9 4 8	外部接続ポート	
9 4 9	アンテナ	
1 1 0 1	ガラス基板	50

1 1 0 2	ガラス基板	
1 1 0 3	遮光層	
1 1 0 4	カラーフィルタ	
1 1 0 5	対向電極	
1 3 0 6	液晶層	
1 1 0 7	画素電極	
1 1 0 8	層間膜	
1 1 0 9	層間膜	
1 1 1 0	発光ダイオード	
1 1 1 2	異方性導電粒子	10
1 1 1 3	液晶素子駆動トランジスタ	
1 1 1 4	発光素子駆動トランジスタ	
1 1 1 5	下地膜	
1 1 1 8	ゲート絶縁膜	
1 1 2 0	配線	
1 1 2 1	配向膜	
1 1 2 2	第 1 の電極	
1 1 2 3	第 2 の電極	
1 2 0 0	基板	
1 2 0 1	画素部	20
1 2 0 2	走査線駆動回路	
1 2 0 3	データ線駆動回路	
1 2 0 4	コンパレータ駆動回路	
1 1 1 1 a	第 1 の電極	
1 1 1 1 b	第 2 の電極	
1 1 1 1 c	第 3 の電極	
1 1 1 1 d	第 4 の電極	
1 1 1 6 a	チャネル領域	
1 1 1 6 b	チャネル領域	
1 1 1 7 a	不純物領域	30
1 1 1 7 b	不純物領域	
1 1 1 7 c	不純物領域	
1 1 1 7 d	不純物領域	
1 1 1 9 a	ゲート電極	
1 1 1 9 b	ゲート電極	

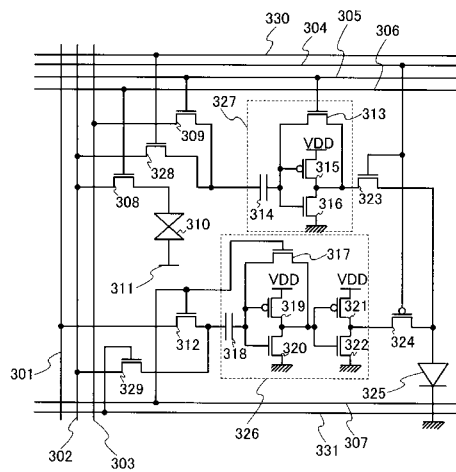
【図 1】



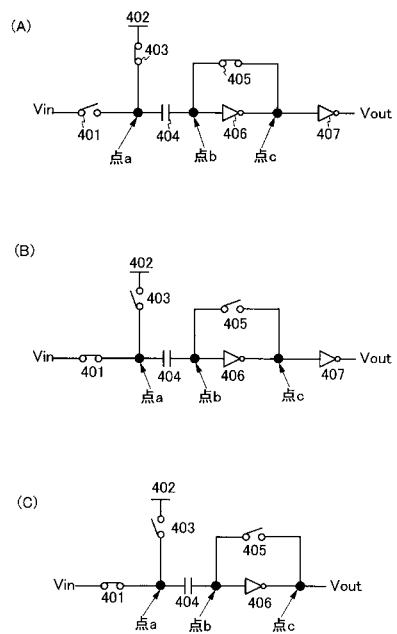
【図 2】



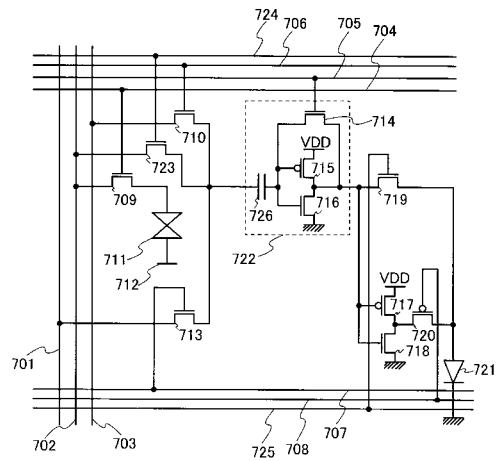
【図 3】



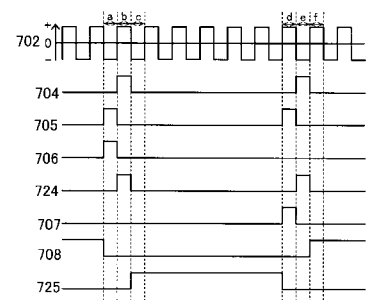
【図 4】



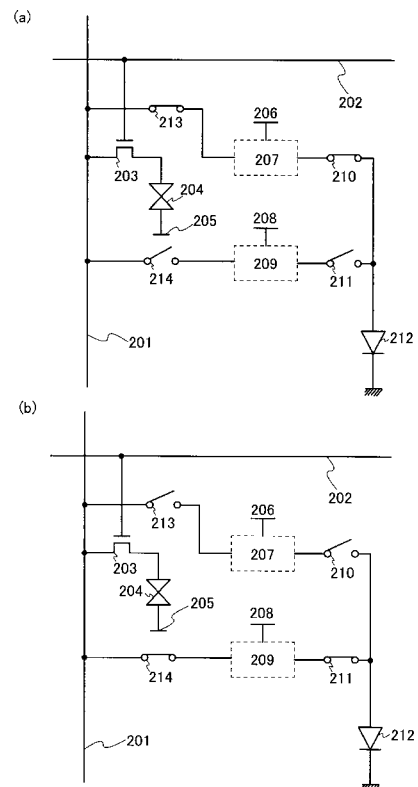
【 図 7 】



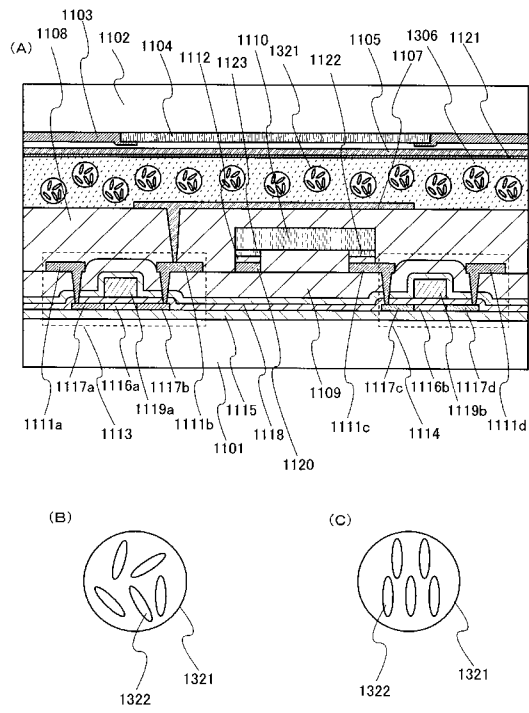
【 図 8 】



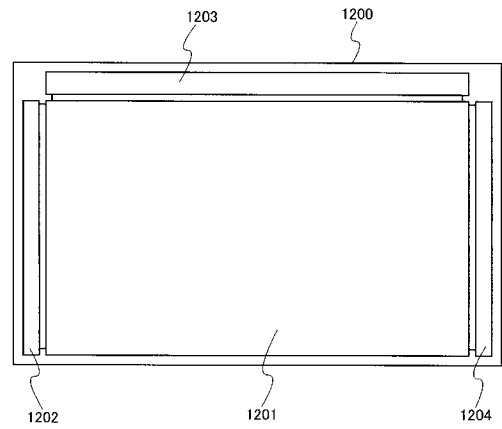
【 図 1 0 】



【図 1 1】



【図 1 2】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
F 2 1 Y 115/15 (2016.01) F 2 1 Y 115:15

(72)発明者 柳澤 真
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 山崎 舜平
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

F ターム(参考) 2H192 AA24 BC31 CB02 EA22 EA43 GD47 GD61 JA53
2H391 AA27 AB05 AB07 CB04 CB52 EA02
3K244 AA01 AA02 BA18 BA20 BA23 BA42 CA02 DA01 DA03 DA19
HA01
3K273 AA05 BA05 BA11 CA01 CA02 CA03 CA05 CA27 DA08 EA06
EA24 EA36 FA14 FA33 FA39 GA28 GA29

专利名称(译)	表示装置		
公开(公告)号	JP2019035980A	公开(公告)日	2019-03-07
申请号	JP2018217048	申请日	2018-11-20
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	木村肇 吉田泰則 穴戸英明 梅崎敦司 柳澤真 山崎舜平		
发明人	木村 肇 吉田 泰則 穴戸 英明 梅崎 敦司 柳澤 真 山崎 舜平		
IPC分类号	G02F1/13357 G02F1/1368 F21S2/00 H05B37/02 F21Y115/10 F21Y115/15		
CPC分类号	G09G3/36 G02F1/133603 G02F1/1362 G09G3/3208 G09G3/3426 G09G3/3648 G09G2300/046 G09G2320/0238 G09G2320/062 G09G2320/066 G09G2330/021		
FI分类号	G02F1/13357 G02F1/1368 F21S2/00.482 H05B37/02.J F21Y115/10 F21Y115/15		
F-TERM分类号	2H192/AA24 2H192/BC31 2H192/CB02 2H192/EA22 2H192/EA43 2H192/GD47 2H192/GD61 2H192/JA53 2H391/AA27 2H391/AB05 2H391/AB07 2H391/CB04 2H391/CB52 2H391/EA02 3K244/AA01 3K244/AA02 3K244/BA18 3K244/BA20 3K244/BA23 3K244/BA42 3K244/CA02 3K244/DA01 3K244/DA03 3K244/DA19 3K244/HA01 3K273/AA05 3K273/BA05 3K273/BA11 3K273/CA01 3K273/CA02 3K273/CA03 3K273/CA05 3K273/CA27 3K273/DA08 3K273/EA06 3K273/EA24 3K273/EA36 3K273/FA14 3K273/FA33 3K273/FA39 3K273/GA28 3K273/GA29		
优先权	2006112533 2006-04-14 JP		
外部链接	Espacenet		

摘要(译)

要解决的问题：即使在尝试显示黑色时，也要减少光从液晶元件泄漏的问题。本发明的一个目的是提供一种克服并改善对比度的显示装置。还回来了 本发明的一个目的是提供一种像素电路，其具有控制每个像素的光的发光状态的功能。那。当显示黑色渐变时，通过关闭发光元件解决了上述问题。它决定了。另外，为每个像素和发光点提供发光元件 通过为像素电路提供控制光和不发光的功能来解决上述问题。在每个像素 通过相应地提供背光，当表现黑色渐变时，背光和 可以关闭发光元件以防止由于液晶元件的漏光引起的对比度的劣化 这是可能的。[选择图]图2

