

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-3141  
(P2019-3141A)

(43) 公開日 平成31年1月10日(2019.1.10)

(51) Int.Cl.			F I			テーマコード (参考)		
<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	G09G	3/36		2H192		
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20	622E	2H193		
<b>G02F</b>	<b>1/133</b>	<b>(2006.01)</b>	G09G	3/20	670M	5C006		
<b>G02F</b>	<b>1/1368</b>	<b>(2006.01)</b>	G09G	3/20	624B	5C080		
			G02F	1/133	505			

審査請求 未請求 請求項の数 5 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2017-119761 (P2017-119761)  
(22) 出願日 平成29年6月19日 (2017.6.19)

(71) 出願人 502356528  
株式会社ジャパンディスプレイ  
東京都港区西新橋三丁目7番1号  
(74) 代理人 110000154  
特許業務法人はるか国際特許事務所  
(72) 発明者 平林 幸哉  
東京都港区西新橋三丁目7番1号 株式会社  
ジャパンディスプレイ内  
(72) 発明者 笹沼 啓太  
東京都港区西新橋三丁目7番1号 株式会社  
ジャパンディスプレイ内  
(72) 発明者 白神 謙吾  
東京都港区西新橋三丁目7番1号 株式会社  
ジャパンディスプレイ内

最終頁に続く

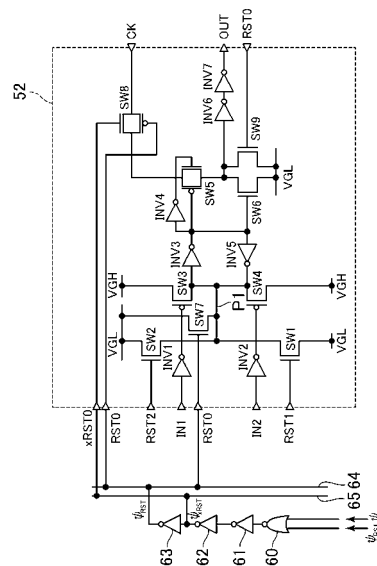
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 異常電源オフ時の画素電荷リセット機能を有したドライバICを用いたLTPSを用いた液晶表示装置を駆動する。

【解決手段】 ゲート信号線を駆動するゲート信号生成回路は、縦続接続された複数段の単位レジスタ回路52からなるシフトレジスタ部を含む。単位レジスタ回路52は、単位レジスタ回路内の基準点P1の電位によって、クロック信号の入力端子CKと出力パルスの出力端子OUTとの間の導通/非導通を制御する出力回路と、電源VGHと基準点P1との間の導通/非導通を制御する基準点セット回路と、電源VGLと基準点P1との間の導通/非導通を制御する基準点リセット回路と、を有する。全段の基準点リセット回路は、ドライバICからシフトレジスタ部のシフト動作の開始前及び終了後に出力されるリセットパルスによって導通し、基準点P1を電源VGLの電位に設定するスイッチSW7を含む。

【選択図】 図5



**【特許請求の範囲】****【請求項 1】**

複数の画素回路と、  
前記画素回路にゲート信号を供給する複数のゲート信号線と、  
縦続接続された複数段の単位レジスタ回路からなるシフトレジスタ部を含み、クロック信号に同期して順番に駆動されて出力する出力パルスに基づいて前記複数のゲート信号線へ順番にゲート信号を出力するゲート信号生成回路と、  
前記ゲート信号生成回路に電源及び、前記クロック信号を含む制御信号を供給するドライバICと、

を有し、

前記各単位レジスタ回路は、前記単位レジスタ回路内の基準点の電位によって、前記クロック信号の入力端子と前記出力パルスの出力端子との間の導通 / 非導通を制御する出力回路と、所定の高電位の第 1 電源と前記基準点との間の導通 / 非導通を制御する基準点セット回路と、所定の低電位の第 2 電源と前記基準点との間の導通 / 非導通を制御する基準点リセット回路と、を有し、

前記基準点リセット回路は、前記シフトレジスタ部の動作の開始前及び終了後にリセットパルスによって導通し、前記基準点を前記所定の低電位に設定する全段共通リセット回路を含むこと、

を特徴とする液晶表示装置。

**【請求項 2】**

請求項 1 に記載の液晶表示装置において、

前記出力回路は、前記クロック信号の入力端子と前記出力パルスの出力端子との間に直列接続され、前記リセットパルスによって導通 / 非導通が制御される複数のスイッチを有すること、を特徴とする液晶表示装置。

**【請求項 3】**

請求項 1 又は請求項 2 に記載の液晶表示装置において、

前記各単位レジスタ回路は、前記リセットパルスによって、前記第 2 電源と前記出力パルスの出力端子との間の導通 / 非導通を制御する出力リセット回路を含むこと、を特徴とする液晶表示装置。

**【請求項 4】**

請求項 1 から請求項 3 のいずれか 1 つに記載の液晶表示装置において、

前記各単位レジスタ回路は、前記出力端子にバッファ回路を備え、前記バッファ回路を介して他の前記単位レジスタ回路と縦続接続されること、を特徴とする液晶表示装置。

**【請求項 5】**

請求項 1 から請求項 4 のいずれか 1 つに記載の液晶表示装置において、

さらに、前記複数のゲート信号線と交差する方向に延在する映像信号線と、

前記ゲート信号線と前記映像信号線とで囲まれた領域に位置する画素電極と、を有し、

前記画素回路は、ポリシリコンからなる半導体層、ゲート電極、ドレイン電極及びソース電極を有した画素トランジスタを備え、

前記ゲート信号線は、少なくとも一部において、前記画素電極と重畳する拡張部分を有し、

前記拡張部分は、前記半導体層と重畳していること、

を特徴とする液晶表示装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は液晶表示装置に関する。特に、表示パネルの基板に形成される薄膜トランジスタ (thin film transistor: TFT) の半導体層としてポリシリコンを用いた液晶表示装置に関する。

**【背景技術】**

10

20

30

40

50

## 【0002】

液晶表示装置は、互いに対向配置されたTFT基板及び対向基板と、これらの間に設けられた隙間に封入された液晶材料とを備える液晶パネルを含んで構成される。TFT基板には、画像の表示領域にマトリクス配置された画素回路が形成され、その外側の領域に画素回路を駆動する駆動回路が設けられる。駆動回路は、画素回路と同様にTFT基板の表面に形成される部分と、TFT基板とは別に形成されてTFT基板に搭載又は接続される集積回路(integrated circuit: IC)とを含み得る。例えば、TFT基板の表面にゲート信号生成回路がTFTを用いて形成され、当該ゲート信号生成回路にドライバICから電源や各種制御信号を供給する。TFTの半導体層は、アモルファスシリコン(amorphous silicon: a-Si)又はポリシリコン(polycrystalline silicon: p-Si)で形成される。特に、表示パネルの基板上に積層されるp-Siには、低温で形成した低温ポリシリコン(low temperature polycrystalline silicon: LTPS)が用いられている。

10

## 【0003】

ゲート信号生成回路は、ゲート信号線に対応した複数の単位レジスタ回路が縦続接続されたシフトレジスタを含み、複数の単位レジスタ回路がクロック信号に同期して順番に動作し出力するパルスに基づき、ゲート信号線に順次、ゲート信号を供給して、画素回路への映像信号の書き込みを制御する。

## 【0004】

図14は単位レジスタ回路の回路図である。セット端子IN1, IN2に高電位(Hレベル)が印加されると基準点P1がHレベルにセットされ、この状態でクロック端子CKにクロック信号のパルスが入力されると出力端子OUTにパルスが出力される。一方、リセット端子RST1, RST2にHレベルが印加されると基準点P1が低電位(Lレベル)にリセットされ、この状態ではクロック端子CKにクロック信号のパルスが入力されても出力端子OUTにパルスは出力されない。なお、図14は双方向シフトレジスタの単位レジスタ回路であり、順方向のシフト動作、逆方向のシフト動作それぞれに対して、セット端子、リセット端子が設けられており、例えば、或る段の単位レジスタ回路のIN1, RST1に入力される他段の出力パルスが順方向動作にて利用され、一方、IN2, RST2に入力される他段の出力パルスが逆方向動作にて利用される。

20

## 【0005】

ドライバICは、システム電源から、ゲート信号生成回路で用いる電源、具体的にはHレベルに対応する所定の高電位 $V_H$ (例えば $V_H > 0$ )を有する電源 $V_{GH}$ 、及びLレベルに対応する所定の低電位 $V_L$ (例えば $V_L < 0$ )を有する電源 $V_{GL}$ を生成する。

30

## 【0006】

ここで、ドライバICには、システム電源の異常低下(以下、電源異常オフと称する。)の際に、全てのゲート信号線の電圧を高電位(ここでは説明の便宜上、Hレベルとする)として、画素回路の画素トランジスタをオンさせ画素電極に書き込まれた画素電荷をリセットする機能(画素電荷リセット機能)を有するものがある。当該機能により、電源異常オフ後の動作再開時に異常な表示がなされることを防ぐことが可能となる。具体的には、ドライバICは、システム電源の電圧が例えば、或る閾値まで低下したことを検知し、ゲート信号生成回路への電源線及び制御信号線に全てHレベルを供給する。当該動作では電源 $V_{GL}$ の電位もHレベルとされる。これにより、単位レジスタ回路の全体がHレベルに応じた高電位となり、端子OUTの電位もHレベルとなる。その結果、ゲート信号生成回路から全てのゲート信号線にHレベルが出力され、全画素の画素トランジスタがオンし、画素電極と映像信号線との間が導通状態となり、画素電極から画素電荷が排出される。

40

## 【先行技術文献】

## 【特許文献】

## 【0007】

【特許文献1】特開2001-159877号公報

## 【発明の概要】

【発明が解決しようとする課題】

50

## 【 0 0 0 8 】

上述の画素電荷リセット機能は a - S i を用いた表示パネルのゲート信号生成回路を制御するドライバ I C で採用されている。当該機能を有したドライバ I C を、 L T P S を用いた表示パネルに用いると、ゲート信号生成回路を異常電源オフによる動作停止状態から動作再開した際に、単位レジスタ回路の比較的多数の段の出力スイッチ S W 5 が同時にオン状態となり、クロック端子 C K のクロック信号を供給するドライバ I C にて過電流を誘発するという問題があった。

## 【 0 0 0 9 】

本発明は上記問題点を解決するためになされたものであり、例えば、 a - S i を用いた液晶表示パネルに対応して画素電荷リセットなどの機能を付与されたドライバ I C により、 L T P S など p - S i を用いた液晶表示パネルを好適に動作させることを可能とする。

10

## 【課題を解決するための手段】

## 【 0 0 1 0 】

本発明に係る液晶表示装置は、複数の画素回路と、前記画素回路にゲート信号を供給する複数のゲート信号線と、縦続接続された複数段の単位レジスタ回路からなるシフトレジスタ部を含み、クロック信号に同期して順番に駆動されて出力する出力パルスに基づいて前記複数のゲート信号線へ順番にゲート信号を出力するゲート信号生成回路と、前記ゲート信号生成回路に電源及び、前記クロック信号を含む制御信号を供給するドライバ I C と、を有し、前記各単位レジスタ回路は、前記単位レジスタ回路内の基準点の電位によって、前記クロック信号の入力端子と前記出力パルスの出力端子との間の導通 / 非導通を制御する出力回路と、所定の高電位の第 1 電源と前記基準点との間の導通 / 非導通を制御する基準点セット回路と、所定の低電位の第 2 電源と前記基準点との間の導通 / 非導通を制御する基準点リセット回路と、を有し、前記基準点リセット回路は、前記シフトレジスタ部の動作の開始前及び終了後にリセットパルスによって導通し、前記基準点を前記所定の低電位に設定する全段共通リセット回路を含む。

20

## 【図面の簡単な説明】

## 【 0 0 1 1 】

【図 1】本発明の実施形態に係る液晶表示装置における表示パネルの模式的な全体斜視図である。

30

【図 2】本発明の実施形態に係る液晶表示装置の概略の構成を示すブロック図である。

【図 3】本発明の実施形態の表示パネルにおける主として T F T 基板に形成される回路の概略の構成を示す模式図である。

【図 4】本発明の実施形態におけるゲート信号生成回路の構成を示す模式図である。

【図 5】本発明の実施形態における単位レジスタ回路の概略の回路図である。

【図 6】本発明の実施形態における単位レジスタ回路の他の回路構成の例を示す回路図である。

【図 7】本発明の実施形態における単位レジスタ回路の他の回路構成の例を示す回路図である。

【図 8】画素のうち画素トランジスタの近傍部分を示す模式的な平面図である。

40

【図 9】図 8 の I X - I X 線に沿った表示パネルの模式的な垂直断面図である。

【図 10】ゲート - 画素電極間に付加容量を設けた画素回路に関し画素トランジスタの近傍部分を示す模式的な平面図である。

【図 11】図 10 の X I - X I 線に沿った表示パネルの模式的な垂直断面図である。

【図 12】ゲート - 画素電極間に付加容量を設けた画素回路に関し画素トランジスタの近傍部分を示す模式的な平面図である。

【図 13】図 12 の X I I I - X I I I 線に沿った表示パネルの模式的な垂直断面図である。

【図 14】比較例の単位レジスタ回路の回路図である。

## 【発明を実施するための形態】

## 【 0 0 1 2 】

50

以下、本発明の実施の形態（以下実施形態という）について、図面に基づいて説明する。なお、実施形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下に示す図は、あくまで、実施形態の実施例を説明するものであって、図の大きさと本実施例記載の縮尺は必ずしも一致するものではない。

**【 0 0 1 3 】**

図 1 は、液晶表示装置 1 における表示パネル 2 の模式的な全体斜視図である。図 1 は、第 1 方向 X と、第 1 方向に垂直な第 2 方向 Y と、第 1 方向 X 及び第 2 方向 Y に垂直な第 3 方向 Z によって規定される三次元空間を示している。図示した例では、第 1 方向 X、第 2 方向 Y、及び第 3 方向 Z は、互いに直交しているが、90 度以外の角度で交差していてもよい。

10

**【 0 0 1 4 】**

図 1 に示すように、表示パネル 2 は、対向基板 3、T F T 基板 4 及びバックライト 5 を含んで構成される。なお、本実施形態では、表示パネル 2 の液晶駆動方式として I P S ( In-Plane Switching ) 方式を例に説明するが、本発明は液晶駆動方式によって限定されない。

**【 0 0 1 5 】**

対向基板 3 と T F T 基板 4 とは向き合わせて配置され、当該両基板 3 , 4 に挟まれた領域には液晶材料が封入される。対向基板 3 にはカラーフィルタなどが形成される。T F T 基板 4 の表示領域には、画素ごとに設けられ液晶の配向を制御する複数の画素回路などが形成され、表示領域の外側領域には画素回路を駆動する回路が形成される。対向基板 3 は、T F T 基板 4 よりも第 2 方向 Y に短く形成される。つまり、表示パネル 2 は対向配置される 2 枚の基板 3 , 4 のうち T F T 基板 4 のみとなっている部分を有しており、そこにドライバ I C 1 2 などが搭載・接続されたりする。

20

**【 0 0 1 6 】**

図 2 は、液晶表示装置 1 の概略の構成を示すブロック図である。液晶表示装置 1 の T F T 基板 4 に、図 2 に示す、表示部 1 0、ドライバ I C 1 2、R G B スイッチ回路 1 4 及びゲート信号生成回路 1 6 が設けられる。

**【 0 0 1 7 】**

ドライバ I C 1 2 は T F T 基板 4 とは別途形成され、例えば、上述したように T F T 基板 4 に搭載される。また、ドライバ I C 1 2 はフレキシブルプリント基板 ( flexible printed circuits : F P C ) などを介して T F T 基板 4 に接続されてもよい。ドライバ I C 1 2 は例えば、ゲート信号線制御回路 2 0 と、映像信号線駆動回路 2 2 と、基準電圧線駆動回路 2 4 とを含む。なお、ここでは、ゲート信号線制御回路 2 0、映像信号線駆動回路 2 2 及び基準電圧線駆動回路 2 4 は一体のドライバ I C 1 2 に構成されるとしているが、別々に設けられたり、一部が 1 つのドライバ I C に設けられたりしてもよい。

30

**【 0 0 1 8 】**

表示部 1 0 に形成される複数の画素回路、R G B スイッチ回路 1 4 及びゲート信号生成回路 1 6 は、T F T 基板 4 の表面に積層される薄膜を用いて形成され、特に、それら回路を構成するトランジスタは T F T となる。液晶表示装置 1 の T F T は、例えば、L T P S など p - S i を半導体層に用いて形成される。なお、R G B スイッチ回路 1 4 は設けられない場合もある。

40

**【 0 0 1 9 】**

ゲート信号線制御回路 2 0 は、表示部 1 0 の両側それぞれに配置されるゲート信号生成回路 1 6 に対して電源 V G H , V G L 及び制御信号を供給する。ゲート信号生成回路 1 6 は、縦続接続された複数段の単位レジスタ回路からなるシフトレジスタ部を含み、縦続接続の順序に従って印加される n 相 ( n は 2 以上の整数である。 ) のクロック信号に同期して単位レジスタ回路の各段が順番に駆動されてパルスを出力し、当該出力パルスに基づいて複数のゲート信号線へ順番にゲート信号を出力する。

**【 0 0 2 0 】**

50

本実施形態では左右のゲート信号生成回路 16 はそれぞれ 4 相のクロック信号で駆動される。例えば、表示部の左側部に配置されるゲート信号生成回路 16 は奇数行のゲート信号線 40 に、また右側部のゲート信号生成回路 16 は偶数行のゲート信号線 40 にゲート信号を供給する。ちなみに、本実施形態では、ゲート信号線制御回路 20 及びゲート信号生成回路 16 がゲート信号線駆動回路を構成している。また、本実施形態では、ゲート信号生成回路 16 は、表示部 10 を挟んだ両側それぞれに配置されているが、どちらか片方だけに形成されていてもよい。

#### 【0021】

映像信号線駆動回路 22 は、複数の映像信号線それぞれに、画素回路の表示データに応じた電圧の映像信号を、RGB スイッチ回路 14 を介して供給する。また、基準電圧線駆動回路 24 は、複数の基準電圧線を介して、各画素回路に基準電圧を供給する。

10

#### 【0022】

図 3 は、主として TFT 基板 4 に形成される回路の概略の構成を示す模式図である。画素回路 30 は、画素に対応して表示部 10 にマトリクス状に配列される。画素回路 30 は、TFT である画素トランジスタ 32 と、画素電極 34 と、共通電極 36 とを有する。画素の配列において、第 1 方向 X、第 2 方向 Y をそれぞれ行方向、列方向とし、行方向に並ぶ画素群を画素行、列方向に並ぶ画素群を画素列とする。

#### 【0023】

画素行はラスタスキャンにおける走査線に対応し、各画素行に沿ってゲート信号線 40 が延在される。また、各画素行に沿って、コモン信号線 42 も延在される。一方、各画素列に沿って映像信号線 44 が延在される。

20

#### 【0024】

各画素回路 30 の画素トランジスタ 32 はゲート電極を、当該画素回路 30 に対応する画素行のゲート信号線 40 に接続され、例えば、ソース電極を当該画素回路 30 に対応する画素列の映像信号線 44 に接続され、ドレイン電極を当該画素回路 30 の画素電極 34 に接続される。また、各画素行の複数の画素回路 30 の共通電極 36 は、当該画素行のコモン信号線 42 に接続される。なお、図 3 では画素ごとに共通電極 36、また画素行ごとにコモン信号線 42 を示しているが、これらは表示部 10 にて一つの導電膜により形成することができる。

#### 【0025】

複数のゲート信号線 40 はゲート信号生成回路 16 に接続され、ゲート信号生成回路 16 は上述したようにゲート信号線 40 に順番にゲート信号を出力し、当該ゲート信号線 40 に接続される画素回路 30 にて画素トランジスタ 32 をオンし、当該画素回路 30 への表示データの書き込みを可能にする。

30

#### 【0026】

複数の映像信号線 44 は RGB スイッチ回路 14 を介して映像信号線駆動回路 22 に接続される。映像信号線駆動回路 22 は 1 走査線分の映像信号を映像信号線 44 に出力する。具体的には、当該走査線に対応する画素行を構成する各画素の表示データに応じた電圧を、当該画素に対応する列の映像信号線 44 に出力する。映像信号線 44 に出力された表示データは、ゲート信号により書き込み可能とされている画素回路 30 に書き込まれる。具体的には、画素電極 34 が画素トランジスタ 32 を介して映像信号線 44 に接続され、表示データに応じた電位に設定される。

40

#### 【0027】

コモン信号線 42 は基準電圧線駆動回路 24 からコモン信号として基準電圧を供給される。コモン信号は各画素に共通であり、コモン信号により各画素の共通電極 36 はコモン電位に設定される。各画素回路 30 は、表示データに応じた電位に設定された画素電極 34 と、コモン電位に設定された共通電極 36 とにより生じる電界で液晶分子の配向を制御し、これにより、各画素において、バックライト 5 から入射する光の透過量が制御される。

#### 【0028】

50

図4はゲート信号生成回路16の構成を示す模式図である。ゲート信号生成回路16は双方向にシフト動作を可能なシフトレジスタ部50を有する。図4は例として表示部10の左側に設けられるゲート信号生成回路16を示している。例えば、左側のゲート信号生成回路16は奇数行、つまり2行ごとのゲート信号線40を2H(Hは1行の水平走査期間である。)ずれたタイミングで順次駆動する。一方、右側のゲート信号生成回路16は偶数行のゲート信号線40を奇数行とは1Hずれたタイミングで順次駆動する。

【0029】

片側のゲート信号生成回路16のシフトレジスタ部50は4相のクロックで駆動する構成とするが、上述のように両側で互いに1H位相がずれた駆動とするため、ゲート信号線制御回路20は8相のクロック信号  $CK_1 \sim CK_8$  を生成する。ゲート信号線制御回路20はクロックパルスを、シフトレジスタ部50の順シフト動作時には順方向で順番に、つまり  $CK_1, CK_2, \dots, CK_8, CK_1, \dots$  の順序で生成する。一方、逆シフト動作時には逆方向で順番に、つまり  $CK_8, CK_7, \dots, CK_1, CK_8, \dots$  の順序で生成する。

10

【0030】

ゲート信号線制御回路20は、それぞれ2Hずつ位相がずれた信号の組である  $CK_1, CK_3, CK_5, CK_7$  からなる第1のセットと  $CK_2, CK_4, CK_6, CK_8$  からなる第2のセットとに分け、第1のセットを左側のゲート信号生成回路16へ供給し、第2のセットを右側のゲート信号生成回路16へ供給する。各段の単位レジスタ回路52は複数相のクロック信号のうち当該段の出力パルスのタイミングを定める位相のクロック信号(出力制御クロック信号)を1つ対応付けられる。例えば、左側のゲート信号生成回路16では先頭段(上側)から後尾段(下側)へ向けて  $CK_1, CK_3, CK_5, CK_7, CK_1, \dots$  の順序で1段ずつ位相を変えたクロック信号が出力制御クロック信号として供給される。一方、右側のゲート信号生成回路16では当該順序は  $CK_2, CK_4, CK_6, CK_8, CK_2, \dots$  とする。

20

【0031】

また、ゲート信号線制御回路20は、シフトレジスタ部50のシフト動作の開始、停止に関し、トリガ信号  $ST_1, ST_2$  及びリセット信号  $RS_1, RS_2$  を生成する。これら各信号は、例えば、トリガやリセットのタイミングにてHレベルに立ち上がるパルスを生じ、それ以外のタイミングではLレベルとされる。具体的には、ゲート信号線制御回路20は、順シフト動作の開始前に先頭段の単位レジスタ回路52にリセット信号  $RS_2$  のパルスを入力し、その後、先頭段にトリガ信号  $ST_1$  のパルスを入力してシフト動作を開始させる。また、順シフト動作の終了時には、後尾段の出力パルスが端子END1に入力された後、後尾段にリセット信号  $RS_1$  のパルスを入力する。一方、逆シフト動作ではその開始前に後尾段の単位レジスタ回路52にリセット信号  $RS_1$  のパルスを入力し、その後、後尾段にトリガ信号  $ST_2$  のパルスを入力してシフト動作を開始させ、終了時には、先頭段の出力パルスが端子END2に入力された後、先頭段にリセット信号  $RS_2$  のパルスを入力する。

30

【0032】

シフトレジスタ部50は、既に述べたように複数の単位レジスタ回路52を縦続接続した構成を有する。各単位レジスタ回路52はその出力端子OUTからパルスを出力する。シフトレジスタ部50は単位レジスタ回路52の各段から、順シフト動作では先頭段から順番にパルスを出力し、逆シフト動作では後尾段から順番にパルスを出力する。

40

【0033】

第k段の単位レジスタ回路52の出力端子OUTは、第(k+1)段の順シフト動作のセット端子IN1、第(k+2)段の逆シフト動作のリセット端子RST2、第(k-1)段の逆シフト動作のセット端子IN2、及び第(k-2)段の順シフト動作のリセット端子RST1に接続される。また、各段のクロック端子CKは、ゲート信号線制御回路20から  $CK_1 \sim CK_8$  を供給するクロック信号線のうち出力制御クロック信号として当該段に対応付けられたクロックに対応するものに接続される。

50

## 【0034】

さらに各单位レジスタ回路52は、後述する全段共通リセット動作に用いる端子RSTCを有する。

## 【0035】

図5は単位レジスタ回路52の概略の回路図である。単位レジスタ回路52はスイッチSW1～SW9及びインバータINV1～INV7を含んで構成される。これら各スイッチ及びインバータはTFT基板4に成膜されたLTPSを用いたTFTで構成される。なお、図5の単位レジスタ回路52は図14に示した単位レジスタ回路に対し、スイッチSW7～SW9、インバータINV6、INV7、及びリセット端子RSTCを有する点で相違している。

10

## 【0036】

ここで、スイッチSW8を互いに反転した制御信号で動作する相補型スイッチ(トランスマフアゲート回路)としてしていることに対応して、各单位レジスタ回路52はリセット端子RSTCとして一对の端子RST0、XRST0を備えている。端子RST0に入力される信号RSTは基本的にはゲート信号線制御回路20が出力するリセット信号RS1とRS2、つまりRS1及びRS2の論理的OR信号である。一方、端子XRST0に入力される信号XRSTは、RSTの反転信号である。

## 【0037】

ゲート信号生成回路16は、リセット信号RS1、RS2から各段の端子RSTC(つまり、RST0及びXRST0)に入力するリセットパルス生成回路54(図4)を備えている。当該回路54は例えば、図5に示すように、NORゲート60とインバータ61～63とで構成される。NORゲート60の入力はリセット信号RS1及びRS2であり、インバータ61～63はNORゲート60の出力端子に直列接続される。なお、インバータ61～63はバッファ回路として機能し、順番に駆動能力を上げ、全段の同時駆動を可能とする。インバータ63の出力が全段共通リセット信号RSTとして信号線64を介して全段の端子RST0に入力され、インバータ62の出力が全段共通リセット信号XRSTとして信号線65を介して全段の端子XRST0に入力される。上述したように、シフト動作の開始前及び終了時にリセット信号RS1、RS2はHレベルに立ち上がるパルスを生じ、これに対応して、シフト動作の開始前及び終了時に、信号RSTはHレベルに立ち上がるリセットパルスを生じ、信号XRSTはLレベルに立ち下がるリセットパルスを生じる。

20

30

## 【0038】

単位レジスタ回路52は、当該回路内の基準点P1がHレベルであるとクロック端子CKと出力端子OUTとの間を導通状態とする出力回路と、電源VGH(第1電源)と基準点P1との断続を制御する基準点セット回路と、電源VGL(第2電源)と基準点P1との断続を制御する基準点リセット回路とを有する。さらに、単位レジスタ回路52は基準点リセット回路として、他の段の単位レジスタ回路52の基準点リセット回路とは独立して制御可能な個別リセット回路に加え、全段の単位レジスタ回路52にて共通に制御される全段共通リセット回路を有する。

## 【0039】

具体的には、出力回路は、クロック端子CKと出力端子OUTとの間に直列接続されたSW5及びSW8を含む。また、INV3～INV5も出力回路に含まれる。SW5及びSW8はそれぞれpチャンネルのTFT(p-TFT)とnチャンネルのTFT(n-TFT)とを組み合わせたトランスマフアゲートであり、例えばクロック端子CK側から出力端子OUT側に向けて、SW8、SW5の順に直列接続される。INV3は入力端子を基準点P1に接続され、出力端子をSW5のp-TFTのゲートに接続される。INV4は入力端子をINV3の出力端子に接続され、出力端子をSW5のn-TFTのゲートに接続される。これにより、基準点P1がHレベルであるとき、SW5はオン状態となる。

40

## 【0040】

SW8のp-TFTのゲートは端子RST0からRSTを印加され、SW8のn-T

50

FTのゲートは端子 $X_{RST0}$ から $X_{RST}$ を印加され、シフトレジスタ部50がシフト動作を行っている間はオン状態であり、一方、シフト動作の開始前及び終了後にゲート信号線制御回路20がリセット信号 $RS_1$ 又は $RS_2$ にパルスを出力するとそれに応じて信号 $RST$ 、 $X_{RST}$ に生じるリセットパルスによりSW8はオフ状態となる。

【0041】

よって、シフト動作時にて、基準点P1がHレベルにセットされると、クロック端子CKと出力端子OUTとの間が導通状態となり、クロック端子CKに印加されるクロック信号が出力端子OUTへ出力される。つまり、クロック端子CKにクロックパルスが入力されると、それに同期して、出力端子OUTからパルスが出力される。一方、シフト動作時にて、基準点P1がLレベルにリセットされている期間は、SW5がオフ状態となるので、クロック端子CKにクロックパルスが入力されても、出力端子OUTからはパルスは出力されない。

10

【0042】

なお、INV5は入力端子をINV3の出力端子に接続され、出力端子を基準点P1に接続される。

【0043】

ここで、出力端子OUTには、上述の出力回路のほか、出力リセット回路としてSW6及びSW9が接続され、これらも出力端子OUTの電位に関与する。具体的には、SW6及びSW9はそれぞれ出力端子OUTにドレインを接続され、ソースを電源VGLに接続されたn-TFTからなる。SW6はゲートをINV3の出力端子に接続され、出力回路のSW5とは相補的にオン状態となる。またSW9はゲートをリセット端子RST0に接続され、全段共通リセット信号 $RST$ がリセットパルスにてHレベルとなるとオン状態となる。

20

【0044】

つまり、シフト動作にて基準点P1がHレベルにセットされている期間はSW6はオフ状態であり、またSW9もオフ状態であるので、上述のように、クロックパルスに同期して出力端子OUTからパルスが出力される。一方、シフト動作にて基準点P1がLレベルにリセットされている期間はSW6はオン状態であり、出力端子OUTをLレベルに維持する。

【0045】

また、各单位レジスタ回路52は、出力端子OUTにバッファ回路として順番に駆動能力を上げるように構成されたINV6及びINV7を備え、当該バッファ回路を介して他の単位レジスタ回路52と縦続接続される。ちなみに、2つのインバータ回路INV6、INV7は基本的にバッファ回路として利用するために設けられており、2段直列接続することによりINV6への入力とINV7からの出力とで電位関係が反転しないようにしている。つまり、上述した出力回路、出力リセット回路により設定されたHレベル又はLレベルは反転されずに他段へ入力される。

30

【0046】

単位レジスタ回路52に設けられる基準点セット回路は、電源VGHと基準点P1との断続を制御し、基準点P1をHレベルに設定する回路であり、SW3及びSW4を含む。また、INV1及びINV2も基準点セット回路に含まれる。SW3及びSW4はそれぞれドレインを基準点P1に接続され、ソースを電源VGHに接続されたp-TFTであり、SW3のゲートはINV1を介してセット端子IN1に接続され、SW4のゲートはINV2を介してセット端子IN2に接続される。セット端子IN1又はIN2にパルスが入力され、INV1又はINV2にHレベルが入力されると、SW3又はSW4がオンし、基準点P1をHレベルにセットする。これにより上述した出力回路がクロック信号に同期してパルスを出力可能となる。

40

【0047】

具体的には、順方向のシフト動作においては、第(k-1)段の単位レジスタ回路52の出力パルスが第k段のIN1に入力され、第k段の基準点P1がHレベルにセットされ

50

、出力回路が導通状態となる。順方向シフト動作ではクロック信号は第 $(k - 1)$ 段の次に第 $k$ 段にパルスが入力されるように位相を制御されるので、第 $(k - 1)$ 段が出力パルスを生成すると、それを受けて第 $k$ 段が出力パルスを生成し、これを繰り返すことで順方向のシフト動作が実現される。

【0048】

逆方向のシフト動作は順方向のシフト動作と逆の動作である。つまり、第 $(k + 1)$ 段の出力パルスが第 $k$ 段のIN2に入力され、第 $k$ 段の基準点P1がHレベルにセットされる。クロック信号は第 $(k + 1)$ 段の次に第 $k$ 段にパルスが入力されるように位相を制御されるので、第 $(k + 1)$ 段が出力パルスを生成すると、それを受けて第 $k$ 段が出力パルスを生成し、これを繰り返すことで逆方向のシフト動作が実現される。

10

【0049】

ちなみに、既に述べたように、順方向のシフト動作では先頭段のIN1はゲート信号線制御回路20からトリガ信号 $S_{T1}$ のパルスを入力され、逆方向のシフト動作では後尾段のIN2はゲート信号線制御回路20からトリガ信号 $S_{T2}$ のパルスを入力され、それぞれシフト動作が開始される。

【0050】

単位レジスタ回路52に設けられる基準点リセット回路は、電源VGLと基準点P1との断続を制御し、基準点P1をLレベルに設定する回路であり、SW1、SW2及びSW7を含む。

【0051】

これらのうちSW1及びSW2は上述した個別リセット回路であり、他の段の単位レジスタ回路52の基準点リセット回路とは独立して制御可能である。SW1及びSW2はそれぞれドレインを基準点P1に接続され、ソースを電源VGLに接続された $n - T F T$ であり、SW1のゲートはリセット端子RST1に接続され、SW2のゲートはリセット端子RST2に接続される。リセット端子RST1又はRST2にパルスが入力されると、SW1又はSW2がオンし基準点P1をLレベルにリセットする。これにより、出力パルスを生成した単位レジスタ回路52は、基準点P1の電位をHレベルからLレベルに戻し出力回路をオフするので、再びクロック端子CKにクロックパルスが入力されても、出力端子OUTからパルスを出力しない。

20

【0052】

具体的には、順方向のシフト動作においては、第 $(k + 2)$ 段の単位レジスタ回路52の出力パルスが第 $k$ 段のRST1に入力され、第 $k$ 段の基準点P1がLレベルにリセットされ、逆方向のシフト動作においては、第 $(k - 2)$ 段の出力パルスが第 $k$ 段のRST2に入力され、第 $k$ 段の基準点P1がLレベルにリセットされる。

30

【0053】

ちなみに、既に述べたように、順方向のシフト動作の終了時には、出力パルスを生成した後尾段はRST1にゲート信号線制御回路20からリセット信号 $R_{S1}$ のパルスを入力され、逆方向のシフト動作の終了時には、出力パルスを生成した先頭段はRST2にゲート信号線制御回路20からリセット信号 $R_{S2}$ のパルスを入力され、それぞれ基準点P1をLレベルにリセットされる。

40

【0054】

SW1及びSW2が個別リセット回路を構成するのに対し、SW7は全段の単位レジスタ回路52にて共通に制御される全段共通リセット回路を構成する。SW7はドレインを基準点P1に接続され、ソースを電源VGLに接続された $n - T F T$ であり、SW7のゲートはリセット端子RST0に接続される。全段の単位レジスタ回路52の端子RST0は上述したように、信号線64を介して共通に、全段共通リセット信号 $R_{ST}$ を入力される。信号 $R_{ST}$ のリセットパルスがリセット端子RST0に入力されるとSW7はオンし基準点P1をLレベルにリセットする。これにより、全段の基準点P1の電位がLレベルに設定される。

【0055】

50

さて、上述したように、図 14 に示した単位レジスタ回路と比較した図 5 の単位レジスタ回路 52 の特徴は、スイッチ SW7 ~ SW9、インバータ INV6, INV7、及びリセット端子 RSTC を有する点にある。液晶表示装置 1 は当該特徴により、上述した電源異常オフ時にゲート信号線制御回路 20 が画素電荷リセット機能を実行して動作停止した状態からの動作再開にて、ゲート信号生成回路 16 の異常動作を防ぐ。

【0056】

当該異常動作は、電源異常オフ時にドライバ IC がゲート信号生成回路への電源線及び制御信号線に全て H レベルを供給して動作停止し、その後、動作再開した際に、単位レジスタ回路の比較的多数の段の出力スイッチ SW5 が同時にオン状態となり、クロック端子 CK のクロック信号を供給するドライバ IC にて過電流を誘発するというものであった。

10

【0057】

この現象を解析した結果、画素電荷リセット機能により、単位レジスタ回路の全体を H レベルとした後、単位レジスタ回路の電源 VGH, VGL、及び各入力端子への電圧供給が停止し動作停止状態となる際に、基準点 P1 の電位が一律には定まらず、当該電位が H レベルに維持される単位レジスタ回路が多く生じ得、そのため過電流が生じることが分かった。動作停止状態となる際に基準点 P1 の電位が一律には定まらない理由は、動作停止時に単位レジスタ回路 52 の各入力端子の電位の低下の仕方が必ずしも一様とまらないからであると考えられる。例えば、SW1 だけを考慮すると、RST1 の電位が H レベルから低下して SW1 がオフになるタイミングが、VGL の H レベルからの電位低下より早ければ、基準点 P1 が比較的高電位でフローティングの状態となり得、一方、逆のタイミングであれば基準点 P1 が比較的低い電位まで低下してフローティングの状態となり得る。

20

【0058】

この動作停止時の基準点 P1 の電位が H レベルとなる事象は半導体層を a-Si で形成した TFT を用いた単位レジスタ回路でも生じ得る。しかし、a-Si で形成した TFT を用いた単位レジスタ回路では、TFT のオフリーク電流が比較的大きいため、基準点 P1 が H レベルの状態は動作再開まで維持されず、それ故、p-Si で形成した TFT を用いた単位レジスタ回路と同様の問題は生じなかったと推察される。

【0059】

単位レジスタ回路 52 は上述の特徴により当該問題に対処する。この点に関する単位レジスタ回路 52 の特徴の 1 つは、電源 VGL と基準点 P1 との断続を制御する基準点リセット回路として、SW1 及び SW2 の他に、全段共通リセット回路となる SW7 を含む点にある。SW7 はリセット信号  $RS_1, RS_2$  から生成される信号  $RST$  によりシフト動作の開始前及び開始後にオンされ、基準点 P1 を L レベルに設定する。これにより、電源異常オフ後の動作停止にて全段の単位レジスタ回路 52 の基準点 P1 が L レベルに設定される。つまり、電源異常オフ後の動作停止にて基準点 P1 が H レベルに維持されている単位レジスタ回路 52 においても基準点 P1 が L レベルに設定されるので、シフト動作の再開時に複数段が同時に出力パルスを生成する現象が防止され、ドライバ IC の過電流を回避できる。

30

【0060】

また、SW7 をオンして基準点 P1 を L レベルにリセットする動作が完了するまでにたとえクロック端子 CK にクロックパルスが入力されたとしても、単位レジスタ回路 52 は、出力回路の SW8 をオフすることで、出力端子 OUT を経由したゲート信号線制御回路 20 からゲート信号線 40 への電流供給が阻止され、上記過電流の発生を防止できる特徴を有する。

40

【0061】

さらに、単位レジスタ回路 52 は、SW7 をオンして基準点 P1 を L レベルにリセットする動作が完了するまでに例えば SW8 のオフタイミングのずれなどでクロック端子 CK の H レベルが出力端子 OUT に伝達したとしても、出力リセット回路の SW9 をオンすることで、出力端子 OUT の電位が H レベルに上昇することを防止し、他段への波及を阻止することができる。つまり、或る段の単位レジスタ回路 52 の出力端子 OUT が H レベル

50

となると、当該出力端子OUTに端子IN1, IN2が接続される他段の基準点P1がHレベルにセットされ出力端子OUTがHレベルになり得、これが連鎖してシフトレジスタ部50の異常転送を生じるおそれがあるが、SW9はこれを防止する。

#### 【0062】

これらSW7～SW9により複数段の単位レジスタ回路52が同時にパルスを出力する異常状態の収束を図ることができる。しかし、例えば、当該異常状態で生じたゲート信号線制御回路20のクロック信号線の駆動能力の低下に関して、その回復に遅延が生じるなどした場合、正常に動作した単位レジスタ回路52からの出力パルスの振幅が不十分となり、端子RST1又はRST2に当該出力パルスを入力される他段にて基準点リセット回路のSW1又はSW2がオンせず、シフト動作にてセットされた基準点P1のHレベルがリセットされない結果、複数段から出力パルスが生成される異常状態が生じ得る。この点、INV6, INV7からなるバッファ回路を設けることで、ゲート信号線制御回路20の駆動能力が低下していても、他段のSW1, SW2を駆動可能な出力パルスを得ることができ、シフト動作にてHレベルにセットされた基準点P1を確実にリセットし、上述の異常状態を回避できる。

10

#### 【0063】

電源異常オフ時に画素電荷リセット機能を実行するドライバIC12に対応した上述の特徴を有する単位レジスタ回路52の他の回路構成の例を示す。図6、図7は単位レジスタ回路52の他の回路構成の例を示す回路図である。図6及び図7の回路において、上述した図5の回路と同様の構成要素には同一の符号を付している。図6及び図7の回路は、基準点セット回路、及び基準点リセット回路(個別リセット回路及び全段共通リセット回路)をRSフリップフロップ回路で構成している。なお、当該回路は半導体層がLTPSからなるTFTを用いて構成される。

20

#### 【0064】

具体的には、図6の単位レジスタ回路52aは、NORゲート70a, 72aと、SW5, SW6, SW8, SW9, INV6, INV7とを有する。NORゲート70aの入力端子は端子IN1, IN2及びNORゲート72aの出力端子に接続され、NORゲート70aの出力端子は、SW5を構成するp-TFTのゲート、SW6を構成するn-TFTのゲート、及びNORゲート72aの入力端子に接続される。一方、NORゲート72aの入力端子は端子RST1, RST2, RST0及びNORゲート70aの出力端子に接続され、NORゲート72aの出力端子は、SW5を構成するn-TFTのゲート及びNORゲート70aの入力端子に接続される。

30

#### 【0065】

また、図7の単位レジスタ回路52bは、NORゲート70b, 72bと、NANDゲート74, 76と、SW5, SW6, SW8, SW9, INV6, INV7とを有する。NORゲート70bの入力端子は端子IN1, IN2に接続され、NORゲート70bの出力端子はNANDゲート74の入力端子に接続される。NORゲート72bの入力端子は端子RST1, RST2, RST0に接続され、NORゲート72bの出力端子はNANDゲート76の入力端子に接続される。NANDゲート74の入力端子はNORゲート70bの出力端子及びNANDゲート76の出力端子に接続され、NANDゲート74の出力端子はSW5を構成するn-TFTのゲート、及びNANDゲート76の入力端子に接続される。一方、NANDゲート76の入力端子はNORゲート72bの出力端子及びNANDゲート74の出力端子に接続され、NANDゲート76の出力端子はSW5を構成するp-TFTのゲート、SW6を構成するn-TFTのゲート、及びNANDゲート74の入力端子に接続される。

40

#### 【0066】

以上説明した構成によりシフトレジスタ部50は、電源異常オフ時に画素電荷リセット機能を実行するドライバIC12を用いて動作させることができる。つまり、ドライバIC12として、半導体層をa-Siで形成したTFT基板の駆動に用いるものを採用して、シフトレジスタ部50を動作させることができる。一方、その場合、当該ドライバIC

50

12に設けられる基準電圧線駆動回路24の出力電圧が、半導体層がa-Siである画素トランジスタを有する画素回路に対応した範囲に設定され、当該電圧範囲が半導体層にLTPSを用いた画素トランジスタ32を有する画素回路30の駆動に適さないことが起こり得る。

【0067】

基準電圧線駆動回路24が各画素の共通電極に供給するコモン信号の電圧は、フィードスルー現象により画素電極の電位 $V_p$ に生じる変動(フィードスルー電圧 $V_p$ )を考慮して設定される。フィードスルー現象は、画素トランジスタのゲート-画素電極間の寄生容量 $C_{GD}$ に起因する。具体的には、画素トランジスタのゲートパルスがオンの時に液晶容量 $C_{LC}$ 、蓄積容量 $C_S$ 、及び寄生容量 $C_{GD}$ に充電された電荷が、ゲートパルスがオフになった瞬間に各々の容量に再分配されることにより、画素電極の電位 $V_p$ が映像信号線から印加された映像信号電圧から変動する現象である。ちなみに、ゲートパルスの電圧がオフ時に $V_H$ から $V_L$ に低下するのに対応して、画素電極の電位 $V_p$ は $V_p$ だけ低下する。

10

【0068】

フィードスルー電圧 $V_p$ は次式で表される。ここで、 $V_G$ はゲートパルスの振幅であり、本実施形態では $V_G$ は電源 $V_{GH}$ と $V_{GL}$ との電位差となり、 $V_G = V_H - V_L$ である。

$$V_p = V_G C_{GD} / (C_{GD} + C_{LC} + C_S)$$

【0069】

a-Siを用いたTFTにて寄生容量 $C_{GD}$ となるゲート-ドレイン間の寄生容量は概して、LTPSを用いたTFTほどには小さくできず、半導体層がa-Siからなる画素回路におけるフィードスルー電圧 $V_p$ は、半導体層がLTPSからなる画素回路よりも大きくなる。

20

【0070】

ここで、画素の交流駆動においてフリッカーなどを防止するために、コモン電位はこのフィードスルー電位 $V_p$ に応じてシフトされる。そのためにコモン電位を供給する基準電圧線駆動回路24はその出力電圧の調整可能範囲を、想定されるフィードスルー電位 $V_p$ に応じて設定される。

【0071】

しかし、上述のフィードスルー電位 $V_p$ の差異により、a-Siを用いたTFT基板の駆動用に作られたドライバIC12における基準電圧線駆動回路24の出力電圧の調整可能範囲は、LTPSを用いたTFT基板にて用いられるコモン電位を必ずしも含まない。

30

【0072】

ここで、ドライバIC12の基準電圧線駆動回路24が想定するフィードスルー電圧をフィードスルー電圧の仮設定値 $V_{pA}$ と表現する。つまり、基準電圧線駆動回路24は $V_{pA}$ に対応したコモン信号を供給する。 $V_{pA}$ はa-Siを用いたTFT基板に対応しており、基本的にLTPSを用いたTFT基板にとっては過大となる。そこで本実施形態の表示パネル2では、画素回路30における実際のフィードスルー電圧 $V_p$ を当該仮設定値 $V_{pA}$ に適合させるように、画素トランジスタ32のゲート電極と画素電極34との間に並列に付加容量を設ける。つまり、付加容量を設けることで寄生容量 $C_{GD}$ を増加させ、フィードスルー電圧 $V_p$ を基準電圧線駆動回路24の出力電圧の調整範囲が対応可能な仮設定値 $V_{pA}$ まで大きくする。

40

【0073】

図8は画素を示す模式的な平面図であり、図9は図8のIX-IX線に沿った模式的な垂直断面図である。図8の平面図には、TFT基板4に形成される画素回路30に関し、画素トランジスタ32の他、画素電極34、行方向に配線されたゲート信号線40、列方向に配線された映像信号線44が表されている。図8では省略しているが、共通電極36もTFT基板4に形成される。画素電極34は行方向に延在された部分34hから列方向

50

に延びる複数のくし歯部分 34v を有する。共通電極 36 は、垂直断面構造にて画素電極 34 よりも T F T 基板 4 側に形成され、絶縁膜 114 ( 図 9 に示す ) を介して、画素電極 34 と対向して配置されている。この共通電極 36 は、画素電極 34 とドレイン電極 84 とが接続するコンタクトホール 116 ( 図 9 に示す ) と重なる部分を除いて、平面状に形成されている。これにより画素電極 34 と共通電極 36 との間に横方向の電界を発生させる。

【 0074 】

画素トランジスタ 32 は半導体層 80、ゲート電極 82、ドレイン電極 84 を有する。半導体層 80 は L T P S からなり、図 9 に示すように、ガラスなどを材料とする基板 100 の表面に絶縁膜 102 などを介して積層される。半導体層 80 のうちトランジスタのチャネル領域に対応してゲート電極 82 がゲート絶縁膜 104 を介して積層される。ゲート電極 82 はゲート信号線 40 と同層の導電膜からなり、ゲート信号線 40 と一体的に形成されている。ゲート電極 82 の上には絶縁膜 106 が積層され、その上に積層される導電膜をパターニングして、映像信号線 44 及びドレイン電極 84 が形成される。なお、チャネル領域の下には、バックライトから当該領域への光を遮るための遮光メタル膜 107 が配置される。

10

【 0075 】

半導体層 80 のチャネル領域の両側はトランジスタのソース領域、ドレイン領域とされ、ドレイン電極 84 はコンタクトホール 108 を介してドレイン領域に接続される。一方、ソース領域にはソース電極として映像信号線 44 がコンタクトホール ( 不図示 ) を介して接続される。

20

【 0076 】

ドレイン電極 84 及び映像信号線 44 の上に絶縁膜 112 が積層され、その上に積層される酸化インジウムスズ ( Indium Tin Oxide : I T O ) や酸化インジウム亜鉛 ( Indium Zinc Oxide : I Z O ) 等の透明導電材によって共通電極 36 が形成される。さらにその上に絶縁膜 114 が積層され、その上に積層される I T O、I Z O 等の透明導電材をパターニングして画素電極 34 が形成される。画素電極 34 はコンタクトホール 116 を介してドレイン電極 84 に接続される。なお、画素電極 34 と共通電極 36 の形成位置は逆でもよく、その場合は、画素電極 34 は平面状に形成され、共通電極 36 は複数のくし歯部分を有するように形成されている。

30

【 0077 】

画素電極 34 が形成された T F T 基板 4 の表面には配向膜 118 が形成される。また、対向基板 3 のガラスなどを材料とする基板 120 の液晶側の表面にはカラーフィルタやブラックマトリクスなどが形成された層 122 が形成され、その表面に例えば、表面を平坦化させるオーバーコート層 124 が形成された後、配向膜 126 が形成される。T F T 基板 4 の配向膜 118 と対向基板 3 の配向膜 126 との間の隙間に液晶層 128 が設けられる。なお、T F T 基板 4 と対向基板 3 との間の隙間は、図示しないスペーサによって保持されている。

【 0078 】

図 8、図 9 は上述した付加容量を特には設けていない構造を示している。これに対し、次に付加容量を設けた構造を示す。図 10 は図 8 と同様、画素を示す模式的な平面図であり、図 11 は図 10 の X I - X I 線に沿った模式的な垂直断面図である。図 10、図 11 では、ゲート信号線 40 と半導体層 80 とに重複領域を設けて、ゲート - 画素電極間の寄生容量  $C_{GD}$  となる付加容量が形成されている。具体的には、図 10、図 11 において、ゲート信号線 40 及び半導体層 80 それぞれに図 8、図 9 と比べて拡張された拡張部分 40a、80a が設けられ、それらに互いに重なる領域 130 を設け付加容量が形成される。

40

【 0079 】

また図 12 は図 8、図 10 と同様、画素を示す模式的な平面図であり、図 13 は図 12 の X I I I - X I I I 線に沿った模式的な垂直断面図である。図 12、図 13 では、ゲ-

50

ト信号線 40 とドレイン電極 84 とに重複領域を設けて、ゲート - 画素電極間の寄生容量  $C_{GD}$  となる付加容量が形成されている。具体的には、図 12、図 13 において、ゲート信号線 40 及びドレイン電極 84 それぞれに図 8、図 9 と比べて拡張された拡張部分 40b, 84b が設けられ、それらに互いに重なる領域 132 を設け付加容量が形成される。  
 【0080】

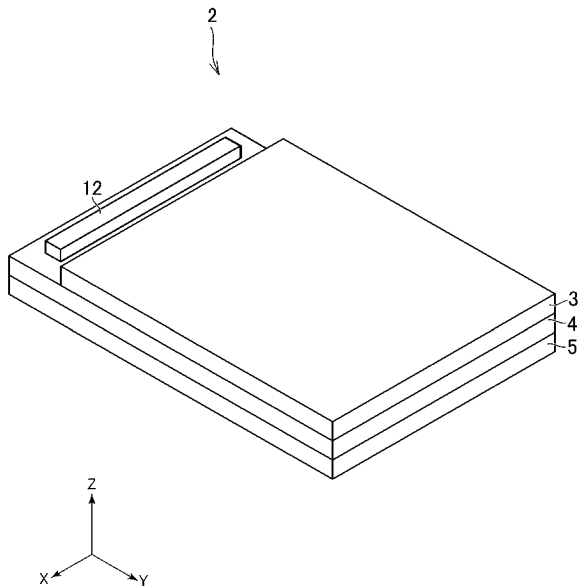
本発明は、上述した実施形態に限定されるものではなく種々の変形が可能である。例えば、実施形態で説明した構成は、実質的に同一の構成、同一の作用効果を奏する構成又は同一の目的を達成することができる構成で置き換えることができる。

【符号の説明】

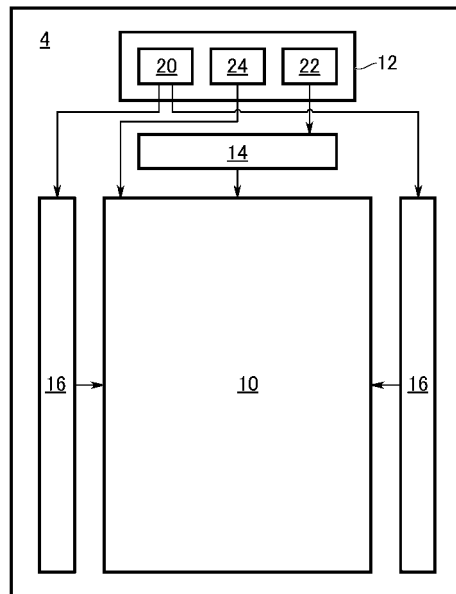
【0081】

1 液晶表示装置、2 表示パネル、3 対向基板、4 TFT基板、5 バックライト、10 表示部、12 ドライバIC、14 RGBスイッチ回路、16 ゲート信号生成回路、20 ゲート信号線制御回路、22 映像信号線駆動回路、24 基準電圧線駆動回路、30 画素回路、32 画素トランジスタ、34 画素電極、36 共通電極、40 ゲート信号線、42 コモン信号線、44 映像信号線、50 シフトレジスタ部、52 単位レジスタ回路、80 半導体層、82 ゲート電極、84 ドレイン電極、100, 120 基板、102, 106, 112, 114 絶縁膜、104 ゲート絶縁膜、108, 116 コンタクトホール、118, 126 配向膜、128 液晶層。

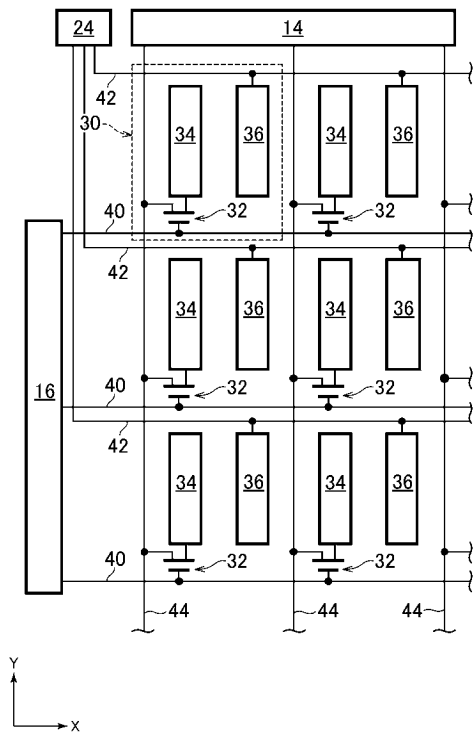
【図 1】



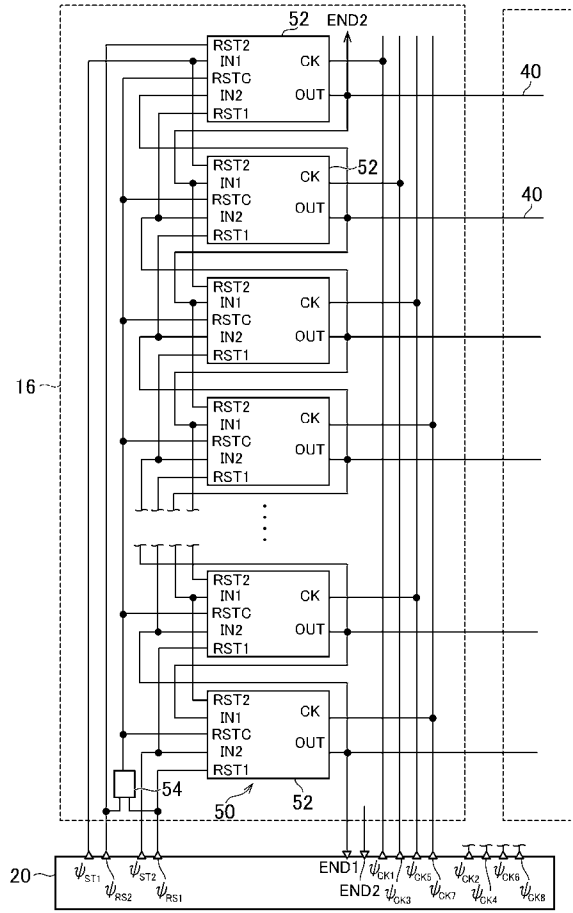
【図 2】



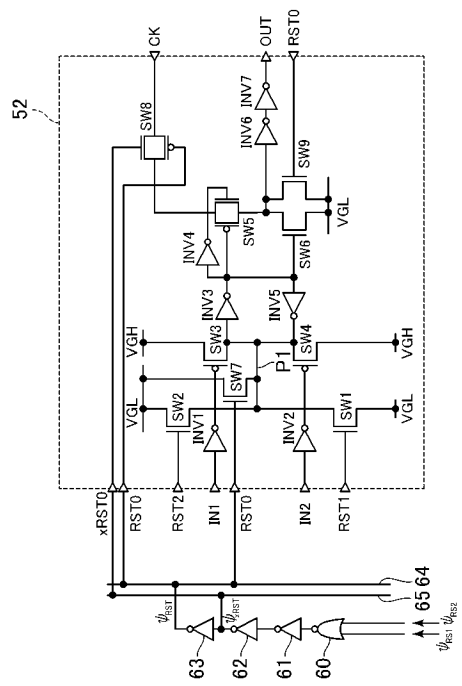
【 図 3 】



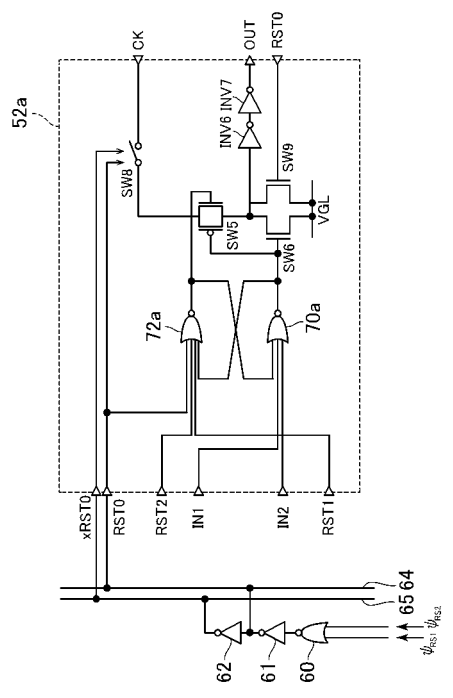
【 図 4 】



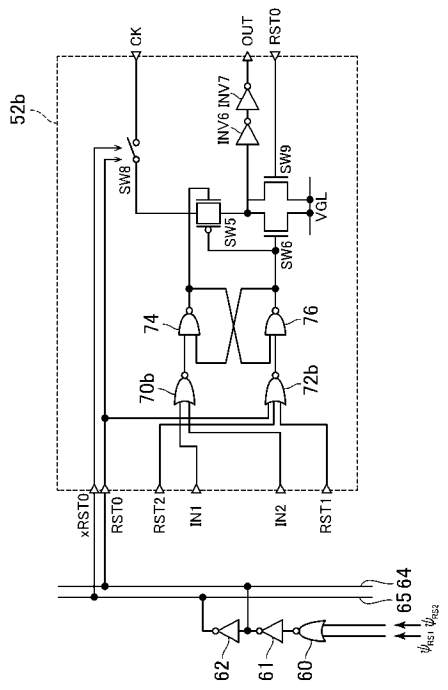
【 図 5 】



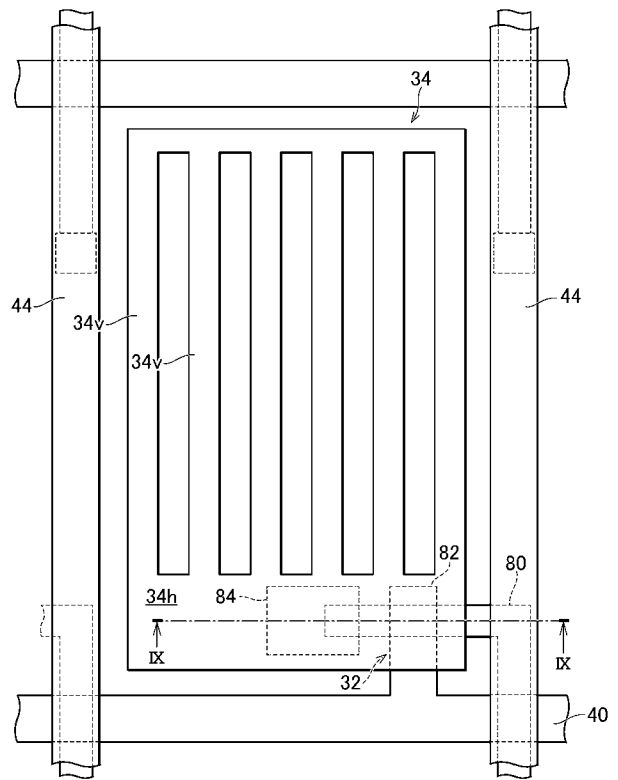
【 図 6 】



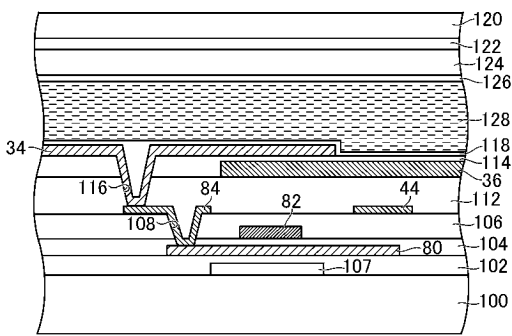
【 図 7 】



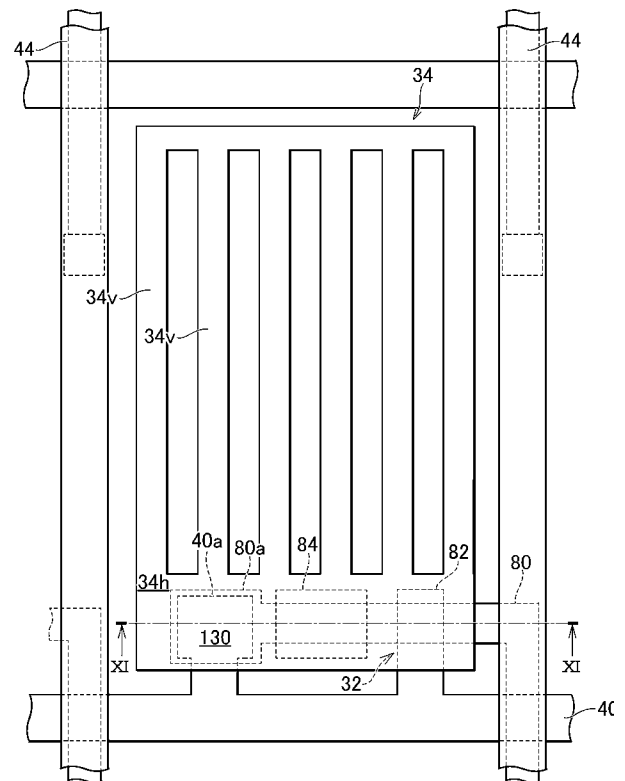
【 図 8 】



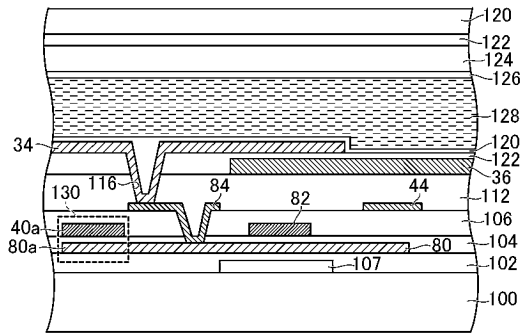
【 図 9 】



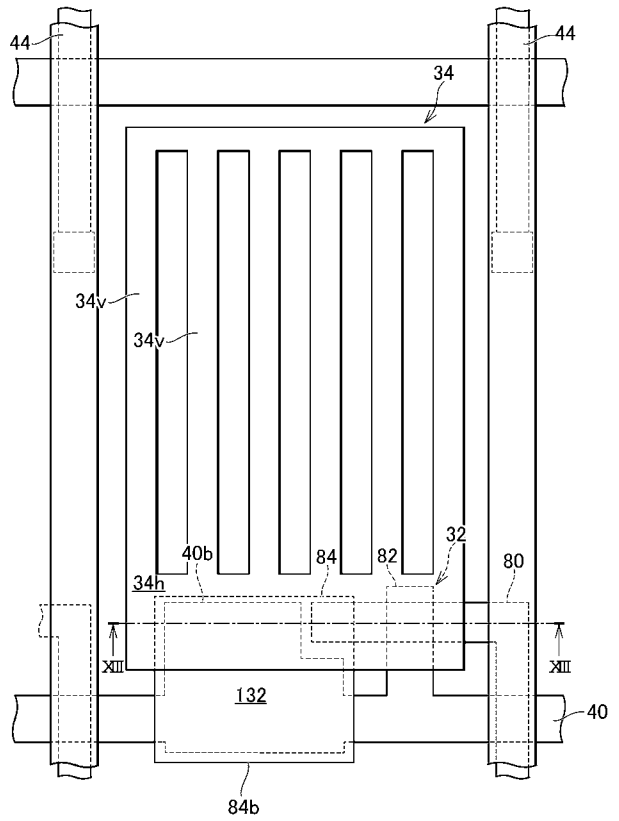
【 図 10 】



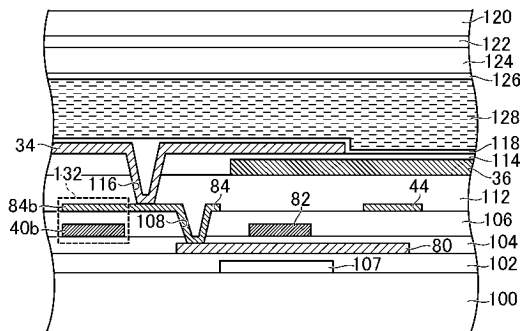
【 図 1 1 】



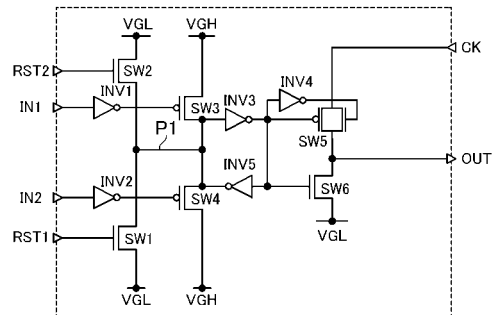
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



---

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
G 0 2 F 1/133 5 5 0  
G 0 2 F 1/1368

(72)発明者 落合 孝洋

東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

Fターム(参考) 2H192 AA24 BB13 BC31 CB02 CB34 CB45 CB46 CC42 EA15 FB03  
GD61 JA32  
2H193 ZA04 ZA07 ZC25 ZE21 ZE31 ZF23 ZF32 ZQ16  
5C006 AC25 AF67 AF68 AF72 BB16 BC03 BC06 BC20 BF03 BF26  
BF27 BF33 BF34  
5C080 AA10 BB05 DD09 FF01 FF11 FF12 JJ02 JJ03 JJ04 JJ06

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP2019003141A</a>	公开(公告)日	2019-01-10
申请号	JP2017119761	申请日	2017-06-19
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	平林幸哉 笹沼啓太 白神謙吾 落合孝洋		
发明人	平林 幸哉 笹沼 啓太 白神 謙吾 落合 孝洋		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G02F1/1368		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.670.M G09G3/20.624.B G02F1/133.505 G02F1/133.550 G02F1/1368		
F-TERM分类号	2H192/AA24 2H192/BB13 2H192/BC31 2H192/CB02 2H192/CB34 2H192/CB45 2H192/CB46 2H192/CC42 2H192/EA15 2H192/FB03 2H192/GD61 2H192/JA32 2H193/ZA04 2H193/ZA07 2H193/ZC25 2H193/ZE21 2H193/ZE31 2H193/ZF23 2H193/ZF32 2H193/ZQ16 5C006/AC25 5C006/AF67 5C006/AF68 5C006/AF72 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC20 5C006/BF03 5C006/BF26 5C006/BF27 5C006/BF33 5C006/BF34 5C080/AA10 5C080/BB05 5C080/DD09 5C080/FF01 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

驱动使用LTPS与具有异常关闭电源时的像素电荷复位功能的驱动器IC的液晶显示装置。用于驱动栅极信号线的栅极信号发生电路包括移位寄存器部分，该移位寄存器部分包括级联连接的多级单元寄存器电路。单元寄存器电路52，在单位寄存器电路，输出电路和电源VGH基准点P1的电位和用于控制时钟信号的输入端子CK和输出脉冲的输出端子OUT之间的导通/非导通的参考具有用于控制基准点设定电路之间的导通/非导通，用于控制导通/非导通，电源VGL和点P1之间的参考点P1的基准点复位电路。基准点复位电路的各个阶段包括由复位脉冲导通的开关SW7，设定基准点P1到从驱动器IC输出的开始前和移位寄存器单元的移位动作的结束后，电源VGL的潜力。点域5

