

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-146697

(P2018-146697A)

(43) 公開日 平成30年9月20日(2018.9.20)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G02F 1/1343 (2006.01)	G02F 1/1343	2H192

審査請求 未請求 請求項の数 10 O L (全 19 頁)

(21) 出願番号	特願2017-40041 (P2017-40041)	(71) 出願人	502356528
(22) 出願日	平成29年3月3日 (2017.3.3)		株式会社ジャパンディスプレイ
		(74) 代理人	110002066
			特許業務法人筒井国際特許事務所
		(72) 発明者	岩壁 靖
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内
		(72) 発明者	廣澤 仁
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内
		(72) 発明者	井桁 幸一
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内

最終頁に続く

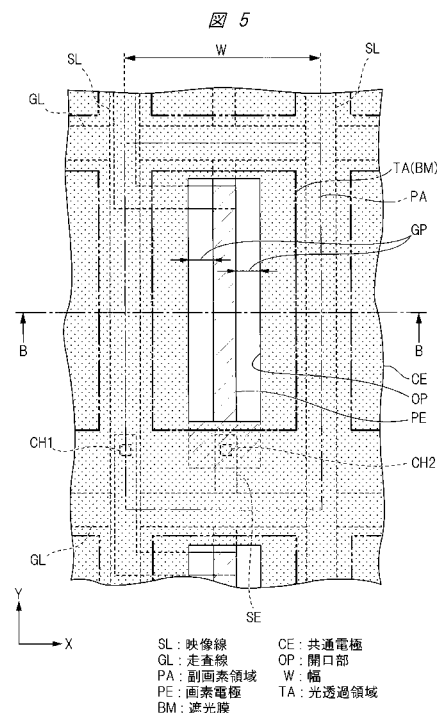
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】高精細化で高速応答を実現する表示装置を提供する。

【解決手段】表示装置は、遮光膜BMと、絶縁性基材上にある複数の映像線SLおよび複数の走査線GLと、平面視において、複数の映像線SLと複数の走査線GLとに囲まれた副画素領域PA内にある画素電極PEおよび共通電極CEと、画素電極PEと共通電極CEとの間で発生する電界によって駆動される液晶層と、を備える。遮光膜BMで囲まれた光透過領域TAにおいて、画素電極PEの形状は、分岐部を有しない線形状である。共通電極CEは、複数の映像線SLおよび複数の走査線GLと重畳し、画素電極PEと重畳する開口部OPを有する。さらに、液晶層の液晶分子は正の誘電率を有する。そして、副画素領域PAの幅Wは13 μm以下である。

【選択図】図5



【特許請求の範囲】

【請求項 1】

絶縁性基材と、
前記絶縁性基材上にある複数の映像線および複数の走査線と、
前記複数の映像線および前記複数の走査線と重畳する遮光膜と、
平面視において、前記複数の映像線と前記複数の走査線とに囲まれた副画素領域内にあ
る第 1 電極および第 2 電極と、
前記第 1 電極と前記第 2 電極との間で発生する電界によって駆動される液晶層と、
を備え、
前記遮光膜で囲まれた光透過領域において、前記第 1 電極の形状は、分岐部を有しない
線形状であり、
前記第 2 電極は、前記複数の映像線および前記複数の走査線と重畳し、前記第 1 電極と
重畳する開口部を有し、
前記液晶層の液晶分子は正の誘電率を有し、
前記副画素領域の幅は $13\ \mu\text{m}$ 以下である、
表示装置。

【請求項 2】

請求項 1 に記載の表示装置において、
前記第 1 電極と前記第 2 電極との間にある絶縁層を備え、
前記第 2 電極は、前記絶縁層と前記液晶層との間にある、表示装置。

【請求項 3】

請求項 1 または 2 に記載の表示装置において、
前記第 1 電極は画素電極であり、前記第 2 電極は複数の前記副画素領域に渡って形成さ
れた共通電極である、表示装置。

【請求項 4】

請求項 1 ～ 3 のいずれか一項に記載の表示装置において、
前記光透過領域において、前記第 1 電極と前記第 2 電極とは重畳しない、表示装置。

【請求項 5】

請求項 1 ～ 4 のいずれか一項に記載の表示装置において、
前記液晶層の厚みは $2.8\ \mu\text{m}$ 以下である、表示装置。

【請求項 6】

請求項 5 に記載の表示装置において、
前記副画素領域の幅 W と前記液晶層の厚み T とは、 W/T が 3.5 以上の関係にある、
表示装置。

【請求項 7】

請求項 4 に記載の表示装置において、
前記開口部は、前記映像線または前記走査線と重畳する、表示装置。

【請求項 8】

請求項 1 ～ 7 のいずれか一項に記載の表示装置において、
前記映像線は第 1 方向に延在し、前記第 1 電極は前記第 1 方向に対して傾斜する方向に
延在している、表示装置。

【請求項 9】

請求項 8 に記載の表示装置において、
前記第 1 電極は屈曲部を有している、表示装置。

【請求項 10】

請求項 1 ～ 9 のいずれか一項に記載の表示装置において、
前記表示装置は、ヘッドマウントディスプレイに用いられる、表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、例えば、液晶表示装置に適用して有効な技術に関する。

【背景技術】

【0002】

例えば、液晶表示装置などの表示装置は、絶縁性基材上の複数の映像線と複数の走査線とに囲まれた副画素領域内にある画素電極および共通電極と、画素電極と共通電極との間で発生する電界によって駆動される液晶層と、を備えている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2015-40881号公報

10

【特許文献2】特開平9-179096号公報

【特許文献3】特開2015-118193号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上述のような表示装置は、例えばVR (Virtual Reality) 用のヘッドマウントディスプレイに用いられる。このヘッドマウントディスプレイでは、数センチ程度の距離から表示画面を見るため、高精細化が要求される。また、VR用では、動画対応のため、高速応答が要求される。よって、1本の画素電極に対して良好な共通電極の配置および形状も要求されている。

20

【0005】

そこで、本発明は、上述のような要求に対応するものであって、高精細化で高速応答を実現する表示装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0007】

本発明の一態様に係わる表示装置は、絶縁性基材と、絶縁性基材上にある複数の映像線および複数の走査線と、複数の映像線および複数の走査線と重畳する遮光膜と、平面視において、複数の映像線と複数の走査線とに囲まれた画素領域内にある第1電極および第2電極と、第1電極と第2電極との間で発生する電界によって駆動される液晶層と、を備える。遮光膜で囲まれた光透過領域において、第1電極の形状は、分岐部を有しない線形状である。第2電極は、複数の映像線および複数の走査線と重畳し、第1電極と重畳する開口部を有する。さらに、液晶層の液晶分子は正の誘電率を有する。そして、副画素領域の幅は13 μm以下である。

30

【図面の簡単な説明】

【0008】

【図1】実施の形態に係わる表示装置の一例を示す平面図である。

【図2】図1のA-A線に沿った断面図である。

40

【図3】実施の形態に係わる表示装置の等価回路の一例を示す図である。

【図4】実施の形態に係わる表示装置が適用されるヘッドマウントディスプレイの一例を示す説明図である。

【図5】実施の形態に係わる表示装置の副画素構造の一例を示す平面図である。

【図6】図5のB-B線に沿った断面図である。

【図7】実施の形態と実施の形態に対する比較例とにおいて、各モードにおける精細度に対する最大透過率と印加電圧との関係の一例を示す説明図である。

【図8】実施の形態と実施の形態に対する比較例とにおいて、各モードにおける精細度に対する透過率と印加電圧との関係を示す説明図である。

【図9A】実施の形態に係わる表示装置の副画素構造の変形例を示す平面図である。

50

【図 9 B】実施の形態に係わる表示装置の副画素構造の変形例を示す平面図である。

【図 1 0】他の実施の形態に係わる表示装置の副画素構造の一例を示す平面図である。

【図 1 1】図 1 0 の C - C 線に沿った断面図である。

【図 1 2】実施の形態に係わる表示装置の副画素構造の変形例を示す平面図である。

【発明を実施するための形態】

【0 0 0 9】

以下に、本発明の実施の形態について、図面を参照しつつ説明する。

【0 0 1 0】

なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。

10

【0 0 1 1】

また本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

【0 0 1 2】

さらに、実施の形態で用いる図面においては、断面図であっても図面を見やすくするためにハッチングを省略する場合もある。また、平面図であっても図面を見やすくするためにハッチングを付す場合もある。

20

【0 0 1 3】

また、本明細書において「 α は A、B または C を含む」、「 α は A、B および C のいずれかを含む」、「 α は A、B および C からなる群から選択される一つを含む」といった表現は、特に明示がない限り、 α が A ~ C の複数の組み合わせを含む場合を排除しない。さらに、これらの表現は、 α が他の要素を含む場合も排除しない。

【0 0 1 4】

以下の実施の形態で説明する技術は、電気光学層が設けられた表示領域に設けられた複数の素子に、表示領域の周囲から信号を供給する機構を備える表示装置に広く適用可能である。以下の実施の形態では、表示装置の代表例として、液晶表示装置を取り上げて説明する。

30

【0 0 1 5】

(実施の形態)

< 表示装置の構成 >

まず、図 1 および図 2 を参照し、表示装置の構成について説明する。図 1 は、本実施の形態に係わる表示装置の一例を示す平面図である。図 2 は、図 1 の A - A 線に沿った断面図である。なお、図 1 では見易さのため、表示領域 D P A では、走査線 G L (後述する図 3 参照) および映像線 S L (後述する図 3 参照) の図示を省略している。また、図 2 は、断面であるが、見易さのためにハッチングは省略している。

【0 0 1 6】

図 1 に示すように、本実施の形態の表示装置 L C D は、画像を表示する表示部 D P を有する。表示装置 L C D は、アレイ基板 B S と、対向基板 F S と、を有するが、例えばそのアレイ基板 B S のうち、表示部 D P が設けられた領域が、表示領域 D P A である。また、表示装置 L C D は、平面視において、表示部 D P の周囲の部分であって、画像を表示しない額縁部 (周辺部) F L を有する。額縁部 F L が設けられた領域が、額縁領域 F L A である。すなわち、額縁領域 F L A は、表示領域 D P A の外側の領域 (周辺領域) である。

40

【0 0 1 7】

なお、本願明細書において、平面視において、とは、図 1 に示すように、アレイ基板 B S の主面としての対向面 B S f (図 2 参照) に垂直な方向から視た場合を意味する。また、アレイ基板 B S の主面としての対向面 B S f 内で互いに交差、好適には直交する 2 つの方向を、X 軸方向および Y 軸方向とし、アレイ基板 B S の主面としての対向面 B S f に垂

50

直な方向を、Z軸方向（図2参照）とする。

【0018】

また、表示装置LCDは、対向配置される一对の基板の間に、電気光学層である液晶層が形成された構造を備える。すなわち、図2に示すように、表示装置LCDは、表示面側の対向基板FSと、対向基板FSの反対側に位置するアレイ基板BSと、対向基板FSとアレイ基板BSとの間に配置される液晶層LCLとを有する。

【0019】

また、図1に示すアレイ基板BSは、平面視において、X軸方向に沿って延びる辺BSs1、辺BSs1に平行してX軸方向に沿って延びる辺BSs2、X軸方向に対して交差、好適には直交するY軸方向に沿って延びる辺BSs3、および、辺BSs3に平行してY軸方向に沿って延びる辺BSs4を有する。図1に示すアレイ基板BSが有する辺BSs2、辺BSs3、および辺BSs4のそれぞれから表示部DPまでの距離は、同程度であって、辺BSs1から表示部DPまでの距離よりも短い。

10

【0020】

表示部DPは、複数の表示素子としての画素Pix（後述する図3参照）を有する。すなわち、複数の画素Pixは、アレイ基板BSの表示領域DPA上に設けられている。複数の画素Pixは、X軸方向およびY軸方向にマトリクス状に配列されている。本実施の形態では、複数の画素Pixの各々は、アレイ基板BSの対向面BSf側の表示領域DPAに形成された薄膜トランジスタ（Thin-Film Transistor：TFT）を有する。

【0021】

表示装置LCDは、後述する図3を用いて説明するように、複数の走査線GLと、複数の映像線SLと、を有する。後述する図3を用いて説明するように、複数の走査線GLの各々は、X軸方向に配列された複数の画素Pixと電氣的に接続され、複数の映像線SLの各々は、Y軸方向に配列された複数の画素Pixと電氣的に接続されている。

20

【0022】

また、表示装置LCDは、駆動回路CCを有する。駆動回路CCは、走査線駆動回路GDと、映像線駆動回路SDと、を含む。後述する図3を用いて説明するように、走査線駆動回路GDは、複数の走査線GLを介して、複数の画素Pixと電氣的に接続され、映像線駆動回路SDは、複数の映像線SLを介して、複数の画素Pixと電氣的に接続されている。

30

【0023】

図1に示す例では、額縁領域FLAは、額縁領域FLA1、FLA2、FLA3およびFLA4を含む。額縁領域FLA1は、平面視において、表示領域DPAに対して、Y軸方向における一方の側（図1中下側）に配置された領域であり、半導体チップCHPや図示しない外部回路基板が実装される領域である。額縁領域FLA2は、表示領域DPAを挟んで額縁領域FLA1と反対側（図1中上側）に配置された領域である。額縁領域FLA3は、平面視において、表示領域DPAに対して、X軸方向における一方の側（図1中左側）に配置された領域であり、額縁領域FLA4は、表示領域DPAを挟んで額縁領域FLA3と反対側に配置された領域である。

【0024】

図1に示す例では、アレイ基板BSには、半導体チップCHPが設けられている。半導体チップCHPは、平面視において、額縁領域FLA1内に実装されている。半導体チップCHP内には、映像線駆動回路SDが設けられている。したがって、映像線駆動回路SDは、アレイ基板BSの対向面BSf側の領域であって、Y軸方向において、表示領域DPAに対して一方の側に配置された領域である額縁領域FLA1に設けられている。

40

【0025】

なお、半導体チップCHPが実装された額縁領域FLA1を下額縁領域と称し、表示領域DPAを挟んで、額縁領域FLA1と反対側に配置された額縁領域FLA2を、上額縁領域と称することがある。このとき、表示領域DPAに対して額縁領域FLA1が配置された方向（Y軸方向）と交差する方向（X軸方向）における両側に配置された額縁領域F

50

L A 3 および F L A 4 を、それぞれ左額縁領域および右額縁領域と称することがある。

【 0 0 2 6 】

また、半導体チップ C H P は、いわゆる C O G (Chip On Glass) 技術を用いて額縁領域 F L A 1 に設けられてもよく、あるいは、アレイ基板 B S の外部に設けられ、 F P C (Flexible Printed Circuits) を介してアレイ基板 B S と接続されてもよい。額縁領域 F L A 1 には、アレイ基板 B S と外部とを接続する端子部が設けられる。

【 0 0 2 7 】

また、図 2 に示すように、表示装置 L C D は、額縁領域 F L A 内に配置されたシール S E L を有する。シール S E L は、表示部 D P の周囲を連続的に囲むように形成され、図 2 に示す対向基板 F S とアレイ基板 B S とは、シール S E L に設けられるシール材により接
10 着固定される。このように、表示部 D P の周囲にシール S E L を設けることで、電気光学層である液晶層 L C L を封止することができる。

【 0 0 2 8 】

また、図 2 に示すように、表示装置 L C D のアレイ基板 B S の背面 B S b 側には、光源や拡散板等の光学素子からなるバックライト L S と、バックライト L S から発生した光を偏光する偏光板 P L 2 が設けられている。偏光板 P L 2 は、アレイ基板 B S に固定されている。一方、対向基板 F S の背面 F S f 側には、偏光板 P L 1 が設けられている。偏光板 P L 1 は、対向基板 F S に固定されている。

【 0 0 2 9 】

なお、図 2 では、表示装置 L C D の基本的な構成部品を例示的に示しているが、変形例
20 としては図 2 に示す構成部品に加えて、タッチパネルや保護層等の他の部品を追加することができる。

【 0 0 3 0 】

また、後述する図 5 および図 6 等を用いて説明するように、表示装置 L C D は、複数の画素電極 P E および共通電極 C E を有する。本実施の形態の表示装置 L C D は、液晶層 L C L に電界を印加する方式が横電界モードの表示装置なので、複数の画素電極 P E および共通電極 C E は、それぞれアレイ基板 B S に形成されている。

【 0 0 3 1 】

アレイ基板 B S は、ガラス基板などからなり、主として画像表示用の回路が形成されている。アレイ基板 B S は、対向基板 F S 側に位置する対向面 B S f (図 2 参照)、および
30 、その反対側に位置する背面 B S b (図 2 参照) を有する。アレイ基板 B S の対向面 B S f 側には、 T F T などの駆動素子と、複数の画素電極 P E がマトリクス状に形成されている。また、アレイ基板 B S は、表示領域 D P A と、表示領域 D P A の外側に設けられた額縁領域 F L A と、を含む。アレイ基板 B S はガラス基板以外、ポリイミド等の樹脂で形成されたものであってもよい。

【 0 0 3 2 】

一方、対向基板 F S は、ガラス基板などからなり、カラー表示の画像を形成するカラーフィルタ (図示は省略) が形成されている。対向基板 F S は、表示面側である背面 F S f (図 2 参照)、および、背面 F S f の反対側に位置する対向面 F S b (図 2 参照) を有する。対向基板 F S は、アレイ基板 B S の対向面 B S f と、対向基板 F S の対向面 F S b と
40 が対向した状態で、アレイ基板 B S と対向配置されている。なお、アレイ基板 B S を T F T 基板と呼び、カラーフィルタが形成された対向基板 F S をカラーフィルタ基板と呼ぶこともできる。

【 0 0 3 3 】

対向基板 F S のカラーフィルタは、赤、緑および青の 3 色のカラーフィルタ画素が周期的に配列されたものである。各色のカラーフィルタ画素のそれぞれの境界には、遮光膜 (図示は省略) が形成されている。

【 0 0 3 4 】

本実施の形態の表示装置 L C D では、バックライト L S (図 2 参照) から出射された光は、偏光板 P L 2 (図 2 参照) によってフィルタリングされ、液晶層 L C L に入射する。
50

液晶層 L C L に入射した光は、液晶によって偏光状態を変化させて対向基板 F S から出射される。このとき、画素電極 P E と共通電極 C E に電圧を印加して形成される電界により、液晶の配向が制御され、液晶層 L C L は光学的なシャッターとして機能する。

【 0 0 3 5 】

< 表示装置の等価回路 >

次に、図 3 を参照し、表示装置 L C D の等価回路について説明する。図 3 は、本実施の形態に係わる表示装置 L C D の等価回路の一例を示す図である。

【 0 0 3 6 】

図 3 に示すように、表示装置 L C D の表示部 D P は、複数の画素 P i x を有する。複数の画素 P i x は、平面視において、表示領域 D P A 内で、アレイ基板 B S に設けられ、X 軸方向および Y 軸方向にマトリクス状に配列されている。

10

【 0 0 3 7 】

また、表示装置 L C D は、複数の走査線 G L と、複数の映像線 S L と、を有する。複数の走査線 G L は、表示領域 D P A で、アレイ基板 B S (例えば図 2 参照) に設けられ、X 軸方向にそれぞれ延在し、かつ、Y 軸方向に配列されている。複数の映像線 S L は、表示領域 D P A で、アレイ基板 B S に設けられ、Y 軸方向にそれぞれ延在し、かつ、X 軸方向に配列されている。複数の映像線 S L と、複数の走査線 G L とは、互いに交差する。

【 0 0 3 8 】

複数の画素 P i x の各々は、R (赤)、G (緑) および B (青) の各々の色を表示する副画素 S P i x を含む。副画素 S P i x の各々は、隣り合う 2 本の走査線 G L と、隣り合う 2 本の映像線 S L とに囲まれた副画素領域 P A に設けられているが、他の構成であってもよい。

20

【 0 0 3 9 】

各副画素 S P i x は、薄膜トランジスタからなるトランジスタ T r d と、トランジスタ T r d のドレイン電極に接続される画素電極 P E と、画素電極 P E と液晶層 L C L を挟んで対向する共通電極 C E と、を有する。図 3 では、共通電極 C E と画素電極 P E との間に形成される保持容量 C S を示す。なお、薄膜トランジスタのドレイン電極とソース電極とは電位の極性によって適宜入れ替わる。

【 0 0 4 0 】

表示装置 L C D の駆動回路 C C (図 1 参照) は、映像線駆動回路 S D と、走査線駆動回路 G D と、制御回路 C T L と、共通電極駆動回路 C D と、を有する。映像線駆動回路 S D 、制御回路 C T L および共通電極駆動回路 C D は、額縁領域 F L A 1 に実装される半導体チップ C H P 内に設けられている。走査線駆動回路 G D は、額縁領域 F L A 3 および額縁領域 F L A 4 に設けられている。

30

【 0 0 4 1 】

Y 軸方向に配列された複数の副画素 S P i x のトランジスタ T r d の各々のソース電極は、映像線 S L に接続されている。また、複数の映像線 S L の各々は、映像線駆動回路 S D に接続される。映像線駆動回路 S D は、各映像線 S L に映像信号を供給する。

【 0 0 4 2 】

また、X 軸方向に配列された複数の副画素 S P i x のトランジスタ T r d の各々のゲート電極は、走査線 G L に接続されている。また、各走査線 G L は、走査線駆動回路 G D に接続されている。走査線駆動回路 G D は、各走査線 G L に走査信号を供給する。

40

【 0 0 4 3 】

制御回路 C T L は、表示装置 L C D の外部から送信されてくる表示データ、クロック信号およびディスプレイタイミング信号等の表示制御信号に基づいて、映像線駆動回路 S D 、走査線駆動回路 G D および共通電極駆動回路 C D を制御する。

【 0 0 4 4 】

制御回路 C T L は、表示装置 L C D の副画素の配列や、表示方法、R G B スイッチ (図示は省略) の有無、あるいはタッチパネル (図示は省略) の有無等によって、外部から供給される表示データや表示制御信号を適宜変換して映像線駆動回路 S D 、走査線駆動回路

50

G D および共通電極駆動回路 C D に出力する。

【 0 0 4 5 】

< ヘッドマウントディスプレイ >

上述のような表示装置 L C D は、例えば図 4 に示すような V R (Virtual Reality) 用のヘッドマウントディスプレイ H M D に用いられる。図 4 は、本実施の形態に係わる表示装置 L C D が適用されるヘッドマウントディスプレイ H M D の一例を示す説明図である。

【 0 0 4 6 】

ヘッドマウントディスプレイ H M D は、上述した表示装置 L C D が組み込まれた本体を人の頭部 H D に装着する。これにより、本体を装着した人は、表示装置 L C D の表示画面に映し出された映像を見ることができる。このヘッドマウントディスプレイ H M D では、数センチ程度の距離から表示画面を見るため、高精細化が要求される。また、V R 用では、動画対応のため、高速応答が要求される。

【 0 0 4 7 】

そこで、本実施の形態は、上述のような要求に対応するものであって、高精細化で高速応答を実現する表示装置 L C D を提供することを目的とするものである。

【 0 0 4 8 】

例えば、表示装置 L C D では、高精細化するにしたがって、物理的に 1 画素の中に配置する画素電極 P E (櫛歯形状の電極) の分岐する電極の数が減少する。そして、最終的に分岐する数が 0 となり、電極としては 1 本 (直線状) になる。すなわち、高精細化を実現する副画素構造では、1 画素当たりの面積が小さいため、共通電極 C E の開口部には 1 本の画素電極 P E が配置された構造となる。

【 0 0 4 9 】

また、表示装置 L C D においては、液晶層 L C L に電界を印加する方式として、縦電界モードと横電界モードとがある。横電界モードは、液晶層 L C L を挟んで配置される一対のアレイ基板 B S および対向基板 F S のうちの一方のアレイ基板 B S の内面側に一対の画素電極 P E および共通電極 C E を互いに絶縁して設け、横方向の電界を液晶分子に対して印加するものである。この横電界モードとしては、一対の画素電極 P E および共通電極 C E が平面視において重畳しない I P S (In-Plane Switching) モードと、両者が重畳する F F S (Fringe Field Switching) モードとがある。

【 0 0 5 0 】

一般的に、I P S モードは、画素電極 P E 上および電極端部において、液晶に対する電界が弱い。そのため、画素電極 P E 上は、液晶が十分に回転せず透過率が低くなりやすい。これに対して、一般的に、F F S モードでは、画素電極 P E と共通電極 C E が強力なフリンジ電界を作るため、画素電極 P E 上や画素電極 P E 間においても比較的高い透過率を有する。例えば副画素解像度が 5 0 0 p p i 以下の表示装置において、I P S モードで F F S モードと同等の透過率を得ることはできたが、F F S モードと比較して非常に高い電圧を印加する必要があった。しかし、副画素が高精細をし、画素電極 P E の本数が 1 本になれば、電極数が極端に減る。この場合、特定の条件によっては I P S モードの透過率は F F S モードの透過率と同等になったり、I P S モードの方が F F S モードより高透過率になる。理由としては、F F S モードの場合、1 電極当たりの電界幅が狭いため電極本数が減ってしまうと副画素領域 P A 全体に電界を均一に印加することが難しくなってしまう。これによって副画素全体としては、I P S モードの方が高透過率になる場合がある。

【 0 0 5 1 】

また、表示装置 L C D の高速応答を実現するためには、液晶層 L C L に用いられる液晶がポジ型であるか、またはネガ型であるかが影響する。高速応答化のためには、ネガ型液晶よりも粘度が低いポジ型液晶が有利である。なお、ポジ型液晶は、液晶分子の長軸方向に電圧をかけたときの誘電率が短軸方向に電圧をかけたときの誘電率よりも大きい、正の誘電異方性を持つ。一方、ネガ型液晶は、液晶分子の長軸方向に電圧をかけたときの誘電率が短軸方向に電圧をかけたときの誘電率よりも小さい、負の誘電異方性を持つ。

【 0 0 5 2 】

< 副画素構造 >

以下、本実施の形態に係わる表示装置LCDにおいて、副画素構造を図5および図6を用いて説明する。図5は、本実施の形態に係わる表示装置LCDの副画素構造の一例を示す平面図である。図6は、図5のB-B線に沿った断面図である。図5および図6では、X軸方向およびY軸方向にマトリクス状に配列されている複数の副画素SPixのうち、1画素分の副画素構造を示している。副画素SPixの各々は、隣り合う2本の走査線GLと、隣り合う2本の映像線SLとに囲まれた副画素領域PAに設けられている。また、副画素SPixの各々は、遮光膜BMに囲まれた光透過領域TAを有している。

【0053】

図5および図6に示すように、アレイ基板BSは、絶縁性基材BSGと、絶縁性基材BSG上にある複数の映像線SLおよび複数の走査線GLと、複数の映像線SLと複数の走査線GLとに囲まれた副画素領域PAを備える。また、アレイ基板BSは、副画素領域PA内に第1電極および第2電極を備える。本実施の形態において、第1電極は画素電極PEであり、第2電極は共通電極CEである。アレイ基板BSの対向基板FS側には、画素電極PEと共通電極CEとの間で発生する電界によって駆動される液晶層LCLを備える。

10

【0054】

図6に示すように、アレイ基板BSは、例えば、絶縁性基材BSG上に、下地膜BFおよび絶縁層IL1~IL4を備える。アレイ基板BSにおいて、絶縁性基材BSG上には、下地膜BFが設けられている。下地膜BF上には、半導体層SE（図5参照）が設けられている。半導体層SEは、絶縁層IL1で覆われている。絶縁層IL1上には、走査線GL（図5参照）が設けられている。走査線GLは、絶縁層IL2で覆われている。絶縁層IL2上には、映像線SLが設けられている。映像線SLは、絶縁層IL3で覆われている。絶縁層IL3上には、画素電極PEが設けられている。画素電極PEは、絶縁層IL4で覆われている。絶縁層IL4上には、共通電極CEが設けられている。

20

【0055】

図5に示すように、アレイ基板BSにおいて、複数の走査線GLは、X軸方向にそれぞれ延在し、かつ、Y軸方向に配列されている。複数の映像線SLは、Y軸方向にそれぞれ延在し、かつ、X軸方向に配列されている。隣り合う2本の走査線GLと、隣り合う2本の映像線SLとに囲まれた領域が副画素領域PAである。映像線SLは、コンタクトホールCH1を通じて半導体層SEに接続されている。画素電極PEは、Y軸方向に延在する線形状である。画素電極PEは、コンタクトホールCH2を通じて半導体層SEに接続されている。共通電極CEは、画素電極PEとの間で隙間GPを有して開口し、Y軸方向に延在する線形状の開口部OPを有する。

30

【0056】

本実施の形態の表示装置LCDは、横電界モードの表示装置に適用しているので、画素電極PEおよび共通電極CEは、それぞれアレイ基板BSに形成されている。このアレイ基板BSにおいて、共通電極CEは画素電極PEよりも液晶層LCLに近い層に配置されている。画素電極PEおよび共通電極CEは、例えばITO（Indium Tin Oxide）などの透明導電性材料によって形成されている。

40

【0057】

図5に示すように、画素電極PEの形状は、遮光膜BMによって囲まれた光透過領域TA内において、分岐部を有しない線形状である。図5において、光透過領域TAは二点鎖線で示す矩形の内側の領域であり、遮光膜BMはこの二点鎖線で示す矩形の外側の領域に配置された膜である。遮光膜BMは、複数の映像線SLおよび複数の走査線GLと重畳する。また、共通電極CEは、画素電極PEと重畳する開口部OPを有する。すなわち、画素電極PEは、共通電極CEの開口部OPに1本が配置された構造、いわゆる1本の電極形状からなる構造になっている。

【0058】

さらに、画素電極PEおよび共通電極CEは、平面視において、画素電極PEの端部と

50

共通電極 C E の端部との間に隙間 G P がある。また、平面視において、かつ、副画素領域 P A 内において、共通電極 C E は画素電極 P E よりも外側に形成されている。加えて、光透過領域 T A 内において、画素電極 P E と共通電極 C E とは重畳していない。すなわち、画素電極 P E および共通電極 C E は、液晶層 L C L に電界を印加する方式として、横電界モードのうちの I P S モードを実現する構造になっている。

【 0 0 5 9 】

さらに、本実施の形態において、液晶層 L C L の液晶分子は、正の誘電率を有する。すなわち、液晶層 L C L に用いられる液晶は、ボジ型液晶の特性を持つ液晶材料が用いられている。

【 0 0 6 0 】

さらに、本実施の形態において、副画素領域 P A の幅 W は、例えば $13\ \mu\text{m}$ (精細度が約 $650\ \text{ppi}$) 以下である。幅 W は、より好ましくは $12\ \mu\text{m}$ (約 $700\ \text{ppi}$) 以下、さらに好ましくは $10.5\ \mu\text{m}$ (約 $800\ \text{ppi}$) 以下、一層好ましくは $9.5\ \mu\text{m}$ (約 $900\ \text{ppi}$) 以下である。この場合に、液晶層 L C L の厚み T (図 2 参照) は、例えば $2.8\ \mu\text{m}$ 以下である。透過率および液晶の高速応答性を両立するためには、副画素領域 P A の幅 W と液晶層 L C L の厚み T とは、例えば W/T が 3.5 以上、好ましくは 4 以上の関係にあると良い。なお、ppi とは Pixel per inch であり、画素の精細度である。また画素は、複数の副画素を含む概念である。

【 0 0 6 1 】

図 6 に示すように、アレイ基板 B S には、画素電極 P E と共通電極 C E との間にある絶縁層 I L 4 を備える。共通電極 C E は、絶縁層 I L 4 と液晶層 L C L との間にある。すなわち、アレイ基板 B S の副画素構造は、共通電極 C E が画素電極 P E よりも上層 (液晶層 L C L 側) に位置する構造になっている。

【 0 0 6 2 】

なお、従来技術に示した特許文献 2 は、共通電極と電界を遮蔽する導電膜を別層で形成している。しかし、極めて高精細な画素の場合、画素領域内に 2 本の共通電極配線を形成することは困難である。また、形成をすると金属製の共通電極配線は開口率の大幅な低下を招いてしまう。さらに、このような高精細な画素の場合、ゲート線の電界およびゲート線を介して隣り合う画素間の電界を適切に遮蔽する必要がある。よって、本願発明には、図 5 のように平面上に配置した開口部 O P を有する共通電極 C E が適切である。この形状であれば、共通電極 C E 上に塗布される配向膜の濡れ広がりも良好である。

【 0 0 6 3 】

本実施の形態において、第 1 電極は画素電極 P E であり、第 2 電極は複数の副画素領域 P A に渡って形成された共通電極 C E であり、副画素領域 P A 内の光透過領域 T A で画素電極 P E と共通電極 C E とは重畳しない配置になっている。すなわち、画素電極 P E および共通電極 C E は、横電界モードにおいて、F F S モードではなく、I P S モードを実現する構造になっている。

【 0 0 6 4 】

ここで、本発明者らが行った副画素構造のシミュレーション結果について、図 7 を用いて説明する。図 7 は、本実施の形態と本実施の形態に対する比較例とにおいて、各モードにおける精細度に対する最大透過率と印加電圧との関係の一例を示す説明図である。

【 0 0 6 5 】

本実施の形態は、上述したように、I P S モードでボジ型液晶の表示装置 L C D である。これに対して、本実施の形態に対する比較例では、F F S モードでネガ型液晶、F F S モードでボジ型液晶、または I P S モードでネガ型液晶の表示装置を対象とする。精細度は、 $537\ \text{ppi}$ 、 $700\ \text{ppi}$ 、 $800\ \text{ppi}$ 、 $1000\ \text{ppi}$ を例に示している。また、各解像度の透過率と印加電圧との依存性については、図 8 に示している。なお、図 8 中のボジ型液晶は p と、ネガ型液晶は n と表記している。

【 0 0 6 6 】

図 7 に示すように、例えば、精細度が $537\ \text{ppi}$ において、F F S モードでネガ型液

10

20

30

40

50

晶の場合は、最大透過率が21%で、この時の印加電圧は5.3Vである。FFSモードでポジ型液晶の場合は、最大透過率が19%で、この時の印加電圧は4.5Vである。IPSモードでネガ型液晶の場合は、最大透過率が24.5%で、この時の印加電圧は7.7Vである。IPSモードでポジ型液晶の場合は、最大透過率が21.5%で、この時の印加電圧は6.2Vである。つまり、IPSモードで、FFSモードと同等の透過率を得るためには、約1.5倍の高い電圧を印加する必要がある、このような高い電圧は消費電力の観点で好ましくない。

【0067】

図7には示していないが、IPSモードでネガ液晶を用い、5.3Vの電圧を印加すると透過率は13%である。また、IPSモードでポジ液晶を用い、4.5Vの電圧を印加すると透過率は同じく13%である。よって、537ppi程度の表示装置であれば、FFSモードは、透過率および消費電力の関係においてIPSモードより有利である。

10

【0068】

精細度が537ppiよりも高い700ppi、700ppiよりも高い800ppiにおいては、図7、図8に示す通りである。700ppiおよび800ppiの精細度において、ポジ液晶のIPSモードとポジ液晶のFFSモードと比較すると最大透過率でポジ液晶の方が有利になり、印加電圧もほぼ同等になっていることが分かる。

【0069】

さらに、精細度が800ppiよりも高い1000ppiにおいて、FFSモードでネガ型液晶の場合は、最大透過率が15%で、この時の印加電圧は4.5Vである。FFSモードでポジ型液晶の場合は、最大透過率が15%で、この時の印加電圧は5.5Vである。IPSモードでネガ型液晶の場合は、最大透過率が17%で、この時の印加電圧は5.0Vである。IPSモードでポジ型液晶の場合は、最大透過率が16%で、この時の印加電圧は5.8Vである。この精細度においては、透過率および印加電圧の観点でIPSモードはFFSモードよりも有利である。

20

【0070】

図7、図8に示したように、精細度が高くなればFFSモードの利点は消失する傾向にあり、IPSモードが優れる結果となった。すなわち、精細度が副画素領域の幅が13μm(約650ppi)以上である表示装置では、IPSモードがFFSモードよりも印加電圧と透過率の総合評価が有利になる。

30

【0071】

具体的には、精細度が非常に高くなると、印加電圧が低い電圧でも最大透過率を実現することができる。これは、低い誘電率の液晶でも高精細の表示に使用できることを意味する。それは、液晶が低粘度であるから応答速度が速いことにつながる。

【0072】

さらに、図7、図8に示したように、高精細になるほどネガ型液晶の高透過率の利点が消失する。応答が早いポジ型液晶の方が700ppiでは総合的に有利である。このように、高精細化で高速応答が要求される表示装置LCDでは、650ppi以上の高精細領域ではIPSモードでポジ型液晶が有利であることが分かった。

40

【0073】

以上説明した本実施の形態に係わる表示装置LCDによれば、高精細化で高速応答を実現することができる。これにより、見る人の目から表示画面までの距離が小さく、かつ、動画対応のために、高精細化で高速応答が要求されるヘッドマウントディスプレイHMDなどの表示装置LCDに良好に適用することができる。

【0074】

<副画素構造の変形例>

次に、図9Aおよび図9Bを参照し、副画素構造の変形例について説明する。図9Aおよび図9Bは、本実施の形態に係わる表示装置LCDの副画素構造の変形例を示す平面図である。ここでは、図5に示した副画素構造との相違点を主に説明する。

50

【0075】

図 9 A および図 9 B に示す副画素構造では、画素電極 P E は、映像線 S L が延在する Y 軸方向に対して傾斜する方向に延在した構造になっている。かつ、画素電極 P E と重畳する開口部 O P も、映像線 S L が延在する Y 軸方向に対して傾斜する方向に延在した形状になっている。

【 0 0 7 6 】

言い換えれば、映像線 S L は、開口部 O P の端部は沿わずに延在している。副画素領域内に均一に電界を印加するためには、映像線 S L も開口部 O P の端部に沿わせて延在させた方がよい。しかし、この形態の場合は、映像線 S L が副画素領域ごとに屈曲部を有してしまう。この屈曲部に対応する遮光膜 B M の幅は、太く形成する必要があり、屈曲部が多いと開口率が低下してしまう。よって、本発明のような高精細の表示装置においては、映像線 S L は屈曲させない方がよい。

10

【 0 0 7 7 】

図 9 A では、画素電極 P E および開口部 O P が Y 軸方向に対して右方向に傾斜する例を示している。この場合に、図 9 A に示した画素に対して X 軸方向に配置される各副画素においても、同じように画素電極 P E および開口部 O P が Y 軸方向に対して右方向に傾斜する副画素構造となる。一方、Y 軸方向において図 9 A に示した画素に隣り合い、X 軸方向に配置される各副画素においては、逆に画素電極 P E および開口部 O P が Y 軸方向に対して左方向に傾斜する副画素構造となる（図 9 B）。すなわち、X 軸方向および Y 軸方向にマトリクス状に配列される各画素において、X 軸方向に着目すると、例えば、奇数番目の走査線 G L に接続された画素では Y 軸方向に対して右方向に傾斜し、偶数番目の走査線 G L に接続された画素では Y 軸方向に対して左方向に傾斜する副画素構造（図 9 B）になっている。

20

【 0 0 7 8 】

図 9 A および図 9 B に示す副画素構造では、ドメイン対策を実現することができる。すなわち、I P S モードにおいて、副画素内に液晶分子の回転の方向が異なる領域が存在すると、液晶分子が順方向に回転する領域と逆方向に回転する領域との境界に、いわゆるドメインが発生する。このドメインは、一般にはスジ状に透過率が低い部分、あるいは、透過率が高い部分が発生するものであり、画面の輝度やコントラストに悪影響を与える。図 9 A および図 9 B に示す、画素電極 P E が Y 軸方向に傾斜した副画素構造にすることで、液晶分子の逆方向への回転を防ぎ、ドメインの発生を抑制することができる。

30

【 0 0 7 9 】

また、画素電極 P E が Y 軸方向に傾斜している場合、画素電極 P E が Y 軸方向に平行に伸びている場合と比較して、透過する光の色が、わずかに黄色または青色を帯びてしまう。しかし、図 9 A と図 9 B の構造を Y 軸方向に隣接させることで、この黄色または青色に光が変化する現象を打ち消すことができる。

【 0 0 8 0 】

（他の実施の形態）

次に、図 1 0 および図 1 1 を参照し、他の実施の形態について説明する。図 1 0 は、他の実施の形態に係わる表示装置 L C D の副画素構造の一例を示す平面図である。図 1 1 は、図 1 0 の C - C 線に沿った断面図である。他の実施の形態では、上述した実施の形態との相違点を主に説明する。

40

【 0 0 8 1 】

図 1 0 および図 1 1 に示す副画素構造は、絶縁層 I L 4 において、共通電極 C E の開口部 O P に対応する領域の絶縁層 I L 4 を除去した構造になっている。この場合に、共通電極 C E の開口部 O P に対応する領域の絶縁層 I L 4 は、図 1 0 に破線で示す D 部のように、映像線 S L の領域も含めて除去する。すなわち、複数の画素 P i x （副画素 S P i x ）に亘って連続で絶縁層 I L 4 を除去する。絶縁層 I L 4 は、例えば S i N などの無機膜で形成されている。

【 0 0 8 2 】

このような副画素構造の作成方法は、例えば、画素電極 P E を形成後、開口部 O P に対

50

応する領域はマスクして、無機膜からなる絶縁層 I L 4 を形成する。この際に、開口部 O P を除いた領域には絶縁層 I L 4 が形成されるが、開口部 O P の領域には絶縁層 I L 4 が形成されない。その後、その上に共通電極 C E を形成することで、開口部 O P を除いた領域は共通電極 C E と画素電極 P E とが異相になり、開口部 O P の領域は共通電極 C E と画素電極 P E とが同層になる。

【 0 0 8 3 】

図 1 0 および図 1 1 に示す副画素構造では、上述した実施の形態と同様の効果に加えて、開口部 O P に対応する領域の絶縁層 I L 4 を除去することで、共通電極 C E と画素電極 P E とが同層になり、透過率を上げることができる。また、開口部 O P に対応する領域の絶縁層 I L 4 を除去することで、容量層が無くなり、液晶表示素子のしきい値電圧が下がる。しきい値電圧が下がった分、より透過率の低い液晶、つまり、より低粘度の液晶を適用することができ、これにより応答速度をさらに改善することができる。

10

【 0 0 8 4 】

なお、図 9 A および図 9 B に示したドメイン対策構造は、図 1 2 のようなドメイン対策構造であってもよい。図 9 A および図 9 B は、Y 軸方向に隣り合う 2 つの副画素構造を用いたドメイン対策構造であるが、図 1 2 は 1 つの副画素構造を用いたドメイン対策構造である。ドメイン対策には画素電極 P E が傾斜することが重要であるが、高精細になると副画素領域の幅が狭くなり、かつ映像線 S L は屈曲しない構造になる。この場合、図 9 A や図 9 B のような画素電極の場合、画素電極の端部付近の電界が隣接画素領域の液晶を駆動してしまう可能性がある。しかし、図 1 2 のように、画素電極 P E が屈曲部を有すれば、画素電極 P E が隣の画素に与える影響を低減できる。

20

【 0 0 8 5 】

なお、図 1 2 の通り、開口部 O P を副画素領域内の中心に配置するため、開口部 O P と画素電極 P E と半導体層 S E とを重畳させている。半導体層 S E の付近はバックライトの光が透過しづらい領域であるため、その半導体層 S E の上を画素電極 P E の形成領域としている。画素電極 P E の領域は電界が弱い領域であり、この領域を半導体層 S E と重畳させることで副画素領域全体の透過率を向上させている。

【 0 0 8 6 】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

30

【 0 0 8 7 】

本発明の思想の範疇において、当業者であれば、各種の変更例および修正例に想到し得るものであり、それら変更例および修正例についても本発明の範囲に属するものと了解される。

【 0 0 8 8 】

例えば、前記実施の形態に対して、当業者が適宜、構成要素の追加、削除もしくは設計変更を行ったもの、または、工程の追加、省略もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

【 符号の説明 】

40

【 0 0 8 9 】

B M 遮光膜

B F 下地膜

B S アレイ基板

B S b、F S f 背面

B S f、F S b 対向面

B S G 絶縁性基材

B S s 1 ~ B S s 4 辺

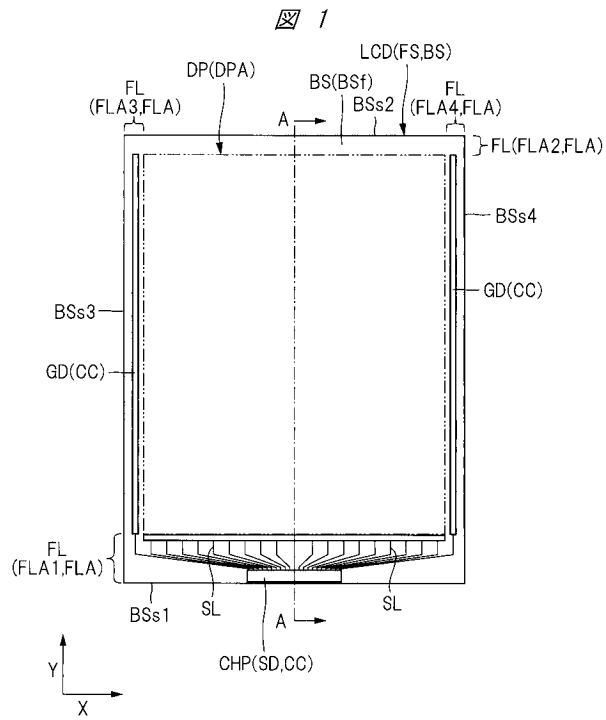
C C 駆動回路

C D 共通電極駆動回路

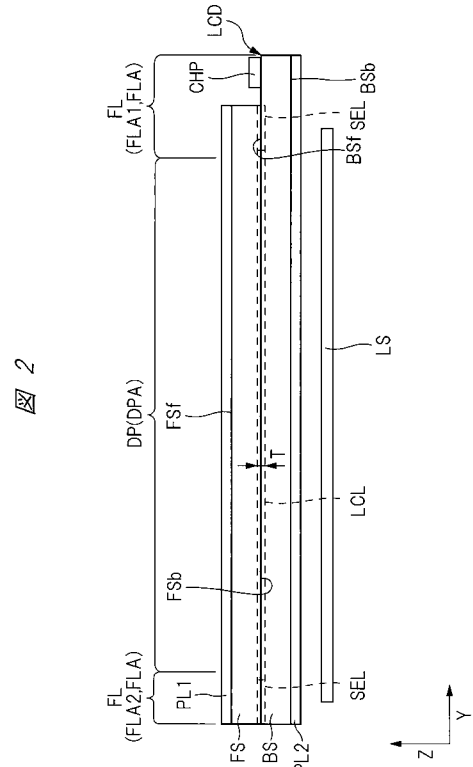
50

C E	共通電極	
C H 1、C H 2	コンタクトホール	
C H P	半導体チップ	
C S	保持容量	
C T L	制御回路	
D P	表示部	
D P A	表示領域	
F L	額縁部	
F L A、F L A 1 ~ F L A 4	額縁領域	
F S	対向基板	10
G D	走査線駆動回路	
G L	走査線	
G P	隙間	
H D	頭部	
H M D	ヘッドマウントディスプレイ	
I L 1 ~ I L 4	絶縁層	
L C D	表示装置	
L C L	液晶層	
L S	バックライト	
O P	開口部	20
P A	副画素領域	
P E	画素電極	
P i x	画素	
P L 1、P L 2	偏光板	
S D	映像線駆動回路	
S E	半導体層	
S E L	シール	
S L	映像線	
S P i x	副画素	
T	厚み	30
T A	光透過領域	
T r d	トランジスタ	
W	幅	

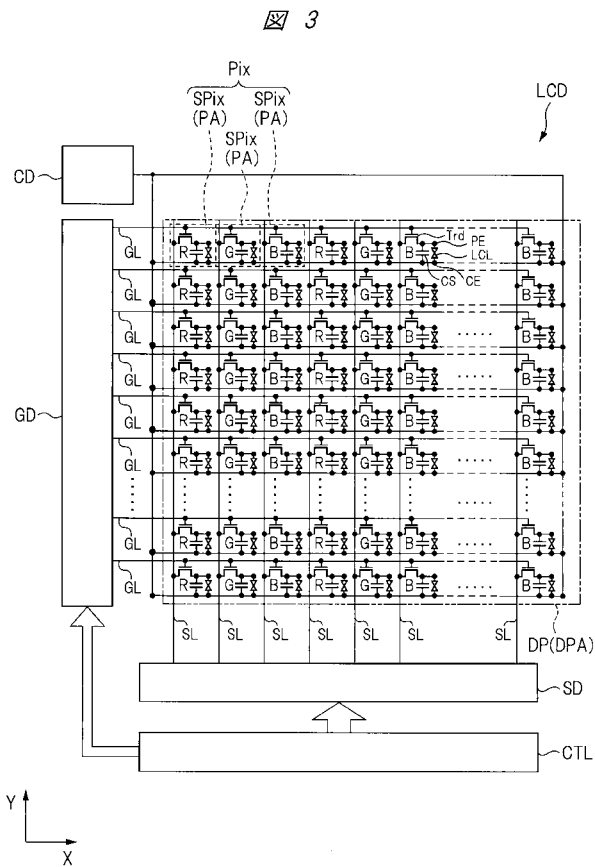
【 図 1 】



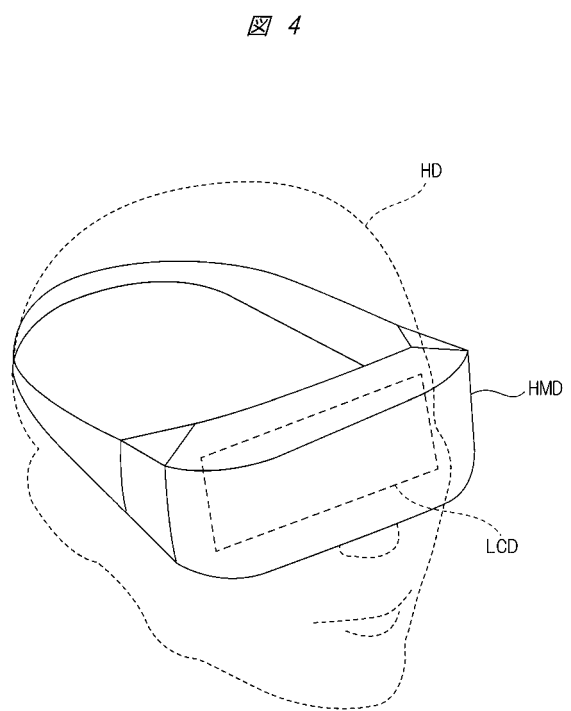
【 図 2 】



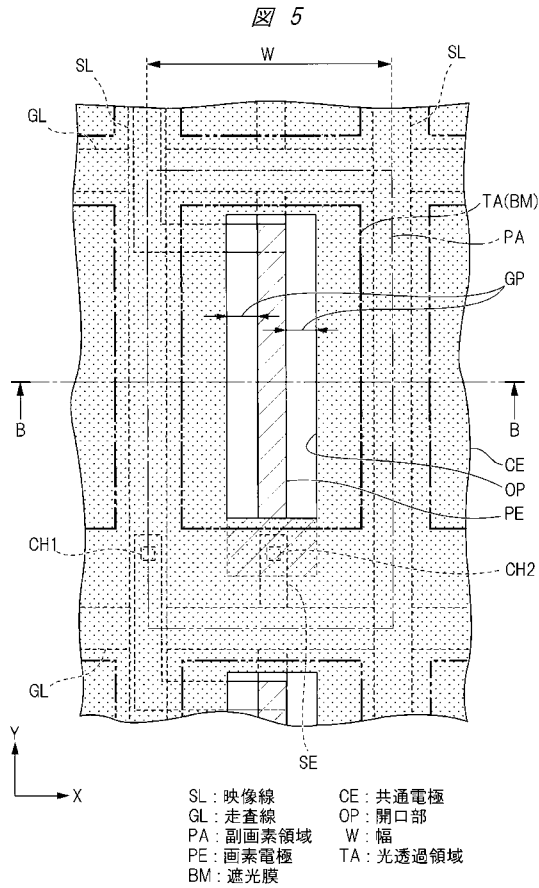
【 図 3 】



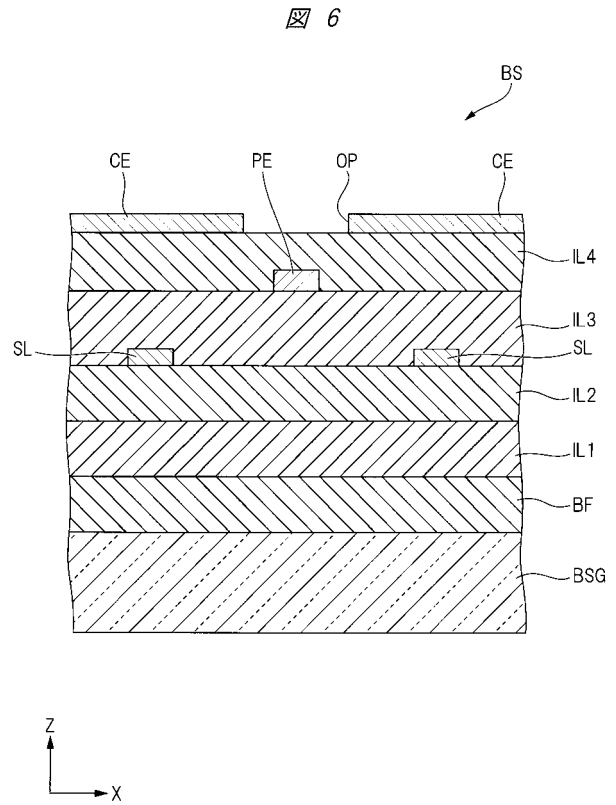
【 図 4 】



【図5】



【図6】

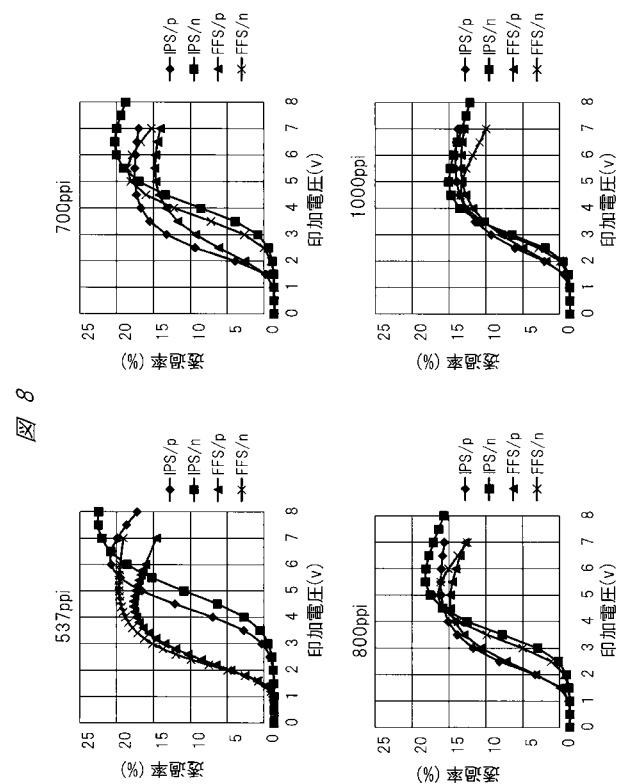


【図7】

	精細度 = 537ppi				精細度 = 700ppi			
	FFSモード		IPSモード		FFSモード		IPSモード	
	ネガ型液晶	ポジ型液晶	ネガ型液晶	ポジ型液晶	ネガ型液晶	ポジ型液晶	ネガ型液晶	ポジ型液晶
最大透過率(%)	21	19	24.5	21.5	20	16	22	19.5
印加電圧(V)	5.3	4.5	7.7	6.2	5.5	5.5	6.5	5.3

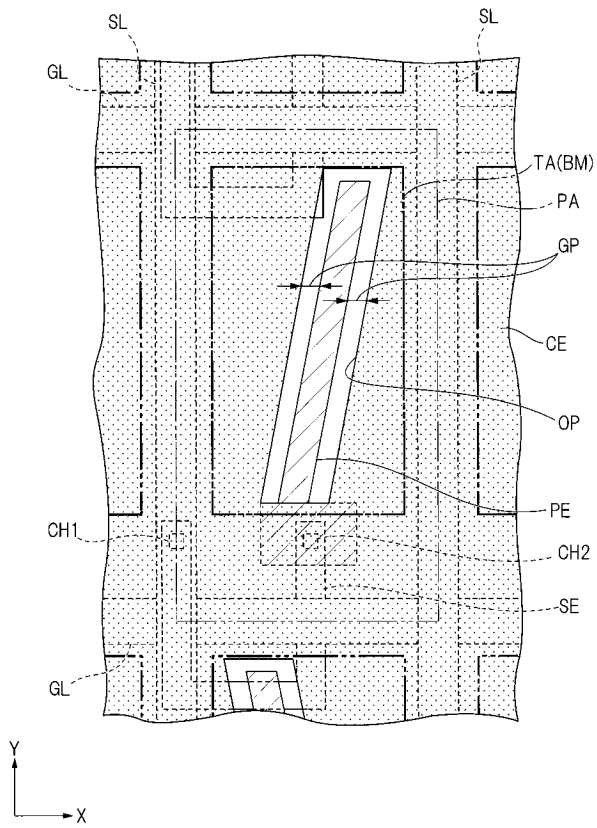
	精細度 = 800ppi				精細度 = 1000ppi			
	FFSモード		IPSモード		FFSモード		IPSモード	
	ネガ型液晶	ポジ型液晶	ネガ型液晶	ポジ型液晶	ネガ型液晶	ポジ型液晶	ネガ型液晶	ポジ型液晶
最大透過率(%)	18	16	19	17	15	15	17	16
印加電圧(V)	5.0	4.8	5.8	5.5	4.5	5.5	5.0	5.8

【図8】



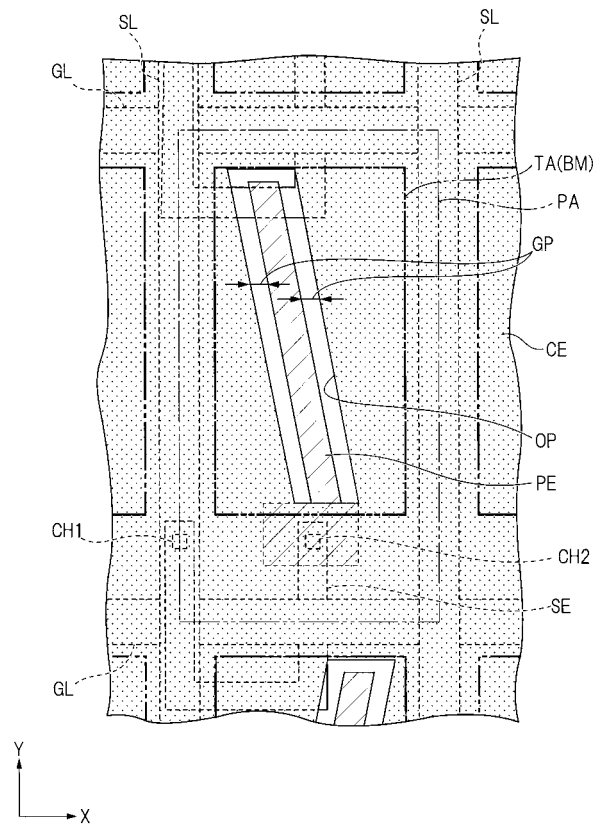
【図 9 A】

図 9A



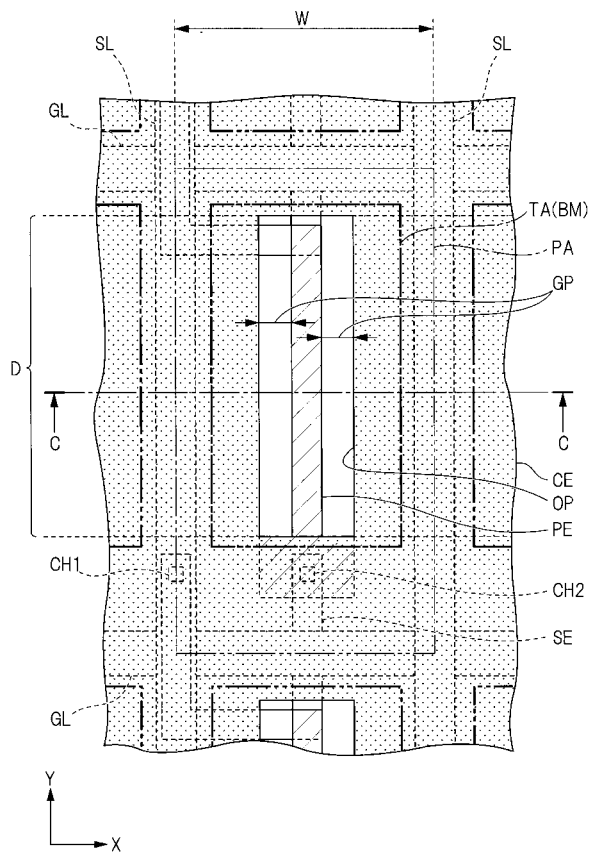
【図 9 B】

図 9B



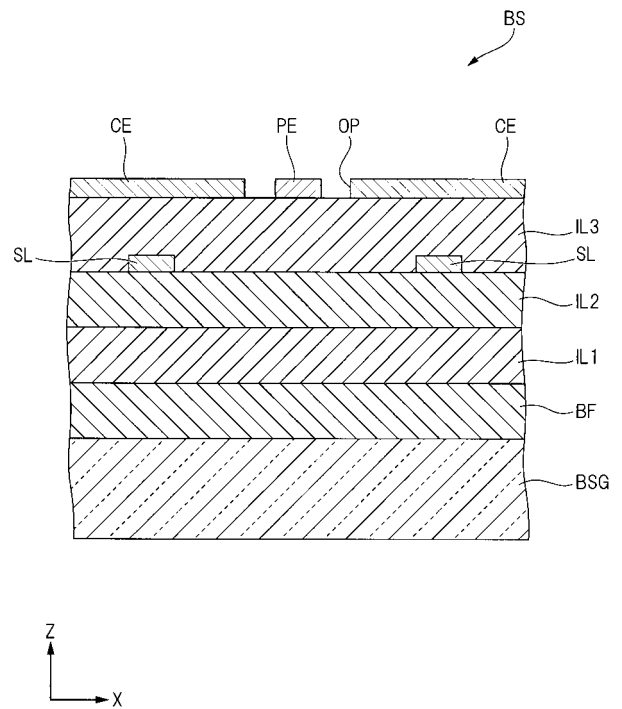
【図 1 0】

図 10



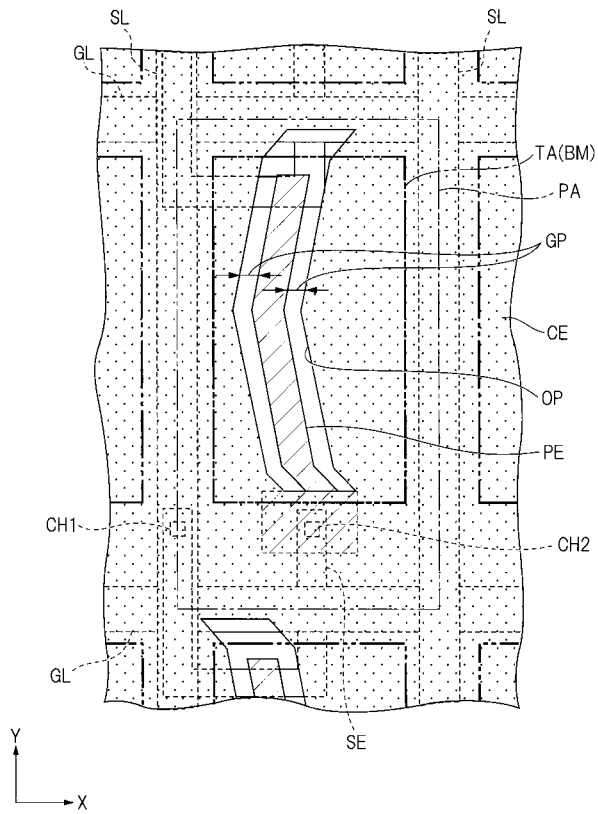
【図 1 1】

図 11



【図 12】

図 12



フロントページの続き

F ターム(参考) 2H092 GA14 GA17 HA02 JA24 JB05 JB13
2H192 AA24 BB04 BB52 BB53 BB84 BC31 CB45 CB46 CC04 EA22
JB01

专利名称(译)	表示装置		
公开(公告)号	JP2018146697A	公开(公告)日	2018-09-20
申请号	JP2017040041	申请日	2017-03-03
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	岩壁靖 廣澤仁 井桁幸一		
发明人	岩壁 靖 廣澤 仁 井桁 幸一		
IPC分类号	G02F1/1368 G02F1/1343		
CPC分类号	G02F1/134309 G02F1/133512 G02F1/134363 G02F2001/134372 G09G3/001 G09G3/3648 G09G2300/0426		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/GA14 2H092/GA17 2H092/HA02 2H092/JA24 2H092/JB05 2H092/JB13 2H192/AA24 2H192/BB04 2H192/BB52 2H192/BB53 2H192/BB84 2H192/BC31 2H192/CB45 2H192/CB46 2H192/CC04 2H192/EA22 2H192/JB01		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够实现高清晰度高速响应的显示设备。显示装置包括遮光膜BM，多条视频线SL和绝缘基底材料上的多条扫描线GL，以及多条视频线SL和多条扫描线GL的平面图封闭的子像素区域PA中的像素电极PE和公共电极CE，以及由像素电极PE和公共电极CE之间产生的电场驱动的液晶层。在由遮光膜BM围绕的光透射区域TA中，像素电极PE的形状是不具有分支部分的线形。公共电极CE具有与多条视频线SL和多条扫描线GL重叠并与像素电极PE重叠的开口OP。此外，液晶层的液晶分子具有正介电常数。子像素区域PA的宽度W为13μm或更小。

