

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-109705

(P2018-109705A)

(43) 公開日 平成30年7月12日(2018.7.12)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 622G	5C006
G02F 1/133 (2006.01)	G09G 3/20 670C	5C080
	G09G 3/20 670A	
	G02F 1/133 550	
審査請求 未請求 請求項の数 13 O L (全 25 頁)		

(21) 出願番号 特願2017-393 (P2017-393)
 (22) 出願日 平成29年1月5日(2017.1.5)

(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 田代 智裕
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 Fターム(参考) 2H193 ZA04 ZF02 ZF11 ZF21 ZF43
 ZF51 ZH22 ZH23 ZH52
 5C006 AF65 AF71 BB16 BC03 BC16
 BC24 BF03 BF14 BF21 BF25
 BF26 BF42 BF46 EC09 FA41
 最終頁に続く

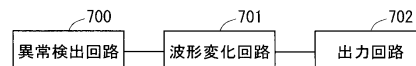
(54) 【発明の名称】 ドライバIC、および、液晶表示装置

(57) 【要約】

【課題】配線の増加を抑制しつつ、OE信号、VGH電圧、および、VGL電圧に基づいて液晶表示の異常を検出する技術に関する。

【解決手段】ドライバICは、OE信号の異常、Highレベル電圧を示す信号であるVGHの異常、および、Lowレベル電圧を示す信号であるVGLの異常のうち少なくとも1つを検出する異常検出部(700)と、異常検出部(700)から出力される信号に基づいて、ゲートパルスを発生させるためのスタート信号であるSTV信号の波形を変化させる波形変化部(701)と、STV信号を出力する出力部(702)とを備える。

【選択図】図17



【特許請求の範囲】**【請求項 1】**

ゲートドライバ部の出力を制御する信号である O E 信号の異常、液晶表示パネルのそれぞれの画素における駆動トランジスタが O N 状態である場合の H i g h レベル電圧を示す信号である V G H の異常、および、前記駆動トランジスタが O F F 状態である場合の L o w レベル電圧を示す信号である V G L の異常のうちの少なくとも 1 つを検出する異常検出部と、

前記異常検出部から出力される信号に基づいて、ゲートパルスを発生させるためのスタート信号である S T V 信号の波形を変化させる波形変化部と、

前記 S T V 信号を出力する出力部とを備える、
ドライバ I C。

10

【請求項 2】

前記 O E 信号の異常とは、前記 O E 信号が常に H i g h レベル電圧、または、前記 O E 信号が常に L o w レベル電圧であることを含む、

請求項 1 に記載のドライバ I C。

【請求項 3】

前記 V G H の異常とは、前記 V G H が前記ゲートドライバ部に入力されていないことを含む、

請求項 1 または請求項 2 に記載のドライバ I C。

20

【請求項 4】

前記 V G L の異常とは、前記 V G L が前記ゲートドライバ部に入力されていないことを含む、

請求項 1 から請求項 3 のうちのいずれか 1 項に記載のドライバ I C。

【請求項 5】

前記波形変化部は、前記 S T V 信号を L o w レベル電圧に固定する、前記 S T V 信号を反復させる、または、前記 S T V 信号を H i g h レベル電圧に固定することによって、前記 S T V 信号の波形を変化させる、

請求項 1 から請求項 4 のうちのいずれか 1 項に記載のドライバ I C。

【請求項 6】

前記異常検出部は、

前記 O E 信号と、前記ゲートドライバ部のシフトクロック信号とが入力される A N D 回路と、

前記シフトクロック信号の分岐信号と、前記 A N D 回路の出力信号とが入力され、かつ、前記シフトクロック信号の前記分岐信号と前記 A N D 回路の出力信号とが等しい時間の長さに基づいて、前記 O E 信号の異常を判定する判定回路とを備える、

請求項 1 から請求項 5 のうちのいずれか 1 項に記載のドライバ I C。

30

【請求項 7】

前記異常検出部は、

前記 O E 信号と、前記ゲートドライバ部のシフトクロック信号とが入力される X O R 回路と、

前記シフトクロック信号の分岐信号と、前記 X O R 回路の出力信号とが入力され、かつ、前記シフトクロック信号の前記分岐信号と前記 X O R 回路の出力信号とが等しい時間の長さに基づいて、前記 O E 信号の異常を判定する判定回路とを備える、

請求項 1 から請求項 5 のうちのいずれか 1 項に記載のドライバ I C。

40

【請求項 8】

前記異常検出部は、

あらかじめ定められた第 1 の参照電圧と、前記 V G H とを比較した結果に基づいて、前記 V G H の異常を判定する第 1 の比較回路を備える、

請求項 1 から請求項 7 のうちのいずれか 1 項に記載のドライバ I C。

【請求項 9】

50

前記ゲートドライバ部は、さらに、

前記第 1 の参照電圧を変動させるための第 1 の抵抗を備える、
請求項 8 に記載のドライバ IC。

【請求項 10】

前記異常検出部は、

あらかじめ定められた第 2 の参照電圧と、前記 VGL とを比較した結果に基づいて、
前記 VGL の異常を判定する第 2 の比較回路を備える、
請求項 1 から請求項 9 のうちのいずれか 1 項に記載のドライバ IC。

【請求項 11】

前記ゲートドライバ部は、さらに、

前記第 2 の参照電圧を変動させるための第 2 の抵抗を備える、
請求項 10 に記載のドライバ IC。

【請求項 12】

前記異常検出部は、

前記ゲートドライバ部内において出力アンプ回路に出力される信号と、当該信号の分岐信号がダミー回路を介して入力される信号とを比較した結果に基づいて、前記 VGH の異常および前記 VGL の異常を判定する第 3 の比較回路を備える、
請求項 1 から請求項 7 のうちのいずれか 1 項に記載のドライバ IC。

【請求項 13】

請求項 1 から請求項 12 のうちのいずれか 1 項に記載の前記ドライバ IC を備える、
液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本願明細書に開示される技術は、ドライバ IC、および、液晶表示装置に関するものである。

【背景技術】

【0002】

近年、液晶表示装置の製造コストを低減させるために、液晶を駆動する 1 つのドライバ integrated circuit (IC) における出力チャンネル数を増やすこと
によって、用いるドライバ IC の数を減らす技術が開発されている。

【0003】

ただし、tape carrier package (TCP)、または、chip on film (COF) では、液晶パネルに取り付けられる端子間の間隔を容易には小さくすることができない。そのため、特に中小型の液晶表示装置では、chip on glass (COG) 化が進んでいる。

【0004】

また、複数の液晶表示装置で共通して同じ部品を使うことによって、複数の液晶表示装置における部品の合計数量を減らし、製造コストを下げる技術も開発されている。開発期間の短縮化および設計リソースの削減のために、同一の部品が多種多様な液晶パネルに使
われる「プラットフォーム」化が進んでいる。

【0005】

一般に液晶表示装置は、液晶パネルと、回路基板と、液晶パネルと回路基板とを接続するフレキシブルプリント回路基板 (flexible printed circuits、すなわち、FPC) とを備える。

【0006】

液晶パネルは、画素領域と、画素領域の外周領域の縦軸におけるゲートドライバ IC と、画素領域の外周領域の横軸におけるソースドライバ IC (S-IC と表記する) とを備える。ゲートドライバ IC は、画素の薄膜トランジスタ (thin film transistor、すなわち、TFT) の ON/OFF 制御を行う。

10

20

30

40

50

【 0 0 0 7 】

回路基板は、タイミングコントローラ（ＴＣＯＮ）と、タイミングコントローラの設定のためのソフトウェア情報を保存するＥ２ＰＲＯＭ（またはＥＥＰＲＯＭとも呼ばれる）と、インターフェイスコネクタと、電源回路と、階調参照電圧生成回路とを備える。

【 0 0 0 8 】

たとえば、上記のうちのタイミングコントローラ、Ｅ２ＰＲＯＭ、ソースドライバＩＣ、または、ゲートドライバＩＣなどの部品を、できるだけ共有させることが行われている。

【 0 0 0 9 】

一方で、特に車載用途の液晶表示装置では、液晶を駆動するソースドライバＩＣおよびゲートドライバＩＣが問題なく動作しているかどうかをシステム側が監視する場合が増えている。 10

【 0 0 1 0 】

そのため、ソースドライバＩＣ、および、ゲートドライバＩＣを、インターフェイスコネクタを介してシステム側がモニターする。これに伴い、液晶表示装置における配線および搭載部品は増える傾向となっている。

【 0 0 1 1 】

また、２０１１年に制定されたＩＳＯ２６２６２を意識したシステム構築が進められており、リスク管理も要求されてきている。たとえば、ミラー代替用途では、事故発生要因になる液晶表示に残像が残ることは避ける必要がある。そのため、液晶表示の異常を検出することがますます重要となってきた。これに伴い、当該異常を検出するために搭載されるモニター配線および外付け部品は増える傾向となっている。 20

【 0 0 1 2 】

残像を認識するための構成としては、たとえば、画素の薄膜トランジスタがＯＮしない、またはＯＮしにくくなることが要因であり、ゲートドライバＩＣに入る信号、すなわち、タイミングコントローラからのoutput enable（ＯＥ）信号、および、電源回路からのＶＧＨ／ＶＧＬ電圧が該当する。

【 0 0 1 3 】

タイミングコントローラからのＯＥ信号は、Highレベル電圧である場合にゲートドライバＩＣの出力をdisableする、すなわち、Lowレベル電圧にする機能を有することが一般的である。 30

【 0 0 1 4 】

電源回路からのＶＧＨ／ＶＧＬ電圧のうちのＶＧＨは、画素の薄膜トランジスタがＯＮ状態である場合のHighレベル電圧を示すものである。また、ＶＧＨ／ＶＧＬ電圧のうちのＶＧＬは、画素の薄膜トランジスタがＯＦＦ状態である場合のLowレベル電圧を示すものである。

【 0 0 1 5 】

ゲートドライバＩＣに入力されたＯＥ信号は、ゲートドライバＩＣにおける出力制御部にのみ関与する。また、ゲートドライバＩＣに入力されたＶＧＨ／ＶＧＬ電圧は、ゲートドライバＩＣにおけるレベルシフタと出力アンプ回路のみにしか関与しない。 40

【 0 0 1 6 】

そのため、ＯＥ信号およびＶＧＨ／ＶＧＬ電圧は、タイミングコントローラがモニターするまたは表示システムがモニターするＳＴＶinput／ＳＴＶoutput信号には、影響を与えない。ここで、ＳＴＶinput信号のスタートパルスは、該当する（入力する）ゲートドライバＩＣの最初のライン（ＯＵＴ１）のタイミングを決めているものである。また、ＳＴＶoutput信号は、次段ゲートドライバＩＣのスタートパルスとなるものである。実際にはＳＴＶＤ、ＳＴＶＵの信号配線がゲートドライバＩＣに接続され、垂直方向スキャン切替ＵＤ信号の論理によってinputかoutputかが切り替わる。また、ＳＴＶinput信号およびＳＴＶoutput信号は、まとめてＳＴＶ信号とも称する。 50

【 0 0 1 7 】

そのため、ゲートドライバ I C に入力される O E 信号、および、ゲートドライバ I C に入力される V G H / V G L 電圧が、これらの信号を伝達する配線の断線などによって正常に入力されなくなった場合に、S T V i n p u t / S T V o u t p u t 信号で検出することはできない。

【 0 0 1 8 】

O E 信号、および、V G H / V G L 電圧がそれぞれゲートドライバ I C に正常に入力されているかどうかを検出するためには、たとえば、ゲートドライバ I C のカスケード接続（縦続接続）のためにゲートドライバ I C に設けられている端子から、O E 信号、および、V G H / V G L 電圧のモニター用配線としてループバックする。

10

【 0 0 1 9 】

具体的には、ゲートドライバ I C におけるカスケード接続用端子から、O E 信号のモニター用配線として、インターフェイスコネクタを介して表示システムに配線を接続する。また、ゲートドライバ I C における他のカスケード接続用端子から、V G H / V G L 電圧のモニター用配線として、専用の検出回路に配線を接続する。

【 0 0 2 0 】

そうすることによって、O E 信号、および、V G H / V G L 電圧がそれぞれゲートドライバ I C に正常に入力されているかどうかを検出することができる。

【 0 0 2 1 】

なお、表示装置の駆動用の I C がカスケード接続された構成については、たとえば、特許文献 1（特開 2 0 1 3 - 1 6 0 9 9 9 号公報）に開示されている。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 2 2 】

【 特許文献 1 】 特開 2 0 1 3 - 1 6 0 9 9 9 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 2 3 】

ゲートドライバ I C のカスケード接続のためにゲートドライバ I C に設けられている端子からループバックした配線を、O E 信号、および、V G H / V G L 電圧のモニター用配線として用いる場合には、専用の検出回路を搭載する必要がある。

30

【 0 0 2 4 】

また、ゲートドライバ I C のカスケード接続のためにゲートドライバ I C に設けられている端子からループバックした配線を、O E 信号、および、V G H / V G L 電圧のモニター用配線として用いる場合には、さらに、O E 信号、および、V G H / V G L 電圧のモニター用配線としてループバックするためのガラス配線を追加する必要がある。そうすると、ガラスサイズが大きくなることで、液晶パネルの額縁サイズが広がってしまう。

【 0 0 2 5 】

本願明細書に開示される技術は、以上に記載されたような問題を解決するためになされたものであり、配線の増加を抑制しつつ、O E 信号、V G H 電圧、および、V G L 電圧に基づいて液晶表示の異常を検出する技術に関するものである。

40

【 課題を解決するための手段 】

【 0 0 2 6 】

本願明細書に開示される技術の第 1 の態様は、ゲートドライバ部の出力を制御する信号である O E 信号の異常、液晶表示パネルのそれぞれの画素における駆動トランジスタが O N 状態である場合の H i g h レベル電圧を示す信号である V G H の異常、および、前記駆動トランジスタが O F F 状態である場合の L o w レベル電圧を示す信号である V G L の異常のうちの少なくとも 1 つを検出する異常検出部と、前記異常検出部から出力される信号に基づいて、ゲートパルスが発生させるためのスタート信号である S T V 信号の波形を変化させる波形変化部と、前記 S T V 信号を出力する出力部とを備える。

50

【 0 0 2 7 】

本願明細書に開示される技術の第 2 の態様は、上記の前記ドライバ IC を備える液晶表示装置である。

【 発明の効果 】

【 0 0 2 8 】

本願明細書に開示される技術の第 1 の態様は、ゲートドライバ部の出力を制御する信号である OE 信号の異常、液晶表示パネルのそれぞれの画素における駆動トランジスタが ON 状態である場合の High レベル電圧を示す信号である VGH の異常、および、前記駆動トランジスタが OFF 状態である場合の Low レベル電圧を示す信号である VGL の異常のうち少なくとも 1 つを検出する異常検出部と、前記異常検出部から出力される信号に基づいて、ゲートパルスが発生させるためのスタート信号である STV 信号の波形を変化させる波形変化部と、前記 STV 信号を出力する出力部とを備えるものである。このような構成によれば、配線の増加を抑制しつつ、OE 信号の異常、VGH 電圧の異常、および、VGL 電圧の異常の少なくとも 1 つを反映する STV 信号に基づいて液晶表示の異常を検出することができる。

10

【 0 0 2 9 】

本願明細書に開示される技術の第 2 の態様は、上記の前記ドライバ IC を備える液晶表示装置である。このような構成によれば、液晶表示装置における配線の増加を抑制しつつ、OE 信号の異常、VGH 電圧の異常、および、VGL 電圧の異常の少なくとも 1 つを反映する STV 信号に基づいて液晶表示の異常を検出することができる。

20

【 0 0 3 0 】

本願明細書に開示される技術に関する目的と、特徴と、局面と、利点とは、以下に示される詳細な説明と添付図面とによって、さらに明白となる。

【 図面の簡単な説明 】

【 0 0 3 1 】

【 図 1 】 実施の形態に関する、液晶表示装置の構成を概略的に例示する図である。

【 図 2 】 図 1 に例示された液晶表示装置の回路を概略的に例示する図である。

【 図 3 】 図 1 に例示された液晶表示装置の回路の他の例を概略的に例示する図である。

【 図 4 】 一般的なゲートドライバ IC の回路ブロック図である。

【 図 5 】 図 1 に例示された液晶表示装置の回路の他の例を概略的に例示する図である。

30

【 図 6 】 図 2 に例示された回路における配線の様子を例示する図である。

【 図 7 】 図 5 に例示された回路におけるゲート IC 内部の PATH 配線を利用する場合の配線の様子を例示する図である。

【 図 8 】 図 5 に例示された回路におけるゲート IC 内部の PATH 配線がない場合の配線の様子を例示する図である。

【 図 9 】 一般的な、ゲートドライバ IC のシフトクロック信号 (CLKV)、OE 信号、STV input 信号、それぞれのゲートドライバ IC の出力、および、STV output 信号の波形を例示する図である。

【 図 10 】 実施の形態に関する、STV output 信号の波形を複数通りに変化させた場合を例示する図である。

40

【 図 11 】 実施の形態に関する、ゲートドライバ IC における異常検出回路の構成を概略的に例示する回路図である。

【 図 12 】 実施の形態に関する、ゲートドライバ IC における異常検出回路の構成の他の例を概略的に例示する回路図である。

【 図 13 】 図 10 で別の論理回路を用いた場合の STV output 信号の波形を複数通りに変化させた場合を例示する図である。

【 図 14 】 実施の形態に関する、ゲートドライバ IC における異常検出回路の構成を概略的に例示する回路図である。

【 図 15 】 図 14 に例示された異常検出回路に対応する、ゲートドライバ IC の構成を例示する図である。

50

【図 1 6】実施の形態に関する、ゲートドライバ IC における異常検出回路の構成を概略的に例示する回路図である。

【図 1 7】実施の形態に関するゲートドライバの、S T V 信号の波形変化に関連する構成を概念的に例示する図である。

【図 1 8】実施の形態に関する、異常検出回路および波形変化回路が配置された構成を例示する回路図である。

【図 1 9】実施の形態に関する、波形変化回路の具体的な回路構成を例示する回路図である。

【図 2 0】実施の形態に関する、波形変化回路の具体的な回路構成を例示する回路図である。

【図 2 1】実施の形態に関する、波形変化回路の具体的な回路構成を例示する回路図である。

【発明を実施するための形態】

【0032】

以下、添付される図面を参照しながら実施の形態について説明する。

【0033】

なお、図面は概略的に示されるものであり、説明の便宜のため、適宜、構成の省略、または、構成の簡略化がなされるものである。また、異なる図面にそれぞれ示される構成などの大きさおよび位置の相互関係は、必ずしも正確に記載されるものではなく、適宜変更され得るものである。

【0034】

また、以下に示される説明では、同様の構成要素には同じ符号を付して図示し、それらの名称と機能とについても同様のものとする。したがって、それらについての詳細な説明を、重複を避けるために省略する場合がある。

【0035】

< 第 1 の実施の形態 >

以下、本実施の形態に関するドライバ IC、および、液晶表示装置について説明する。ここで、ドライバ IC は、ゲートドライバ IC (ゲートドライバ部) とソースドライバ IC (ソースドライバ部) とが一体となったドライバ IC を含む。

【0036】

図 1 は、本実施の形態に関する、液晶表示装置の構成を概略的に例示する図である。図 1 に例示されるように、液晶表示装置は、液晶パネル 1 2 と、回路基板 1 4 と、液晶パネル 1 2 と回路基板 1 4 とを接続するフレキシブルプリント回路基板 (flexible printed circuits、すなわち、FPC) 1 6 a と、液晶パネル 1 2 と回路基板 1 4 とを接続するフレキシブルプリント回路基板 1 6 b と、液晶パネル 1 2 と回路基板 1 4 とを接続するフレキシブルプリント回路基板 1 6 c と、液晶パネル 1 2 と回路基板 1 4 とを接続するフレキシブルプリント回路基板 1 6 d とを備える。

【0037】

液晶パネル 1 2 は、画素領域 1 2 2 と、画素領域 1 2 2 の外周領域の縦軸に配置されるゲートドライバ IC 1 2 4 と、画素領域 1 2 2 の外周領域の横軸にそれぞれ配置されるソースドライバ IC 1 2 6 a、ソースドライバ IC 1 2 6 b、ソースドライバ IC 1 2 6 c、および、ソースドライバ IC 1 2 6 d (S-IC とも表記する) とを備える。ゲートドライバ IC 1 2 4 は、画素の薄膜トランジスタ (thin film transistor、すなわち、TFT) の ON/OFF 制御を行う。

【0038】

フレキシブルプリント回路基板 1 6 a は、ソースドライバ IC 1 2 6 a に対応する位置において、液晶パネル 1 2 と回路基板 1 4 とを接続する。フレキシブルプリント回路基板 1 6 b は、ソースドライバ IC 1 2 6 b に対応する位置において、液晶パネル 1 2 と回路基板 1 4 とを接続する。フレキシブルプリント回路基板 1 6 c は、ソースドライバ IC 1 2 6 c に対応する位置において、液晶パネル 1 2 と回路基板 1 4 とを接続する。フレキシ

10

20

30

40

50

ブルプリント回路基板 16d は、ソースドライバ IC 126d に対応する位置において、液晶パネル 12 と回路基板 14 とを接続する。

【0039】

回路基板 14 は、タイミングコントローラ (TCON) 142 と、タイミングコントローラ 142 の設定のためのソフトウェア情報を保存する E2PROM 144 (または EEPROM と呼ばれる) と、インターフェイスコネクタ 146 と、電源回路 148 と、階調参照電圧の生成回路 150 とを備える。

【0040】

フレキシブルプリント回路基板は、図 1 においては、4 つ並列に備えられ、それぞれが液晶パネル 12 と回路基板 14 とを接続する。

10

【0041】

なお、ソースドライバ IC の数、および、フレキシブルプリント回路基板の数は、図 1 に例示されるものには限られない。

【0042】

上記のうちの、たとえば、タイミングコントローラ 142、E2PROM 144、ソースドライバ IC 126a、ソースドライバ IC 126b、ソースドライバ IC 126c、ソースドライバ IC 126d、または、ゲートドライバ IC 124 などの部品を共有させることが行われている。

【0043】

一方で、特に車載用途の液晶表示装置では、インターフェイスコネクタ 146 に接続される表示システムが、液晶表示の状態をモニターする場合が増えている。なお、表示システムは、ここでは図示しない。

20

【0044】

図 2 は、図 1 に例示された液晶表示装置の回路を概略的に例示する図である。なお、図 2 に示される回路図はあくまで一例であり、映像信号が伝送される方式として、シングルエンド方式、mini-LVDS、RSDS、または、その他の方式が想定される。図 2 に例示されるように、電源回路 148 は、ソースドライバ IC 126a、ソースドライバ IC 126b、ソースドライバ IC 126c、および、ソースドライバ IC 126d に電源を供給する。また、電源回路 148 は、階調参照電圧の生成回路 150 を介して、ソースドライバ IC 126a、ソースドライバ IC 126b、ソースドライバ IC 126c、および、ソースドライバ IC 126d に参照電圧を供給する。

30

【0045】

また、電源回路 148 は、VGH 電圧または VGL 電圧をゲートドライバ IC 124 へ出力する。電源回路 148 から出力される VGH 電圧は、画素の薄膜トランジスタが ON 状態である場合の High レベル電圧を示す信号である。また、電源回路 148 から出力される VGL 電圧は、画素の薄膜トランジスタが OFF 状態である場合の Low レベル電圧を示す信号である。その他、VDDA はソースドライバ IC のアナログ電源として供給され、VCOM は液晶パネルの対向電極のコモン電源として供給される。一般的な液晶表示パネルのドット反転駆動方式には、これら 4 種類の電源が生成・供給される。

【0046】

40

タイミングコントローラ 142 には、映像信号が入力される。そして、タイミングコントローラ 142 は、水平スタートパルス STH をソースドライバ IC へ出力する。また、タイミングコントローラ 142 は、垂直スタートパルス STV をゲートドライバ IC 124 へ出力する。

【0047】

また、タイミングコントローラ 142 は、ゲートドライバ IC のシフトクロック信号 (CLKV)、出力制御 (output enable、すなわち、OE) 信号、および、垂直方向のスキャン切替論理信号 (UD) を、ゲートドライバ IC 124 へ出力し、全てのソースドライバ IC には映像データバス (その CLK 含む) の他、水平方向スキャン切替論理信号 (LR)、液晶印加極性切替信号 (POL)、ソースドライバ IC の内部ラッ

50

チおよび出力タイミングを制御する信号 (L P) を出力する。

【 0 0 4 8 】

ソースドライバ I C が問題無く動作しているかは水平方向スキンの最終段に位置するソースドライバ I C が出力するスタートパルスインターフェイスコネクタ 1 4 6 を介してシステム側がモニターする。これに伴い、液晶表示装置における配線および搭載部品は増える傾向となっている。

【 0 0 4 9 】

なお、タイミングコントローラが出力するスタートパルスおよび最終段のスタートパルスをインターフェイスコネクタ 1 4 6 を介してシステム側がモニターする際、さらに、切り分け用のバッファ回路 1 4 3 を介する場合もある。

10

【 0 0 5 0 】

また、2011年に制定された I S O 2 6 2 6 2 を意識したシステム構築が進められており、リスク管理も要求されてきている。たとえば、ミラー代替用途では、液晶表示に残像があると、事故につながる危険性が増す。そのため、液晶表示の異常を検出することがますます重要となってきた。これに伴い、当該異常を検出するために搭載されるモニター配線および外付け部品は増える傾向となっている。

【 0 0 5 1 】

残像を認識するための構成としては、たとえば、画素の薄膜トランジスタが O N しなく、または O N しにくくなることが要因であり、ゲートドライバ I C 1 2 4 に入る信号、すなわち、タイミングコントローラ 1 4 2 からの O E 信号、および、電源回路 1 4 8 からの V G H / V G L 電圧が該当する。

20

【 0 0 5 2 】

タイミングコントローラ 1 4 2 から出力される O E 信号は、H i g h レベル電圧である場合にゲートドライバ I C 1 2 4 の出力を d i s a b l e する、すなわち、停止させる機能を有することが一般的である。

【 0 0 5 3 】

図 3 は、図 1 に例示された液晶表示装置の回路の他の例を概略的に例示する図である。図 3 に例示されるように、電源回路 1 4 8 は、ソースドライバ I C 1 2 6 a、ソースドライバ I C 1 2 6 b、ソースドライバ I C 1 2 6 c、および、ソースドライバ I C 1 2 6 d に電源を供給する。

30

【 0 0 5 4 】

また、電源回路 1 4 8 は、V G H / V G L 電圧をゲートドライバ I C 1 2 4 a へ出力する。そして、当該 V G H / V G L 電圧は、さらに、ゲートドライバ I C 1 2 4 b へ出力される。なお、スキニング方向が逆であれば、V G H / V G L 電圧は、ゲートドライバ I C 1 2 4 b からゲートドライバ I C 1 2 4 a へ出力される。

【 0 0 5 5 】

タイミングコントローラ 1 4 2 には、映像信号が入力される。そして、タイミングコントローラ 1 4 2 は、水平スタートパルス S T H をソースドライバ I C へ出力する。また、タイミングコントローラ 1 4 2 は、垂直スタートパルス S T V をゲートドライバ I C へ出力する。

40

【 0 0 5 6 】

また、タイミングコントローラ 1 4 2 は、ゲートドライバ I C のシフトクロック信号、および、O E 信号を、ゲートドライバ I C 1 2 4 a へ出力する。

【 0 0 5 7 】

図 4 は、一般的なゲートドライバ I C の回路ブロック図である。図 4 に例示されるように、ゲートドライバ I C は、シフトレジスタ 2 0 8 と、シフトレジスタ 2 0 8 からの出力が入力される出力制御部 2 0 2 と、出力制御部 2 0 2 からの出力が入力されるレベルシフタ 2 0 4 と、レベルシフタ 2 0 4 からの出力が入力される出力アンプ回路 2 0 6 とを備える。

【 0 0 5 8 】

50

図 4 に例示されるように、シフトレジスタ 208 には、STVinput 信号、シフトクロック信号、および、電源電圧を示す VCC / GND 電圧が入力される。また、シフトレジスタ 208 からは、STVoutput 信号が出力される。

【0059】

図 4 に例示されるように、出力制御部 202 には、OE 信号、ゲートドライバ IC の全出力を ON させる制御信号である XON 信号、および、VCC / GND 電圧が入力される。

【0060】

図 4 に例示されるように、レベルシフタ 204 および出力アンプ回路 206 には、VGH / VGL 電圧が入力される。

【0061】

図 4 に例示されるように、ゲートドライバ IC に入力された OE 信号は、ゲートドライバ IC における出力制御部 202 にのみ関与する。また、ゲートドライバ IC に入力された VGH / VGL 電圧は、ゲートドライバ IC におけるレベルシフタ 204 および出力アンプ回路 206 のみに関与する。

【0062】

そのため、OE 信号および VGH / VGL 電圧は、タイミングコントローラがモニターするまたは表示システムがモニターする STVinput / STVoutput 信号、すなわち、図 2 における垂直スタートパルス STV に相当する信号には、影響を与えない。なお、STVinput / STVoutput 信号およびゲートドライバ IC のシフトクロック信号は、ゲートドライバ IC におけるシフトレジスタ 208 に関与する。

【0063】

そのため、ゲートドライバ IC に入力される OE 信号、および、ゲートドライバ IC に入力される VGH / VGL 電圧が、これらの信号を伝達する配線の断線などによって正常に入力されなくなった場合に、STVinput / STVoutput 信号で検出することはできない。

【0064】

図 5 は、図 1 に例示された液晶表示装置の回路の他の例を概略的に例示する図である。図 5 に例示されるように、OE 信号、および、VGH / VGL 電圧がそれぞれゲートドライバ IC 124 に正常に入力されているかどうかを検出するためには、たとえば、ゲートドライバ IC 124 のカスケード接続のためにゲートドライバ IC 124 に設けられている端子から、OE 信号、および、VGH / VGL 電圧のモニター用配線としてループバックする必要がある。

【0065】

具体的には、ゲートドライバ IC 124 におけるカスケード接続用端子から、OE 信号のモニター用配線として、インターフェイスコネクタ 146 を介して表示システムに配線を接続する。また、ゲートドライバ IC 124 における他のカスケード接続用端子から、VGH / VGL 電圧のモニター用配線として、専用の検出回路 302 に配線を接続する。

【0066】

そうすることによって、OE 信号、および、VGH / VGL 電圧がそれぞれゲートドライバ IC 124 に正常に入力されているかどうかを検出することができる。

【0067】

図 6 は、図 2 に例示された回路における配線の様子を例示する図である。また、図 7 は、図 5 に例示された回路におけるゲート IC 内部の PATH 配線を利用する場合の配線の様子を例示する図である。また、図 8 は、図 5 に例示された回路におけるゲート IC 内部の PATH 配線がない場合の配線の様子を例示する図である。

【0068】

図 7 に例示されるように、ゲートドライバ IC 124 のカスケード接続のためにゲートドライバ IC 124 に設けられている端子から、OE 信号、および、VGH / VGL 電圧のモニター用配線としてループバックする場合には、図 6 に例示される場合に対して、ル

10

20

30

40

50

ープバックしたOE500およびループバックしたVGH/VGL502が追加される。そのため、図6に例示される場合よりもさらに、OE信号、および、VGH/VGL電圧のモニター用配線としてループバックするためのガラス配線を追加する必要がある。そうすると、ガラスサイズを大きくなることで、液晶パネルの額縁サイズが広がってしまう。なお、図7におけるIC内部配線を利用するための接続配線600は、ループバックのための配線に、ゲートドライバIC内部の配線を流用するための接続配線である。

【0069】

また、図8に例示されるように、ゲートドライバIC124のカスケード接続のためにゲートドライバIC124に設けられている端子から、OE信号、および、VGH/VGL電圧のモニター用配線としてループバックする場合には、図6に例示される場合に対して、ループバックしたVGH/VGL502およびループバックしたOE504が追加される。そのため、図6に例示される場合よりもさらに、OE信号、および、VGH/VGL電圧のモニター用配線としてループバックするためのガラス配線を追加する必要がある。そうすると、ガラスサイズを大きくなることで、液晶パネルの額縁サイズが広がってしまう。

10

【0070】

また、図5に例示されたように、ゲートドライバIC124のカスケード接続のためにゲートドライバIC124に設けられている端子から、OE信号、および、VGH/VGL電圧のモニター用配線としてループバックする場合には、専用の検出回路302を搭載する必要もある。

20

【0071】

一方で、STVinput/STVoutput信号は、タイミングコントローラがモニターする。また、STVinput/STVoutput信号は、表示システムがインターフェイスコネクタを介してモニターする。

【0072】

したがって、OE信号の異常、VGHの異常、または、VGLの異常がSTVinput/STVoutput信号に影響を与えることができれば、信号本数を増やさずに、ゲートドライバIC124の異常状態をタイミングコントローラ、または、表示システムにおいて検出することができる。

【0073】

以下では、OE信号の異常、VGHの異常、または、VGLの異常がSTVoutputの波形自体に反映されるように構成された液晶表示装置、または、液晶駆動装置について説明する。

30

【0074】

図9は、ゲートドライバICのシフトクロック信号(CLKV)、OE信号、STVinput信号、それぞれのゲートドライバICの出力、および、STVoutput信号の波形を例示する図である。なお、図9においては、ゲートドライバICの出力本数をNとする。

【0075】

一方で、図10は、異常時の波形の形態を複数種例示する図である。図10では、ゲートドライバICのシフトクロック信号、OE信号、後述するAND回路の出力信号、STVinput信号、それぞれのゲートドライバICの出力、および、STVoutput信号の波形を例示する。なお、図10においては、ゲートドライバICの出力本数をNとする。

40

【0076】

図10に例示されるOE信号(x)のようにOE信号がHighレベル電圧に固定される場合、AND信号はAND信号(x)のように、シフトクロック信号を同相でトグルする同じ波形となる。

【0077】

図10に例示されるOE信号(y)のようにOE信号がLowレベル電圧に固定される

50

場合、AND信号はAND信号(y)のように、出力されない。

【0078】

図10では、STVoutput(a)のように、STVoutput信号がLowレベル電圧に固定されることによってパルス自体がなくなる場合、STVoutput(b)のように、STVoutput信号を反復させることによってパルスが複数設定される場合、および、STVoutput(c)のように、STVoutput信号がHighレベル電圧に固定される場合が例示される。

【0079】

OE信号がOE信号(x)またはOE信号(y)のような異常状態となった場合に、上記のSTVoutput(a)、STVoutput(b)、または、STVoutput(c)のように、STVoutput信号の波形自体を変化させる。そうすることによって、STVoutput信号の波形にOE信号の異常、VGHの異常、または、VGLの異常を反映させる。

10

【0080】

図17は、本実施の形態に関するゲートドライバICの、STV信号の波形変化に関連する構成を概念的に例示する図である。

【0081】

図17に例示されるように、本実施の形態に関するゲートドライバICは、OE信号の異常、VGHの異常、および、VGLの異常のうちの少なくとも1つを検出する異常検出回路700と、異常検出回路700から出力される信号に基づいて、STV信号の波形を変化させる波形変化回路701と、STV信号を出力する出力回路702とを備える。

20

【0082】

OE信号の異常、VGHの異常、または、VGLの異常を反映するSTVoutput信号は、異常検出回路700からの出力に基づいて波形変化回路701において生成される。すなわち、波形変化回路701は、異常検出回路700から信号が出力された場合に、STV信号を、たとえば、図10に例示されるSTVoutput(a)、図10に例示されるSTVoutput(b)、または、図10に例示されるSTVoutput(c)のように変化させる。STVoutput(a)、STVoutput(b)、STVoutput(c)の異常検信号は、TCONまたはシステム側でモニターされる。STVoutput(a)、STVoutput(b)およびSTVoutput(c)のうちのどれが使用されるかは、TCONまたはシステムの設計条件による。異常が認識し易い信号が選ばれる。

30

【0083】

異常検出回路700は、ゲートドライバICのOE信号が入力される経路に配置される判定回路と、ゲートドライバICのVGH/VGL電圧が入力される経路に配置される比較回路とを備える。

【0084】

< 異常検出回路の構成について >

図11は、本実施の形態に関する、ゲートドライバICにおける異常検出回路の構成を概略的に例示する回路図である。図11に例示されるように、異常検出回路は、OE信号判定部22と、VGHおよびVGL判定部26とを備える。

40

【0085】

OE信号判定部22は、OE信号とシフトクロック信号とが入力される論理積回路であるAND回路220と、上記シフトクロック信号の分岐信号とAND回路220の出力信号とが入力される判定回路222とを備える。

【0086】

OE信号判定部22において、AND回路220の出力信号は、図10に例示されるように、入力されるOE信号のパルス幅よりも短いパルス幅となる場合が正常である。

【0087】

しかしながら、入力されるOE信号がHighレベル電圧に固定された場合には、AN

50

D回路220の出力信号は、シフトクロック信号と同じパルス幅となる。

【0088】

したがって、判定回路222においてAND回路220の出力とシフトクロック信号とが等しいか否かを判定すれば、これらが等しいと判定される時間の長さによって、OE信号がHighレベル電圧に固定された状態、すなわち、OE信号の異常状態を特定することができる。そして、判定回路222は、OE信号が異常状態である場合に、信号を出力する。

【0089】

VGHおよびVGL判定部26は、参照電圧V1が設定された比較回路260と、参照電圧V2が設定された比較回路262とを備える。

10

【0090】

比較回路260にはVGHが入力される。そして、比較回路260は、VGHが参照電圧V1以下になった場合に、すなわち、VGHの絶対値が参照電圧V1の絶対値よりも小さくなった場合に、VGHが異常状態であると判定しつつ、信号を出力する。

【0091】

比較回路262には一般的に負電圧であるVGLが入力される。そして、比較回路262は、VGLが参照電圧V2以上になった場合に、すなわち、VGLの絶対値が参照電圧V2の絶対値よりも小さくなった場合に、VGLが異常状態であると判定しつつ、信号を出力する。

【0092】

OE信号判定部22の出力信号、および、VGHおよびVGL判定部26の出力信号は、OR回路28に入力される。そして、OR回路28は、OE信号の異常状態を示す判定回路222の出力信号、VGHの異常状態を示す比較回路260の出力信号、または、VGLの異常状態を示す比較回路262の出力信号が入力された場合に、信号を出力する。

20

【0093】

OR回路28から信号が出力された場合、波形変化回路701は、STVoutput信号の波形自体を変化させる。STVoutput信号の波形変化の態様としては、たとえば、STVoutput信号のパルス自体がなくなる、STVoutput信号のパルスが複数設定される、または、STVoutput信号のパルスがずっとHighレベル電圧のまま維持されるなどである。

30

【0094】

ここで、参照電圧V1を、比較回路260に入力される配線経路において取り付けられる外付け抵抗によって変動させることができる。そうすることによって、比較回路260における判定基準を調整することができる。

【0095】

また、参照電圧V2を、比較回路262に入力される配線経路において取り付けられる外付け抵抗によって変動させることもできる。そうすることによって、比較回路262における判定基準を調整することができる。

【0096】

図12は、本実施の形態に関する、ゲートドライバICにおける異常検出回路の構成の他の例を概略的に例示する回路図である。図12に例示されるように、異常検出回路は、OE信号判定部24と、VGHおよびVGL判定部26とを備える。

40

【0097】

OE信号判定部24は、OE信号とシフトクロック信号とが入力される排他的論理和回路であるXOR回路240と、XOR回路240に入力されたシフトクロック信号の分岐信号とXOR回路240の出力信号とが入力される判定回路242とを備える。

【0098】

図13は、本実施の形態に関する、STVoutput信号の波形を複数通りに変化した場合を例示する図である。図13では、ゲートドライバICのシフトクロック信号、OE信号、XOR回路240の出力信号、STVinput信号、それぞれのゲートドラ

50

イバＩＣの出力、および、ＳＴＶｏｕｔｐｕｔ信号の波形を例示する。なお、図１３においては、ゲートドライバＩＣの出力本数をＮとする。

【００９９】

図１３に例示されるＯＥ信号（ｘ）のようにＯＥ信号がＨｉｇｈレベル電圧に固定される場合、ＸＯＲ信号はＸＯＲ信号（ｘ）のように、シフトクロック信号の反転波形となる。

【０１００】

図１３に例示されるＯＥ信号（ｙ）のようにＯＥ信号がＬｏｗレベル電圧に固定される場合、ＸＯＲ信号はＸＯＲ信号（ｙ）のように、シフトクロック信号と同じ波形となる。

【０１０１】

図１３では、ＳＴＶｏｕｔｐｕｔ（ａ）のように、ＳＴＶｏｕｔｐｕｔ信号がＬｏｗレベル電圧に固定されることによってパルス自体がなくなる場合、ＳＴＶｏｕｔｐｕｔ（ｂ）のように、ＳＴＶｏｕｔｐｕｔ信号を反復させることによってパルスが複数設定される場合、および、ＳＴＶｏｕｔｐｕｔ（ｃ）のように、ＳＴＶｏｕｔｐｕｔ信号がＨｉｇｈレベル電圧に固定される場合が例示される。

【０１０２】

ＯＥ信号判定部２４において、ＸＯＲ回路２４０の出力信号は、図１３に例示されるように、１水平期間にパルス幅が追加されたような波形となる場合が正常である。

【０１０３】

しかしながら、入力されるＯＥ信号がＨｉｇｈレベル電圧に固定された場合には、ＸＯＲ回路２４０の出力信号は、シフトクロック信号の反転波形となる。一方で、ＯＥ信号がＬｏｗレベル電圧に固定された場合には、ＸＯＲ回路２４０の出力信号は、シフトクロック信号と同じ波形となる。

【０１０４】

したがって、判定回路２４２においてＸＯＲ回路２４０の出力とシフトクロック信号とが等しいか否かを判定すれば、これらが等しいと判定される時間の長さによって、ＯＥ信号の異常状態を特定することができる。そして、判定回路２４２は、ＯＥ信号が異常状態である場合に、信号を出力する。

【０１０５】

ＶＧＨおよびＶＧＬ判定部２６は、参照電圧Ｖ１が設定された比較回路２６０と、参照電圧Ｖ２が設定された比較回路２６２とを備える。

【０１０６】

ＯＥ信号判定部２４の出力信号、および、ＶＧＨおよびＶＧＬ判定部２６の出力信号は、ＯＲ回路２８に入力される。そして、ＯＲ回路２８は、ＯＥ信号の異常状態を示す判定回路２４２の出力信号、ＶＧＨの異常状態を示す比較回路２６０の出力信号、または、ＶＧＬの異常状態を示す比較回路２６２の出力信号が入力された場合に、信号を出力する。

【０１０７】

ＯＲ回路２８から信号が出力された場合、波形変化回路７０１は、ＳＴＶｏｕｔｐｕｔ信号の波形自体を変化させる。ＳＴＶｏｕｔｐｕｔ信号の波形変化の態様としては、たとえば、ＳＴＶｏｕｔｐｕｔ信号のパルス自体がなくなる、ＳＴＶｏｕｔｐｕｔ信号のパルスが複数設定される、または、ＳＴＶｏｕｔｐｕｔ信号のパルスがずっとＨｉｇｈレベル電圧のまま維持されるなどである。

【０１０８】

ＡＮＤ回路２２０の場合には、ＯＥ信号がＨｉｇｈレベル電圧に固定された状態のみを特定することとなるが、ＸＯＲ回路２４０の場合には、それに加えて、ＯＥ信号がＬｏｗレベル電圧に固定された状態も判定することができる。

【０１０９】

< 第２の実施の形態 >

本実施の形態に関するゲートドライバＩＣ、および、液晶表示装置について説明する。以下の説明においては、以上に記載された実施の形態で説明された構成と同様の構成につ

10

20

30

40

50

いては同じ符号を付して図示し、その詳細な説明については適宜省略するものとする。

【0110】

< 異常検出回路の構成について >

VGHおよびVGL判定部における比較回路への入力には、ゲートドライバIC124の出力信号を流用することができる。

【0111】

図14は、本実施の形態に関する、ゲートドライバICにおける異常検出回路の構成を概略的に例示する回路図である。図14に例示されるように、異常検出回路は、OE信号判定部22と、VGHおよびVGL判定部27とを備える。

【0112】

また、図15は、図14に例示された異常検出回路に対応する、ゲートドライバICの構成を例示する図である。図15において、L/Sは、レベルシフタに対応する。

【0113】

図15に例示されるように、ゲートドライバICは、信号が入力される出力アンプ回路406（第1の出力アンプ回路）と、出力アンプ回路406に対して並列に接続され、かつ、当該信号の分岐信号が入力されるダミー回路406a（第2の出力アンプ回路）とを備える。ダミー回路406aの構造は、出力アンプ回路406の構造と同様であるが、その電源は、図15に例示されるようにVGH2/VGL2電圧とし、出力アンプ回路406のVGH/VGL電圧とは、別系統で配線されるものとする。

【0114】

そして、ダミー回路406aの出力信号は、パネル配線を介して再度ゲートドライバICに入力され、図14における比較回路272へ入力される。これは、図14および図15におけるBに対応する。

【0115】

一方で、比較回路272には、出力アンプ回路406へ入力される信号、すなわち、ゲートドライバIC内部の最終段における出力信号も入力される。これは、図14および図15におけるAに対応する。

【0116】

VGH/VGL電圧がゲートドライバICに入力されていない場合には、比較回路272は、そもそも、ダミー回路406aの出力信号と、ゲートドライバIC内部の最終段における出力信号（OUTN）とを比較することができない。そのため、その場合には比較回路272は、VGH/VGL電圧が異常状態であると判定しつつ、信号を出力する。

【0117】

一方で、比較回路272は、ダミー回路406aの出力信号と、ゲートドライバIC内部の最終段における出力信号とが等しい場合には、VGH/VGL電圧が正常であると判定しつつ、信号を出力しない。比較回路272は、例えば差動アンプ、ローパスフィルター（積分）回路、コンパレータでしきい値判別する。VGH/VGL電圧が異常な場合は、A信号の波形とB信号の波形とが大きく異なる状態になり、差動アンプから矩形波が出力する。この波形を、ローパスフィルター回路で直流化して、コンパレータで所定の値以上を異常と判別する。VGH/VGL電圧が正常な場合は、比較回路272の出力は、ダミー回路406aによるディレー分程度であり、ローパスフィルター回路で除去される。

【0118】

ここで、比較回路272に入力する信号に、液晶パネルの最終出力から分岐させた信号を用いていないのは、画素の負荷が影響を及ぼすことを抑制するためである。

【0119】

< 異常検出回路の構成について >

OE信号判定部とVGH/VGL電圧判定部との組み合わせは、第1の実施の形態、および、第2の実施の形態に例示された組み合わせとは異なる組み合わせであってもよい。

【0120】

10

20

30

40

50

図 16 は、本実施の形態に関する、ゲートドライバ IC における異常検出回路の構成を概略的に例示する回路図である。異常検出回路は、ゲートドライバ IC 内に配置される。図 16 に例示されるように、異常検出回路は、OE 信号判定部 24 と、VGH および VGL 判定部 27 とを備える。

【0121】

OE 信号判定部 24 は、排他的論理和回路である XOR 回路 240 と、XOR 回路 240 に入力されたシフトクロック信号の分岐信号と XOR 回路 240 の出力信号とが入力される判定回路 242 とを備える。

【0122】

VGH および VGL 判定部 27 は、ダミー回路 406a の出力信号と、ゲートドライバ IC 内部の最終段における出力信号とが入力される比較回路 272 を備える。

10

【0123】

図 18 は、本実施の形態に関する、異常検出回路 700 および波形変化回路 701 が配置された構成を例示する回路図である。図 18 において、S/R はシフトレジスタに、O/C は出力制御部に、L/S はレベルシフタにそれぞれ対応する。図 18 に例示されるように、波形変化回路 701 は、ゲートドライバ IC 内に配置される。波形変化回路 701 は、ゲートドライバ IC の回路構造に付加される態様で配置される。

【0124】

図 19 は、本実施の形態に関する波形変化回路の具体的な回路構成を例示する回路図である。図 19 に例示されるように、波形変化回路は、異常出力と STV output とが入力される AND 回路 800 を備え、STV output (a) を出力する。

20

【0125】

図 20 は、本実施の形態に関する波形変化回路の具体的な回路構成を例示する回路図である。図 20 に例示されるように、波形変化回路は、異常出力と、STV output と、シフトレジスタ 803 の出力とが入力される AND 回路 801 を備え、STV output (b) を出力する。

【0126】

ここで、シフトレジスタ 803 には、シフトクロック信号とシフトレジスタ 802 の出力とが入力される。また、シフトレジスタ 802 には、シフトクロック信号と STV output とが入力される。

30

【0127】

図 21 は、本実施の形態に関する波形変化回路の具体的な回路構成を例示する回路図である。図 21 に例示されるように、波形変化回路は、異常出力と STV output とが入力される T フリップフロップ回路 804 を備え、STV output (c) を出力する。

【0128】

< 以上に記載された実施の形態によって生じる効果について >

次に、以上に記載された実施の形態によって生じる効果を例示する。なお、以下の説明においては、以上に記載された実施の形態に例示された具体的な構成に基づいて当該効果が記載されるが、同様の効果が生じる範囲で、本願明細書に例示される他の具体的な構成と置き換えられてもよい。

40

【0129】

また、当該置き換えは、複数の実施の形態に跨ってなされてもよい。すなわち、異なる実施の形態において例示されたそれぞれの構成が組み合わされて、同様の効果が生じる場合であってもよい。

【0130】

以上に記載された実施の形態によれば、ドライバ IC は、異常検出部と、波形変化部と、出力部とを備えるものである。異常検出部は、ゲートドライバ部の出力を制御する信号である OE 信号の異常、液晶表示パネルのそれぞれの画素における駆動トランジスタが ON 状態である場合の High レベル電圧を示す信号である VGH の異常、および、駆動ト

50

ランジスタがOFF状態である場合のLowレベル電圧を示す信号であるVGLの異常のうちの少なくとも1つを検出する。波形変化部は、異常検出部から出力される信号に基づいて、ゲートパルスが発生させるためのスタート信号であるSTV信号の波形を変化させる。出力部は、STV信号を出力する。ここで、異常検出部は、たとえば、異常検出回路700に対応するものである。また、波形変化部は、たとえば、波形変化回路701に対応するものである。また、出力部は、たとえば、出力回路702に対応するものである。

【0131】

このような構成によれば、配線の増加を抑制しつつ、OE信号の異常、VGH電圧の異常、および、VGL電圧の異常の少なくとも1つを反映するSTV信号に基づいて液晶表示の異常を検出することができる。具体的には、異常検出回路700から信号が出力された場合に、波形変化回路701がSTV信号を変化させる。そして、変化させられたSTV信号がタイミングコントローラ142または表示システムに受信されることによって、液晶表示の異常が検出される。STV信号は、タイミングコントローラ142または表示システムに監視される信号である。STV信号が、OE信号の異常、VGH電圧の異常、および、VGL電圧の異常の少なくとも1つを反映するので、OE信号の異常、VGH電圧の異常、および、VGL電圧の異常の少なくとも1つを検出するために、これらの信号を導くための新たな配線を設ける必要はない。また、STV信号が、OE信号の異常、VGH電圧の異常、および、VGL電圧の異常の少なくとも1つを反映するので、OE信号の異常、VGH電圧の異常、および、VGL電圧の異常の少なくとも1つを検出するための新たな検出回路を、ゲートドライバIC124の外部に設ける必要はない。したがって、液晶パネル、さらには、液晶表示装置のサイズアップを抑制することができる。また、表示システム側とインターフェイスするためのピン数を増やす必要がない。これらによって、液晶表示装置の製造コストの増大も抑制することができる。

【0132】

なお、これらの構成以外の本願明細書に例示される他の構成については適宜省略することができる。すなわち、少なくともこれらの構成を備えていれば、以上に記載された効果を生じさせることができる。

【0133】

しかしながら、本願明細書に例示される他の構成のうちの少なくとも1つを以上に記載された構成に適宜追加した場合、すなわち、以上に記載された構成としては記載されなかった本願明細書に例示される他の構成を以上に記載された構成に追加した場合でも、同様に以上に記載された効果を生じさせることができる。

【0134】

また、以上に記載された実施の形態によれば、OE信号の異常とは、OE信号が常にHighレベル電圧、または、OE信号が常にLowレベル電圧であることを含むものである。このような構成によれば、判定回路242において、XOR回路240の出力とシフトクロック信号とが等しいか否かを判定することによって、OE信号の異常状態を特定することができる。

【0135】

また、以上に記載された実施の形態によれば、VGHの異常とは、VGHがゲートドライバICに入力されていないことを含むものである。このような構成によれば、比較回路272において、ダミー回路406aの出力信号と、ゲートドライバIC内部の最終段における出力信号とを比較することができるか否かを判定することによって、VGHの異常状態を特定することができる。

【0136】

また、以上に記載された実施の形態によれば、VGLの異常とは、VGLがゲートドライバICに入力されていないことを含むものである。このような構成によれば、比較回路272において、ダミー回路406aの出力信号と、ゲートドライバIC内部の最終段における出力信号とを比較することができるか否かを判定することによって、VGLの異常状態を特定することができる。

10

20

30

40

50

【 0 1 3 7 】

また、以上に記載された実施の形態によれば、波形変化部は、S T V 信号を L o w レベル電圧に固定する、S T V 信号を反復させる、または、S T V 信号を H i g h レベル電圧に固定することによって、S T V 信号の波形を変化させる。このような構成によれば、O E 信号の異常、V G H 電圧の異常、および、V G L 電圧の異常の少なくとも1つをS T V 信号の波形の変化に反映させることによって、通常とは異なる波形であるS T V 信号に基づいて液晶表示の異常を検出することができる。

【 0 1 3 8 】

また、以上に記載された実施の形態によれば、異常検出部は、O E 信号と、ゲートドライバ I C のシフトクロック信号とが入力される A N D 回路 2 2 0 と、シフトクロック信号の分岐信号と、A N D 回路 2 2 0 の出力信号とが入力され、かつ、シフトクロック信号の分岐信号と A N D 回路 2 2 0 の出力信号とが等しい時間の長さに基づいて、O E 信号の異常を判定する判定回路 2 2 2 とを備えるものである。このような構成によれば、判定回路 2 2 2 において A N D 回路 2 2 0 の出力とシフトクロック信号とが等しいか否かを判定すれば、これらが等しいと判定される時間の長さによって、O E 信号が H i g h レベル電圧に固定された状態、すなわち、O E 信号の異常状態を特定することができる。そして、判定回路 2 2 2 は、O E 信号が異常状態である場合に、信号を出力する。

【 0 1 3 9 】

また、以上に記載された実施の形態によれば、異常検出部は、O E 信号と、ゲートドライバ I C のシフトクロック信号とが入力される X O R 回路 2 4 0 と、シフトクロック信号の分岐信号と、X O R 回路 2 4 0 の出力信号とが入力され、かつ、シフトクロック信号の分岐信号と X O R 回路 2 4 0 の出力信号とが等しい時間の長さに基づいて、O E 信号の異常を判定する判定回路 2 4 2 とを備えるものである。このような構成によれば、判定回路 2 4 2 において X O R 回路 2 4 0 の出力とシフトクロック信号とが等しいか否かを判定すれば、O E 信号の異常状態を特定することができる。そして、判定回路 2 4 2 は、O E 信号が異常状態である場合に、信号を出力する。

【 0 1 4 0 】

また、以上に記載された実施の形態によれば、異常検出部は、あらかじめ定められた第 1 の参照電圧と、V G H とを比較した結果に基づいて、V G H の異常を判定する第 1 の比較回路を備えるものである。ここで、第 1 の参照電圧は、たとえば、参照電圧 V 1 に対応するものである。また、第 1 の比較回路は、たとえば、比較回路 2 6 0 に対応するものである。このような構成によれば、比較回路 2 6 0 は、V G H が参照電圧 V 1 以下になった場合に、すなわち、V G H の絶対値が参照電圧 V 1 の絶対値よりも小さくなった場合に、V G H が異常状態であると判定しつつ、信号を出力することができる。

【 0 1 4 1 】

また、以上に記載された実施の形態によれば、ドライバ I C は、第 1 の参照電圧を変動させるための第 1 の抵抗を備えるものである。ここで、第 1 の抵抗は、たとえば、比較回路 2 6 0 に入力される配線経路において取り付けられる外付け抵抗に対応するものである。このような構成によれば、比較回路 2 6 0 における判定基準を調整することができる。

【 0 1 4 2 】

また、以上に記載された実施の形態によれば、異常検出部は、あらかじめ定められた第 2 の参照電圧と、V G L とを比較した結果に基づいて、V G L の異常を判定する第 2 の比較回路を備えるものである。ここで、第 2 の参照電圧は、たとえば、参照電圧 V 2 に対応するものである。また、第 2 の比較回路は、たとえば、比較回路 2 6 2 に対応するものである。このような構成によれば、比較回路 2 6 2 は、V G L が参照電圧 V 2 以上になった場合に、すなわち、V G L の絶対値が参照電圧 V 2 の絶対値よりも小さくなった場合に、V G L が異常状態であると判定しつつ、信号を出力することができる。

【 0 1 4 3 】

また、以上に記載された実施の形態によれば、ドライバ I C は、第 2 の参照電圧を変動させるための第 2 の抵抗を備えるものである。ここで、第 2 の抵抗は、たとえば、比較回

10

20

30

40

50

路 2 6 2 に入力される配線経路において取り付けられる外付け抵抗に対応するものである。このような構成によれば、比較回路 2 6 2 における判定基準を調整することができる。

【 0 1 4 4 】

また、以上に記載された実施の形態によれば、異常検出部は、ゲートドライバ IC 内において出力アンプ回路 4 0 6 (第 1 の出力アンプ回路) に出力される信号と、当該信号の分岐信号がダミー回路 4 0 6 a (第 2 の出力アンプ回路) を介して入力される信号とを比較した結果に基づいて、V G H の異常および V G L の異常を判定する第 3 の比較回路を備えるものである。ここで、第 3 の比較回路は、たとえば、比較回路 2 7 2 に対応するものである。このような構成によれば、V G H 電圧または V G L 電圧がゲートドライバ IC に入力されていない場合には、比較回路 2 7 2 は、ダミー回路 4 0 6 a の出力信号と、ゲートドライバ IC 内部の最終段における出力信号とを比較し、V G H 電圧または V G L 電圧が異常状態であると判定しつつ、異常信号を出力することができる。

10

【 0 1 4 5 】

以上に記載された実施の形態によれば、液晶表示装置において、上記のドライバ IC を備える。

【 0 1 4 6 】

このような構成によれば、液晶表示装置における配線の増加を抑制しつつ、O E 信号の異常、V G H 電圧の異常、および、V G L 電圧の異常の少なくとも 1 つを反映する S T V 信号に基づいて液晶表示の異常を検出することができる。具体的には、異常検出回路から出力される信号に基づいて、波形変化回路 7 0 1 が S T V 信号を変化させる。そして、変化させられた S T V 信号がタイミングコントローラ 1 4 2 または表示システムに受信されることによって、液晶表示の異常が検出される。

20

【 0 1 4 7 】

< 以上に記載された実施の形態における変形例について >

以上に記載された実施の形態では、それぞれの構成要素の材質、材料、寸法、形状、相対的配置関係または実施の条件などについても記載する場合があるが、これらはすべての局面において例示であって、本願明細書に記載されたものに限られることはないものとする。

【 0 1 4 8 】

したがって、例示されていない無数の変形例、および、均等物が、本願明細書に開示される技術の範囲内において想定される。たとえば、少なくとも 1 つの構成要素を変形する場合、追加する場合または省略する場合、さらには、少なくとも 1 つの実施の形態における少なくとも 1 つの構成要素を抽出し、他の実施の形態の構成要素と組み合わせる場合が含まれるものとする。

30

【 0 1 4 9 】

また、矛盾が生じない限り、以上に記載された実施の形態において「 1 つ」備えられるものとして記載された構成要素は、「 1 つ以上」備えられていてもよいものとする。

【 0 1 5 0 】

さらに、以上に記載された実施の形態におけるそれぞれの構成要素は概念的な単位であって、本願明細書に開示される技術の範囲内には、1 つの構成要素が複数の構造物から成る場合と、1 つの構成要素がある構造物の一部に対応する場合と、さらには、複数の構成要素が 1 つの構造物に備えられる場合とを含むものとする。

40

【 0 1 5 1 】

また、以上に記載された実施の形態におけるそれぞれの構成要素には、同一の機能を発揮する限り、他の構造または形状を有する構造物が含まれるものとする。

【 0 1 5 2 】

また、本願明細書における説明は、本技術に関するすべての目的のために参照され、いずれも、従来技術であると認めるものではない。

【 0 1 5 3 】

また、以上に記載された実施の形態において、特に指定されずに材料名などが記載され

50

た場合は、矛盾が生じない限り、当該材料に他の添加物が含まれた、たとえば、合金などが含まれるものとする。

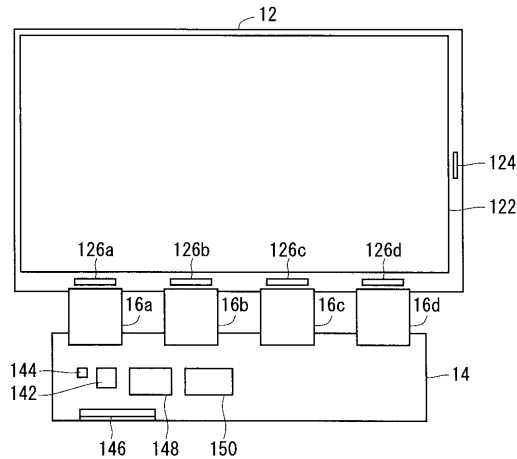
【符号の説明】

【0154】

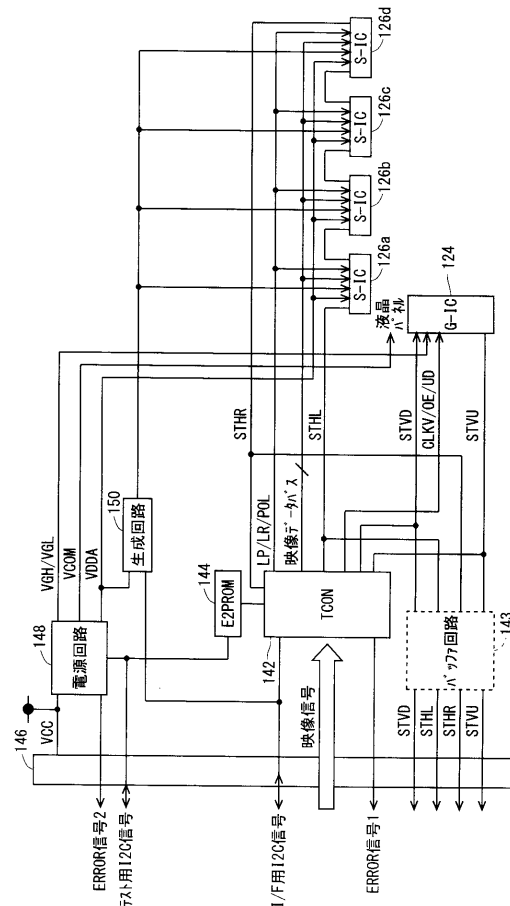
12 液晶パネル、14 回路基板、16a, 16b, 16c, 16d フレキシブルプリント回路基板、22, 24 信号判定部、26, 27 VGHおよびVGL判定部、28 OR回路、122 画素領域、124, 124a, 124b ゲートドライバIC、126a, 126b, 126c, 126d ソースドライバIC、142 タイミングコントローラ、143 バッファ回路、144 E2PROM、146 インターフェイスコネクタ、148 電源回路、150 生成回路、202 出力制御部、204 レベルシフタ、206, 406 出力アンプ回路、208, 802, 803 シフトレジスタ、220, 800, 801 AND回路、222, 242 判定回路、240 XOR回路、260, 262, 272 比較回路、302 検出回路、406a ダミー回路、500, 504 ループバックしたOE、502 ループバックしたVGH/VGL、600 IC内部配線を利用するための接続配線、700 異常検出回路、701 波形変化回路、702 出力回路、804 Tフリップフロップ回路。

10

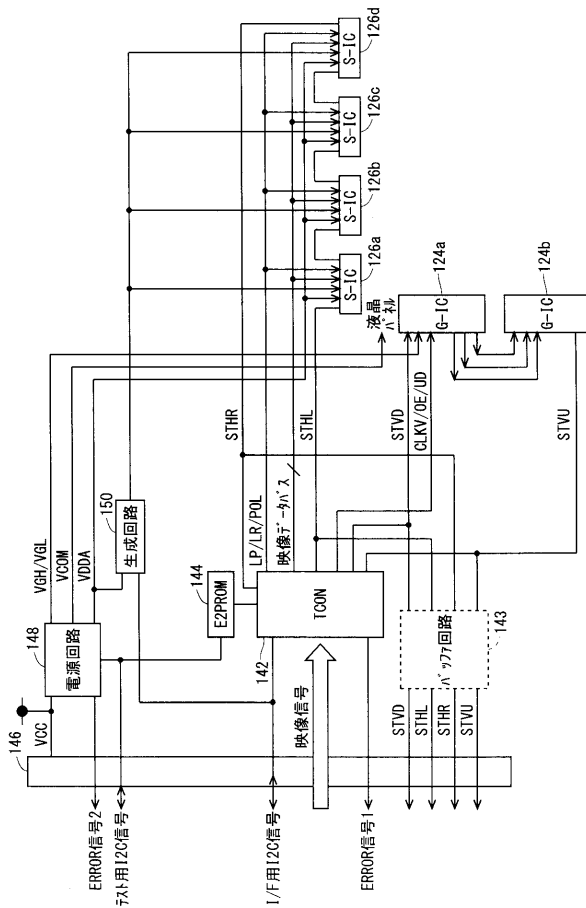
【図1】



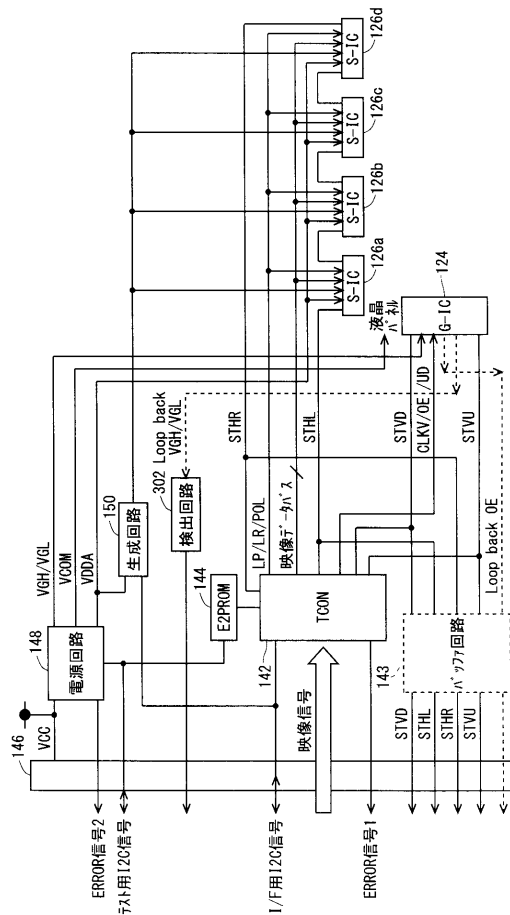
【図2】



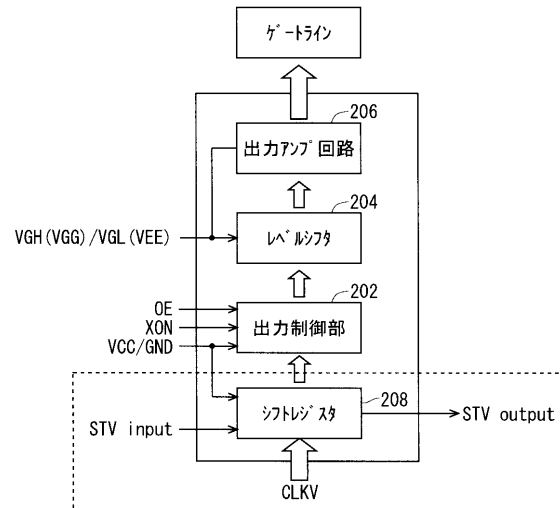
【図 3】



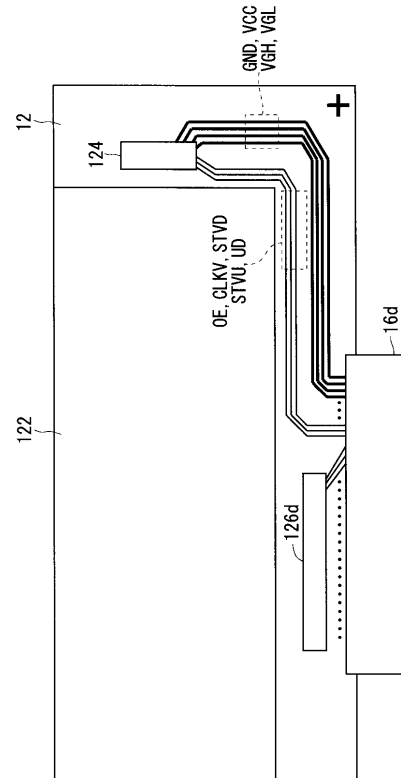
【図 5】



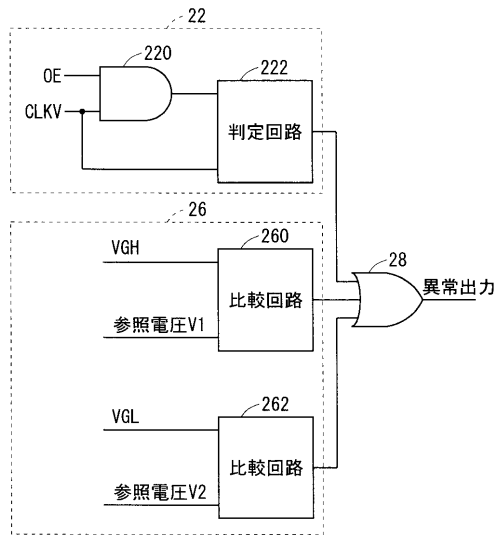
【図 4】



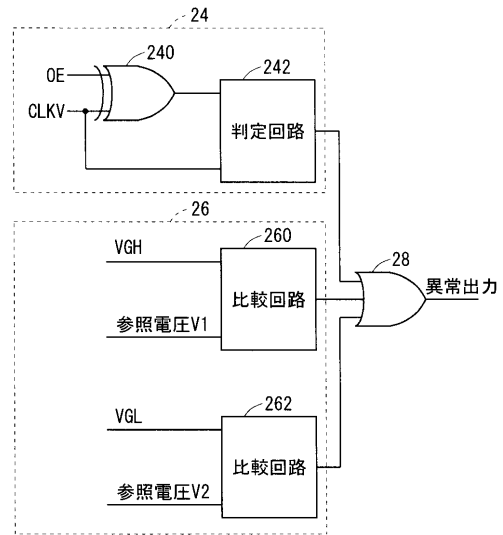
【図 6】



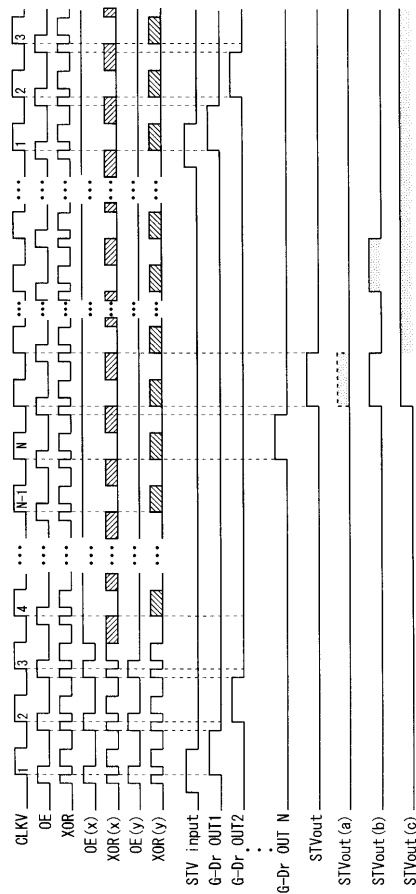
【図 1 1】



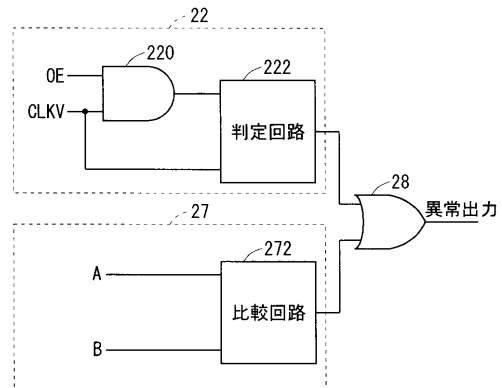
【図 1 2】



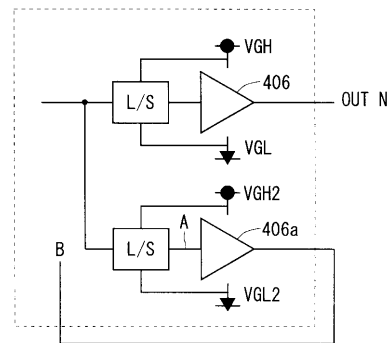
【図 1 3】



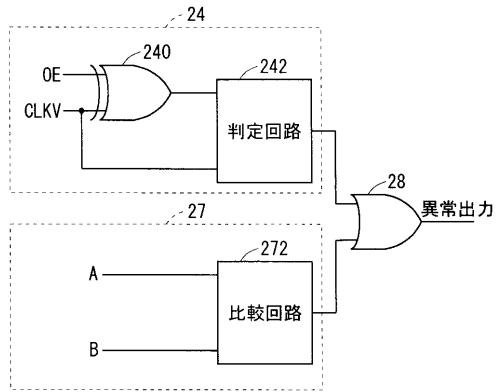
【図 1 4】



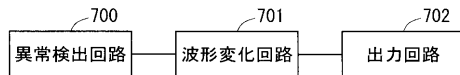
【図 1 5】



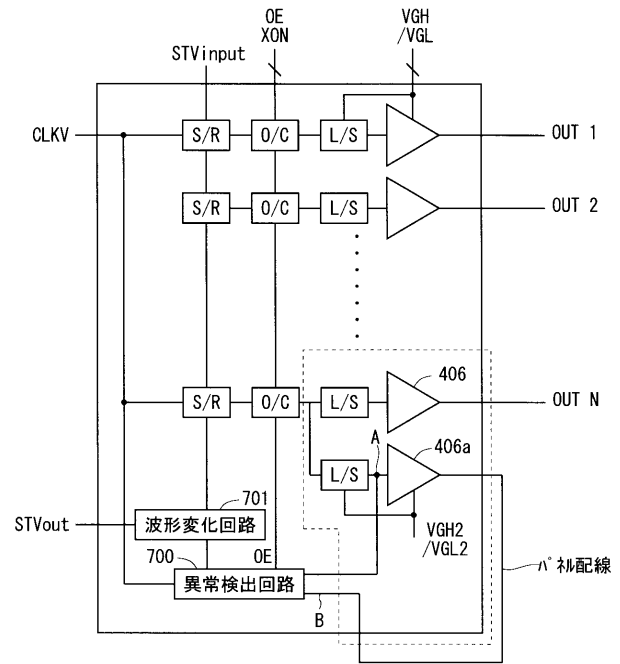
【図 16】



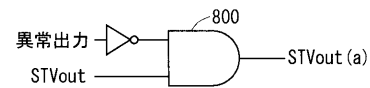
【図 17】



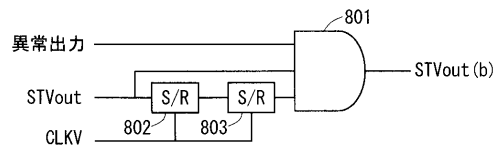
【図 18】



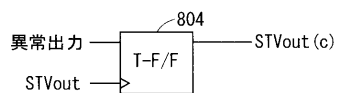
【図 19】



【図 20】



【図 21】



フロントページの続き

F ターム(参考) 5C080 AA10 BB05 DD14 DD22 FF01 FF11 FF12 JJ02 JJ03 JJ04

专利名称(译)	驱动器IC和液晶显示器件		
公开(公告)号	JP2018109705A	公开(公告)日	2018-07-12
申请号	JP2017000393	申请日	2017-01-05
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	田代智裕		
发明人	田代 智裕		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/006 G09G3/20 G09G3/3677 G09G3/3688 G09G2310/0267 G09G2310/0286 G09G2310/0289 G09G2310/0291 G09G2310/06 G09G2310/08 G09G2330/12 H03K19/20 H03K19/21		
FI分类号	G09G3/36 G09G3/20.622.G G09G3/20.670.C G09G3/20.670.A G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZF02 2H193/ZF11 2H193/ZF21 2H193/ZF43 2H193/ZF51 2H193/ZH22 2H193/ZH23 2H193/ZH52 5C006/AF65 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC16 5C006/BC24 5C006/BF03 5C006/BF14 5C006/BF21 5C006/BF25 5C006/BF26 5C006/BF42 5C006/BF46 5C006/EC09 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD14 5C080/DD22 5C080/FF01 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种基于OE信号，VGH电压和VGL电压检测液晶显示器异常的技术，同时抑制布线的增加。 解决方案：驱动器IC包括用于检测OE信号的异常，作为指示高电平电压的信号的VGH的异常和作为指示低电平电压的信号的VGL的异常中的至少一个的异常检测部分（未示出）。（700），波形变化部分（701），用于根据从异常检测部分（700）输出的信号改变作为用于产生门脉冲的起始信号的STV信号的波形，波形变化部分和输出单元（702）。.The 17

