

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2016-526692

(P2016-526692A)

(43) 公表日 平成28年9月5日(2016.9.5)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G02F 1/133 525	5C080
	G09G 3/20 621A	
	G09G 3/20 622D	
審査請求 有 予備審査請求 未請求 (全 33 頁) 最終頁に続く		

(21) 出願番号 特願2015-560440 (P2015-560440)
 (86) (22) 出願日 平成26年7月25日 (2014.7.25)
 (85) 翻訳文提出日 平成27年12月11日 (2015.12.11)
 (86) 国際出願番号 PCT/JP2014/003937
 (87) 国際公開番号 W02015/011933
 (87) 国際公開日 平成27年1月29日 (2015.1.29)
 (31) 優先権主張番号 1313404.4
 (32) 優先日 平成25年7月26日 (2013.7.26)
 (33) 優先権主張国 英国 (GB)

(71) 出願人 000005049
 シャープ株式会社
 大阪府堺市堺区匠町 1 番地
 (74) 代理人 110000338
 特許業務法人HARAKENZO WORLD PATENT & TRADEMARK
 (72) 発明者 ガス ポール アントニー
 イギリス オーエックス4 4ジービー,
 オックスフォードシャー, オックスフォード,
 オックスフォード サイエンス パーク,
 エドモンド ハリー ロード (番地なし) シャープ ラボラトリーズ オブ
 ヨーロッパ リミテッド内

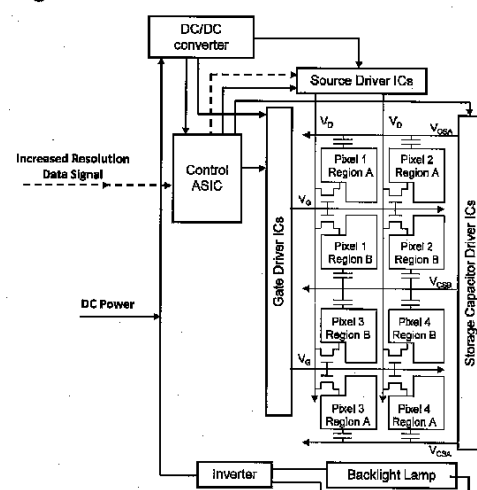
最終頁に続く

(54) 【発明の名称】 アクティブマトリックス・ディスプレイ装置およびその駆動方法

(57) 【要約】

1つの画素が複数のサブ画素を備え、1つの画素の各サブ画素がそれぞれの蓄積容量アドレス配線と結合され、従って、個々のサブ画素の両端間に印加される電圧が、信号電圧と、結合された蓄積容量アドレス配線に印加される電圧との両方に依存する、マルチピクセルドライブ (MPD) 型のアクティブマトリックスLCDディスプレイは、フレームの第1の表示リフレッシュ期間における、複数の容量配線電圧のうちの少なくとも第1の容量配線電圧と、容量配線電圧のうちの第2の容量配線電圧の間の関係が、フレームの第2の表示リフレッシュ期間における、複数の容量配線電圧のうちの第1と、複数の容量配線電圧のうちの第2との間の関係とは異なるように駆動される。これは、フレームにわたって第1のサブ画素の両端間に印加される二乗平均平方根 (RMS) 電圧が、フレームにわたって第2のサブ画素の両端間に印加される RMS 電圧とは少なくとも部分的に独立して制御されることを可能にし、それによって解像度向上を提供する。

Figure 4



【特許請求の範囲】

【請求項 1】

アクティブマトリックスLCDディスプレイであって、複数のソース配線と、前記ソース配線と交差した複数のゲート配線と、複数の蓄積容量アドレス配線とを有し、前記ソースおよびゲート配線の交点には独立してアドレス可能な画素が設けられ、1つの画素は、複数のサブ画素を備え、1つの画素の各サブ画素は、前記蓄積容量アドレス配線のうちのそれぞれ1つと結合され、前記ディスプレイは、第1のモードで、画像データの1つのフレームのための1つの画素に関する入力データに応答して、前記フレームに関する複数の信号電圧を前記画素の前記ソース配線へ供給し、かつ複数の容量配線電圧を供給するための駆動回路を有し、前記容量配線電圧のそれぞれは、前記画素のそれぞれの蓄積容量アドレス配線へ供給され、

10

前記駆動回路は、前記フレームの第1の表示リフレッシュ期間に供給される、前記複数の容量配線電圧のうちの少なくとも第1の容量配線電圧と、前記複数の容量配線電圧のうちの第2の容量配線電圧との間の関係が、前記フレームの後続の表示リフレッシュ期間に供給される、前記複数の容量配線電圧のうちの前記第1と、前記複数の容量配線電圧のうちの前記第2との間の前記関係とは異なるように、前記複数の容量配線電圧を供給するようになっている、アクティブマトリックスLCDディスプレイ。

【請求項 2】

前記駆動回路は、前記フレームにわたって第1の前記サブ画素の両端間に印加される二乗平均平方根(RMS)電圧が、前記フレームにわたって第2の前記サブ画素の両端間に印加されるRMS電圧とは少なくとも部分的に独立して制御可能であるように、前記フレームの前記第1および第2の表示リフレッシュ期間に前記複数の信号電圧と前記複数の容量配線電圧のうちの前記第1の容量配線電圧とを供給するようになっている、請求項1に記載のディスプレイ。

20

【請求項 3】

アクティブマトリックスLCDディスプレイであって、複数のソース配線と、前記ソース配線と交差した複数のゲート配線と、複数の蓄積容量アドレス配線とを有し、前記ソースおよびゲート配線の交点には独立してアドレス可能な画素が設けられ、1つの画素は、複数のサブ画素を備え、1つの画素の各サブ画素は、前記蓄積容量アドレス配線のうちのそれぞれ1つと結合され、前記ディスプレイは、第1のモードで、画像データの1つのフレームのための1つの画素に関する入力データに応答して、前記フレームに関する複数の信号電圧を前記画素の前記ソース配線へ供給し、かつ複数の容量配線電圧を供給するための駆動回路を有し、各前記容量配線電圧は、前記画素のそれぞれの蓄積容量アドレス配線へ供給され、

30

前記駆動回路は、前記フレームにわたって第1の前記サブ画素の両端間に印加される二乗平均平方根(RMS)電圧が、前記フレームにわたって第2の前記サブ画素の両端間に印加されるRMS電圧とは少なくとも部分的に独立して制御可能であるように、前記複数の信号電圧と前記複数の容量配線電圧とを供給するようになっている、アクティブマトリックスLCDディスプレイ。

【請求項 4】

40

前記駆動回路は、使用中に、第1の信号電圧を前記フレームの第1の表示リフレッシュ期間に前記画素の前記ソース配線へ供給し、使用中に、前記第1の信号電圧とは異なる第2の信号電圧を前記フレームの第2の表示リフレッシュ期間に供給する、請求項1、2または3に記載のディスプレイ。

【請求項 5】

前記駆動回路は、前記第1のサブ画素の両端間に前記フレームにわたって印加される前記RMS電圧が、前記フレームにわたって前記第2のサブ画素の両端間に印加される前記RMS電圧の1/3と3倍との間で制御可能であるように、前記フレームの前記第1および第2の表示リフレッシュ期間に前記複数の信号電圧と前記複数の蓄積容量配線電圧とを供給するようになっている、請求項2または3、あるいは請求項2または3に従属する場

50

合の請求項 4 に記載のディスプレイ。

【請求項 6】

1 つのフレームに第 1 および第 2 の表示リフレッシュ期間が定義された、請求項 1 ～ 5 のいずれか 1 つに記載のディスプレイ。

【請求項 7】

1 つのフレームに第 1 から第 4 の表示リフレッシュ期間が定義された、請求項 1 ～ 5 にいずれか 1 つに記載のディスプレイ。

【請求項 8】

前記駆動回路は、前記複数のサブ画素のうちの各サブ画素に関して、N 個の連続するフレームの一群において前記サブ画素の両端間に印加される正味の電圧が、すぐ後に続く N 個の連続するフレームの一群において前記サブ画素の両端間に印加される正味の電圧と反対極性であり、かつ振幅が実質的に等しいように、前記複数の信号電圧と前記複数の容量配線電圧を供給するようになっている、請求項 1 ～ 7 にいずれか 1 つに記載のディスプレイ。

10

【請求項 9】

1 つのフレームのための 1 つの画素に関する前記入力データは、各入力データ値が前記画素のそれぞれのサブ画素の所望の輝度を定義する、複数の前記入力データ値を備える、請求項 1 ～ 8 にいずれか 1 つに記載のディスプレイ。

【請求項 10】

前記駆動回路は、前記複数の入力データ値に応じて、1 つのフレームのための 1 つの画素に関する前記複数の信号電圧を供給するようになっている、請求項 9 に記載のディスプレイ。

20

【請求項 11】

前記駆動回路は、前記複数の入力データ値に応じて、1 つのフレームのための 1 つの画素に関する前記複数の信号電圧と前記複数の容量配線電圧とを供給するようになっている、請求項 9 に記載のディスプレイ。

【請求項 12】

前記駆動回路は、1 つのフレームのための 1 つの画素に関して、n 個の信号電圧の少なくとも 2 つのセットを確定し、ここで n は、1 つのフレームにおける表示リフレッシュ期間の数であり、信号電圧の各セットが、前記画素に前記フレームにわたって所望の RMS 電圧を提供するように、かつ、信号電圧の前記第 1 のセットが、信号電圧の前記第 2 のセットにより前記画素の両端間に前記フレームにわたって生成される総合的な電圧と実質的に等しい振幅であり反対極性の総合的な電圧を、前記画素の両端間に前記フレームにわたって提供するように確定するようになっている請求項 1 ～ 11 のいずれか 1 つに記載のディスプレイ。

30

【請求項 13】

予め計算された複数の信号電圧を記憶するための記憶装置を備え、前記駆動回路は、1 つの表示リフレッシュ期間に関して、前記画素の前記信号配線への供給のために前記予め計算された複数の信号電圧のうちの 1 つを選択するようになっている、請求項 1 ～ 12 のいずれか 1 つに記載のディスプレイ。

40

【請求項 14】

予め計算された各信号電圧は、各前記サブ画素の前記所望の輝度に依存する、請求項 9 に直接的または間接的に従属する場合に請求項 13 に記載のディスプレイ。

【請求項 15】

前記記憶装置は、使用中に、1 つの画素の前記複数のサブ画素の所望の輝度値の組み合わせごとに予め計算された信号電圧の第 1 および第 2 のセットを記憶し、前記駆動回路は、1 つの表示リフレッシュ期間に関して、その表示リフレッシュ期間に前記画素の両端間に印加される前記電圧の所望の極性に応じて、予め計算された信号電圧の前記第 1 および第 2 のセットのうちの 1 つを選択する、請求項 13 または 14 に記載のディスプレイ。

【請求項 16】

50

前記記憶装置は、ルックアップテーブルを備える、請求項 13、14 または 15 に記載のディスプレイ。

【請求項 17】

前記ディスプレイの少なくとも 1 つの画素は、2 つのサブ画素を備えるか、または前記ディスプレイの少なくとも 1 つの画素は、3 つ以上のサブ画素を備える、請求項 1～16 のうちのいずれか 1 つに記載のディスプレイ。

【請求項 18】

前記駆動回路は、1 つの表示リフレッシュ期間に供給される信号電圧の前記極性が直前の表示リフレッシュ期間に供給された信号電圧の前記極性と反対であるように、前記複数の信号電圧を供給するように配置された、請求項 7 に、または請求項 7 に直接的または間接的に従属する場合に請求項 8～17 のうちのいずれか 1 つに記載のディスプレイ。

10

【請求項 19】

異なる色の少なくとも 4 つの画素からなる複数の合成白色画素を有し、各色画素は、第 1 の方向に沿って互いに離隔した複数のサブ画素を備えるディスプレイであって、前記第 1 のモードで、前記駆動回路は、前記第 1 の方向に平行な方向に実効解像度を向上させるように、前記複数の信号電圧と前記複数の容量配線電圧とを供給し、前記色画素は、各合成白色画素中で順々に配置されて、前記第 1 の方向に沿って延びる色縞の繰り返しパターンを作り出し、それにより前記第 1 の方向と交差する方向に前記実効解像度を向上させるように配置された、請求項 1～18 のうちのいずれか 1 つに記載のディスプレイ。

【請求項 20】

20

1 つの画素は、互いに異なるサイズの少なくとも 2 つのサブ画素を備える、請求項 1～19 のうちのいずれか 1 つに記載のディスプレイ。

【請求項 21】

1 つの画素は、画素エリアの $1/3$ を占有する第 1 のサブ画素と、前記画素エリアの $2/3$ を占有する第 2 のサブ画素を備えるか、または、1 つの画素は、画素エリアの $1/7$ を占有する第 1 のサブ画素と、前記画素エリアの $2/7$ を占有する第 2 のサブ画素と、前記画素エリアの $4/7$ を占有する第 3 のサブ画素を備える、請求項 20 に記載のディスプレイ。

【請求項 22】

前記表示駆動回路は、1 つの完全な画素のみに関する 1 つのデータ値を指定する画像データに応答して、前記入力データによって定義された前記画素の総合的な輝度に従って各サブ画素上で軸上視聴者への前記輝度を制御するために複数の信号電圧を出力するようになっているが、その画素の所望の軸外輝度に従って前記画素全体の前記軸外輝度を制御するために前記総合的な輝度を前記サブ画素間で分割する、請求項 1～8 にいずれか 1 つに、または請求項 1～8 にいずれか 1 つに直接的または間接的に従属する場合に請求項 11～21 にいずれか 1 つに記載のディスプレイ。

30

【請求項 23】

各画素の前記所望の軸外輝度は、1 つの 2 次入力データ値によって確定されるか、または、各画素の前記所望の軸外輝度は、前記画素に関する前記入力データ値によって指定される前記意図された軸上輝度にできるだけ近い、もしくはそれに比例するように確定されるか、あるいは各画素の前記所望の軸外輝度は、前記画素に関する前記入力データ値とは独立した 1 つの固定値に確定される、請求項 22 に記載のディスプレイ。

40

【請求項 24】

アクティブマトリックス LCD ディスプレイを駆動する方法であって、前記ディスプレイは、複数のソース配線と、前記ソース配線と交差した複数のゲート配線と、複数の蓄積容量アドレス配線を有し、前記ソースおよびゲート配線の交点には独立してアドレス可能な画素が設けられ、1 つの画素は、複数のサブ画素を備え、1 つの画素の各サブ画素は、前記蓄積容量アドレス配線のうちのそれぞれ 1 つと結合され、前記方法は、第 1 のモードで、画像データの 1 つのフレームのための 1 つの画素に関する入力データに応答して、前記フレームに関する複数の信号電圧を前記画素の前記ソース配線へ供給するステップと、

50

複数の容量配線電圧を供給するステップとを備え、各前記容量配線電圧は、前記画素のそれぞれの蓄積容量アドレス配線へ供給される、方法であって、
前記方法は、前記フレームの第1の表示リフレッシュ期間に供給される、前記複数の容量配線電圧のうちの少なくとも第1の容量配線電圧と、前記複数の容量配線電圧のうちの第2の容量配線電圧との間の前記関係が、前記フレームの後続の表示リフレッシュ期間に供給される、前記複数の容量配線電圧のうちの前記第1と、前記複数の容量配線電圧のうちの前記第2との間の前記関係とは異なるように、前記複数の容量配線電圧を供給するステップを備える、方法。

【請求項25】

アクティブマトリックスLCDディスプレイを駆動する方法であって、前記ディスプレイは、複数のソース配線と、前記ソース配線と交差した複数のゲート配線と、複数の蓄積容量アドレス配線とを有し、前記ソースおよびゲート配線の交点には独立してアドレス可能な画素が設けられ、1つの画素は、複数のサブ画素を備え、1つの画素の各サブ画素は、前記蓄積容量アドレス配線のうちのそれぞれ1つと結合され、前記方法は、第1のモードで、画像データの1つのフレームのための1つの画素に関する入力データに応答して、前記フレームに関する複数の信号電圧を前記画素の前記ソース配線へ供給するステップと、複数の容量配線電圧を供給するステップとを備え、各前記容量配線電圧は、前記画素のそれぞれの蓄積容量アドレス配線へ供給される方法であって、
前記方法は、前記フレームにわたって第1の前記サブ画素の両端間に印加される前記二乗平均平方根(RMS)電圧が、前記フレームにわたって第2の前記サブ画素の両端間に印加される前記RMS電圧とは少なくとも部分的に独立して制御可能であるように、前記複数の信号電圧と前記複数の容量配線電圧とを供給するステップを備える、方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ディスプレイ装置に関し、より詳しくは、マルチピクセルドライブ(MPD: multi-pixel drive)型のLCDディスプレイに関する。さらに、本発明は、かかるディスプレイ装置を駆動する方法に関する。

【背景技術】

【0002】

アクティブマトリックス液晶ディスプレイ(LCD: liquid crystal display)においては、画像は、その画像の画素ごとのデータ値からなるデジタル画像データを、そのデータに依存する値をもつアナログ電圧に変換して、それらの電圧を、ソース・データ配線、ゲート配線および薄膜トランジスタ(TFT: thin film transistor)スイッチ素子からなるアクティブマトリックス経路で、アレイ中の各画素電極へ導くことを通じて、個別の画像要素(画素)からなる2次元アレイの光透過率を制御することによって生成される。このタイプの配置が(出典は非特許文献1であり、その文献ではさらに十分に説明がなされる)図1に示される。かかる配置では、各画素は、各表示リフレッシュ期間に単一のデータ電圧によってアクティブマトリックス経路でアドレス可能な各分離した電極エリアとして定義される。通常、かかるディスプレイでは画素がソースおよびゲート配線の各交点に設けられ、画素は、ゲート電圧パルスでゲート配線経路でTFTのゲート端子へ印加し、かつゲート・パルスが存在する期間中に、データ電圧をソース配線経路でTFTのソースまたはドレイン端子へ印加することによってアドレスされるように、TFTを用いてこれらの配線に電氣的に接続される。画素電極は、TFTの残ったソースまたはドレイン端子に接続され、それゆえに、ゲート選択パルスの間にソース配線により供給されるデータ電圧まで充電されるが、ゲート電圧パルスが存在しないときには、ソース配線により供給される先行または後続電圧によっては影響されないままである。かかるディスプレイの解像度は、独立して制御可能な画像要素の数であり、ソースおよびゲート配線の間の交点の数によって確定される。カラーディスプレイには、典型的に、合成白色画素当たり3つの色サブ画素(赤色、緑色および青色タイプ

のそれぞれ1つ)があり、各画素がディスプレイの色域内の任意の色または輝度を表示できるためには、これら色サブ画素のそれぞれが独立して制御可能である必要があり、従ってカラーディスプレイにおける解像度は m 行 $\times$ n 列として示され、ソースとゲートとの交点の数は $m \times n \times 3$ である。この開示のために、画素は、ソース・ゲート交点に対応する任意の電極領域であると見做すことになる。

【0003】

TVおよび標識などの用途の大面積(>対角10インチ)LCD、特に、垂直配向ネマティック(VAN: vertically aligned nematic)液晶(LC: liquid crystal)モードを利用したものでは、ディスプレイの各画素に2つの分離した画素電極領域が設けられるのが一般的であり、各領域は、別々のTFTによって駆動されるが、両方のTFTが同じソースおよびゲート配線に接続され、各領域は、別々の蓄積容量(C_s : storage capacitor)配線と結合される。この配置を用いると、各フレーム期間に両方の画素領域へ供給されるデータ電圧(V_D)は同じことになるが、各容量配線に印加される信号は、別々に制御可能であり、共通データ電圧の印加ならびにゲート選択パルスの除去後に印加されることになる各画素電極領域上の電圧に異なる変調を与えることができる。この画素配置は、容量結合型分割画素駆動またはマルチピクセルドライブ(MPD)として知られ、図2a)に示される。等価電子回路は、図2b)に電圧参照記号とともに示される。

10

【0004】

かかる配置の利点は、単一のデータ電圧のみの印加にも係わらず、各画素が異なる透過率の2つの領域を生成しうることである。これは、パネルの広視野角性能の改善を可能にし、かかる目的のためのかかる画素配置の設計および使用は、特許文献1(シャープ)に開示される。ゲート・パルス電圧の除去後に蓄積容量配線に印加される電圧変化の画素電極上への容量結合を通じて、2つの画素領域から異なる透過率を提供するために図2の画素配置へ供給される電圧がどのように制御されるかを示すタイミング図が図3に示される。

20

【0005】

特許文献1に記載される駆動方法の1つの潜在的な制限は、2つの画素領域によって異なる透過率が生成されるとはいえ、それらの相対的な透過率が固定された関係を有することである。2つの蓄積容量配線が1つの行におけるすべての画素に共通なので、両方の領域へのデータ電圧の印加後に画素電極電圧になされたいずれの変調も、その行におけるすべての画素に対してなされる。それゆえに、その行の1つの画素の領域Aが領域Bより明るくされる場合には、(同じ電圧極性で駆動される)その行におけるすべての画素にこのことが当て嵌まり(反対極性で駆動される画素では相対的な明るさは依然として固定されるが反転される)、2つの領域から異なる透過率を提供する能力は、表示解像度の向上を提供しない。2つの領域の間の明るさの差の度合いも、どの領域の方が明るいのかも、いずれも画素ごとに変更できず、従って、画像データをパネルの画素アレイより精緻な詳細度で表現することができない。

30

【0006】

特許文献2(キャノン)は、画素電極領域ごとに複数の対抗電極を設けることによって、ディスプレイのアクティブマトリックスのソース・ゲート交点の数より高解像度の画像データを表示する手段を開示する。しかしながら、本来の解像度向上をこの方法によって提供するためには、この方法を高速スイッチング、双安定液晶モード、例えば、強誘電性LCと併用しなければならない。

40

【0007】

特許文献3(ITL)は、画素ごとに複数の対抗電極をやはり利用して、アクティブマトリックス・パネルの各TFTアドレス領域から独立して制御可能な明るさの複数の領域を実現する同様の手段を開示する。しかしながら、この方法は、電圧制御透過型LCDではなく、電流駆動発光型ディスプレイタイプに適用され、各画素のダイオード様の挙動により対抗電極電圧が画素の対応領域を選択または非選択することが可能である。加えて、

50

本来の解像度向上を達成するためには、画素の各対抗電極制御領域が時系列パターンで駆動されなければならない、従って解像度向上は、総合的な明るさを代償として得られる。

【0008】

特許文献4は、蓄積容量配線上の電圧を制御することによって、画素電極へ供給されるデータ電圧に係わらず異なる画素領域が何らかの光を透過するのを防止するように、特許文献1のタイプのMPD型LCDを駆動する手段を開示する。しかしながら、やはり、行のすべての画素の対応画素領域が透過することも防がなければならない、従って、いずれの解像度向上も、やはり異なる画素領域からの時系列透過の形態で、それゆえに明るさを代償として得られなければならない。

【0009】

特許文献5（シャープ）は、特許文献1のタイプの画素をもつディスプレイを駆動する手段を開示し、それによれば、MPDにより提供される広視野の改善を達成可能とすべく、ビデオフレーム入力期間ごとに複数の電圧レベルをもつ1つのAC波形が、列極性反転DCバランシング駆動パターンまたはブロック極性反転駆動パターンとともに入力される。しかしながら、やはり、蓄積容量配線が1つの行におけるすべての画素に共通であるため、その行における異なる画素に関してどの画素領域の方が明るいかを変更し、それゆえに、より高解像度の画像データの表示を可能にする手段は、何も記載されていない。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】米国特許第7079214号

【特許文献2】米国特許第4973135号

【特許文献3】国際公開2001/24153__A1号

【特許文献4】国際公開2011/118423号

【特許文献5】米国特許出願第2010/0097366号

【特許文献6】米国特許第5767836号

【特許文献7】国際公開2009/110128号

【特許文献8】国際公開2011/034209号

【非特許文献】

【0011】

【非特許文献1】エルンスト・リュエダー（Ernst Lueder）、液晶ディスプレイ（Liquid Crystal Displays）、ワイリー・アンド・サンズ社（Wiley and Sons Ltd）、2001

【非特許文献2】ネーリングおよびメッツ（Nehring and Kmetz）、IEEE Transactions on Electron Devices. Vol. ED-26、pp. 795-802. 1979

【非特許文献3】アルトおよびプレシュコ（Alt and Pleshko）、IEEE Transactions on Electron Devices. Vol. ED-21、pp. 146-155. 1974

【非特許文献4】T. J シェファー（T. J Sheffer）他、「ディスプレイ（Displays）」、14, 2, pp74-85, 1993

【非特許文献5】吉田（Yoshida）他、「Journal of the Society for Information Display」、19, 11, pp771-780, 2011

【発明の概要】

【0012】

本発明の第1の態様は、複数のソース配線と、ソース配線と交差した複数のゲート配線と、複数の蓄積容量アドレス配線とを有し、ソースおよびゲート配線の交点には独立してアドレス可能な画素が設けられ、1つの画素は、複数のサブ画素を備え、1つの画素の各サブ画素は、蓄積容量アドレス配線のうちのそれぞれ1つと結合された、アクティブマト

10

20

30

40

50

リックスLCDディスプレイを提供する。本ディスプレイは、第1のモードで、画像データの1つのフレームのための1つの画素に関する入力データに応答して、フレームに関する複数の信号電圧を画素のソース配線へ供給し、かつ複数の容量配線電圧を供給するための駆動手段（駆動回路素子）を有し、各容量配線電圧は、画素のそれぞれの蓄積容量アドレス配線へ供給される。駆動手段は、フレームの第1の表示リフレッシュ期間に供給される、複数の容量配線電圧のうちの少なくとも第1の容量配線電圧と、複数の容量配線電圧のうちの第2の容量配線電圧との間の関係が、フレームの後続の表示リフレッシュ期間に供給される、複数の容量配線電圧のうちの第1と、複数の容量配線電圧のうちの第2との間の関係とは異なるように、複数の容量配線電圧を供給するようになっている。

【0013】

本発明のディスプレイにおいて、ソース配線に印加される電圧は、1つのフレームにわたって一定ではなく、1つのフレームの異なる表示リフレッシュ期間に異なる値を取ってもよい。これは、1つのフレームにおいて信号電圧波形が変化する振幅を有する単一の信号電圧波形を供給すると見做すこともできるであろうが、記述を明確にするために、この印加は、1つのフレームにおいて2つ（またはそれ以上）の信号電圧が供給され、各表示リフレッシュ期間に1つの信号電圧が供給されることを指すことになる。

【0014】

複数の容量配線電圧のうちの2つの間の関係がフレームの1つの表示リフレッシュ期間と後続の表示リフレッシュ期間との間で変化するよう、複数の容量配線電圧を供給するステップは、サブ画素の相対的な透過率が1つのフレームにわたって固定されるという特許文献1に関連して記載された限界を克服して、解像度向上を提供する。

【0015】

用語「フレーム」は、本明細書では、ディスプレイへ供給される入力画像の1つのフレームに対応する表示期間を示す。図3に示されるように駆動される従来型ディスプレイでは、表示が1つのフレームで1回だけリフレッシュされるが、本発明のディスプレイでは、表示が1つのフレームで2回以上リフレッシュされる。

【0016】

1つのフレームに3つ以上の表示リフレッシュ期間がある実施形態では、「第1の」表示リフレッシュ期間と「後続の」表示リフレッシュ期間とが連続した表示リフレッシュ期間である必要はない。複数の容量配線電圧のうちの第1の容量配線電圧と、複数の容量配線電圧のうちの第2の容量配線電圧との間の関係は、（例えば、下の図13において第2および第3の表示リフレッシュ期間に関して示されるように）1つのフレームの2つの連続した表示リフレッシュ期間に対して同じままであってもよい。

【0017】

本発明の第2態様は、複数のソース配線と、ソース配線と交差した複数のゲート配線と、複数の蓄積容量アドレス配線とを有し、ソースおよびゲート配線の交点には独立してアドレス可能な画素が設けられ、1つの画素は、複数のサブ画素を備え、1つの画素の各サブ画素は、蓄積容量アドレス配線のうちのそれぞれ1つと結合された、アクティブマトリックスLCDディスプレイを提供する。本ディスプレイは、第1のモードで、画像データの1つのフレームのための1つの画素に関する入力データに応答して、フレームに関する複数の信号電圧を画素のソース配線へ供給し、かつ複数の容量配線電圧を供給するための駆動手段を有し、各容量配線電圧は、画素のそれぞれの蓄積容量アドレス配線へ供給される。駆動手段は、フレームにわたって第1のサブ画素の両端間に印加される二乗平均平方根（RMS: root-mean-square）電圧が、フレームにわたって第2のサブ画素の両端間に印加されるRMS電圧とは少なくとも部分的に独立して制御可能であるように、信号電圧と複数の容量配線電圧とを供給するようになっている。

【0018】

本発明の第3の態様は、アクティブマトリックスLCDディスプレイを駆動する方法を提供し、本ディスプレイは、複数のソース配線と、ソース配線と交差した複数のゲート配線と、複数の蓄積容量アドレス配線とを有し、ソースおよびゲート配線の交点には独立し

10

20

30

40

50

てアドレス可能な画素が設けられ、1つの画素は、複数のサブ画素を備え、1つの画素の各サブ画素は、蓄積容量アドレス配線のうちのそれぞれ1つと結合され、本方法は、第1のモードで、

【0019】

画像データの1つのフレームのための1つの画素に関する入力データに応答して、フレームに関する複数の信号電圧を画素のソース配線へ供給するステップと、複数の容量配線電圧を供給するステップとを備え、各容量配線電圧は、画素のそれぞれの蓄積容量アドレス配線へ供給される方法であって、

【0020】

本方法は、フレームの第1の表示リフレッシュ期間に供給される、複数の容量配線電圧のうちの少なくとも第1の容量配線電圧と、複数の容量配線電圧のうちの第2の容量配線電圧との間の関係が、フレームの後続の表示リフレッシュ期間に供給される、複数の容量配線電圧のうちの第1と、複数の容量配線電圧のうちの第2との間の関係とは異なるように、複数の容量配線電圧を供給することを備える。

【0021】

本発明の第4の態様は、アクティブマトリックスLCDディスプレイを駆動する方法を提供し、本ディスプレイは、複数のソース配線と、ソース配線と交差した複数のゲート配線と、複数の蓄積容量アドレス配線とを有し、ソースおよびゲート配線の交点には独立してアドレス可能な画素が設けられ、1つの画素は、複数のサブ画素を備え、1つの画素の各サブ画素は、蓄積容量アドレス配線のうちのそれぞれ1つと結合され、本方法は、第1のモードで、画像データの1つのフレームのための1つの画素に関する入力データに
20
応答して、フレームに関する複数の信号電圧を画素のソース配線へ供給するステップと、複数の容量配線電圧を供給するステップとを備え、各容量配線電圧は、画素のそれぞれの蓄積容量アドレス配線へ供給される方法であって、本方法は、フレームにわたって第1のサブ画素の両端間に印加される二乗平均平方根(RMS)電圧が、フレームにわたって第2のサブ画素の両端間に印加されるRMS電圧とは少なくとも部分的に独立して制御可能であるように、信号電圧と複数の蓄積容量配線電圧とを供給するステップを備える。

【0022】

本発明の方法は、第1および第2の態様のディスプレイに関して上記に定義された任意の特徴または特徴の組み合わせを提供する。

【0023】

前述および関連する目的の達成に向けて、本発明は、さらに、以下に十分に説明され、とりわけ特許請求の範囲に指摘される特徴を備える。以下の説明および添付図面は、本発明のいくつかの例示的な実施形態を詳細に提示する。これらの実施形態は、しかしながら、本発明の原理が使用される様々な方法のうちのいくつかを示すに過ぎない。本発明の他の目的、利点および新規な特徴は、本発明の以下の詳細な説明を図面とともに考察したときに明らかになるであろう。

【技術課題】

【0024】

本発明は、改善されたディスプレイ、例えば、改善されたLCDディスプレイを提供するという課題を取り扱う。

【課題の解決法】

【0025】

複数の容量配線電圧のうちの2つの間の関係がフレームの1つの表示リフレッシュ期間と後続の表示リフレッシュ期間との間で変化するように複数の容量配線電圧を供給するステップは、1つのフレームにわたってサブ画素の相対的な透過率が固定されるという上記の特許文献1に関連して記載された限界を克服し、解像度の向上を提供する。

【図面の簡単な説明】

【0026】

【図1】標準的なLCD制御エレクトロニクス配置の概略図である。

10

20

30

40

50

【図 2】図 2 a はマルチピクセルドライブ型画素レイアウトの概略図であり、図 2 b は等価電子回路である。

【図 3】図 2 (a) および図 2 (b) のタイプの 1 つの画素を駆動する従来の方法のタイミング図である。

【図 4】本発明の実施形態による L C D 制御エレクトロニクス配置の概略図である。

【図 5】本発明の実施形態による図 2 のタイプの 1 つの画素を駆動する手段を示すタイミング図である。

【図 6】図 5 に示されるタイプの複数の信号電圧に従って駆動されたときに、図 2 に示されるタイプの 1 つの画素の 2 つの画素領域上で同時に達成される r m s 電圧の範囲を示すプロットである。

【図 7】1 つの画素によって生成する輝度を r m s 電圧の関数として示すプロットである。

【図 8】本発明のさらなる実施形態による図 2 のタイプの 1 つの画素を駆動する手段を示すタイミング図である。

【図 9】本発明のさらなる実施形態による図 2 のタイプの 1 つの画素を駆動する手段を示すタイミング図である。

【図 10】本発明のさらなる実施形態による図 2 のタイプの 1 つの画素を駆動する手段を示すタイミング図である。

【図 11】本発明のさらなる実施形態による図 2 のタイプの 1 つの画素を駆動する手段を示すタイミング図である。

【図 12】本発明の実施形態の一部として記憶される複数のキー信号電圧を示す L U T の例である。

【図 13】本発明の別の実施形態による図 2 のタイプの 1 つの画素を駆動する手段を示すタイミング図である。

【図 14】図 13 の実施形態において用いられる複数のデータ電圧の例を示す。

【図 15】図 13 の実施形態において用いられる複数のデータ電圧の例を示す。

【図 16】本発明の実施形態による L C D 制御エレクトロニクス配置の概略図である。

【図 17】本発明の実施形態による L C D 制御エレクトロニクス配置の概略図である。

【図 18】図 18 (a) および (b) は、本発明の実施形態による、異なるサイズの少なくとも部分的に独立してアドレス可能な複数の副領域を備える表示画素の説明図である。図 18 (c) は、このタイプの画素によって提供される軸外輝度の精度の改善を示すグラフである。

【発明を実施するための形態】

【0027】

それゆえに、図 2 (a) および図 2 (b) に一般的に示されるような M P D 画素アーキテクチャをもつアクティブマトリックス L C D ディスプレイを提供することが望ましく、このディスプレイでは、いくつかの表示リフレッシュ期間にわたって単一の画素内の 2 つ以上の領域のそれぞれの両端間に印加される二乗平均平方根電圧、延いては、これらの領域のそれぞれにより生成される明るさが、ある程度独立して制御可能であり、それによって L C D パネルの解像度が画素の数または各画素を備える電子部品の追加または修正なしに向上する。

【0028】

本発明の主たる実施形態では、M P D 画素アーキテクチャをもつアクティブマトリックス L C D ディスプレイに図 4 に示されるような制御ユニットおよびドライバ集積回路 (I C : i n t e g r a t e d c i r c u i t) からなる制御エレクトロニクスが設けられる。画素 1、画素 2 などのそれぞれは、単色画素であり一本ディスプレイは、複数の合成白色画素を与えるために配置された 3 つ以上の異なる色の画素の複数の群を備えるが、本発明は、これには限定されない。この図から分かるように、各画素は、それぞれが別の蓄積容量アドレス配線 (以下、簡単のために単に「蓄積容量配線」と呼ばれる) に結合された、2 つの領域 (A および B) を有し、信号は、ゲート・ドライバ I C、ソース・ドライ

10

20

30

40

50

パ I C および蓄積容量ドライバ I C を用いてそれぞれの画素領域に提供される。この主たる実施形態では、ゲート配線、ソース配線および蓄積容量配線へ送信される信号は、入力画像ビデオフレームごとに、各画素への単一のデータ電圧と、各蓄積容量配線電圧における単一のシフトとを供給するのではなく、フレームごとに、少なくとも 2 つのデータ電圧と各蓄積容量配線電圧における 2 つのシフトとを供給するという点において、さらに、複数の蓄積容量配線電圧が、すべての表示リフレッシュ期間において互いに固定された関係を有するのではなく、連続するサブフレーム表示リフレッシュ期間において異なる相対的な電圧を有するという点において、図 3 に例示される従来技術の信号とは異なる。これらのデータ電圧および蓄積容量配線シフトは、入力データのフレームごとに適用される 2 つ以上の表示リフレッシュ期間にわたって各画素領域上に結果として生じる正味の二乗平均平方根 (rms) 電圧が、解像度向上入力データによって規定される各画素領域上の輝度を生成するために必要な画素領域の両端間の電圧に対応するように構成される。2 つ以上のリフレッシュ期間が十分に短い時間間隔内に生じて L C 材料が瞬時電圧に応答できない状況では、L C 応答、延いては各画素領域により透過される輝度を確定するのは、rms 電圧である。以下の説明は、かかる効果がどのように達成されるかを記載する。

【0029】

図 2 のタイプの M P D 画素では、所定の時刻に各画素領域を通過する光の透過率を確定するのは、画素電極 A および B と共通電極との間の、液晶層の両端間の電圧振幅、すなわち、 $|V_{PIXA} - V_{COM}|$ および $|V_{PIXB} - V_{COM}|$ である。簡単にするために、これらの記載では、 V_{COM} が常にゼロであると仮定され、従って透過率は、 V_{PIXA} および V_{PIXB} によって確定される。しかしながら、本発明は、 $V_{COM} = 0$ の場合には限定されず、実際の方式では、 V_{COM} が非ゼロであってもよく、その場合には、記載される方式の効果を变えることなく、他の電圧が相応に調整されてもよい。図 3 の M P D 駆動方式では、各フレーム期間中に、パネルの各行にゲート電圧パルスが順次印加される。この期間中に各行が活性化され、パネルの各行を接続するソース配線経由でその行における各画素にデータ電圧が供給される。ソース配線と各画素電極 A および B との間の T F T がゲート・パルスによって導電性になったときに、画素電極は、ソース配線によって供給された電圧 (V_1) まで充電するであろう。ゲート電圧がその行から一旦除去されると、各画素領域上の電荷は、(T F T および L C 層の両端間のいくらかのリークは別として) 有効に蓄積される。ゲート・パルスが除去された後に印加される、いずれかの画素領域に対応する蓄積容量配線電圧のシフト (ΔV_{CSA} または ΔV_{CSB}) は、次に、容量結合に起因して、対応する画素電極上の電圧のシフト ($\alpha \Delta V_{CSA}$ または $\alpha \Delta V_{CSB}$) をもたらすであろう。画素電極上に結果として生じるこの電圧シフトは、容量配線上の電圧に加えられたシフトのある比率 (α) となり、この比率は、蓄積容量および L C 容量の相対的な比率に依存する。簡単のためにこれらの記載では、この比率が 1 であると見做されるが、実際のシステムにおけるより小さい α 値に関しては、 ΔV_{CSA} および ΔV_{CSB} の大きさを単に $1/\alpha$ 倍増加させると同じ効果を生み出す。

【0030】

L C 層の両端間に結果として生じる電圧は、次に、

$$V_{PIXA1} = V_1 + \alpha \Delta V_{CSA1} \quad \text{一式 1 (a)}$$

$$V_{PIXA2} = V_2 + \alpha \Delta V_{CSA2} \quad \text{一式 1 (b)}$$

$$V_{PIXB1} = V_1 + \alpha \Delta V_{CSB1} \quad \text{一式 1 (c)}$$

$$V_{PIXB2} = V_2 + \alpha \Delta V_{CSB2} \quad \text{一式 1 (d)}$$

によって示される。

【0031】

それぞれ、フレーム期間 1 における画素領域 A、フレーム期間 2 における画素領域 A、フレーム期間 1 における画素領域 B、およびフレーム期間 2 における画素領域 A に関する。通常、L C D ディスプレイでは、画素電極をソース配線電圧に帯電させて蓄積容量配線にシフトを印加するために必要な時間間隔がフレーム時間に比べて非常に短く、従って、式 1 (a) ~ (d) に示される最終画素電圧は、画素領域によりフレーム時間全体にわた

って経験される平均電圧にほぼ等しいと見做してよい。その近似の下で、2つのフレーム期間にわたって各画素領域に印加される r m s 電圧は、

【数 1】

$$V_{rmsPIXA} = \sqrt{1/2 (V_{PIXA1}^2 + V_{PIXA2}^2)} \quad \cdot \text{式 2(a)}$$

$$V_{rmsPIXB} = \sqrt{1/2 (V_{PIXB1}^2 + V_{PIXB2}^2)} \quad \cdot \text{式 2(b)}$$

によって示される。

10

【0032】

図3に示される従来技術の例では、 ΔV_{CSA} および ΔV_{CSB} の振幅が両方の期間で同じであり、1つの期間が1つの画像フレームに等しいので、各フレームにおける各画素領域上の r m s 電圧は、単に V_{PIXA} および V_{PIXB} に等しく、両方の画素領域を通過する光の全透過率は、ソース・データ電圧によって専ら確定され、各領域の相対的な透過率は、 ΔV_{CSA} および ΔV_{CSB} における差によって確定される。図3の例では、フレーム2において印加される電圧は、フレーム1における電圧と振幅が等しく、極性が反対である。この場合、各画素領域の透過率は、両方のフレームで同じであろうが、2つのフレームにわたって印加される電圧は、DCバランスがとられる。これは、LC層における荷電不純物の移動を防止するための典型的なLCD駆動方式である。

20

しかしながら、図5に示される、この実施形態の駆動方式では、入力画像フレームごとに少なくとも2つのサブフレーム期間が定義され、 ΔV_{CSA} および ΔV_{CSB} 電圧シフトの間の関係は、1つのフレームの1つのサブフレーム期間からそのフレームの別のサブフレーム期間へと変化する（画素がサブフレーム期間ごとにリフレッシュされるので、サブフレーム期間は、「リフレッシュ期間」とも称される）。図5では、 ΔV_{CSA} および ΔV_{CSB} 電圧シフトのそれぞれが1つのフレームの1つのサブフレーム期間から他のサブフレーム期間へと変化するが、 ΔV_{CSA} および ΔV_{CSB} 電圧シフトのうちの一方が2つの副期間の間で変化しさえすれば、これが ΔV_{CSA} および ΔV_{CSB} 電圧シフトの間の相対的な電圧の変化を依然として生み出すことになるので、原理的には十分であろう。この場合、各サブフレーム期間における V_1 および V_2 の振幅ならびに極性を変化する蓄積容量配線電圧シフトを用いて設定することによって、各画素領域上の r m s 電圧がある程度独立して制御される。これは、図3の従来駆動方式を用いてディスプレイを駆動したときに得られる解像度に比較して、ディスプレイの解像度を向上させることができる。

30

この実施形態の駆動方式を実証するために、図6は、 V_1 および V_2 の -4.5 V と 4.5 V との間の 0.18 V ステップでのすべての組み合わせに対して、2つのリフレッシュ期間にわたって画素領域AおよびB上に結果として生じる r m s 電圧のプロットを示し、ここで、 $\Delta V_{CSA1} = +3\text{ V}$ 、 $\Delta V_{CSA2} = 0\text{ V}$ 、 $\Delta V_{CSB1} = 0\text{ V}$ 、および $\Delta V_{CSB2} = +3\text{ V}$ である。この図から分かるように、独立した電圧制御範囲（黒い正方形の箱で示される）が存在し、その範囲内ではいずれの画素領域上の r m s 電圧も、他方の画素領域上の r m s 電圧を変更する必要なしに変更できる。示される駆動電圧の例では、この独立したスイッチング範囲が画素領域ごとに 1.5 V_{rms} から 4.5 V_{rms} の領域をカバーする。これは、選択比（独立して制御可能な最大電圧／独立して制御可能な最小電圧）3を与える。これは、列電圧振幅が可変の2行パッシブマトリックス・アドレス型ディスプレイに対して達成可能な最大選択比であり（ネーリングおよびメッツ, I E E E Transactions on Electron Devices, Vol. ED-26, pp. 795-802, 1979）、重要な相違は、画素におけるLC層の両端間の電圧が、標準的なパッシブマトリックス・ディスプレイ（アルトおよびプレシュコ, I E E E Transactions on Electron Devices, Vol. ED-21, pp. 146-155, 1974）における列電圧と行電圧との間

40

50

の差ではなく、列データ電圧とシフトした蓄積容量配線行電圧との和となることである。

【0033】

図7は、テレビジョン・ディスプレイに通常用いられるタイプの、典型的なマルチドメイン垂直配向（MVA: multi-domain vertical alignment）モードLCDの電圧-透過率（V-T: voltage-transmission）曲線を示す。上記の駆動方式によって達成される独立して制御可能な電圧範囲は、各画素領域により生成される輝度の独立した制御を表示のほとんど全範囲にわたって可能にするであろうことが分かる。上記の例に示した電圧は、2つの画素領域の独立した輝度制御を図7のようなV-T応答をもつディスプレイに提供するために選択されたが、本方式は、単に駆動電圧をスケールリングすることによって異なる応答をもつLCモードにも適用可能なことに留意すべきである。唯一の制限は、理論的な最大値3を有する選択比である。さらに、明らかなのは、本発明が印加電圧のrms値に従ってスイッチングする任意のディスプレイに適用できることである。実際、本発明の駆動方式に特に適した閾値電圧、閾値後勾配および最大輝度の電圧を含む特性をもつV-T曲線を提供するようにディスプレイのLCモードが選択されてもよい。

10

【0034】

この実施形態の駆動方式によって与えられる独立制御のさらなる明確化を通じて、独立した電圧制御が可能な範囲の四隅に対応する4つの電圧構成の例が次に明示的に考察されることになろう。

【0035】

図8は、画素領域A上のrms電圧 $4.5V_{rms}$ および画素領域B上のrms電圧 $1.5V_{rms}$ を生成するために必要なゲート配線、蓄積容量配線、およびソース・データ配線上の電圧波形を示す。図から分かるように、サブフレーム期間1および2におけるソース・データ電圧 $+1.5V$ および $-4.5V$ は、これを上記の蓄積容量配線電圧シフト $+3V$ または $0V$ のいずれかとの組み合わせで達成し、図7からさらに分かるように、これらのrms電圧は、画素領域Aからのほぼ最大の透過率と画素領域Bからのほぼ最小の透過率とを生成するのである。

20

【0036】

図9は、両方のサブフレーム期間におけるソース・データ電圧 $+2.74V$ が、前例と同じ蓄積容量配線電圧シフトによって、両方の画素領域上のrms電圧 $4.5V_{rms}$ をどのようにもたらして、両方の画素領域を有効にスイッチ・オンするかを示す。

30

【0037】

図10は、両方のサブフレーム期間におけるソース・データ電圧 $-1.5V$ が、やはり前例と同じ蓄積容量配線電圧シフトによって、両方の画素領域上のrms電圧 $1.5V_{rms}$ をどのようにもたらして、画素領域Aがスイッチ・オフされ、画素領域Bがスイッチ・オンされた図8の例とは逆の透過率を与えるかを示す。

【0038】

図11は、それぞれ第1および第2のサブフレーム期間におけるソース・データ電圧 $-4.5V$ および $+1.5V$ が、やはり前例と同じ蓄積容量配線電圧シフトによって、画素領域A上のrms電圧 $1.5V_{rms}$ 、および画素領域Bの $4.5V_{rms}$ をどのようにもたらして、両方の画素領域を有効にスイッチ・オフするかを示す。

40

【0039】

これらの例、および図6における各画素領域上に生成される同時に利用可能なrms電圧のプロットから分かるように、これらの極端な場合に加えて、2つのサブフレーム期間に適切なデータ電圧を印加することによって、この範囲内の任意の中間的な透過率をいずれの画素からも生成できる。この実施形態のディスプレイは、それゆえに、アクティブマトリックスにより別々にアドレス可能な表示画素ごとに2つの画素データ値を有する、画像データを正確に再現することが可能である。パネルの表示解像度は、それによって実効的に2倍になる。

【0040】

50

同様に留意すべきは、図 8 から 11 の例では、2 倍の解像度の画像データの単一の入力フレームを正確に再現するために必要な、少なくとも 2 つのサブフレーム期間のための複数の信号電圧のみが示され、従って、画素電極上に結果として生じる r m s 電圧が総合的な D C 成分を有する。ディスプレイの L C 材料への損傷を防止するためには、図に示されるすべての信号電圧の極性を専ら反転させることによって、この D C 成分を交互のフレーム期間に反転させるとよい。しかしながら、寄生容量およびオフ状態 T F T を通してのリークに起因するフリッカおよび画素間のクロストークを最小限に抑えるために、さらに画素電極電圧の極性を各フレームにおいて空間的に、行方向、列方向のいずれかに、または市松模様に交互に替えるのが、L C D ディスプレイを駆動するときの標準的な技法である。図 4 から分かるように、画素行間の蓄積容量配線の共用に起因して（例えば、画素 1 領域 B および画素 3 領域 B が共用 V_{CSB} 配線を有し、図の画素 3 領域 A および画素 4 領域 A の下方のサブ画素の行がそれらの画素の V_{CSA} 配線を共用することになるなど、この共用パターンが続く）、蓄積容量シフト電圧 V_{CSA} および V_{CSB} の両方の極性を交互の行に対して反転させるのは可能でない。 V_{CS} 配線が 1 つの行におけるすべての列にわたって共用されるので、これらの信号を交互の列に対して反転させることも可能ではない。しかしながら、蓄積容量配線信号を変更することなく、示される例と同じ r m s 電圧であるが反対の平均電圧、延いては逆の D C 成分の電圧を各画素電極領域上に提供することは、依然として可能である。これは、ソース・データ電圧 V_1 および V_2 の対ごとに、代わりのソース・データ電圧 V_1' および V_2' の相補的な対を提供することによって達成される。これら代わりのデータ電圧は、 V_1 および V_2 の組み合わせごとに、両方のサブフレーム期間にわたってそれらが V_1 および V_2 と等しいが反対の平均電圧をもち、同じ r m s 電圧を各画素領域上に生成しなければならないという条件に基づいて算出される。これらの条件は、次のように表現される。

【数 2】

$$\sqrt{\frac{1}{2}((V_1' + \Delta V_{CSA1})^2 + (V_2' + \Delta V_{CSA2})^2)} = \sqrt{\frac{1}{2}((V_1 + \Delta V_{CSA1})^2 + (V_2 + \Delta V_{CSA2})^2)}$$

・ 式 3(a)

【0 0 4 1】

および

【数 3】

$$\frac{1}{2}((V_1' + \Delta V_{CSA1}) + (V_2' + \Delta V_{CSA2})) = -\frac{1}{2}((V_1 + \Delta V_{CSA1}) + (V_2 + \Delta V_{CSA2}))$$

・ 式 3(b)

【0 0 4 2】

画素領域 A 上の電圧に関して、式 3 (a) は、2 次方程式

$$V_1'^2 + 2 \Delta V_{CSA1} V_1' + V_2'^2 + 2 \Delta V_{CSA2} V_2' + A = 0 \quad \text{— 式 4 (a)}$$

を生じ、

$$A = -V_1^2 - 2 V_1 \Delta V_{CSA1} - V_2^2 - 2 V_2 \Delta V_{CSA2} \quad \text{— 式 4 (b)}$$

であり、式 3 (b) は、線形方程式

$$V_2' = B - V_1' \quad \text{— 式 5 (a)}$$

を生じ、

$$B = -V_1 - V_2 - 2 \Delta V_{CSA1} - 2 \Delta V_{CSA2} \quad \text{— 式 5 (b)}$$

であり、式 5 (a) を式 4 (a) に代入すると、一般的な二次方程式の解の公式

【数 4】

$$V_1' = \frac{-b \pm \sqrt{b^2 - 4ac}}{2a}$$

・ 式 6(a)

を用いて解かれる V_1' の 2 次式が得られ、
 ここで $a = 2$ 、 $b = 2 \triangle V_{CSA1} - 2B - \triangle V_{CSA2}$ 、および $c = B^2 - 2 \triangle V_{CSB2}B + A$ ー式 6 (b , c , d)
 である。

【0043】

この二次式は、 V_1' に 2 つの可能な値を与え、これらの値のそれぞれが式 5 (a) に返されて、 V_2' に 2 つの対応する値を与える。これらの値の対は、いずれも画素領域 A に関して式 3 (a) および (b) の条件を満たすが、これらの値の対のうちの 1 つは、画素領域 B に関して、正しい rms 電圧と反転した平均電圧とを与えるであろう。

10

【0044】

それゆえに、必要とされる画素領域 A および B の明るさの組み合わせを達成するために、その画素に関するデータ電圧として V_1 および V_2 または V_1' および V_2' が印加されるかどうかを専ら選択することによって、ディスプレイの画素上に任意の空間的な DC 反転パターンを実装することが可能である。上記の計算は、蓄積容量電圧信号が例に示された通りである場合に関して、対応するデータ電圧 V_1' および V_2' を導出することに留意すべきである。2 つの画素領域の独立制御を依然として可能にする異なる蓄積容量電圧信号が用いられてもよく、これらの電圧信号に関しては、画素の両端間の rms は等しいが反対の平均電圧に対応するデータ電圧対の導出は異なるが、同じ原理を用いて達成されるであろう。さらに、上記の計算は、 V_1' および V_2' を導出する例示的な手段を提供し、これらの値は、本発明の範囲から逸脱することなく同じ効果を達成するために任意の他の手段によって計算されてもよい。

20

【0045】

原則として、1 つの画素に関する入力データ値が受信されるたびに、1 つの画素の複数の領域に印加されることになる複数の電圧が新たに計算される。しかしながら、いくつかの実施形態では、異なる入力データ値に対応する予め計算された複数の信号電圧を記憶するための、記憶装置、例えば、ルックアップテーブル (LUT: look-up table) がディスプレイに設けられてもよい。予め計算され、記憶された複数の信号電圧のうちの 1 つを、受信した入力データ値に基づいて、1 つの表示リフレッシュ期間に対して選択することができ、結果として、適切な複数の信号電圧を繰り返して計算する必要性を回避する。例えば、それぞれの予め計算された信号電圧は、各サブ画素の所望の輝度に依存してもよい。

30

【0046】

上記の説明から分かるように、画像データの入力フレームごとに、2 つのサブフレーム期間／表示リフレッシュ期間が必要とされ、2 つのサブフレーム期間中に各画素へ供給されるソース・データ電圧 V_1 および V_2 は、そのフレームのための両方の画素領域の意図された明るさに従って確定される。次に、この好ましい実施形態によれば、表示駆動エレクトロニクスが、予め計算された電圧を記憶するための LUT または他の記憶装置を含む場合、LUT または他の記憶装置は、複数の領域からなるディスプレイ中の画素ごとに、すべての画素領域上のデータ値のすべての組み合わせに対する入力画像データを、予め計算された出力ソース・データ電圧の 2 つの対、 V_1 および V_2 ならびに V_1' および V_2' へマッピングする。次に、そのフレームにおけるその画素に正または負の DC 成分が意図されるかどうかに従ってディスプレイの意図された画素へ出力するために、これらの対のうちの 1 方が選択される。キー値のみをもつ LUT の例が図 12 に示される。この図において留意すべきは、所定の出力のうちの 3 つに対して、キー値が V_1 と V_1' および V_2 と V_2' で同じ電圧出力を有することである—その理由は、図 8, 10 および 11 からわかるように—これらが、フレーム時間中の V_{PIX} 電圧の総合的な DC 成分がゼロである、特別な場合の値であるためである。補足的な実施形態では、LUT は、複数の信号電圧を出力するのではなく、画素領域ごとに提供される複数の入力画像データ値から修正された複数のデジタル画像データ値を出力し、これら複数の出力データ値が、その後、表示

40

50

ドライバ・エレクトロニクスには標準的なデジタル・アナログ変換器によって意図されたアナログ・データ電圧へマッピングされる。

【0047】

上記の説明から分かるように、主たる実施形態の1つの特徴は、各表示リフレッシュ期間に各画素に印加される両方のデータ電圧が、今やその画素の両方の領域に関する画像データ値に依存することである。制御エレクトロニクスは、信号電圧機能に対する直接的な入力データ値ではなく、エントリの数が各画素領域に適用されるデータ値の数の2乗である拡張されたLUTを提供しなければならない。典型的な8ビット表示では、LUTは、 $256^2 = 65536$ 個のエントリを有する必要がある。このサイズのLUTに対するメモリ要求は、モバイル・ディスプレイ装置では法外であるが、TVのような他の用途では制限とならないであろう。

10

【0048】

なおさらなる実施形態において、意図された用途の装置では、データ処理能力をメモリよりディスプレイ制御エレクトロニクスに含める方が実用的かつ経済的ならば、サブフレーム期間ごとのデータ電圧をリアルタイムで、例えば、提供された式を用いて計算してもよい。

【0049】

図5の実施形態は、図12に示されるように2つのサブ画素の輝度の完全な独立制御を可能にする一方で、2つのサブ画素の輝度のある組み合わせは、連続する表示リフレッシュ期間におけるソース電圧が互いに同じ極性を有する必要があるという潜在的な不利点を有する。例えば、図12は、両方のサブ画素がデータ値「0」を有する場合には、ソース電圧が1つのフレームの2つの表示リフレッシュ期間に負極性（すなわち、 $V_1 = -1.5V$ 、 $V_2 = -1.5V$ ）をもつ必要があることを示す。いくつかの利用可能なソース・ドライバは択一的に正および負の出力を提供し、かかるソース・ドライバは、図5の実施形態を実装するために用いることはできない。なおさらなる実施形態では、それゆえに、2画素領域MPD型ディスプレイがフレーム当たり4つの表示リフレッシュ期間を用いて駆動される。これは、各表示リフレッシュ期間中に印加されるデータ電圧の極性を交互に正または負電圧に制限することを可能にし、一方では有用な電圧選択比を依然として許容するので有利である。これは、この制限された極性を交互の画素列に対して交互に替える、および／または逐次的なフレームにおいて反転させることも可能にし、一方では各フレーム内の表示リフレッシュ期間のフルセットにわたって各画素領域上に同じ範囲のrms電圧が生成されることを依然として許容する。このさらなる実施形態は、交互に替わるソース電圧極性の使用が一般に利用可能なソース・ドライバ・エレクトロニクスとのコンパティビリティを提供するので有利である。

20

30

【0050】

図12から分かるように、前述の2サブフレーム方式では、2つのサブフレーム・リフレッシュ期間に所定の画素に逐次的に供給されることになる、画素データ電圧の2つの対が、画素の2つのサブ画素領域上に結果として生じる意図されたrms電圧の組み合わせごとに提供され、各対は、意図されたrms電圧の組み合わせではあるが反対の平均DC電圧を生成する。これは、ディスプレイの画素アレイに任意のDC極性反転パターンを適用することを可能にする。同様に現在の実施形態では、4つの画素データ電圧の4つのセット、DC極性ごとに1つ、および4つのサブフレームの制限されたデータ電圧極性のパターンごとに1つ（例えば、偶数列に対して+、-、+、-および奇数列に対して-、+、-、+）が、各画素領域上に結果として生じるrms電圧の組み合わせごとに提供される。

40

【0051】

図13は、図8に等しい状況に関してゲート配線、蓄積容量配線、およびソース・データ配線のための波形の例を示し、この状況では、サブ画素領域A上に結果として生じるrms電圧が大きい必要があり、サブ画素領域B上に結果として生じるrms電圧が小さい必要がある。図14は、図13の結果と、さらに他の3つの極端なrmsの組み合わせの

50

場合とを生成するための複数の電圧データの例を示す表である。これらの図から分かるように、データ電圧極性の制限（すなわち、出力電圧は、択一的に正および負でなければならないという制約条件）にも係わらず、各サブ画素領域上の rms 電圧の独立制御が依然として可能であるとはいえ、この 4 フレーム方式を用いると、最大選択比が 3 から 5 の平方根へ減少する。（図 1 4 ではエントリのいくつかがゼロ出力電圧を含むことが分かるであろう。例えば、図 1 4 における第 1 のエントリでは V_1 、 V_2 、 V_3 および V_4 のそれぞれがゼロである—しかしながら、これは、交互に替わる正および負の出力電圧の特別の場合と見なされ、択一的に正および負でなければならない出力電圧を提供するように制約された従来型ソース・ドライバを用いて、図 1 4 における V_1 、 V_2 、 V_3 および V_4 のすべてのセットを提供することができる）。図 1 4 における例は、総合的な DC 電圧ゼロを有する特別の場合であり、従って、正および負の DC 目標に対するデータ電圧が同じであることにも留意すべきである。図 1 5 は、サブ画素領域のうちの少なくとも 1 つに中間値の rms 電圧が必要ないいくつかのさらなる例を示す。このより一般的な場合には、等しいが反対の DC 成分を生成するために反対極性および／または順序を変えたデータ電圧が必要である。

10

【0052】

最大選択比が定義された範囲内にあり、かつ任意の DC 極性をもつ、 rms 電圧の任意の組み合わせを 2 つの画素領域上に生成するデータ電圧の組み合わせが存在するという事実が意味するのは、記載されるような 4 サブフレーム方式が、任意の DC 極性反転パターン（例えば、ドットまたは列反転）とともに適用されてもよいということである。さらに、各列に対するデータ電圧極性の制限は、画素ごとに達成可能な rms および DC 電圧の組み合わせへの影響を伴わずに、交互の列において空間的に反転されてもよいのみならず、交互のフレームにおいて時間的に反転されてもよい。加えて、蓄積容量配線信号の極性は、必要に応じて、達成可能な rms 電圧の組み合わせの範囲または DC 電圧パターンにやはり影響を及ぼすことなく、交互のフレームにおいて反転されてもよい。

20

【0053】

同様に留意すべきは、この実施形態の 4 サブフレーム方式を用いると、結果として生じる多くの rms 電圧の組み合わせに対してデータ電圧の組み合わせに著しい縮退が存在することである。図 1 3、1 4 および 1 5 に示されるデータ電圧が例示的である一方で、DC 電圧振幅が異なるが、所定の画素に必要な rms 電圧の組み合わせと dc 極性要件とを作り出すために、多くの他のデータ電圧シーケンスをディスプレイに用いることができるであろう。表示電力消費、光学的または他の要件に基づく、特定のディスプレイタイプまたは実装に関しては、dc 電圧振幅が最大または最小であるか、あるいはシーケンスのデータ電圧変化が最大または最小であるデータ電圧の組み合わせを選択することが好ましいであろう。

30

【0054】

なおさらなる実施形態では、各複数領域能動アドレス型画素が、フレーム当たりの表示リフレッシュ期間の数が前の実施形態より 1 つ増加したデューティ・アドレスの方法で駆動される、すなわち、2 画素領域 MPD 型ディスプレイに対して、3 つの表示リフレッシュ期間が用いられる。各画素に印加されるデータ電圧が、次に、T. J シェファー他による「ディスプレイ, 1 4, 2, pp 7 4–8 5, 1 9 9 3」および米国特許第 5 7 6 7 8 3 6 号（インフォーカスシステムズ（In Focus Systems））に記載されるように、フレーム期間中に印加される各データ電圧が複数の画素領域に関する複数の入力画像データ値のうちの 1 つのみに依存することを可能にするように計算される。追加の表示リフレッシュ期間は、追加の「仮想」画素領域のためのアドレス用パルスと見做され、他のデータ電圧の一次関数である。

40

【0055】

上述した実施形態は、能動アドレス型画素当たり 2 つの画素領域をもつ MPD 型ディスプレイに関連して記載されたが、記載された方法は、すべてが同じデータ電圧を用いてアドレスされるが分離した蓄積容量配線に結合された、画素当たり 3 つ以上の領域をもつデ

50

ィスプレイに同様に適用可能なことに留意すべきである。これは、ディスプレイの実効解像度のさらなる向上を可能にするが、それぞれが別々に受動的にアドレスされるセグメントにおける行の実効的な数を増加させ、従って、ネーリングおよびメッツによって記載されたように、利用可能な rms 電圧選択比を減少させる。画素当たり3つの副画素領域をもつかかる方式の概略図の例が図16に示される。

【0056】

なおさらなる実施形態では、ディスプレイの1つの行における低い方の画素領域のための蓄積容量配線は、図4に示されるように、下の行の高い方の画素領域と共用されるのではなく、画素行ごとに2つの分離した蓄積容量配線が設けられる。これは、好ましい実施形態のレイアウトが、画素領域ごとに分離した蓄積容量配線を設け、それゆえに、上記のように rms ベースの独立した駆動を可能する一方で、隣接する画素行間の蓄積容量配線の共用が異なる行に異なる V_{cs} 信号が印加されるのを防ぐので有利である。実際、すべての画素行が同じ2つの蓄積容量配線信号を有さなければならない。これは、例えば、各画素に印加されるすべての信号の極性が行ごとに反転されるのを防ぐ。画素の行ごとに完全に分離した蓄積容量配線を設けることがこの増加した自由度を提供し、これは、駆動信号のDCバランスをとり、かつ画素行間の画像データのクロストークを防ぐために有益である。この実施形態の概略図の例が図17に示される。

【0057】

上に詳述された実施形態は、縦に配置された各画素の複数の領域に関連して記載されたが、記載された方法は、画素領域が互いに横に隣接して配置されたMPD画素に同様に適用可能であり、それゆえに、ディスプレイの水平解像度の向上を提供することになる。実際、なおさらなる実施形態において、これらの実施形態の方法は、各画素の複数の領域が交互に横および縦に隣接して配置されたMPD型ディスプレイに適用されたときに、特に有利である。これは、ディスプレイに対して両方向の解像度向上を可能にする。

【0058】

代わりに、前の実施形態により第1の方向（例えば、各画素の複数の領域が縦に配置された場合、縦方向）に提供された解像度向上に合わせるために、MPD型ディスプレイは、標準通り、第1の方向と交差した第2の方向に2倍の数の画素を用いて（例えば、各画素の複数の領域が縦に配列された場合、水平方向に2倍の数の画素を用いて）構築される。

【0059】

なおさらなる実施形態において、記載された方法は、合成白色画素当たり3色以上の画素を用いたMPD型ディスプレイに適用される。かかる多原色ディスプレイは、主としてディスプレイの色域を増加させるために開発されてきたが、それらは、入力画像データのサブ画素レンダリングによってディスプレイの実効解像度を向上させることもできる。かかる方法は、吉田（Yoshida）他による「Journal of the Society for Information Display, 19, 11, pp771-780, 2011」に記載される。総合的な2次元解像度の倍増を提供するために、これらのサブ画素レンダリング法によって提供される水平解像度向上が本発明によって提供される垂直解像度向上と組み合わせられてもよい。例えば、（4k2kとして知られる）3840×2160解像度の画像表示を可能にすべく、水平解像度の向上を達成するために既知のサブ画素レンダリング法を用い、かつ垂直解像度の向上を達成するために本発明の方法を用いて、4原色タイプの標準的な高精細度（1920×1080）画素ディスプレイを駆動してもよい。かかるディスプレイは、著しくより複雑なディスプレイ・ハードウェアに投資する必要なしに視聴者に増加した画像情報の利益を与えるために4k2kビデオコンテンツがより一般的になるにつれて特に有利である。4原色以上のディスプレイは、ディスプレイのネイティブ画素解像度の2倍のビデオコンテンツがないときでも、例えば、DVDビデオコンテンツをフルHDディスプレイ上の表示用にアップスケールするために通常その多くが利用可能な、画像解像度アップスケール装置の使用により、これらの水平および垂直解像度向上を組み合わせる方法を用いて、優れた視聴体験を依然として提供することができる。アップスケール装置は、DVD（標準精細度ビデオ）またはHDビデオ

10

20

30

40

50

オのいずれかから 4 k 2 k ビデオへますます利用可能になるであろう。

【0060】

上記のように、本発明によるディスプレイは、本発明の駆動方法に従ってディスプレイが駆動される第 1 のモードで動作可能である。本発明によるディスプレイは、追加的に、ディスプレイが従来通りに動作する、すなわち、動作回路がフレーム全体にわたって一定の容量配線電圧を供給する第 2 のモードで動作可能である。

【0061】

なおさらなる実施形態において、MDP 型ディスプレイは、解像度向上能力を必要としない各画像フレームの領域においてのみ標準的な仕方で（すなわち、第 2 のモードで）で駆動されてもよい。典型的なビデオコンテンツは、隣接する画素間で画像データに急峻な変化がないかなりの画像領域を有するであろう。1 つの画素行全体のうちの複数の領域間で画像データに急峻な変化が生じなければ、ディスプレイにデータが入力されるときにこれらの領域が検出されて、これらの行は、次に標準的な仕方で、フレームのすべての表示リフレッシュ期間に同じデータ電圧および蓄積容量配線信号を用いて駆動される。これは、MPD 画素によって提供される広視野角の改善をこれらのエリアで維持し、加えて、2 つの画素領域上の電圧比 3 : 1 の制限が総合的な画像コントラストを低下させかねない場合には全電圧範囲で維持することを可能にする。

【0062】

なおさらなる実施形態において、本ディスプレイは、ディスプレイへの画像データ入力に依存するいくつかのモードのうちの 1 つで駆動される。画像データがディスプレイにおける画素数に一致する画素解像度を有する場合には、本ディスプレイは、ディスプレイの電力消費を削減するために、本発明の方法を実効的に「オフ」にして、すなわち、図 3 に要約されるような標準的な技術によるソース信号および容量配線信号を用いて駆動される。画像データがディスプレイのサブ画素領域の数に一致する場合には、その情報を完全に表示するために本発明の方法を用いてもよく、逆に、この追加の解像度情報を犠牲にして、画素に関する単一の平均輝度値を計算し、従って電力を節約するために本発明の方法を依然としてオフにしてディスプレイを駆動してもよく、あるいは、既知の MPD 法に従って広視野の改善を適用できるようにしてもよい。これらのモードのうちのどれが適用されるかは、ユーザ選択可能であるか、または検出された入力データの画素解像度に応じて自動的に選択されてもよい。

【0063】

本発明のなおさらなる実施形態において、各画素のサブ画素領域は、等しいサイズではない。図 2 ならびに特許文献 1 に詳述される広視野の改善のための標準的な MPD 方式の 1 つの限界は、サブ画素領域の明るさの順序が所定の画素に対して常に固定され、サブ画素領域を異なるサイズにする利点は何もないことである。しかしながら、本発明の方法は、サブ画素領域の相対的な明るさにある程度の独立性を許容するので、画素のサブ画素領域がすべて同一のサイズでなくても、広視野強化の改善を達成できる。例えば、各画素の 2 つのサブ画素領域が画素の透過エリアのそれぞれ $1/3$ および $2/3$ を占有する場合には、最大値の $1/3$ までの画素輝度を生成するために小さい方のサブ画素をターンオンし、次にターンオフして、最大値の $1/3$ から $2/3$ までの輝度を生成するために大きい方のサブ画素を用いることができ、それより上では必要とされる輝度を生成するために両方の画素の組み合わせを用いるので、達成可能な広視野の改善は、画素当たり 3 サブ画素の非独立 MPD 方式におよそ等しい。全画素透過エリアのそれぞれ $1/7$ 、 $2/7$ および $4/7$ の 3 つの独立したサブ画素領域を用いた場合には、軸外輝度特性が 7 領域非独立方式からの結果に一致するので、非独立 MPD 方式を凌ぐ広視野の改善がさらに促進される。典型的な垂直配向ネマティック (VAN: vertical aligned nematic) モード LCD の軸外輝度応答におけるこれらの改善が図 18 に示される。この実施形態の発明では、軸上解像度の向上ではなく広視野の見映えの改善のために、各画素のサブ画素領域が利用されるので、本発明の駆動回路は、フレーム当たりの画素領域ごとにただ 1 つの画素データ値を受信するように配置されるであろう。駆動回路は、次に、所望

の広視野効果を生成する rms 電圧を各サブ画素領域の両端間に発生させるために、各サブフレーム・リフレッシュ期間に印加されることになる複数のソース配線信号電圧を確定することになろう。

【0064】

なおさらなる実施形態では、参照により本明細書に組み込まれる、国際公開第2009110128A1号および国際公開第2011034209号に記載されるタイプのプライバシー効果を可能にすべく、各サブフレーム・リフレッシュ期間に印加されることになる複数のソース配線信号電圧を確定するために、2次入力画像または2次入力データ値が用いられる。前の実施形態と同様に、本発明の各画素の独立して制御可能なサブ画素領域は、軸外輝度値の範囲を任意の固定された軸上輝度に対して改善することが可能であり、それによりこの事例ではプライバシー強度効果を増大させることができる。プライバシー効果を提供するために、表示駆動回路は、1つの完全な画素に関する1つのデータ値を指定する画像データに応答して、入力データによって定義された画素の総合的な輝度に従って各サブ画素の軸上視聴者への輝度を制御するために複数の信号電圧を出力するようになっているが、その画素の所望の軸外輝度に従って画素全体の軸外輝度を制御するために総合的な輝度を1つの画素のサブ画素間で分割する。各画素の所望の軸外輝度は、例えば、1つの2次入力データ値によって確定されてもよく、画素に関する入力データ値によって指定される意図された軸上輝度にできるだけ近いが、またはそれに比例するように確定されてもよく、あるいは、画素に関する入力データ値とは独立した1つの固定値に確定されてもよい。

10

20

【0065】

当然のことながら、上記の実施形態のそれぞれは、記載される特定の液晶構成を用いた動作には限定されない。本発明の各実施形態は、以下のタイプの液晶ディスプレイ、すなわち、ねじれネマティック (TN: Twisted Nematic)、超ねじれネマティック (STN: Super Twisted Nematic)、インプレーン・スイッチング (IPS: In Plane Switching)、フリンジ・フィールド・スイッチング (FFS: Fringe Field Switching および AFFS)、垂直配向ネマティック (VAN)、ねじれ垂直配向ネマティック (TVAN: Twisted Vertically Aligned Nematic)、マルチドメイン垂直配向 (MVA: Multidomain Vertical Aligned) および連続ピンホイール配向 (CPA: Continuous Pinwheel Aligned) のいずれとも用いることができる。他の適切な液晶モードが当業者には容易に利用可能であろう。

30

【0066】

(付記)

【0067】

本発明の第1の態様は、複数のソース配線と、ソース配線と交差した複数のゲート配線と、複数の蓄積容量アドレス配線とを有し、ソースおよびゲート配線の交点には独立してアドレス可能な画素が設けられ、1つの画素は、複数のサブ画素を備え、1つの画素の各サブ画素は、蓄積容量アドレス配線のうちのそれぞれ1つと結合された、アクティブマトリックスLCDディスプレイを提供する。本ディスプレイは、第1のモードで、画像データの1つのフレームのための1つの画素に関する入力データに応答して、フレームに関する複数の信号電圧を画素のソース配線へ供給し、かつ複数の容量配線電圧を供給するための駆動回路を有し、各容量配線電圧は、画素のそれぞれの蓄積容量アドレス配線へ供給される。駆動手段は、フレームの第1の表示リフレッシュ期間に供給される、複数の容量配線電圧のうちの第1の容量配線電圧と、複数の容量配線電圧のうちの第2の容量配線電圧との間の関係が、フレームの後続の表示リフレッシュ期間に供給される、複数の容量配線電圧のうちの第1と、複数の容量配線電圧のうちの第2との間の関係とは異なるように、複数の容量配線電圧を供給するようになっている。

40

【0068】

50

本発明のディスプレイにおいて、ソース配線に印加される電圧は、1つのフレームにわたって一定ではなく、1つのフレームの異なる表示リフレッシュ期間に異なる値を取ってもよい。これは、1つのフレームにおいて信号電圧波形が変化する振幅を有する単一の信号電圧波形を供給すると見做すこともできるであろうが、記述を明確にするために、この印加は、1つのフレームにおいて2つ（またはそれ以上）の信号電圧が供給され、各表示リフレッシュ期間に1つの信号電圧が供給されることを指すことになる。

【0069】

複数の容量配線電圧のうちの2つの間の関係がフレームの1つの表示リフレッシュ期間と後続の表示リフレッシュ期間との間で変化するように、複数の容量配線電圧を供給するステップは、サブ画素の相対的な透過率が1つのフレームにわたって固定されるという特許文献1に関連して記載された限界を克服して、解像度向上を提供する。

10

【0070】

用語「フレーム」は、本明細書では、ディスプレイへ供給される入力画像の1つのフレームに対応する表示期間を示す。図3に示されるように駆動される従来型ディスプレイでは、表示が1つのフレームで1回だけリフレッシュされるが、本発明のディスプレイでは、表示が1つのフレームで2回以上リフレッシュされる。

【0071】

1つのフレームに3つ以上の表示リフレッシュ期間がある実施形態では、「第1の」表示リフレッシュ期間と「後続の」表示リフレッシュ期間とが連続した表示リフレッシュ期間である必要はない—複数の容量配線電圧のうちの第1の容量配線電圧と、複数の容量配線電圧のうちの第2の容量配線電圧との間の関係は、（例えば、下の図13に第2および第3の表示リフレッシュ期間に関して示されるように）1つのフレームの2つの連続した表示リフレッシュ期間に対して同じままであってもよい。

20

【0072】

駆動手段は、フレームにわたって第1のサブ画素の両端間に印加される二乗平均平方根（RMS）電圧が、フレームにわたって第2のサブ画素の両端間に印加されるRMS電圧とは少なくとも部分的に独立して制御可能であるように、フレームの第1および第2の表示リフレッシュ期間に信号電圧と複数の容量配線電圧のうちの第1の容量配線電圧とを供給するようになっている。

【0073】

本発明の第2態様は、複数のソース配線と、ソース配線と交差した複数のゲート配線と、複数の蓄積容量アドレス配線とを有し、ソースおよびゲート配線の交点には独立してアドレス可能な画素が設けられ、1つの画素は、複数のサブ画素を備え、1つの画素の各サブ画素は、蓄積容量アドレス配線のうちのそれぞれ1つと結合された、アクティブマトリックスLCDディスプレイを提供する。本ディスプレイは、第1のモードで、画像データの1つのフレームのための1つの画素に関する入力データに応答して、フレームに関する複数の信号電圧を画素のソース配線へ供給し、かつ複数の容量配線電圧を供給するための駆動回路を有し、各容量配線電圧は、画素のそれぞれの蓄積容量アドレス配線へ供給される。駆動手段は、フレームにわたって第1のサブ画素の両端間に印加される二乗平均平方根（RMS）電圧が、フレームにわたって第2のサブ画素の両端間に印加されるRMS電圧とは少なくとも部分的に独立して制御可能であるように、信号電圧と複数の容量配線電圧とを供給するようになっている。

30

40

【0074】

駆動手段は、第1の信号電圧をフレームの第1の表示リフレッシュ期間に画素のソース配線へ供給し、第1の信号電圧とは異なる第2の信号電圧をフレームの第2の表示リフレッシュ期間に供給してもよい。

【0075】

駆動手段は、第1のサブ画素の両端間にフレームにわたって印加されるRMS電圧が、フレームにわたって第2のサブ画素の両端間に印加されるRMS電圧の1/3と3倍との間で制御可能であるように、フレームの第1および第2の表示リフレッシュ期間に信号電

50

圧と複数の容量配線電圧とを供給する。多くのディスプレイにおいて、画素を最小透過性から最大透過性へ変化させるには、印加電圧をほぼ3倍変化させる必要がある。第1のサブ画素の両端間にフレームにわたって印加されるRMS電圧が、フレームにわたって第2のサブ画素の両端間に印加されるRMS電圧の $1/3$ と3倍との間で制御可能であるように配置することは、それゆえに、他のサブ画素の状態に係わらず、各サブ画素をその最小透過状態もしくは最大透過状態、または任意の中間状態に置くことを可能にする。

【0076】

1つのフレームに第1および第2の表示リフレッシュ期間が定義されてもよい。

【0077】

代わりに、1つのフレームに2つより多い表示リフレッシュ期間が定義されてもよく—例えば、1つのフレームに第1から第4の表示リフレッシュ期間が定義されてもよい。これは、各表示リフレッシュ期間中に印加されるデータ電圧の極性を交互に正または負電圧に制限することを可能にし、一方では有用な電圧選択比を依然として許容するので有利である。これは、この制限された極性を交互の画素列に対して交互に替える、および／または逐次的なフレームにおいて反転させることも可能にし、一方では各フレーム内の表示リフレッシュ期間のフルセットにわたって各画素領域上に同じ範囲のrms電圧が生成されることを依然として許容する。これは、交互に替わるソース電圧極性の使用が一般に利用可能なソース・ドライバ・エレクトロニクスとのコンパティビリティを提供するので有利である。

【0078】

駆動手段は、複数のサブ画素のうちの各サブ画素に関して、N個の連続するフレームの一群においてサブ画素の両端間に印加される正味の電圧が、すぐ後に続くN個のフレームの一群においてサブ画素の両端間に印加される正味の電圧とは反対極性であり、かつ振幅が実質的に等しいように、信号電圧と複数の容量配線電圧とを供給してもよい。あるタイプの表示媒体（例えば、液晶）は、経時的に正味のDC成分を有する表示電圧を用いてアドレスされると劣化するであろうことが知られている。この実施形態は、2N個（N=1、2、3など）の連続したフレームにわたって、表示媒体の両端間に正味のDC電圧がなく、結果として、表示媒体の電解劣化を防止することを保証する。

【0079】

1つのフレームのための1つの画素に関する入力データは、各入力データ値が画素のそれぞれのサブ画素の所望の輝度を定義する、複数の入力データ値を備えてもよい。

【0080】

代わりに、1つのフレームのための1つの画素に関する入力データは、画素に関する所望の総合的な輝度を定義してもよい（結果として、1つのフレームのための1つの画素に関する入力データが単一のデータ値を備えてもよい）。（本明細書では、「画素」が単一色画素に関することに留意すべきである。合成白色画素が3つの画素から形成される場合には、合成白色画素の出力を定義するために3つのデータ値が必要とされる）。

【0081】

1つのフレームのための1つの画素に関する入力データが複数の入力データ値を備えるところでは、駆動手段は、その複数の入力データ値に応じて、1つのフレームのための1つの画素に関する単一の電圧を供給してもよい。

【0082】

1つのフレームのための1つの画素に関する入力データが複数の入力データ値を備えるところでは、駆動手段は、その複数の入力データ値に応じて、1つのフレームのための1つの画素に関する複数の信号電圧と複数の容量配線電圧を供給してもよい。

【0083】

駆動手段は、1つのフレームのための1つの画素に関して、n個の信号電圧の少なくとも2つのセットを確定してもよく、ここでnは、1つのフレームにおける表示リフレッシュ期間の数であり、信号電圧の各セットが、画素にフレームにわたって所望のRMS電圧を提供するように、かつ、信号電圧の第1のセットが、信号電圧の第2のセットにより画

10

20

30

40

50

素の両端間にフレームにわたって生成される総合的な電圧と実質的に等しい振幅であるが反対極性の総合的な電圧を画素の両端間にフレームにわたって提供するように、これら2つのセットを確定してもよい。次に、特定の表示リフレッシュ期間に関して、信号電圧の第1および第2のセットのうちの1つをその表示リフレッシュ期間における画素の両端間の電圧の所望の極性に応じて選択することができる。この実施形態において、n個の信号電圧の2つのセットが「実質的に等しい振幅の」総合的な電圧を提供すると指定することが意味するのは、信号電圧の2つのセットがディスプレイの視聴者によって同様であると知覚される画素輝度をもたらすことである。

【0084】

代わりに、本ディスプレイは、予め計算された複数の信号電圧を記憶するための記憶装置を備え、駆動手段が、1つの表示リフレッシュ期間に関して、画素の信号配線への供給のために予め計算された複数の信号電圧のうちの1つを選択するようになっていてもよい。予め計算された複数の信号値を記憶することは、表示リフレッシュ期間ごとに適切な複数の信号電圧を計算する必要性を回避する。

【0085】

予め計算される各信号電圧は、(フレーム全体に係る)各サブ画素の所望の輝度に依存する。いくつかの場合、表示リフレッシュ期間に1つのサブ画素に印加することになる信号電圧は、その表示リフレッシュ期間にそのサブ画素に意図された輝度のみによっては確定されない—各表示リフレッシュ期間に1つのサブ画素に印加すべき信号電圧を確定するために、フレームのためのすべてのサブ画素に意図された輝度を知ることが必要な場合がある。

【0086】

記憶装置は、使用中に、1つの画素の複数のサブ画素の所望の輝度値の組み合わせごとに予め計算された信号電圧の第1および第2のセットを記憶し、駆動回路は、1つの表示リフレッシュ期間に関して、その表示リフレッシュ期間に画素の両端間に印加される電圧の所望の極性に応じて、予め計算された信号電圧の第1および第2のセットのうちの1つを選択する。これは、予め計算された複数の信号値を記憶することに関連する利点を提供し、一方では、特定の表示リフレッシュ期間に関して、その表示リフレッシュ期間に画素の両端間の電圧に所望される極性に応じて、記憶された信号電圧の第1および第2のセットのうちの1つを選択できるので、表示リフレッシュ期間に所望される電圧極性を依然として与えることができる。

【0087】

記憶装置は、ルックアップテーブルを備えてもよい。

【0088】

ディスプレイの少なくとも1つの画素、および好ましくはすべての画素は、2つのサブ画素を備えてもよい。

【0089】

代わりに、ディスプレイの少なくとも1つの画素、および好ましくはすべての画素は、3つ以上のサブ画素を備えてもよく、例えば、4つのサブ画素を備えてもよい。

【0090】

駆動回路は、1つの表示リフレッシュ期間に供給される1つの信号電圧の極性が、直前の表示リフレッシュ期間に供給された1つの信号電圧の極性とは反対であるように、複数の信号電圧を供給するように配置される。多くの共通ソース・ドライバは、択一的に正および負の出力電圧を提供するように制約されており、この実施形態は、かかるソース・ドライバを用いて実装されてもよい。

【0091】

本ディスプレイは、異なる色の少なくとも4つの画素からなる複数の合成白色画素を有し、各色画素は、第1の方向に沿って互いに離隔した複数のサブ画素を備え、これらの色画素は、各合成白色画素中に順々に配置されて、第1の方向に沿って延びる色縞の繰り返しパターンを作り出し、それにより第1の方向と交差する方向における実効解像度を向上

10

20

30

40

50

させ、第1のモードで、駆動回路は、ソース配線に平行な方向における実効解像度を向上させるように、複数の信号電圧と複数の容量配線電圧を供給する。以下に説明されるように、本発明は、解像度の向上を提供できる。合成白色画素中に3つより多い色画素（例えば、合成白色画素中に赤色、緑色、青色、および黄色画素）を有するディスプレイが知られ、かかるディスプレイの解像度が入力画像データのサブピクセルレンダリングによって、水平方向に（すなわち、ディスプレイのソース配線と交差する方向に）に向上することも知られている。本発明は、垂直方向に（すなわち、ディスプレイのソース配線に平行な方向に）にかかるディスプレイの解像度を向上させるために用いられる一従って、この実施形態が入力画像データのサブピクセルレンダリングとともに実装されたときに、水平および垂直両方向に解像度向上が達成される。

10

【0092】

1つの画素は、互いに異なるサイズの少なくとも2つのサブ画素を備えてもよく、1つの画素が3つ以上のサブ画素を有する場合、1つの画素のすべてのサブ画素を互いに異なるサイズにすることが可能である。1つの画素の複数のサブ画素領域がすべて同一のサイズでない場合、広視野強化の改善を達成できる。

【0093】

例えば、1つの画素が2つのサブ画素を備える場合、画素は、画素エリアの $1/3$ を占有する第1のサブ画素と、画素エリアの $2/3$ を占有する第2のサブ画素とを備えてもよい。例えば、各画素の2つのサブ画素領域が、画素の透過エリアのそれぞれ $1/3$ および $2/3$ を占有する場合には、最大値の $1/3$ までの画素輝度を生成するために小さい方のサブ画素をターンオンして、次にターンオフし、最大値の $1/3$ から $2/3$ までの輝度を生成するために大きい方のサブ画素を用いることができ、それより上では、必要な輝度を生成するために両方のサブ画素の組み合わせを用いてもよいので、達成可能な広視野の強化は、画素当たり3つのサブ画素の非独立MPD方式とおおよそ同等である。

20

【0094】

さらなる例として、1つの画素が3つのサブ画素を備える場合、画素は、画素エリアの $1/7$ を占有する第1のサブ画素と、画素エリアの $2/7$ を占有する第2のサブ画素と、画素エリアの $4/7$ を占有する第3のサブ画素とを備えてもよい。その場合には軸外輝度特性が7領域非独立方式からの結果と一致するので、これは、非独立MPD方式を凌ぐ広視野強化のさらなる改善を提供する。

30

【0095】

表示駆動回路は、1つの完全な画素のみに関する1つのデータ値を指定する画像データに応答して、入力データによって定義された画素の総合的な輝度に従って各サブ画素上で軸上視聴者への輝度を制御するために複数の信号電圧を出力するようになっているが、その画素の所望の軸外輝度に従って画素全体の軸外輝度を制御するために総合的な輝度をサブ画素間で分割する。これは、例えば、軸外輝度が軸上輝度に比べて実質的により低い狭視野または「プライベート」ディスプレイ・モードで、または、軸外輝度が軸上輝度に概して匹敵する広視野または「パブリック」ディスプレイ・モードでディスプレイを動作させることを可能にする。

【0096】

各画素の所望の軸外輝度は、2次入力データ値によって確定されてもよい。これは、狭視野表示モードと広視野表示モードとの間で選択を行う便利な方法である。

40

【0097】

代わりに、各画素の所望の軸外輝度は、画素に関する入力データ値によって指定される意図された軸上輝度にできるだけ近いが、またはそれに比例するように確定されてもよい。

【0098】

代わりに、各画素の所望の軸外輝度は、画素に関する入力データ値とは独立した固定値に確定されてもよい。

【0099】

50

第1または第2の態様のディスプレイは、追加的に、当該ディスプレイが従来通り動作する、すなわち、動作回路がフレーム全体にわたって一定である複数の容量配線電圧を供給する、第2のモードで動作可能であってもよい。かかる実施形態では、本発明が表示品質の著しい改善を提供することにならない画像であれば、本発明の処理は作動せず、従って、ディスプレイは、従来型ディスプレイとして動作する。例えば、本ディスプレイは、入力データに依存して第1のモードまたは第2のモードのいずれかを選択するように配置されてもよい。例えば、本ディスプレイは、入力データによって定義される画像の特性（例えばフォーマット）を確定し、確定された特性に依存して第1のモードまたは第2のモードのいずれかを選択してもよい。代わりに、本ディスプレイは、装置が第1のモードまたは第2のモードで動作するかどうかを確定する別の制御入力信号を受信してもよい。

10

【0100】

加えて、画像の一部のみにわたって本発明を適用するのが望ましいこともあり、これは、本ディスプレイが表示されることになる画像のいくつかの画素に対して第1のモードで動作し、表示されることになる画像の他の画素に対しては第2のモードで動作するように配置することによって達成できる。

【0101】

本発明の第3の態様は、アクティブマトリックスLCDディスプレイを駆動する方法を提供し、本ディスプレイは、複数のソース配線と、ソース配線と交差した複数のゲート配線と、複数の蓄積容量アドレス配線とを有し、ソースおよびゲート配線の交点には独立してアドレス可能な画素が設けられ、1つの画素は、複数のサブ画素を備え、1つの画素の各サブ画素は、蓄積容量アドレス配線のうちのそれぞれ1つと結合され、本方法は、第1のモードで、

20

【0102】

画像データの1つのフレームのための1つの画素に関する入力データに応答して、フレームに関する複数の信号電圧を画素のソース配線へ供給するステップと、複数の容量配線電圧を供給するステップとを備え、各容量配線電圧は、画素のそれぞれの蓄積容量アドレス配線へ供給される方法であって、

【0103】

本方法は、フレームの第1の表示リフレッシュ期間に供給される、複数の容量配線電圧のうちの少なくとも第1の容量配線電圧と、複数の容量配線電圧のうちの第2の容量配線電圧との間の関係が、フレームの後続の表示リフレッシュ期間に供給される、複数の容量配線電圧のうちの第1と、複数の容量配線電圧のうちの第2との間の関係とは異なるように、複数の容量配線電圧を供給することを備える。

30

【0104】

本発明の第4の態様は、アクティブマトリックスLCDディスプレイを駆動する方法を提供し、本ディスプレイは、複数のソース配線と、ソース配線と交差した複数のゲート配線と、複数の蓄積容量アドレス配線を有し、ソースおよびゲート配線の交点には独立してアドレス可能な画素が設けられ、1つの画素は、複数のサブ画素を備え、1つの画素の各サブ画素は、蓄積容量アドレス配線のうちのそれぞれ1つと結合され、本方法は、第1のモードで、画像データの1つのフレームのための1つの画素に関する入力データに応答して、フレームに関する複数の信号電圧を画素のソース配線へ供給するステップと、複数の容量配線電圧を供給するステップとを備え、各容量配線電圧は、画素のそれぞれの蓄積容量アドレス配線へ供給される方法であって、本方法は、フレームにわたって第1のサブ画素の両端間に印加される二乗平均平方根（RMS）電圧が、フレームにわたって第2のサブ画素の両端間に印加されるRMS電圧とは少なくとも部分的に独立して制御可能であるように、信号電圧と複数の容量配線電圧を供給するステップを備える。

40

【0105】

本発明の方法は、第1および第2の態様のディスプレイに関して上に定義された任意の特徴または特徴の組み合わせを提供する。

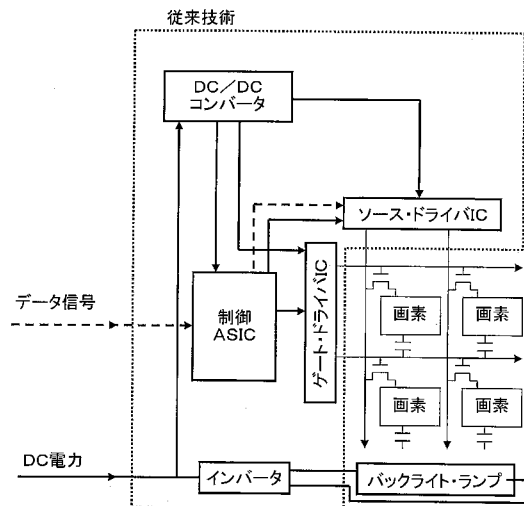
【産業上の利用可能性】

50

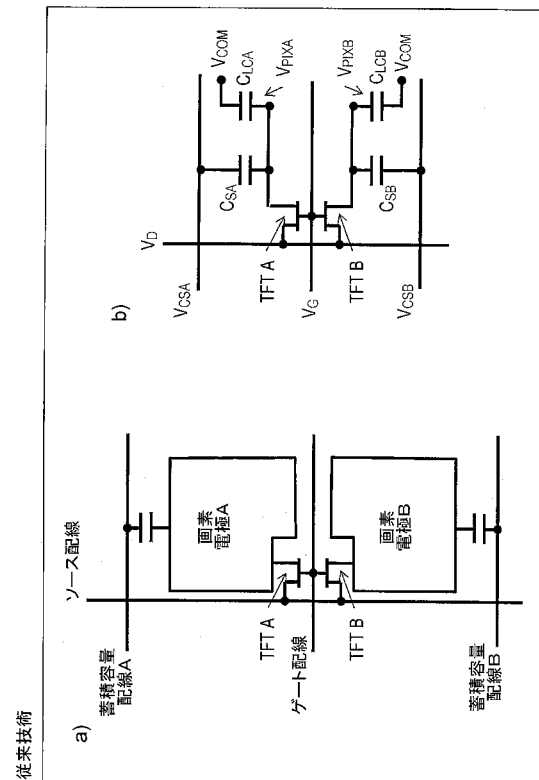
【0106】

本明細書に記載される発明は、入力画像データがディスプレイのネイティブ解像度より高い画素解像度であるか、あるいは入力データのアップスケールによって提供される入力画像コンテンツの知覚解像度の向上が望ましい、いずれかのLCDディスプレイに適用可能である。

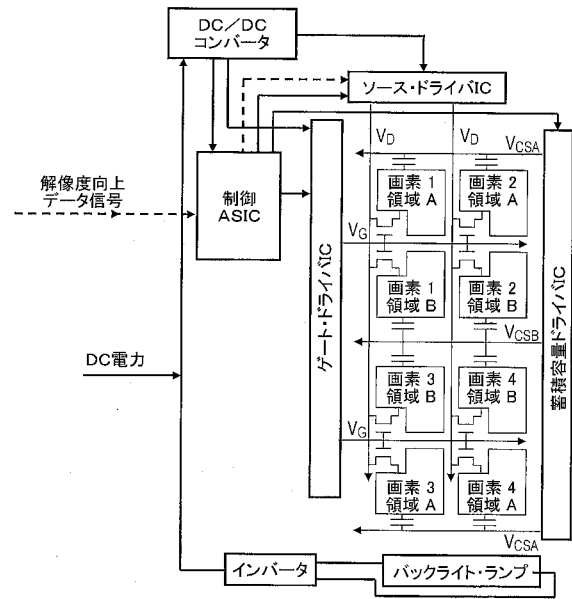
【図1】



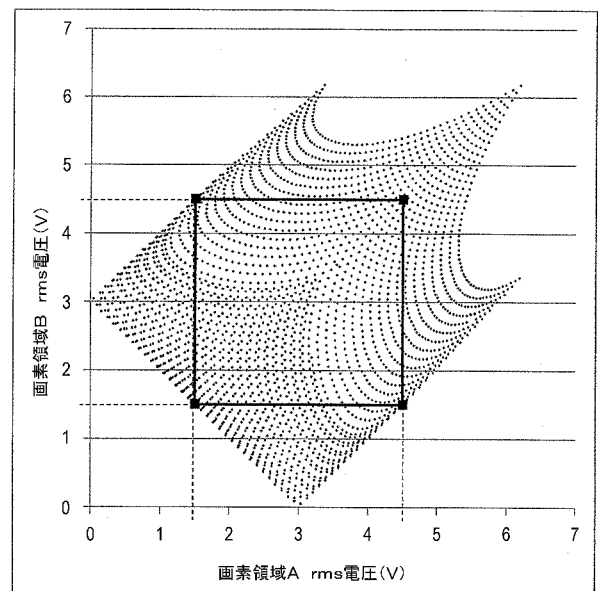
【図2】



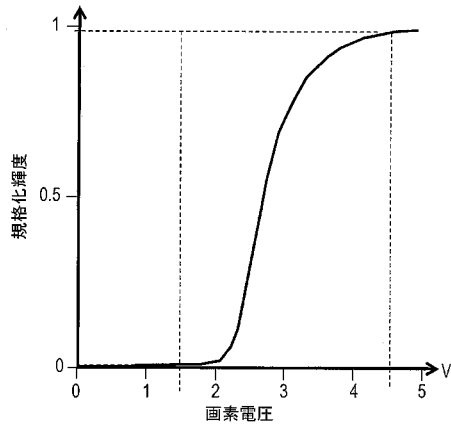
【図 4】



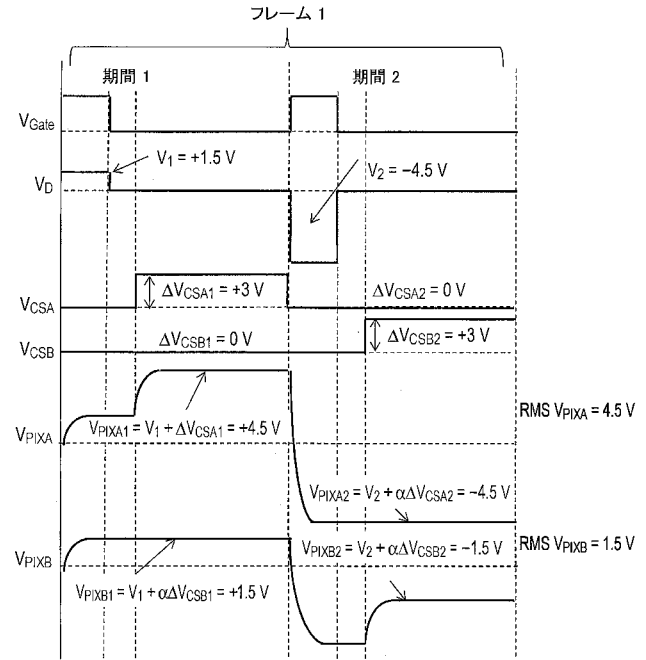
【図 6】



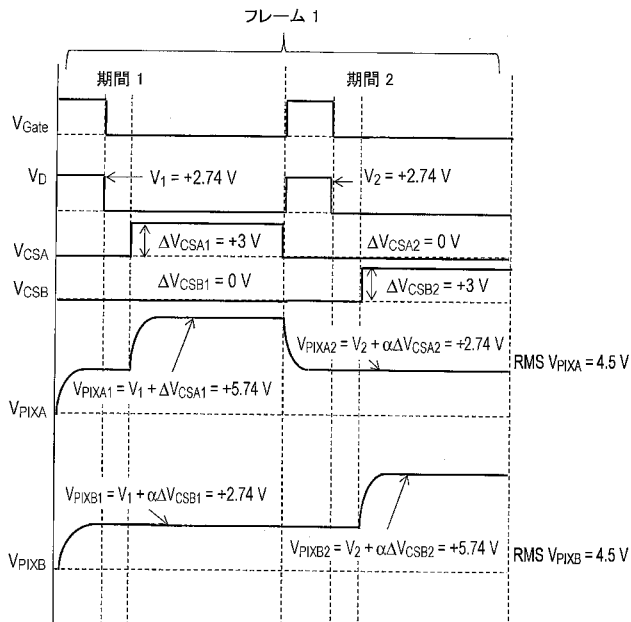
【図 7】



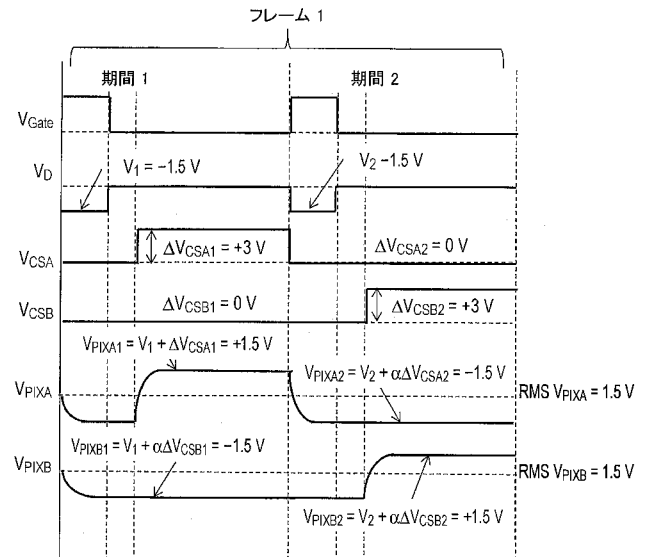
【図 8】



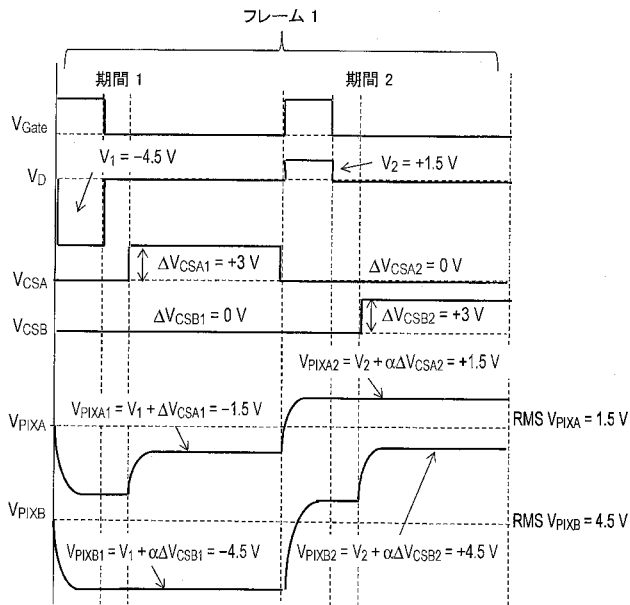
【図 9】



【図 10】



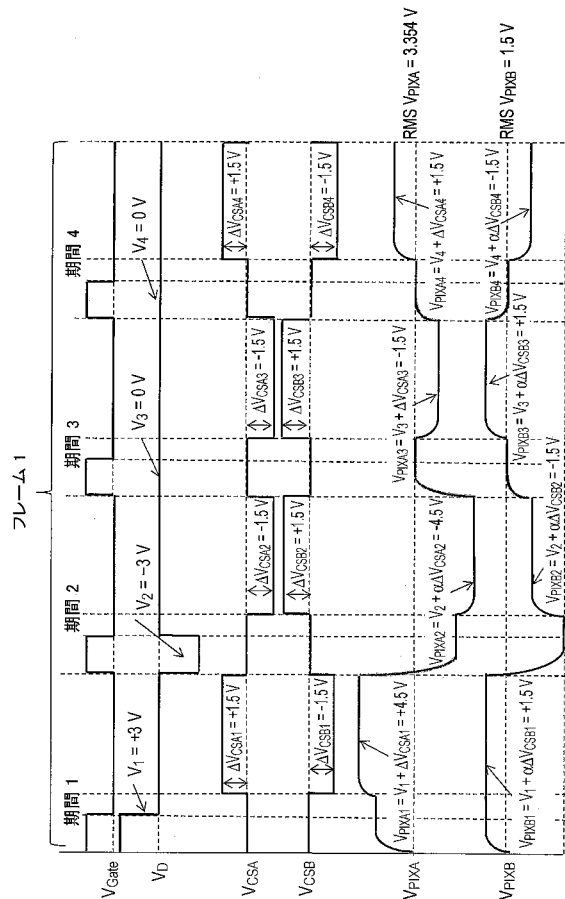
【図 1 1】



【図 1 2】

画面領域A 画像データ	画面領域B 画像データ	V_1	V_2	V_{PIXA} rms / dc	V_{PIXB} rms / dc	V_1'	V_2'	V_{PIXA} rms / dc	V_{PIXB} rms / dc
0	0	-1.5V	-1.5V	1.5V / 0V	1.5V / 0V	-1.5V	-1.5V	1.5V / 0V	1.5V / 0V
0	255	-4.5V	+1.5V	1.5V / 0V	4.5V / 0V	-4.5V	+1.5V	1.5V / 0V	4.5V / 0V
255	0	+1.5V	-4.5V	4.5V / 0V	1.5V / 0V	+1.5V	-4.5V	4.5V / 0V	1.5V / 0V
255	255	+2.74V	+2.74V	4.5V / 4.24V	4.5V / 4.24V	-5.74V	-5.74V	4.5V / 4.24V	4.5V / 4.24V

【図 1 3】



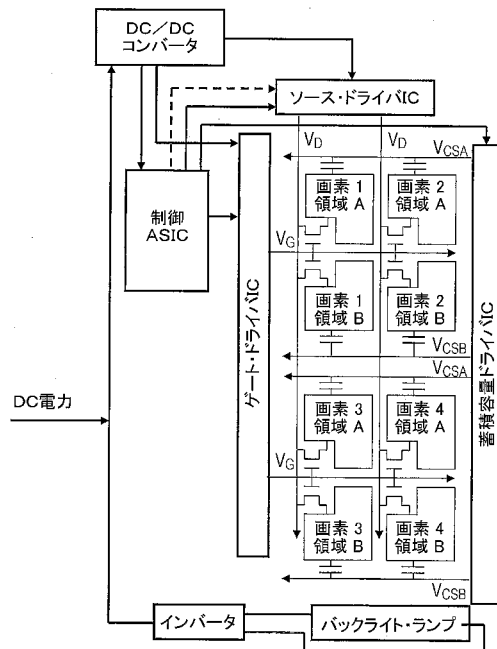
【図 1 4】

画面領域A 画像データ	画面領域B 画像データ	奇数/偶数列	DC 極性	V_1	V_2	V_3	V_4	V_{PIXA} rms	V_{PIXB} rms	V_{PIXA} dc	V_{PIXB} dc
0	0	Odd	+	0V	0V	0V	0V	1.5V	1.5V	0	0
0	0	Odd	-	0V	0V	0V	0V	1.5V	1.5V	0	0
0	0	Even	+	0V	0V	0V	0V	1.5V	1.5V	0	0
0	0	Even	-	0V	0V	0V	0V	1.5V	1.5V	0	0
0	255	Odd	+	0V	0V	+3V	-3V	1.5V	3.35V	0	0
0	255	Odd	-	0V	0V	+3V	-3V	1.5V	3.35V	0	0
0	255	Even	+	-3V	+3V	0	0	1.5V	3.35V	0	0
0	255	Even	-	-3V	+3V	0	0	1.5V	3.35V	0	0
255	0	Odd	+	+3V	-3V	0	0	3.35V	1.5V	0	0
255	0	Odd	-	+3V	-3V	0	0	3.35V	1.5V	0	0
255	0	Even	+	+3V	-3V	0	0	3.35V	1.5V	0	0
255	0	Even	-	+3V	-3V	0	0	3.35V	1.5V	0	0
255	255	Odd	+	-3V	+3V	-3V	+3V	3.35V	3.35V	0	0
255	255	Odd	-	-3V	+3V	-3V	+3V	3.35V	3.35V	0	0
255	255	Even	+	-3V	+3V	-3V	+3V	3.35V	3.35V	0	0
255	255	Even	-	-3V	+3V	-3V	+3V	3.35V	3.35V	0	0

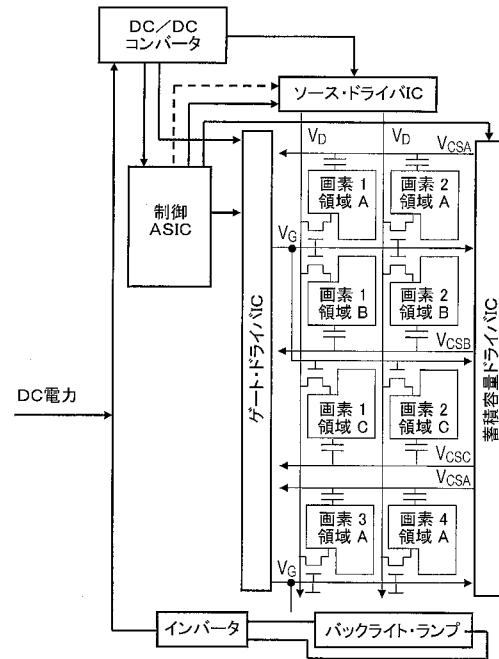
【図 15】

画素領域A 画像データ	画素領域B 画像データ	奇数/偶数 列	DC 極性	V_1	V_2	V_3	V_4	V_{pixA} rms	V_{pixB} rms	V_{pixA} dc	V_{pixB} dc
0	128	Odd	+	+0.9 V	-0.25 V	+1.6 V	-1.9 V	1.5 V	2.4 V	+0.088 V	+0.088 V
0	128	Odd	-	+0.25 V	-0.9 V	+1.9 V	-1.6 V	1.5 V	2.4 V	-0.088 V	-0.088 V
0	128	Even	+	-1.9 V	+1.6 V	-0.25 V	+0.9 V	1.5 V	2.4 V	+0.088 V	+0.088 V
0	128	Even	-	-1.6 V	+1.9 V	-0.9 V	+0.25 V	1.5 V	2.4 V	-0.088 V	-0.088 V
128	0	Odd	+	+1.9 V	-1.6 V	+0.9 V	-0.25 V	2.4 V	1.5 V	+0.238 V	+0.238 V
128	0	Odd	-	+1.6 V	-1.9 V	+0.25 V	-0.9 V	2.4 V	1.5 V	-0.238 V	-0.238 V
128	0	Even	+	-0.25 V	+0.9 V	-1.9 V	+1.6 V	2.4 V	1.5 V	+0.238 V	+0.238 V
128	0	Even	-	-0.9 V	+0.25 V	-1.6 V	+1.9 V	2.4 V	1.5 V	-0.238 V	-0.238 V
128	128	Odd	+	+3 V	0 V	1 V	-2 V	2.4 V	2.4 V	+0.5 V	+0.5 V
128	128	Odd	-	0 V	-3 V	2 V	-1 V	2.4 V	2.4 V	-0.5 V	-0.5 V
128	128	Even	+	-2 V	+1 V	0 V	+3 V	2.4 V	2.4 V	+0.5 V	+0.5 V
128	128	Even	-	-1 V	+2 V	-3 V	0 V	2.4 V	2.4 V	-0.5 V	-0.5 V

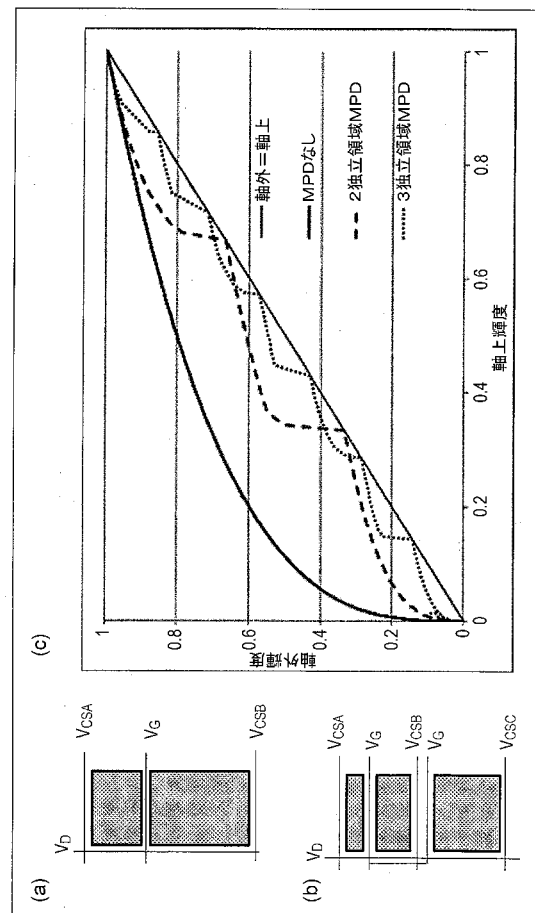
【図 17】



【図 16】



【図 18】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

 International application No.
PCT/JP2014/003937

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. G02F1/133(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. G02F1/133, G09G3/20, G09G3/36 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2014 Registered utility model specifications of Japan 1996-2014 Published registered utility model applications of Japan 1994-2014 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2006/98448 A1 (SHARP KABUSHIKI KAISHA) 2006.09.21, [0437]-[0451], Fig. 57A, 57B & JP 4393548 B & US 2008/0106657 A1	1-25
A	WO 2007/108181 A1 (SHARP KABUSHIKI KAISHA) 2007.09.27, [0188]-[0195], Fig 18 & JP 2008-287266 A & US 2009/0065778 A1 & GB 2449403 A & EP 1998220 A1 & CN 101401030 A & KR 10-2008-0103589 A	1-25
A	WO 2006/93163 A1 (SHARP KABUSHIKI KAISHA) 2006.09.08, [0058]-[0164] & JP 5031553 B & US 2010/0149227 A1	13-16
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 05.09.2014		Date of mailing of the international search report 16.09.2014
Name and mailing address of the ISA/IP Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Taku FUKUMURA Telephone No. +81-3-3581-1101 Ext. 3255
		2L 3308

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/003937

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2011/114583 A1 (SHARP KABUSHIKI KAISHA) 2011.09.22, whole document & JP 5378592 B & US 2012/0327137 A1 & EP 2549466 A1 & CN 102782744 A	19
A	JP 2006-119539 A (SHARP KABUSHIKI KAISHA) 2006.05.11, Fig. 2 (Family none)	20-21
A	JP 2004-78157 A (SHARP KABUSHIKI KAISHA) 2004.03.11, [0062]-[0067], Fig. 6,7 & KR 10-2004-0002600 A & CN 1469175 A	1-25
A	WO 2008/23601 A1 (SHARP KABUSHIKI KAISHA) 2008.02.28, whole document & JP 5043847 B & US 2009/0195487 A1 & EP 2056286 A1 & CN 101506866 A	1-25

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 4 1 C
	G 0 9 G 3/20	6 2 3 D
	G 0 9 G 3/20	6 2 2 C

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JP,KE,KG,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US

(72)発明者 ブロートン ベンジャミン ジョン
イギリス オーエックス4 4ジービー, オックスフォードシャー, オックスフォード, オックス
フォード サイエンス パーク, エドモンド ハリー ロード (番地なし) シャープ ラボラ
トリーズ オブ ヨーロッパ リミテッド内

(72)発明者 ウォルトン エマ ジェイン
イギリス オーエックス4 4ジービー, オックスフォードシャー, オックスフォード, オックス
フォード サイエンス パーク, エドモンド ハリー ロード (番地なし) シャープ ラボラ
トリーズ オブ ヨーロッパ リミテッド内

(72)発明者 ブラウン クリストファー ジェームス
イギリス オーエックス4 4ジービー, オックスフォードシャー, オックスフォード, オックス
フォード サイエンス パーク, エドモンド ハリー ロード (番地なし) シャープ ラボラ
トリーズ オブ ヨーロッパ リミテッド内

Fターム(参考) 2H193 ZA04 ZA07 ZB02 ZB03 ZB14 ZB16 ZC03 ZC06 ZC12 ZC16
ZC25 ZD24
5C006 AA16 AA22 AC24 AC25 AC27 AC28 AF13 AF44 AF47 AF83
BB16 BC13 FA23 FA36 FA38 FA56
5C080 AA10 BB05 CC03 DD06 DD07 DD11 EE29 FF11 JJ02 JJ03
JJ04 JJ05 JJ06

专利名称(译)	有源矩阵显示装置及其驱动方法		
公开(公告)号	JP2016526692A	公开(公告)日	2016-09-05
申请号	JP2015560440	申请日	2014-07-25
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	ガスポールアントニー ブロートンベンジャミンジョン ウォルトンエマジェイン ブラウンクリストファージェームス		
发明人	ガス ポール アントニー ブロートン ベンジャミン ジョン ウォルトン エマ ジェイン ブラウン クリストファー ジェームス		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3696 G02F1/136213 G02F1/13624 G02F2201/52 G09G3/3607 G09G3/3648 G09G2300/0452 G09G2300/0876 G09G2310/0235		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.525 G09G3/20.621.A G09G3/20.622.D G09G3/20.624.B G09G3/20.641.C G09G3/20.623.D G09G3/20.622.C		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZB03 2H193/ZB14 2H193/ZB16 2H193/ZC03 2H193/ZC06 2H193/ZC12 2H193/ZC16 2H193/ZC25 2H193/ZD24 5C006/AA16 5C006/AA22 5C006/AC24 5C006/AC25 5C006/AC27 5C006/AC28 5C006/AF13 5C006/AF44 5C006/AF47 5C006/AF83 5C006/BB16 5C006/BC13 5C006/FA23 5C006/FA36 5C006/FA38 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD06 5C080/DD07 5C080/DD11 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06		
优先权	2013013404 2013-07-26 GB		
其他公开文献	JP6072941B2		
外部链接	Espacenet		

摘要(译)

一个像素具有多个子像素，并且一个像素的每个子像素耦合到每个存储电容器地址布线，因此施加在每个子像素上的电压与信号电压耦合。多像素驱动（MPD）型有源矩阵LCD显示器既依赖于施加的存储电容又施加于地址布线的电压。电容布线电压中的至少第一电容布线电压和第二电容布线电压之间的关系是，在帧的第二显示刷新时段中，多个电容布线电压和多个电容布线电压中的第一个为驱动方式不同于第二个电容性接线电压之间的关系。这是因为施加在帧上的第一子像素上的均方根（RMS）电压至少部分独立于施加在帧上的第二子像素上的RMS电压。可以以受控方式进行控制，从而提高分辨率。

