

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-197597

(P2015-197597A)

(43) 公開日 平成27年11月9日(2015.11.9)

|                              |             |             |
|------------------------------|-------------|-------------|
| (51) Int.Cl.                 | F 1         | テーマコード (参考) |
| <b>G02F 1/1343 (2006.01)</b> | G02F 1/1343 | 2H092       |
| <b>G02F 1/1368 (2006.01)</b> | G02F 1/1368 | 2H192       |

審査請求 未請求 請求項の数 5 O L (全 16 頁)

|           |                            |          |                     |
|-----------|----------------------------|----------|---------------------|
| (21) 出願番号 | 特願2014-75401 (P2014-75401) | (71) 出願人 | 502356528           |
| (22) 出願日  | 平成26年4月1日 (2014.4.1)       |          | 株式会社ジャパンディスプレイ      |
|           |                            |          | 東京都港区西新橋三丁目7番1号     |
|           |                            | (74) 代理人 | 110001737           |
|           |                            |          | 特許業務法人スズエ国際特許事務所    |
|           |                            | (74) 代理人 | 100091351           |
|           |                            |          | 弁理士 河野 哲            |
|           |                            | (74) 代理人 | 100084618           |
|           |                            |          | 弁理士 村松 貞男           |
|           |                            | (74) 代理人 | 100087653           |
|           |                            |          | 弁理士 鈴江 正二           |
|           |                            | (72) 発明者 | 森田 祐介               |
|           |                            |          | 東京都港区西新橋三丁目7番1号 株式会 |
|           |                            |          | 社ジャパンディスプレイ内        |

最終頁に続く

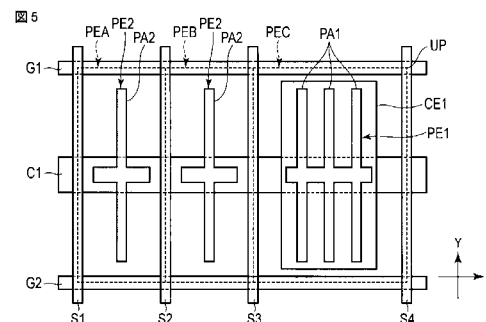
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】表示品位を改善することが可能な液晶表示装置を提供する。

【解決手段】第1方向に並んだ第1乃至第3ソース配線と、前記第1乃至第3ソース配線の上方に位置する第1層間絶縁膜と、前記第1ソース配線と前記第2ソース配線との間の前記第1層間絶縁膜上に形成された第1共通電極と、前記第1共通電極を覆う第2層間絶縁膜と、前記第1ソース配線と前記第2ソース配線との間の前記第2層間絶縁膜上に形成され前記第1共通電極と対向した帯状のa本の第1主画素電極を含む第1画素電極と、前記第2ソース配線と前記第3ソース配線との間の前記第2層間絶縁膜上に形成された帯状のb本の第2主画素電極を含む第2画素電極と、前記第1乃至第3ソース配線のそれぞれと対向する第2主共通電極を含み前記第1共通電極と同電位の第2共通電極と、を備え、a及びbは正の整数であり且つ $a > b$ である、液晶表示装置。

【選択図】 図5



## 【特許請求の範囲】

## 【請求項 1】

第 1 方向に並んだ第 1 乃至第 3 ソース配線と、前記第 1 乃至第 3 ソース配線の上方に位置する第 1 層間絶縁膜と、前記第 1 ソース配線と前記第 2 ソース配線との間の前記第 1 層間絶縁膜上に形成された第 1 共通電極と、前記第 1 共通電極を覆う第 2 層間絶縁膜と、前記第 1 ソース配線と前記第 2 ソース配線との間の前記第 2 層間絶縁膜上に形成され前記第 1 共通電極と対向した帯状の a 本の第 1 主画素電極を含む第 1 画素電極と、前記第 2 ソース配線と前記第 3 ソース配線との間の前記第 2 層間絶縁膜上に形成された帯状の b 本の第 2 主画素電極を含む第 2 画素電極と、前記第 1 乃至第 3 ソース配線のそれぞれと対向する第 2 主共通電極を含み前記第 1 共通電極と同電位の第 2 共通電極と、を備え、a 及び b は正の整数であり且つ  $a > b$  である、第 1 基板と、

10

前記第 1 基板に対向配置された第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、

を備えた液晶表示装置。

## 【請求項 2】

前記第 1 ソース配線と前記第 2 ソース配線との第 1 方向の第 1 ピッチは、前記第 2 ソース配線と前記第 3 ソース配線との第 1 方向の第 2 ピッチよりも大きい、請求項 1 に記載の液晶表示装置。

## 【請求項 3】

前記第 1 主画素電極及び前記第 2 主画素電極は、第 1 方向に直交する第 2 方向に延出した、請求項 1 に記載の液晶表示装置。

20

## 【請求項 4】

前記第 1 主画素電極は、くの字形に屈曲した、請求項 1 に記載の液晶表示装置。

## 【請求項 5】

前記第 2 基板は、前記第 2 主共通電極と対向する第 3 主共通電極を含み前記第 2 共通電極と同電位の第 3 共通電極を備えた、請求項 1 乃至 4 のいずれか 1 項に記載の液晶表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

30

本発明の実施形態は、液晶表示装置に関する。

## 【背景技術】

## 【0002】

近年、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置において、IPS (In-Plane Switching) モードや FFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を利用した構造が実用化されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

## 【0003】

40

このような横電界モードに対して、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術が提案されている。中でも、十字形状の画素電極や I 字形状の画素電極と、ソース配線の上方に位置する共通電極とを組み合わせ、横電界あるいは斜め電界を形成する技術が提案されている。

## 【先行技術文献】

## 【特許文献】

## 【0004】

【特許文献 1】国際公開第 2012/137540 号公報

【特許文献 2】国際公開第 2012/137541 号公報

50

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

本実施形態の目的は、表示品位を改善することが可能な液晶表示装置を提供することにある。

## 【課題を解決するための手段】

## 【0006】

本実施形態によれば、

第1方向に並んだ第1乃至第3ソース配線と、前記第1乃至第3ソース配線の上方に位置する第1層間絶縁膜と、前記第1ソース配線と前記第2ソース配線との間の前記第1層間絶縁膜上に形成された第1共通電極と、前記第1共通電極を覆う第2層間絶縁膜と、前記第1ソース配線と前記第2ソース配線との間の前記第2層間絶縁膜上に形成され前記第1共通電極と対向した帯状のa本の第1主画素電極を含む第1画素電極と、前記第2ソース配線と前記第3ソース配線との間の前記第2層間絶縁膜上に形成された帯状のb本の第2主画素電極を含む第2画素電極と、前記第1乃至第3ソース配線のそれぞれと対向する第2主共通電極を含み前記第1共通電極と同電位の第2共通電極と、を備え、a及びbは正の整数であり且つ $a > b$ である、第1基板と、前記第1基板に対向配置された第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備えた液晶表示装置が提供される。

## 【図面の簡単な説明】

## 【0007】

【図1】図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【図2A】図2Aは、図1に示したアレイ基板ARを対向基板側から見たときの一画素PX1の構成例を概略的に示す平面図である。

【図2B】図2Bは、図1に示したアレイ基板ARを対向基板側から見たときの他の画素PX2の構成例を概略的に示す平面図である。

【図3】図3は、図1に示した対向基板CTにおける一画素PX2の構成例を概略的に示す平面図である。

【図4】図4は、本実施形態の液晶表示パネルLPNの断面構造を概略的に示す断面図である。

【図5】図5は、本実施形態の画素PX1及び画素PX2を含む単位画素のレイアウト例を示す図である。

【図6】図6は、本実施形態の画素PX1及び画素PX2を含む単位画素の他のレイアウト例を示す図である。

【図7】図7は、本実施形態の液晶表示パネルLPNを第1方向Xに切断した他の断面構造を概略的に示す断面図である。

## 【発明を実施するための形態】

## 【0008】

以下、本実施形態について、図面を参照しながら説明する。なお、開示はあくまで一例に過ぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は、説明をより明確にするため、実際の態様に比べて、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する詳細な説明を適宜省略することがある。

## 【0009】

図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

10

20

30

40

50

## 【0010】

液晶表示装置は、アクティブマトリクスタイプの液晶表示パネルLPNを備えている。液晶表示パネルLPNは、第1基板であるアレイ基板ARと、アレイ基板ARに対向配置された第2基板である対向基板CTと、アレイ基板ARと対向基板CTとの間に保持された液晶層LQと、を備えている。液晶表示パネルLPNは、画像を表示するアクティブエリアACTを備えている。アクティブエリアACTは、マトリクス状に配置された複数の画素PXによって構成されている。

## 【0011】

液晶表示パネルLPNは、アクティブエリアACTにおいて、複数のゲート配線G（G1～Gn）、複数の補助容量線C（C1～Cn）、複数のソース配線S（S1～Sm）などを備えている。ゲート配線G及び補助容量線Cは、例えば、第1方向Xに沿って略直線的に延出している。ゲート配線G及び補助容量線Cは、第1方向Xに交差する第2方向Yに沿って間隔をおいて隣接し、交互に並列配置されている。ここでは、第1方向Xと第2方向Yとは互いに直交している。ソース配線Sは、第2方向Yに沿って略直線的に延出し、ゲート配線G及び補助容量線Cと交差している。なお、ゲート配線G、補助容量線C、及び、ソース配線Sは、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

## 【0012】

各ゲート配線Gは、アクティブエリアACTの外側に引き出され、ゲートドライバGDに接続されている。各ソース配線Sは、アクティブエリアACTの外側に引き出され、ソースドライバSDに接続されている。ゲートドライバGD及びソースドライバSDの少なくとも一部は、例えば、アレイ基板ARに形成され、コントローラを内蔵した駆動ICチップ2と接続されている。

## 【0013】

各画素PXは、スイッチング素子SW、画素電極PE、共通電極CEなどを備えている。保持容量Csは、例えば補助容量線Cと画素電極PEとの間に形成される。補助容量線Cは、補助容量電圧が印加される電圧印加部VCSと電氣的に接続されている。

## 【0014】

スイッチング素子SWは、例えば、nチャネル薄膜トランジスタ（TFET）によって構成されている。スイッチング素子SWは、ゲート配線G及びソース配線Sと電氣的に接続されている。スイッチング素子SWは、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子SWの半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンなどによって形成されていても良い。

## 【0015】

画素電極PEは、各画素PXに配置され、スイッチング素子SWに電氣的に接続されている。共通電極CEは、例えばコモン電位であり、液晶層LQを介して複数の画素PXの画素電極PEに対して共通に配置されている。給電部VSは、例えば、アレイ基板ARにおけるアクティブエリアACTの外側に形成されている。共通電極CEは、アクティブエリアACTの外側に引き出され、給電部VSと電氣的に接続されている。画素電極PE及び共通電極CEは、例えば、インジウム・ティン・オキサイド（ITO）やインジウム・ジंक・オキサイド（IZO）などの透明な導電材料によって形成されても良いし、アルミニウム（Al）、チタン（Ti）、銀（Ag）、モリブデン（Mo）、タングステン（W）、銅（Cu）、クロム（Cr）などの不透明な配線材料によって形成されても良い。

## 【0016】

なお、本実施形態においては、液晶表示パネルLPNは、画素電極PEがアレイ基板ARに形成され、共通電極CEの少なくとも一部がアレイ基板ARまたは対向基板CTに形成された構成であり、画素電極PEと共通電極CEとの間に形成される電界を主に利用して液晶層LQの液晶分子をスイッチングする。画素電極PEと共通電極CEとの間に形成される電界は、第1方向Xと第2方向Yとで規定されるX-Y平面（あるいは基板主面）に対してわずかに傾いた斜め電界（あるいは基板主面にほぼ平行な横電界）である。

10

20

30

40

50

## 【0017】

図2Aは、図1に示したアレイ基板ARを対向基板側から見たときの一画素PX1の構成例を概略的に示す平面図である。図2Bは、図1に示したアレイ基板ARを対向基板側から見たときの他の画素PX2の構成例を概略的に示す平面図である。ここでは、X-Y平面における平面図を示している。

## 【0018】

アレイ基板ARは、ゲート配線G1、ゲート配線G2、補助容量線C1、ソース配線S1、ソース配線S2、ソース配線S3、画素電極PE1、画素電極PE2、共通電極CEに含まれる第1共通電極CE1及び第2共通電極CE2、第1配向膜AL1などを備えている。

10

## 【0019】

ゲート配線G1及びゲート配線G2は、第2方向Yに沿って間隔をおいて配置され、それぞれ第1方向Xに沿って延出している。補助容量線C1は、ゲート配線G1とゲート配線G2との間に位置し、第1方向Xに沿って延出している。図示した例では、補助容量線C1は、ゲート配線G1とゲート配線G2との略中間に位置している。ソース配線S1、ソース配線S2、及び、ソース配線S3は、それぞれ第1方向Xに沿って間隔をおいて配置され、第2方向Yに沿って延出している。画素電極PE1は、隣接するソース配線S1とソース配線S2との間に位置している。画素電極PE2は、隣接するソース配線S2とソース配線S3との間に位置している。

## 【0020】

図示した例では、図中の破線で示したように、画素PX1はゲート配線G1及びゲート配線G2とソース配線S1及びソース配線S2とが成すマス目の領域に相当し、画素PX2はゲート配線G1及びゲート配線G2とソース配線S2及びソース配線S3とが成すマス目の領域に相当する。画素PX1及び画素PX2は、いずれも第1方向Xに沿った長さが第2方向Yに沿った長さよりも短い長方形形状である。画素PX1及び画素PX2の第1方向Xに沿った長さは隣接するソース配線の第1方向Xに沿ったピッチに相当し、画素PX1及び画素PX2の第2方向Yに沿った長さは隣接するゲート配線の第2方向Yに沿ったピッチに相当する。図示した例では、画素PX1の第1方向Xに沿った長さは、画素PX2の第1方向Xに沿った長さよりも長い。つまり、ソース配線S1とソース配線S2との第1方向Xのピッチは、ソース配線S2とソース配線S3との第1方向Xのピッチよりも大きい。

20

30

## 【0021】

ソース配線S1は画素PX1の左側端部に位置し画素PX1とその左側に隣接する画素との境界に跨って配置され、ソース配線S2は画素PX1の右側端部に位置し画素PX1及び画素PX2の境界に跨って配置され、ソース配線S3は画素PX2の右側端部に位置し画素PX2とその右側に隣接する画素との境界に跨って配置されている。ゲート配線G1は画素PX1及び画素PX2の上側端部に位置し画素PX1及び画素PX2とその上側に隣接する画素との境界に跨って配置され、ゲート配線G2は画素PX1及び画素PX2の下側端部に位置し画素PX1及び画素PX2とその下側に隣接する画素との境界に跨って配置されている。補助容量線C1は、画素PX1及び画素PX2の略中央部に配置されている。一例として、画素PX1に対応して配置されるスイッチング素子SW1はゲート配線G1及びソース配線S1に電氣的に接続され、画素PX2に対応して配置されるスイッチング素子SW2はゲート配線G1及びソース配線S2に電氣的に接続されている。

40

## 【0022】

画素電極PE1は、主画素電極PA1及び副画素電極PB1を備えている。主画素電極PA1及び副画素電極PB1は、一体的あるいは連続的に形成され、互いに電氣的に接続されている。ここでは、画素電極PE1は、複数本の主画素電極PA1を有している。主画素電極PA1のそれぞれは、第2方向Yに沿って直線的に延出し、第1方向Xに沿って略同一の幅を有する帯状に形成されている。これらの主画素電極PA1は、第1方向Xにほぼ等間隔で並んでいる。副画素電極PB1は、ゲート配線G1とゲート配線G2との略

50

中間に位置し、第1方向Xに沿って直線的に延出している。つまり、副画素電極PB1は、画素PX1の略中央部に位置し、補助容量線C1と重なる位置に配置され、主画素電極PA1の第2方向Yに沿った中間部で交差している。ここに示した画素電極PE1は、3本の主画素電極PA1及び1本の副画素電極PB1を備えたフィッシュボーン(fish-bone)形状に形成されている。画素電極PE1は、補助容量線C1と重なる位置の副画素電極PB1でスイッチング素子SW1と電氣的に接続されている。

#### 【0023】

画素電極PE2は、主画素電極PA2及び副画素電極PB2を備えている。主画素電極PA2及び副画素電極PB2は、一体的あるいは連続的に形成され、互いに電氣的に接続されている。ここでは、画素電極PE2は、1本の主画素電極PA2を有している。つまり、画素電極PE1における主画素電極PA1の本数をa本とし、画素電極PE2における主画素電極PA2の本数をb本としたとき、a及びbは正の整数であり、且つ、 $a > b$ である。主画素電極PA2は、ソース配線S2とソース配線S3との略中間に位置し、第2方向Yに沿って直線的に延出している。主画素電極PA2は、第1方向Xに沿って略同一の幅を有する帯状に形成されている。副画素電極PB2は、ゲート配線G1とゲート配線G2との略中間に位置し、第1方向Xに沿って直線的に延出している。つまり、副画素電極PB2は、画素PX2の略中央部に位置し、補助容量線C1と重なる位置に配置され、主画素電極PA2の第2方向Yに沿った中間部で交差している。ここに示した画素電極PE2は、1本の主画素電極PA1及び1本の副画素電極PB1を備えた十字形状に形成されている。画素電極PE2は、補助容量線C1と重なる位置の副画素電極PB2でスイッチング素子SW2と電氣的に接続されている。

#### 【0024】

第1共通電極CE1は、画素PX1において島状に形成されている。図示した例では、第1共通電極CE1は、X-Y平面内において、第1方向Xに沿った長さが第2方向Yに沿った長さよりも短い長方形に形成されている。この第1共通電極CE1は、画素電極PE1の主画素電極PA1と対向している。なお、第1共通電極CE1は、画素PX1の全面に亘って配置される必要はなく、少なくとも主画素電極PA1のそれぞれと対向するとともに隣接する主画素電極PA1の間隙部分と対向するように配置されていれば良い。このような第1共通電極CE1は、上記したITOなどの透明な導電材料によって形成されている。

#### 【0025】

第2共通電極CE2は、第2主共通電極CA2及び第2副共通電極CB2を備えている。第2主共通電極CA2及び第2副共通電極CB2は、一体的あるいは連続的に形成され、互いに電氣的に接続されている。第2主共通電極CA2は第2方向Yに沿って直線的に延出し、第2副共通電極CB2は第1方向Xに沿って直線的に延出している。つまり、第2共通電極CE2は、第2主共通電極CA2及び第2副共通電極CB2により、画素電極PE1及び画素電極PE2をそれぞれ囲み、画素PX1及び画素PX2をそれぞれ区画する格子状に形成されている。第1共通電極CE1及び第2共通電極CE2は、互いに電氣的に接続され、同電位であり、アクティブエリアACTの外側で給電部VSに接続されている。

#### 【0026】

第2主共通電極CA2は、ソース配線S1乃至S3のそれぞれと対向している。第2主共通電極CA2は、X-Y平面内において、画素電極PE1の両側、及び、画素電極PE2の両側にそれぞれ位置している。第2主共通電極CA2は、第1方向Xに沿って略同一の幅を有する帯状に形成されている。第2主共通電極CA2の第1方向Xに沿った電極幅は、例えば、ソース配線S1乃至S3の第1方向Xに沿った線幅と同等以上である。

#### 【0027】

第2副共通電極CB2は、ゲート配線G1及びゲート配線G2とそれぞれ対向している。第2副共通電極CB2は、第2方向Yに沿って略同一の幅を有する帯状に形成されている。第2副共通電極CB2の第2方向Yに沿った電極幅は、例えば、ゲート配線G1及び

ゲート配線 G 2 の第 2 方向 Y に沿った線幅と同等以上である。

【0028】

アレイ基板 A R において、画素電極 P E 1、画素電極 P E 2、及び、第 2 共通電極 C E 2 は、第 1 配向膜 A L 1 によって覆われている。第 1 配向膜 A L 1 には、液晶層 L Q の液晶分子を初期配向させるために、第 1 配向処理方向 P D 1 に沿って配向処理がなされている。第 1 配向処理方向 P D 1 は、第 2 方向 Y と略平行である。

【0029】

図 3 は、図 1 に示した対向基板 C T における一画素 P X 2 の構成例を概略的に示す平面図である。ここでは、X-Y 平面における平面図を示している。なお、ここでは、説明に必要な構成のみを図示し、また、アレイ基板の画素電極 P E 2 及び第 2 共通電極 C E 2 のみを破線で示している。

10

【0030】

対向基板 C T は、共通電極 C E に含まれる第 3 共通電極 C E 3 を備えている。第 3 共通電極 C E 3 は、第 3 主共通電極 C A 3 及び第 3 副共通電極 C B 3 を備えている。第 3 主共通電極 C A 3 及び第 3 副共通電極 C B 3 は、一体的あるいは連続的に形成され、互いに電氣的に接続されている。第 3 主共通電極 C A 3 は第 2 方向 Y に沿って直線的に延出し、第 3 副共通電極 C B 3 は第 1 方向 X に沿って直線的に延出している。つまり、第 3 共通電極 C E 3 は、第 3 主共通電極 C A 3 及び第 3 副共通電極 C B 3 により、画素 P X 2 を区画する格子状に形成されている。なお、図示しないが、第 3 共通電極 C E 3 は、画素 P X 1 も同様に区画する格子状に形成されている。また、第 3 共通電極 C E 3 は、例えば、アクティブエリアの外側において、第 1 共通電極 C E 1 及び第 2 共通電極 C E 2 と電氣的に接続され、第 1 共通電極 C E 1 及び第 2 共通電極 C E 2 と同電位である。

20

【0031】

第 3 主共通電極 C A 3 は、第 2 主共通電極 C A 2 と対向し、第 2 主共通電極 C A 2 と平行に延出している。第 3 主共通電極 C A 3 は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。第 3 主共通電極 C A 3 の第 1 方向 X に沿った電極幅は、第 2 主共通電極 C A 2 の電極幅と同等である。

【0032】

第 3 副共通電極 C B 3 は、第 2 副共通電極 C B 2 と対向し、第 2 副共通電極 C B 2 と平行に延出している。第 3 副共通電極 C B 3 は、第 2 方向 Y に沿って略同一の幅を有する帯状に形成されている。第 3 副共通電極 C B 3 の第 2 方向 Y に沿った電極幅は、第 2 副共通電極 C B 2 の電極幅と同等である。

30

【0033】

対向基板 C T において、第 3 共通電極 C E 3 は、第 2 配向膜 A L 2 によって覆われている。第 2 配向膜 A L 2 には、液晶層 L Q の液晶分子を初期配向させるために、第 2 配向処理方向 P D 2 に沿って配向処理がなされている。第 2 配向処理方向 P D 2 は、第 1 配向処理方向 P D 1 と平行である。図示した例では、第 2 配向処理方向 P D 2 は、第 1 配向処理方向 P D 1 と同一方向である。なお、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、互いに逆向きの方向であっても良いし、ともに同一方向でありながら図示した例とは逆向きつまりゲート配線 G 2 からゲート配線 G 1 に向かう側であっても良い。

40

【0034】

図 4 は、本実施形態の液晶表示パネル L P N の断面構造を概略的に示す断面図である。なお、ここでは、画素 P X 1 及び画素 P X 2 を第 1 方向 X に切断した断面構造を概略的に示しており、説明に必要な箇所のみを図示している。

【0035】

液晶表示パネル L P N を構成するアレイ基板 A R の背面側には、バックライト B L が配置されている。バックライト B L としては、種々の形態が適用可能であり、詳細な構造については説明を省略する。

【0036】

アレイ基板 A R は、光透過性を有する第 1 絶縁基板 10 を用いて形成されている。アレ

50

イ基板 A R は、第 1 絶縁基板 1 0 の対向基板 C T と対向する側において、ソース配線 S 1、ソース配線 S 2、ソース配線 S 3、画素電極 P E 1、画素電極 P E 2、第 1 共通電極 C E 1、第 2 共通電極 C E 2、第 1 絶縁膜 1 1、第 2 絶縁膜 1 2、第 3 絶縁膜 1 3、第 4 絶縁膜 1 4、第 1 配向膜 A L 1 などを備えている。なお、アレイ基板 A R は、図示しないゲート配線や補助容量線、スイッチング素子なども備えている。スイッチング素子の半導体層は、第 1 絶縁基板 1 0 と第 1 絶縁膜 1 1 との間に形成されている。ゲート配線及び補助容量線は、第 1 絶縁膜 1 1 と第 2 絶縁膜 1 2 との間に形成されている。

#### 【0037】

ソース配線 S 1、ソース配線 S 2、及び、ソース配線 S 3 は、第 2 絶縁膜 1 2 の上に形成され、第 3 絶縁膜 1 3 によって覆われている。第 3 絶縁膜 1 3 は、ソース配線 S 1 乃至 S 3 の上方に位置する第 1 層間絶縁膜に相当する。第 1 共通電極 C E 1 は、ソース配線 S 1 とソース配線 S 2 との間の第 3 絶縁膜 1 3 の上に形成され、第 4 絶縁膜 1 4 によって覆われている。第 4 絶縁膜 1 4 は、第 1 共通電極 C E 1 を覆う第 2 層間絶縁膜に相当する。

#### 【0038】

画素電極 P E 1、画素電極 P E 2、及び、第 2 共通電極 C E 2 は、第 4 絶縁膜 1 4 の上に形成され、第 1 配向膜 A L 1 によって覆われている。第 2 共通電極 C E 2 の第 2 主共通電極 C A 2 は、第 3 絶縁膜 1 3 及び第 4 絶縁膜 1 4 を介してソース配線 S 1 乃至 S 3 のそれぞれと対向している。画素電極 P E 1 は、ソース配線 S 1 及び S 2 のそれぞれの直上に位置する第 2 主共通電極 C A 2 の間に位置している。主画素電極 P A 1 は、いずれも第 4 絶縁膜 1 4 を介して第 1 共通電極 C E 1 と対向している。画素電極 P E 2 は、ソース配線 S 2 及び S 3 のそれぞれの直上に位置する第 2 主共通電極 C A 2 の間に位置している。

#### 【0039】

第 1 配向膜 A L 1 は、アレイ基板 A R の対向基板 C T と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。第 1 配向膜 A L 1 は、画素電極 P E 1、画素電極 P E 2、及び、第 2 共通電極 C E 2 を覆っており、第 4 絶縁膜 1 4 の上にも配置されている。第 1 配向膜 A L 1 は、水平配向性を示す材料によって形成されている。

#### 【0040】

対向基板 C T は、光透過性を有する第 2 絶縁基板 2 0 を用いて形成されている。対向基板 C T は、第 2 絶縁基板 2 0 のアレイ基板 A R と対向する側において、ブラックマトリクス B M、カラーフィルタ C F、オーバーコート層 O C、第 3 共通電極 C E 3、第 2 配向膜 A L 2 などを備えている。

#### 【0041】

ブラックマトリクス B M は、第 2 絶縁基板 2 0 のアレイ基板 A R に対向する内面 2 0 A に形成され、画素 P X 1 を区画し、画素電極 P E 1 と対向する開口部 A P を形成するとともに、画素 P X 2 を区画し、画素電極 P E 2 と対向する開口部 A P を形成する。つまり、ブラックマトリクス B M は、ソース配線 S、ゲート配線 G、スイッチング素子 S W などの配線部に対向するように配置されている。ブラックマトリクス B M は、ソース配線 S 1 乃至 S 3 の上方に位置し第 2 方向 Y に沿って延出した部分に加えて、図示しないゲート配線の上方に位置し第 1 方向 X に沿って延出した部分を備えていても良い。

#### 【0042】

カラーフィルタ C F は、画素 P X 1 及び画素 P X 2 に対応してそれぞれ配置されている。すなわち、カラーフィルタ C F は、第 2 絶縁基板 2 0 の内面 2 0 A においてブラックマトリクス B M によって区画された内側（開口部 A P）に配置されるとともに、その一部がブラックマトリクス B M に重なっている。第 1 方向 X に隣接する画素 P X 1 及び画素 P X 2 にそれぞれ配置されたカラーフィルタ C F は、互いに色が異なる。例えば、カラーフィルタ C F は、赤色、青色、緑色といった 3 原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタは、緑色画素に対応して配置されている。カラーフィルタ C F 同士の境界は、ブラックマ

10

20

30

40

50



トリクスBMと重なる位置にある。

【0043】

オーバーコート層OCは、カラーフィルタCFを覆っている。オーバーコート層OCは、ブラックマトリクスBM及びカラーフィルタCFの表面の凹凸の影響を緩和する。このようなオーバーコート層OCは、例えば、透明な樹脂材料によって形成されている。

【0044】

第3共通電極CE3は、オーバーコート層OCのアレイ基板ARと対向する側に形成され、いずれもブラックマトリクスBMの下方に位置している。第3主共通電極CA3は、ソース配線S1乃至S3の上方にそれぞれ位置し、第2主共通電極CA2と対向している。開口部APにおいて、画素電極PE1及び画素電極PE2と、第1共通電極CE1、第2共通電極CE2、及び、第3共通電極CE3との間の領域は、いずれもバックライト光が透過可能な透過領域に相当する。

10

【0045】

第2配向膜AL2は、対向基板CTのアレイ基板ARと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。第2配向膜AL2は、第3共通電極CE2やオーバーコート層OCを覆っている。第2配向膜AL2は、水平配向性を示す材料によって形成されている。

【0046】

上述したようなアレイ基板ARと対向基板CTとは、それぞれの第1配向膜AL1及び第2配向膜AL2が対向するように配置されている。このとき、アレイ基板ARの第1配向膜AL1と対向基板CTの第2配向膜AL2との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサにより、所定のセルギャップ、例えば2〜7μmのセルギャップが形成される。アレイ基板ARと対向基板CTとは、所定のセルギャップが形成された状態で、アクティブエリアACTの外側のシール材によって貼り合わされている。液晶層LQは、アレイ基板ARと対向基板CTとの間に形成されたセルギャップに保持され、第1配向膜AL1と第2配向膜AL2との間に配置されている。液晶層LQは、液晶分子LMを含み、例えば誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

20

【0047】

アレイ基板ARの外表面つまり第1絶縁基板10の外表面10Bには、第1光学素子OD1が配置されている。第1光学素子OD1は、液晶表示パネルLPNのバックライトBLと対向する側に位置しており、バックライトBLから液晶表示パネルLPNに入射する入射光の偏光状態を制御する。第1光学素子OD1は、第1偏光軸AX1を有する第1偏光板PL1を含んでいる。なお、第1偏光板PL1と第1絶縁基板10との間に位相差板などの他の光学素子が配置されても良い。

30

【0048】

対向基板CTの外表面つまり第2絶縁基板20の外表面20Bには、第2光学素子OD2が配置されている。第2光学素子OD2は、液晶表示パネルLPNの表示面側に位置しており、液晶表示パネルLPNから出射した出射光の偏光状態を制御する。第2光学素子OD2は、第2偏光軸AX2を有する第2偏光板PL2を含んでいる。なお、第2偏光板PL2と第2絶縁基板20との間に位相差板などの他の光学素子が配置されていても良い。

40

【0049】

第1偏光板PL1の第1偏光軸AX1と、第2偏光板PL2の第2偏光軸AX2とは、略直交するクロスニコルの位置関係にある。図3の(a)に示した例では、第1偏光板PL1はその第1偏光軸AX1が第1方向Xと平行となるように配置され、第2偏光板PL2はその第2偏光軸AX2が第2方向Yと平行となるように配置されている。図3の(b)に示した例では、第2偏光板PL2はその第2偏光軸AX2が第1方向Xと平行となるように配置され、第1偏光板PL1はその第1偏光軸AX1が第2方向Yと平行となるように配置されている。

【0050】

50

次に、上記構成の液晶表示パネル L P N の動作について説明する。

【0051】

すなわち、液晶層 L Q に電圧が印加されていない状態、つまり、画素電極 P E と共通電極 C E (第 1 共通電極 C E 1、第 2 共通電極 C E 2、及び、第 3 共通電極 C E 3) との間に電界が形成されていない状態 (O F F 時) には、液晶層 L Q の液晶分子 L M は、X - Y 平面内において、図 3 に破線で示したように、その長軸が第 2 方向 Y と略平行な方向に初期配向する。このような O F F 時が初期配向状態に相当し、O F F 時の液晶分子 L M の配向方向つまり第 2 方向 Y が初期配向方向に相当する。

【0052】

O F F 時において、バックライト B L からのバックライト光の一部は、第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶表示パネル L P N に入射した光は、第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と直交する直線偏光である。直線偏光の偏光状態は、O F F 時の液晶層 L Q を通過した際にほとんど変化しない。このため、液晶表示パネル L P N を透過した直線偏光は、第 1 偏光板 P L 1 に対してクロスニコルの位置関係にある第 2 偏光板 P L 2 によって吸収される (黒表示)。

【0053】

一方、液晶層 L Q に電圧が印加された状態、つまり、画素電極 P E と共通電極 C E との間に電界が形成された状態 (O N 時) では、画素電極 P E と共通電極 C E との間に電界が形成される。より具体的には、画素 P X 1 においては、画素電極 P E 1 の主画素電極 P A 1 と第 1 共通電極 C E 1 との間にフリンジ電界が形成されるとともに、主画素電極 P A 1 と第 2 共通電極 C E 2 の第 2 主共通電極 C A 2 との間には基板と略平行な横電界が形成され、さらに、主画素電極 P A 1 と第 3 共通電極 C E 3 の第 3 主共通電極 C A 3 との間には基板に対して傾斜した斜め電界が形成される。また、画素 P X 2 においては、主画素電極 P A 2 と第 2 共通電極 C E 2 の第 2 主共通電極 C A 2 との間には基板と略平行な横電界が形成され、さらに、主画素電極 P A 2 と第 3 共通電極 C E 3 の第 3 主共通電極 C A 3 との間には基板に対して傾斜した斜め電界が形成される。

【0054】

画素 P X 1 及び画素 P X 2 において、液晶分子 L M は、画素電極 P E と共通電極 C E との間の電界の影響を受け、その配向状態が変化する。つまり、液晶分子 L M はその長軸が図中の実線で示したように X - Y 平面と略平行な平面内で回転する。これにより、画素 P X において、画素電極 P E と共通電極 C E との間にバックライト光が透過可能な透過領域が形成される。図 3 に示した例では、画素 P X 2 の左下の領域内の液晶分子 L M は第 2 方向 Y に対して時計回りに回転し図中の左下を向くように配向し、画素 P X 2 の左上の領域内の液晶分子 L M は第 2 方向 Y に対して反時計回りに回転し図中の左上を向くように配向し、画素 P X 2 の右下の領域内の液晶分子 L M は第 2 方向 Y に対して反時計回りに回転し図中の右下を向くように配向し、画素 P X 2 の右上の領域内の液晶分子 L M は第 2 方向 Y に対して時計回りに回転し図中の右上を向くように配向する。このように、各画素 P X において、O N 時の液晶分子 L M の配向方向は、画素電極 P E と重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素 P X には、複数のドメインが形成される。

【0055】

このような O N 時に、液晶表示パネル L P N に入射した直線偏光は、その偏光状態が液晶層 L Q を通過する際に液晶分子 L M の配向状態に応じて変化する。このため、O N 時には、液晶層 L Q を通過した少なくとも一部の光は、第 2 偏光板 P L 2 を透過する (白表示)。但し、画素電極 P E 及び共通電極 C E と重なる位置では、液晶分子は初期配向状態に保持されているため、O F F 時と同様に黒表示となる。

【0056】

図 5 は、本実施形態の画素 P X 1 及び画素 P X 2 を含む単位画素のレイアウト例を示す図である。なお、ここでは、ゲート配線 G 1 及び G 2、補助容量線 C 1、ソース配線 S 1 乃至 S 4、画素電極 P E 1 及び P E 2、第 1 共通電極 C E 1 のみを図示している。

## 【0057】

カラー表示を実現するための単位画素UPは、複数の異なる色画素によって構成されている。単位画素UPとは、アクティブエリアに表示されるカラー画像を構成する最小単位である。単位画素UPは、例えば3個の色画素によって構成されている。すなわち、単位画素UPは、画素（第1色画素）PXA、画素（第2色画素）PXB、及び、画素（第3色画素）PXCによって構成されている。画素PXA、画素PXB、及び、画素PXCは、第1方向Xに並び、互いに異なる色の画素である。ここでは、画素PXAは赤色画素（R）であって、画素PXBは緑色画素（G）であって、画素PXCは青色画素（B）または白色画素（W）である。なお、単位画素UPは、3個以上の色画素によって構成されても良く、例えば、画素PXA、画素PXB、及び、画素PXCのセットを第2方向Yに2個並べた6個の色画素によって構成されても良い。

10

## 【0058】

図示した例では、画素PXA、画素PXB、及び、画素PXCの第2方向Yの長さはいずれも同一である。一方で、画素PXA及び画素PXBの第1方向Xの長さが同一であるが、画素PXCの第1方向Xの長さは画素PXAなどの第1方向Xの長さよりも長い。このような構成において、画素PXA及び画素PXBのそれぞれの面積は略同等である。画素PXCの面積は、画素PXAなどの面積よりも大きい。なお、画素PXCの第2方向Yの長さが画素PXAなどの第2方向Yの長さとは異なっても良い。このようなレイアウトにおいては、画素PXA及び画素PXBは図2Bに示した画素PX2と同様に構成され、画素PXCは図2Aに示した画素PX1と同様に構成されている。つまり、画素PXA及び画素PXBはそれぞれ1本の主画素電極PA2を有する画素電極PE2を備え、画素PXCは第1共通電極CE1及び複数本の主画素電極PA1を有する画素電極PE1を備えている。主画素電極PA1及び主画素電極PA2は、いずれも第2方向Yに延出している。なお、第1共通電極CE1は、画素PXCのみならず、ソース配線Sの上を通り画素PXA及び画素PXBに亘って延在していてもよい。

20

## 【0059】

ここでは、最大面積の画素PXCが青色画素あるいは白色画素である場合について説明したが、赤色画素であってもよいし、緑色画素であってもよい。

## 【0060】

このような本実施形態によれば、単位画素UPにおいて、最適なカラーバランスを得るために、各色画素の面積が異なる異形レイアウトを適用したとしても、比較的大面積の色画素はより多くの本数の主画素電極を備えた画素PX1と同様に構成し、比較的小面積の色画素は少ない本数の主画素電極を備えた画素PX2と同様に構成する。つまり、各色画素の異形化に合わせて主画素電極の本数を変更するレイアウトを適用することにより、各色画素において主画素電極を隅々までほぼ均等ピッチで配置することが可能となる。しかも、各色画素の上下端部付近（つまりゲート配線の近傍）まで表示に寄与する。特に、画素PX1においては、フィッシュボーン形状の画素電極PE1を適用しており、複数の主画素電極PA1を繋ぐ副画素電極PB1は元々表示に寄与しない補助容量線C1の上に位置しているため、画素PX1のゲート配線G1及びG2の近傍まで表示に寄与する面積を拡大することが可能となる。

30

40

## 【0061】

このため、各色画素において、高い透過率を得ることが可能となる。したがって、表示品位を改善することが可能となる。換言すると、画素PX1及び画素PX2を組み合わせることにより、いかなる異形レイアウトの単位画素UPにおいても、必要とされる透過率を得ることが可能となり、最適なカラーバランスを得ることが可能となる。

## 【0062】

また、本実施形態によれば、アレイ基板ARは、各ゲート配線Gの液晶層LQ側に第2副共通電極CB2を備えている。このため、ゲート配線Gから液晶層LQに向かう不所望な漏れ電界をシールドすることが可能となる。したがって、透過領域のうちのゲート配線Gに近接する領域での不所望な電界の影響が緩和され、表示品位の劣化を抑制することが

50

可能となる。また、アレイ基板 A R は、各ソース配線 S の液晶層 L Q 側に第 2 主共通電極 C A 2 を備えている。このため、ソース配線 S から液晶層 L Q に向かう不所望な漏れ電界をシールドすることが可能となる。したがって、透過領域のうちのソース配線 S に近接する領域での不所望な電界の影響が緩和され、表示品位を改善することが可能となる。また、第 3 共通電極 C E 3 は、第 2 共通電極 C E 2 と対向する格子状であって、第 2 共通電極 C E 2 と同電位であるため、第 2 共通電極 C E 2 と第 3 共通電極 C E 3 との間にコモン電位の等電位面が形成される。このような等電位面は、例えばアレイ基板 A R と対向基板 C T との間に合わせずれが生じたとしても、O N 時及び O F F 時に液晶分子 L M を初期配向状態に維持するため、混色の発生を抑制することが可能となる。

#### 【0063】

次に、他の構成例について説明する。

#### 【0064】

図 6 は、本実施形態の画素 P X 1 及び画素 P X 2 を含む単位画素の他のレイアウト例を示す図である。

#### 【0065】

ここに示した構成例は、図 5 に示した構成例と比較して、画素 P X C の画素電極 P E 1 が「く」の字形に屈曲した主画素電極 P A 1 を含む点で相違している。なお、画素 P X A 及び画素 P X B は、図 2 B に示した画素 P X 2 と同様に構成され、それぞれ 1 本の主画素電極 P A 2 を有する画素電極 P E 2 を備えている。

#### 【0066】

このような構成例においても、上記した構成例と同様の効果が得られる。

#### 【0067】

図 7 は、本実施形態の液晶表示パネル L P N を第 1 方向 X に切断した他の断面構造を概略的に示す断面図である。

#### 【0068】

ここに示した構成例は、図 4 に示した構成例と比較して、対向基板 C T の第 3 共通電極を省略した点で相違している。対向基板 C T においては、オーバーコート層 O C のアレイ基板 A R 側の全面が第 2 配向膜 A L 2 によって覆われている。この構成例では、O N 時には、画素 P X 1 においては画素電極 P E 1 と第 1 共通電極 C E 1 及び第 2 共通電極 C E 2 との間に液晶分子の配向を制御するのに必要な電界が形成され、画素 P X 2 においては画素電極 P E 2 と第 2 共通電極 C E 2 との間に液晶分子の配向を制御するのに必要な電界が形成される。

#### 【0069】

このような構成例においても、上記した構成例と同様の効果が得られる。

#### 【0070】

以上説明したように、本実施形態によれば、表示品位を改善することが可能な液晶表示装置を提供することができる。

#### 【0071】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

#### 【符号の説明】

#### 【0072】

L P N … 液晶表示パネル    A R … アレイ基板    C T … 対向基板    L Q … 液晶層  
P E 1 … 画素電極    P A 1 … 主画素電極    P B 1 … 副画素電極  
P E 2 … 画素電極    P A 2 … 主画素電極    P B 2 … 副画素電極  
C E 1 … 第 1 共通電極

10

20

30

40

50

|                 |                  |                  |
|-----------------|------------------|------------------|
| C E 2 …第 2 共通電極 | C A 2 …第 2 主共通電極 | C B 2 …第 2 副共通電極 |
| C E 3 …第 3 共通電極 | C A 3 …第 3 主共通電極 | C B 3 …第 3 副共通電極 |

图 1

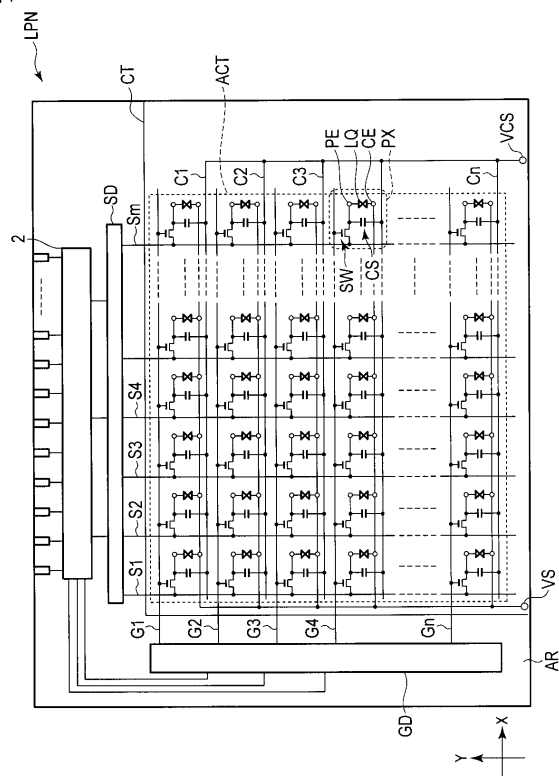
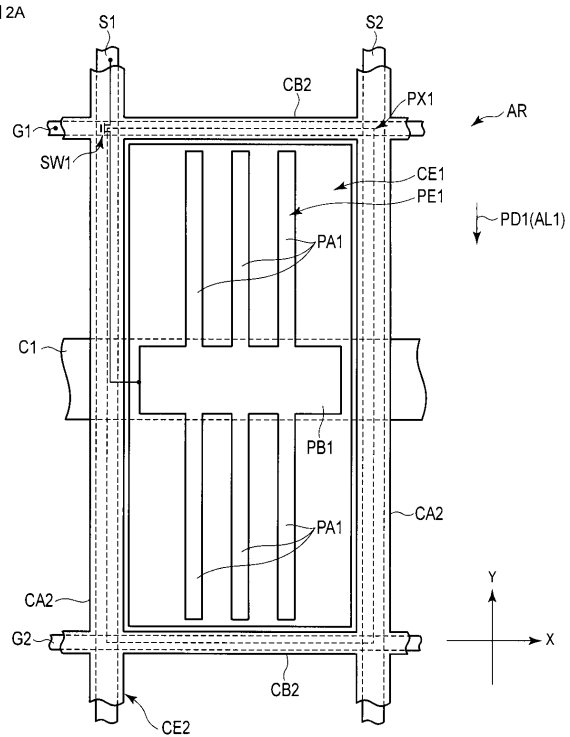
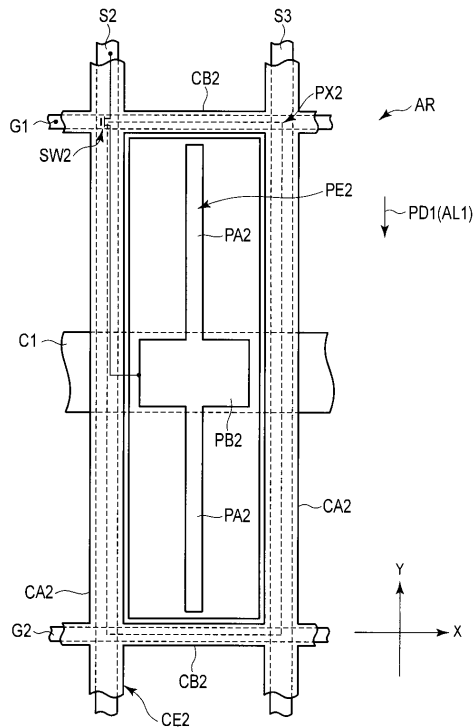


图 2A



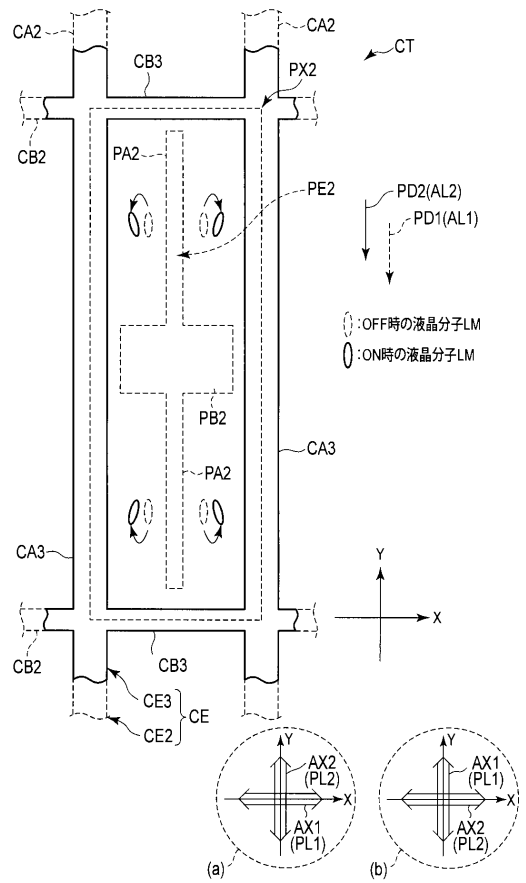
【図 2 B】

図 2B



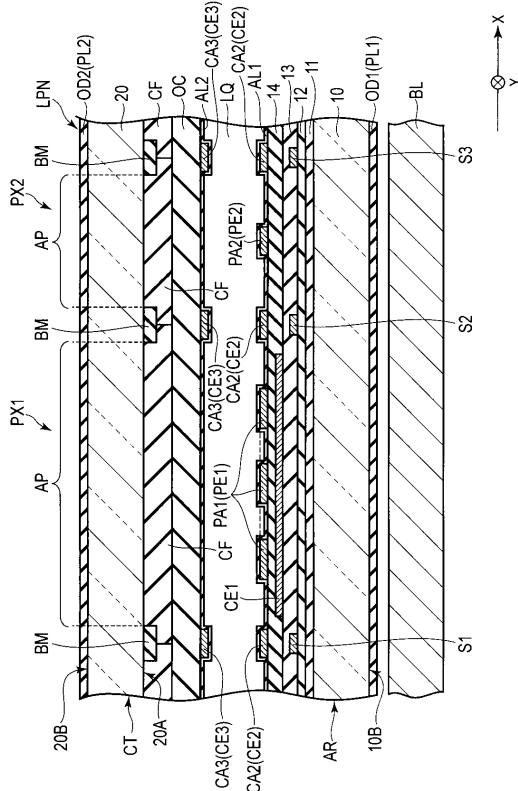
【図 3】

図 3



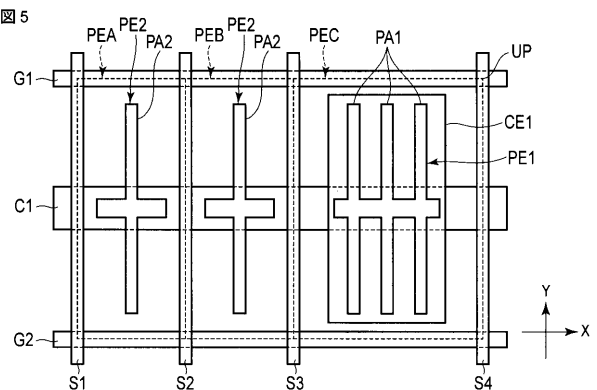
【図 4】

図 4



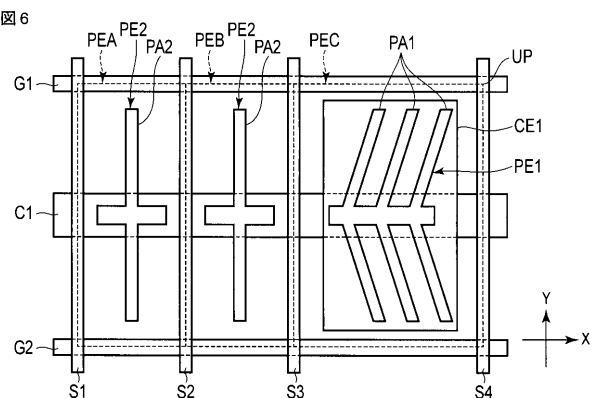
【図 5】

図 5



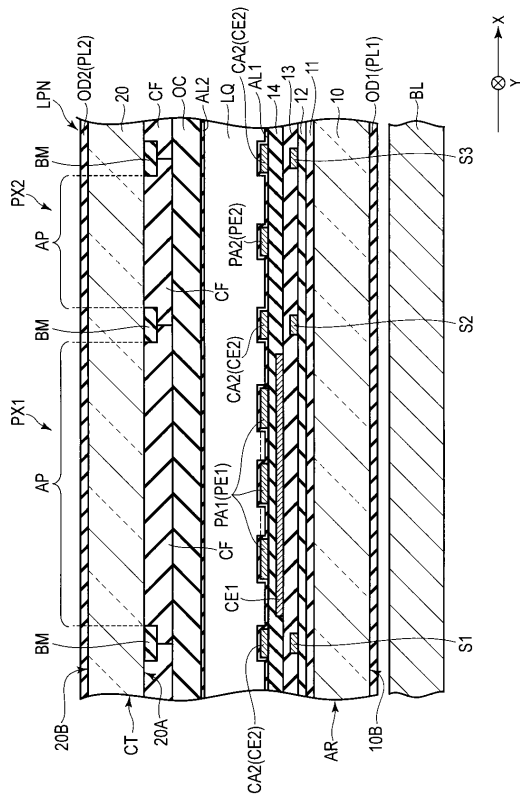
【図 6】

図 6



【図 7】

図 7



---

フロントページの続き

Fターム(参考) 2H092 GA14 GA17 GA23 JA24 JB04 JB05 JB13 JB69 NA01  
2H192 AA24 AA43 BB03 BB13 BB32 BB53 BB73 BB84 CC05 DA32  
EA22 EA43 GA03 JA33



|                |                                                                                                                                                                                                                                                              |         |            |
|----------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶表示装置                                                                                                                                                                                                                                                       |         |            |
| 公开(公告)号        | <a href="#">JP2015197597A</a>                                                                                                                                                                                                                                | 公开(公告)日 | 2015-11-09 |
| 申请号            | JP2014075401                                                                                                                                                                                                                                                 | 申请日     | 2014-04-01 |
| [标]申请(专利权)人(译) | 株式会社日本显示器                                                                                                                                                                                                                                                    |         |            |
| 申请(专利权)人(译)    | 有限公司日本显示器                                                                                                                                                                                                                                                    |         |            |
| [标]发明人         | 森田 祐介                                                                                                                                                                                                                                                        |         |            |
| 发明人            | 森田 祐介                                                                                                                                                                                                                                                        |         |            |
| IPC分类号         | G02F1/1343 G02F1/1368                                                                                                                                                                                                                                        |         |            |
| FI分类号          | G02F1/1343 G02F1/1368                                                                                                                                                                                                                                        |         |            |
| F-TERM分类号      | 2H092/GA14 2H092/GA17 2H092/GA23 2H092/JA24 2H092/JB04 2H092/JB05 2H092/JB13 2H092/JB69 2H092/NA01 2H192/AA24 2H192/AA43 2H192/BB03 2H192/BB13 2H192/BB32 2H192/BB53 2H192/BB73 2H192/BB84 2H192/CC05 2H192/DA32 2H192/EA22 2H192/EA43 2H192/GA03 2H192/JA33 |         |            |
| 代理人(译)         | 河野 哲                                                                                                                                                                                                                                                         |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                    |         |            |

#### 摘要(译)

提供一种能够提高显示质量的液晶显示装置。 解决方案：以第一方向排列的第一至第三源极布线，位于第一至第三源极布线，第一源极布线和第二源极布线上方的第一层间绝缘膜。 在第一源极布线和第二源极布线之间，在第一层间绝缘膜上形成的第一公共电极与覆盖第一公共电极的第二层间绝缘膜之间 在包括形成在第二层间绝缘膜上并面对第一公共电极的带状的第一主像素电极的第一像素电极之间，以及在第二源极线和第三源极线之间 第二像素电极包括形成在第二层间绝缘膜上的带状的b个第二主像素电极和面对第一至第三源极布线中的每一个的第二主公共电极。 一种液晶显示装置，包括：具有相同电势的第一公共电极和第二公共电极，其中a和b为正整数， $a > b$ 。 [选择图]图5

|           |                            |          |                                                |
|-----------|----------------------------|----------|------------------------------------------------|
| (21) 出願番号 | 特願2014-75401 (P2014-75401) | (71) 出願人 | 502356528<br>株式会社ジャパンディスプレイ<br>東京都港区西新橋三丁目7番1号 |
| (22) 出願日  | 平成26年4月1日 (2014.4.1)       | (74) 代理人 | 110001737<br>特許業務法人スズエ国際特許事務所                  |
|           |                            | (74) 代理人 | 100091351<br>弁理士 河野 哲                          |
|           |                            | (74) 代理人 | 100084618<br>弁理士 村松 貞男                         |
|           |                            | (74) 代理人 | 100087653<br>弁理士 鈴江 正二                         |
|           |                            | (72) 発明者 | 森田 祐介<br>東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内       |

[最終頁に続く](#)