

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-71451

(P2014-71451A)

(43) 公開日 平成26年4月21日(2014.4.21)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H193
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 612J	5C006
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 622M	5C080
	G09G 3/20 622D	
	G09G 3/20 622G	

審査請求 有 請求項の数 20 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2012-279392 (P2012-279392)  
 (22) 出願日 平成24年12月21日 (2012.12.21)  
 (31) 優先権主張番号 10-2012-0109249  
 (32) 優先日 平成24年9月28日 (2012.9.28)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 501426046  
 エルジー ディスプレイ カンパニー リミテッド  
 大韓民国 ソウル、ヨンドゥンポグ、ヨウィーテロ 128  
 (74) 代理人 100110423  
 弁理士 曾我 道治  
 (74) 代理人 100111648  
 弁理士 梶並 順  
 (74) 代理人 100147566  
 弁理士 上田 俊一  
 (74) 代理人 100161171  
 弁理士 吉田 潤一郎  
 (74) 代理人 100117776  
 弁理士 武井 義一

最終頁に続く

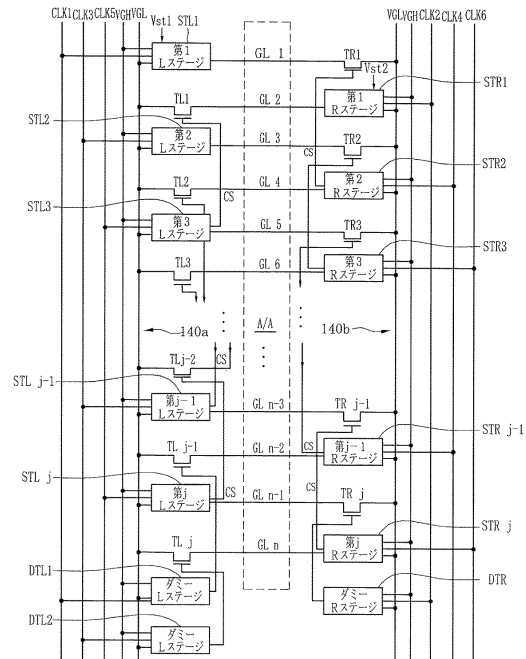
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】ゲート駆動電圧の特性を改善した液晶表示装置を提供する。

【解決手段】 $n$ 個のゲートラインを有する液晶ディスプレイパネル、タイミング信号に基づいてクロック信号を生成するタイミング制御部、第1、第3、第5クロック信号に対応してゲートハイ電圧を $2k-1$ 番目ゲートラインに印加する第1ゲート駆動部、第2、第4、第6クロック信号に対応してゲートハイ電圧を $2k$ 番目のゲートラインに印加する第2ゲート駆動部、 $2k+1$ 番目のゲートラインのレベルに対応して $2k-1$ 番目のゲートラインの他側にゲートロー電圧を印加するL-放電回路、 $2k+2$ 番目のゲートラインのレベルに対応して第 $2k$ ゲートラインの他側にゲートロー電圧を印加するR-放電回路を含み、第1及び第2ゲート駆動部はゲートハイ電圧を出力するゲート出力端とL及びR-放電回路を制御するキャリア信号出力端を含む複数のL及びR-ステージを含む。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

$n$  ( $n$  は自然数) 個のゲートラインが形成された液晶ディスプレイパネル、  
外部システムからタイミング信号が印加されて第 1 乃至第 6 クロック信号を生成するタイミ  
ング制御部、

第 1、第 3 及び第 5 クロック信号に対応してゲートハイ電圧を  $2k - 1$  ( $k$  は前記  $n$  より  
小さい自然数) 番目のゲートラインの一侧に印加する第 1 ゲート駆動部、

第 2、第 4 及び第 6 クロック信号に対応して前記ゲートハイ電圧を  $2k$  番目のゲートラ  
インの一侧に印加する第 2 ゲート駆動部、

$2k + 1$  番目のゲートラインの電圧レベルに対応して前記  $2k - 1$  番目のゲートライン  
の他側にゲートロー電圧を印加する L - 放電回路、

$2k + 2$  番目のゲートラインの電圧レベルに対応して第  $2k$  ゲートラインの他側にゲ  
ートロー電圧を印加する R - 放電回路を含み、

前記第 1 ゲート駆動部は、ゲートハイ電圧を出力するゲート出力端と前記 L - 放電回路  
を制御するキャリア信号出力端を含む複数個の L - ステージを含み、

前記第 2 ゲート駆動部は、ゲートハイ電圧を出力する出力端と前記 R - 放電回路を制御  
するキャリア信号出力端とを含む R - ステージを含む液晶表示装置。

10

## 【請求項 2】

前記第 1 乃至第 6 クロック信号は、

3 水平期間 3 H のハイ区間をそれぞれ有し、前後の信号の間 2 水平期間 2 H が重なる  
ことを特徴とする請求項 1 に記載の液晶表示装置。

20

## 【請求項 3】

前記第 1 ゲート駆動部の L - ステージと前記第 2 ゲート駆動部の R - ステージの出力部  
は、ゲートハイ電圧を出力するゲート出力部と、L 又は R - 放電回路を制御するキャリ  
ー信号を出力するキャリア信号出力部をそれぞれ備える  
ことを特徴とする請求項 1 に記載の液晶表示装置。

## 【請求項 4】

前記第 1 ゲート駆動部は、前記 L - 放電回路と連結される少なくとも 1 つのダミー L -  
ステージをさらに含む

ことを特徴とする請求項 3 に記載の液晶表示装置。

30

## 【請求項 5】

前記 L - 放電回路は、

前記  $2k$  番目のゲートラインと連結される第 1 電極、

前記ゲートロー電圧が印加される第 2 電極、

前記  $2k + 1$  番目のゲートラインと連結された L - ステージのキャリア信号出力端と連  
結されるゲート電極をそれぞれ含むトランジスタである

ことを特徴とする請求項 3 に記載の液晶表示装置。

## 【請求項 6】

前記ゲート出力部は、第 1 プルアップトランジスタと第 1 プルダウントランジスタを備  
え、

前記キャリア信号出力部は、第 2 プルアップトランジスタと第 2 プルダウントランジス  
タを備え、

前記ゲート出力部とキャリア信号出力部は、並列に連結された

ことを特徴とする請求項 3 に記載の液晶表示装置。

40

## 【請求項 7】

前記第 2 ゲート駆動部は、前記 R - 放電回路と連結される少なくとも 1 つのダミー R -  
ステージをさらに含む

ことを特徴とする請求項 3 に記載の液晶表示装置。

## 【請求項 8】

前記 R - 放電回路は、

50

前記 2 k - 1 番目のゲートラインと連結される第 1 電極、  
 前記ゲートロー電圧が印加される第 2 電極、  
 前記 2 k + 2 番目のゲートラインと連結される R - ステージのキャリア信号出力端と連結されるゲート電極を含む複数のトランジスタであることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 9】

前記第 1 及び第 2 ゲート駆動部は、前記液晶パネルの非表示領域に内蔵されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 10】

複数のゲートラインが形成された液晶ディスプレイパネル、  
 異なる位相を有する少なくとも 4 つ以上のクロック信号を生成する制御部、  
 前記制御部からの少なくとも 2 つ以上のクロック信号に応じてゲートハイ電圧を奇数番目のゲートラインに印加する第 1 ゲート駆動部、  
 前記制御部からの少なくとも 2 つ以上のクロック信号に応じて前記ゲートハイ電圧を前記偶数番目のゲートラインに印加する第 2 ゲート駆動部、

前記後順位のゲートラインの電圧レベルに対応するキャリア信号に応じて前記奇数番目のゲートラインにゲートロー電圧を印加する 1 次放電回路、

前記後順位のゲートラインの電圧レベルに対応するキャリア信号に応じて前記偶数番目のゲートラインにゲートロー電圧を印加する 2 次放電回路を含み、

前記第 1 ゲート駆動部は、対応する奇数番目のゲートラインに前記ゲートハイ電圧を出力するゲート出力部と前記先順位の奇数及び偶数のゲートラインのうちいずれか 1 つに連結された放電回路に前記キャリア信号を出力するキャリア出力部を含む複数の 1 次ステージを含み、

前記第 2 ゲート駆動部は、対応する偶数番目のゲートラインに前記ゲートハイ電圧を出力するゲート出力部と前記先順位の奇数及び偶数ゲートのうち他の 1 つに連結された放電回路に前記キャリア信号を出力するキャリア出力部を含む複数の 2 次ステージを含み、液晶表示装置。

【請求項 11】

前記少なくとも 4 つ以上のクロック信号は、第 1 乃至第 6 クロック信号を含み、それぞれ 3 水平期間 3 H のハイ区間を有し、前後信号の間で 2 水平期間 2 H が重なることを特徴とする請求項 10 に記載の液晶表示装置。

【請求項 12】

前記第 1 ゲート駆動部は、第 1、第 3 及び第 5 クロック信号を制御部から入力し、第 2 ゲート駆動部は、第 2、第 4 及び第 6 クロック信号を制御部から入力することを特徴とする請求項 11 に記載の液晶表示装置。

【請求項 13】

前記第 1 ゲート駆動部のキャリア出力部は、それぞれ 3 番目の先順位のゲートラインに接続された前記 2 次放電回路に供給し、前記第 2 ゲート駆動部のキャリア出力部はそれぞれ 3 番目の先順位のゲートラインに接続された前記 1 次放電回路に供給することを特徴とする請求項 12 に記載の液晶表示装置。

【請求項 14】

前記第 1 ゲート駆動部は、前記 2 次放電回路のうち後側の 2 つにそれぞれ連結された 2 つの 1 次ダミーステージをさらに含み、

前記第 2 ゲート駆動部は、前記 1 次放電回路のうち最後の 1 つに接続された 1 つの 2 次ダミーステージを追加的に含む

ことを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 15】

前記 1 次及び 2 次放電回路は、

前記該当ゲートラインと連結される第 1 電極、

前記ゲートロー電圧が印加される第 2 電極、

10

20

30

40

50

前記 3 番目の後順位のゲートラインと対応するキャリア出力部に連結されるゲート電極を含むトランジスタをそれぞれ含むことを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 16】

前記少なくとも 4 つ以上のクロック信号は第 1 乃至第 4 クロック信号を含み、それぞれ 2 水平期間 2 H のハイ区間を有し、前後の信号間で 1 水平期間 1 H が重なることを特徴とする請求項 10 に記載の液晶表示装置。

【請求項 17】

前記第 1 ゲート駆動部は、第 1、第 3 及び第 5 クロック信号を制御部から入力し、第 2 ゲート駆動部は第 2、第 4 及び第 6 クロック信号を制御部から入力することを特徴とする請求項 16 に記載の液晶表示装置。

10

【請求項 18】

前記第 1 ゲート駆動部のキャリア出力部は、それぞれ 2 番目の先順位ゲートラインに接続された前記 1 次放電回路に供給し、前記第 2 ゲート駆動部のキャリア出力部は、それぞれ 2 番目の先順位のゲートラインに接続された前記 2 次放電回路に供給することを特徴とする請求項 17 に記載の液晶表示装置。

【請求項 19】

前記第 1 ゲート駆動部は、前記 2 次放電回路のうち後側の 2 つにそれぞれ連結された 2 つの 1 次ダミーステージをさらに含み、前記第 2 ゲート駆動部は、前記 1 次放電回路のうち最後の 1 つに接続された 1 つの 2 次ダミーステージを追加して含むことを特徴とする請求項 18 に記載の液晶表示装置。

20

【請求項 20】

前記 1 次及び 2 次放電回路は、  
前記該当ゲートラインと連結される第 1 電極、  
前記ゲートロー電圧が印加される第 2 電極、  
前記 2 番目の後順位のゲートラインと対応するキャリア出力部に連結されるゲート電極を含むトランジスタをそれぞれ含むことを特徴とする請求項 18 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、液晶表示装置に関し、ゲートラインに供給されるゲート駆動電圧の特性を改善した液晶表示装置に関する。

【背景技術】

【0002】

最近、電子情報表示装置分野では平板表示装置 (Flat Display Device) が従来の陰極線管表示装置 (CRT) などを代替しており、このような平板表示装置には、LCD (Liquid Crystal Display)、PDP (Plasma Display Panel)、FED (Field Emission Display) 及び OLED (Organic Light Emitting Diodes) などがある。このような平板表示装置のうち、液晶表示装置は、量産化技術、駆動手段の容易性、高画質の具現及び大面積画面の実現という理由から現在、最も多く使われている。

40

【0003】

特に、スイッチング素子として薄膜トランジスタ (Thin Film Transistor) が用いられるアクティブマトリクス (active matrix) 方式の液晶表示装置は、動的な映像を表示することに適している。前述した薄膜トランジスタのターンオン/オフ動作を制御するために、通常の液晶表示装置には走査信号を生成及び提供するゲート駆動部が備えられ、画像の階調を表すためのデータ信号を提供するデータ駆動部が備えられる。

50

## 【 0 0 0 4 】

図 1 は、従来の液晶表示装置の基本構成を示すブロック図である。

## 【 0 0 0 5 】

図示のように、従来の液晶表示装置は、画像を表示する液晶ディスプレイパネル 1 と駆動部 4、5 からなる。

## 【 0 0 0 6 】

液晶ディスプレイパネル 1 は、硝子を用いた基板の上に複数のゲートライン G L と複数のデータライン D L とがマトリックス状に交差し、交差地点に複数の画素を定義し、画素に印加されるデータ信号に応じて画像を表示する。このような液晶ディスプレイパネル 1 は、画素が形成され画像を具現する表示領域 A / A と、表示領域 A / A を囲む非表示領域 N / A と、に区分される。

10

## 【 0 0 0 7 】

前記駆動部 4、5 は、ゲート駆動部 4 及びデータ駆動部 5 を含む。ゲート駆動部 4 は、タイミング制御部（図示せず）から供給されるゲート制御信号 G C S に応じて液晶ディスプレイパネル 1 上に配列された画素のスイッチング素子のターンオン/オフ（turn on / off）を制御する。このようなゲート駆動部 4 は、ゲートライン G L を介して液晶ディスプレイパネル 1 にゲート駆動電圧 V G を出力してライン毎に順に画素のスイッチング素子をターンオンすることで、一水平周期毎にデータ駆動部 5 から供給されるデータ信号が画素に供給されるようにする。

## 【 0 0 0 8 】

データ駆動部 5 は、タイミング制御部から供給されるデータ制御信号 D C S に応じてデジタル波形の映像データをアナログ波形のデータ信号に変調する。次いで、1つのラインに相当するデータ信号は水平周期毎にデータ駆動部 5 から全てのデータライン D L を介して同時に液晶ディスプレイパネル 1 に供給され各画素が画像の階調を表示するようになる。

20

## 【 0 0 0 9 】

このような構造の液晶表示装置において、ゲート駆動部 4 は、データ駆動部 5 に比べて相対的にその構造が単純であるという特徴があり、液晶表示装置の体積と重さ、そして、製造コストの低減のために、ゲート駆動部を別途の IC に具現して液晶ディスプレイパネルにボンディング（bonding）する方式ではなく、液晶ディスプレイパネルの基板製造時に、薄膜トランジスタの形態で共に非表示領域 N / A 上に製造するゲート - イン - パネル（Gate - In - Panel、GIP）方式が提案されている。

30

## 【 0 0 1 0 】

また、液晶表示装置は、液晶の応答速度の限界により画質が低下するモーションブラー（motion blur）特性がある。これを克服するために、液晶表示装置の駆動周波数を 60 Hz ではなく 120 Hz 以上にする方式が提案されている。しかし、120 Hz 以上で液晶表示装置を駆動すると、1つの1水平期間 1 H がそれだけ短くなるため、各画素のスイッチング素子をターンオンする時間を確保することが難しくなる。

## 【 0 0 1 1 】

そのため、最近の液晶表示装置には、図 1 に示すように、ゲート駆動部 4 を液晶ディスプレイパネル 10 の左右に GIP 方式で内蔵し、各前後のゲート駆動電圧の間にオーバーラップ区間においてゲートラインに対するプレチャージ（pre-charge）を介してスイッチング素子を安定してターンオンさせる構造が適用されている。

40

## 【 0 0 1 2 】

しかし、上記のようにゲート駆動電圧の間にオーバーラップ区間を置くか、または駆動周波数が高くなる場合、ゲートラインに印加されるゲート駆動電圧を速かに放電させることに限界がある。

## 【 発明の開示 】

## 【 発明が解決しようとする課題 】

## 【 0 0 1 3 】

50

本発明の目的は、液晶表示装置に備えられたゲートラインそれぞれに対して放電回路を配置し、ゲートラインに供給されたゲート駆動電圧を迅速に放電して画質低下を改善した液晶表示装置を提供することにある。

【0014】

また、本発明の他の目的は、デュアルGIP方式の液晶表示装置のゲート駆動部に配置されたステージでゲート駆動電圧と前段ゲートラインに配置された放電回路を制御するためのキャリア信号をそれぞれ分離して出力することによって、ゲート駆動電圧の放電遅延を防止した液晶表示装置を提供することにある。

【0015】

また、本発明のさらに他の目的は、デュアルGIP方式の液晶表示装置でゲート駆動電圧を2つのゲート駆動部から同時ではなく、交互に出力する構造を介してステージの個数を減らすことで、ゲート駆動部が占める領域を最小化できる液晶表示装置を提供することにある。

10

【課題を解決するための手段】

【0016】

上記した従来技術の課題を解決するための本発明に係る液晶表示装置は、 $n$  ( $n$ は自然数)個のゲートラインが形成された液晶ディスプレイパネル、外部システムからタイミング信号が印加されて第1乃至第6クロック信号を生成するタイミング制御部、第1、第3及び第5クロック信号に対応してゲートハイ電圧を $2k-1$  ( $k$ は前記 $n$ より小さい自然数)番目のゲートラインの一侧に印加する第1ゲート駆動部、第2、第4及び第6クロック信号に対応して前記ゲートハイ電圧を $2k$ 番目のゲートラインの一侧に印加する第2ゲート駆動部、 $2k+1$ 番目のゲートラインの電圧レベルに対応して前記 $2k-1$ 番目のゲートラインの他側にゲートロー電圧を印加するL-放電回路、 $2k+2$ 番目のゲートラインの電圧レベルに対応して第 $2k$ ゲートラインの他側にゲートロー電圧を印加するR-放電回路を含み、前記第1ゲート駆動部は、ゲートハイ電圧を出力するゲート出力端と前記L-放電回路を制御するキャリア信号出力端を含む複数個のL-ステージを含み、前記第2ゲート駆動部は、ゲートハイ電圧を出力する出力端と前記R-放電回路を制御するキャリア信号出力端とを含むR-ステージを含む。

20

【0017】

また、他の発明に係る液晶表示装置は、複数のゲートラインが形成された液晶ディスプレイパネル、異なる位相を有する少なくとも4つ以上のクロック信号を生成する制御部、前記制御部からの少なくとも2つ以上のクロック信号に応じてゲートハイ電圧を奇数番目のゲートラインに印加する第1ゲート駆動部、前記制御部からの少なくとも2つ以上のクロック信号に応じて前記ゲートハイ電圧を前記偶数番目のゲートラインに印加する第2ゲート駆動部、前記後順位のゲートラインの電圧レベルに対応するキャリア信号に応じて前記奇数番目のゲートラインにゲートロー電圧を印加する1次放電回路、前記後順位のゲートラインの電圧レベルに対応するキャリア信号に応じて前記偶数番目のゲートラインにゲートロー電圧を印加する2次放電回路を含み、前記第1ゲート駆動部は、対応する奇数番目のゲートラインに前記ゲートハイ電圧を出力するゲート出力部と前記先順位の奇数及び偶数のゲートラインのうちいずれか1つに連結された放電回路に前記キャリア信号を出力するキャリア出力部を含む複数の1次ステージを含み、前記第2ゲート駆動部は、対応する偶数番目のゲートラインに前記ゲートハイ電圧を出力するゲート出力部と前記先順位の奇数及び偶数ゲートのうち他の1つに連結された放電回路に前記キャリア信号を出力するキャリア出力部を含む複数の2次ステージを含む。

30

40

【発明の効果】

【0018】

本発明による液晶表示装置は、液晶表示装置に備えられたゲートラインそれぞれに対して放電回路を配置し、ゲートラインに供給されたゲート駆動電圧を迅速に放電して画質低下を改善する効果がある。

【0019】

50

また、本発明による液晶表示装置は、液晶表示装置のゲート駆動部に配置されたステージでゲート駆動電圧と前段ゲートラインに配置された放電回路を制御するためのキャリア信号をそれぞれ分離して出力することによって、ゲート駆動電圧の放電遅延を防止する効果がある。

【0020】

また、本発明による液晶表示装置は、デュアルGIP方式の液晶表示装置でゲート駆動電圧を2つのゲート駆動部から同時ではなく、交互に出力する構造を介してステージの個数を減らすことによってゲート駆動部が占める領域を最小化できる効果がある。

【図面の簡単な説明】

【0021】

【図1】従来の液晶表示装置の基本構成を示すブロック図である。

【図2】本発明の第1の実施の形態による液晶表示装置を示す図である。

【図3】本発明の第1の実施の形態による液晶ディスプレイパネル上に形成され放電回路を含むゲート駆動部の構造を示す図である。

【図4A】本発明の第1の実施の形態による液晶表示装置のゲート駆動部に配置されたステージの構造を示す図である。

【図4B】図4Aのステージ出力部の構成を示す詳細回路図である。

【図5】本発明の第1の実施の形態によってゲート駆動部のn番目のステージで出力されるゲート駆動電圧とキャリア信号を比較した図である。

【図6】本発明の第1の実施の形態による液晶表示装置のゲートラインに供給されたゲート駆動電圧の変化を示す図である。

【図7】本発明の第2の実施の形態による液晶表示装置を示す図である。

【図8】本発明の第2の実施の形態による液晶ディスプレイパネル上に形成され放電回路を含むゲート駆動部の構造を示す図である。

【図9】本発明の第2の実施の形態による液晶表示装置のゲートラインに供給されたゲート駆動電圧の変化を示す図である。

【発明を実施するための形態】

【0022】

以下、本発明の実施の形態は図面を参照して詳しく説明される。次に紹介される実施の形態は、当業者に本発明の思想が十分に伝えられるように例として提供されるものである。したがって、本発明は、以下で説明される実施の形態に限定されず他の形態に具体化されることもできる。そして、図面において、装置の大きさ及び厚さなどは便宜のために誇張されて表現されることもある。明細書全体にわたって同じ符号は同じ構成要素を示す。

【0023】

図2は、本発明の第1の実施の形態による液晶表示装置を示す図である。

【0024】

図示のように、本発明の第1の実施の形態は、120Hz動作時により安定した駆動のために6相のクロック信号CLK1~CLK6を用いたものである。

【0025】

本発明の第1実施の形態による液晶表示装置100は、液晶ディスプレイパネル101、外部システムからタイミング信号を印加されて各種制御信号を生成するタイミング制御部122、制御信号に対応して液晶ディスプレイパネル101を制御するゲート及びデータ駆動部140、125を含む。

【0026】

液晶ディスプレイパネル101は、硝子を用いた基板上に複数のゲートラインGLと複数のデータラインDLがマトリクス状に交差し、交差点に複数の画素を定義する。各画素には、薄膜トランジスタTFTと液晶キャパシタClc及びストレージキャパシタCstが備えられ、全ての画素は1つの表示領域A/Aをなす。画素が定義されていない領域は非表示領域N/Aに区分される。

【0027】

10

20

30

40

50

前記タイミング制御部 122 は、外部システムから転送される映像信号 RGB と、データクロック信号 CLK、水平同期信号 Hsync、垂直同期信号 Vsync 及びデータイネーブル信号 DE などのタイミング信号を印加されてゲート駆動部 140 及びデータ駆動部 125 の制御信号を生成する。

【0028】

ここで、水平同期信号 Hsync は、画面の 1 水平線を表示するためにかかる時間を示す信号で、垂直同期信号 Vsync は、1 フレームの画面を表示するためにかかる時間を示す信号である。また、データイネーブル信号 DE は、液晶ディスプレイパネル 101 に定義された画素にデータ電圧を供給する期間を示す信号である。

【0029】

前記タイミング制御部 122 は、入力されるタイミング信号に同期化してゲート駆動部 140 の制御信号 GCS 及びデータ駆動部 125 の制御信号 DCS を生成する。また、タイミング制御部 122 は、ゲート駆動部 140 の各ステージの駆動タイミングを決定する複数のクロック信号 CLK1 ~ CLK6 を生成する。ここで、第 1 乃至第 6 クロック信号 CLK1 ~ CLK6 は、ハイ区間が 3 水平期間 3H の間進められ、互いの間で 2 水平期間 2H が重なる信号である。第 1、3、5 クロック信号 CLK1、CLK3、CLK5 は第 1 ゲート駆動部 140a に提供され、第 2、4、6 クロック信号 CLK2、CLK4、CLK6 は第 2 ゲート駆動部 140b に提供される。

【0030】

そして、タイミング制御部 122 は、入力された映像データ RGB DATA をデータ駆動部 125 が処理可能な形態に整列及び変調して出力する。ここで、整列された映像データ RGBv は、画質改善のための色座標補正アルゴリズムが適用された形態である場合がある。

【0031】

ゲート駆動部 140 は、液晶ディスプレイパネル 101 の両端の、非表示領域 N/A に 2 つが備えられる。各ゲート駆動部 140a、140b はシフトレジスタを含む複数のステージからなる。このようなゲート駆動部 140 は、液晶ディスプレイパネル 101 の基板製造時に薄膜パターン形態に非表示領域上にゲート・イン・パネル (Gate-In-Panel、GIP) 方式で内蔵される。

【0032】

前記ゲート駆動部 140 に含まれた第 1 及び第 2 ゲート駆動部 140a、140b は、タイミング制御部 122 から入力されるゲート制御信号 GCS に応じて 1 水平期間毎にゲート駆動電圧の出力動作を交互に行うことでゲート駆動電圧が液晶ディスプレイパネル 101 に形成された複数のゲートライン GL1 ~ GLn に水平期間 H 毎に順に出力されるようにする。ここで、各ゲートラインに出力されたゲート駆動電圧は、ゲートハイ電圧 VGH を 3 水平期間 3H の間維持し、各ゲートライン上のゲート駆動電圧のゲートハイ電圧区間は隣接した前後のゲートライン上のそれらと 2 水平期間 2H の間重なる。これはゲートライン GL1 ~ GLn をプレチャージするため、データ電圧の印加時により安定した画素充電を進めることができる。

【0033】

このために、第 1 ゲート駆動部 140a には、それぞれ 3 水平期間 3H に該当するパルス幅を有する第 1、第 3 及び第 5 クロック信号 CLK1、CLK3、CLK5 が印加され、第 2 ゲート駆動部 140b には、これと 2 水平期間 2H ずつ重ねられ、3 水平期間 3H に該当するパルス幅を有する第 2、第 4 及び第 6 クロック信号 CLK2、CLK4、CLK6 が印加される。

【0034】

一例として、第 1 ゲート駆動部 140a が k 番目のゲートライン GLk にゲートハイ電圧 VGH を出力すると、1 水平期間 1H の後、第 2 ゲート駆動部 140b は、k+1 番目のゲートライン GLk+1 にゲートハイ電圧 VGH を出力し、1 水平期間 1H の後、第 1 ゲート駆動部 140a が k+2 番目のゲートライン GLk+2 にゲートハイ電圧 VGH を出

10

20

30

40

50

力する。

【0035】

次いで、1水平期間1Hの後、第2ゲート駆動部140bがk+3番目のゲートラインGLk+3にゲートハイ電圧VGHを出力するとともに、k番目のゲートラインGLkにゲートロー電圧VGLを出力して薄膜トランジスタTFTをターンオフすることで、液晶キャパシタC1cに充電されたデータ電圧が1フレームの間維持されるようにする。ここで、「k」は「n」より小さい自然数である。

【0036】

特に、本発明は、ゲートラインGLnの電圧がゲートハイ電圧VGHからロー電圧VGLに切り替えられる時点で遅延無くゲートロー電圧VGLが供給されることができるよう、それぞれのゲートラインG1, …, Gnに放電回路TL1~TLj、TR1~TRjを配置し、ゲート駆動電圧の放電遅延を防止した。

10

【0037】

これにより、n番目のゲートラインGLnの電圧がゲートハイ電圧VGHからロー電圧VGLに切り替えられる時点でゲートロー電圧VGLを印加する放電回路TLj、TRjが活性化されてゲートラインGLnを放電させることで放電遅延が最小化される。

【0038】

前述した放電回路は、各ゲートラインGL1~GLnに対応してその終端と連結され、奇数番目のゲートラインGL1, GL3, …, GLn-1と連結されるR放電回路TR1~TRj(jは自然数)は第2ゲート駆動部140bに隣接して備えられ、偶数番目のゲートラインGL2n, GL4, …, GLnと連結されるL放電回路TL1~TLjは第1ゲート駆動部140aに隣接して備えられる。

20

【0039】

ここで、各放電回路TL1~TLj、TR1~TRjは、n番目のゲートラインGLnを基準にn+3番目以降のゲートラインGLn+3にゲート駆動電圧を供給するステージのキャリア信号(Carry Signal)によって活性化される。本発明のゲート駆動部140に配置されているステージは、従来の技術と異なり、ゲート駆動電圧と各放電回路TL1~TLj、TR1~TRjを活性化するためのキャリア信号を独立して出力する。

【0040】

したがって、各放電回路TL1~TLj、TR1~TRjが活性化されることによって、これと連結されているそれぞれのゲートラインにゲートロー電圧VGLが印加される構造である。また、本発明の放電回路TL1~TLj、TR1~TRjは、ゲート駆動部140を構成する各ステージの間に薄膜トランジスタに形成される。これにより、各ゲート駆動部140a、140bが液晶ディスプレイパネル101の非表示領域N/Aに占める面積が減るようになる。

30

【0041】

このようなゲート駆動部140のステージ及び放電回路のより詳細な構造を後述する。データ駆動部125は、タイミング制御部122から入力されるデータ制御信号DCSに対応して入力されるデジタル形態の変調映像データRGBvを基準電圧Vrefに応じて選択的にアナログ形態のデータ電圧VDATAに変換する。データ電圧VDATAは、1つの水平ラインずつラッチされ、1つの水平期間1Hの間全てのデータラインDL1~DLmを介して同時に液晶ディスプレイパネル101に入力される。

40

【0042】

上述の構造によって、本発明の実施の形態による統合型駆動回路を含む液晶表示装置は、両ゲート駆動部からゲート駆動電圧を同時ではなく、交互に出力してステージの個数を減らし、各ステージの間に別の放電手段を備えて、ゲートラインの放電を補助することによって放電期間の遅延を最小化する。

【0043】

以下、図面を参照して本発明の第1実施の形態によるゲート駆動部及び放電回路の構造

50

をさらに詳しく説明する。

【0044】

図3は、本発明の第1の実施の形態による液晶ディスプレイパネル上に形成されたゲート駆動部及び放電回路の構造を示す図である。

【0045】

図示のように、本発明のゲート駆動部は、液晶ディスプレイパネルの一端に形成される第1ゲート駆動部140a及び他端に形成される第2ゲート駆動部140bを含む。一方、放電回路のそれぞれはシングル放電トランジスタに具現される場合がある。そのため、ゲート駆動部240は、第1ゲート駆動部140aの各ステージの間に形成される複数のL-放電トランジスタTL1~TLj及び第2ゲート駆動部140bの各ステージの間に形成される複数のR-放電トランジスタTR1~TRjを含む。

10

【0046】

各ステージには、6相方式で第1乃至第6クロック信号CLK1~CLK6、ゲートハイ電圧VGH、他のステージから供給されるキャリア信号CS及びゲートロー電圧VGLが印加され、図示していないが、電源電圧VDD及び接地電圧GNDが印加され得る。特に、第1乃至第6クロック信号CLK1~CLK6は、ハイ区間が3水平期間3Hの間進められ、そのハイ区間が互いに2水平期間2Hずつ重なる信号である。また、ゲートハイ電圧VGHは、表示領域A/Aの薄膜トランジスタをターンオンする電圧であり、前記キャリア信号CSは、ステージから直接出力されて放電回路を制御する信号である。また、ゲートロー電圧VGLは、表示領域A/Aの薄膜トランジスタをターンオフする電圧である。

20

【0047】

本発明のゲート駆動部140を構成するそれぞれのステージは、従来の技術と異なり、ゲート駆動電圧(ゲートハイ電圧)を出力するゲート出力端Gateと隣接するゲートラインに連結されている放電回路を制御するキャリア信号を出力するキャリア信号出力端を含む。本発明の駆動部に使用されるステージの構造は、図4A及び図4Bで詳しく説明する。

【0048】

第1ゲート駆動部140aは、第1、第3及び第5クロック信号CLK1、CLK3、CLK5、ゲートハイ電圧VGH、キャリア信号CS及びゲートロー電圧VGLを印加され、ゲートスタートパルスGSPに対応する第1スタート電圧Vst1に応じて2水平同期期間毎に順に複数の奇数ゲートラインGL1, GL3, ..., GLn-1にゲート駆動電圧を出力する。ゲート駆動電圧は、薄膜トランジスタをターンオンするゲートハイ電圧VGHパルスを含む。このゲートハイ電圧パルスは、3水平同期期間3Hの幅を有する。各ゲートラインに出力されたゲートハイ電圧パルスは、該当ゲートラインと隣接した前後のゲートラインに供給されたゲートハイ電圧パルスと2水平同期期間2Hずつ重なる。

30

【0049】

このような第1ゲート駆動部140aは、前記第1スタート電圧Vst1端に対してが互いに直列連結された第1乃至第j(jは自然数)L-ステージSTL1~STLjと、2つのダミーL-ステージDTL1、DTL2からなる。

40

【0050】

第2ゲート駆動部140bは、第2、第4及び第6クロック信号CLK2、CLK4、CLK6、ゲートハイ電圧VGH、キャリア信号CS及びゲートロー電圧VGLを印加され、ゲートスタートパルスGSPに対応する第2スタート電圧Vst2に応じて2水平同期期間毎に順に複数の偶数番目のゲートラインGL2n, GL4, ..., GLnにゲート駆動電圧を出力する。偶数番目のゲートラインGL2n, GL4, ..., GLnに供給されたゲート駆動電圧は奇数番目のゲートラインGL1, GL3, ..., GLn-1上のそれらと同じゲートハイ電圧パルスを含む。

【0051】

50

このような第2ゲート駆動部140bは、第2スタート電圧 $V_{st2}$ に対して互いに直列連結された第1乃至第 $j$  ( $j$ は自然数) R-ステージSTR1~STR $j$ と、ダミーR-ステージDTRからなる。

【0052】

また、前記ゲート駆動部140は、ダミーLステージDTL1、DTL2を含むL-ステージSTL1~STL $j$ の間には配置されたL-放電トランジスタTL1~TL $j$ が備えられる。

【0053】

ここで、前述したダミーL、R-ステージDTL、DTRは、その後のL、R-ステージSTL $j$ 、STR $k$ が存在しないため、最終の放電トランジスタ(放電回路)を駆動するために備えられるものである。

10

【0054】

L-放電トランジスタTL1~TL $j$ の第1電極は、R-ステージSTR1~STR $k$ の出力端及びダミーR-ステージDTRの出力端と連結される偶数番目のゲートラインGL2 $n$ , GL4, ..., GL $n$ と連結される。ゲート電極は、第1電極が接続されたRステージより後順のLステージまたはダミーLステージのうち1つのキャリア信号出力端と連結される。そして、L-放電トランジスタTL1~TL $j$ の第2電極には、ゲートロー電圧VGL供給ラインが連結される。

【0055】

すなわち、第1L-放電トランジスタTL1の第1電極は、第2ゲートラインGL2と連結され、ゲート電極は、第5ゲートラインGL4と連結された第3ステージSTL3のキャリア信号出力端CSと連結され、第2電極には、ゲートロー電圧VGLが印加される構造である。

20

【0056】

また、前記ゲート駆動部140は、ダミーRステージDTRを含むR-ステージSTR1~STR $j$ の間には配置されたR-放電トランジスタTR1~TR $j$ を備える。

【0057】

R-放電トランジスタTR1~TR $j$ の第1電極は、L-ステージSTL1~STL $j$ の出力端と連結される奇数番目のゲートラインGL1, GL3, ..., GL $n-1$ と連結される。ゲート電極は、第1電極が接続されたLステージより後順のRステージまたはダミーRステージのキャリア信号出力端と連結される。そして、R-放電トランジスタTR1~TR $j$ の第2電極には、ゲートロー電圧VGL供給ラインが連結される。

30

【0058】

すなわち、第1R-放電トランジスタTR1の第1電極は、第1ゲートラインGL1と連結され、ゲート電極は、第3ゲートラインにゲートハイ電圧を供給する第2Rステージのキャリア信号出力端と連結され、第2電極には、ゲートロー電圧VGLが印加される構造である。

【0059】

以下、前述した構造の6相方式ゲート駆動部及び放電回路の駆動方法を説明すると次のとおりである。

40

【0060】

第1及び第2スタート電圧 $V_{st1}$ 、 $V_{st2}$ がそれぞれ第1及び第2ゲート駆動部140a、140bに印加されると、先ず第1ゲート駆動部140aの第1L-ステージSTL1が第1クロック信号CLK1に対応して3水平期間3Hの間ゲートハイ電圧VGHを第1ゲートラインGL1に出力する。

【0061】

次いで、第2ゲート駆動部140bの第1R-ステージSTR1が第2クロック信号CLK2に対応して3水平期間3Hの間ゲート出力端を介してゲートハイ電圧VGHを第2ゲートラインGL2に出力する。

【0062】

50

ここで、第1クロック信号CLK1と第2クロック信号CLK2は、2水平期間2Hの間互いに重なるが、第2クロック信号CLK2は、第1クロック信号CLK1とはシングル水平同期期間の遅延位相を有する。したがって、第1ゲートラインGL1に印加されるゲートハイ電圧VGHの後半部と第2ゲートラインGL2に印加されるゲートハイ電圧VGHの前半部は2水平期間2Hが重なるようになる。

【0063】

次いで、第2L-ステージSTL2が第3クロック信号CLK3に対応してゲートハイ電圧VGHを第3ゲートラインGL3に出力し、その後、第2R-ステージSTR2が第4クロック信号CLK4に対応して3水平期間3Hの間ゲートハイ電圧VGHを第4ゲートラインGL4に出力する。

10

【0064】

以上で説明しているゲートハイ電圧パルスは、本発明のステージのゲート出力端を介して出力されるゲート駆動電圧である。本発明では、ステージにゲート出力端とキャリア信号出力端を分離配置し、ゲート出力端からゲートハイ電圧パルスを出し、キャリア信号出力端からキャリア信号CSを出力する。k番目のゲートラインGLkと連結されたステージのキャリア信号CSは、同じ駆動部内のk-3番目のゲートラインGLk-3に連結された放電回路を制御する。

【0065】

この時、第1L-ステージSTL1は、第1クロック信号CLK1に対応して第1ゲートラインGL1にゲートロー電圧VGLを出力し、同時に第1ゲートラインGL1の終端と連結された第1R-放電トランジスタTR1のゲート端に第2RステージSTR2から出力するキャリア信号CSが印加される。したがって、第1R-放電トランジスタTR1が第2RステージSTR2のキャリア信号CSによってターンオンされる。また、第1ゲートラインGL1が第1放電トランジスタTR1の第1及び第2電極を經由してゲートロー電圧VGLラインと連結され、したがって、第1ゲートラインGL1上の電圧がゲートハイ電圧VGHからゲートロー電圧VGLに迅速に遷移される。

20

【0066】

すなわち、第1ゲートラインGL1の両側から同時にゲートロー電圧VGLが印加されてライン抵抗による信号遅延が最小化され、第1ゲートラインGL1は、放電トランジスタ(放電回路)によって速かに放電されるようになる。

30

【0067】

また、ゲートハイ電圧VGHが「ハイ」状態から「ロー」状態に遷移される時の遅延を最小化するために、本発明では、ステージのキャリア信号CS出力端から直接出力されるキャリア信号CSを放電トランジスタのゲート電極に供給した。

【0068】

従来の技術では、一般にステージのゲートハイ電圧VGHを制御信号に使用していたが、ゲートハイ電圧VGHはゲートラインと連結されているため、多くの負荷を受けている。したがって、放電回路の放電トランジスタをターンオンするために供給されるゲートハイ電圧VGHもゲートラインと連結された状態ではより大きい遅延値を持つため、負荷と連結されていないキャリア信号CSによって放電回路を制御する場合、迅速な放電が行われることができる。

40

【0069】

図4A及び図4Bは、本発明の第1の実施の形態による液晶表示装置のゲート駆動部に配置されたステージの構造とステージ出力部の回路構造を示す図で、図5は、本発明の第1の実施の形態によってゲート駆動部のn番目のステージで出力されるゲート駆動電圧とキャリア信号を比較した図である。

【0070】

図示のように、本発明のゲート駆動部にそれぞれ形成されているステージは、クロックCLK信号、ゲートハイ電圧VGH及びゲートロー電圧VGLなどを入力信号として供給される入力部171、入力部171の信号を用いて出力部173を制御するための制御信

50

号を発生する制御部 172、及びクロック信号及び制御信号を用いてゲートハイ電圧 VGH 及びキャリー信号を出力する出力部 173を含む。

【0071】

本発明のステージの出力部 173は、ゲート出力部 173aとキャリー信号出力部 173bとを含み、ゲート出力部 173aは、第1プルアップトランジスタ Trpu1と第1プルダウントランジスタ Trpd1を有することができ、キャリー信号出力部 173bは、第2プルアップトランジスタ Trpu2と第2プルダウントランジスタ Trpd2を有し得る。

【0072】

前記ゲート出力部 173は、クロック信号 CLK及び制御部 172からの制御信号を用いてゲート出力端からゲートハイ電圧 (VGH:ゲート駆動電圧、Gate signal)を出力し、ステージと連結されているゲートラインにゲートハイ電圧 (駆動電圧) VGHを出力する。すなわち、前記ゲートハイ電圧 VGHは、ステージ内の Q及び/Qノード上の制御信号に応じて選択的に発生され該当ステージと連結されたゲートラインにゲートハイ電圧が供給される。

10

【0073】

また、前記キャリー信号出力部 173bは、クロック信号 CLK及び制御部 172からの制御信号に応じてキャリー信号出力端からキャリー信号 CSを出力し、現在、N番目のゲートラインのステージで N-3番目のゲートラインに連結されている放電回路 (放電トランジスタ)を活性化する。

20

【0074】

同じくキャリー信号も Q及び/Qノードの制御信号に応じて制御され得る。したがって、キャリー信号は、ゲートハイ電圧 VGHと同じ形態の波形を有することができる。キャリー信号は、キャリー信号出力部 173bから出力されるが、いずれのゲートラインとも連結されておらず、他のゲートラインに連結されている放電回路を制御するため初期遅延なく放電回路を動作させることができる。

【0075】

これによって、それぞれのゲートラインに供給されたゲートハイ電圧がロー電圧に遅延無く速かに放電されることができる。

【0076】

図5に示すように、kthステージのゲート出力端から出力される信号を見てみると、「ロー」から「ハイ」に遷移される区間に遅延が発生するが、「ハイ」から「ロー」に遷移される場合には遅延が従来の技術 (点線 - -) に比べ改善されたことがわかる。

30

【0077】

これは、Nthステージと対応するN番目のゲートラインに連結された放電回路に N+3番目のゲートラインに連結されているステージのキャリー信号 CSによって放電回路が動作されるため、N番目のゲートラインに供給されたゲートハイ電圧 VGHが迅速に放電されるからである。

【0078】

すなわち、ステージ内でキャリー信号とゲートハイ電圧 VGHを分離しない場合は、放電回路を、活性化する制御信号をゲートハイ電圧 VGHに使用する。この場合、Nthゲート信号を見ると、ゲートハイ電圧 VGHは初期遅延値を有して「ハイ」状態になるため、放電回路のターンオン/ターンオフも初期遅延値だけ遅延動作するようになって点線のようにゲートハイ電圧 VGHが速かに放電されない。

40

【0079】

本発明では、ゲートラインに連結されている放電回路を制御するために、ステージにゲートラインが連結されていないキャリー信号出力端を形成し、このキャリー信号出力端を介してステージで生成されたキャリー信号 CSを即座に放電回路に供給してそれぞれのゲートライン G1, … Gnに供給されたゲートハイ電圧 VGHを迅速に放電させるようにした。

50

## 【 0 0 8 0 】

図 6 は、本発明の第 1 の実施の形態による液晶表示装置のゲートラインに供給されたゲート駆動電圧の変化を示す図である。

## 【 0 0 8 1 】

図 6 及び図 3 に示すように、本発明の第 1 実施の形態による放電回路を備えた液晶表示装置において、各ゲートライン  $GL_1 \sim GL_n$  は、3 水平期間  $3H$  の間ゲートハイ電圧  $V_{GH}$  レベルに充電された後、またゲートロー電圧  $V_{GL}$  レベルに放電される。この時、隣接したゲートライン  $GL_1 \sim GL_n$  の間には 2 水平期間  $2H$  ずつ重なり、同じゲート駆動部と連結されるラインの間には 1 水平期間  $1H$  ずつ重なる。ここで、データ電圧  $d$  は、ゲートライン  $GL_{n-1} \sim GL_n$  の間の重なる期間のうち、1 水平期間  $1H$  の間に各画素に印加される。特に、図示のようにゲートラインの放電時には、両側端にゲートロー電圧  $V_{GL}$  が印加されて急激な傾斜をなし、ゲートロー電圧  $V_{GL}$  レベルに遷移される（図 6 の c）。

10

## 【 0 0 8 2 】

本発明では、図 3 に示すように、第 1 ゲートライン  $GL_1$  に連結されている第 1 R - 放電トランジスタ  $TR_1$  が第 4 ゲートライン  $GL_4$  に連結された第 2 R ステージ  $STR_2$  のキャリア信号  $CS$  によってターンオンされるため、第 1 ゲートライン  $GL_1$  のゲートハイ電圧  $V_{GH}$  が「ロー」状態に遷移される時、遅延なく即座に放電される。点線（- -）は第 4 ゲートライン  $GL$  に供給されるゲートハイ電圧  $V_{HG}$  で第 1 R - 放電トランジスタ  $TR_1$  がターンオンされた場合、ゲートハイ電圧  $V_{HG}$  が「ハイ」から「ロー」に遷移される時、遅延が生じる問題点を示したものである。

20

## 【 0 0 8 3 】

図示のように、第 1 ゲート駆動部 140 a と第 2 ゲート駆動部 140 b に配置されている放電回路（L - 放電トランジスタと R - 放電トランジスタ）を制御するキャリア信号  $CS$  の前段がゲートハイ電圧  $V_{HG}$  の前段と異なって非常に理想的に「ロー」状態から「ハイ」状態に遷移されることがわかる。

## 【 0 0 8 4 】

したがって、それぞれのゲートライン  $GL_1, \dots, GL_n$  に連結されている放電トランジスタは、各ステージで供給されるキャリア信号により速かにターンオン/ターンオフされ、ゲートハイ電圧  $V_{GH}$  を遅延無く放電させる。

30

## 【 0 0 8 5 】

図 7 は、本発明の第 2 の実施の形態による液晶表示装置及びその駆動部を示す図である。

## 【 0 0 8 6 】

本発明の第 2 の実施の形態は、 $120Hz$  動作時により安定した駆動のために 4 相のクロック信号  $CLK_1 \sim CLK_4$  を用いたものである。したがって、第 1 の実施の形態で説明したゲート駆動部に配置されているそれぞれのステージの構造は第 2 の実施の形態に同様に適用される。以下、第 1 の実施の形態と区別される部分を中心に説明する。

## 【 0 0 8 7 】

図示のように、本発明の液晶表示装置は、画像を表示する液晶ディスプレイパネル 201、外部システムからタイミング信号を印加されて各種制御信号を生成するタイミング制御部 220、制御信号に対応して液晶ディスプレイパネル 201 を制御するゲート及びデータ駆動部 240、250 を含む。

40

## 【 0 0 8 8 】

その他、タイミング制御部 220 は、ゲート駆動部 240 の各ステージの駆動タイミングを決定する複数のクロック信号  $CLK_1 \sim CLK_4$  を生成し、ゲート駆動部 240 に提供する。ここで、第 1 乃至第 4 クロック信号  $CLK_1 \sim CLK_4$  は、ハイ区間が 2 水平期間  $2H$  の間進められ、互いに 1 水平期間  $1H$  が重なる信号である。

## 【 0 0 8 9 】

ゲート駆動部 240 は、液晶ディスプレイパネル 201 の両端、非表示領域  $N/A$  に 2

50

つが備えられる。各ゲート駆動部 240 a、240 b は、シフトレジスタを含む複数のステージからなる。

【0090】

このような第1及び第2ゲート駆動部 240 a、240 b は、タイミング制御部 220 から入力されるゲート制御信号 GCS に応じて水平期間毎にゲート駆動電圧の出力動作を交互に行うことによってゲート駆動電圧が液晶ディスプレイパネル 201 に形成された複数のゲートライン GL1 ~ GLn に水平期間 1H 毎に順に出力されるようにする。ここで、各ゲートラインに出力されたゲート駆動電圧は、ゲートハイ電圧 VGH を 2 水平期間 2H の間維持し、各ゲートライン上のゲート駆動電圧のゲートハイ電圧区間は隣接した前後のゲートライン上のそれらと 1 水平期間 1H の間重なる。これは、ゲートライン GL1 ~ GLn をプレチャージするため、データ電圧の印加時により安定した画素充電を進めることができる。

10

【0091】

このために、第1ゲート駆動部 240 a には、それぞれ 2 水平期間 2H に該当するパルス幅を有する第1及び第3クロック信号 CLK1、CLK3 が印加され、第2ゲート駆動部 240 b には、第1及び第3クロック信号 CLK1、CLK3 と 1 水平期間 1H が重なり、2 水平期間 2H に該当するパルス幅を有する第2及び第4クロック信号 CLK2、CLK4 が印加される。

【0092】

一例として、第1ゲート駆動部 240 a が n 番目のゲートライン GLn にゲートハイ電圧 VGH を出力すると、1 水平期間 1H の後、第2ゲート駆動部 240 b は n+1 番目のゲートライン GLn+1 にゲートハイ電圧 VGH を出力する。

20

【0093】

次いで、1 水平期間 1H の後、再度第1ゲート駆動部 240 a が n+2 番目のゲートライン GLn+2 にゲートハイ電圧 VGH を出力すると、これと同時に、第1ゲート駆動部 240 a は n 番目のゲートライン GLn にゲートロー電圧 VGL を出力して薄膜トランジスタ TFT をターンオフすることで、液晶キャパシタ Clc に充電されたデータ電圧が 1 フレームの間維持されるようにする。第2ゲート駆動部 240 b の場合も第1ゲート駆動部 240 a と同様に動作するが、ゲートラインが互いに交互に連結されている。これについての具体的な説明は第1の実施の形態を参照する。

30

【0094】

特に、本発明は、ゲートライン GLn の電圧がゲートハイ電圧 VGH からロー電圧 VGL に切り替えられる時点で放電回路 TL1 ~ TLj、TR1 ~ TRj をさらに備えてゲートライン GLn の放電遅延を最小化することを特徴とする。前述した放電回路は、各ゲートライン GL1 ~ GLn に対応してその終端と連結され、奇数番目のゲートライン GL1、GL3、・・・、GLn-1 と連結される R 放電回路 TR1 ~ TRj (j は自然数) は、第2ゲート駆動部 240 b に隣接して備えられ、偶数番目のゲートライン GL2n、GL4、・・・、GLn と連結される L 放電回路 TL1 ~ TLj は、第1ゲート駆動部 240 a に隣接して備えられる。

【0095】

本発明では、ゲート駆動部 240 の各ステージも、図 4A 及び図 4B のように、ゲート出力端とキャリア信号 CS 出力端を形成し、放電回路 TL1 ~ TLj、TR1 ~ TRj を初期遅延のないキャリア信号 CS によって制御させた。

40

【0096】

図 8 は、本発明の第2の実施の形態による液晶ディスプレイパネル上に形成されたゲート駆動部及び放電回路の構造を示す図である。

【0097】

図示のように、本発明のゲート駆動部は、液晶ディスプレイパネルの一端に形成される第1ゲート駆動部 240 a 及び他端に形成される第2ゲート駆動部 240 b を含む。一方、放電回路のそれぞれは、シングル放電トランジスタに具現されることができる。したが

50

って、ゲートドライバ240は、第1ゲート駆動部240aの各ステージの間に形成される複数のL-放電トランジスタTL1~TLj及び第2ゲート駆動部240bの各ステージの間に形成される複数のR-放電トランジスタTR1~TRjを含む。

【0098】

各ステージには、4相方式で第1乃至第4クロック信号CLK1~CLK4、ゲートハイ電圧VGH、他のステージから供給されるキャリアー信号CS及びゲートロー電圧VGLが印加され、図示していないが、電源電圧VDD及び接地電圧GNDが印加され得る。特に、第1乃至第4クロック信号CLK1~CLK4は、ハイ区間が2水平期間2Hの間進められ、そのハイ区間が互いに1水平期間1Hずつ重なる信号である。

【0099】

本発明のゲート駆動部240を構成するそれぞれのステージは、従来技術と異なりゲート駆動電圧(ゲートハイ電圧)及び隣接したゲートラインに連結されている放電回路を制御するキャリアー信号を出力する出力部を含む。各ステージの出力部はゲート駆動電圧を出力するゲート出力端及びキャリアー信号を出力するキャリアー出力端を含む(図4A及び図4B参照)。

【0100】

第1ゲート駆動部240aは、第1及び第3クロック信号CLK1、CLK3、ゲートハイ電圧VGH、キャリアー信号CS及びゲートロー電圧VGLを印加され、ゲートスタートパルスGSPに対応する第1スタート電圧Vst1に応じて複数の奇数ゲートラインGL1, GL3, ..., GLn-1にゲート駆動電圧を出力する。ゲート駆動電圧は、薄膜トランジスタをターンオンするゲートハイ電圧パルスを有する。このゲートハイ電圧パルスは2水平同期期間4Hの幅を有する。各ゲートラインに出力されたゲートハイ電圧パルスは、該当ゲートラインと隣接した前後のゲートラインに供給されたゲートハイ電圧パルスと互いに1水平同期期間1Hずつ重なる。

【0101】

このような第1ゲート駆動部240aは、前記第1スタート電圧Vst1に対して互いに直列連結された第1乃至第j(jは自然数)L-ステージSTL1~STLjと、1つのダミーL-ステージDTLからなる。

【0102】

第2ゲート駆動部240bは、第2及び第4クロック信号CLK2、CLK4、ゲートハイ電圧VGH、キャリアー信号CS及びゲートロー電圧VGLを印加され、ゲートスタートパルスGSPに対応する第2スタート電圧Vst2に応じて2水平期間毎に順に複数の偶数番目のゲートラインGL2n, GL4, ..., GLnにゲート駆動電圧を出力する。偶数番目のゲートラインGL2n, GL4, ..., GLnに供給されたゲート駆動電圧は、奇数番目のゲートラインGL1, GL3, ..., GLn-1上のそれらと同じゲートハイ電圧パルスを有する。

【0103】

このような第2ゲート駆動部240bは、第2スタート電圧Vst2に対して互いに直列連結された第1乃至第j(jは自然数)R-ステージSTR1~STRjと、1つのダミーR-ステージDTRからなる。

【0104】

また、前記ゲート駆動部240は、ダミーLステージDTLを含むL-ステージSTL1~STLjの間には配置されたL-放電トランジスタTL1~TLjを備える。

【0105】

L-放電トランジスタTL1~TLjの第1電極は、R-ステージSTR1~STRjの出力端及びダミーR-ステージDTRの出力端と連結される偶数番目のゲートラインGL2n, GL4, ..., GLnと連結される。ゲート電極は、第1電極が接続されたRステージより後順のRステージまたはダミーRステージのキャリアー信号出力端と連結される。そして、L-放電トランジスタTL1~TLjの第2電極には、ゲートロー電圧VGL供給ラインが連結される。

10

20

30

40

50

## 【0106】

すなわち、第1L-放電トランジスタTL1の第1電極は、第2ゲートラインGL2と連結され、ゲート電極は、第4ゲートラインGL4と連結された第2RステージSTL2のキャリア信号出力端CSと連結され、第2電極には、ゲートロー電圧VGLが印加される構造である。

## 【0107】

また、前記ゲート駆動部240は、ダミーRステージDTRを含むR-ステージSTR1~STRjの間には配置されたR-放電トランジスタTR1~TRjを備える。

## 【0108】

R-放電トランジスタTR1~TRjの第1電極は、L-ステージSTL1~STLkの出力端と連結される奇数番目のゲートラインGL1, GL3, ..., GLn-1と連結される。ゲート電極は、第1電極が接続されたLステージより後順のLステージまたはダミーLステージのキャリア信号出力端と連結される。そして、R-放電トランジスタTR1~TRjの第2電極には、ゲートロー電圧VGL供給ラインが連結される。

10

## 【0109】

すなわち、第1R-放電トランジスタTR1の第1電極は、第1ゲートラインGL1と連結され、ゲート電極は、第3ゲートラインにゲートハイ電圧を供給する第2Lステージのキャリア信号出力端と連結され、第2電極には、ゲートロー電圧VGLが印加される構造である。

## 【0110】

本発明の第2の実施の形態は第1の実施の形態の動作と同じ動作を行うが、4相クロック信号CLK1~CLK4によって第1ゲートラインGL1に連結されている第1R-放電トランジスタTR1のターンオン信号を反対側の第2L-ステージSTL2のキャリア信号CSに使用する。

20

## 【0111】

また、第2ゲートラインGL2に連結されている第1L-放電トランジスタTL1のターンオン信号は、反対側の第2R-ステージSTR2のキャリア信号CSを使用する。

## 【0112】

すなわち、それぞれのゲートラインGL1, ..., GLnに連結されている放電回路TL1~TLj, TR1~TRjをゲートラインに供給されるゲートハイ電圧VGHを使用せず、それぞれのステージから独立して出力されるキャリア信号CSを使用してゲートハイ電圧VGHの遅延を防止した。

30

## 【0113】

図9は、本発明の第2の実施の形態による液晶表示装置のゲートラインに供給されたゲート駆動電圧の変化を示す図である。

## 【0114】

図8及び図9に示すように、本発明の第2の実施の形態による放電回路を備えた液晶表示装置において、各ゲートラインGL1~GLnは、2水平期間2Hの間ゲートハイ電圧VGHレベルに充電された後、再度ゲートロー電圧VGLレベルに放電される。この時、隣接したゲートラインGL1~GLnの間には1水平期間1Hずつ重なり、同じゲート駆動部と連結されるライン上のゲートハイ電圧VGHは時間的に互いに重ならなくなる。ここで、データ電圧dは、ゲートラインGLn-1~GLnの間の重なる期間のうち、1水平期間1Hの間に各画素に印加される。

40

## 【0115】

特に、図示のように、ゲートラインの放電時には、両側端にゲートロー電圧VGLが印加されて急激な傾斜をなし、ゲートロー電圧VGLレベルに遷移されるようになる(図9のF)。

## 【0116】

本発明では、図8に示すように、第1ゲートラインGL1に連結されている第1R-放電トランジスタTR1が第3ゲートラインGL3に連結された第2LステージSTL2の

50

キャリア信号CSによってターンオンされるため、第1ゲートラインGL1のゲートハイ電圧VHGが「ロー」状態に遷移される時、遅延なく即座に放電される。点線(図9のY、-)は第3ゲートラインGLに供給されるゲートハイ電圧VHGに第1R-放電トランジスタTR1がターンオンした場合、ゲートハイ電圧VHGが「ハイ」から「ロー」に遷移される時、遅延が生じる問題点を示したものである。

【0117】

図示のように、第1ゲート駆動部240aと第2ゲート駆動部240bに配置されている放電回路(L-放電トランジスタとR-放電トランジスタ)を制御するキャリア信号CSの前段がゲートハイ電圧VHGの前段と異なり非常に理想的に「ロー」状態から「ハイ」状態に遷移されることがわかる。

10

【0118】

したがって、それぞれのゲートラインGL1,・・・GLnに連結されている放電トランジスタは、各ステージで供給されるキャリア信号によって速かにターンオン/ターンオフされ、ゲートハイ電圧VGHを放電させる。

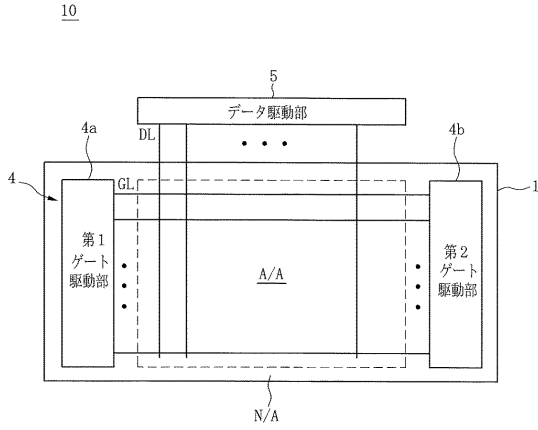
【符号の説明】

【0119】

- 101 : 液晶ディスプレイパネル
- 120 : タイミング制御部
- 125 : データ駆動部
- 140 : ゲート駆動部
- A/A : 表示領域
- N/A : 非表示領域
- TL1 ~ TLj : L-放電回路(放電トランジスタ)
- TR1 ~ TRj : R-放電回路(放電トランジスタ)
- TFT : 薄膜トランジスタ
- Clc : 液晶キャパシタ
- Cst : ストレージキャパシタ

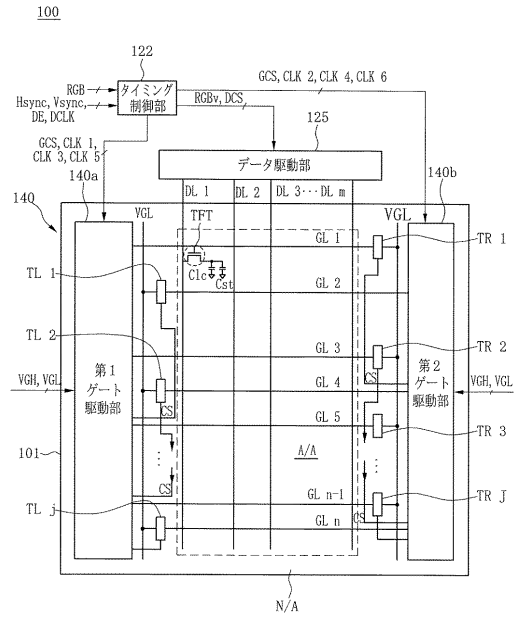
20

【 図 1 】



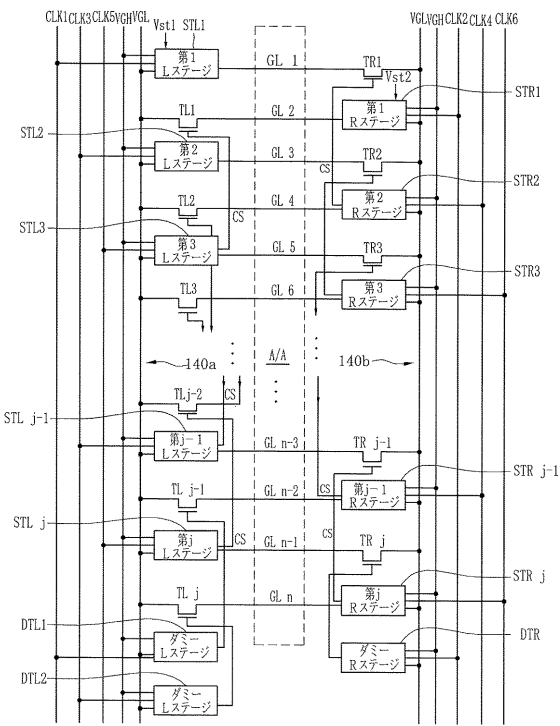
10

【 図 2 】

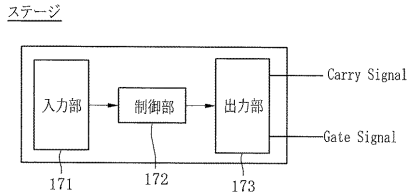


100

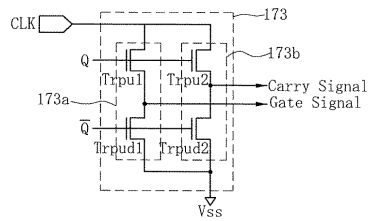
【 図 3 】



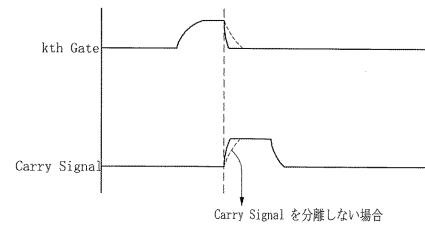
【 図 4 A 】



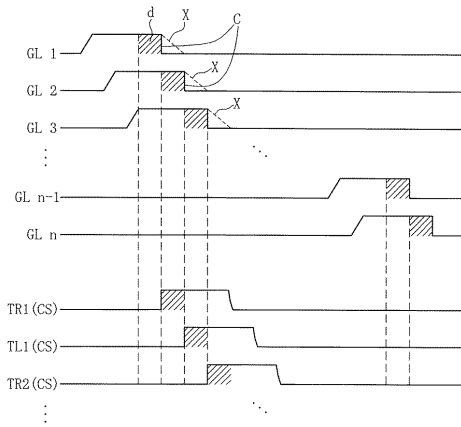
【 図 4 B 】



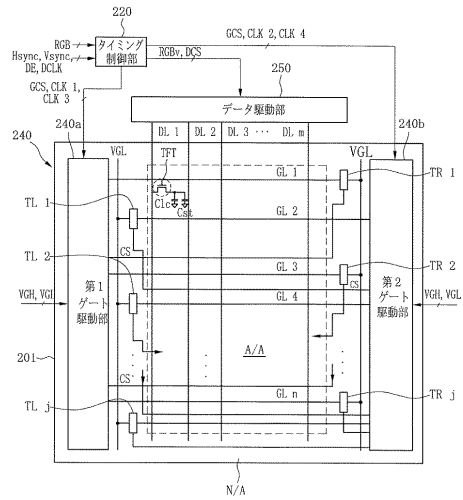
【 図 5 】



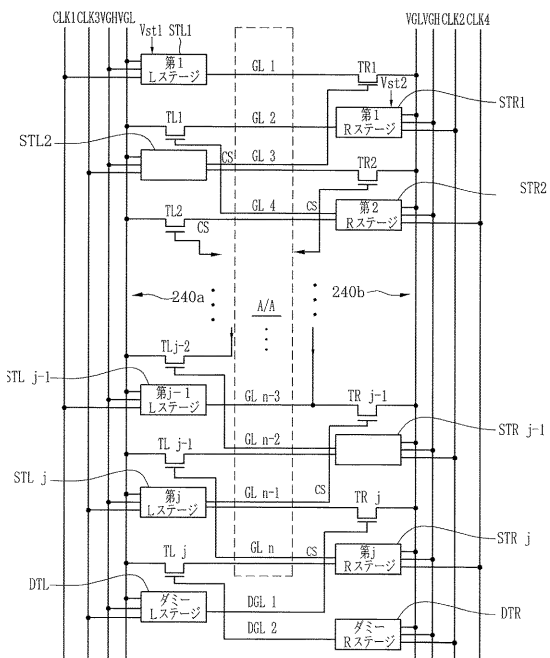
【図6】



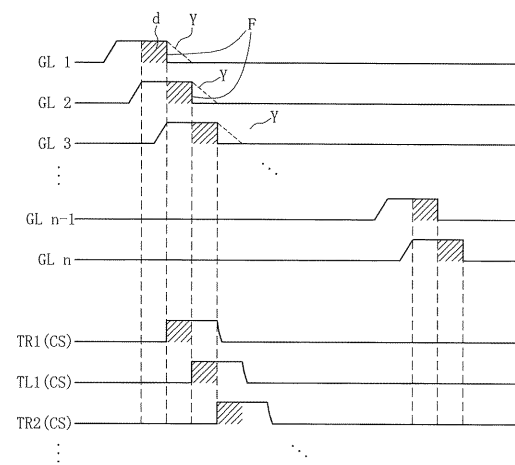
【図7】



【図8】



【図9】



---

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
G 0 2 F 1/133 5 5 0  
G 0 9 G 3/20 6 1 1 J

(72)発明者 チョイ、ジョン・ミ

大韓民国、4 1 3 - 8 3 3 キョンギ - ド、パジュ - シ、ギョハ - ウブ、ドンペ - リ、シンドンア  
アパートメント 1 1 0 7 - 9 0 2

Fターム(参考) 2H193 ZA04 ZB02 ZC24 ZC34 ZF23 ZF24 ZF44 ZF51  
5C006 AC22 BB16 BC03 BC06 BC22  
5C080 AA10 BB05 DD08 FF07 FF11 JJ02 JJ03 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP2014071451A</a>	公开(公告)日	2014-04-21
申请号	JP2012279392	申请日	2012-12-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	チョイジョンミ		
发明人	チョイ、ジョン・ミ		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3696 G09G3/3655 G09G3/3659 G09G3/3677 G09G3/3688 G09G2310/0251 G09G2310/0286 G09G2320/02 G11C19/287		
FI分类号	G09G3/36 G09G3/20.612.J G09G3/20.622.M G09G3/20.622.D G09G3/20.622.G G02F1/133.550 G09G3/20.611.J		
F-TERM分类号	2H193/ZA04 2H193/ZB02 2H193/ZC24 2H193/ZC34 2H193/ZF23 2H193/ZF24 2H193/ZF44 2H193/ZF51 5C006/AC22 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC22 5C080/AA10 5C080/BB05 5C080/DD08 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	Kajinami秩序 上田俊一 吉田纯一郎		
优先权	1020120109249 2012-09-28 KR		
其他公开文献	JP5728465B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

摘要：要解决的问题：提供一种改善了栅极驱动电压特性的液晶显示器件。解决方案：液晶显示装置包括：具有n条栅极线的液晶面板；定时控制部分，用于根据定时信号产生时钟信号；第一栅极驱动部分，用于响应第一，第三和第五时钟信号向第2k-1栅极线施加栅极高电压；第二栅极驱动部分，用于响应第二，第四和第六时钟信号将栅极高电压施加到第2k栅极线；L-放电电路，用于响应于第2k+1栅极线的电平，将栅极低电压施加到第2k-1栅极线的另一侧；以及R-放电电路，用于响应于第2k+2栅极线的电平将栅极低电压施加到第2k栅极线的另一侧。第一和第二栅极驱动部分包括多个L和R级，其包括用于控制栅极输出端子以输出栅极高电压的进位信号输出端子和用于控制L和R放电电路的进位信号输出端子。。

