

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-238644

(P2013-238644A)

(43) 公開日 平成25年11月28日(2013.11.28)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1343 (2006.01)	G02F 1/1343	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	2H193
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/20 624C	5C080
G09G 3/36 (2006.01)	G09G 3/20 680H	
審査請求 未請求 請求項の数 7 O L (全 20 頁) 最終頁に続く		

(21) 出願番号 特願2012-109559 (P2012-109559)
 (22) 出願日 平成24年5月11日 (2012.5.11)

(71) 出願人 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110001737
 特許業務法人スズエ国際特許事務所
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100159651
 弁理士 高倉 成男
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100075672
 弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 液晶表示装置

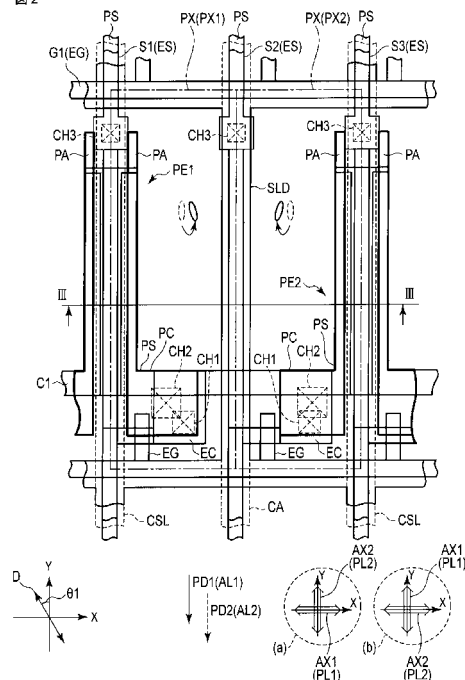
(57) 【要約】

【課題】表示品位の劣化を抑制する液晶表示装置を提供する。

【解決手段】画素電極 P E と、第 1 方向 X の一方側に配置されたソース配線 S と画素電極 P E との接続を切替えるスイッチング素子 S W と、を備えた第 1 基板 A R と、第 2 方向 Y に延びた共通電極 C E を備えた第 2 基板 C T と、第 1 基板 A R と第 2 基板 C T との間に保持された液晶分子を含む液晶層 L Q と、を備え、画素電極 P E は、第 1 方向 X に並んで配置されるとともに、ソース配線 S と略平行に延びた主画素電極 P A を備えた第 1 画素電極 P E と第 2 画素電極 P E とを備え、共通電極 C E は、第 1 方向 X において第 1 画素電極 P E の他方側に配置されるとともに第 2 画素電極 P E の一方側に配置され、第 1 画素電極 P E の主画素電極 P A は、第 1 方向 X の一方側に配置されたソース配線 S に沿って配置され、第 2 画素電極 P E の主画素電極 P A は、第 1 方向 X の他方側のソース配線 S に沿って配置された液晶表示装置。

【選択図】 図 2

図 2



【特許請求の範囲】**【請求項 1】**

ゲート配線と、前記ゲート配線と交差するソース配線と、前記ゲート配線間および前記ソース配線間に配置され、前記ゲート配線が延びる方向に並んで配置されるとともに、前記ソース配線と略平行に延びた主画素電極を備えた画素電極と、を備えた第 1 基板と、前記ソース配線と略平行に延びた共通電極を備えた第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、を備え、前記画素電極は、前記主画素電極が前記ゲート配線の延びる方向の一方側に配置された前記ソース配線に沿って配置された第 1 画素電極と、前記ゲート配線の延びる方向の他方側の前記ソース配線に沿って配置された第 2 画素電極と、を備え、前記共通電極は、前記ゲート配線が延びる方向において前記第 1 画素電極の他方側に配置されるとともに前記第 2 画素電極の一方側に配置された液晶表示装置。

10

【請求項 2】

前記第 1 画素電極と前記第 2 画素電極とは、前記ゲート配線が延びる方向に交互に並んで配置されるとともに、前記ソース配線が延びる方向に交互に並んで配置される請求項 1 記載の液晶表示装置。

【請求項 3】

前記第 1 基板は、前記画素電極に対して前記ゲート配線が延びる方向の一方側に配置された前記ソース配線と前記画素電極との電気的接続を切替えるスイッチング素子と、前記ゲート配線と略平行に延びるとともに前記主画素電極および前記ソース配線に沿って分岐した補助容量線と、をさらに備え、

20

前記スイッチング素子は、分岐した前記補助容量線と絶縁層を介して重なるように延びた半導体層を備える請求項 1 又は請求項 2 記載の液晶表示装置。

【請求項 4】

前記共通電極は、前記ソース配線と対向するように配置されている請求項 1 乃至請求項 3 のいずれか 1 項記載の液晶表示装置。

【請求項 5】

前記第 1 基板は、前記第 1 画素電極の他方側であって前記第 2 画素電極の一方側に配置された前記ソース配線の部分の上層に配置されたシールド層を更に備える請求項 1 乃至請求項 4 のいずれか 1 項記載の液晶表示装置。

30

【請求項 6】

前記第 2 基板は、前記第 1 画素電極の一方側であって前記第 2 画素電極の他方側に配置された前記ソース配線の部分と対向する第 2 シールド層を更に備える請求項 1 乃至請求項 5 のいずれか 1 項記載の液晶表示装置。

【請求項 7】

前記ゲート配線および前記ソース配線を駆動する駆動回路を更に備え、

前記駆動回路は、1 フレーム期間において前記ゲート配線が延びる方向に隣接した前記ソース配線に異なる極性の電圧を印加するとともに、フレーム期間単位で前記ソース配線に印加する電圧の極性を反転する請求項 1 乃至請求項 6 のいずれか 1 項記載の液晶表示装置。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の実施形態は、液晶表示装置に関する。

【背景技術】**【0002】**

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In-Plane Switching) モードや FFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を

50

利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0004】

10

【特許文献1】特開平9-160041号公報

【特許文献2】特開2009-192822号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

実施形態によれば、ゲート配線と、前記ゲート配線と交差するソース配線と、前記ゲート配線間および前記ソース配線間に配置され、前記ゲート配線が延びる方向に並んで配置されるとともに、前記ソース配線と略平行に延びた主画素電極を備えた画素電極と、前記画素電極に対して前記ゲート配線が延びる方向の一方側に配置された前記ソース配線と前記画素電極との電気的接続を切替えるスイッチング素子と、を備えた第1基板と、前記ソース配線と略平行に延びた共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備え、前記画素電極は、前記主画素電極が前記ゲート配線の延びる方向の一方側に配置された前記ソース配線に沿って配置された第1画素電極と、前記ゲート配線の延びる方向の他方側の前記ソース配線に沿って配置された第2画素電極と、を備え、前記共通電極は、前記ゲート配線が延びる方向において前記第1画素電極の他方側に配置されるとともに前記第2画素電極の一方側に配置された液晶表示装置が提供される。

20

30

【図面の簡単な説明】

【0007】

【図1】図1は、実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【図2】図2は、図1に示した液晶表示パネルを対向基板側から見たときに、第1方向に並んだ2つの画素の構造例を概略的に示す平面図である。

【図3】図3は、図2に示した液晶表示パネルをIII-III線で切断したときの断面構造を概略的に示す断面図である。

【図4】図4は、中間調の画面の中央に白色の窓を表示するときにソース配線の電位波形の一例を示す図である。

40

【図5】図5は、中間調の画面の中央に白色の窓を表示した一例を示す図である。

【図6】図6は、アクティブエリアにおける第1画素と第2画素との配置の一例を示す図である。

【発明を実施するための形態】

【0008】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0009】

50

図 1 は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【 0 0 1 0 】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネル L P N を備えている。液晶表示パネル L P N は、第 1 基板であるアレイ基板 A R と、アレイ基板 A R に対向して配置された第 2 基板である対向基板 C T と、これらのアレイ基板 A R と対向基板 C T との間に保持された液晶層 L Q と、を備えている。このような液晶表示パネル L P N は、画像を表示するアクティブエリア A C T を備えている。このアクティブエリア A C T は、 $m \times n$ 個のマトリクス状に配置された複数の画素 P X によって構成されている（但し、 m 及び n は正の整数である）。

10

【 0 0 1 1 】

液晶表示パネル L P N は、アクティブエリア A C T において、 n 本のゲート配線 G ($G_1 \sim G_n$)、 n 本の補助容量線 C ($C_1 \sim C_n$)、 m 本のソース配線 S ($S_1 \sim S_m$) などを備えている。ゲート配線 G 及び補助容量線 C は、例えば、第 1 方向 X に沿って略直線的に延出している。ゲート配線 G 及び補助容量線 C は、第 1 方向 X に交差する第 2 方向 Y に沿って並んで配置されている。ここでは、第 1 方向 X と第 2 方向 Y とは互いに略直交している。ソース配線 S は、ゲート配線 G 及び補助容量線 C と交差している。ソース配線 S は、第 2 方向 Y に沿って略直線的に延出している。なお、ゲート配線 G、補助容量線 C、及び、ソース配線 S は、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

20

【 0 0 1 2 】

各ゲート配線 G は、アクティブエリア A C T の外側に引き出され、ゲートドライバ G D に接続されている。各ソース配線 S は、アクティブエリア A C T の外側に引き出され、ソースドライバ S D に接続されている。これらのゲートドライバ G D 及びソースドライバ S D (駆動回路) の少なくとも一部は、例えば、アレイ基板 A R に形成され、コントローラを内蔵した駆動 I C チップ 2 と接続されている。

【 0 0 1 3 】

各画素 P X は、スイッチング素子 S W、画素電極 P E、共通電極 C E、補助容量 C S などを備えている。補助容量 C S は、例えば補助容量線 C とスイッチング素子 S W の半導体層との間に形成される。補助容量線 C は、補助容量電圧が印加される電圧印加部 V C S と電氣的に接続されている。

30

【 0 0 1 4 】

なお、本実施形態においては、液晶表示パネル L P N は、画素電極 P E がアレイ基板 A R に形成される一方で共通電極 C E の少なくとも一部が対向基板 C T に形成された構成であり、これらの画素電極 P E と共通電極 C E との間に形成される電界を主に利用して液晶層 L Q の液晶分子をスイッチングする。画素電極 P E と共通電極 C E との間に形成される電界は、第 1 方向 X と第 2 方向 Y とで規定される X - Y 平面あるいは基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

【 0 0 1 5 】

スイッチング素子 S W は、例えば、 n チャネル薄膜トランジスタ (T F T) によって構成されている。このスイッチング素子 S W は、ゲート配線 G 及びソース配線 S と電氣的に接続されている。このようなスイッチング素子 S W は、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子 S W の半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

40

【 0 0 1 6 】

画素電極 P E は、各画素 P X に配置され、スイッチング素子 S W に電氣的に接続されている。共通電極 C E は、液晶層 L Q を介して複数の画素 P X の画素電極 P E に対して共通に配置されている。このような画素電極 P E 及び共通電極 C E は、例えば、インジウム・ティン・オキサイド (I T O) やインジウム・ジंक・オキサイド (I Z O) などの光透

50

過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

【0017】

アレイ基板ARは、共通電極CEに電圧を印加するための給電部VSを備えている。この給電部VSは、例えば、アクティブエリアACTの外側に形成されている。共通電極CEは、アクティブエリアACTの外側に引き出され、図示しない導電部材を介して、給電部VSと電氣的に接続されている。

【0018】

図2は、図1に示した液晶表示パネルLPNを対向基板側から見たときに、第1方向Xに並んだ2つの画素PXの構造例を概略的に示す平面図である。ここでは、X-Y平面における平面図を示している。

10

【0019】

図示した画素PXのそれぞれは、破線で示したように、第1方向Xに沿った長さが第2方向Yに沿った長さよりも短い長方形形状である。ゲート配線G1及びゲート配線G2は、第1方向Xに沿って延出している。ソース配線S1乃至ソース配線S3は、第2方向Yに沿って延出している。画素電極PEは、隣接するソース配線S1とソース配線S2との間、及び、ソース配線S2とソース配線S3との間にそれぞれ配置されている。また、画素電極PEは、ゲート配線G1とゲート配線G2との間に配置されている。

【0020】

図示した例では、画素PXは第1画素電極PE1が配置された第1画素PX1と、第2画素電極PE2が配置された第2画素PX2とを有している。第1画素PX1と第2画素PX2とは第1方向Xに並んで配置されている。

20

【0021】

第1画素PX1において、ソース配線S1は左側端部に配置され、ソース配線S2は右側端部に配置されている。厳密には、ソース配線S1は当該第1画素PX1とその左側に隣接する画素との境界に跨って配置され、ソース配線S2は当該第1画素PX1とその右側に隣接する第1画素PX2との境界に跨って配置されている。

【0022】

第2画素PX2において、ソース配線S2は左側端部に配置され、ソース配線S3は右側端部に配置されている。厳密には、ソース配線S2は当該第2画素PX2とその左側に隣接する第1画素PX1との境界に跨って配置され、ソース配線S3は当該第2画素PX2とその右側に隣接する画素との境界に跨って配置されている。

30

【0023】

また、ゲート配線G1は当該第1画素PX1および第2画素PX2の上側端部に沿って配置され、ゲート配線G2は当該第1画素PX1および第2画素PX2の下側端部に配置されている。厳密には、ゲート配線G1は当該第1画素PX1および第2画素PX2とその上側に隣接する画素との境界に跨って配置され、ゲート配線G2は当該第1画素PX1および第2画素PX2とその下側に隣接する画素との境界に跨って配置されている。

【0024】

補助容量線C1は、ゲート配線G1とゲート配線G2との間において、ゲート配線G2近傍に第1方向Xに延びるとともに、ソース配線S1及びソース配線S3に沿って分岐してゲート配線G1側に延びている。

40

【0025】

なお、本実施形態では補助容量線Cは画素PXの境界を遮光する遮光層としても用いられている。アレイ基板10に遮光層を設けることにより、対向基板CTとアレイ基板10とを貼り合わせる際のズレにより開口率が低下することを回避することができる。また、補助容量線Cに共通電極CEと同じ電圧を印加することにより、上層に配置されたソース配線Sからの漏れ電界の液晶の配向に対する影響を抑制することができる。

【0026】

スイッチング素子SWは、第1方向Xにおいて画素電極PEの一方側のソース配線Sと

50

当該画素電極 P E との電氣的接続を切替える。スイッチング素子 S W は、ゲート電極 E G と、ソース電極 E S と、ドレイン電極 E D と、半導体層 P S とを備えている。ゲート電極 E G は、対応するゲート配線 G と電氣的に接続されている（あるいは一体に形成されている）。ソース電極 E S は対応するソース配線 S と電氣的に接続されている（あるいは一体に形成されている）。ドレイン電極 E D は、対応する画素電極 P E と電氣的に接続されている（あるいは一体に形成されている）。半導体層 P S は、一端がソース配線 S と電氣的に接続し、他端が画素電極 P E と電氣的に接続し、一端と他端との間でゲート電極 E G とゲート絶縁膜（図示せず）を介して対向している。図示した例では、半導体層 P S とゲート電極 E G とはゲート絶縁膜を介して 2 箇所に対向している。

【 0 0 2 7 】

10

第 1 画素 P X 1 のスイッチング素子 S W は、図示した例では、ゲート配線 G 2 及びソース配線 S 1 に電氣的に接続されている。スイッチング素子 S W は、ゲート配線 G 2 とソース配線 S 1 との交点近傍に設けられている。

【 0 0 2 8 】

スイッチング素子 S W のソース電極 E S はソース配線 S 1 と電氣的に接続され（あるいは一体に形成され）、ゲート配線 G 2 を越えて隣接する画素側でコンタクトホール C H 3 において半導体層 P S と電氣的に接続している。

【 0 0 2 9 】

スイッチング素子 S W のゲート電極 E G は、ゲート配線 G 2 と電氣的に接続され（あるいは一体に形成され）、第 2 方向 Y に延びた半導体層 P S と 2 箇所に対向している。すなわち、スイッチング素子 S W はダブルゲート型のスイッチング素子である。

20

【 0 0 3 0 】

第 1 画素 P X 1 のスイッチング素子 S W において、半導体層 P S は、画素電極 P E と接続した端部がソース配線 S 1 に沿って延長され、分岐した補助容量線 C 1 の下層に沿って延びている。半導体層 P S はゲート配線 G 1 近傍まで補助容量線 C 1 と重なって配置されている。

【 0 0 3 1 】

半導体層 P S は、ゲート配線 G 2 近傍に形成されたコンタクトホール C H 1 においてコンタクト電極 E C と電氣的に接続されている。コンタクト電極 E C は、ゲート配線 G 2 近傍に形成されたコンタクトホール C H 2 において画素電極 P E と電氣的に接続されている。

30

【 0 0 3 2 】

第 2 画素 P X 2 のスイッチング素子 S W は、図示した例では、ゲート配線 G 2 及びソース配線 S 2 に電氣的に接続されている。スイッチング素子 S W は、ゲート配線 G 2 とソース配線 S 2 との交点に設けられている。

【 0 0 3 3 】

スイッチング素子 S W のソース電極 E S は、ソース配線 S 2 と電氣的に接続され（あるいは一体に形成され）、ゲート配線 G 2 を越えて隣接する画素側でコンタクトホール C H 3 において半導体層 P S と電氣的に接続している。

【 0 0 3 4 】

40

スイッチング素子 S W のゲート電極 E G は、ゲート配線 G 2 と電氣的に接続され（あるいは一体に形成され）、第 2 方向 Y に延びた半導体層 P S と 2 箇所に対向している。すなわち、スイッチング素子 S W はダブルゲート型のスイッチング素子である。

【 0 0 3 5 】

第 2 画素 P X 2 のスイッチング素子 S W において、半導体層 P S は、画素電極 P E と接続した端部がソース配線 S 3 に沿って延長され、分岐した補助容量線 C 1 の下層に沿って延びている。半導体層 P S はゲート配線 G 1 近傍まで補助容量線 C 1 と重なって配置されている。

【 0 0 3 6 】

半導体層 P S は、ゲート配線 G 2 近傍に形成されたコンタクトホール C H 1 においてコ

50

ンタクト電極 E C と電氣的に接続されている。コンタクト電極 E C は、ゲート配線 G 2 近傍に形成されたコンタクトホール C H 2 において画素電極 P E と電氣的に接続されている。

【 0 0 3 7 】

このようなスイッチング素子 S W は、ソース配線 S および主画素電極 P A と重なる領域に設けられ、表示に寄与する開口部の面積の低減を抑制している。

【 0 0 3 8 】

画素電極 P E は、互いに電氣的に接続された主画素電極 P A 及びコンタクト部 P C を備えている。

主画素電極 P A は、コンタクト部 P C から画素 P X の上側端部付近まで第 2 方向 Y に沿って直線的に延出している。主画素電極 P A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

【 0 0 3 9 】

コンタクト部 P C は、コンタクトホール C H 1、C H 2 においてコンタクト電極 E C およびスイッチング素子 S W の半導体層 P S と電氣的に接続されている。コンタクト部 P C は、主画素電極 P A よりも幅広に形成されている。

【 0 0 4 0 】

本実施形態では、第 1 画素電極 P E 1 の主画素電極 P A は、第 1 画素 P X 1 のスイッチング素子 S W が接続されたソース配線 S 1 近傍に第 2 方向 Y に沿って配置されている。第 2 画素電極 P E 2 の主画素電極 P A は、第 2 画素 P X 2 のスイッチング素子 S W が接続されないソース配線 S 3 近傍に第 2 方向 Y に沿って配置されている。

【 0 0 4 1 】

すなわち、第 1 画素電極 P E 1 の主画素電極 P A は第 1 方向 X の一方側のソース配線 S 1 に沿って配置され、第 2 画素電極 P E 2 の主画素電極 P A は第 1 方向 X の他方側のソース配線 S 3 に沿って配置されている。

【 0 0 4 2 】

換言すると、ソース配線 S 1 の第 1 方向 X における両脇には、左側の画素の主画素電極 P A と右側の第 1 画素 P X 1 の主画素電極 P A とが第 2 方向 Y に延びて配置されている。ソース配線 S 2 の第 1 方向 X における両脇には主画素電極 P A が配置されない。ソース配線 S 3 の第 1 方向 X における両脇には、左側の第 2 画素 P X 2 の主画素電極 P A と右側の画素の主画素電極 P A とが第 2 方向に延びて配置されている。

【 0 0 4 3 】

シールド層 S L D は、ゲート配線 G 1、G 2 と対向するように配置されているとともに、ソース配線 S 2 と対向するように配置されている。すなわち、シールド層 S L D は、主画素電極 P A が両脇に配置されていないソース配線 S 2 と、ゲート配線 G 1、G 2 とに対向している。シールド層 S L D は、例えば共通電極 C E と同電位である。

【 0 0 4 4 】

共通電極 C E は、主共通電極 C A を備えている。主共通電極 C A は、X - Y 平面内において、主画素電極 P A 間において主画素電極 P A と所定の距離をおいて配置され、主画素電極 P A と略平行な第 2 方向 Y に延びている。あるいは、主共通電極 C A は、X - Y 平面内において、両脇に主画素電極 P A が配置されないソース配線 S と対向するとともに主画素電極 P A と略平行に延出している。主共通電極 C A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

【 0 0 4 5 】

図示した例では、主共通電極 C A は、第 1 画素 P X 1 と第 2 画素 2 との境界に跨って配置されている。主共通電極 C A はソース配線 S 2 と対向している。主共通電極 C A は、アクティブエリア内あるいはアクティブエリア外において他の主共通電極と互いに電氣的に接続されている。

【 0 0 4 6 】

第 1 画素 P X 1 において、主共通電極 C A は右側端部に配置されている。厳密には、主

10

20

30

40

50

共通電極 C A は当該第 1 画素 P X 1 とその右側に隣接する第 2 画素 P X 2 との境界に跨って配置されている。

【 0 0 4 7 】

第 1 画素 P X 1 の画素電極 P E と主共通電極 C A との位置関係に着目すると、主画素電極 P A は第 1 画素 P X 1 の左側端部に配置され、主共通電極 C A は第 1 画素 P X 1 の右側端部に配置されている。主画素電極 P A と主共通電極 C A とは互いに略平行に配置されている。このとき、X - Y 平面内において、主共通電極 C A は画素電極 P E とは重ならない。

【 0 0 4 8 】

第 2 画素 P X 2 において、主共通電極 C A は左側端部に配置されている。厳密には、主共通電極 C A は当該第 2 画素 P X 2 とその左側に隣接する第 1 画素 P X 1 との境界に跨って配置されている。

【 0 0 4 9 】

第 2 画素 P X 2 の画素電極 P E と主共通電極 C A との位置関係に着目すると、主画素電極 P A は第 2 画素 P X 2 の右側端部に配置され、主共通電極 C A は第 2 画素 P X 2 の左側端部に配置されている。主画素電極 P A と主共通電極 C A とは互いに略平行に配置されている。このとき、X - Y 平面内において、主共通電極 C A は画素電極 P E とは重ならない。

【 0 0 5 0 】

すなわち、隣接する第 1 画素 P X 1 の主画素電極 P A と第 2 画素電極 P X 2 の主画素電極 P A との間には、1 本の主共通電極 C A が位置している。換言すると、第 1 画素 P X 1 の主画素電極 P A と第 2 画素 P X 2 の主画素電極 P A とは、主共通電極 C A と対向する位置を挟んだ両側に配置されている。このため、第 1 画素 P X 1 の主画素電極 P A、主共通電極 C A、及び、第 2 画素 P X 2 の主画素電極 P A は、第 1 方向 X に沿って左から右へこの順に配置されている。

【 0 0 5 1 】

これらの主画素電極 P A と主共通電極 C A との第 1 方向 X に沿った間隔は略一定である。すなわち、主共通電極 C A と第 1 画素 P X 1 の主画素電極 P A との第 1 方向 X に沿った間隔は、主共通電極 C A と第 2 画素 P X 2 の主画素電極 P A との第 1 方向 X に沿った間隔と略同等である。

【 0 0 5 2 】

本実施形態では、ソース配線 S 1、S 3 と対向する位置にシールド層 C S L が配置されている。シールド層 C S L は、第 1 方向 X における両脇に主画素電極 P A が配置されたソース配線 S と対向する位置に配置されている。シールド層 C S L は共通電極 C E と同層に配置され、共通電極 C E と同じ材料で同時に形成される。

【 0 0 5 3 】

図 3 は、図 2 に示した液晶表示パネル L P N を I I I - I I I 線で切断したときの断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。

【 0 0 5 4 】

液晶表示パネル L P N を構成するアレイ基板 A R の背面側には、バックライト 4 が配置されている。バックライト 4 としては、種々の形態が適用可能であり、また、光源として発光ダイオード (L E D) を利用したものや冷陰極管 (C C F L) を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【 0 0 5 5 】

アレイ基板 A R は、光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。スイッチング素子 S W の半導体層 P S は、第 1 絶縁基板 1 0 の上に形成され、ゲート絶縁膜 1 1 に覆われている。補助容量線 C は、ゲート絶縁膜 1 1 上に形成され、第 1 層間絶縁膜 1 2 に覆われている。ソース配線 S は、第 1 層間絶縁膜 1 2 の上に形成され、第 2 層間絶縁膜 1 3 によって覆われている。ゲート絶縁膜 1 1 を介して半導体層 P S と補助容量線 C と

10

20

30

40

50

が対向する部分で補助容量ＣＳが形成される。

【００５６】

なお、図示しないゲート配線は、例えば、補助容量線Ｃと同層のゲート絶縁膜１１と第１層間絶縁膜１２との間に配置されている。コンタクト電極ＥＣは、例えばソース配線Ｓと同層の第１層間絶縁膜１２と第２層間絶縁膜１３との間に配置されている。

【００５７】

画素電極ＰＥおよびシールド層ＳＬＤは、第２層間絶縁膜１３の上に形成されている。画素電極ＰＥは、隣接するソース配線Ｓのそれぞれの直上の位置よりもそれらの内側に位置している。シールド層ＳＬＤはソース配線Ｓと対向して配置されている。

【００５８】

第１配向膜ＡＬ１は、アレイ基板ＡＲの対向基板ＣＴと対向する面に配置され、アクティブエリアＡＣＴの略全体に亘って延在している。この第１配向膜ＡＬ１は、画素電極ＰＥなどを覆い、第２層間絶縁膜１３の上にも配置されている。このような第１配向膜ＡＬ１は、水平配向性を示す材料によって形成されている。

【００５９】

なお、アレイ基板ＡＲは、さらに、共通電極ＣＥの一部を備えていても良い。

【００６０】

対向基板ＣＴは、光透過性を有する第２絶縁基板２０を用いて形成されている。対向基板ＣＴは、ブラックマトリクスＢＭ、カラーフィルタＣＦ、オーバーコート層ＯＣ、共通電極ＣＥ、シールド層ＣＳＬ、第２配向膜ＡＬ２などを備えている。

【００６１】

ブラックマトリクスＢＭは、各画素ＰＸを区画し開口部ＡＰを形成する。すなわち、ブラックマトリクスＢＭは、ソース配線Ｓ、ゲート配線、補助容量線、スイッチング素子などの配線部に対向するように配置されている。ここでは、ブラックマトリクスＢＭは、第２方向Ｙに沿って延出した部分のみが図示されているが、第１方向Ｘに沿って延出した部分を備えていても良い。このブラックマトリクスＢＭは、第２絶縁基板２０のアレイ基板ＡＲに対向する内面２０Ａに配置されている。

【００６２】

カラーフィルタＣＦは、各画素ＰＸに対応して配置されている。すなわち、カラーフィルタＣＦは、第２絶縁基板２０の内面２０Ａにおける開口部ＡＰに配置されるとともに、その一部がブラックマトリクスＢＭに乗り上げている。第１方向Ｘに隣接する画素ＰＸにそれぞれ配置されたカラーフィルタＣＦは、互いに色が異なる。例えば、カラーフィルタＣＦは、赤色、青色、緑色といった３原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタＣＦＲは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタＣＦＢは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタＣＦＧは、緑色画素に対応して配置されている。これらのカラーフィルタＣＦ同士の境界は、ブラックマトリクスＢＭと重なる位置にある。

【００６３】

オーバーコート層ＯＣは、カラーフィルタＣＦを覆っている。このオーバーコート層ＯＣは、カラーフィルタＣＦの表面の凹凸の影響を緩和する。

【００６４】

共通電極ＣＥ及びシールド層ＣＳＬは、オーバーコート層ＯＣのアレイ基板ＡＲと対向する側に形成されている。共通電極ＣＥと画素電極ＰＥとの第３方向Ｚに沿った間隔は略一定である。第３方向Ｚとは、第１方向Ｘ及び第２方向Ｙに直交する方向、あるいは、液晶表示パネルＬＰＮの法線方向である。

【００６５】

なお、主画素電極ＰＡに挟まれたソース配線Ｓと対向するようにシールド層ＣＳＬを配置することにより、第１方向Ｘに隣接する画素ＰＸ同士が互いに電界の影響を受けることを抑制することができ、表示品位を改善することができる。また、シールド層ＣＳＬは、

10

20

30

40

50

設計に応じて省略してもよい。

【0066】

第2配向膜AL2は、対向基板CTのアレイ基板ARと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。第2配向膜AL2は、共通電極CE及びオーバーコート層OCなどを覆っている。このような第2配向膜AL2は、水平配向性を示す材料によって形成されている。

【0067】

第1配向膜AL1及び第2配向膜AL2には、液晶層LQの液晶分子を初期配向させるための配向処理（例えば、ラビング処理や光配向処理）がなされている。第1配向膜AL1が液晶分子を初期配向させる第1配向処理方向PD1、及び、第2配向膜AL2が液晶分子を初期配向させる第2配向処理方向PD2は、互いに平行であって、互いに逆向きあるいは同じ向きである。例えば、これらの第1配向処理方向PD1及び第2配向処理方向PD2は、図2に示したように、第2方向Yと略平行であって、同じ向きである。

10

【0068】

上述したようなアレイ基板ARと対向基板CTとは、それぞれの第1配向膜AL1及び第2配向膜AL2が対向するように配置されている。このとき、アレイ基板ARの第1配向膜AL1と対向基板CTの第2配向膜AL2との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサにより、所定のセルギャップ、例えば2～7μmのセルギャップが形成される。また、液晶層の厚みであるセルギャップは、主画素電極PAと主共通電極CAとの間隔よりも小さい。アレイ基板ARと対向基板CTとは、所定のセルギャップが形成された状態で、アクティブエリアACTの外側のシール材SBによって貼り合わせられている。

20

【0069】

液晶層LQは、アレイ基板ARと対向基板CTとの間に形成されたセルギャップに保持され、第1配向膜AL1と第2配向膜AL2との間に配置されている。液晶層LQは、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【0070】

アレイ基板ARの外表面、つまり、アレイ基板ARを構成する第1絶縁基板10の外表面10Bには、第1光学素子OD1が接着剤などにより貼付されている。第1光学素子OD1は、液晶表示パネルLPNのバックライト4と対向する側に位置しており、バックライト4から液晶表示パネルLPNに入射する入射光の偏光状態を制御する。第1光学素子OD1は、第1偏光軸（あるいは第1吸収軸）AX1を有する第1偏光板PL1を含んでいる。

30

【0071】

対向基板CTの外表面、つまり、対向基板CTを構成する第2絶縁基板20の外表面20Bには、第2光学素子OD2が接着剤などにより貼付されている。第2光学素子OD2は、液晶表示パネルLPNの表示面側に位置しており、液晶表示パネルLPNから出射した出射光の偏光状態を制御する。第2光学素子OD2は、第2偏光軸（あるいは第2吸収軸）AX2を有する第2偏光板PL2を含んでいる。

【0072】

第1偏光板PL1の第1偏光軸AX1と、第2偏光板PL2の第2偏光軸AX2とは、例えば、直交する位置関係（クロスニコル）にある。このとき、一方の偏光板は、例えば、その偏光軸が液晶分子の初期配向方向つまり第1配向処理方向PD1あるいは第2配向処理方向PD2と平行または直交するように配置されている。初期配向方向が第2方向Yと平行である場合、一方の偏光板の偏光軸は、第2方向Xと平行、あるいは、第1方向Xと平行である。

40

【0073】

図2において、(a)で示した例では、第1偏光板PL1は、その第1偏光軸AX1が液晶分子LMの初期配向方向（第2方向Y）に対して直交する（つまり、第1方向Xに平行となる）ように配置され、また、第2偏光板PL2は、その第2偏光軸AX2が液晶分

50

子 L M の初期配向方向に対して平行となる（つまり、第 2 方向 Y と平行となる）ように配置されている。

【 0 0 7 4 】

また、図 2 において、（ b ）で示した例では、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が液晶分子 L M の初期配向方向（第 2 方向 Y ）に対して直交する（つまり、第 1 方向 X に平行となる）ように配置され、また、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向に対して平行となる（つまり、第 2 方向 Y と平行となる）ように配置されている。

【 0 0 7 5 】

次に、上記構成の液晶表示パネル L P N の動作について、図面を参照しながら説明する。

10

【 0 0 7 6 】

すなわち、液晶層 L Q に電圧が印加されていない状態、つまり、画素電極 P E と共通電極 C E との間に電位差（あるいは電界）が形成されていない状態（ O F F 時）では、液晶層 L Q の液晶分子 L M は、その長軸が第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 及び第 2 配向膜 A L 2 の第 2 配向処理方向 P D 2 を向くように配向している。このような O F F 時が初期配向状態に相当し、 O F F 時の液晶分子 L M の配向方向が初期配向方向に相当する。

【 0 0 7 7 】

なお、厳密には、液晶分子 L M は、 X - Y 平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子 L M の初期配向方向とは、 O F F 時の液晶分子 L M の長軸を X - Y 平面に正射影した方向である。以下では、説明を簡略にするために、液晶分子 L M は、 X - Y 平面に平行に配向しているものとし、 X - Y 平面と平行な面内で回転するものとして説明する。

20

【 0 0 7 8 】

ここでは、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、ともに第 2 方向 Y と略平行な方向である。 O F F 時においては、液晶分子 L M は、図 2 に破線で示したように、その長軸が第 2 方向 Y と略平行な方向に初期配向する。つまり、液晶分子 L M の初期配向方向は、第 2 方向 Y と平行（あるいは、第 2 方向 Y に対して 0° ）である。

【 0 0 7 9 】

図示した例のように、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が平行且つ同じ向きである場合、液晶層 L Q の断面において、液晶分子 L M は、液晶層 L Q の中間部付近で略水平（プレチルト角が略ゼロ）に配向し、ここを境界として第 1 配向膜 A L 1 の近傍及び第 2 配向膜 A L 2 の近傍において対称となるようなプレチルト角を持って配向する（スプレイ配向）。

30

【 0 0 8 0 】

ここで、第 1 配向膜 A L 1 を第 1 配向処理方向 P D 1 に配向処理した結果、第 1 配向膜 A L 1 の近傍における液晶分子 L M は第 1 配向処理方向 P D 1 に初期配向され、第 2 配向膜 A L 2 を第 2 配向処理方向 P D 2 に配向処理した結果、第 2 配向膜 A L 2 の近傍における液晶分子 L M は第 2 配向処理方向 P D 2 に初期配向される。そして、第 1 配向処理方向 P D 1 と第 2 配向処理方向 P D 2 は互いに平行で且つ同じ向きである場合には、上述のように液晶分子 L M はスプレイ配向になり、上記したように液晶層 L Q の中間部を境界として、アレイ基板 A R 上の第 1 配向膜 A L 1 の近傍での液晶分子 L M の配向と対向基板 C T 上の第 2 配向膜 A L 2 の近傍での液晶分子 L M の配向は、上下で対称となる。このため、基板の法線方向から傾いた方向においても光学的に補償される。したがって、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が互いに平行、且つ、同じ向きである場合には、黒表示の場合に光漏れが少なく、高コントラスト比を実現することができ、表示品位を向上することが可能となる。

40

【 0 0 8 1 】

なお、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が互いに平行且つ逆向きで

50

ある場合、液晶層 L Q の断面において、液晶分子 L M は、第 1 配向膜 A L 1 の近傍、第 2 配向膜 A L 2 の近傍、及び、液晶層 L Q の中間部において略均一なプレチルト角を持って配向する（ホモジニアス配向）。

【0082】

バックライト 4 からのバックライト光は、その一部が第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶表示パネル L P N に入射した光の偏光状態は、液晶層 L Q を通過する際に液晶分子 L M の配向状態によって異なる。OFF 時においては、液晶層 L Q を通過した光は、第 2 偏光板 P L 2 によって吸収される（黒表示）。

【0083】

一方、液晶層 L Q に電圧が印加された状態、つまり、画素電極 P E と共通電極 C E との間に電位差（あるいは電界）が形成された状態（ON 時）では、画素電極 P E と共通電極 C E との間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子 L M は、電界の影響を受け、その長軸が図中の実線で示したように X - Y 平面と略平行な平面内で回転する。

【0084】

図 2 に示した例では、第 2 画素電極 P E 2 と主共通電極 C A との間の領域内の液晶分子 L M は、第 2 方向 Y に対して時計回りに回転し、図中の左下を向くように配向する。第 1 画素電極 P E 1 と主共通電極 C A との間の領域内の液晶分子 L M は、第 2 方向 Y に対して反時計回りに回転し、図中の右下を向くように配向する。

【0085】

このように、各画素 P X において、画素電極 P E と共通電極 C E との間に電界が形成された状態では、液晶分子 L M の配向方向は、画素電極 P E と重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素 P X には、複数のドメインが形成される。

【0086】

ON 時には、バックライト 4 から液晶表示パネル L P N に入射したバックライト光は、その一部が第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶層 L Q に入射したバックライト光は、その偏光状態が変化する。このような ON 時においては、液晶層 L Q を通過した少なくとも一部の光は、第 2 偏光板 P L 2 を透過する（白表示）。

【0087】

OFF 状態では、液晶分子 L M は、第 2 方向 Y に略平行な方向に初期配向している。画素電極 P E と共通電極 C E との間に電位差が形成された ON 状態では、液晶分子 L M のダイレクタ（あるいは液晶分子 L M の長軸方向）が、X - Y 平面内で、第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 及び第 2 偏光板 P L 2 の第 2 偏光軸 A X 2 に対して概ね 45° ずれた状態となったときに、液晶の光学的な変調率が最も高くなる（つまり、開口部 A P での透過率が最大となる）。

【0088】

ON 状態となったとき、主共通電極 C A と第 2 画素 P X 2 の画素電極 P E との間の液晶分子 L M のダイレクタは X - Y 平面内で 45° - 225° の方位と略平行となり、主共通電極 C A と第 1 画素電極 P E との間の液晶分子 L M のダイレクタは X - Y 平面内で 135° - 315° の方位と略平行となり、ピーク透過率が得られる。このとき、一画素あたりの透過率分布に着目すると、画素電極 P E 上及び共通電極 C E 上においては透過率が略ゼロとなる一方で、画素電極 P E と共通電極 C E との間の電極間隙では、略全域に亘って高い透過率が得られる。

【0089】

上記液晶表示パネル L P N の動作において、ソース配線 S、ゲート配線 G に供給される電位の影響により液晶の配向が乱れる場合がある。特に、画素電極 P E がソース配線 S と略平行に配置される場合、ソース配線 S からの漏れ電界により、画素電極 P E の電位と共通電極 C E の電位とにより決定される所望の液晶配向状態から、液晶の配向が乱れてクロストークなどの表示品位低下を招くことがある。

10

20

30

40

50

【 0 0 9 0 】

例えば液晶を駆動する画素極性反転方式として、1行1列ごとに画素の極性を反転させる1H1V反転駆動方式（ドット反転駆動方式）や、列単位で画素の極性を反転させるカラム反転駆動方式などがある。

【 0 0 9 1 】

1H1V反転駆動の場合、1行ごとにソース配線Sの極性が反転するため、ソース配線Sからの漏れ電界が発生したとしても液晶の応答が追従せず、漏れ電界の影響は比較的小さくなる。一方、カラム反転駆動の場合、1フレーム期間でソース配線Sの極性が同じになるため極性反転が少なく低消費電力に有効であるが、例えばフレーム周波数60Hzの場合、1フレームが16.7msであり、ソース配線Sからの漏れ電界により液晶が十分10
応答する。そのため、カラム反転駆動方式を採用した液晶表示パネルでは、縦クロストークが顕在化する可能性があった。

【 0 0 9 2 】

クロストークを改善するためにソース配線S上に共通電極CEと同電位のシールド層を配置することも可能である。しかしながら、シールド層上は透過率に寄与しない領域となるため、所定の透過率を維持する場合には十分な大きさのシールド層を配置することが困難となる。そこで、本実施形態では、透過率の低下を回避するとともにクロストークの改善を実現する液晶表示装置を提供する。

【 0 0 9 3 】

例えば図2に示す第1画素PX1と第2画素PX2との画素電位が保持される期間において、第1画素PX1の主画素電極PAに印加される電圧の極性が正極性であり、第2画素PX2の主画素電極PAに印加される電圧の極性が負極性であり、ソース配線S2に印加される電圧が負極性であるとする。20

【 0 0 9 4 】

このとき、第1画素PX1では主画素電極PAとソース配線S2との電位差が比較的大きくなるため、第1画素PX1の主画素電極PAと主共通電極CAとの間に生じる電界は、ソース配線S2からの漏れ電界の影響を受けて液晶の配向が乱れることがある。

【 0 0 9 5 】

一方、第2画素PX2では主画素電極PAとソース配線S2との電位差が比較的小さくなるため、第2画素PX2の主画素電極PAと主共通電極CAとの間に生じる電界へのソース配線S2からの漏れ電界の影響が抑制されて、液晶の配向が乱れることが回避される。30

【 0 0 9 6 】

図4は、中間調の画面の中央に白色の窓WWを表示するときにソース配線の電位波形の一例を示す図である。ここでは、カラム反転駆動方式を採用した液晶表示パネルPNLにおいて、第1方向Xに並んで配置された2本のソース配線Sの電位波形の一例を示している。

図5は、中間調の画面の中央に白色の窓WWを表示した一例を示す図である。

ソース配線Sk、Sk+1（kは正の整数）が白色の窓WWを含む列に配置される場合、N番目のフレーム期間において、最初の期間t1においてソース配線Skには共通電極電位Vcom（例えば0V）に対して正極性の中間調表示に対応する電圧（例えば2V）が印加され、ソース配線Sk+1には共通電極電位Vcomに対して負極性の中間調表示に対応する電圧（例えば-2V）が印加される。この期間t1において、白色の窓WWの上部（画素P1）に中間調の信号が書き込まれる。40

【 0 0 9 7 】

続く期間t2において、ソース配線Skには共通電極電位Vcomに対して正極性の白表示に対応する電圧（例えば4V）が印加され、ソース配線Sk+1には共通電極電位Vcomに対して負極性の白表示に対応する電圧（例えば-4V）が印加される。この期間t2において、白色の窓WW部分に白表示に対応する信号が書き込まれる。

【 0 0 9 8 】

続く期間 t_3 において、ソース配線 S_k には共通電極電位 V_{com} に対して正極性の中間調表示に対応する電圧（例えば $2V$ ）が印加され、ソース配線 S_{k+1} には共通電極電位 V_{com} に対して負極性の中間調表示に対応する電圧（例えば $-2V$ ）が印加される。この期間 t_3 において、白色の窓 WW の下部（画素 P_2 ）に中間調の信号が書き込まれる。

【0099】

次に $N+1$ 番目のフレーム期間では、ソース配線 S_k に印加される電圧とソース配線 S_{k+1} に印加される電圧との極性が逆になる。すなわち、 $N+1$ 番目のフレーム期間の最初の期間 t_4 において、ソース配線 S_k には共通電極電位 V_{com} に対して負極性の中間調表示に対応する電圧（例えば $-2V$ ）が印加され、ソース配線 S_{k+1} には共通電極電位 V_{com} に対して正極性の中間調表示に対応する電圧（例えば $2V$ ）が印加される。この期間 t_4 において、白色の窓 WW の上部（画素 P_1 ）に中間調の信号が書き込まれる。

10

【0100】

続く期間 t_5 において、ソース配線 S_k には共通電極電位 V_{com} に対して負極性の白色表示に対応した電圧（例えば $-4V$ ）が印加され、ソース配線 S_{k+1} には共通電極電位 V_{com} に対して正極性の白表示に対応する電圧（例えば $4V$ ）が印加される。この期間 t_5 において、白色の窓 WW 部分に白表示に対応する信号が書き込まれる。

【0101】

続く期間 t_6 において、ソース配線 S_k には共通電極電位 V_{com} に対して負極性の中間調表示に対応する電圧（例えば $-2V$ ）が印加され、ソース配線 S_{k+1} には共通電極電位 V_{com} に対して負極性の中間調表示に対応する電圧（例えば $-2V$ ）が印加される。この期間 t_6 において、白色の窓 WW の下部（画素 P_2 ）に中間調の信号が書き込まれる。

20

【0102】

このとき、ソース配線 S_k とソース配線 S_{k+1} との間に配置された第1画素 P_{X1} では、主画素電極 P_A はソース配線 S_k 側に配置され、ソース配線 S_{k+1} と対向する位置に配置された主共通電極 C_A と主画素電極 P_A との間の電界により液晶の配向が制御される。

【0103】

この第1画素 P_{X1} が白色の窓 WW の上部に位置する場合、画素電極 P_E に供給される中間調の信号は、ソース配線 S_k と同じ極性であり、ソース配線 S_{k+1} と逆の極性である。したがって、主画素電極 P_A とソース配線 S_{k+1} との電位差が比較的大きくなり、主画素電極 P_A と主共通電極 C_A との間の電界はソース配線 S_{k+1} からの漏れ電界による影響を受ける。その結果、白色の窓 WW の上部に位置する第1画素 P_{X1} は所望の中間調よりも明るい表示となる。

30

【0104】

一方、この第1画素 P_{X1} が白色の窓 WW の下部に位置する場合、ソース配線 S_k とソース配線 S_{k+1} との極性が次のフレーム期間で反転するため、画素電極 P_E に供給される中間調の信号は、ソース配線 S_{k+1} と同じ極性であり、ソース配線 S_k と逆の極性となる期間が比較的長くなる。したがって、主画素電極 P_A とソース配線 S_{k+1} との電位差が比較的小さくなり、主画素電極 P_A と主共通電極 C_A との間の電界に対するソース配線 S_{k+1} からの漏れ電界による影響が抑制される。その結果、白色の窓 WW の下部に位置する第1画素 P_{X1} は所望の中間調表示となる。

40

【0105】

また、ソース配線 S_k とソース配線 S_{k+1} との間に配置された第2画素 P_{X2} では、主画素電極 P_A はソース配線 S_{k+1} 側に配置され、ソース配線 S_k と対向する位置に配置された主共通電極 C_A と主画素電極 P_A との間に生じる電界により液晶の配向が制御される。

【0106】

この第2画素 P_{X2} が白色の窓 WW の上部に位置する場合、画素電極 P_E に供給される

50

中間調の信号は、ソース配線 S_k と同じ極性であり、ソース配線 S_{k+1} と逆の極性である。したがって、主画素電極 PA とソース配線 S_k との電位差が比較的小さくなり、主画素電極 PA と主共通電極 CA との間の電界に対するソース配線 S_k からの漏れ電界による影響が抑制される。その結果、白色の窓 WW の下部に位置する第2画素 PX_2 は所望の中間調表示となる。

【0107】

一方、この第1画素 PX_1 が白色の窓 WW の下部に位置する場合、ソース配線 S_k とソース配線 S_{k+1} との極性が次のフレーム期間で反転するため、画素電極 PE に供給される中間調の信号は、ソース配線 S_{k+1} と同じ極性であり、ソース配線 S_k と逆の極性となる期間が比較的長くなる。したがって、主画素電極 PA とソース配線 S_k との電位差が比較的大きくなり、主画素電極 PA と主共通電極 CA との間の電界はソース配線 S_k からの漏れ電界による影響を受ける。その結果、白色の窓 WW の下部に位置する第2画素 PX_1 は所望の中間調よりも明るい表示となる。

10

【0108】

なお、第2方向 Y における中央部分に白色の窓 WW がない列のソース配線 S には、各フレーム期間において一定レベルの中間調表示に対応する電圧が印加され、フレーム毎に極性が反転することになる。この列に位置する画素 PX では、白色の窓 WW がある列に比べて主画素電極 PA とソース配線 S との電位差が大きくなり、液晶の配向乱れも顕著ではない。

20

【0109】

すなわち、各画素 PX において、開口部 AP の第1方向 X における両端に位置する主画素電極 PA とソース配線 S との電位差が小さくなるように主画素電極 PA の位置を決定することにより、液晶の配向が乱れることを回避して、クロストークの発生を抑制することができる。また、ソース配線 S からの漏れ電界の影響が小さくなるため、シールド層 SLD を大きくする必要もなく、開口率の低下も回避することができる。

【0110】

なお、シールド層 SLD が配置されていないソース配線 S の上層には、主画素電極 PA が配置されるため、主画素電極 PA によりソース配線 S からの漏れ電界を遮ることができる。

30

【0111】

図6は、アクティブエリア ACT における第1画素 PX_1 と第2画素 PX_2 との配置の一例を示す図である。なお、図6には説明に必要なアレイ基板10の構成のみを概略的に記載し、他の構成は省略している。

【0112】

上述したように、主画素電極 PA とソース配線 S との電位差の大小は、画素 PX の走査方向に対するアクティブエリア ACT における位置や表示画像により変わる。そこで、本実施形態では、アクティブエリア ACT において、第1方向 X に沿って第1画素 PX_1 と第2画素 PX_2 とを交互に並べて配置し、第2方向 Y に沿って第1画素 PX_1 と第2画素 PX_2 とを交互に並べて配置している。

40

【0113】

このように第1画素 PX_1 と第2画素 PX_2 とを配置することにより、例えば図5に示す白色の窓 WW の上部および下部に位置する場合であっても、明るく表示される画素（「明」と記載した画素）は第1画素 PX_1 と第2画素 PX_2 とのいずれか一方であり、他方は所望の表示となる画素（「—」と記載した画素）である。さらに、液晶の配向が乱れる画素と所望の表示となる画素とが第1方向 X および第2方向 Y に沿って交互に配置されるため、輝線や暗線が視認されることがなく表示品位の劣化が抑制される。

【0114】

すなわち、このような本実施形態によれば、透過率の低下を抑制するとともにクロストークの発生を回避することが可能となる。これにより、表示品位の劣化を抑制することが可能となる。

50

【0115】

また、本実施形態によれば、画素電極 P E と共通電極 C E との間の電極間隙において高い透過率が得られるため、一画素あたりの透過率を十分に高くするためには、画素電極 P E と主共通電極 C A との間の電極間距離を拡大することで対応することが可能となる。

【0116】

また、画素ピッチが異なる製品仕様に対しては、電極間距離を変更することで、透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。したがって、高透過率且つ高解像度の要求を容易に実現することが可能となる。

10

【0117】

また、本実施形態によれば、ブラックマトリクス B M と重なる領域での透過率分布に着目すると、透過率が十分に低下している。これは、共通電極 C E の位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクス B M を挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクス B M と重なる領域の液晶分子が O F F 時（あるいは黒表示時）と同様に初期配向状態を保っているためである。したがって、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【0118】

20

また、アレイ基板 A R と対向基板 C T との合わせずれが生じた際に、画素電極 P E との共通電極 C E との水平電極間距離に差が生じることがある。しかしながら、このような合わせずれは、全ての第 1 画素 P X 1 で共通であり全ての第 2 画素 P X 2 で共通に生じるため、画素 P X 間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板 A R と対向基板 C T との間に合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【0119】

30

また、本実施形態によれば、主共通電極 C A は、それぞれソース配線 S と対向している。特に、主共通電極 C A がそれぞれソース配線 S の直上に配置されている場合には、主共通電極 C A がソース配線 S よりも画素電極 P E 側に配置された場合と比較して、開口部 A P を拡大することができ、画素 P X の透過率を向上することが可能となる。

【0120】

また、主共通電極 C A をそれぞれソース配線 S の直上に配置することによって、画素電極 P E と主共通電極 C A との間の電極間距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成である I P S モード等の利点である広視野角化も維持することが可能となる。

【0121】

40

また、本実施形態によれば、一画素内に複数のドメインを形成することが可能となる。このため、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる。

【0122】

なお、上記の例では、液晶分子 L M の初期配向方向が第 2 方向 Y と平行である場合について説明したが、液晶分子 L M の初期配向方向は、図 2 に示したように、第 2 方向 Y を斜めに交差する斜め方向 D であっても良い。ここで、第 2 方向 Y に対する初期配向方向 D のなす角度 $\theta 1$ は、 0° より大きく 45° より小さい角度である。なお、このなす角度 $\theta 1$ については、 $5^\circ \sim 30^\circ$ 程度、より望ましくは 20° 以下とすることが液晶分子 L M の配向制御の観点で極めて有効である。つまり、液晶分子 L M の初期配向方向は、第 2 方向 Y に対して 0° 乃至 20° の範囲内の方向と略平行であることが望ましい。

50

【 0 1 2 3 】

また、上記の例では、液晶層 L Q が正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層 L Q は、誘電率異方性が負（ネガ型）の液晶材料によって構成されていても良い。但し、詳しい説明は省略するが、誘電率異方性が正負逆となる関係上、ネガ型液晶材料の場合、上記したなす角度 $\theta 1$ が $45^\circ \sim 90^\circ$ 、望ましくは 70° 以上とすることが好ましい。

【 0 1 2 4 】

なお、ON 時においても、画素電極 P E 上あるいは共通電極 C E 上では、横電界がほとんど形成されない（あるいは、液晶分子 L M を駆動するのに十分な電界が形成されない）ため、液晶分子 L M は、OFF 時と同様に初期配向方向からほとんど動かない。このため、画素電極 P E 及び共通電極 C E が I T O などの光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、ON 時において表示にほとんど寄与しない。したがって、画素電極 P E 及び共通電極 C E は、必ずしも透明な導電材料によって形成される必要はなく、アルミニウムや銀、銅などの導電材料を用いて形成しても良い。

10

【 0 1 2 5 】

以上説明したように、本実施形態によれば、表示品位の劣化を抑制することが可能な液晶表示装置を提供することが可能となる。

【 0 1 2 6 】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

20

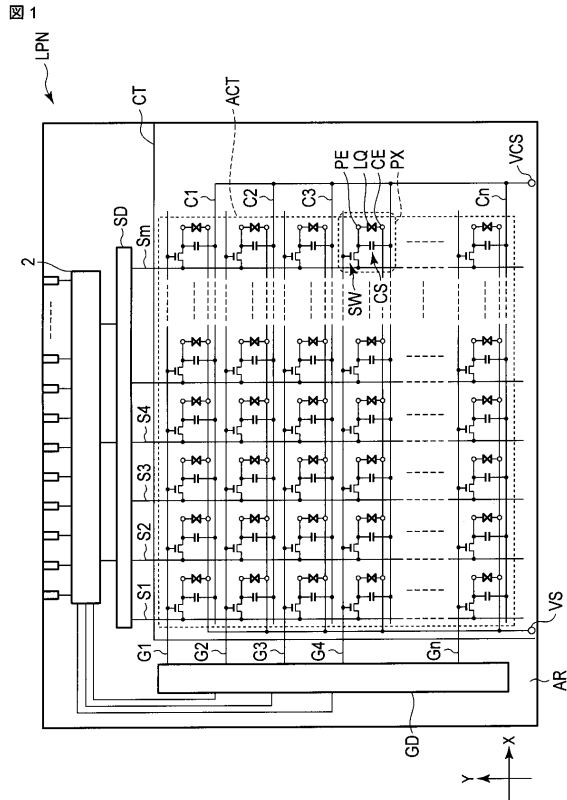
【 符号の説明 】

【 0 1 2 7 】

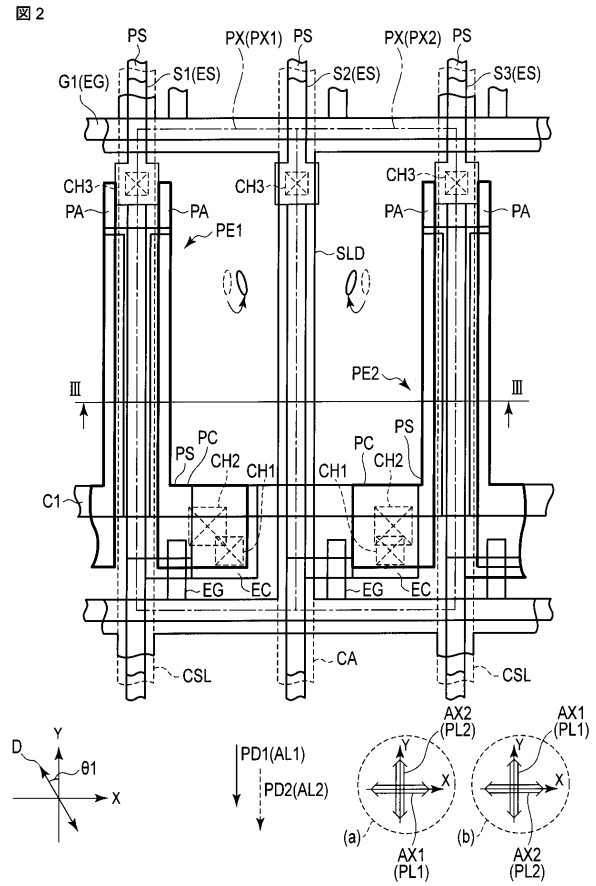
L P N ... 液晶表示パネル、A R ... アレイ基板、C T ... 対向基板、L Q ... 液晶層、A C T ... アクティブエリア、P X ... 画素、G ... ゲート配線、C ... 補助容量線、S ... ソース配線、X ... 第 1 方向、Y ... 第 2 方向、G D ... ゲートドライバ、S D ... ソースドライバ、S W ... スイッチング素子、P E ... 画素電極、P E 1 ... 第 1 画素電極、P E 2 ... 第 2 画素電極、C E ... 共通電極、C S ... 補助容量、P S ... 半導体層、P A ... 主画素電極、P C ... コンタクト部、S L D ... シールド層、C A ... 主共通電極、C S L ... シールド層（第 2 シールド層）、L M ... 液晶分子、P N L ... 液晶表示パネル、4 ... バックライト、1 1 ... ゲート絶縁膜、1 2、1 3 ... 層間絶縁膜。

30

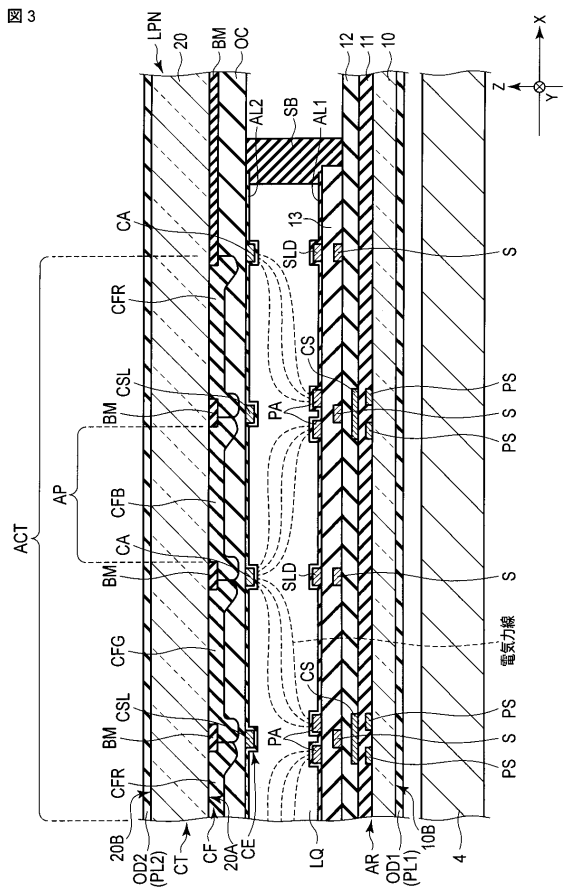
【図 1】



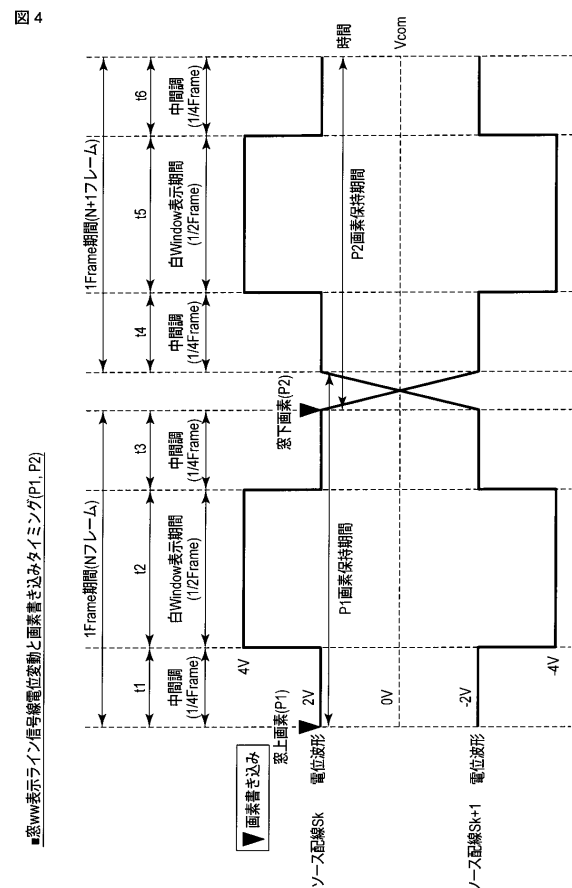
【図 2】



【図 3】

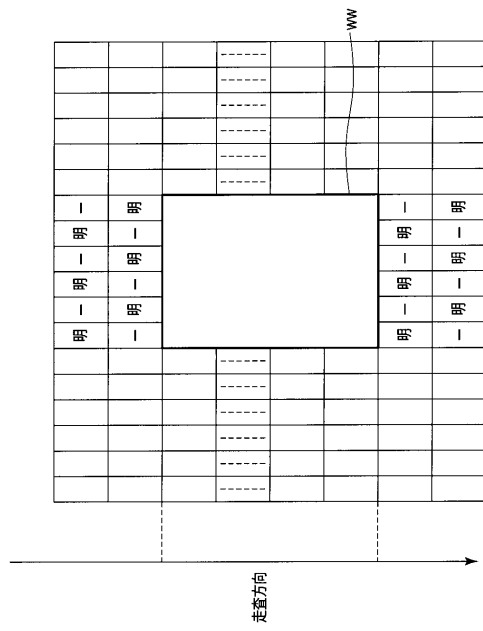


【図 4】



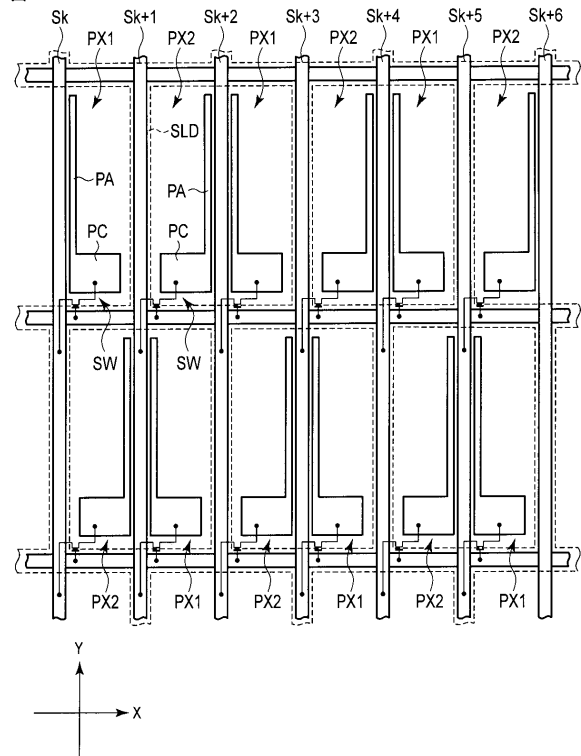
【 図 5 】

図 5



【 図 6 】

図 6



フロントページの続き

(51) Int.Cl. F I テーマコード (参考)

G 0 9 G 3/36
 G 0 9 G 3/20 6 8 0 G
 G 0 9 G 3/20 6 1 1 C
 G 0 9 G 3/20 6 2 1 B
 G 0 9 G 3/20 6 1 1 D
 G 0 9 G 3/20 6 4 2 A

(74)代理人 100095441
 弁理士 白根 俊郎
 (74)代理人 100103034
 弁理士 野河 信久
 (74)代理人 100119976
 弁理士 幸長 保次郎
 (74)代理人 100153051
 弁理士 河野 直樹
 (74)代理人 100140176
 弁理士 砂川 克
 (74)代理人 100158805
 弁理士 井関 守三
 (74)代理人 100172580
 弁理士 赤穂 隆雄
 (74)代理人 100179062
 弁理士 井上 正
 (74)代理人 100124394
 弁理士 佐藤 立志
 (74)代理人 100112807
 弁理士 岡田 貴志
 (74)代理人 100111073
 弁理士 堀内 美保子
 (74)代理人 100134290
 弁理士 竹内 将訓

(72)発明者 木谷 正克
 埼玉県深谷市幡羅町一丁目 9 番地 2 株式会社ジャパンディスプレイセントラル内

(72)発明者 廣澤 仁
 埼玉県深谷市幡羅町一丁目 9 番地 2 株式会社ジャパンディスプレイセントラル内

F ターム(参考) 2H092 GA13 GA29 GA60 JA25 JA26 JA46 JB14 JB46 JB69 NA17
 2H193 ZA04 ZA07 ZB03 ZB06 ZC04 ZC07 ZC13 ZC25 ZD12 ZQ16
 5C006 AA16 AA22 AC11 AC25 AC27 AF42 AF43 AF51 AF71 BA19
 BB16 BC02 BC22 FA20 FA22 FA25 FA31 FA36 FA54 FA55
 FA56
 5C080 AA10 BB05 CC03 DD03 DD05 DD07 DD10 DD12 EE28 EE29
 FF11 JJ03 JJ04 JJ06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2013238644A	公开(公告)日	2013-11-28
申请号	JP2012109559	申请日	2012-05-11
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	木谷正克 廣澤仁		
发明人	木谷 正克 廣澤 仁		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G02F1/13306 G02F1/1343 G02F1/134309 G02F1/134336 G02F1/136213 G02F2001/134318 G02F2001/134381 G02F2001/13606 G02F2001/136218 G02F2201/123 G02F2201/40 G09G3/3614 G09G3/3648 G09G2320/0209 G09G2330/06		
FI分类号	G02F1/1343 G02F1/1368 G02F1/133.550 G09G3/20.624.C G09G3/20.680.H G09G3/36 G09G3/20.680.G G09G3/20.611.C G09G3/20.621.B G09G3/20.611.D G09G3/20.642.A		
F-TERM分类号	2H092/GA13 2H092/GA29 2H092/GA60 2H092/JA25 2H092/JA26 2H092/JA46 2H092/JB14 2H092/JB46 2H092/JB69 2H092/NA17 2H193/ZA04 2H193/ZA07 2H193/ZB03 2H193/ZB06 2H193/ZC04 2H193/ZC07 2H193/ZC13 2H193/ZC25 2H193/ZD12 2H193/ZQ16 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC25 5C006/AC27 5C006/AF42 5C006/AF43 5C006/AF51 5C006/AF71 5C006/BA19 5C006/BB16 5C006/BC02 5C006/BC22 5C006/FA20 5C006/FA22 5C006/FA25 5C006/FA31 5C006/FA36 5C006/FA54 5C006/FA55 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD05 5C080/DD07 5C080/DD10 5C080/DD12 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H192/AA24 2H192/AA43 2H192/BA32 2H192/BB32 2H192/CB13 2H192/DA12 2H192/EA22 2H192/EA43 2H192/FB02 2H192/GA03 2H192/GD61		
代理人(译)	中村诚 河野直树 井上 正 冈田隆		
其他公开文献	JP5883721B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够抑制显示质量下降的液晶显示装置。和像素电极PE，具有开关元件SW，开关的第一衬底AR设置在侧边S的源极线中的一条和第一方向X的像素电极PE之间的连接，沿第二方向Y有公共电极CE在液晶层LQ延伸包括在所述第一基板AR和第二基板CT之间保持液晶分子，第二基板CT包括像素电极PE，第一而在X方向上对齐，并且第一像素电极PE和具有主像素中的第二像素电极PE电极PA延伸的平行源极线S基本上共电极CE，第一方向X同时被设置在所述第一像素电极PE的另一侧被设置在所述第一像素电极PE的源主像素电极PA第二像素电极PE的一侧被布置在第一方向X的一侧导线沿在S布置，所述第二像素电极PE的主像素电极PA，其沿着源极配线S布置在第一方向X的另一侧的液晶显示装置 .The

图 2

