

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-61487

(P2013-61487A)

(43) 公開日 平成25年4月4日(2013.4.4)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	

審査請求 未請求 請求項の数 10 O L (全 19 頁)

(21) 出願番号	特願2011-199913 (P2011-199913)	(71) 出願人	302020207
(22) 出願日	平成23年9月13日 (2011. 9. 13)		株式会社ジャパンディスプレイセントラル
			埼玉県深谷市幡羅町一丁目9番地2
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

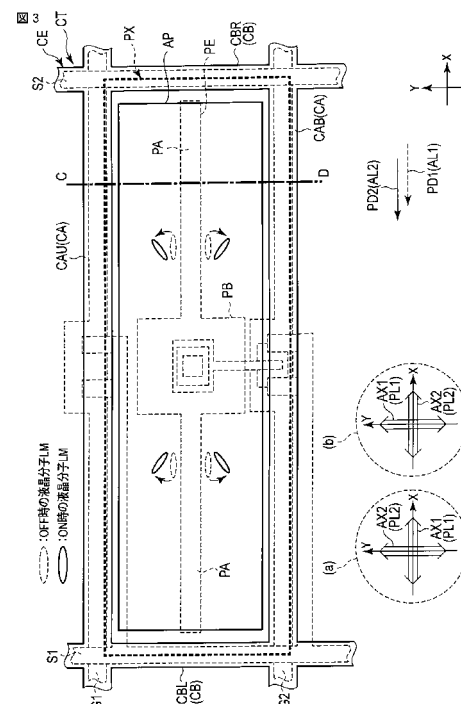
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】コストの削減を可能とするとともに表示品位の劣化を抑制することを可能とする。

【解決手段】第1ゲート配線及び第2ゲート配線と、前記第1ゲート配線と前記第2ゲート配線との間で延出した補助容量線と、第1ソース配線及び第2ソース配線と、前記第1ゲート配線及び前記第2ゲート配線と前記第1ソース配線及び前記第2ソース配線とで囲まれた画素電極であって、第1方向に沿って延出し前記補助容量線の上に位置した主画素電極及び第2方向に沿って延出した副画素電極を備えた十字形状の画素電極と、を備えた第1基板と、前記第1ゲート配線の上方及び前記第2ゲート配線の上方にそれぞれ位置し第1方向に沿ってそれぞれ延出した主共通電極、及び、前記第1ソース配線の上方及び前記第2ソース配線の上方にそれぞれ位置し第2方向に沿ってそれぞれ延出した副共通電極を備えた共通電極を備えた第2基板と、を備えた液晶表示装置。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

第 1 方向に沿ってそれぞれ延出するとともに第 1 方向に交差する第 2 方向に沿って第 1 ピッチで配置された第 1 ゲート配線及び第 2 ゲート配線と、前記第 1 ゲート配線と前記第 2 ゲート配線との間で第 1 方向に沿って延出した補助容量線と、第 2 方向に沿ってそれぞれ延出するとともに第 1 方向に沿って第 1 ピッチよりも大きな第 2 ピッチで配置された第 1 ソース配線及び第 2 ソース配線と、前記第 1 ゲート配線及び前記第 2 ゲート配線と前記第 1 ソース配線及び前記第 2 ソース配線とで囲まれた画素電極であって、第 1 方向に沿って延出し前記補助容量線の上に位置した主画素電極及び第 2 方向に沿って延出した副画素電極を備えた十字形状の画素電極と、を備えた第 1 基板と、

10

前記第 1 ゲート配線の上方及び前記第 2 ゲート配線の上方にそれぞれ位置し第 1 方向に沿ってそれぞれ延出した主共通電極、及び、前記第 1 ソース配線の上方及び前記第 2 ソース配線の上方にそれぞれ位置し第 2 方向に沿ってそれぞれ延出した副共通電極を備えた共通電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、
を備えたことを特徴とする液晶表示装置。

【請求項 2】

前記主画素電極から前記第 1 ゲート配線までの第 2 方向に沿った間隔と、前記主画素電極から前記第 2 ゲート配線までの第 2 方向に沿った間隔とが略同一であることを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 3】

前記副画素電極から前記第 1 ソース配線までの第 1 方向に沿った間隔と、前記副画素電極から前記第 2 ソース配線までの第 1 方向に沿った間隔とが略同一であることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記補助容量線は、前記副画素電極の直下に延在したことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の液晶表示装置。

【請求項 5】

前記第 1 基板は、さらに、前記第 1 ゲート配線と電氣的に接続されたゲート電極、前記第 1 ソース配線と電氣的に接続されたソース電極、及び、前記副画素電極の直下を第 2 方向に沿って延出し前記副画素電極とコンタクトしたドレイン電極、を備えたスイッチング素子を備えたことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の液晶表示装置。

30

【請求項 6】

前記主画素電極の第 1 方向に沿った長さは、前記副画素電極の第 2 方向に沿った長さよりも長いことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の液晶表示装置。

【請求項 7】

前記第 1 基板は、さらに、前記第 1 ゲート配線及び前記第 2 ゲート配線とそれぞれ対向し前記共通電極と同電位のゲートシールド電極を備えたことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の液晶表示装置。

【請求項 8】

前記第 1 基板は、さらに、前記第 1 ソース配線及び前記第 2 ソース配線とそれぞれ対向し前記共通電極と同電位のソースシールド電極を備えたことを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の液晶表示装置。

40

【請求項 9】

第 1 方向に沿って延出した主画素電極及び第 1 方向に交差する第 2 方向に沿って延出した副画素電極を備えた画素電極であって、前記主画素電極の第 1 方向に沿った長さが前記副画素電極の第 2 方向に沿った長さよりも長い十字形状の画素電極を備えた第 1 基板と、

前記主画素電極を挟んだ両側で第 1 方向に沿ってそれぞれ延出した主共通電極及び前記副画素電極を挟んだ両側で第 2 方向に沿ってそれぞれ延出した副共通電極を備え、前記画素電極を囲む格子状の共通電極を備えた第 2 基板と、

50

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、
を備えたことを特徴とする液晶表示装置。

【請求項 10】

前記第 1 基板は、さらに、

第 1 方向に沿って延出したゲート配線と、前記ゲート配線と対向し前記主共通電極の直下に位置するとともに前記共通電極と同電位のゲートシールド電極と、第 2 方向に沿って延出したソース配線と、前記ソース配線と対向し前記副共通電極の直下に位置するとともに前記共通電極と同電位のソースシールド電極と、前記主画素電極の直下に位置し第 1 方向に沿って延出した補助容量線と、前記ゲート配線及び前記ソース配線と電氣的に接続され前記画素電極とコンタクトしたスイッチング素子と、を備えたことを特徴する請求項 9 に記載の液晶表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IP S (In - Plane Sw
i t c h i n g) モードや F F S (F r i n g e F i e l d S w i t c h i n g) モードなどの横電界 (フリンジ電界も含む) を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

20

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

30

【0004】

【特許文献 1】特開 2 0 0 9 - 4 2 6 3 0 号公報

【特許文献 2】特開 2 0 0 9 - 1 9 2 8 2 2 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、コストの削減が可能であるとともに、表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

40

本実施形態によれば、

第 1 方向に沿ってそれぞれ延出するとともに第 1 方向に交差する第 2 方向に沿って第 1 ピッチで配置された第 1 ゲート配線及び第 2 ゲート配線と、前記第 1 ゲート配線と前記第 2 ゲート配線との間で第 1 方向に沿って延出した補助容量線と、第 2 方向に沿ってそれぞれ延出するとともに第 1 方向に沿って第 1 ピッチよりも大きな第 2 ピッチで配置された第 1 ソース配線及び第 2 ソース配線と、前記第 1 ゲート配線及び前記第 2 ゲート配線と前記第 1 ソース配線及び前記第 2 ソース配線とで囲まれた画素電極であって、第 1 方向に沿って延出し前記補助容量線の上に位置した主画素電極及び第 2 方向に沿って延出した副画素電極を備えた十字形状の画素電極と、を備えた第 1 基板と、前記第 1 ゲート配線の上方及び前記第 2 ゲート配線の上方にそれぞれ位置し第 1 方向に沿ってそれぞれ延出した主共

50

通電極、及び、前記第 1 ソース配線の上方及び前記第 2 ソース配線の上方にそれぞれ位置し第 2 方向に沿ってそれぞれ延出した副共通電極を備えた共通電極を備えた第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

【 0 0 0 7 】

本実施形態によれば、

第 1 方向に沿って延出した主画素電極及び第 1 方向に交差する第 2 方向に沿って延出した副画素電極を備えた画素電極であって、前記主画素電極の第 1 方向に沿った長さが前記副画素電極の第 2 方向に沿った長さよりも長い十字形状の画素電極を備えた第 1 基板と、前記主画素電極を挟んだ両側で第 1 方向に沿ってそれぞれ延出した主共通電極及び前記副画素電極を挟んだ両側で第 2 方向に沿ってそれぞれ延出した副共通電極を備え、前記画素電極を囲む格子状の共通電極を備えた第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

10

【図面の簡単な説明】

【 0 0 0 8 】

【図 1】図 1 は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【図 2】図 2 は、図 1 に示したアレイ基板を対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

20

【図 3】図 3 は、図 1 に示した対向基板における一画素の構造例を概略的に示す平面図である。

【図 4】図 4 は、図 2 の A - B 線で切断したアレイ基板の断面構造を概略的に示す断面図である。

【図 5】図 5 は、図 3 の C - D 線で切断した液晶表示パネルの断面構造を概略的に示す断面図である。

【図 6】図 6 は、図 1 に示したアレイ基板を対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【発明を実施するための形態】

【 0 0 0 9 】

30

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【 0 0 1 0 】

図 1 は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【 0 0 1 1 】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネル L P N を備えている。液晶表示パネル L P N は、第 1 基板であるアレイ基板 A R と、アレイ基板 A R に対向して配置された第 2 基板である対向基板 C T と、これらのアレイ基板 A R と対向基板 C T との間に保持された液晶層 L Q と、を備えている。このような液晶表示パネル L P N は、画像を表示するアクティブエリア A C T を備えている。このアクティブエリア A C T は、 $m \times n$ 個のマトリクス状に配置された複数の画素 P X によって構成されている（但し、 m 及び n は正の整数である）。

40

【 0 0 1 2 】

液晶表示パネル L P N は、アクティブエリア A C T において、 n 本のゲート配線 G (G 1 ~ G n)、 n 本の補助容量線 C (C 1 ~ C n)、 m 本のソース配線 S (S 1 ~ S m) などを備えている。ゲート配線 G 及び補助容量線 C は、例えば、第 1 方向 X に沿って略直線的に延出した信号配線に相当する。これらのゲート配線 G 及び補助容量線 C は、第 1 方向 X に交差する第 2 方向 Y に沿って間隔をおいて隣接し、交互に並列配置されている。こ

50

では、第 1 方向 X と第 2 方向 Y とは互いに略直交している。ソース配線 S は、ゲート配線 G 及び補助容量線 C と交差している。ソース配線 S は、第 2 方向 Y に沿って略直線的に延出した信号配線に相当する。なお、ゲート配線 G、補助容量線 C、及び、ソース配線 S は、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

【 0 0 1 3 】

各ゲート配線 G は、アクティブエリア A C T の外側に引き出され、ゲートドライバ G D に接続されている。各ソース配線 S は、アクティブエリア A C T の外側に引き出され、ソースドライバ S D に接続されている。これらのゲートドライバ G D 及びソースドライバ S D の少なくとも一部は、例えば、アレイ基板 A R に形成され、コントローラを内蔵した駆動 I C チップ 2 と接続されている。

10

【 0 0 1 4 】

各画素 P X は、スイッチング素子 S W、画素電極 P E、共通電極 C Eなどを備えている。保持容量 C s は、例えば補助容量線 C と画素電極 P E との間に形成される。補助容量線 C は、補助容量電圧が印加される電圧印加部 V C S と電氣的に接続されている。

【 0 0 1 5 】

なお、本実施形態においては、液晶表示パネル L P N は、画素電極 P E がアレイ基板 A R に形成される一方で共通電極 C E の少なくとも一部が対向基板 C T に形成された構成であり、これらの画素電極 P E と共通電極 C E との間に形成される電界を主に利用して液晶層 L Q の液晶分子をスイッチングする。画素電極 P E と共通電極 C E との間に形成される電界は、第 1 方向 X と第 2 方向 Y とで規定される X - Y 平面あるいは基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

20

【 0 0 1 6 】

スイッチング素子 S W は、例えば、n チャネル薄膜トランジスタ (T F T) によって構成されている。このスイッチング素子 S W は、ゲート配線 G 及びソース配線 S と電氣的に接続されている。このようなスイッチング素子 S W は、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子 S W の半導体層は、例えば、アモルファスシリコンによって形成されているが、ポリシリコンによって形成されていても良い。

【 0 0 1 7 】

画素電極 P E は、各画素 P X に配置され、スイッチング素子 S W に電氣的に接続されている。共通電極 C E は、液晶層 L Q を介して複数の画素 P X の画素電極 P E に対して共通に配置されている。このような画素電極 P E 及び共通電極 C E は、例えば、インジウム・ティン・オキサイド (I T O) やインジウム・ジंक・オキサイド (I Z O) などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

30

【 0 0 1 8 】

アレイ基板 A R は、共通電極 C E に電圧を印加するための給電部 V S を備えている。この給電部 V S は、例えば、アクティブエリア A C T の外側に形成されている。対向基板 C T の共通電極 C E は、アクティブエリア A C T の外側に引き出され、図示しない導電部材を介して、給電部 V S と電氣的に接続されている。

40

【 0 0 1 9 】

図 2 は、図 1 に示したアレイ基板 A R を対向基板側から見たときの一画素 P X の構造例を概略的に示す平面図である。ここでは、X - Y 平面における平面図を示している。

【 0 0 2 0 】

アレイ基板 A R は、ゲート配線 G 1、ゲート配線 G 2、補助容量線 C 1、ソース配線 S 1、ソース配線 S 2、スイッチング素子 S W、画素電極 P E、第 1 配向膜 A L 1などを備えている。

【 0 0 2 1 】

図示した例では、画素 P X は、破線で示したように、第 1 方向 X に沿った長さが第 2 方向 Y に沿った長さよりも長い横長の長方形形状である。ゲート配線 G 1 及びゲート配線 G 2

50

は、第 2 方向 Y に沿って第 1 ピッチで配置され、それぞれ第 1 方向 X に沿って延出している。補助容量線 C 1 は、ゲート配線 G 1 とゲート配線 G 2 との間に位置し、第 1 方向 X に沿って延出している。ソース配線 S 1 及びソース配線 S 2 は、第 1 方向 X に沿って第 2 ピッチで配置され、それぞれ第 2 方向 Y に沿って延出している。

【 0 0 2 2 】

図示した画素 P X において、ソース配線 S 1 は左側端部に配置され、ソース配線 S 2 は右側端部に配置されている。厳密には、ソース配線 S 1 は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、ソース配線 S 2 は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。つまり、画素 P X の第 1 方向 X に沿った長さは、ソース配線間の第 2 ピッチに相当する。

10

【 0 0 2 3 】

また、画素 P X において、ゲート配線 G 1 は上側端部に配置され、ゲート配線 G 2 は下側端部に配置されている。厳密には、ゲート配線 G 1 は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、ゲート配線 G 2 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。つまり、画素 P X の第 2 方向 Y に沿った長さは、ゲート配線間の第 1 ピッチに相当する。第 1 ピッチは、第 2 ピッチよりも小さい。

【 0 0 2 4 】

また、図示した画素 P X においては、補助容量線 C 1 は、ゲート配線 G 2 とゲート配線 G 1 との略中間に位置している。つまり、補助容量線 C 1 とゲート配線 G 1 との第 2 方向 Y に沿った間隔は、補助容量線 C 1 とゲート配線 G 2 との第 2 方向 Y に沿った間隔と略同一である。

20

【 0 0 2 5 】

スイッチング素子 S W は、図示した例では、ゲート配線 G 2 及びソース配線 S 1 に電氣的に接続されている。このスイッチング素子 S W は、画素 P X の下側においてソース配線 S 1 とソース配線 S 2 との略中間の領域に設けられている。このようなスイッチング素子 S W は、ゲート配線 G 2 と電氣的に接続されたゲート電極 W G、ゲート電極 W G の直上に形成されたアモルファスシリコンからなる半導体層 S C、ソース配線 S 1 と電氣的に接続され半導体層 S C にコンタクトしたソース電極 W S、及び、半導体層 S C にコンタクトしたドレイン電極 W D を備えている。図示した例では、ゲート電極 W G はゲート配線 G 2 と一体的に形成され、ソース電極 W S はソース配線 S 1 と一体的に形成されている。また、ドレイン電極 W D は、画素 P X の下側端部付近に配置された半導体層 S C とコンタクトした位置から画素 P X の略中央部まで第 2 方向 Y に沿って延出している。このようなドレイン電極 W D は、後述する画素電極 P E の副画素電極 P B の直下を第 2 方向 Y に沿って延出している。

30

【 0 0 2 6 】

画素電極 P E は、隣接するソース配線 S 1 とソース配線 S 2 との間に位置するとともに、ゲート配線 G 1 とゲート配線 G 2 との間に位置している。つまり、画素電極 P E は、ソース配線 S 1 及びソース配線 S 2 と、ゲート配線 G 1 及びゲート配線 G 2 とで囲まれた内側に位置している。

【 0 0 2 7 】

画素電極 P E は、主画素電極 P A 及び副画素電極 P B を備えている。これらの主画素電極 P A 及び副画素電極 P B は、互いに電氣的に接続されている。

40

【 0 0 2 8 】

すなわち、副画素電極 P B は、画素 P X の略中央部において第 2 方向 Y に沿って延出している。つまり、副画素電極 P B は、隣接するソース配線 S 1 とソース配線 S 2 との略中間に位置している。換言すると、副画素電極 P B からソース配線 S 1 までの第 1 方向 X に沿った間隔は、副画素電極 P B からソース配線 S 2 までの第 1 方向 X に沿った間隔と略同一である。このような副画素電極 P B は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

【 0 0 2 9 】

50

主画素電極 P A は、画素 P X の略中央部において副画素電極 P B から第 1 方向 X に沿って延出している。つまり、主画素電極 P A は、画素 P X の略中央に位置する補助容量線 C 1 の上方に配置されている。この主画素電極 P A は、補助容量線 C 1 と同様に、ゲート配線 G 2 とゲート配線 G 1 との略中間に位置している。換言すると、主画素電極 P A からゲート配線 G 1 までの第 2 方向 Y に沿った間隔は、主画素電極 P A からゲート配線 G 2 までの第 2 方向 Y に沿った間隔と略同一である。このような主画素電極 P A は、第 2 方向 Y に沿って略同一の幅を有する帯状に形成されている。

【 0 0 3 0 】

図示した例では、画素電極 P E は、1 本の主画素電極 P A 及び 1 本の副画素電極 P B を備えている。副画素電極 P B は、スイッチング素子 S W から延びたドレイン電極 W D の直上を通り第 2 方向 Y に沿って延出し、ドレイン電極 W D の直上に位置するコンタクト位置 P P においてコンタクトホール C H 1 及びコンタクトホール C H 2 を介してドレイン電極 W D と電氣的に接続されている。主画素電極 P A は、副画素電極 P B から画素 P X の左側端部（つまり、ソース配線 S 1 側）及び右側端部（つまり、ソース配線 S 2 側）に向かってそれぞれ第 1 方向 X に沿って直線的に延出している。主画素電極 P A について、副画素電極 P B からソース配線 S 1 側に向かって延出した長さ、副画素電極 P B からソース配線 S 2 側に向かって延出した長さとは略同一である。つまり、副画素電極 P B は、主画素電極 P A の略中間の位置で交差している。また、主画素電極 P A の第 1 方向 X に沿った長さ（つまり、ソース配線 S 1 側の一端部からソース配線 S 2 側の他端部までの長さ）L 1 は、副画素電極 P B の第 2 方向 Y に沿った長さ（つまり、ゲート配線 G 1 側の一端部からゲート配線 G 2 側の他端部までの長さ）L 2 よりも長い。

10

20

【 0 0 3 1 】

このような主画素電極 P A は、副画素電極 P B と一体的あるいは連続的に形成され、副画素電極 P B と電氣的に接続されている。つまり、画素電極 P E は、十字形状である。このような画素電極 P E において、スイッチング素子 S W とコンタクトするコンタクト位置 P P は、例えば、主画素電極 P A と副画素電極 P B とが交差する交差部付近に位置している。

【 0 0 3 2 】

また、補助容量線 C 1 は、主画素電極 P A の直下のみならず、副画素電極 P B の直下にも延在している。すなわち、このような画素電極 P E においては、主画素電極 P A 及び副画素電極 P B において、補助容量線 C 1 と対向し、画素 P X での画像表示に必要な容量を形成している。

30

【 0 0 3 3 】

なお、アレイ基板 A R は、さらに、共通電極 C E の一部を備えていても良い。

【 0 0 3 4 】

このようなアレイ基板 A R においては、画素電極 P E は、第 1 配向膜 A L 1 によって覆われている。この第 1 配向膜 A L 1 には、液晶層 L Q の液晶分子を初期配向させるために、第 1 配向処理方向 P D 1 に沿って配向処理（例えば、ラビング処理や光配向処理）がなされている。第 1 配向膜 A L 1 が液晶分子を初期配向させる第 1 配向処理方向 P D 1 は、主画素電極 P A の延出方向である第 1 方向 X と略平行である。

40

【 0 0 3 5 】

ここで、寸法の一例について述べると、ゲート配線 G の第 1 ピッチつまりゲート配線 G 1 とゲート配線 G 2 との第 2 方向 Y に沿った間隔は $50\ \mu\text{m} \sim 60\ \mu\text{m}$ であり、ソース配線 S の第 2 ピッチつまりソース配線 S 1 とソース配線 S 2 との第 1 方向 X に沿った間隔は $150\ \mu\text{m} \sim 180\ \mu\text{m}$ であり、ゲート配線 G 及び補助容量線 C の第 2 方向 Y に沿った幅が $5\ \mu\text{m}$ であり、主画素電極 P A の第 2 方向 Y に沿った幅が $5\ \mu\text{m}$ であり、ソース配線 S の第 1 方向 X に沿った幅が $3\ \mu\text{m}$ である。なお、ゲート配線 G 及び補助容量線 C は同一層に形成されており、電氣的に絶縁する必要があるため、両者の間に例えば $10\ \mu\text{m}$ のマージンを確保している。

【 0 0 3 6 】

50

図 3 は、図 1 に示した対向基板 C T における一画素 P X の構造例を概略的に示す平面図である。ここでは、X - Y 平面における平面図を示している。なお、ここでは、説明に必要な構成のみを図示し、また、アレイ基板に備えられた画素電極 P E、ソース配線 S、ゲート配線 G などを破線で示している。

【 0 0 3 7 】

共通電極 C E は、対向基板 C T に主共通電極 C A を備えている。図示した例では、共通電極 C E は、さらに、対向基板 C T に副共通電極 C B を備えている。これらの主共通電極 C A 及び副共通電極 C B は、互いに電氣的に接続されている。但し、副共通電極 C B は省略しても良い。

【 0 0 3 8 】

主共通電極 C A は、X - Y 平面内において、主画素電極 P A を挟んだ両側で主画素電極 P A の延出方向と略平行な第 1 方向 X に沿って直線的に延出している。あるいは、主共通電極 C A は、ゲート配線 G の上方にそれぞれ配置されるとともに主画素電極 P A の延出方向と略平行な第 1 方向 X に沿って延出している。このような主共通電極 C A は、第 2 方向 Y に沿って略同一の幅を有する帯状に形成されている。

【 0 0 3 9 】

図示した例では、主共通電極 C A は、第 2 方向 Y に間隔をおいて 2 本平行に並んでいる。すなわち、一画素あたり、2 本の主共通電極 C A が第 2 方向 Y に沿って等ピッチで配置されている。画素 P X において、主共通電極 C A U は上側端部に配置され、主共通電極 C A B は下側端部に配置されている。厳密には、主共通電極 C A U は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、主共通電極 C A B は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。主共通電極 C A U はゲート配線 G 1 の上方に位置し、主共通電極 C A B はゲート配線 G 2 の上方に位置している。

【 0 0 4 0 】

主共通電極 C A U 及び主共通電極 C A B は、主画素電極 P A を挟んだ両側に位置している。つまり、X - Y 平面内において、第 2 方向 Y に沿って主共通電極 C A と主画素電極 P A とが交互に並んでおり、図示した例では、主共通電極 C A U、主画素電極 P A、主共通電極 C A B がこの順に並んでいる。なお、主画素電極 P A と主共通電極 C A U との間の第 2 方向 Y に沿った電極間距離、及び、主共通電極 C A B と主画素電極 P A との間の第 2 方向 Y に沿った電極間距離は略同等である。

【 0 0 4 1 】

副共通電極 C B は、X - Y 平面内において、画素電極 P E を挟んだ両側で第 2 方向 Y に沿って直線的に延出している。あるいは、副共通電極 C B は、ソース配線 S の上方にそれぞれ位置するとともに第 2 方向 Y に沿って直線的に延出している。このような副共通電極 C B は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。また、このような副共通電極 C B は、主共通電極 C A と一体的あるいは連続的に形成され、主共通電極 C A と電氣的に接続されている。つまり、対向基板 C T においては、共通電極 C E は画素電極 P E を囲む格子状に形成されている。

【 0 0 4 2 】

図示した例では、副共通電極 C B は、第 1 方向 X に間隔をおいて 2 本平行に並んでおり、画素 P X の左右両端部にそれぞれ配置されている。すなわち、一画素あたり、2 本の副共通電極 C B が配置されている。図示した画素 P X において、副共通電極 C B L は左側端部に配置され、副共通電極 C B R は右側端部に配置されている。厳密には、副共通電極 C B L は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、副共通電極 C B R は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。副共通電極 C B L はソース配線 S 1 の上方に位置し、副共通電極 C B R はソース配線 S 2 の上方に位置している。

【 0 0 4 3 】

このような対向基板 C T においては、共通電極 C E は、第 2 配向膜 A L 2 によって覆われている。この第 2 配向膜 A L 2 には、液晶層 L Q の液晶分子を初期配向させるために、

10

20

30

40

50

第 2 配向処理方向 P D 2 に沿って配向処理（例えば、ラビング処理や光配向処理）がなされている。第 2 配向膜 A L 2 が液晶分子を初期配向させる第 2 配向処理方向 P D 2 は、第 1 配向処理方向 P D 1 とは互いに平行であって、互いに同じ向きあるいは逆向きである。図示した例では、第 2 配向処理方向 P D 2 は、第 1 方向 X と平行であり、X - Y 平面内において、第 1 配向処理方向 P D 1 とは互いに平行であって、互いに同じ向きである。

【 0 0 4 4 】

図示しないブラックマトリクスによって形成される開口部 A P は、図 3 に示したように、第 1 方向 X に沿った長さが第 2 方向 Y に沿った長さよりも長い長方形形状である。換言すると、ゲート配線 G 1 及びゲート配線 G 2、及び、ソース配線 S 1 及びソース配線 S 2 の上方には、ブラックマトリクスが位置している。

10

【 0 0 4 5 】

図 4 は、図 2 の A - B 線で切断したアレイ基板 A R の断面構造を概略的に示す断面図である。

【 0 0 4 6 】

アレイ基板 A R は、光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。このアレイ基板 A R は、第 1 絶縁基板 1 0 においてスイッチング素子 S W、補助容量線 C 1、画素電極 P E、第 1 絶縁膜 1 1、第 2 絶縁膜 1 2、第 3 絶縁膜 1 3、第 1 配向膜 A L 1 などを備えている。

【 0 0 4 7 】

スイッチング素子 S W のゲート電極 W G は、ゲート配線 G 2 の一部であり、第 1 絶縁基板 1 0 の内面 1 0 A に形成されている。補助容量線 C 1 は、第 1 絶縁基板 1 0 の内面 1 0 A に形成されている。これらのゲート電極 W G 及び補助容量線 C 1 は、第 1 絶縁膜 1 1 によって覆われている。

20

【 0 0 4 8 】

スイッチング素子 S W の半導体層 S C は、第 1 絶縁膜 1 1 の上に形成され、ゲート電極 W G の直上に位置している。スイッチング素子 S W のソース電極 W S は、ソース配線 S 1 の一部であり、第 1 絶縁膜 1 1 の上に形成され、半導体層 S C にコンタクトしている。スイッチング素子 S W のドレイン電極 W D は、第 1 絶縁膜 1 1 の上に形成され、半導体層 S C にコンタクトしている。半導体層 S C、ソース電極 W S、及び、ドレイン電極 W D は、第 2 絶縁膜 1 2 によって覆われている。この第 2 絶縁膜 1 2 には、ドレイン電極 W D まで貫通したコンタクトホール C H 1 が形成されている。

30

【 0 0 4 9 】

第 3 絶縁膜 1 3 は、第 2 絶縁膜 1 2 の上に形成されている。この第 3 絶縁膜 1 3 には、コンタクトホール C H 2 が形成されている。このコンタクトホール C H 2 は、コンタクトホール C H 1 よりも大きなサイズであり、コンタクトホール C H 1 でドレイン電極 W D まで貫通するとともにコンタクトホール C H 1 の周囲の第 2 絶縁膜 1 2 まで貫通する。

【 0 0 5 0 】

画素電極 P E は、第 3 絶縁膜 1 3 の上に形成され、その副画素電極 P B がコンタクトホール C H 1 及びコンタクトホール C H 2 を介してドレイン電極 W D にコンタクトしている。画素電極 P E のコンタクト位置 P P とは、副画素電極 P B においてコンタクトホール C H 1 を介してドレイン電極 W D とコンタクトしている位置に相当する。このような画素電極 P E の一部は、第 1 絶縁膜 1 1、第 2 絶縁膜 1 2、及び、第 3 絶縁膜 1 3 を介して補助容量線 C 1 と対向している。

40

【 0 0 5 1 】

第 1 配向膜 A L 1 は、画素電極 P E などを覆っており、第 3 絶縁膜 1 3 の上にも配置されている。このような第 1 配向膜 A L 1 は、水平配向性を示す材料によって形成されている。

【 0 0 5 2 】

図 5 は、図 3 の C - D 線で切断した液晶表示パネル L P N の断面構造を概略的に示す断面図である。

50

【 0 0 5 3 】

液晶表示パネル L P N を構成するアレイ基板 A R の背面側には、バックライト 4 が配置されている。バックライト 4 としては、種々の形態が適用可能であり、また、光源として発光ダイオード (L E D) を利用したものや冷陰極管 (C C F L) を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【 0 0 5 4 】

アレイ基板 A R において、ゲート配線 G 1、補助容量線 C 1、及び、ゲート配線 G 2 は、第 1 絶縁基板 1 0 の内面 1 0 A、つまり、対向基板 C T と対向する側に形成され、第 1 絶縁膜 1 1 によって覆われている。画素電極 P E の主画素電極 P A は、第 3 絶縁膜 1 3 の上に形成され、第 1 配向膜 A L 1 によって覆われている。主画素電極 P A は、補助容量線 C 1 の直上に位置するとともに、ゲート配線 G 1 及びゲート配線 G 2 のそれぞれの直上の位置よりもそれらの内側に位置している。第 1 配向膜 A L 1 は、アレイ基板 A R の対向基板 C T と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。

10

【 0 0 5 5 】

対向基板 C T は、光透過性を有する第 2 絶縁基板 2 0 を用いて形成されている。この対向基板 C T は、第 2 絶縁基板 2 0 の内側、つまり、アレイ基板 A R と対向する側においてブラックマトリクス B M、カラーフィルタ C F、オーバーコート層 O C、共通電極 C E、第 2 配向膜 A L 2 などを備えている。

【 0 0 5 6 】

ブラックマトリクス B M は、各画素 P X を区画し、開口部 A P を形成する。すなわち、ブラックマトリクス B M は、ソース配線 S、ゲート配線 G、スイッチング素子 S W などの配線部に対向するように配置されている。ここに示した例では、ブラックマトリクス B M は、ゲート配線 G 1 及びゲート配線 G 2 の上方に位置した部分と、図示しないソース配線 S 1 及びソース配線 S 2 の上方に位置した部分を備えており、格子状に形成されている。このブラックマトリクス B M は、第 2 絶縁基板 2 0 のアレイ基板 A R に対向する内面 2 0 A に配置されている。

20

【 0 0 5 7 】

カラーフィルタ C F は、各画素 P X に対応して配置されている。すなわち、カラーフィルタ C F は、第 2 絶縁基板 2 0 の内面 2 0 A においてブラックマトリクス B M によって区画された内側に配置されるとともに、その一部がブラックマトリクス B M に乗り上げている。第 2 方向 Y に隣接する画素 P X にそれぞれ配置されたカラーフィルタ C F は、互いに色が異なる。例えば、カラーフィルタ C F は、赤色、青色、緑色といった 3 原色にそれぞれ着色された樹脂材料によって形成されている。これらのカラーフィルタ C F 同士の境界は、ブラックマトリクス B M と重なる位置にある。

30

【 0 0 5 8 】

オーバーコート層 O C は、カラーフィルタ C F を覆っている。このオーバーコート層 O C は、カラーフィルタ C F の表面の凹凸の影響を緩和する。

【 0 0 5 9 】

共通電極の主共通電極 C A U 及び主共通電極 C A B、図示しない副共通電極 C B などは、オーバーコート層 O C のアレイ基板 A R と対向する側に形成されている。特に、主共通電極 C A U 及び主共通電極 C A B、図示しない副共通電極 C B は、ブラックマトリクス B M の直下に位置している。主共通電極 C A U はゲート配線 G 1 の直上に位置し、主共通電極 C A B はゲート配線 G 2 の直上に位置している。

40

【 0 0 6 0 】

上記の開口部 A P において、画素電極 P E と共通電極 C E との間の領域、つまり、主共通電極 C A U と主画素電極 P A との間の領域及び主共通電極 C A B と主画素電極 P A との間の領域は、バックライト光が透過可能な透過領域に相当する。

【 0 0 6 1 】

第 2 配向膜 A L 2 は、対向基板 C T のアレイ基板 A R と対向する面に配置され、アクテ

50

ィブエリア A C T の略全体に亘って延在している。この第 2 配向膜 A L 2 は、共通電極 C E やオーバーコート層 O C などを覆っている。このような第 2 配向膜 A L 2 は、水平配向性を示す材料によって形成されている。

【 0 0 6 2 】

上述したようなアレイ基板 A R と対向基板 C T とは、それぞれの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 が対向するように配置されている。このとき、アレイ基板 A R の第 1 配向膜 A L 1 と対向基板 C T の第 2 配向膜 A L 2 との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサにより、所定のセルギャップ、例えば 2 ~ 7 μm のセルギャップが形成される。アレイ基板 A R と対向基板 C T とは、所定のセルギャップが形成された状態で、アクティブエリア A C T の外側のシール材によって貼り合わせ

10

【 0 0 6 3 】

また、主画素電極 P A と主共通電極 C A との第 2 方向 Y に沿った間隔は、液晶層 L Q の厚さよりも大きく、主画素電極 P A と主共通電極 C A との間隔は、液晶層 L Q の厚さの 2 倍以上の大きさを持つ。

【 0 0 6 4 】

液晶層 L Q は、アレイ基板 A R と対向基板 C T との間に形成されたセルギャップに保持され、第 1 配向膜 A L 1 と第 2 配向膜 A L 2 との間に配置されている。このような液晶層 L Q は、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【 0 0 6 5 】

アレイ基板 A R の外面、つまり、アレイ基板 A R を構成する第 1 絶縁基板 1 0 の外面 1 0 B には、第 1 光学素子 O D 1 が接着剤などにより貼付されている。この第 1 光学素子 O D 1 は、液晶表示パネル L P N のバックライト 4 と対向する側に位置しており、バックライト 4 から液晶表示パネル L P N に入射する入射光の偏光状態を制御する。この第 1 光学素子 O D 1 は、第 1 偏光軸（あるいは第 1 吸収軸）A X 1 を有する第 1 偏光板 P L 1 を含んでいる。なお、第 1 偏光板 P L 1 と第 1 絶縁基板 1 0 との間に位相差板などの他の光学素子が配置されても良い。

20

【 0 0 6 6 】

対向基板 C T の外面、つまり、対向基板 C T を構成する第 2 絶縁基板 2 0 の外面 2 0 B には、第 2 光学素子 O D 2 が接着剤などにより貼付されている。この第 2 光学素子 O D 2 は、液晶表示パネル L P N の表示面側に位置しており、液晶表示パネル L P N から出射した出射光の偏光状態を制御する。この第 2 光学素子 O D 2 は、第 2 偏光軸（あるいは第 2 吸収軸）A X 2 を有する第 2 偏光板 P L 2 を含んでいる。なお、第 2 偏光板 P L 2 と第 2 絶縁基板 2 0 との間に位相差板などの他の光学素子が配置されていても良い。

30

【 0 0 6 7 】

第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と、第 2 偏光板 P L 2 の第 2 偏光軸 A X 2 とは、略直交する位置関係（クロスニコル）にある。このとき、一方の偏光板は、例えば、その偏光軸が主画素電極 P A あるいは主共通電極 C A の延出方向と略平行または略直交するように配置されている。つまり、主画素電極 P A あるいは主共通電極 C A の延出方向が第 1 方向 X である場合、一方の偏光板の吸収軸は、第 1 方向 X と略平行である（つまり、第 2 方向 Y と略直交する）、あるいは、第 1 方向 X と略直交する（つまり、第 2 方向 Y と略平行である）。

40

【 0 0 6 8 】

あるいは、一方の偏光板は、例えば、その偏光軸が液晶分子の初期配向方向つまり第 1 配向処理方向 P D 1 あるいは第 2 配向処理方向 P D 2 と平行または直交するように配置されている。初期配向方向が第 1 方向 X と平行である場合、一方の偏光板の偏光軸は、第 1 方向 X と平行、あるいは、第 2 方向 Y と平行である。

【 0 0 6 9 】

図 3 において、（ a ）で示した例では、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が主画素電極 P A の延出方向あるいは液晶分子 L M の初期配向方向（第 1 方向 X ）に対して

50

平行となる（つまり、第 1 方向 X に平行となる）ように配置され、また、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が主画素電極 P A の延出方向あるいは液晶分子 L M の初期配向方向に対して直交する（つまり、第 2 方向 Y と平行となる）ように配置されている。

【 0 0 7 0 】

また、図 3 において、（ b ）で示した例では、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が主画素電極 P A の延出方向あるいは液晶分子 L M の初期配向方向（第 1 方向 X ）に対して平行となる（つまり、第 1 方向 X に平行となる）ように配置され、また、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が主画素電極 P A の延出方向あるいは液晶分子 L M の初期配向方向に対して直交する（つまり、第 2 方向 Y と平行となる）ように配置されている。

10

【 0 0 7 1 】

次に、上記構成の液晶表示パネル L P N の動作について、図 2 乃至図 5 を参照しながら説明する。

【 0 0 7 2 】

すなわち、液晶層 L Q に電圧が印加されていない状態、つまり、画素電極 P E と共通電極 C E との間に電界が形成されていない状態（ O F F 時）では、液晶層 L Q の液晶分子 L M は、その長軸が第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 及び第 2 配向膜 A L 2 の第 2 配向処理方向 P D 2 を向くように配向している。このような O F F 時が初期配向状態に相当し、O F F 時の液晶分子 L M の配向方向が初期配向方向に相当する。

20

【 0 0 7 3 】

なお、厳密には、液晶分子 L M は、X - Y 平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子 L M の初期配向方向とは、O F F 時の液晶分子 L M の長軸を X - Y 平面に正射影した方向である。以下では、説明を簡略にするために、液晶分子 L M は、X - Y 平面に平行に配向しているものとし、X - Y 平面と平行な面内で回転するものとして説明する。

【 0 0 7 4 】

ここでは、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、ともに第 1 方向 X と略平行な方向である。O F F 時においては、液晶分子 L M は、図 3 に破線で示したように、その長軸が第 1 方向 X と略平行な方向に初期配向する。

30

【 0 0 7 5 】

図示した例のように、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が平行且つ同じ向きである場合、液晶層 L Q の断面において、液晶分子 L M は、液晶層 L Q の中間部付近で略水平（プレチルト角が略ゼロ）に配向し、ここを境界として第 1 配向膜 A L 1 の近傍及び第 2 配向膜 A L 2 の近傍において対称となるようなプレチルト角を持って配向する（スプレイ配向）。このように液晶分子 L M がスプレイ配向している状態では、基板の法線方向から傾いた方向においても第 1 配向膜 A L 1 の近傍の液晶分子 L M と第 2 配向膜 A L 2 の近傍の液晶分子 L M とにより光学的に補償される。したがって、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が互いに平行、且つ、同じ向きである場合には、黒表示の場合に光漏れが少なく、高コントラスト比を実現することができ、表示品位を向上することが可能となる。

40

【 0 0 7 6 】

なお、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が互いに平行且つ逆向きである場合、液晶層 L Q の断面において、液晶分子 L M は、第 1 配向膜 A L 1 の近傍、第 2 配向膜 A L 2 の近傍、及び、液晶層 L Q の中間部において略均一なプレチルト角を持って配向する（ホモジニアス配向）。

【 0 0 7 7 】

バックライト 4 からのバックライト光の一部は、第 1 偏光板 P L 1 を透過し、第 1 吸収軸 A X 1 と直交する直線偏光となって、液晶表示パネル L P N に入射する。このような直線偏光の偏光状態は、液晶層 L Q を通過する際に液晶分子 L M の配向状態によって変化するが、O F F 時においては、液晶層 L Q を通過した直線偏光の偏光状態はほとんど変化し

50

ない。このため、液晶表示パネル L P N を透過した直線偏光は、第 1 偏光板 P L 1 に対してクロスニコルの位置関係にある第 2 偏光板 P L 2 によって吸収される（黒表示）。

【 0 0 7 8 】

一方、液晶層 L Q に電圧が印加された状態、つまり、画素電極 P E と共通電極 C E との間に電界が形成された状態（O N 時）では、画素電極 P E と共通電極 C E との間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子 L M は、電界の影響を受け、その長軸が図中の実線で示したように X - Y 平面と略平行な平面内で回転する。

【 0 0 7 9 】

図 3 に示した例では、画素 P X 内において、主画素電極 P A と主共通電極 C A B との間の左側の領域内では、液晶分子 L M は、主に第 1 方向 X に対して反時計回りに回転し図中の左下を向くように配向し、右側の領域内では、液晶分子 L M は、主に第 1 方向 X に対して時計回りに回転し図中の右下を向くように配向する。また、主画素電極 P A と主共通電極 C A U との間の左側の領域内では、液晶分子 L M は、主に第 1 方向 X に対して時計回りに回転し図中の左上を向くように配向し、右側の領域内では、液晶分子 L M は、主に第 1 方向 X に対して反時計回りに回転し図中の右上を向くように配向する。

【 0 0 8 0 】

このように、各画素 P X において、画素電極 P E と共通電極 C E との間に電界が形成された状態では、液晶分子 L M の配向方向は、主画素電極 P A と重なる位置あるいは主共通電極 C A と重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素 P X には、複数のドメインが形成される。

【 0 0 8 1 】

このような O N 時には、バックライト 4 から液晶表示パネル L P N に入射したバックライト光の一部は、第 1 偏光板 P L 1 を透過し、第 1 吸収軸 A X 1 と直交する直線偏光となって、液晶表示パネル L P N に入射する。このような直線偏光の偏光状態は、液晶層 L Q を通過する際に液晶分子 L M の配向状態に応じて変化する。例えば、第 1 方向 X に平行な直線偏光が液晶表示パネル L P N に入射すると、液晶層 L Q を通過する際に第 1 方向 X に対して $45^\circ - 225^\circ$ 方位あるいは $135^\circ - 315^\circ$ 方位に配向した液晶分子 L M により $\lambda / 2$ の位相差の影響を受ける（但し、 λ は液晶層 L Q を透過する光の波長である）。これにより、液晶層 L Q を通過した光の偏光状態は、第 2 方向 Y に平行な直線偏光となる。このため、O N 時には、液晶層 L Q を通過した少なくとも一部の光は、第 2 偏光板 P L 2 を透過する（白表示）。但し、画素電極あるいは共通電極と重なる位置では、液晶分子が初期配向状態を維持しているため、O F F 時と同様に黒表示となる。

【 0 0 8 2 】

本実施形態によれば、ゲート配線や補助容量線の延出方向である第 1 方向 X に沿った長さがソース配線の延出方向である第 2 方向 Y に沿った長さよりも長い横長の画素構成としたことにより、第 2 方向 Y に沿った長さが第 1 方向 X に沿った長さよりも長い縦長の画素構成とした場合と比較して、アクティブエリアにおける総画素数が同一でありながら、ゲート配線、補助容量線、ソース配線などの信号配線の総数を低減することができる。このため、信号配線の端子数を低減することができ、これらの信号配線に信号を供給するドライバの規模を低減することが可能となるとともに液晶表示パネル L P N に実装すべき駆動 I C チップの数を低減することが可能となる。したがって、コストの削減が可能となる。

【 0 0 8 3 】

また、本実施形態によれば、画素 P X の略中央部でスイッチング素子 S W と画素電極 P E とを電氣的に接続するとともに、画素電極 P E の略全体と重なる補助容量線 C 1 との間で画像表示に必要な容量を形成し、しかも、十字形状の画素電極 P E を境界として一画素内に 4 つのドメインを形成することが可能となる。このため、開口部 A P における透過領域の面積を低減することなく、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる。特に、図 3 に示した例では、4 つのドメインが略同等の面積であるため、ドメイン間で同等の視野角補償が可能となる。

【 0 0 8 4 】

10

20

30

40

50

また、本実施形態によれば、画素電極 P E と共通電極 C E との間の電極間隙において高い透過率を得ることが可能となる。また、一画素あたりの透過率を十分に高くするためには、主画素電極 P A と主共通電極 C A との間の電極間距離を拡大することで対応することが可能となる。また、画素ピッチが異なる製品仕様に対しては、主画素電極 P A と主共通電極 C A との電極間距離を変更することで、透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。

【 0 0 8 5 】

10

また、本実施形態によれば、ブラックマトリクス B M と重なる領域では、透過率が十分に低下している。これは、ゲート配線 G 及びソース配線 S の直上に位置する共通電極 C E の位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクス B M を挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクス B M と重なる領域の液晶分子 L M が O F F 時（あるいは黒表示時）と同様に初期配向状態を保っているためである。したがって、隣接する画素間でカラーフィルタ C F の色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【 0 0 8 6 】

20

また、1画素の X - Y 平面で見た場合に、対向基板 C T に配置された共通電極 C E の内側にアレイ基板 A R の画素電極 P E が配置されている。言い換えれば、1画素 P X において画素電極 P E は共通電極 C E によって囲まれている。このように配置することによって、1画素内で電気力線の始点と終点をもち、自画素の電気力線が隣接画素に漏れることが無い。このため、例えば、第2方向 Y に隣接した画素 P X 間において液晶層 L Q に印加される電界が互いに影響を受けることがない。したがって、隣接画素からの電界の影響によって自画素の液晶分子が動くことが無く表示品位の劣化を抑制することができる。

【 0 0 8 7 】

また、アレイ基板 A R と対向基板 C T との合わせずれが生じた際に、画素電極 P E を挟んだ両側の共通電極 C E との電極間距離に差が生じることがある。しかしながら、このような合わせずれは、全ての画素 P X に共通に生じるため、画素 P X 間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板 A R と対向基板 C T との間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタ C F の色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

30

【 0 0 8 8 】

また、本実施形態によれば、X - Y 平面内において、主共通電極 C A B 及び主共通電極 C A U と主画素電極 P A との第2方向 Y に沿った電極間距離を拡大することが可能となる。アレイ基板 A R が主画素電極 P A を備え、対向基板 C T が主共通電極 C A を備えた構成では、主画素電極 P A と主共通電極 C A とが交互に略平行に配置されているため、アレイ基板 A R と対向基板 C T との合わせズレが生じた場合、主画素電極 P A と主共通電極 C A との電極間距離が設定値とは異なってしまう。主画素電極 P A と主共通電極 C A との間の電界強度は電極間距離に応じて異なるため、同一の電圧を液晶層 L Q に印加したとしても、電極間距離の異なるパネル間で輝度にバラツキが生ずる。このような合わせズレに対して、本実施形態によれば、合わせズレによる電極間距離の変化量に対して電極間距離を十分に大きく設定することができ、合わせズレに起因した輝度バラツキを低減することが可能である。

40

【 0 0 8 9 】

なお、上記の例では、液晶分子 L M の初期配向方向が第1方向 X と平行である場合について説明したが、液晶分子 L M の初期配向方向は、第1方向 X 及び第2方向 Y を斜めに交

50

差する斜め方向であっても良い。

【0090】

また、上記の例では、液晶層 L Q が正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層 L Q は、誘電率異方性が負（ネガ型）の液晶材料によって構成されていても良い。

【0091】

なお、ON 時においても、画素電極 P E 上あるいは共通電極 C E 上では、横電界がほとんど形成されない（あるいは、液晶分子 L M を駆動するのに十分な電界が形成されない）ため、液晶分子 L M は、OFF 時と同様に初期配向方向からほとんど動かない。このため、画素電極 P E 及び共通電極 C E が I T O などの光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、ON 時において表示にほとんど寄与しない。したがって、画素電極 P E 及び共通電極 C E は、必ずしも透明な導電材料によって形成される必要はなく、アルミニウム（A l）、チタン（T i）、銀（A g）、モリブデン（M o）、タングステン（W）、クロム（C r）などの不透明な導電材料を用いて形成しても良い。

10

【0092】

画素電極 P E 及び共通電極 C E の少なくとも一方が上記の不透明な導電材料によって形成された場合、液晶表示パネル L P N に入射した直線偏光は、画素電極 P E や共通電極 C E のエッジの延出方向と略平行であるあるいは略直交する。また、上記のような不透明な導電材料によって形成されているゲート配線 G、補助容量線 C、及び、ソース配線 S の延出方向は、液晶表示パネル L P N に入射した直線偏光と略平行であるあるいは略直交する。このため、画素電極 P E や共通電極 C E、ゲート配線 G、補助容量線 C、及び、ソース配線 S のエッジで反射された直線偏光は、その偏光面が乱れにくく、偏光子である第 1 偏光板 P L 1 を透過した際の偏光面を維持することができる。したがって、OFF 時において、液晶表示パネル L P N を透過した直線偏光は、検光子である第 2 偏光板 P L 2 で十分に吸収されるため、光漏れを抑制することが可能となる。つまり、黒表示の際に十分に透過率を低減することができ、コントラスト比の低下を抑制することが可能となる。また、画素電極 P E や共通電極 C E の周辺での光漏れ対策のためにブラックマトリクス B M の幅を拡張する必要がなく、開口部 A P の面積の低減、ON 時の透過率の低減を抑制することが可能となる。

20

30

【0093】

なお、本実施形態において、画素 P X の構造は、上記の例に限定されるものではない。

【0094】

図 6 は、図 1 に示したアレイ基板 A R を対向基板側から見たときの一画素 P X の他の構造例を概略的に示す平面図である。

【0095】

ここに示した構造例は、図 2 に示した構造例と比較して、アレイ基板 A R がゲートシールド電極 G S 及びソースシールド電極 S S を備えている点で相違している。

【0096】

すなわち、ゲートシールド電極 G S は、ゲート配線 G 1 及びゲート配線 G 2 とそれぞれ対向する（あるいは、ゲートシールド電極 G S は、ゲート配線 G 1 及びゲート配線 G 2 の直上に位置する）。このようなゲートシールド電極 G S は、第 1 方向 X に沿って直線的に延出しており、帯状に形成されている。なお、ゲートシールド電極 G S の第 2 方向 Y に沿った幅については、必ずしも一定でなくても良い。このゲートシールド電極 G S は、共通電極 C E と電氣的に接続されており、共通電極 C E と同電位である。

40

【0097】

ソースシールド電極 S S は、ソース配線 S 1 及びソース配線 S 2 とそれぞれ対向する（あるいは、ソースシールド電極 S S は、ソース配線 S 1 及びソース配線 S 2 の直上に位置する）。このようなソースシールド電極 S S は、第 2 方向 Y に沿って直線的に延出しており、帯状に形成されている。なお、ソースシールド電極 S S の第 1 方向 X に沿った幅につ

50

いては、必ずしも一定でなくても良い。このソースシールド電極 S S は、共通電極 C E と電氣的に接続されており、共通電極 C E と同電位である。図示した例では、ゲートシールド電極 G S 及びソースシールド電極 S S は、一体的あるいは連続的に形成されている。

【 0 0 9 8 】

これらのゲートシールド電極 G S 及びソースシールド電極 S S は、画素電極 P E と同一層である第 3 絶縁膜 1 3 の上面に形成されるため、画素電極 P E と同一材料（例えば、ITO など）を用いて形成することが可能である。

【 0 0 9 9 】

このような構造例のアレイ基板 A R は、図 3 に示した対向基板 C T と組み合わせた際に、ゲートシールド電極 G S が主共通電極 C A と対向し、ソースシールド電極 S S が副共通電極 C B と対向する。

10

【 0 1 0 0 】

このような構造例によれば、ゲートシールド電極 G S がゲート配線 G と対向するため、ゲート配線 G からの不所望な電界を遮蔽することが可能となる。このため、ゲート配線 G から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、焼きツキなどの表示不良の発生、さらには、液晶分子の配向不良に起因した光漏れの発生を抑制することが可能となる。

【 0 1 0 1 】

また、ソースシールド配線 S S がソース配線 S と対向するため、ソース配線 S からの不所望な電界を遮蔽することが可能となる。このため、ソース配線 S から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、クロストーク（例えば、当該画素 P X が黒を表示する画素電位に設定されている状態で、当該画素 P X に接続されたソース配線に白を表示する画素電位が供給されたときに、当該画素 P X の一部から光漏れが生じて輝度の上昇を招く現象）などの表示不良の発生を抑制することが可能となる。

20

【 0 1 0 2 】

また、アレイ基板 A R に備えられたゲートシールド電極 G S 及びソースシールド電極 S S は、互いに電氣的に接続され、アレイ基板 A R において格子状に形成されているため、冗長性を向上することが可能となる。また、対向基板 C T に備えられた主共通電極 C A 及び副共通電極 C B は、互いに電氣的に接続され、格子状に形成されているため、冗長性を向上することが可能となる。そして、アレイ基板 A R 側のゲートシールド電極 G S 及びソースシールド電極 S S と、対向基板 C T 側の主共通電極 C A 及び副共通電極 C B とが互いに電氣的に接続されているため、一部で断線が発生したとしても、各画素 P X に安定してコモン電位を供給することが可能となり、表示不良の発生を抑制することが可能となる。

30

【 0 1 0 3 】

なお、上記した各構造例においても上記のゲートシールド電極 G S 及びソースシールド電極 S S を適用しても良い。

【 0 1 0 4 】

以上説明したように、本実施形態によれば、コストの削減が可能であるとともに、表示品位の劣化を抑制することが可能な液晶表示装置を提供することが可能となる。

【 0 1 0 5 】

40

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 符号の説明 】

【 0 1 0 6 】

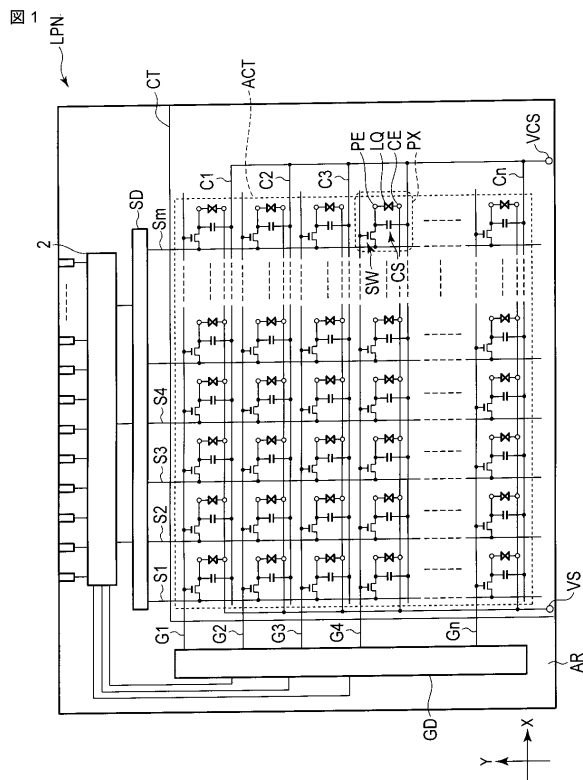
L P N ... 液晶表示パネル

A R ... アレイ基板 C T ... 対向基板 L Q ... 液晶層

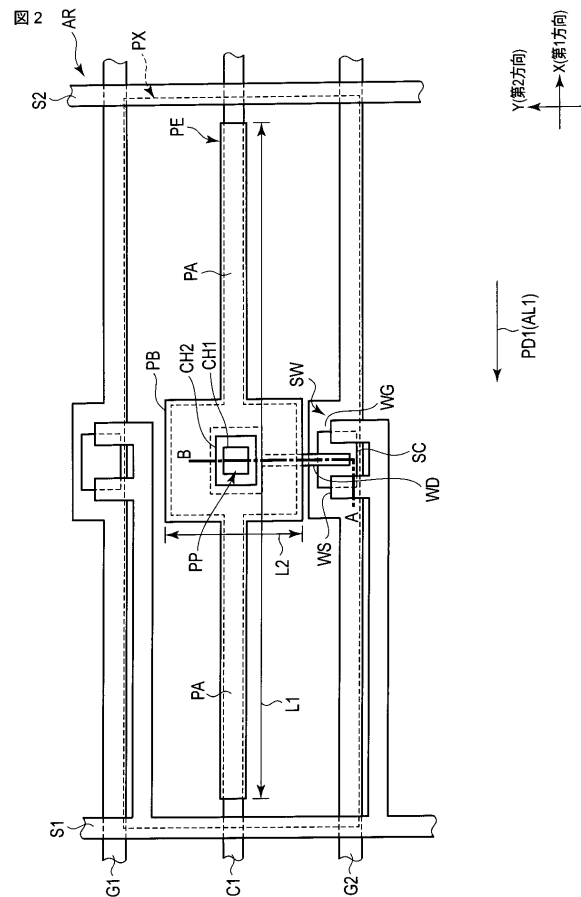
50

P E ... 画素電極 P A ... 主画素電極 P B ... 副画素電極 P P ... コンタクト位置
 C E ... 共通電極 C A ... 主共通電極 C B ... 副共通電極
 G ... ゲート配線 C ... 補助容量線 S ... ソース配線
 G S ... ゲートシールド電極 S S ... ソースシールド電極

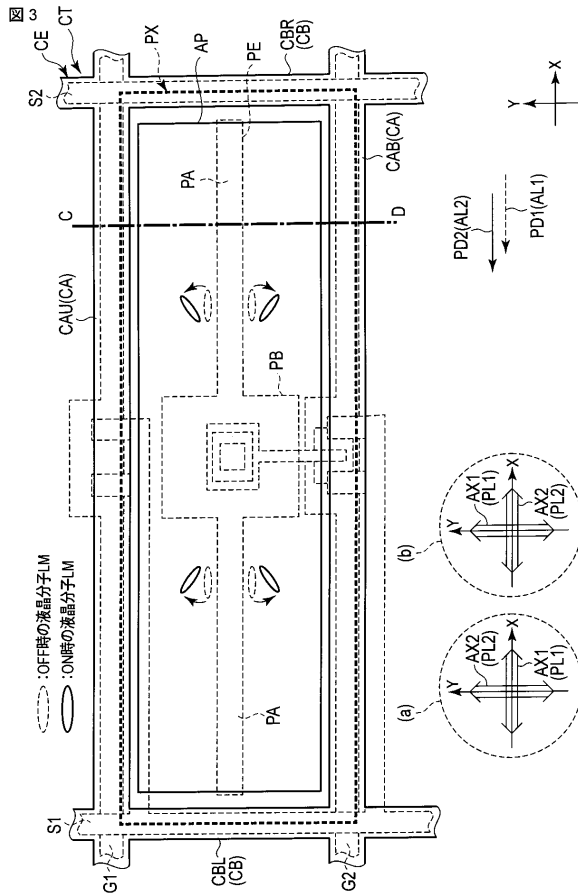
【図 1】



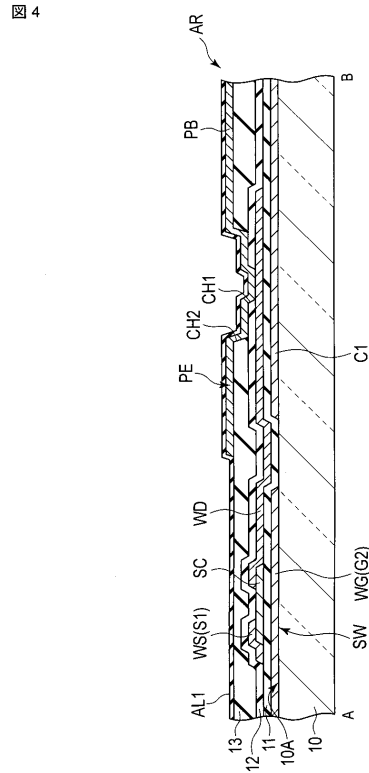
【図 2】



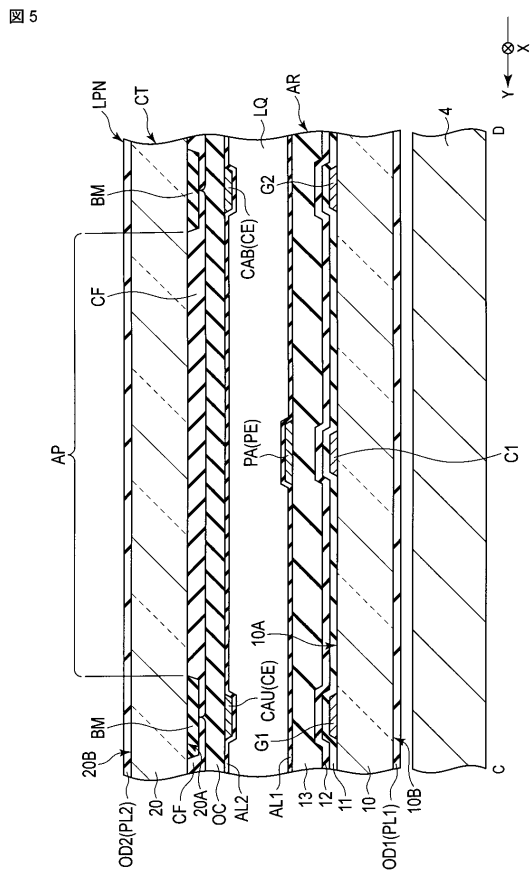
【図 3】



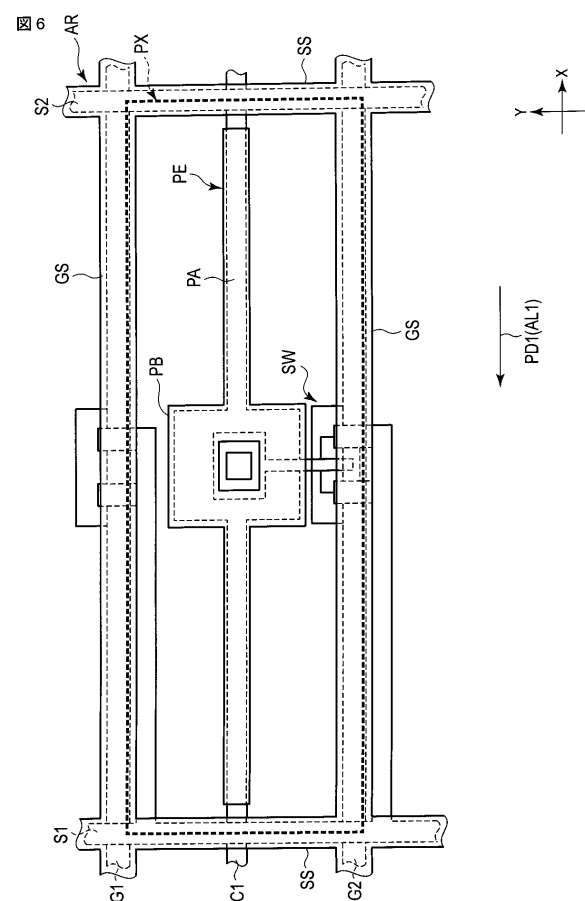
【図 4】



【図 5】



【図 6】



フロントページの続き

(74)代理人 100095441
弁理士 白根 俊郎

(74)代理人 100084618
弁理士 村松 貞男

(74)代理人 100103034
弁理士 野河 信久

(74)代理人 100119976
弁理士 幸長 保次郎

(74)代理人 100153051
弁理士 河野 直樹

(74)代理人 100140176
弁理士 砂川 克

(74)代理人 100158805
弁理士 井関 守三

(74)代理人 100124394
弁理士 佐藤 立志

(74)代理人 100112807
弁理士 岡田 貴志

(74)代理人 100111073
弁理士 堀内 美保子

(74)代理人 100134290
弁理士 竹内 将訓

(72)発明者 化生 正人
埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内

(72)発明者 野中 正信
埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内

(72)発明者 高橋 一博
埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内

(72)発明者 米倉 利昌
埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内

F ターム(参考) 2H092 GA14 JA26 JB05 JB13 JB22 JB31 JB56 JB63 JB69 NA01
NA25

专利名称(译)	液晶表示装置		
公开(公告)号	JP2013061487A	公开(公告)日	2013-04-04
申请号	JP2011199913	申请日	2011-09-13
申请(专利权)人(译)	有限公司日本展示中心		
[标]发明人	化生正人 野中正信 高橋一博 米倉利昌		
发明人	化生 正人 野中 正信 高橋 一博 米倉 利昌		
IPC分类号	G02F1/1343 G02F1/1368		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/JA26 2H092/JB05 2H092/JB13 2H092/JB22 2H092/JB31 2H092/JB56 2H092/JB63 2H092/JB69 2H092/NA01 2H092/NA25 2H192/AA24 2H192/BA13 2H192/BA32 2H192/BC31 2H192/CB05 2H192/CC42 2H192/DA12 2H192/EA22 2H192/EA43 2H192/FB02 2H192/FB27 2H192/GA03 2H192/GD42		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆		
其他公开文献	JP5785834B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：降低成本并抑制显示质量的下降。第一栅极线和第二栅极线，在第一栅极线和第二栅极线之间延伸的辅助电容线，第一源极线 and 第二源极线，以及由第一栅极线和第二栅极线，第一源极线 and 第二源极线围绕的像素电极沿第一方向延伸并且位于辅助电容线上方。第一基板具有十字形像素电极，该十字形像素电极具有沿着第二方向并且在第一栅极线上方 and 第二栅极线上方延伸的主像素电极和子像素电极。分别位于第一方向并沿第一方向延伸的主公共电极，以及分别位于第一源极线上方 and 第二源极线上方并分别沿第二方向延伸的子公共电极。具有具有电极的公共电极的第二基板以及具有第二基板的液晶显示器设备。

[选择图]图3

