

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-168565

(P2012-168565A)

(43) 公開日 平成24年9月6日(2012.9.6)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	

審査請求 有 請求項の数 3 O L (全 17 頁)

<p>(21) 出願番号 特願2012-132314 (P2012-132314)</p> <p>(22) 出願日 平成24年6月11日 (2012.6.11)</p> <p>(62) 分割の表示 特願2007-137351 (P2007-137351) の分割</p> <p>原出願日 平成19年5月24日 (2007.5.24)</p> <p>(31) 優先権主張番号 10-2006-0047074</p> <p>(32) 優先日 平成18年5月25日 (2006.5.25)</p> <p>(33) 優先権主張国 韓国 (KR)</p>	<p>(71) 出願人 390019839 三星電子株式会社 Samsung Electronics Co., Ltd. 大韓民国京畿道水原市靈通区三星路129 129, Samsung-ro, Yeongtong-gu, Suwon-si, Gyeonggi-do, Republic of Korea</p> <p>(74) 代理人 110000408 特許業務法人高橋・林アンドパートナーズ</p> <p>(72) 発明者 金 ▲徳▼ 星 大韓民国全羅南道麗水市鳳山洞792-1 番地</p>
--	---

最終頁に続く

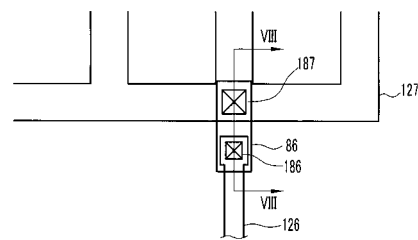
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】本発明は、液晶表示装置の製造工程のうちの表示板に集積されたゲート駆動部に静電気が流入することを防止する液晶表示装置を提供する。

【解決手段】本発明の液晶表示装置は、基板、基板上に形成された複数のスイッチング素子を各々含む複数の画素、スイッチング素子に接続され、行方向に延びている複数のゲート線、ゲート線と各々接続されている回路部及び回路部と接続されている配線部を含むゲート駆動部を含み、回路部はトランジスタを含み、配線部は信号線を含み、トランジスタと信号線は接続部材を介して接続されていることを特徴とする。

【選択図】 図7



【特許請求の範囲】**【請求項 1】**

基板と、

前記基板上に形成された複数のスイッチング素子を各々含む複数の画素と、
前記スイッチング素子に接続されて、行方向に延びている複数のゲート線と、
前記ゲート線と各々接続されている複数の回路部及び前記回路部と接続されている配線部
を含むゲート駆動部と、

を含み、

前記配線部は信号線を含み、前記回路部は前記信号線と接続されているトランジスタを含
み、

前記トランジスタは前記信号線と直接接続されている少なくとも2つ以上の引込線を含む
ことを特徴とする液晶表示装置。

【請求項 2】

前記信号線は、前記トランジスタに走査開始信号を伝達することを特徴とする請求項 1 に
記載の液晶表示装置。

【請求項 3】

前記引込線及び前記信号線は、前記ゲート線と同じ材質で構成されることを特徴とする請
求項 1 に記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は液晶表示装置に関する。

【背景技術】**【0002】**

液晶表示装置は、現在、最も広く用いられているフラットパネル表示装置のうちの一つで
あって、画素電極と共通電極などの電界生成電極が形成されている二枚の表示板と、その
間に入っている液晶層と、を含む。液晶表示装置は、電界生成電極に電圧を印加して液晶
層に電界を生成し、これを通して液晶層の液晶分子の配向を決定して入射光の偏光を制御
することによって画像を表示する。

【0003】

液晶表示装置は、また、各画素電極に接続されているスイッチング素子及びスイッチング
素子を制御して画素電極に電圧を印加するためのゲート線とデータ線などの複数の信号線
を含む。ゲート線はゲート駆動回路が生成したゲート信号を伝達し、データ線はデータ駆
動回路が生成したデータ電圧を伝達し、スイッチング素子はゲート信号によってデータ電
圧を画素電極に伝達する。

【0004】

ゲート駆動部及びデータ駆動部は、チップ状に構成されて表示パネルに装着される。しか
し、最近では、表示装置の全体のサイズを減少させると共に、生産性を向上させるため、ゲ
ート駆動部を表示パネルに集積する構造が開発されている。

【発明の概要】**【発明が解決しようとする課題】****【0005】**

本発明が目的とする技術的課題は、液晶表示装置の製造工程において表示パネルに集積さ
れたゲート駆動部への静電気の流入を防止する液晶表示装置を提供することである。

【課題を解決するための手段】**【0006】**

本発明の液晶表示装置は、基板と、基板上に形成された複数のスイッチング素子を各々含
む複数の画素と、各スイッチング素子に接続されて行方向に延びている複数のゲート線と
、ゲート線と各々接続されている回路部及び回路部と接続されている配線部を含むゲート
駆動部と、を含み、回路部はトランジスタを含み、配線部は第1信号線を含み、トランジ

10

20

30

40

50

スタと第 1 信号線は接続部材を介して接続されている。

【0007】

第 1 信号線は、前記トランジスタに走査開始信号を伝達してもよい。

【0008】

トランジスタ及び第 1 信号線は、ゲート線と同じ材質で構成される。

【0009】

前記接続部材はITO（インジウム錫酸化物）やIZO（インジウム亜鉛酸化物）を含んでもよい。

【0010】

本発明の液晶表示装置は、接続部材と第 1 信号線及びトランジスタの間に形成されている保護膜をさらに含んでもよい。

10

【0011】

保護膜には、信号線と接続部材を接続する第 1 コンタクトホール及びトランジスタと、接続部材を接続する第 2 コンタクトホールが形成されてもよい。

【0012】

トランジスタは、接続部材を介して信号線と接続される少なくとも一つの引込線を含んでもよい。

【0013】

前記回路部及び前記配線部はそれぞれ前記基板上に集積されていてもよい。

【0014】

前記配線部は前記回路部に制御信号を伝達する第 2 信号線を更に含んでもよい。

20

【0015】

本発明の実施形態 2 による液晶表示装置は、基板と、基板上に形成された複数のスイッチング素子を各々含む複数の画素と、各スイッチング素子に接続されて行方向に延びている複数のゲート線と、ゲート線と各々接続されている複数の回路部及び回路部と接続されている配線部と、を含むゲート駆動部を含み、配線部は信号線を含み、回路部は信号線と接続されているトランジスタを含み、トランジスタは信号線と直接接続されている少なくとも 2 つ以上の引込線を含む。

【0016】

信号線はトランジスタに走査開始信号を伝達してもよい。

30

【0017】

引込線及び信号線はゲート線と同じ材質で構成されてもよい。

【発明の効果】

【0018】

本発明によると、液晶表示装置の製造工程において表示板に集積されたゲート駆動部への静電気の流入を防止してゲート駆動部の損傷を最少化する。

【図面の簡単な説明】

【0019】

【図 1】本発明の実施形態 1 による液晶表示装置のブロック図である。

【図 2】本発明の実施形態 1 による液晶表示装置の一つの画素に対する等価回路図である

40

【図 3】本発明の実施形態 1 による液晶表示板組立体の平面図である。

【図 4】本発明の実施形態 1 によるゲート駆動部のブロック図である。

【図 5】図 4 に示したゲート駆動部用シフトレジスタの j 番目ステージの回路図の一例である。

【図 6】本発明の実施形態 1 によるゲート駆動部のうちの第 1 及び第 2 ステージの概略的な配置図である。

【図 7】図 6 に示したゲート駆動部の一部を拡大示した配置図である。

【図 8】図 7 のゲート駆動部の V I I I - V I I I 線による断面図である。

【図 9 A】図 7 及び図 8 に示したゲート駆動部の製造工程を説明する配置図である。

50

【図 9 B】図 9 A の I X b - I X b 線による断面図である。

【図 10 A】図 7 及び図 8 に示したゲート駆動部の製造工程を説明する配置図である。

【図 10 B】図 10 A の X b - X b 線による断面図である。

【図 11】本発明の実施形態 2 によるゲート駆動部の一部を示した配置図である。

【図 12】本発明の実施形態 3 によるゲート駆動部の一部を示した配置図である。

【発明を実施するための形態】

【0020】

以下、添付図面を参照して本発明の実施形態について本発明の属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。しかし、本発明は多様な形態に実現でき、ここで説明する実施形態に限定されない。

10

【0021】

図面から多様な層及び領域を明確に表現するために厚さを拡大して示した。明細書全体にわたって類似する部分については同一符号を付けた。層、膜、領域、板などの部分が他の部分の「上」にあるとすると、これは他の部分の「直ぐ上」にある場合だけでなく、その中間に他の部分がある場合も含む。また、ある部分が他の部分の「直上」にあるとすると時には間に他の部分がないことを意味する。

【0022】

まず、図 1 及び図 2 を参照して本発明の実施形態 1 による液晶表示装置について説明する。図 1 は本発明の実施形態 1 による液晶表示装置のブロック図であり、図 2 は本発明の実施形態 1 による液晶表示装置の一つの画素に対する等価回路図である。

20

【0023】

図 1 及び図 2 を参照すると、本発明の実施形態 1 による液晶表示装置は、液晶表示板組立体 300 と、液晶表示板組立体 300 に接続されたゲート駆動部 (Gate driver) 400 及びデータ駆動部 (Data driver) 500 と、データ駆動部 500 に接続された階調電圧生成部 (Gray voltage generator) 800 と、そしてこれらを制御する信号制御部 (Signal controller) 600 と、を含む。

【0024】

液晶表示板組立体 300 は、等価回路から見ると、複数の信号線 ($G_1 \sim G_n$ 、 $D_1 \sim D_m$) と、これに接続されていて略行列状に配列された複数の画素 (PX) を含む。図 2 に示した構造から見ると、液晶表示板組立体 300 は互いに対向する下部及び上部表示板 100、200 と、その間に入っている液晶層 3 とを含む。

30

【0025】

信号線は、ゲート信号 (「走査信号」とも言う) を伝達する複数のゲート線 ($G_1 \sim G_n$) とデータ信号を伝達する複数のデータ線 ($D_1 \sim D_m$) を含む。ゲート線 ($G_1 \sim G_n$) は略行方向に延びて互いに殆んど平行に配置され、データ線 ($D_1 \sim D_m$) は略列方向に延びて互いに殆んど平行に配置される。

【0026】

各画素 (PX) は、信号線に接続されたスイッチング素子 (Q) と、スイッチング素子 (Q) に接続された液晶キャパシタ (Clc) 及びストレージキャパシタ (Cst) を含む。ストレージキャパシタ (Cst) は必要に応じて省略してもよい。

40

【0027】

スイッチング素子 (Q) は、下部表示板 100 に備えられている薄膜トランジスタなどの三端子素子であって、その制御端子はゲート線 (G_i) と接続され、入力端子はデータ線 (D_j) と接続され、出力端子は液晶キャパシタ (Clc) 及びストレージキャパシタ (Cst) と接続されている。

【0028】

液晶キャパシタ (Clc) は、下部表示板 100 の画素電極 191 と上部表示板 200 の共通電極 270 を二つの端子として、二つの電極 191、270 の間の液晶層 3 は誘電体として機能する。画素電極 191 はスイッチング素子 (Q) と接続され、共通電極 270

50

は上部表示板 200 の前面に形成されて共通電圧 (Vcom) の印加を受ける。図 2 とは異なって、共通電極 270 が下部表示板 100 に備えられる場合もあり、このときには二つの電極 191、270 のうちの少なくとも一つが線状または棒状で形成されてもよい。

【0029】

液晶キャパシタ (Clc) の補助的役割を果たすストレージキャパシタ (Cst) は、下部表示板 100 に具備された別個の信号線 (図示せず) と画素電極 191 が絶縁体を間に置いて重なって (オーバーラップして) 構成され、この別個の信号線には共通電圧 (Vcom) などの決められた電圧が印加される。しかし、ストレージキャパシタ (Cst) は、画素電極 191 が絶縁体を媒介として真上のゲート線と重なって (オーバーラップして) 構成されてもよい。

10

【0030】

一方、色表示を実現するためには、各画素 (PX) が基本色のうちの一つを固有表示をしたり (空間分割)、各画素 (PX) が時間によって交互に基本色を表示するようにして (時間分割)、これら基本色の空間的、時間的な合計で所望の色相が認識されるようにする。基本色の例としては、赤色、緑色、青色などの三原色がある。図 2 は空間分割の一例として、各画素 (PX) が画素電極 191 に対応する上部表示板 200 の領域に基本色のうちの一色を示すカラーフィルタ 230 を備えることを示している。図 2 とは異なって、カラーフィルタ 230 は下部表示板 100 の画素電極 191 上または下に形成されてもよい。

【0031】

液晶表示板組立体 300 の外側面には光を偏光させる少なくとも一つの偏光子 (図示せず) が備えられている。

20

【0032】

再び図 1 を参照すると、階調電圧生成部 800 は、画素 (PX) の透過率と関連する二組の階調電圧 (または基準階調電圧) を生成する。二組のうちの一組は共通電圧 (Vcom) に対して正の値を有し、他の一組は負の値を有する。

【0033】

ゲート駆動部 400 は、液晶表示板組立体 300 のゲート線 ($G_1 \sim G_n$) と接続されてゲートオン電圧 (Von) 及びゲートオフ電圧 (Voff) の組み合わせで構成されるゲート信号をゲート線 ($G_1 \sim G_n$) に印加する。ゲート駆動部 400 は、実質的にシフトレジスタとして一列に配列された複数のステージを含み、信号線 ($G_1 \sim G_n$ 、 $D_1 \sim D_m$) 及び薄膜トランジスタスイッチング素子 (Q) などと共に、同様の工程によって液晶表示板組立体 300 上に集積形成されている。

30

【0034】

データ駆動部 500 は、液晶表示板組立体 300 のデータ線 ($D_1 \sim D_m$) に接続されて、階調電圧生成部 800 からの階調電圧を選択して、選択した階調電圧をデータ信号としてデータ線 ($D_1 \sim D_m$) に印加する。しかし、階調電圧生成部 800 が必ずしも全ての階調に対する電圧を全て提供するのではなく、決められた数の基準階調電圧のみを提供する場合に、データ駆動部 500 は基準階調電圧を分けて、全体階調に対する階調電圧を生成し、この中でデータ信号を選択する。

40

【0035】

信号制御部 600 は、ゲート駆動部 400 及びデータ駆動部 500 などを制御する。

【0036】

このような各々の駆動装置 500、600、800 は、少なくとも一つの集積回路 (IC) チップとして液晶表示板組立体 300 の上に直接装着されたり、フレキシブル印刷回路膜 (図示せず) の上に装着されて TCP (tape carrier package) の形態で液晶表示板組立体 300 に装着されたり、別の印刷回路基板 (図示せず) の上に装着される。これとは異なって、これらの駆動装置 500、600、800 が信号線 ($G_1 \sim G_n$ 、 $D_1 \sim D_m$) 及び薄膜トランジスタスイッチング素子 (Q) などと共に液晶表示板組立体 300 に集積されてもよい。また、駆動装置 500、600、800 は単一チップ

50

ブで集積されてもよく、この場合、これらのうちの少なくとも一つまたはこれらをなす少なくとも一つの回路素子が単一チップの外側に備えられてもよい。

【0037】

このような液晶表示装置の動作について詳細に説明する。信号制御部600は、外部のグラフィック制御器(図示せず)から入力画像信号(R、G、B)及びその表示を制御する入力制御信号を受ける。入力制御信号の例としては、垂直同期信号(Vsync)と水平同期信号(Hsync)、メインクロック(MCLK)、データイネーブル信号(DE)などがある。信号制御部600は、入力画像信号(R、G、B)及び入力制御信号に基づいて入力画像信号(R、G、B)を液晶表示板組立体300の動作条件に合わせて適切に処理し、ゲート制御信号(CONT1)及びデータ制御信号(CONT2)などを生成した後、ゲート制御信号(CONT1)をゲート駆動部400に出力し、データ制御信号(CONT2)と処理した画像信号(DAT)をデータ駆動部500に出力する。

10

【0038】

ゲート制御信号(CONT1)は、走査開始を指示する走査開始信号(STV)とゲートオン電圧(V_{on})の出力周期を制御する少なくとも一つのクロック信号を含む。ゲート制御信号(CONT1)は、また、ゲートオン電圧(V_{on})の持続時間を限定する出力イネーブル信号(OE)をさらに含んでもよい。

【0039】

データ制御信号(CONT2)は、一行の画素(PX)に対する画像データの伝送開始を知らせる水平同期開始信号(STH)と、データ線($D_1 \sim D_m$)にデータ信号を印加することを指示するロード信号(LOAD)及びデータクロック信号(HCLK)とを含む。データ制御信号(CONT2)は、共通電圧(V_{com})に対するデータ信号の電圧極性(以下、「共通電圧に対するデータ信号の電圧極性」を略して「データ信号の極性」という)を反転させる反転信号(RVS)をさらに含んでもよい。

20

【0040】

信号制御部600からのデータ制御信号(CONT2)によって、データ駆動部500は一行の画素(PX)に対するデジタル画像信号(DAT)を受信し、各デジタル画像信号(DAT)に対応する階調電圧を選択することによって、デジタル画像信号(DAT)をアナログデータ信号に変換した後に、このアナログデータ信号に対応するデータ線($D_1 \sim D_m$)に印加する。

30

【0041】

ゲート駆動部400は、信号制御部600からのゲート制御信号(CONT1)によってゲートオン電圧(V_{on})をゲート線($G_1 \sim G_n$)に印加して、このゲート線($G_1 \sim G_n$)に接続されたスイッチング素子(Q)を導通させる。データ線($D_1 \sim D_m$)に印加されたデータ電圧が、導通したスイッチング素子(Q)を通して対応する画素(PX)に印加される。

【0042】

画素(PX)に印加されたデータ信号の電圧と共通電圧(V_{com})の差は、液晶キャパシタ(Clc)の充電電圧、つまり、画素電圧として現れる。液晶分子は画素電圧の大きさによってその配列が異なるため、液晶層3を通過する光の偏光が変化する。このような偏光の変化は、表示板組立体300に装着された偏光子によって光の透過率変化として現れる。

40

【0043】

1水平周期[「1H」ともいい、水平同期信号(Hsync)及びデータイネーブル信号(DE)の一周期と同一]を単位として、上記のような過程を繰り返すことによって、全てのゲート線($G_1 \sim G_n$)に対して順次ゲートオン電圧(V_{on})を印加して、全ての画素(PX)にデータ信号を印加して1フレームの画像を表示する。

【0044】

一つのフレームが終わり、次のフレームが始まるとき、各画素(PX)に印加されるデータ信号の極性が直前のフレームでの極性と反対になるように、データ駆動部500に印加

50

される反転信号 (R V S) の状態が制御される (「フレーム反転」) 。このとき、1フレーム中においても、反転信号 (R V S) の特性によって一つのデータ線を通して流れるデータ信号の極性が変わったり (例: 行反転、点反転) 、一つの画素行に印加されるデータ信号の極性が互いに異なってもよい (例: 列反転、点反転) 。

【 0 0 4 5 】

本発明の実施形態 1 による液晶表示板組立体と液晶表示板組立体に形成されているゲート駆動部について図 3 乃至図 6 を参照して詳細に説明する。

【 0 0 4 6 】

図 3 は本発明の実施形態 1 による液晶表示板組立体を示す平面図である。図 3 を参照すると、本発明の実施形態 1 による液晶表示板組立体 3 0 0 は薄膜トランジスタ表示板 1 0 0、共通電極表示板 (図示せず) 及びこれら二つの表示板の間に入っている液晶層 (図示せず) を含む。

10

【 0 0 4 7 】

液晶表示板組立体 3 0 0 は、画像を表示する表示領域 (D A) 及び周辺領域 (P A) に分けられる。表示領域 (D A) の基板 1 1 0 には、ゲート線 ($G_1 \sim G_n$) 、ゲート線 ($G_1 \sim G_n$) と交差するデータ線 ($D_1 \sim D_m$) 、ゲート線 ($G_1 \sim G_n$) 及びデータ線 ($D_1 \sim D_m$) と接続されている薄膜トランジスタ (図示せず) 、薄膜トランジスタと接続されている画素電極 1 9 1 などが形成される。

【 0 0 4 8 】

表示領域 (D A) の上部周辺領域 (P A) にはデータ線 ($D_1 \sim D_m$) と接続されるデータ駆動部 (図示せず) が装着される。表示領域 (D A) の側部周辺領域 (P A) にはゲート駆動部 4 0 0 が集積されて形成される。表示領域 (D A) の上部周辺領域 (P A) には信号制御部 6 0 0 などから制御信号をゲート駆動部 4 0 0 に入力するための O L B (o u t l e a d b o n d i n g) パッド 5 0 が形成される。ゲート駆動部 4 0 0 と O L B パッド 5 0 は複数の第 1 接続配線 8 1 で接続される。表示領域 (D A) の側部周辺領域 (P A) にはゲート駆動部 4 0 0 と隣接するテストパッド部 6 0 が形成される。テストパッド部 6 0 は複数のパッドを含み、各パッドには液晶表示板組立体などをテストするクロック信号 (C K) または走査開始信号 (S T V) などが入力される。テストパッド部 6 0 は複数の第 2 接続配線 8 2 を通して O L B パッド 5 0 に接続され、テスト信号は O L B パッド 5 0 を通してゲート駆動部 4 0 0 に入力される。

20

30

【 0 0 4 9 】

図 4 乃至図 6 を参照して本発明の実施形態 1 による液晶表示板組立体のゲート駆動部 4 0 0 について詳細に説明する。

【 0 0 5 0 】

図 4 は本発明の実施形態 1 によるゲート駆動部のブロック図であり、図 5 は本発明の実施形態 1 によるゲート駆動部用シフトレジスタの j 番目のステージの回路図であり、図 6 は本発明の実施形態 1 によるゲート駆動部のうちの第 1 及び第 2 ステージの配置図である。

【 0 0 5 1 】

図 4 乃至図 6 を参照すると、ゲート駆動部 4 0 0 であるシフトレジスタ 4 0 0 には走査開始信号 (S T V) 、第 1 及び第 2 クロック信号 (C L K 1 、 C L K 2) が入力される。各シフトレジスタ 4 0 0 は、ゲート線に各々接続されている複数のステージ (S T 1 、 S T $j-1$ 、 S T j 、 S T $j+1$ 、 S T $n+1$) を含む。複数のステージ (S T 1 、 S T $j-1$ 、 S T j 、 S T $j+1$ 、 S T $n+1$) は互いに従属的に接続されており、走査開始信号 (S T V) 、第 1 及び第 2 クロック信号 (C L K 1 、 C L K 2) が入力される。

40

【 0 0 5 2 】

各クロック信号 (C L K 1 、 C L K 2) がハイ (H i g h) の場合には、画素のスイッチング素子 (Q) を駆動できるゲートオン電圧 (V_{on}) が出力され、ロウ (L o w) の場合にはゲートオフ電圧 (V_{off}) が出力されるのが望ましい。

【 0 0 5 3 】

各ステージ (S T 1 、 S T $j-1$ 、 S T j 、 S T $j+1$ 、 S T $n+1$) は、セット端子 (S

50

)、ゲート電圧端子 (GV)、一対のクロック端子 (CK1、CK2)、リセット端子 (R)、フレームリセット端子 (FR)、そしてゲート出力端子 (OUT1) 及びキャリア出力端子 (OUT2) を有している。

【0054】

各ステージ、例えば、j 番目ステージ (STj) のセット端子 (S) には前段ステージ [ST(j-1)] のキャリア出力、つまり前段キャリア出力 [Cout(j-1)] が、リセット端子 (R) には後段ステージ [ST(j+1)] のゲート出力、つまり、後段ゲート出力 [Gout(j+1)] が入力され、クロック端子 (CK1、CK2) にはクロック信号 (CLK1、CLK2) が入力されて、ゲート電圧端子 (GV) にはゲートオフ電圧 (Voff) が入力される。ゲート出力端子 (OUT1) はゲート出力 [Gout(j)] を出力し、キャリア出力端子 (OUT2) はキャリア出力 [Cout(j)] を出力する。

10

【0055】

但し、各シフトレジスタ 400 の第 1 ステージには前段キャリア出力の代わりに走査開始信号 (STV) が入力される。また、j 番目ステージ (STj) の第 1 クロック端子 (CK1) に第 1 クロック信号 (CLK1) が、第 2 クロック端子 (CK2) に第 2 クロック信号 (CLK2) が入力される場合、これに隣接した (j-1) 番目及び (j+1) 番目ステージ [ST(j-1)、ST(j+1)] の第 1 クロック端子 (CK1) には第 2 クロック信号 (CLK2) が、第 2 クロック端子 (CK2) には第 1 クロック信号 (CLK1) が入力される。

20

【0056】

図 5 を参照すると、本発明の実施形態 1 によるゲート駆動部 400 の各ステージ、例えば、j ステージは、入力部 420、プルアップ駆動部 430、プルダウン駆動部 440 及び出力部 450 を含む。これらは少なくとも一つの NMOS トランジスタ (T1~T14) を含み、プルアップ駆動部 430 と出力部 450 はキャパシタ (C1~C3) をさらに含む。しかし、極性に応じた設計変更をすれば、NMOS トランジスタの代わりに PMOS トランジスタを用いてもよい。また、キャパシタ (C1~C3) は、製造時に形成されるゲートとドレイン又はソース間の寄生容量であってもよい。

【0057】

入力部 420 は、セット端子 (S) とゲート電圧端子 (GV) に順に直列接続されている三つのトランジスタ (T11、T10、T5) を含む。トランジスタ (T11、T5) のゲートはクロック端子 (CK2) に接続されて、トランジスタ (T10) のゲートはクロック端子 (CK1) に接続されている。トランジスタ (T11) とトランジスタ (T10) の間の接続点は接続点 (J1) と接続されており、トランジスタ (T10) とトランジスタ (T5) の間の接続点は接続点 (J2) と接続されている。

30

【0058】

プルアップ駆動部 430 は、セット端子 (S) と接続点 (J1) の間に接続されているトランジスタ (T4) と、クロック端子 (CK1) と接続点 (J3) の間に接続されているトランジスタ (T12) と、そしてクロック端子 (CK1) と接続点 (J4) の間に接続されているトランジスタ (T7) とを含む。トランジスタ (T4) のゲートとドレインはセット端子 (S) と共通に接続され、ソースは接続点 (J1) と接続されて、トランジスタ (T12) のゲートとドレインはクロック端子 (CK1) と共通に接続され、ソースは接続点 (J3) と接続されている。トランジスタ (T7) のゲートは接続点 (J3) と接続されると同時にキャパシタ (C1) を通してクロック端子 (CK1) と接続されており、ドレインはクロック端子 (CK1) と、ソースは接続点 (J4) と接続されており、接続点 (J3) と接続点 (J4) の間にキャパシタ (C2) が接続されている。

40

【0059】

プルダウン駆動部 440 は、ソースを通してゲートオフ電圧 (Voff) を受信してドレインを通して接続点 (J1、J2、J3、J4) に出力する複数のトランジスタ (T6、T9、T13、T8、T3、T2) を含む。トランジスタ (T6) のゲートはフレームリセット端子 (FR) と、ドレインは接続点 (J1) と接続されており、トランジスタ (T

50

9) のゲートはリセット端子 (R) と、ドレインは接続点 (J1) と接続されており、トランジスタ (T13、T8) のゲートは接続点 (J2) と共通に接続されており、ドレインは各々接続点 (J3、J4) と接続されている。トランジスタ (T3) のゲートは接続点 (J4) と、トランジスタ (T2) のゲートはリセット端子 (R) と接続されており、二つのトランジスタ (T3、T2) のドレインは接続点 (J2) と接続されている。

【0060】

出力部 450 は、ドレインとソースが各々クロック端子 (CK1) と出力端子 (OUT1、OUT2) の間に接続されており、ゲートが接続点 (J1) と接続されている一対のトランジスタ (T1、T14) と、トランジスタ (T1) のゲートとドレインとの間、つまり、接続点 (J1) と接続点 (J2) との間に接続されているキャパシタ (C3) とを含む。トランジスタ (T1) のドレインはまた、接続点 (J2) と接続されている。

10

【0061】

このようなステージの動作について説明する。説明の便宜のために、クロック信号 (CLK1、CLK2) のハイレベルに該当する電圧を高電圧とし、クロック信号 (CLK1、CLK2) のロウレベルに該当する電圧の大きさはゲートオフ電圧 (V_{off}) と同一でありこれを低電圧とする。

【0062】

まず、クロック信号 (CLK2) 及び前段キャリア出力 [Cout(j-1)] (または走査開始信号 (STV)) がハイになると、トランジスタ (T11、T5) とトランジスタ (T4) が導通する。これによって、二つのトランジスタ (T11、T4) は高電圧を接続点 (J1) に伝達して、トランジスタ (T5) は低電圧を接続点 (J2) に伝達する。これによって、トランジスタ (T1、T14) が導通してクロック信号 (CLK1) が出力端子 (OUT1、OUT2) から出力されるが、このとき、接続点 (J2) の電圧とクロック信号 (CLK1) が全て低電圧であるため、出力電圧 [Gout(j)、Cout(j)] は低電圧となる。これと同時に、キャパシタ (C3) は高電圧と低電圧の差に相当する大きさの電圧を充電する。

20

【0063】

このとき、クロック信号 (CLK1) 及び後段ゲート出力 [Gout(j+1)] はロウであり、接続点 (J2) もロウであるため、これにゲートが接続されているトランジスタ (T10、T9、T12、T13、T8、T2) は全てオフ状態になる。

30

【0064】

次に、クロック信号 (CLK2) がロウになると、トランジスタ (T11、T5) が遮断され、これと同時にクロック信号 (CLK1) がハイになると、トランジスタ (T1) の出力電圧及び接続点 (J2) の電圧が高電圧となる。このとき、トランジスタ (T10) のゲートには高電圧が印加されるが、接続点 (J2) に接続されているソースの電位がまた同じ高電圧であるため、ゲートソース間の電位差が 0 になり、トランジスタ (T10) は遮断状態を維持する。従って、接続点 (J1) は浮遊状態になり、接続点 (J1) の電位は、キャパシタ (C3) によってその高電圧に比例して上昇する。

【0065】

一方、クロック信号 (CLK1) 及び接続点 (J2) の電位が高電圧であるため、トランジスタ (T12、T13、T8) が導通する。この状態でトランジスタ (T12) とトランジスタ (T13) が高電圧と低電圧の間で直列に接続され、そのために接続点 (J3) の電位は二つのトランジスタ (T12、T13) の導通時に、各トランジスタの抵抗値によって分圧された電圧値を有する。しかし、トランジスタ (T13) の導通時の抵抗値がトランジスタ (T12) の導通時の抵抗値に比べて非常に大きく、例えば、約 10、000 倍程度に設定されているとすると、接続点 (J3) の電圧は高電圧と殆んど同じになる。従って、トランジスタ (T7) が導通してトランジスタ (T8) と直列に接続され、そのために接続点 (J4) の電位は二つのトランジスタ (T7、T8) の導通時の抵抗値によって分圧された電圧値を有する。このとき、二つのトランジスタ (T7、T8) の抵抗値が殆んど同一に設定されると、接続点 (J4) の電位は高電圧と低電圧の中間値を有し

40

50

、そのためにトランジスタ (T 3) は遮断状態を維持する。このとき、後段ゲート出力 [G o u t (j + 1)] が依然としてロウであるため、トランジスタ (T 9 、 T 2) も遮断状態を維持する。従って、出力端 (O U T 1 、 O U T 2) は、クロック信号 (C L K 1) にだけ接続されて、低電圧と遮断されて高電圧を出力する。

【 0 0 6 6 】

一方、キャパシタ (C 1) 及びキャパシタ (C 2) は両端の電位差に対応する電圧を各々充電するが、接続点 (J 3) の電圧が接続点 (J 5) の電圧より低い。

【 0 0 6 7 】

続いて、後段ゲート出力 [G o u t (j + 1)] 及びクロック信号 (C L K 2) がハイになってクロック信号 (C L K 1) がロウになると、トランジスタ (T 9 、 T 2) が導通して接続点 (J 1 、 J 2) に低電圧を伝達する。このとき、接続点 (J 1) の電圧はキャパシタ (C 3) が放電している間に低電圧になるが、キャパシタ (C 3) の放電時間によって完全に低電圧に落ちるまでにはある程度時間を要する。従って、二つのトランジスタ (T 1 、 T 1 4) は後段ゲート出力 [G o u t (j + 1)] がハイになっても少しの間、導通状態を維持し、そのために出力端 (O U T 1 、 O U T 2) がクロック信号 (C L K 1) と接続されて低電圧を出力する。続いて、キャパシタ (C 3) が完全に放電されて接続点 (J 1) の電位が低電圧になると、トランジスタ (T 1 4) が遮断されて出力端 (O U T 2) がクロック信号 (C L K 1) と遮断されるため、キャリア出力 [C o u t (j)] は浮遊状態になって低電圧を維持する。これと同時に、出力端 (O U T 1) はトランジスタ (T 1) が遮断されてもトランジスタ (T 2) を通して低電圧と接続されるので、引き続き低電圧を出力する。

10

20

【 0 0 6 8 】

一方、トランジスタ (T 1 2 、 T 1 3) が遮断されるため、接続点 (J 3) が浮遊状態となる。また、接続点 (J 5) の電圧が接続点 (J 4) の電圧より低くなるが、キャパシタ (C 1) によって接続点 (J 3) の電圧が接続点 (J 5) の電圧より低い状態を維持するため、トランジスタ (T 7) は遮断される。これと同時に、トランジスタ (T 8) も遮断状態となるので接続点 (J 4) の電圧もその分低くなり、トランジスタ (T 3) も遮断状態を維持する。また、トランジスタ (T 1 0) は、ゲートがクロック信号 (C L K 1) の低電圧に接続されて接続点 (J 2) の電圧もロウであるため、遮断状態を維持する。

30

【 0 0 6 9 】

次に、クロック信号 (C L K 1) がハイになるとトランジスタ (T 1 2 、 T 7) が導通し、接続点 (J 4) の電圧が上昇してトランジスタ (T 3) が導通して低電圧を接続点 (J 2) に伝達するため、出力端 (O U T 1) は引き続き低電圧を出力する。つまり、後段ゲート出力 [G o u t (j + 1)] がロウであるとしても、接続点 (J 2) の電圧が低電圧になるようにする。

【 0 0 7 0 】

一方、トランジスタ (T 1 0) のゲートがクロック信号 (C L K 1) の高電圧と接続され、接続点 (J 2) の電圧が低電圧であるため、導通して接続点 (J 2) の低電圧を接続点 (J 1) に伝達する。一方、二つのトランジスタ (T 1 、 T 1 4) のドレインにはクロック端子 (C K 1) が接続されて、クロック信号 (C L K 1) が引き続き印加される。特に、トランジスタ (T 1) は他のトランジスタに比べて相対的に大きくなるが、これによってゲート、ドレイン間の寄生容量が大きくなり、ドレインの電圧変化がゲート電圧に影響を与えることもありうる。従って、クロック信号 (C L K 1) がハイになると、ゲート、ドレイン間の寄生容量のためにゲート電圧が上がってトランジスタ (T 1) が導通することもありうる。従って、接続点 (J 2) の低電圧を接続点 (J 1) に伝達することによって、トランジスタ (T 1) のゲート電圧を低電圧に維持してトランジスタ (T 1) が導通することを防止する。

40

【 0 0 7 1 】

以降、前段キャリア出力 [C o u t (j - 1)] がハイになるまで接続点 (J 1) の電圧は低電圧を維持し、接続点 (J 2) の電圧はクロック信号 (C L K 1) がハイでクロック信

50

号 (CLK2) がロウであると、トランジスタ (T3) を通して低電圧となり、その逆の場合にはトランジスタ (T5) を通して低電圧を維持する。

【0072】

一方、トランジスタ (T6) は最後のダミーステージ (図示せず) で発生する初期化信号 (INT) を受けて、ゲートオフ電圧 (V_{off}) を接続点 (J1) に伝達して接続点 (J1) の電圧をさらにもう一回低電圧に設定する。

【0073】

このような方式で、ステージ400は前段キャリア信号 [Cout(j-1)] 及び後段ゲート信号 [Gout(j+1)] に基づいて、クロック信号 (CLK1、CLK2) に同期してキャリア信号 [Cout(j)] 及びゲート信号 [Gout(j)] を生成する。

10

【0074】

図7、図8、そして前記で説明した図6を参照して、本発明の実施形態1によるゲート駆動部と走査開始信号線との接続関係について詳細に説明する。図7は図6に示したゲート駆動部のうちのトランジスタ (T4) と走査開始信号線と接続関係を示した配置図であり、図8は図7をVIII-VIII線に沿って切断して示した断面図である。

【0075】

図6を参照すると、シフトレジスタ400の第1ステージ (ST1) は前段キャリア信号の代わりに走査開始信号 (STV) が入力される。つまり、走査開始信号 (STV) を伝達する走査開始信号線は、第1ステージ (ST1) のトランジスタ (T4) のゲート線に接続されている。以下、走査開始信号線は、第1ステージ (ST1) のトランジスタ (T4) の接続関係について詳細に説明する。

20

【0076】

図7及び図8を参照すると、基板110上にトランジスタ (T4) の引込線126及び走査開始信号線127が形成されている。トランジスタ (T4) の引込線126及び走査開始信号線127は、基板110の表示領域に形成されているゲート線 (G_i 、 G_{i-1}) と同じ材質で構成されるが、アルミニウム (Al) とアルミニウム合金などアルミニウム系の金属、銀 (Ag) と銀合金など銀系の金属、銅 (Cu) と銅合金など銅系の金属、モリブデン (Mo) とモリブデン合金などモリブデン系の金属、クロム (Cr)、チタン (Ti)、タンタル (Ta) などで形成されてもよい。しかし、トランジスタ (T4) の引込線126及び走査開始信号線127は、物理的性質が異なる二つの導電膜 (図示せず) を含む多重膜構造を有してもよい。

30

【0077】

また、トランジスタ (T4) の引込線126及び走査開始信号線127の側面は、基板110の表面に対して傾いており、その傾斜角は約30~80°であるのが望ましい。

【0078】

トランジスタ (T4) の引込線126、走査開始信号線127及び基板110上には窒化シリコン (SiNx) などで構成されるゲート絶縁膜140が形成される。

【0079】

ゲート絶縁膜140上には保護膜180が形成されている。保護膜180は、窒化シリコンや酸化シリコンなどの無機絶縁物、有機絶縁物、低誘電率絶縁物などで形成できる。有機絶縁物と低誘電率絶縁物の誘電率は、4.0以下であるのが望ましく、低誘電率絶縁物の例としては、プラズマ化学気相成長 (PECVD、本明細書においては、プラズマ化学気相蒸着ともいう。) で形成される a-Si:C:O、a-Si:O:F などが挙げられる。有機絶縁物のうち感光性を有する物質で保護膜180を形成してもよく、保護膜の表面は平坦でもよい。しかし、保護膜180は下部無機膜と上部有機膜の二重膜構造を有してもよい。

40

【0080】

保護膜180にはトランジスタ (T4) の引込線126及び走査開始信号線127を各々露出する複数のコンタクトホール186、187が形成されている。保護膜180上には接続部材86が形成されている。接続部材86は、ITO (インジウム錫酸化物) やIZ

50

O (インジウム亜鉛酸化物) などの透明導電物質やアルミニウム、銀、またはその合金などの反射性金属で構成される。

【0081】

トランジスタ (T4) の引込線 126 は、コンタクトホール 186、187 を通して走査開始信号線 127 と物理的、電氣的に接続されて、走査開始信号線 127 から走査開始信号 (STV) が印加される。

【0082】

図9A、図9B、図10A、図10B、そして前記で説明した図7及び図8を参照して本発明の実施形態1によるゲート駆動部製造方法の一部について説明する。図9A及び図10Aは、本発明の実施形態1によってゲート駆動部を製造する方法の一部を示した配置図であり、図9B及び図10Bは各々図9A及び図10AをIX-IX及びX-X線に沿って切断して示した断面図である。以下、説明の便宜のために、本発明の実施形態1によるゲート駆動部400のうちの図7及び図8に示した部分について主に説明する。

10

【0083】

図9A及び図9Bを参照すると、透明ガラスまたはプラスチックなどで形成された絶縁基板110上に金属層を形成した後エッチングして、走査開始信号線127、複数のトランジスタ及びトランジスタ (T4) の引込線126を形成する。

【0084】

次に図10A及び図10Bに示したように、トランジスタ (T4) の引込線126及び走査信号開始信号線127上に窒化シリコン (SiNx) などで形成されたゲート絶縁膜140を化学気相蒸着方法で形成する。

20

【0085】

その後、ゲート絶縁膜140上に化学気相蒸着方法で保護膜180を積層する。その後、保護膜180及びゲート絶縁膜140をエッチングしてトランジスタ (T4) の引込線126及び走査開始信号線127の一部を露出する。

【0086】

次に図7及び図8に示したように、保護膜180上にITO (インジウム錫酸化物) やIZO (インジウム亜鉛酸化物) 層をスパッタリングで積層して、感光膜を利用したフォトリソグラフィでパターンニングして接続部材86を形成する。

【0087】

このような工程中には静電気が発生しやすい。特にトランジスタ (T4) の引込線126及び走査開始信号線127を形成した後に行われるゲート絶縁膜140及び保護膜180の積層工程とエッチング工程中に静電気が発生しやすい。静電気が発生すると、静電気はテストパッド部60を通してゲート駆動部400に引込まれやすい。テストパッド部60のうちの走査開始信号線127と直接接続されているトランジスタ (T4) は静電気発生による損傷を受けやすい。従って、本発明のようにトランジスタ (T4) の引込線126及び走査開始信号線127を直接接続せずに分離して形成した後に、静電気が主に発生するゲート絶縁膜140及び保護膜180の形成工程の後、接続部材86を通してトランジスタ (T4) の引込線126及び走査開始信号線127を接続すると、静電気によるトランジスタ (T4) の被害を防止できる。

30

40

【0088】

図11を参照して本発明の実施形態2によるゲート駆動部について詳細に説明する。図11は本発明の実施形態2によるゲート駆動部の一部を示した配置図である。

【0089】

図11を参照すると、基板 (図示せず) 上にトランジスタ (T4) の引込線128及び走査開始信号線127が形成される。トランジスタ (T4) の引込線128、走査開始信号線127及び基板にはゲート絶縁膜 (図示せず) が形成される。ゲート絶縁膜上には保護膜 (図示せず) が形成される。

【0090】

図11のゲート駆動部は図7及び図8に示したゲート駆動部とは異なって、走査開始信号

50

線 1 2 7 とトランジスタ (T 4) の引込線 1 2 8 が直接接続されている。トランジスタ (T 4) の引込線 1 2 8 は複数の枝 (1 2 8 a、1 2 8 b、1 2 8 c) を含み、各枝 (1 2 8 a、1 2 8 b、1 2 8 c) は複数の接続部 (1 2 8 d、1 2 8 e) を通して互いに接続されている。静電気が発生し、走査開始信号線 1 2 7 を通してトランジスタ (T 4) に流入されると、静電気は複数の枝 (1 2 8 a、1 2 8 b、1 2 8 c) を通して分散されて流入される。従って、走査開始信号線 1 2 7 とトランジスタ (T 4) の引込線 1 2 8 が直接接続されても、静電気発生によるトランジスタ (T 4) の損傷が低下する。

【 0 0 9 1 】

図 1 2 を参照して本発明の実施形態 3 によるゲート駆動部について詳細に説明する。図 1 2 は本発明の実施形態 3 によるゲート駆動部を示した配置図である。

10

【 0 0 9 2 】

図 1 2 を参照すると、基板 (図示せず) 上にトランジスタ (T 4) の引込線 1 2 6 及び走査開始信号線 1 2 7 が形成される。トランジスタ (T 4) の引込線 1 2 6、走査開始信号線 1 2 7 及び基板にはゲート絶縁膜 (図示せず) が形成される。ゲート絶縁膜上には保護膜 (図示せず) が形成される。

【 0 0 9 3 】

図 1 2 に示したゲート駆動部も図 1 1 に示したゲート駆動部と同様に、トランジスタ (T 4) の引込線 1 2 6 は複数の枝 (1 2 6 a、1 2 6 b、1 2 6 c) を含む。しかし、図 1 1 のゲート駆動部とは異なって、複数の枝 (1 2 6 a、1 2 6 b、1 2 6 c) が走査開始信号線 1 2 7 に直接接続されていない。図 1 2 のゲート駆動部は図 7 及び図 8 に示したゲート駆動部と類似して、それぞれの枝 (1 2 6 a、1 2 6 b、1 2 6 c) と走査開始信号線 1 2 7 が複数のコンタクトホール (1 8 6 a、1 8 6 b、1 8 6 c) 及び複数の接続部材 (1 8 7 a、1 8 7 b、1 8 7 c) を介して互いに接続されている。それぞれの枝 (1 2 6 a、1 2 6 b、1 2 6 c) は複数の接続部 (1 2 6 d、1 2 6 e) に互いに接続されている。従って、静電気がトランジスタ (T 4) に流入されることを防止して、流入されても静電気が分散されて、その被害を最少化できる。

20

【 0 0 9 4 】

以上、本発明の望ましい実施形態について詳細に説明したが、本発明の権利範囲はこれに限定されることなく、特許請求の範囲で定義している本発明の基本概念を利用した当業者の多様な変形及び改良形態も、本発明の権利範囲に属する。

30

【 符号の説明 】

【 0 0 9 5 】

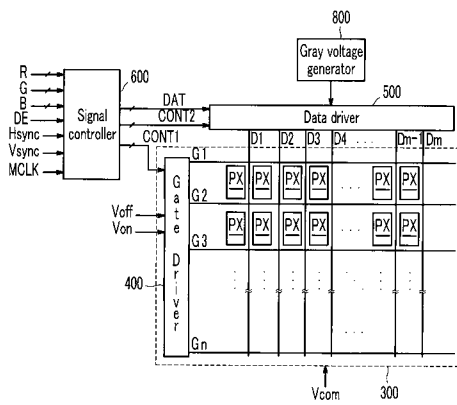
3 液晶層
 5 0 テストパッド
 6 0 O L B パッド
 7 0 切断線
 8 6、8 6 a、8 6 b、8 6 c 接続部材
 1 0 0 下部表示板
 1 1 0 基板
 1 2 7 走査開始信号線
 1 2 6 a、1 2 6 b、1 2 6 c、1 2 8 a、1 2 8 b、1 2 8 c 引込線
 1 2 6 d、1 2 6 e、1 2 8 d、1 2 8 e 接続線
 1 8 6、1 8 6 a、1 8 6 b、1 8 6 c、1 8 7、1 8 7 a、1 8 7 b、1 8 7 c コンタクトホール
 1 9 1 画素電極
 2 0 0 上部表示板
 2 3 0 カラーフィルタ
 2 7 0 共通電極
 3 0 0 液晶表示板組立体
 4 0 0 ゲート駆動部

40

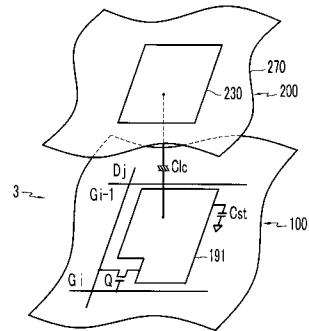
50

- 5 0 0 データ駆動部
- 6 0 0 信号制御部
- 8 0 0 階調電圧生成部

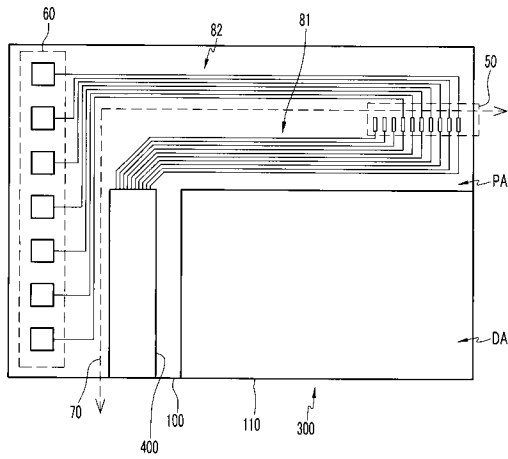
【 図 1 】



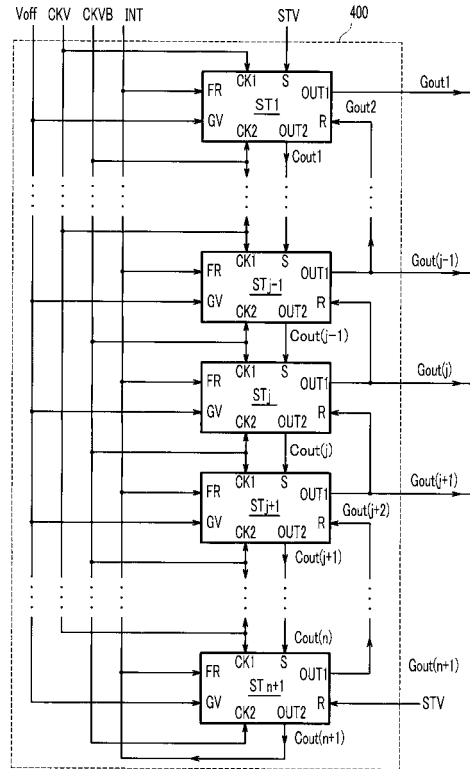
【 図 2 】



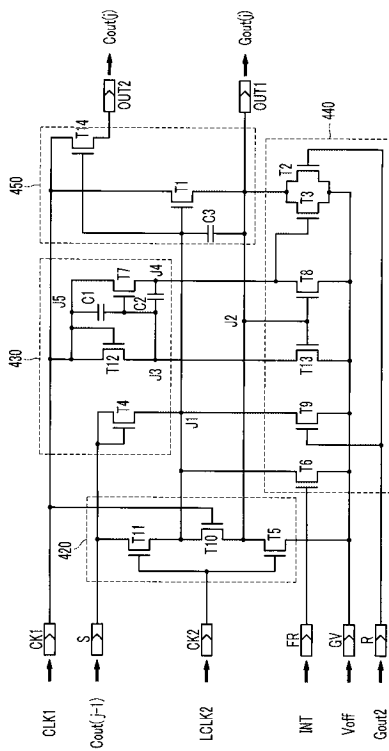
【 図 3 】



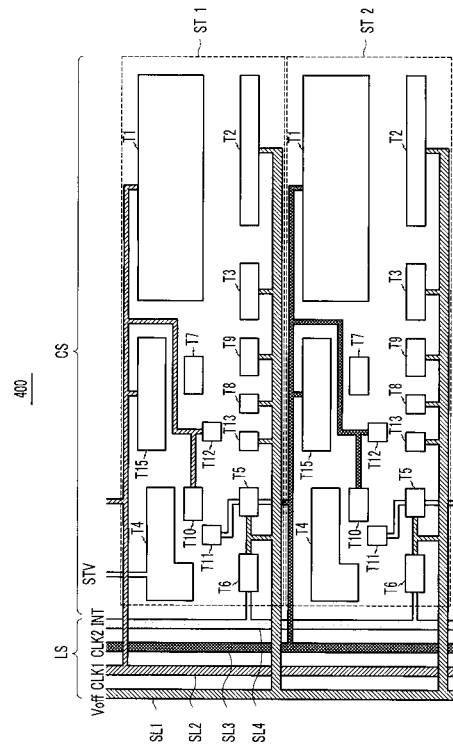
【 図 4 】



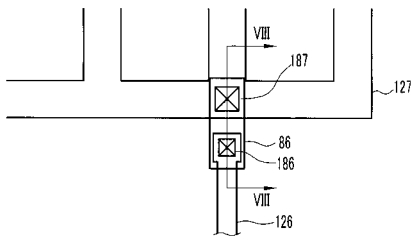
【 図 5 】



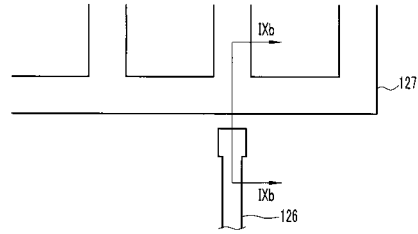
【 図 6 】



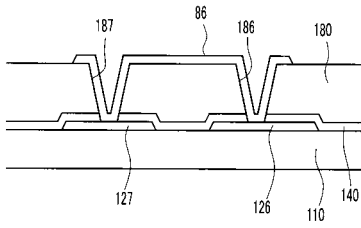
【 図 7 】



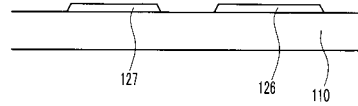
【 図 9 A 】



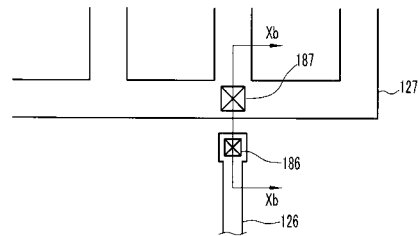
【 図 8 】



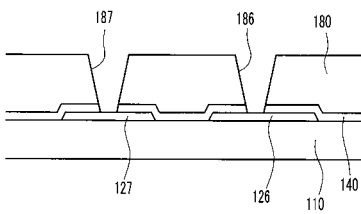
【 図 9 B 】



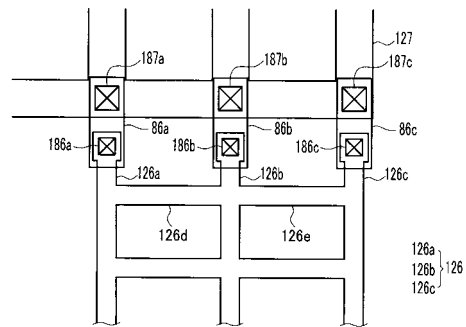
【 図 10 A 】



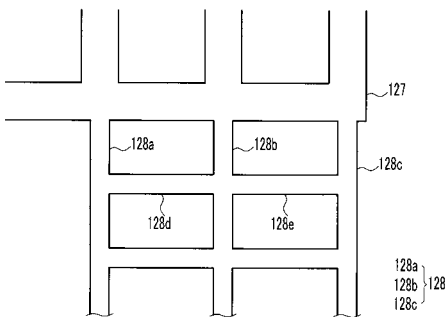
【 図 10 B 】



【 図 12 】



【 図 11 】



フロントページの続き

Fターム(参考) 2H092 GA35 GA51 GA59 GA64 HA12 JA26 JB57 KA12 KA19 KB24
MA08 NA14 PA06 PA08

专利名称(译)	液晶表示装置		
公开(公告)号	JP2012168565A	公开(公告)日	2012-09-06
申请号	JP2012132314	申请日	2012-06-11
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金德星		
发明人	金 ▲德▼ 星		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	H01L27/124 G02F1/136204		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1345		
F-TERM分类号	2H092/GA35 2H092/GA51 2H092/GA59 2H092/GA64 2H092/HA12 2H092/JA26 2H092/JB57 2H092/KA12 2H092/KA19 2H092/KB24 2H092/MA08 2H092/NA14 2H092/PA06 2H092/PA08 2H192/AA24 2H192/DA12 2H192/FA32 2H192/FA35 2H192/FA52 2H192/FA81 2H192/FB03 2H192/GA31		
优先权	1020060047074 2006-05-25 KR		
其他公开文献	JP5603373B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示器，用于在液晶显示器的制造步骤中防止静电流入显示板中累积的栅极驱动部分。解决方案：液晶显示器包括：基板；多个像素，分别包括形成在基板上的多个开关元件；多条栅极线，连接到开关元件并沿行方向延伸；栅极驱动部分包括分别连接到栅极线的电路部分和连接到电路部分的布线部分。电路部分包括晶体管，布线部分包括信号线，晶体管和信号线通过连接构件相互连接。

